



Diljith Thodi

摘要

本应用手册介绍了 TLV320ADCx140/PCMx140-Q1 系列器件的抽取滤波器链中的可用处理块。本文档还说明了各种处理块支持的配置，具体配置取决于采样率和通道数。

内容

1 引言.....2

2 TLV320ADCx140/PCMx140-Q1 的处理块.....3

 2.1 抽取滤波器响应.....3

 2.2 AGC 或 DRE.....3

 2.3 通道加法器、数字混频器和双二阶滤波器.....4

3 不同采样率支持的处理块.....5

 3.1 采样率为 8 kHz.....5

 3.2 16kHz-48kHz 采样率.....5

 3.3 采样率为 96 kHz.....5

 3.4 采样率为 192 kHz.....6

 3.5 采样率为 384 kHz.....7

 3.6 采样率为 768 kHz.....7

4 示例配置.....8

5 参考文献.....10

修订历史记录.....10

插图清单

图 1-1. TLV320ADCx140/PCMx140-Q1 通道信号链处理流程图.....2

图 3-1. 8kHz 至 48kHz 范围内的采样率支持的通道组合.....5

图 3-2. 启用 DRE/AGC 时适用于 96kHz 的通道组合.....6

图 3-3. 禁用 DRE/AGC 时适用于 96kHz 的通道组合.....6

图 3-4. 启用 AGC/DRE 时适用于 192kHz 线性相位滤波器的通道组合.....6

图 3-5. 禁用 AGC/DRE 时适用于 192kHz 线性相位滤波器的通道组合.....7

表格清单

表 2-1. 录音通道的抽取滤波器模式选择.....3

表 2-2. 抽取滤波器的最大通道数.....3

表 2-3. AGC 选择寄存器字段说明.....3

表 2-4. 启用 AGC/DRE 时支持的模拟通道数.....4

表 2-5. 通道加法模式和数字混频器可编程设置.....4

表 2-6. 双二阶滤波器配置设置.....4

表 2-7. 输入通道上的处理块分配.....4

商标

所有商标均为其各自所有者的财产。

1 引言

TLV320ADCx140/PCMx140-Q1 是四通道音频模数转换器系列，包括一个高度灵活的信号链和可编程数字处理块，因此适用于各种应用。数据表提供了对所有器件特性的概述。图 1-1 显示了信号处理链。该器件可以支持 4 个模拟麦克风通道、8 个数字 PDM 麦克风通道或模拟和数字麦克风通道的组合。图 1-1 中显示的抽取滤波器、数字加法器和混频器块以及双二阶滤波器具有高度可配置性，因此适用于不同的应用场景。此外，该器件还支持模拟麦克风通道上的自动增益控制器 (AGC) 块和动态范围增强器 (DRE) 块。这些数字特征都共享相同的固定处理资源。因此，启用的通道数量、每个通道的性质（模拟或数字）以及采样率决定了处理块和滤波器的配置可能性。

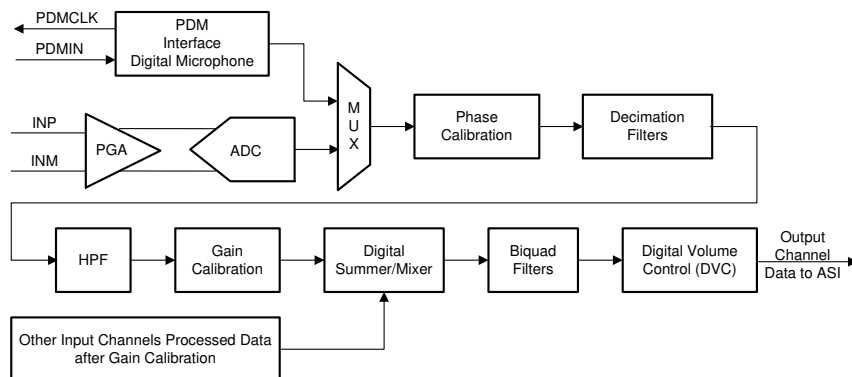


图 1-1. TLV320ADCx140/PCMx140-Q1 通道信号链处理流程图

TLV320ADCx140/PCMx140-Q1 器件系列支持两组采样率。一组采样率范围为 8kHz 至 768kHz，涵盖 48kHz 的 9 个约数和倍数。另一组采样率范围为 7.35kHz 至 705.6kHz，涵盖 44.1kHz 的约数和倍数。本应用手册仅涉及 48kHz 采样率组，但相应的内容适用于 44.1kHz 采样率组。例如，8kHz 采样率支持的功能也受到 7.35kHz 采样率的支持。

下一节将介绍处理块、配置选项和支持它们的输入通道以及支持的采样率。后续部分将介绍不同的采样率支持的通道组合，以及给定通道组合支持的处理块。

2 TLV320ADCx140/PCMx140-Q1 的处理块

以下各节介绍了使用以下功能所需的器件配置：

- 抽取滤波器
- AGC 或 DRE
- 可编程双二阶滤波器
- 加法器
- 数字混频器

2.1 抽取滤波器响应

抽取滤波器处理来自模拟通道中多位 Δ - Σ 调制器的过采样数据或来自数字麦克风的过采样 PDM 流，并以 FSYNC 率生成输出 PCM 样本。可以通过配置 DECI_FILT、P0_R107_D[5:4] 寄存器位来选择抽取滤波器选项。[表 2-1](#) 显示了录音通道抽取滤波器模式选择的配置寄存器设置。它可以设置为线性相位、低延迟或超低延迟。

表 2-1. 录音通道的抽取滤波器模式选择

P0_R107_D[5:4] : DECI_FILT[1:0]	抽取滤波器模式选择
00 (默认值)	线性相位抽取滤波器
01	低延迟近似线性相位抽取滤波器
10	超低延迟抽取滤波器
11	保留

2.1.1 支持的采样率

默认抽取滤波器的响应是线性相位。8kHz 至 768kHz 范围内的所有采样率都支持该响应。部分采样率支持低延迟和超低延迟响应，如[表 2-2](#) 所示。不支持的滤波器被标记为“NA”。对于支持的滤波器，[表 2-2](#) 列出了最大通道数。请注意，为了支持[表 2-2](#) 中显示的通道数，可能必须禁用某些处理块，如[节 3](#) 所示。

表 2-2. 抽取滤波器的最大通道数

采样率 (kHz)	线性相位	低延迟	超低延迟
8	2	2	不适用
16	2	2	2
24	2	2	2
32	2	2	2
48	2	2	2
96	2	2	2
192	2	2	2
384	2	不适用	2
768	1	不适用	不适用

2.2 AGC 或 DRE

模拟通道包括两个附加处理块：

- 自动增益控制 (AGC) 是一种动态控制 ADC 通道增益以保持标称恒定输出电平的计算法。所有 TLV320ADCx140/PCMx140-Q1 器件型号都提供 AGC。
- 动态范围增强器 (DRE) 是一种算法，可动态调整 ADC 通道的 PGA 增益，以提高动态范围。TLV320ADC5140 和 TLV320AD6140 器件上提供了 DRE。

一次只能启用其中的一个处理块。可以通过将 DSP_CFG1 (P0_R108_D[3]) 中的 DRE_AGC_SEL 位设置为 1 来启用这些块。[表 2-3](#) 给出了 AGC_SEL 定义。

表 2-3. AGC 选择寄存器字段说明

P0_R106_D[3] : AGC_SEL[1:0]	AGC 或 DRE 选择
0 (默认值)	未选择 AGC (为 TLV320ADC5140 和 TLV320ADC6140 选择了 DRE)。

表 2-3. AGC 选择寄存器字段说明 (续)

P0_R106_D[3] : AGC_SEL[1:0]	AGC 或 DRE 选择
1	已选择 AGC (未选择 DRE)。

2.2.1 支持的采样率

16kHz 至 192kHz 采样率支持 AGC 或 DRE。8kHz、384kHz 和 768kHz 采样率不支持 AGC 或 DRE。对于不受支持的采样率，请勿更改 DRE_AGC_SEL 位的值。

2.2.2 通道分配

仅模拟通道提供 AGC 或 DRE。为输入通道 1 和 2 分配了模拟通道。表 2-4 显示了启用 AGC 或 DRE 时器件支持的最大模拟通道数。

表 2-4. 启用 AGC/DRE 时支持的模拟通道数

采样速率 (kHz)	启用 AGC/DRE 时支持的通道数
16	2
24	2
32	2
48	2
96	2
192	1

2.3 通道加法器、数字混频器和双二阶滤波器

该器件支持一个四通道混频器、单通道求和模式和每个通道最多三个双二阶滤波器。8kHz 至 192kHz 范围内的所有采样率都支持这些功能。有关加法器和混频器模式配置的详细信息，请参阅表 2-5。可编程混频器功能仅在 CH_SUM[2:0] 设置为 2'b00 时可用。只有输入通道 1 至通道 4 支持混频器功能。

可以使用 P0_R108:BQ_CFG 位来设置每个通道的双二阶滤波器数量，如表 2-6 所示。有关双二阶滤波器配置的更多信息，请参阅 [TLV320ADCx140/PCMx140-Q1 可编程双二阶滤波器配置和应用](#) 应用手册。

表 2-5. 通道加法模式和数字混频器可编程设置

P0_R107_D[3:2] : CH_SUM[1:0]	输入通道的通道加法模式
00 (默认值)	禁用通道加法模式 (启用数字混频器)。
01	输出通道 1 = (输入通道 1 + 输入通道 2) / 2 输出通道 2 = (输入通道 1 + 输入通道 2) / 2
10	保留
11	保留

表 2-6. 双二阶滤波器配置设置

P0_R108_D[6:5] : BQ_CFG[1:0]	双二阶滤波器配置
00 (默认值)	每个通道 0 个双二阶滤波器；禁用所有双二阶滤波器。
01	每个通道 1 个双二阶滤波器
10	每个通道 2 个双二阶滤波器
11	每个通道 3 个双二阶滤波器

表 2-7 列出了可用于给定输入通道的处理块。这些分配是固定的，无法更改。双通道加法器模式可用于前两个通道，无法分配给通道 3 和 4，即使某些其他通道被禁用也是如此。其中对于所有四个通道，提供四通道混频器和每通道三个双二阶滤波器。输入通道 1 和 2 支持的功能最多，而通道 3 和 4 支持的功能最少。

表 2-7. 输入通道上的处理块分配

后处理块	1	2	3	4
双通道加法器	✓	✓	x	x

表 2-7. 输入通道上的处理块分配 (续)

后处理块	1	2	3	4
四通道混频器	✓	✓	✓	✓
提供双二阶滤波器	3	3	3	3

3 不同采样率支持的处理块

本节介绍了可用于不同采样率的特定处理块。

3.1 采样率为 8 kHz

8kHz 采样率仅支持线性相位 (默认) 抽取滤波器响应。支持的处理块包括双二阶滤波器、数字混频器和通道加法器。8kHz 采样率不支持 AGC 或 DRE 块。双二阶滤波器、通道加法器和数字混频器块在其各自的输入通道上均受支持 (表 2-7)。

图 3-1 显示了 8kHz 采样率可以支持的模拟通道和数字通道组合。例如，我们可以看出，对于两个模拟通道 (第三列)，最多可以支持两个数字通道，而对于一个模拟通道，只能支持两个数字通道。单元格条目指示该通道组合可用的双二阶滤波器数量。例如，对于两个模拟麦克风和两个数字麦克风的组合，每个通道可以支持三个双二阶滤波器。

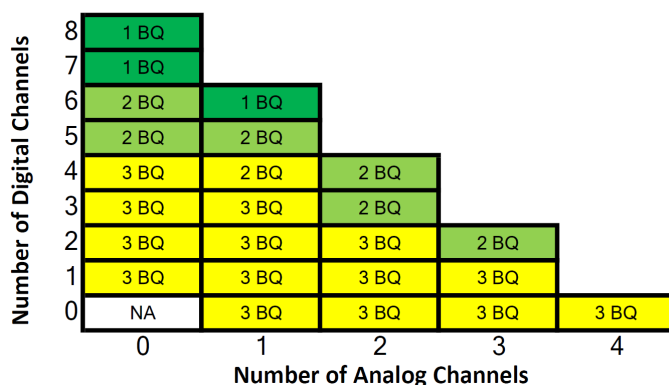


图 3-1. 8kHz 至 48kHz 范围内的采样率支持的通道组合

3.2 16kHz-48kHz 采样率

16kHz 至 48kHz 范围内的采样率支持所有处理块和数字滤波器选项。

抽取滤波器可配置为线性相位、低延迟或超低延迟。所有模拟通道都支持 AGC 或 DRE。双二阶滤波器、通道加法器和数字混频器块在其各自的输入通道上均受支持 (表 2-7)。图 3-1 显示了 8kHz 操作支持的通道组合。这些保持不变。对于支持的通道组合，图 3-1 中的单元格条目指示该通道组合可用的双二阶滤波器数量。

3.3 采样率为 96 kHz

96kHz 工作频率支持全部三个抽取滤波器选项。96kHz 模式支持 AGC 和 DRE 块，但这仅适用于部分通道组合。

图 3-2 显示了启用 AGC 或 DRE 时支持的通道组合。图 3-3 显示了禁用 AGC 或 DRE 时支持的通道组合。

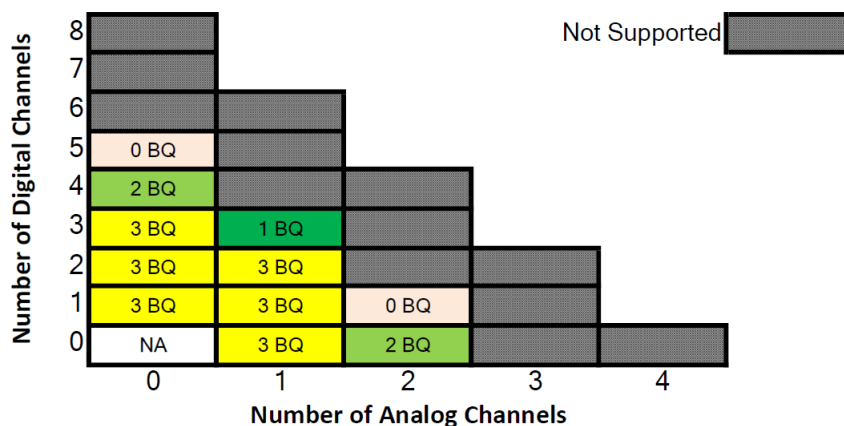


图 3-2. 启用 DRE/AGC 时适用于 96kHz 的通道组合

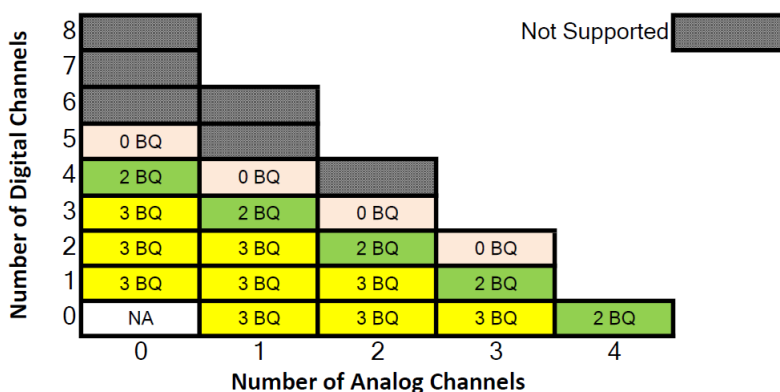


图 3-3. 禁用 DRE/AGC 时适用于 96kHz 的通道组合

3.4 采样率为 192 kHz

192kHz 工作频率支持全部三个抽取滤波器选项。

图 3-4 显示了启用 DRE 或 AGC 时支持 192kHz 采样率和线性相位抽取滤波器响应的通道组合。图 3-5 显示了无 AGC 或 DRE 时支持的组合。线性相位抽取滤波器选项支持双二阶滤波器、通道加法器和数字混频器。

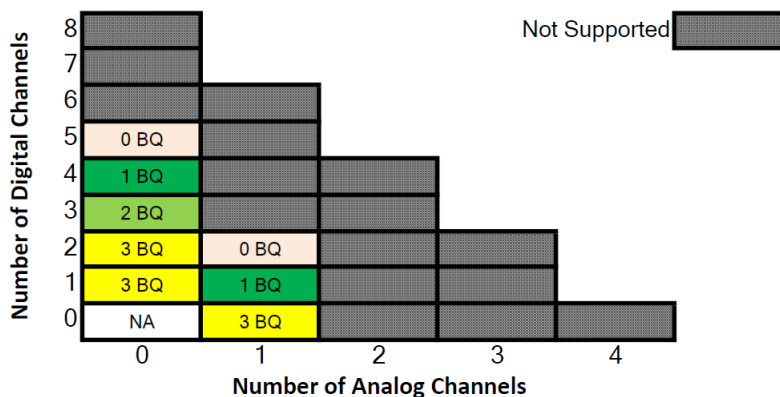


图 3-4. 启用 AGC/DRE 时适用于 192kHz 线性相位滤波器的通道组合

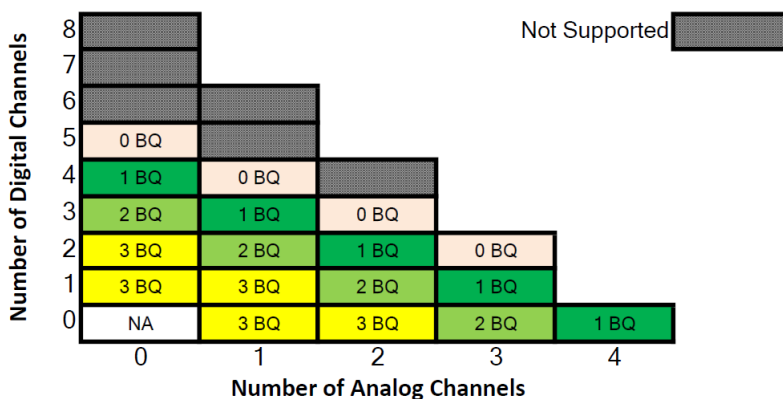


图 3-5. 禁用 AGC/DRE 时适用于 192kHz 线性相位滤波器的通道组合

对于低延迟（和超低延迟）抽取滤波器响应选项，在禁用 AGC 或 DRE 时最多支持三个通道。启用 AGC 或 DRE 时，仅支持一个通道。该模式不支持双二阶滤波器、通道加法器和数字混频器。

3.5 采样率为 384 kHz

384kHz 采样率支持线性相位 (DECI_FILT = 00) 和超低延迟 (DECI_FILT = 10) 抽取滤波器响应。384kHz 工作频率不支持 AGC 和 DRE、双二阶滤波器、通道加法器和数字混频器块。384kHz 最多支持两个通道，它们可以是模拟通道、数字通道或两者的组合。

3.6 采样率为 768 kHz

768kHz 采样率仅支持线性相位 (DECI_FILT = 00) 抽取滤波器响应。不支持 AGC 和 DRE、双二阶滤波器、通道加法器和数字混频器块。仅支持一个通道。它可能是模拟通道或数字 PDM 麦克风。

4 示例配置

下文提供了用于不同组合的一些示例器件配置脚本示例。

示例 1：两个输入通道，四个输出通道，使用数字混频器。

1. 差分 2 通道输入
2. 线性相位抽取滤波器
3. 24 位 TDM 模式
4. 启用数字混频器模式
5. 数字混频器 3：通道 3 输出 = $0.5 \times \text{通道 1} + 0.5 \times \text{通道 2}$
6. 数字混频器 4：通道 4 输出 = $0.5 \times \text{通道 1} - 0.5 \times \text{通道 2}$

```
# Key: w 98 XX YY ==> write to I2C address 0x98, to register 0xxx, data 0xyy
#           # ==> comment delimiter
#
# Differential 2-channel 24-bit TDM mode : INP1/INM1 - Ch1, INP2/INM2 - Ch2
# FSYNC = 48 kHz (Output Data Sample Rate), BCLK = 11.2896 MHz (BCLK/FSYNC = 256)
#####
#
#
# Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Release SHDNZ to HIGH.
# wait for 1ms.
#
w 98 00 00 # Goto Page 0
w 98 02 81 # Wake-up device by I2C write into P0_R2 using internal AREG
w 98 6B 01 # Linear Phase Decimation Filter with digital mixer
# Digital Mixer 3 Configuration
w 98 00 04 # Goto Page 4
w 98 28 40 00 00 00 # Digital Mixer 3: Channel 1 Coefficient (MIX3_CH1) = 0.5
w 98 2C 40 00 00 00 # Digital Mixer 3: Channel 2 Coefficient (MIX3_CH2) = 0.5
w 98 30 00 00 00 00 # Digital Mixer 3: Channel 3 Coefficient (MIX3_CH3) = 0.0
w 98 34 00 00 00 00 # Digital Mixer 3: Channel 4 Coefficient (MIX3_CH4) = 0.0
# Digital Mixer 4 Configuration
w 98 00 04 # Goto Page 4
w 98 38 40 00 00 00 # Digital Mixer 4: Channel 1 Coefficient (MIX4_CH1) = 0.5
w 98 3C C0 00 00 00 # Digital Mixer 4: Channel 2 Coefficient (MIX4_CH2) = -0.5
w 98 40 00 00 00 00 # Digital Mixer 4: Channel 3 Coefficient (MIX4_CH3) = 0.0
w 98 44 00 00 00 00 # Digital Mixer 4: Channel 4 Coefficient (MIX4_CH4) = 0.0

w 98 00 00 # Goto Page 0
w 98 07 20 # TDM Mode with 24 Bits/Channel
w 98 73 C0 # Enable Ch.1 - Ch.2
w 98 74 F0 # Enable Ch.1 - Ch.4 ASI Output channels
w 98 75 E0 # Power up ADC
```

示例 2：四个输入通道，使用通道加法器。

1. 差分 4 通道输入
2. 线性相位抽取滤波器
3. 32 位 TDM 模式
4. 双通道加法器模式

```
# Key: w 98 XX YY ==> write to I2C address 0x98, to register 0xxx, data 0xyy
#           # ==> comment delimiter
#
# The following list gives an example sequence of items that must be executed in the time
# between powering the device up and reading data from the device. Note that there are
# other valid sequences depending on which features are used.
#
# See the corresponding EVM user guide for jumper settings and audio connections.
#
# Differential 4-channel : INP1/INM1 - Ch1, INP2/INM2 - Ch2, INP3/INM3 - Ch3 and INP4/INM4 - Ch4
# FSYNC = 48 kHz (Output Data Sample Rate), BCLK = 11.2896 MHz (BCLK/FSYNC = 256)
#####
#
#
# Power up IOVDD and AVDD power supplies keeping SHDNZ pin voltage LOW
# wait for IOVDD and AVDD power supplies to settle to steady state operating voltage range.
# Release SHDNZ to HIGH.
# wait for 1ms.
#
w 98 00 00 # Goto Page 0
w 98 02 81 # Wake-up device by I2C write into P0_R2 using internal AREG
w 98 68 05 # Linear Phase Filter with 2 channel summer mode (DSP_CFG0)
w 98 00 00 # Goto Page 0
w 98 07 30 # TDM Mode with 32 Bits/Channel
w 98 73 f0 # Enable Ch.1 - Ch.4
w 98 74 f0 # Enable ASI Output channels
w 98 75 e0 # Power up ADC
```

5 参考文献

- 德州仪器 (TI) , [TLV320ADC5140 四通道、768kHz、Burr-Brown 音频 ADC 数据表](#)。
- 德州仪器 (TI) , [TLV320ADC3140 四通道、768kHz、Burr-Brown 音频 ADC 数据表](#)。
- 德州仪器 (TI) , [PCM5140-Q1 四通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。
- 德州仪器 (TI) , [PCM3140-Q1 四通道、768kHz、Burr-Brown™ 音频 ADC 数据表](#)。
- 德州仪器 (TI) , [TLV320ADCx140/PCMx140-Q1 可编程双二阶滤波器配置和应用 应用手册](#)。

修订历史记录

Changes from Revision * (April 2019) to Revision A (January 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 通篇添加了 PCMx140-Q1.....	1

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司