

# TI 高精度设计：经验证的设计 针对最低失真和噪声的 18 位，1 每秒百万次采样 (MSPS) 数 据采集块 (DAQ)



## TI 高精度设计

TI 高精度设计是由 TI 模拟产品专家创建的模拟解决方案。经验证的设计提供了原理、元件选型、仿真、完整的印刷电路板 (PCB) 电路原理图 & 布局布线、物料清单和有用电路的测试性能。还讨论了有助于符合替代设计目标的电路修改。

## 设计资源

[设计存档](#) 全部设计文件  
[TINA-TI™](#) SPICE 模拟器  
[OPA333](#) 产品文件夹  
[THS4521](#) 产品文件夹  
[THS4281](#) 产品文件夹  
[ADS8881](#) 产品文件夹

## 电路描述

该设计是一个采样速率 1MSPS，并且优化了最低失真和噪声性能的 18 位数据采集块。此电路由一个 18 位逐次逼近电容器 (SAR) 模数转换器 (ADC)，一个全差分输入驱动器和高精度基准和基准驱动器实现。此设计详述了优化高精度前端驱动电路以及基准电路，从而在 ADS8881 功耗较低时实现出色动态性能的过程。

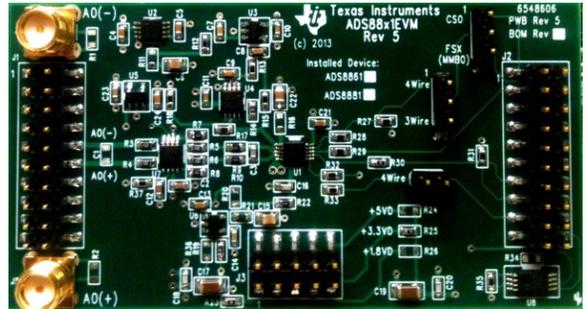
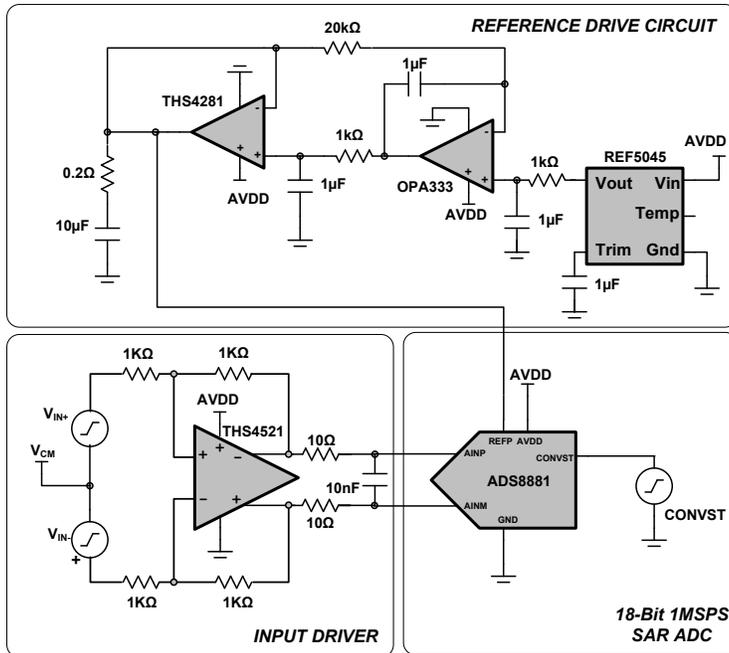


[请访问模拟产品专家  
WEBENCH® 设计中心  
TI 高精度设计库](#)



在这个 TI 参考设计末尾的一个重要声明表述了授权使用、知识产权问题和其他重要的免责声明和信息。

TINA-TI 是德州仪器 (TI) 的商标  
 WEBENCH 是德州仪器 (TI) 的注册商标



## 1 设计汇总

主要目标是使用 18 位 ADS8881，以 1MSPS 数据吞吐量，设计出对 10kHz 满量程纯正弦波输入的低功耗最小失真和噪声数据采集块。针对这个块设计的设计需求为：

- 系统电源电压：5V 直流
- ADC 电源：3.3V 直流
- ADC 采样速率：1MSPS
- ADC 基准电压 (VREF)：4.5V 直流
- ADC 输入信号：幅值为  $V_{pk} = 4.315V$  (-0.4dBFS 以避免削波) 和频率， $f_{IN} = 10kHz$  的差分输入信号被施加到 ADC 的每个差分输入上脚。

Table 1 中总结了设计目标和性能。

表 1：设计目标、模拟和实测的性能之间的比较

参数	目标值	模拟值	测量值
总功率	< 40mW	不可用	39.4mW
信噪比 (SNR)	> 98dB	不可用	98.74dB
总谐波失真 (THD)	< -110 dB	不可用	-110.04dB
有效位数 (ENOB)	16	不可用	16.05
积分非线性 (INL)	< ±1.5LSB	不可用	< ±1.5LSB

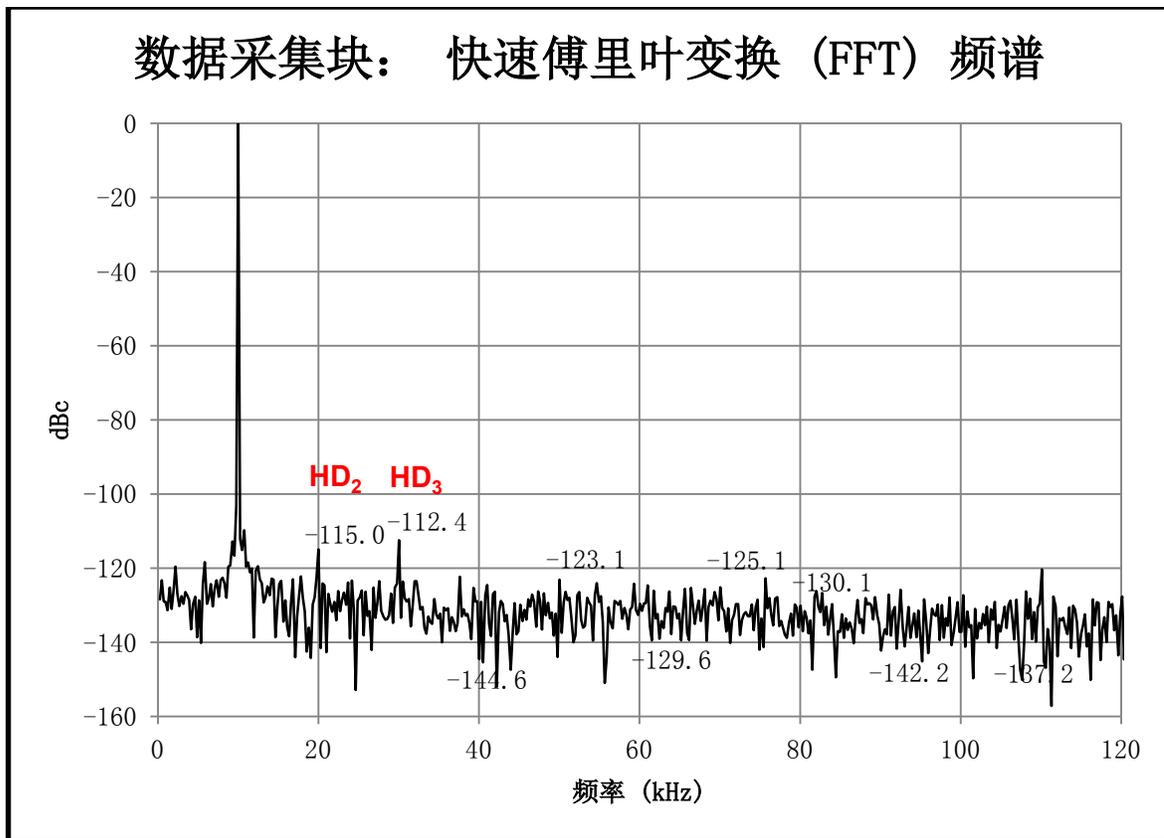


图 1： 针对数据采集块的 FFT 的测量结果

## 2 工作原理

最大限度增加高分辨率 SAR ADC 性能的两个主要设计考虑是输入驱动器和基准驱动器设计。Figure 2 中给出了总体系统方框图。此方框图包含关键模拟电路块、输入驱动器、抗混叠滤波器和基准驱动器。应该根据 ADC 性能技术规范仔细设计每个模拟电路块，以便在功耗较低的同时最大限度地提高数据采集系统的失真和噪声性能。此图包含针对每个单独模拟块的最主要的技术规范。

这个设计系统地着手进行每个模拟电路块的设计，以实现一个针对 10kHz 正弦输入信号的 16 位低噪声和失真数据采集系统。此设计的第一步需要理解极低失真输入驱动器放大器的需求。这将有助于确定适当的输入驱动器配置，以及选择一个输入放大器来满足系统需要。下一个重要的步骤是抗混叠滤波器的设计，以便在保持放大器稳定性的同时减弱 ADC 反冲噪声。最后一个设计难题是设计一个高精度基准驱动器电路，这将提供所需的具有低偏移、低漂移和低噪声的  $V_{REF}$  值。

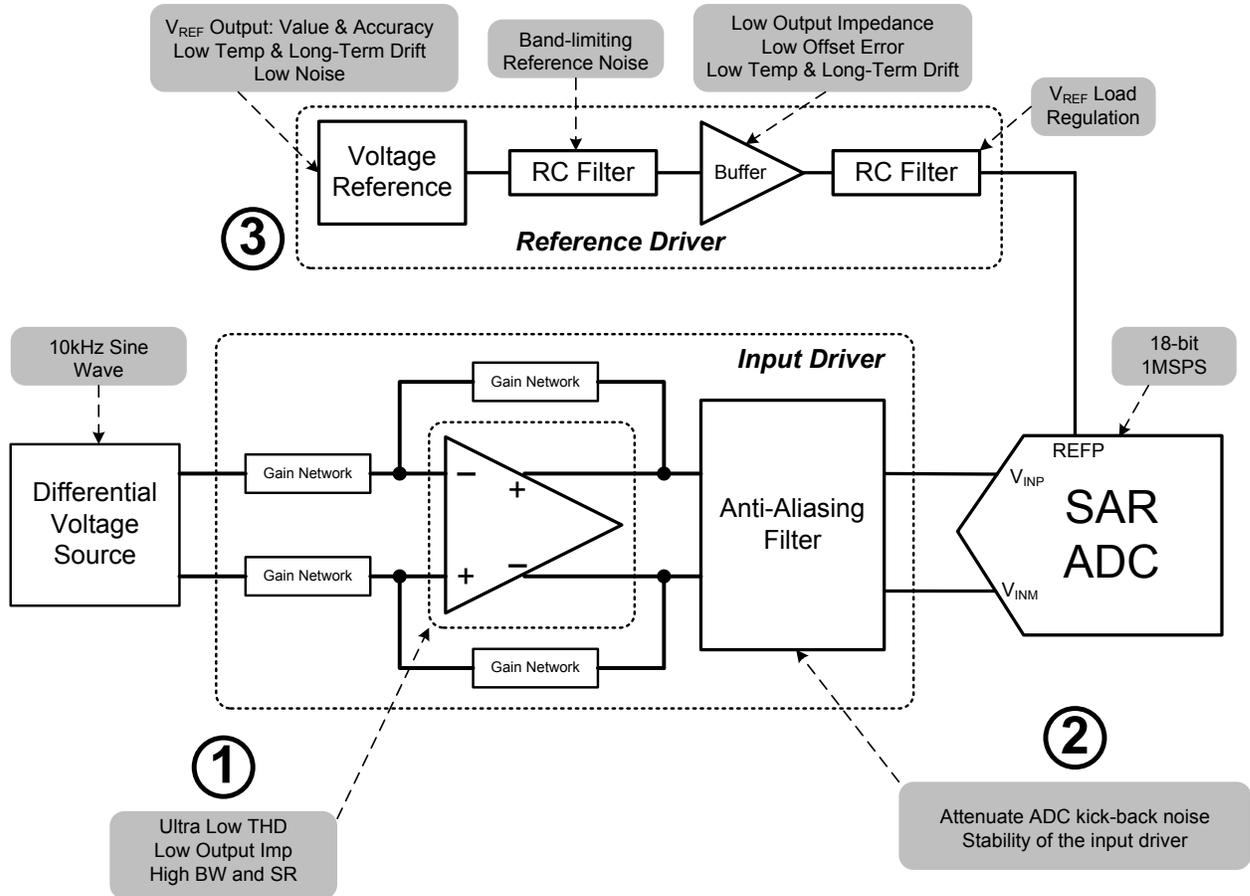


图 2：方框图突出显示了针对这个 DAQ 块的主要设计标准

## 2.1 理解 ADC 动态性能

针对 ADC 输入驱动器电路包括两个部分：驱动放大器和一个飞轮电阻电容 (RC) 滤波器。此放大器可被用于输入电压的信号调节，并且其高输入阻抗和低输出阻抗在信号源和 ADC 输入之间提供一个缓冲。此 RC 滤波器有助于减弱来自 ADC 开关电容器输入级的反冲噪声，并且可作为一个抗混叠滤波器来频带限制由前端电路产生的宽频带噪声。

这个设计主要考虑的交流技术规格为信噪比 (SNR)，总谐波失真 (THD)，信噪比和失真率 (SINAD) 和有效位数 (ENOB)。基本上，所有这些参数是根据一个快速傅里叶变换 (FFT) 分析来量化一个 ADC 的噪声和失真性能的不同方法。Figure 3 中显示了一个针对 ADC 的典型 FFT 曲线图。

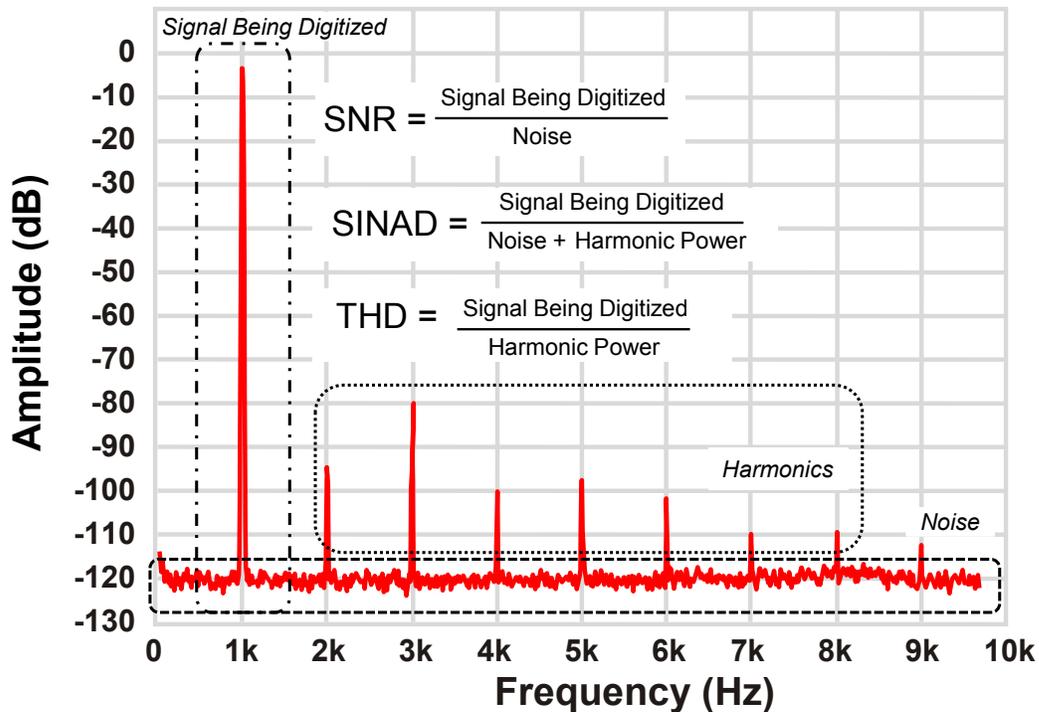


图 3: 一个 ADC 的交流技术规格

### 2.1.1 信噪比 (SNR)

SNR 提供对系统总体噪声的深入观察。数据采集系统的总噪声是前端放大器噪声 ( $V_{n\_AMP\_RMS}$ ) 和 ADC 噪声 ( $V_{n\_ADC\_RMS}$ ) 的和方根 (rss)。此 ADC 噪声包括量化噪声, 以及 ADC 内部电路导致的噪声。所有这些噪声源引入的总噪声, 表示为  $V_{n\_TOT\_RMS}$ , 是指用于计算系统总 SNR ( $SNR_{SYS}$ ) 的 ADC 输入。

$$V_{n\_TOT\_RMS} = \sqrt{V_{n\_AMP\_RMS}^2 + V_{n\_ADC\_RMS}^2} \quad (1)$$

$$SNR_{SYS} = \frac{V_{SIG\_RMS}}{V_{n\_TOT\_RMS}} \quad (2)$$

### 2.1.2 总谐波失真 (THD)

THD 被定义为全部谐波分量的 rss (通常情况下, 使用 9 个谐波) 与基础信号频率的比率。它通常由一个接近满量程 (FS) 的输入信号确定, 但是在这个设计中, 输入保持在比 FS 低 0.4dB 的水平上, 以防止削波失真。如果输入信号的均方根 (rms) 值被表示为  $V_{SIG\_RMS}$ , 并且  $n^{th}$  谐波中的功率被表示为  $V_{HAR\_n\_RMS}$ , 那么总谐波失真 ( $V_{HAR\_TOT\_RMS}$ ) 和 THD 可被计算为:

$$V_{HAR\_TOT\_RMS} = \sqrt{V_{HAR\_1\_RMS}^2 + V_{HAR\_2\_RMS}^2 + \dots + V_{HAR\_9\_RMS}^2} \quad (3)$$

$$THD = \frac{V_{SIG\_RMS}}{V_{HAR\_TOT\_RMS}} \tag{4}$$

### 2.1.3 信噪比和失真率 (SINAD)

SINAD 将失真和噪声的影响组合在一起，以提供一个系统总体动态性能的累计衡量方法。

$$SINAD_{SYS} = \frac{V_{SIG\_RMS}}{\sqrt{V_{n\_TOT\_RMS}^2 + V_{HAR\_TOT\_RMS}^2}} \tag{5}$$

### 2.1.4 有效位数 (ENOB)

ENOB 是一个通过指定噪声底以上位数来测量 ADC 数字化信号质量的有效方法。对于一个只有量化噪声的理想 N 位 ADC，SNR（单位为 dB）可被计算为：

$$SNR = 6.02 \times N + 1.76 \tag{6}$$

$$N = \frac{SNR - 1.76}{6.02} \tag{7}$$

通过将等式中的 SNR 替代为 SINAD<sub>sys</sub> 来将 ENOB 的这个定义外推为表示数据采集系统的总体动态性能。

$$ENOB = \frac{SINAD_{SYS} - 1.76}{6.02} \tag{8}$$

因此，为了最大限度地提高高精度 ADC 的性能，将前端电路引起的失真和噪声保持在极低的水平上是十分重要的。根据等式 8，在 Figure 4 中计算出实现 ENOB 16 位数据采集系统所需的最小 THD 和 SNR。

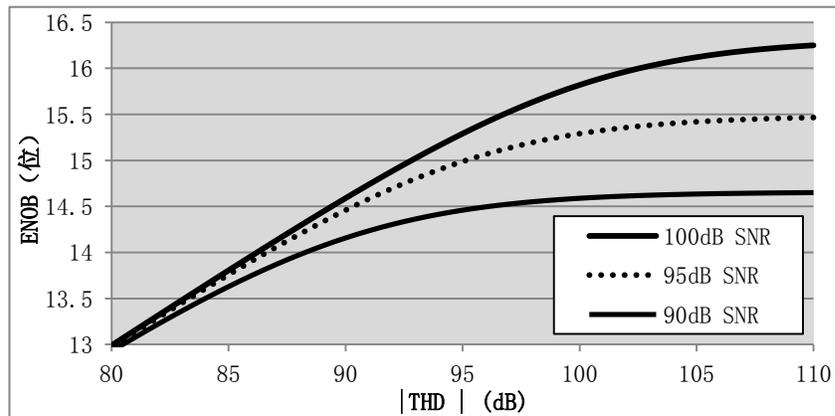


图 4: ENOB 与 THD 和 SNR 之间的关系

## 2.2 低失真输入驱动器设计

在设计一个极低失真数据采集块时，理解非线性源十分重要。ADC 和输入驱动器在一个数据采集块中引入非线性。为了实现最低失真，针对高性能 SAR ADC 的输入驱动器需要具有一个相对于 ADC 失真可忽略的失真。这要求输入驱动器失真比 ADC THD 低 10dB。这个严格要求确保系统的总 THD 降级不会大于 -0.5dB。

$$\text{THD}_{\text{AMP}} < \text{THD}_{\text{ADC}} - 10 \text{ dB} \quad (9)$$

因此，选择一个放大器来符合上述标准以避免系统 THD 受到输入驱动器的限制十分重要。反馈系统中的放大器非线性取决于可用的环路增益。在下方的 Figure 5 中显示了模拟非线性的方框图。

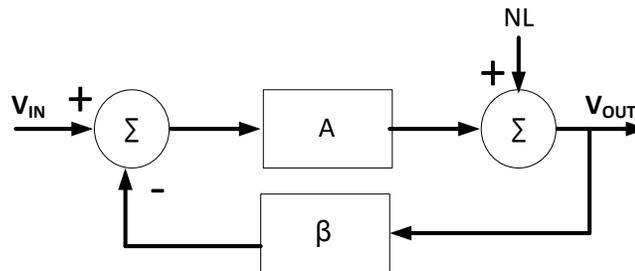


图 5: 反馈系统中的非线性

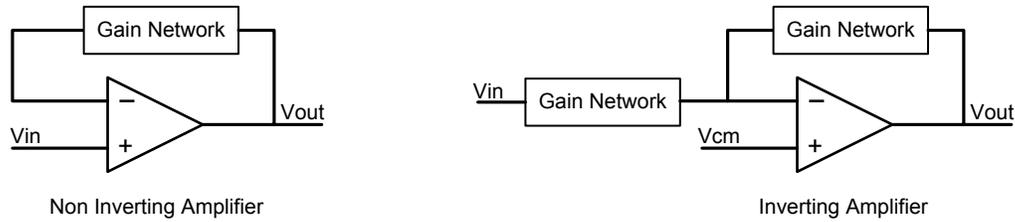
$$V_{\text{out}} = \frac{V_{\text{in}} \times A}{1 + A\beta} + \frac{NL}{1 + A\beta} \quad (10)$$

上述反馈系统中的非线性 (INL) 由环路增益 ( $A\beta$ ) 拆分。放大器的开环增益 ( $A$ ) 是频率的函数，通常情况下，每十进制频率降级 -20dB。更高频率上开环增益的减少导致 THD 在高频时降级。为了保持较高频率时的低 THD，选择一个具有高增益带宽积 (GBW) 十分重要。这将保证较高频率时可提供足够的环路增益，以保持最小所需的 THD 技术规格。

大多数放大器数据表将 THD + N 指定为一个测得的技术规格。在某些放大器中，噪声是影响 THD + N 技术规格的主导因素。理解这一点很重要。然而，您可以根据 2<sup>nd</sup> 和 3<sup>rd</sup> 谐波失真 (分别为  $\text{HD}_2$  和  $\text{HD}_3$ )，使用等式 11 来只计算放大器的 THD 技术规格。

$$\text{THD(dB)} = 10 \log \left( 10^{\frac{\text{HD}_2}{10}} + 10^{\frac{\text{HD}_3}{10}} \right) \quad (11)$$

然而，输入驱动器的失真不但受放大器失真技术规格的限制，而且也受到放大器配置的限制。此输入驱动器可被配置为 Figure 6 中显示的反相或非反相配置。



**图 6： 非反相和反相放大器配置**

非反相配置中的输入驱动器的共模电压由输入信号设定。这添加了对输入放大器的限制，以使轨到轨输入允许满量程输入信号。此外，输入放大器共模的运动在放大器的输出上引入额外的取决于共模的失真。相比较而言，在反相配置中，共模时固定的，因此无需轨到轨输入，并且不会引入任何额外的取决于共模的失真。因此，在这个设计中，输入驱动器放大器采用反相放大器配置。这个结构选择有助于大大改进系统的 THD 性能。然而，它的确带来了其他平衡，此平衡将在随后进行讨论。

### 2.3 低失真抗混叠滤波器设计

模数信号的转换要求以恒定的速率对输入进行采样。如果输入包含频率高于采样速率一半的高频内容，此高频内容将被折返回低频谱并被数字化。这被称为抗混叠。因此，需要一个抗混叠滤波器来删除这个谐波内容。一个抗混叠滤波器被设计成一个低通滤波器，其角频率等于采样速率。以采样速率设计抗混叠滤波器角频率确保输入信号衰减被保持在最大值为 1dB 的水平上，同时从折返频率中滤除高频内容。抗混叠滤波器还有助于限制输入驱动器放大器输出上的带宽和噪声。

Figure 7 中显示的 SAR ADC 的输入在数据采集期间引入瞬态失真。输入缓冲器不是输出阻抗为 0 欧姆且电流驱动不受限制的理想源，因此，抗混叠滤波器有助于几点重要的设计需求。此电容器  $C_{FLT}$  有助于减少 ADC 输入上的反冲噪声，并且提供一个电荷桶，在采样过程期间为输入电容器  $C_{SH}$  快速充电。应该选择电容器  $C_{FLT}$  的值，这样，当开关  $SW_{SAMP}$  关闭时， $C_{FLT}$  上的压降 ( $\Delta V$ ) 少于输入电压的 5%。

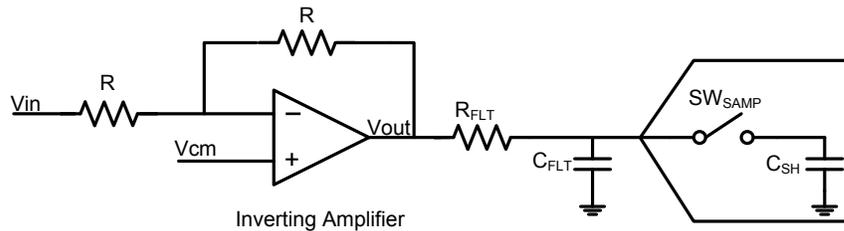


图 7: 单端输入采样级的简化电路原理图

ADC 采样电容器所需的电荷，  $Q_{IN} = C_{SH} \times V_{REF}$

滤波电容器提供的电荷，  $Q_{FLT} = C_{FLT} \times \Delta V_{FLT} \leq C_{FLT} \times (0.05 \times V_{REF})$

根据电荷守恒定律：

$$\begin{aligned} Q_{IN} &= Q_{FLT} \\ C_{FLT} \times (0.05 \times V_{REF}) &\geq C_{SH} \times V_{REF} \end{aligned} \quad (12)$$

$$C_{FLT} \geq 20 \times C_{SH} \quad (13)$$

在这一点上，有必要理解选择  $C_{FLT}$  和  $R_{FLT}$  的值时所涉及的平衡。如果  $C_{FLT}$  值较高，它在采样开关关闭时，提供针对反冲噪声的更佳衰减。然而，不能任意地将  $C_{FLT}$  设定为较高值，这是因为它使驱动放大器的相位裕量减少，从而使其不稳定。此串联电阻器  $R_{FLT}$  运行作为隔离电阻器，它有助于稳定驱动放大器。较高的  $R_{FLT}$  值有助于放大器的稳定性，但是会降低交流性能，应该将二者平衡，以确保失真不会超过所需的技术规格。失真发生的原因是 ADC 的非线性输入阻抗，并且随着源阻抗、输入信号频率和振幅的增加而增加。使抗混叠电阻器 ( $R_{FLT}$ ) 远低于开关电阻值十分重要。其电阻器最好比开关电阻器的值低 20 倍。

$$R_{FLT} < \frac{R_{SWITCH}}{20} \quad (14)$$

基于稳定性考虑， $R_{FLT}$  的最小值取决于放大器的输出阻抗。如果驱动放大器的输出阻抗等于  $R_0$ ，通过评估  $R_{FLT}$  和  $C_{FLT}$  对放大器开环响应的影响，可分析其稳定性。 $R_0$ 、 $R_{FLT}$  和  $C_{FLT}$  的组合在放大器开环响应中引入一个极点， $f_p$  (等式 15) 和一个零点， $f_z$  (等式 16)，对于此响应，角频率给出如下：

$$f_p = \frac{1}{2\pi(R_0 + R_{FLT})C_{FLT}} \quad (15)$$

$$f_z = \frac{1}{2\pi R_{FLT} C_{FLT}} \quad (16)$$

为了确保零极的相位变化抵消了磁极引起的相位变化，磁极和零极之间的频率距离必须少于或等于一个十倍频程。

$$\log\left(\frac{f_z}{f_p}\right) \leq 1 \quad (17)$$

使用等式 (15) 和 (16)， $R_{FLT}$  的最小值可推导为：

$$R_{FLT} \geq \frac{R_0}{9} \quad (18)$$

为了实现稳定性， $f_z$  的影响必须在一个低于放大器的闭环增益带宽的频率 ( $f_{cl}$ ) 上出现。这是因为，对于放大器电路的稳定性，开环和闭环增益曲线之间的闭合速率不应大于每十倍频 20db。为了将与放大器性能相关的制造工艺变化计算在内，一个好的做法就是选择  $f_z$ ，这样，放大器的闭环增益带宽， $f_{cl}$  至少为零极频率的两倍。

$$\frac{f_{CL}}{f_z} \geq 2 \quad (19)$$

对于一个综合的 SAR ADC 的全差分放大器，抗混叠滤波器通常被设计为一个 Figure 8 中显示的差分滤波器。

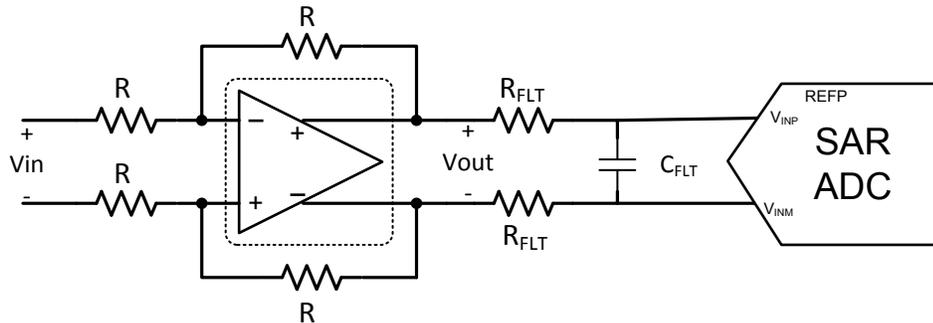


图 8：全差分抗混叠滤波器

然后，对于一个全差分系统，可使用等式 20 来计算抗混叠滤波器带宽。需要注意的是，对于一个全差分滤波器，有效电容值是 RC 滤波器的两倍。

$$BW_{FLT} = \frac{1}{2\pi \times R_{FLT} \times (2 \times C_{FLT})} \quad (20)$$

## 2.4 系统噪声分析

一个高性能 18 位，1MSPS SAR ADC 具有一个 99dB 的典型 SNR 技术规格，此时输入信号为 10kHz，并且  $V_{REF} = 5V$ 。为了保持这个 ADC 的出色动态性能，在这个部分已经分析了前端电路的噪声影响。这个分析将提供一个最大噪声的范围，在此范围内输入驱动器电路不会降低系统 SNR 性能。根据最大噪声，可为这个设计选择合适的输出放大器和反馈电阻器。

采用反相配置的输入驱动器要求输入和反馈电阻器与非反相配置中的值相类似。这个架构选择对噪声分析有显著影响。如果我们考虑 Figure 9 中的电路，此电路是一个具有两个电阻器、采用反相配置的放大器，我们能够分别计算出每个电阻器的噪声，以及运算放大器电压噪声。每个源对放大器输出上的噪声有其自己的影响。输入引入噪声 (RTI) 只是由放大器噪声增益拆分的输出引入噪声 (RTO)。只考虑电压噪声，而不考虑电流噪声，RTI 噪声可被计算为：

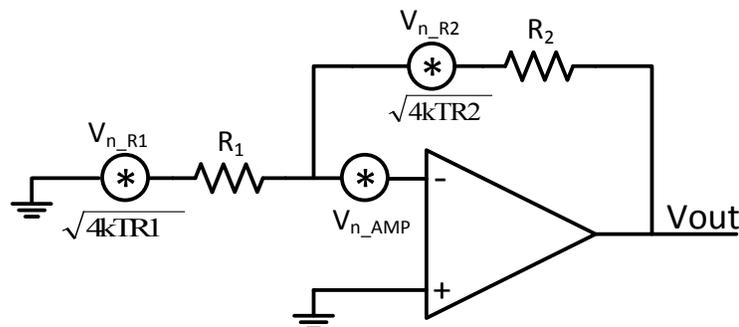


图 9：反相放大器中的噪声影响

$$NG = 1 + \frac{R_2}{R_1} \quad (21)$$

$$V_{n\_AMP\_RTI\_RMS} = \sqrt{1.57 \times BW_{FLT}} \times \sqrt{V_{n\_AMP}^2 + 4kTR_1 \left[ \frac{R_2}{R_1 + R_2} \right]^2 + 4kTR_2 \left[ \frac{R_1}{R_1 + R_2} \right]^2} \quad (22)$$

$$V_{n\_AMP\_RTO\_RMS} = NG \times V_{n\_AMP\_RTI\_RMS}$$

为了计算 RMS 噪声，需要在抗混叠滤波器带宽范围内整合进电压噪声密度。对于一个 RC 滤波器，有效带宽等于  $\frac{\pi}{2}$  (1.57) 倍的 3dB 截止频率。可观察到，电阻的热噪声对 RTO 噪声有很大影响。在一个反相配置中，输入放大器的噪声增益 (NG) 为 2。在这个情况下，用 -1 的反相增益表示的噪声可简化为：

$$V_{n\_AMP\_RTI\_RMS} = \sqrt{1.57 \times BW_{FLT}} \times \sqrt{V_{n\_AMP}^2 + 4kT \frac{R}{2}} \quad (23)$$

$$V_{n\_AMP\_RTO\_RMS} = 2 \times \sqrt{1.57 \times BW_{FLT}} \times \sqrt{V_{n\_AMP}^2 + 4kT \frac{R}{2}}$$

与单端放大器相比较，如 Figure 10 中所示，全差分放大器在每个输入上有反馈电阻器。全差分放大器中的噪声可被计算为考虑两个采用如 Figure 10 中所示反相配置的单端放大器。这两个单端放大器是完全一样的，因此使用叠加定律，可用表达式 24 计算出全差分放大器的噪声。

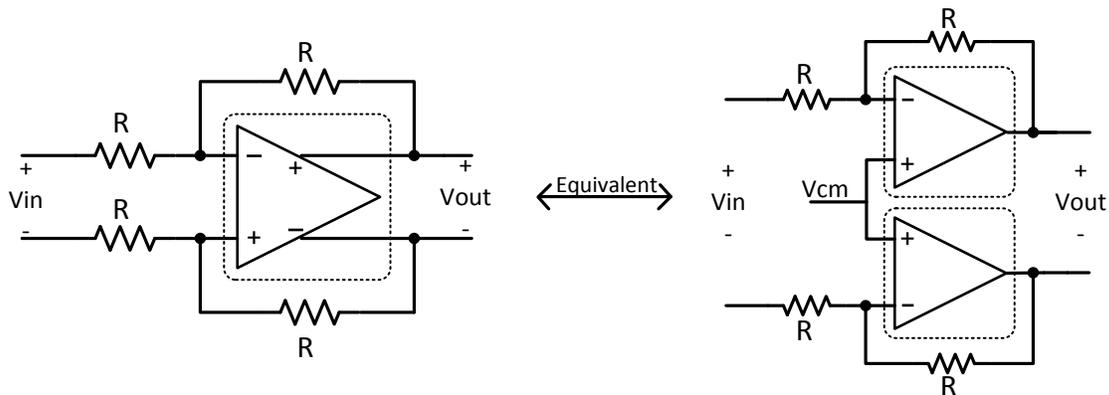


图 10: 全差分放大器配置

$$V_{n\_DIFF\_AMP\_RTO\_RMS} = \sqrt{(V_{n\_AMP\_RTO\_RMS})^2 + (V_{n\_AMP\_RTO\_RMS})^2}$$

$$V_{n\_DIFF\_AMP\_RTO\_RMS} = \sqrt{2} \times (V_{n\_AMP\_RTO\_RMS}) \quad (24)$$

$$V_{n\_DIFF\_AMP\_RTO\_RMS} = 2 \times \sqrt{1.57 \times BW_{FLT}} \times \sqrt{2 * V_{n\_AMP}^2 + 4kTR}$$

根据上面等式 24 中的表达式，要实现放大器的低噪声和高 SNR，为放大器的反馈选择低电阻值十分重要。然而，选择一个低电阻值将增加系统功耗，并且还将需要具有高输出电流驱动的放大器。因此，有必要在两者之间做出适当的选择以协调系统噪声和功率之间的关系。

现在，考虑一个具有  $V_{FSR}$  输入动态范围的 ADC，使用以下的等式，可根据数据表中 SNR 额定值计算出输入引入噪声：

$$V_{n\_ADC\_RMS} = \frac{V_{FSR}}{2\sqrt{2}} \times 10^{-\frac{SNR(dB)}{20}} \quad (25)$$

因此，整个数据采集系统生成的总噪声可计算为：

$$V_{n\_TOT\_RMS} = \sqrt{V_{n\_DIFF\_AMP\_RTO\_RMS}^2 + V_{n\_ADC\_RMS}^2} \quad (26)$$

为了实现整个 DAQ 块的最小 SNR ( $SNR_{SYS}$ )，DAQ 块的最大总体 rms 噪声需要符合等式 27（将等式 2 和等式 26 组合在一起）的要求。

$$\sqrt{V_{n\_DIFF\_AMP\_RTO\_RMS}^2 + V_{n\_ADC\_RMS}^2} < \frac{V_{FSR}}{2\sqrt{2} \times 10^{\frac{SNR_{SYS}}{20}}} \quad (27)$$

## 2.5 参考驱动器设计

外部电压基准电路与不具有内部基准的 ADC 一同使用。它们为 ADC 基准输入提供低漂移和非常精确的电压。然而，基准的输出宽频带噪声大约为几百  $\mu\text{VRMS}$ ，降低了高精度 ADC 的噪声和线性性能，它的噪声典型值大约为几十  $\mu\text{VRMS}$ 。因此，为了优化 ADC 性能，适当地过滤和缓冲电压基准的输出很关键。

Figure 11 显示了针对高精度 ADC 基准驱动器电路的基本电路图。

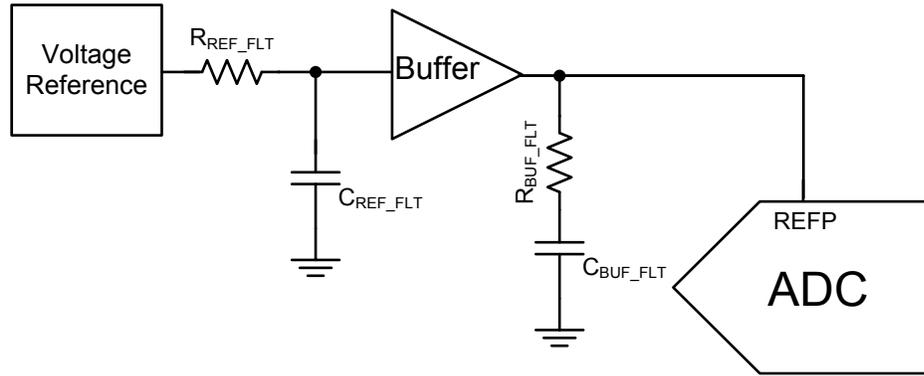


图 11：参考驱动器电路的经简化电路原理图

基准噪声可分为峰值到峰值低频闪烁或  $1/f$  噪声 ( $V_{1/f\_REF\_pp}$ )，范围从 0.1Hz 至 10Hz，而更高频率的宽频带噪声，通常被指定为宽频率范围内的噪声谱密度 ( $e_{n\_REF\_RMS}$ )。基准电路的宽频带输出噪声可由其输出上的一个 RC 滤波器的 3dB 截止频率 ( $f_{REF\_3dB}$ ) 进行频带限制。所以，此滤波器设计的主要目的是保持带宽足够低，这样的话，来自基准的集成噪声不会降低 ADC 的性能。因此，为了防止系统性能中的任何噪声降级，基准的总集成噪声 ( $V_{n\_REF\_RMS}$ ) 应该保持在至少比 ADC 噪声低 3 倍的水平上。

$$V_{n\_REF\_RMS} \leq \frac{V_{n\_ADC\_RMS}}{3} \quad (28)$$

如下所示，通过对闪烁噪声和宽频带噪声进行和方根运算可计算出  $V_{n\_REF\_RMS}$  的值：

$$V_{n\_REF\_RMS} = \sqrt{\left(\frac{V_{1/f\_REF\_pp}}{6.6}\right)^2 + e_{n\_REF\_RMS}^2 \times \frac{\pi}{2} \times f_{REF\_3dB}} \quad (29)$$

将 28 和 29 组合在一起，我们得到：

$$\sqrt{\left(\frac{V_{1/f\_REF\_pp}}{6.6}\right)^2 + e_{n\_REF\_RMS}^2 \times \frac{\pi}{2} \times f_{REF\_3dB}} \leq \frac{1}{3} \times \frac{V_{FSR}}{2\sqrt{2}} \times 10^{\frac{SNR(dB)}{20}} \quad (30)$$

100nV/√Hz 至 1000nV/√Hz 的电压基准范围内的，取决于基准类型和功耗的宽频带噪声密度的变化。总的来说，基准噪声与其静态电流 ( $I_{Q\_REF}$ ) 成反比。由于宽频带噪声密度并不是始终包含在电压基准数据表中，在等式 31 中提供了针对带隙基准电路的噪声密度的近似值：

$$e_{n\_REF\_RMS} \approx \frac{10000nV}{\sqrt{Hz}} \times \frac{1}{\sqrt{2 \times I_{Q\_REF} (\text{in } \mu A)}} \quad (31)$$

如 Figure 12 中所示：已经以输出噪声密度和几个 TI 基准电路的静态电流之间测得的特性得出上面的公式。

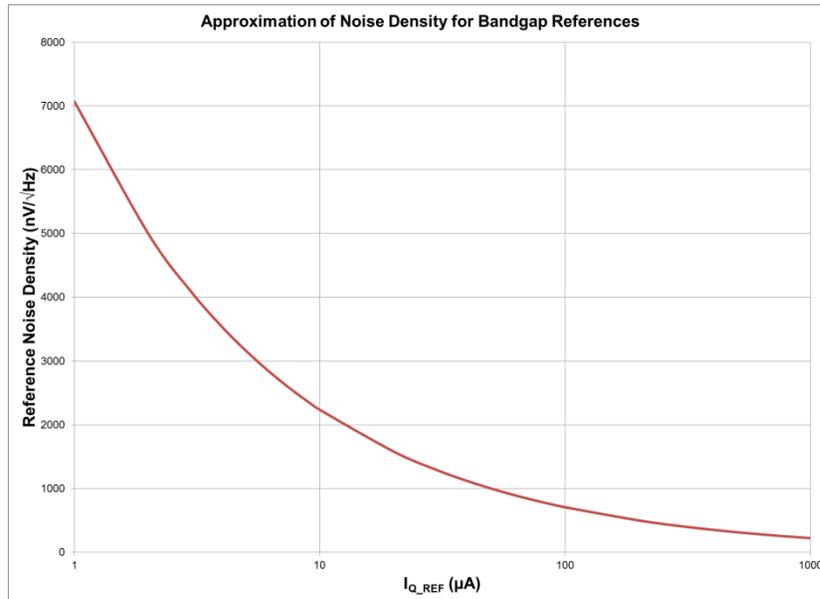


图 12： 基准噪声与电流间关系的特性曲线

在将等式 29, 30, 31 组合在一起时，可推导出  $f_{REF\_3dB}$  值为：

$$f_{REF\_3dB} \leq \frac{2 \times I_{Q\_REF} (\mu A)}{(10000 nV / \sqrt{Hz})^2} \times \frac{2}{\pi} \times \left[ \frac{1}{9} \times \frac{V_{FSR}^2}{8} \times 10^{\frac{SNR(dB)}{10}} - \left( \frac{V_{1/2\_REF\_pp}}{6.6} \right)^2 \right] \quad (32)$$

用于 RC 滤波器的电容器的值应该保持高于 100nF 以使其热噪声保持在低于 0.2μV<sub>RMS</sub> 的水平上。为  $C_{REF\_FLT}$  和  $f_{REF\_3dB}$  使用所选的值，可使用等式计算出  $R_{REF\_FLT}$  的值

$$R_{REF\_FLT} = \frac{1}{2\pi f_{REF\_3dB} \times C_{REF\_FLT}} \quad (33)$$

一旦基准单元的噪声受到频带限制，下一个重要的步骤是确保此基准能够驱动 ADC 基准输入引起的动态负载。基准缓冲器必须调整此电源，这样的话， $\Delta V_{REF}$  在每次转换开始时保持在 1LSB 误差范围内。这要求使用一个电容器 ( $C_{BUF\_FLT}$ )，连同一个缓冲器来驱动 ADC 基准引脚。下面给出了确定  $C_{BUF\_FLT}$  大小的计算方法

不同转换之间  $V_{REF}$  的差异：
$$\Delta V_{REF} \leq \frac{V_{REF}}{2^N}$$

如果每次转换期间消耗的电荷为  $Q_{REF}$ ，那么：

$$C_{\text{BUF\_FLT}} = \frac{Q_{\text{REF}}}{\Delta V_{\text{REF}}} \geq \frac{Q_{\text{REF}} \times 2^N}{V_{\text{REF}}} \quad (34)$$

通过最大 ADC 转换时间 ( $T_{\text{CONV\_MAX}}$ ) 和下方 ADC 数据表中指定的平均基准输入电流值 ( $I_{\text{REF}}$ ),  $Q_{\text{REF}}$  的平均值可计算为:

$$Q_{\text{REF}} = I_{\text{REF}} \times T_{\text{CONV\_MAX}} \quad (35)$$

在将等式 34 和 35 组合在一起时, 可获得  $C_{\text{BUF\_FLT}}$  的最小值:

$$C_{\text{BUF\_FLT}} \geq \frac{I_{\text{REF}} \times T_{\text{CONV\_MAX}} \times 2^N}{V_{\text{REF}}} \quad (36)$$

由这个等式得出的电容器值高到使驱动放大器不稳定, 所以建议使用一个串联电阻器,  $R_{\text{BUF\_FLT}}$  来隔离放大器输出并使其稳定。  $R_{\text{BUF\_FLT}}$  的值取决于驱动放大器的输出阻抗以及信号频率。  $R_{\text{BUF\_FLT}}$  的典型值在  $0.1 \Omega$  至  $2 \Omega$  之间, 并且可使用 SPICE 模拟器来找到其准确值。 应该注意的是, 较高的  $R_{\text{BUF\_FLT}}$  值会在基准引脚上导致高电压尖峰, 从而影响转换准确度。

在为频带限制基准电路噪声设计了合适的无源滤波器之后, 选择一个被用作基准缓冲器的合适放大器十分重要。 当为基准缓冲器选择一个合适的放大器时, 将要考虑的关键技术规格为:

**输出阻抗:** 一个基准缓冲的输出阻抗应该保持尽可能的低。 这是因为 ADC 在转换期间从基准引脚汲取电流, 而导致的基准电压压降与驱动缓冲器的输出阻抗直接成正比。 它还有助于在驱动大电容负载时 ( $C_{\text{BUF\_FLT}}$ ) 保持放大器稳定。

**输入偏移:** 缓冲放大器的输入偏移误差应该尽可能的低以确保驱动 ADC 的基准电压非常精确。

**偏移漂移:** 基准缓冲器的偏移温度漂移应该非常低, 以确保 ADC 的基准电压不会在工作温度范围内发生重大变化。 出于相似的原因, 为缓冲放大器保持一个较低的长时间漂移也很重要。

### 3 组件选择

#### 3.1 ADC 选择

这个 TI 设计已经针对低失真和噪声进行了优化，方法是针对 10kHz 满量程差分正弦波输入，以最大采样速率，使用 TI 的高分辨率，18 位 1MSPS SAR ADC，ADS8881。ADS8881 是一款设计用于 2.7V - 3.6V AVDD 和 1.65V - 3.6V DVDD 低压运行的真正差分 SAR ADC。ADS8881 在功耗极低的同时，具有出色的动态性能。1MSPS 时的功率耗散为 5.5mW（典型值），并且对于要求低数据吞吐量的应用可被进一步线性缩减。

#### 3.2 输入驱动器：放大器选择

这个设计的主要目标是实现具有最低失真和噪声的 DAQ 块。实现这个系统技术规格的最重要考虑是选择一个具有低失真（THD）的全差分放大器以驱动 SAR ADC 的输入。这个设计针对一个满量程正弦信号指定，运算放大器应该支持轨到轨输出（RRO）摆幅。为了满足这个应用的性能目标，其它关键技术规格是转换率、输出电流驱动和低功耗。

THS4521 是一款支持轨到轨输出并且输入共模范围包括负电源轨的低功耗、全差分运算放大器。此放大器设计用于功率耗散为关键参数的低功耗数据采集系统。此放大器提供出色的交流性能，符合输入驱动器对于极低失真和高转换率的需要。

#### 3.3 输入驱动器：RC 滤波器无源组件选择

针对这个设计的关键无源组件是用于 ADC 输入上 RC 滤波器的电阻器 ( $R_{FLT}$ ) 和电容器 ( $C_{FLT}$ )。这个电阻器的偏差选为 0.1%，但是，当由于成本合理性和产品可获得性方面的原因而无法满足这一要求时，电阻偏差值可被选为 1%。

为了保持模拟前端所要求的极低 THD 和噪声，低失真抗混叠滤波器的设计十分重要。由 ADC 非线性输入阻抗而导致的失真随源阻抗的增加而增加。因此，如部分 2.3 中解释的那样，使抗混叠电阻器的电阻值 ( $R_{FLT}$ ) 保持在远低于开关电阻值的水平上十分重要。ADS8881 的开关电阻值为 220  $\Omega$ ，因此，最大  $R_{FLT}$  可计算如下

$$\begin{aligned} R_{FLT} &< \frac{R_{SWITCH}}{20} \\ R_{FLT} &< 11\Omega \end{aligned} \quad (37)$$

电阻器  $R_{FLT}$  的值也需要保持驱动放大器的稳定性，并且取决于驱动放大器的输出阻抗，如等式中解释的那样。THS4521 的输出阻抗取决于运行频率。

通过使用等式， $R_{FLT}$  的最小电阻值可被计算为：

$$R_{FLT} \geq \frac{80}{9} \approx 9\Omega \quad (38)$$

因此，在这个设计中， $R_{FLT}$  被选为 10  $\Omega$  以满足上述的最小和最大要求。可选择更高的抗混叠电阻器值，然而，这将导致额外失真。

ADS8881 的输入电容为 59pF，因此，根据等式：

$$\begin{aligned}
 C_{FLT} &\geq 20 \times C_{SH} \\
 C_{FLT} &\geq 1.18\text{nF}
 \end{aligned}
 \tag{39}$$

总的来说，设计一个带宽尽可能低的 RC 滤波器是有利的，这样可以滤除放大器噪声。然而，因成本原因在选择大尺寸陶瓷 COG 电容器时的实际限制强制在电容器的电容值选择时选择最大值。在这个设计中，为 ADC 差分输入所选择的电容值为 10nF。根据 RC 值，抗混叠滤波器的带宽可使用等式 20 计算得出：

**表 2： 抗混叠滤波器的带宽计算**

$R_{FLT}$	10
$C_{FLT}$	10nF
$BW_{FLT}$	800kHz

这个解决方案被设计用来在节能的同时实现最低失真和噪声。因此，-1 反相增益配置中的反馈电阻器被选择为 1 k。1 k 电阻器的选择和抗混叠带宽强制一个最大放大器噪声需求，以满足最小系统 SNR ( $SNR_{SYS}$ ) 技术规格。使用 Table 3 中定义参数突出显示了根据部分 2.4 中描述原理而进行的最大放大器噪声计算。

**表 3： 针对放大器噪声计算的参数**

所需的 $SNR_{SYSTEM}$	98dB
$V_{FSR}$	4.315V
ADC SNR	99dB
$BW_{FLT}$	800kHz
R	1000

$$V_{n\_TOT\_RMS} = \frac{V_{FSR}}{2\sqrt{2} \times 10^{\frac{SNR_{SYSTEM}}{20}}} = \frac{4.315}{2\sqrt{2} \times 10^{\frac{98}{20}}} = 38\mu V
 \tag{40}$$

$$V_{n\_ADC\_RMS} = \frac{V_{FSR}}{2\sqrt{2}} \times 10^{\frac{SNR(dB)}{20}} = 34\mu V
 \tag{41}$$

因此，为了满足系统所需的 SNR，可使用等式 26 来计算放大器的最大 rms 噪声。放大器的最大电压噪声密度可使用等式 27 计算。

$$V_{n\_DIFF\_AMP\_RTO\_RMS} < \sqrt{V_{n\_TOT\_RMS}^2 - V_{n\_ADC\_RMS}^2} < 17\mu V
 \tag{42}$$

$$V_{n\_DIFF\_AMP\_RTO\_RMS} = 2 \times \sqrt{1.57 \times BW_{FLT}} \times \sqrt{2 * V_{n\_AMP}^2 + 4kTR} < 17\mu V$$

$$V_{n\_DIFF\_AMP\_RTO\_RMS} < 4.52 \frac{nV}{\sqrt{Hz}} \quad (43)$$

根据上面的计算，放大器电压噪声需要少于 4.52nV/√Hz。对于一个全差分放大器，这个要求转换为 6.4nV/√Hz 的最大电压噪声密度。这是因为全差分放大器数据表为一个全差分信号路径指定了噪声。为了实现 16 位的 ENOB，输入驱动器需要满足最小 THD 和噪声技术规格。理解这一点很重要。因此，所选择的放大器，THS4521 满足上面计算得出的最小要求。Table 4 中显示了 THS4521 关键技术规格汇总。

**表 4: THS4521 的关键参数**

参数	数据表技术规格
THD @ 10kHz	-132dBc
全差分电压噪声密度	4.6nV/√Hz
Iout	55mA
带宽	145MHz
Iq	1.14mA/ch

### 3.4 基准驱动器：无源组件选择

这个设计中用来驱动 ADS8881 的外部基准为 TI 生成的 REF5045。选中这个基准，这是因为它可由单 5V 电源系统中提供 4.5V 的最高可能基准电压。正如 REF5045 的数据表中提到的那样，为了实现稳定，在 V 输出引脚上，需要一个 10μF 的电容器。一个 0.2Ω 串联电阻器与用于基准正确加电的 10nF 电容器一同使用。

如部分 2.5 中解释的那样，应该通过在基准输出上设计一个低通 RC 滤波器来限制基准噪声的带宽。根据等式 31，这个滤波器的 3dB 带宽应该为：

$$f_{REF\_3dB} \leq \left[ \frac{(V_{REF})^2}{\pi \times 2^{2N+2}} \times \frac{I_{Q\_REF} \text{ (in } \mu\text{A)}}{10^{-10} \text{ V}^2} \right] = \left[ \frac{(4.5)^2}{\pi \times 2^{2 \times 18+2}} \times \frac{1000}{10^{-10}} \right] \quad (44)$$

$$f_{REF\_3dB} \leq 234.5 \text{ KHz}$$

电容器 C<sub>REF\_FLT</sub> 已经被选为 1μF 以将电容器的热噪声保持为一个较低的值。因此，R<sub>REF\_FLT</sub> 的值可使用等式 15 计算为：

$$R_{REF\_FLT} \geq \frac{1}{2\pi \times 234.5 \times 10^3 \times 10^{-9}} = 678.7\Omega \quad (45)$$

针对这个设计，R<sub>REF\_FLT</sub> 可被选中为 1kΩ。

参考设计中的下一个重要无源元件是电容器  $C_{BUF\_FLT}$ ，此电容器有助于在负载条件下调节 ADC 基准引脚上的电压。根据 ADS8881 数据表，进入基准引脚的平均电流 ( $I_{REF}$ ) 等于 200nA，并且对于一个 1MSPS 的最大数据吞吐量， $T_{CONV\_MAX}$  等于 710ns。因此，根据等式 35， $C_{BUF\_FLT}$  的值可被计算为

$$C_{BUF\_FLT} \geq \frac{200 \times 10^{-6} \times 710 \times 10^{-9} \times 2^{18}}{4.5} = 8.27 \mu\text{F} \quad (46)$$

对于这个设计， $C_{BUF\_FLT}$  的值已经被选中为 10 $\mu\text{F}$ 。

### 3.5 基准驱动器：放大器选择

如部分 2.3 中解释的那样，为高精度 ADC 设计一个基准缓冲器时需要考虑的关键放大器技术规格为 **低偏移、低漂移、宽带宽和低输出阻抗**。虽然有可能挑选一个充分满足所有这些要求的放大器，但是这个选择是以过多的功耗为代价的。例如，OPA350 是一款最大偏移为 0.5mV 并且具有 4 $\mu\text{V}/^\circ\text{C}$  低偏移漂移的 38MHz 带宽放大器，但是它的静态电流为 5.2mA，这个值对于此设计来说过高。这是因为，从放大器设计角度看，偏移和漂移是直流技术规格，而带宽、低输出阻抗和高电容驱动能力是高频技术规格。因此，在一个放大器中实现全部性能需要电能。然而，一个满足低功耗开销的高效设计是使用一个复合参考缓冲器，此缓冲器在一个直流高精度放大器反馈环路中采用具有出色高频技术规格的放大器，从而以低很多的功耗来获得总体性能。

在这个设计中，此参考缓冲器的设计使用了两个放大器 - 采用如 Figure 13 中所示的复合双反馈架构的 THS4281 和 OP333。

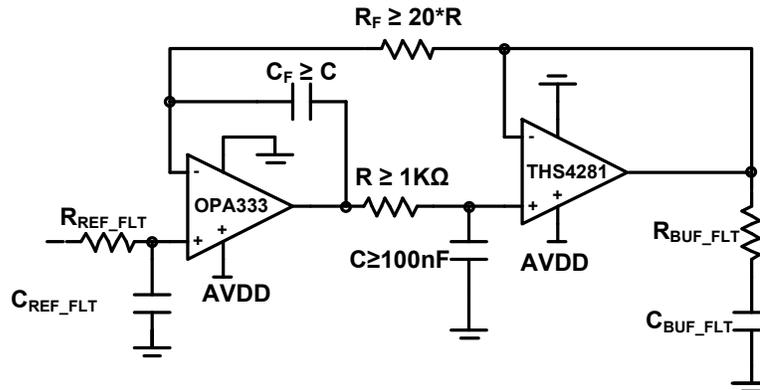


图 13: 参考缓冲器电路原理图

针对 1MHz 运行，THS4281 在增益为 1 时有一个 90MHz 的宽 3dB 带宽和 1 $\Omega$  的输出阻抗，此时的最大静态电流仅为 1mA。这使得它非常适合于驱动高值电容器  $C_{BUF\_FLT}$  并且调节 ADC 基准输入上的电压。然而，THS4281 受到较差偏移（最大值 2.5mV）和漂移（最大值 7 $\mu\text{V}/^\circ\text{C}$ ）技术规格的影响。为了改进参考缓冲器的直流技术规格，OPA333 被用作一个直流校正放大器。OPA333 是一款最大静态电流只有 25 $\mu\text{A}$  的零漂移（最大值 0.05 $\mu\text{V}/^\circ\text{C}$ ）和低偏移（最大值 10 $\mu\text{V}$ ）的放大器。因此，为了获得与基准精度和负载调节相关的类似性能，相对于单放大器缓冲器，这一双放大器方法将能耗减少了 4 倍。

在这参考缓冲器设计中，直流放大器 (OPA333) 的噪声记住规格并不是十分重要，这是因为它被其输出上的低频 RC 滤波器深度过滤。C 值被选择为大于 100nF 以将电容器的热噪声保持在少于 0.2 $\mu\text{V}_{RMS}$  的水平上，并 R 值被选择为大于 1k $\Omega$  以避免由高电容负载所造成的任何稳定问题。

这个放大器在设计中使用一个双反馈，其中一个反馈在直流运行期间被激活，而另外一个反馈在更高频交流运行期间激活。Figure 14 显示了此电路的直流模型，其中  $R_F$  作为短路出现，而  $C_F$  作为开路出现。这个反馈将 THS4281 的输出直接接至 OPA333 的输入，这在之后校正了其偏移和漂移。 $R_F$  的值应该至少比  $R$  大 20 倍，以避免任何稳定性问题。

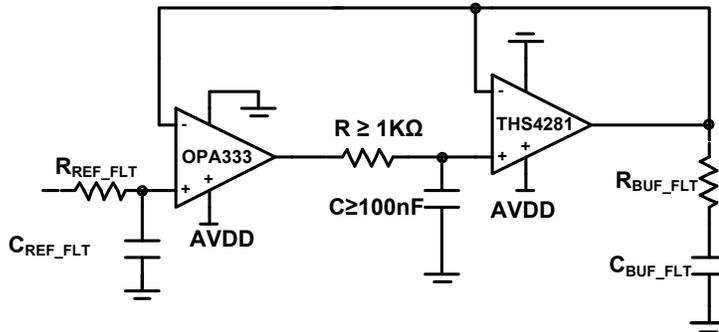


图 14: 参考缓冲器的直流等效电路原理图

Figure 15 中显示了较高频运行期间的有效反馈连接。在这样的运行频率下， $R_F$  运行开路连接； $C_F$  运行短路，而两个放大器被连接为隔离式单位增益缓冲器。 $C_F$  的值应该等于或大于  $C$  的值，以避免任何稳定性问题。

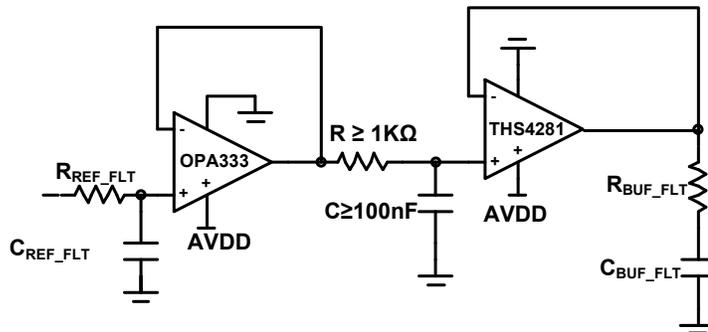


图 15: 基准缓冲器的高频等效电路原理图

4 模拟

Figure 16 中显示的 TINA-TI™ 电路原理图 表示最终设计，以及在之前部分中说明的所选组件。

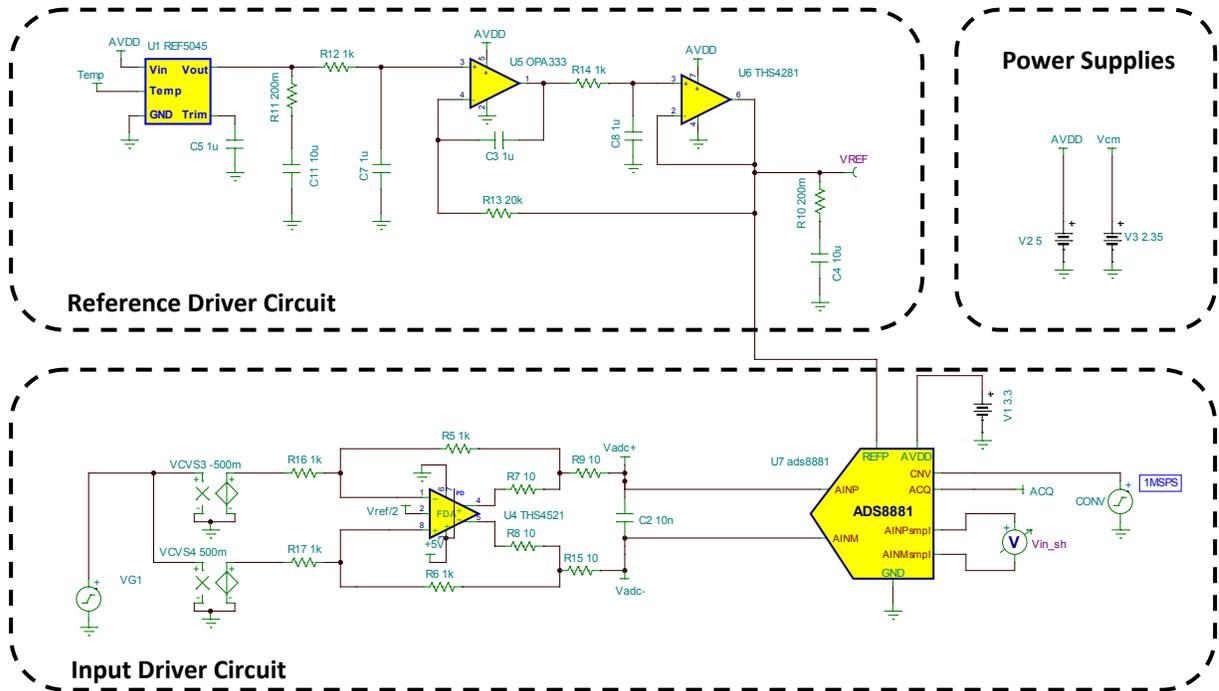


图 16: TINA-TI™ - 显示完整数据采集块的电路原理图

模拟了 Figure 16 中的电路，以执行使用 10KHz 正弦波信号的瞬态模拟，来检查 ADC 输入在每次转换开始前稳定至足够的精度。同样的电路被用来模拟每次转换开始时基准输入电压的准确温度。下面的部分提供了模拟详细信息和结果。

### 4.1 输入驱动放大器的稳定性

Figure 17 中显示了用来检查输入驱动器稳定性的 TINA-TI™ 电路原理图。

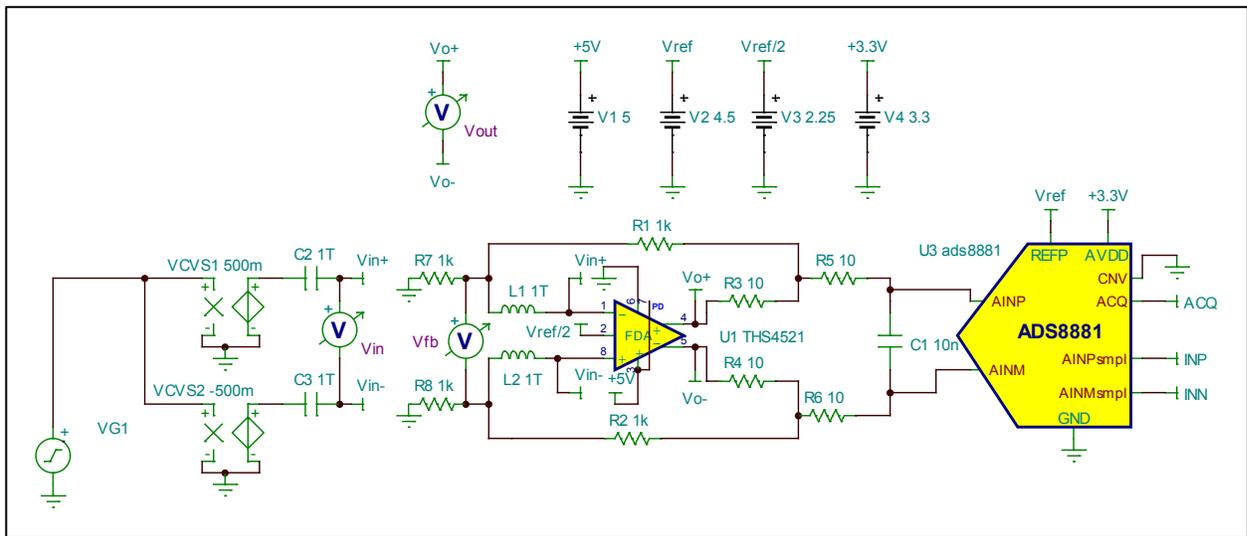


图 17: TINA-TI™ - 检查输入驱动器稳定性的电路原理图

一个值为 1TH 的大电感器被连接在放大器的反馈环路中，所以它的运行方式与高于直流频率上的开关配置相类似。考虑到只有差分输入结构的一半电路，这个电路已经被简化。为了适当地加载放大器输出，ADC 由“CNV”引脚接地，这样，它始终采样输入信号。Figure 18 中显示了这个电路的交流量级 & 相位响应。

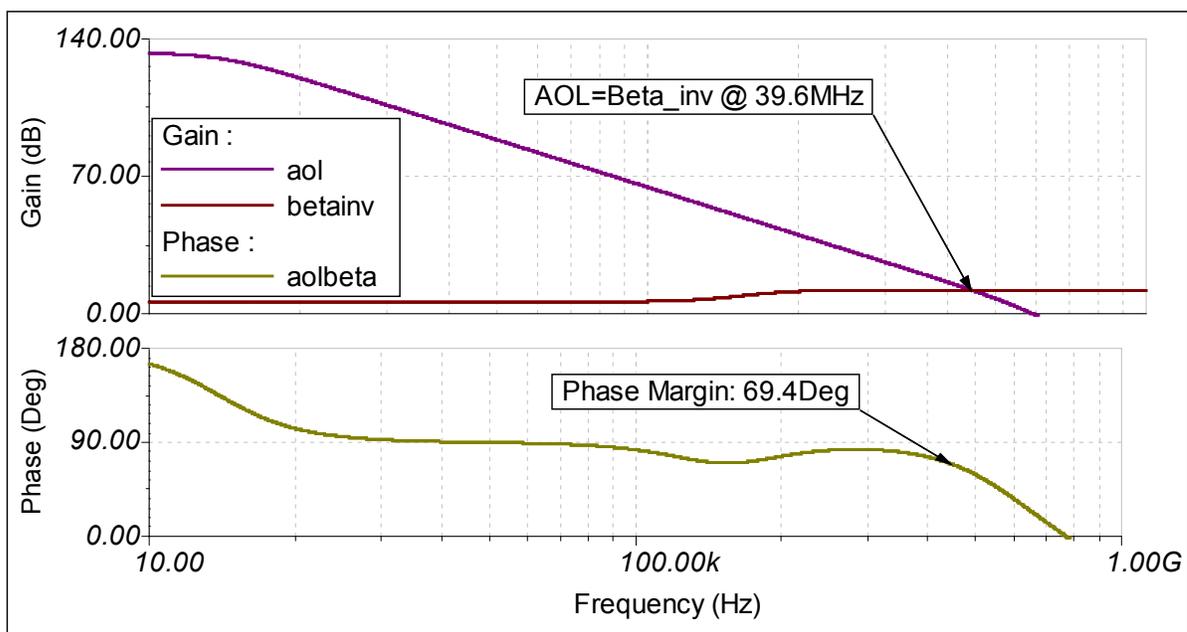


图 18: TINA-TI™ 电路原理图结果 - 针对输入驱动器的交流量级 & 相位曲线图

在 39.6MHz 的 0dB 分频频率上获得的 69.4° 相位裕量验证了这个设计中输入驱动器的稳定性。

## 4.2 输入驱动放大器的噪声

Figure 19 中显示了被用来模拟输入驱动器积分 rms 噪声的 TINA-TI™ 电路原理图。理想情况下，为了计算输入驱动器的 RTO 噪声，电压噪声密度曲线需要被积分为无限大。要获得输出引入 rms 噪声的真实近似值，积分至系统带宽以上十倍频就足够了。Figure 20 显示全差分放大器输入驱动器的模拟积分噪声，此噪声由符合设计要求的 13.45 $\mu$ V<sub>RMS</sub> 输出引入。

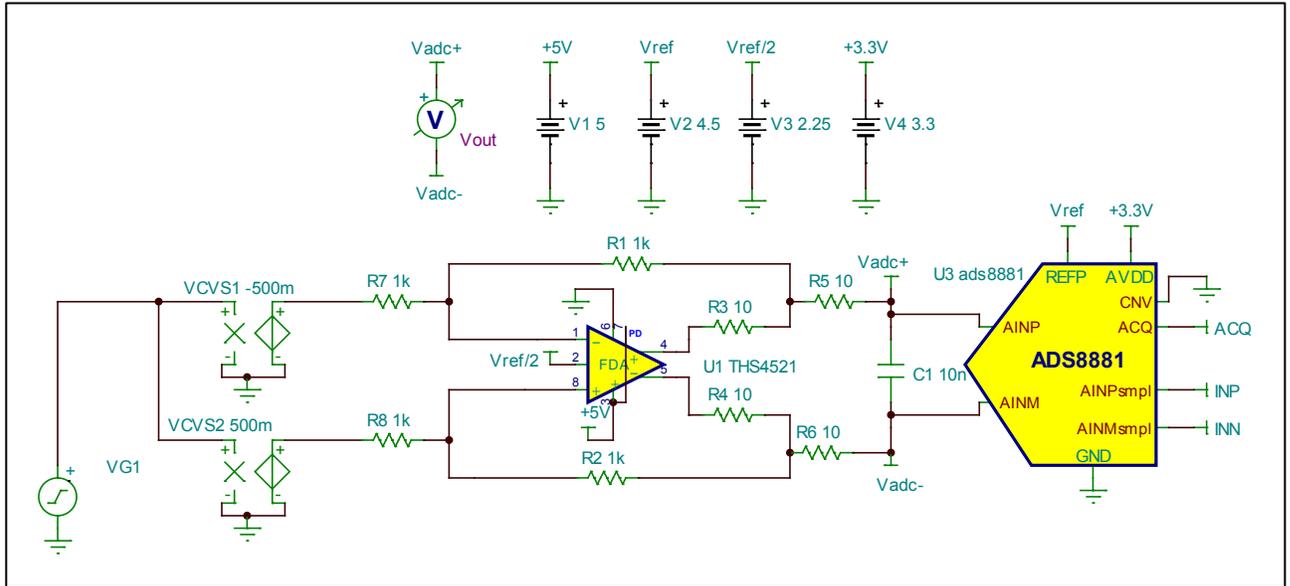


图 19: TINA-TI™ - 检查输入驱动器噪声的电路原理图

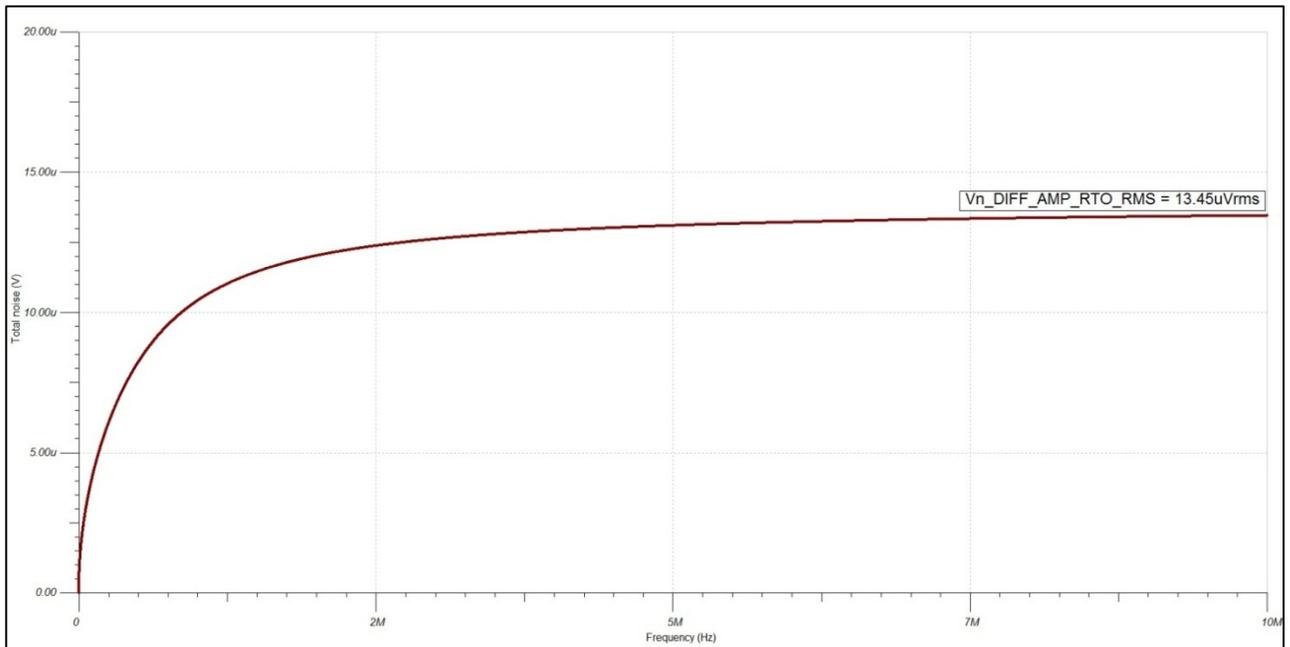


图 20: TINA-TI™ 电路原理图结果 - 积分全差分放大器 RMS 噪声

### 4.3 ADC 输入电路的瞬态模拟

Figure 16 中显示的 TINA-TI™ 电路原理图被用来检验采样阶段期间 ADC 输入上正弦信号的准确稳定。Figure 21 中显示了针对此电路的经模拟时域响应。顶部的瞬态曲线图显示了被施加到 ADS8881 差分输入上振幅为  $\pm 4.63\text{V}$  的一个  $10\text{kHz}$  正弦波周期。如部分 4 中说明的那样，信号 “Vin” 代表 ADC 差分输入上的实际输入信号，而信号 “Vin\_sh” 显示 ADC 输入采样保持电路的输出。为了获得更详细的信息，较低位置上的曲线图显示了在时间刻度上放大的同一波形。这些曲线被放在一起进行比较检查，以显示采样信号在采样期间准确跟踪输入信号，并且在 ADC 正在转换时停留在保持状态。

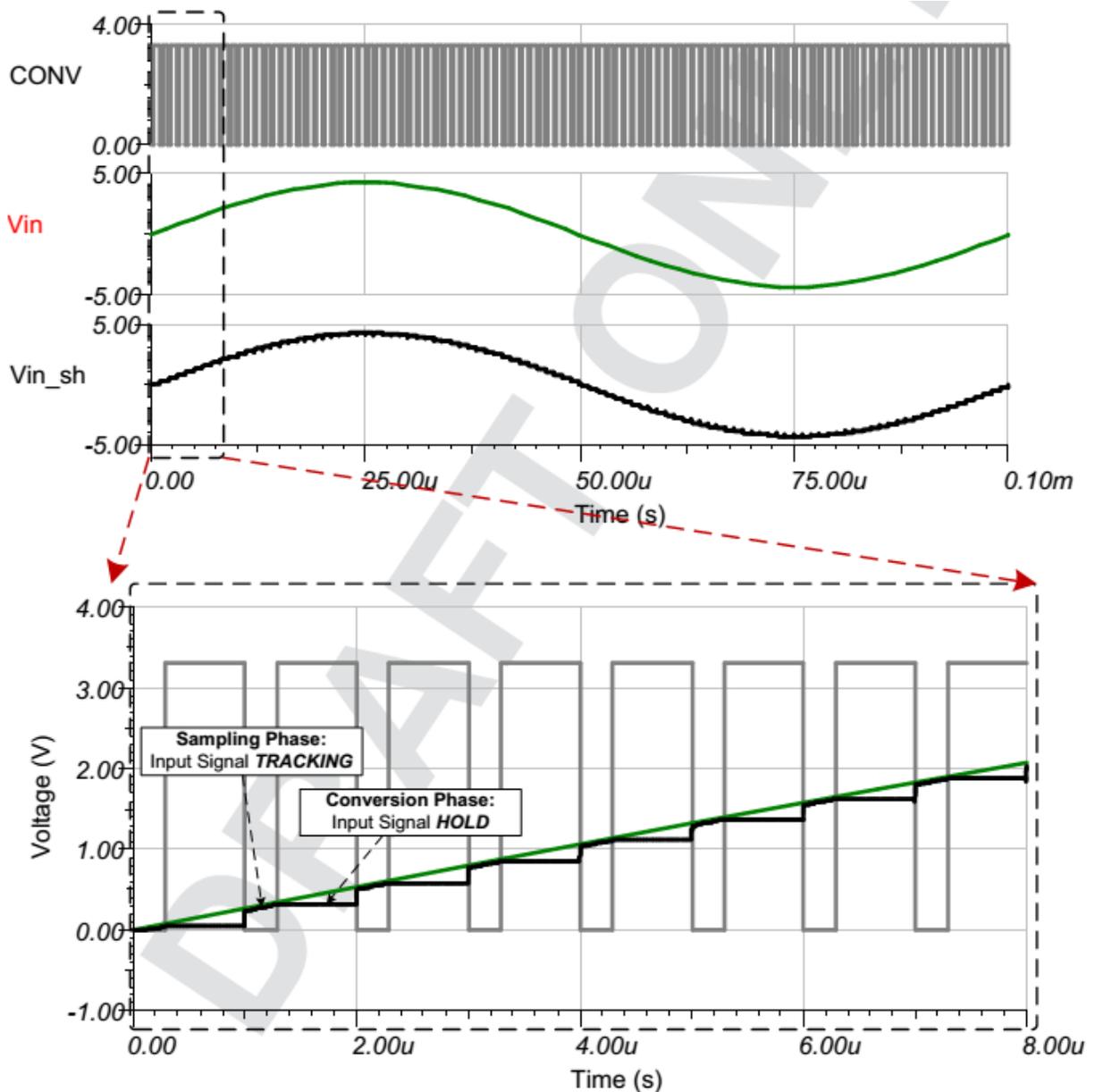


图 21: TINA-TI™ 电路原理图结果 - 显示 ADC 采样 & 保持的输入正弦波的数字化

#### 4.4 ADC 基准输入的稳定响应

Figure 16 中显示的 TINA-TI™ 电路原理图被用来检验驱动 ADS8881 REFP 引脚的基准缓冲输出的稳定。如部分 2.3 中解释的那样，为了保持总体系统性能，基准引脚上的电压应该稳定至少于 ADC LSB 的水平。对于  $V_{REF} = 4.5V$  时的 ADS8881，LSB 的大小等于  $34.3\mu V$ 。根据 Figure 22 中显示的瞬态模拟曲线图，两次连续转换之间 REFP 引脚上的电压误差为  $\Delta V_{ref} = 0.3\mu V$ ，这个值大大小于 LSB 的大小。这证明基准电压已经稳定至保持这个设计精度所需的足够精度。

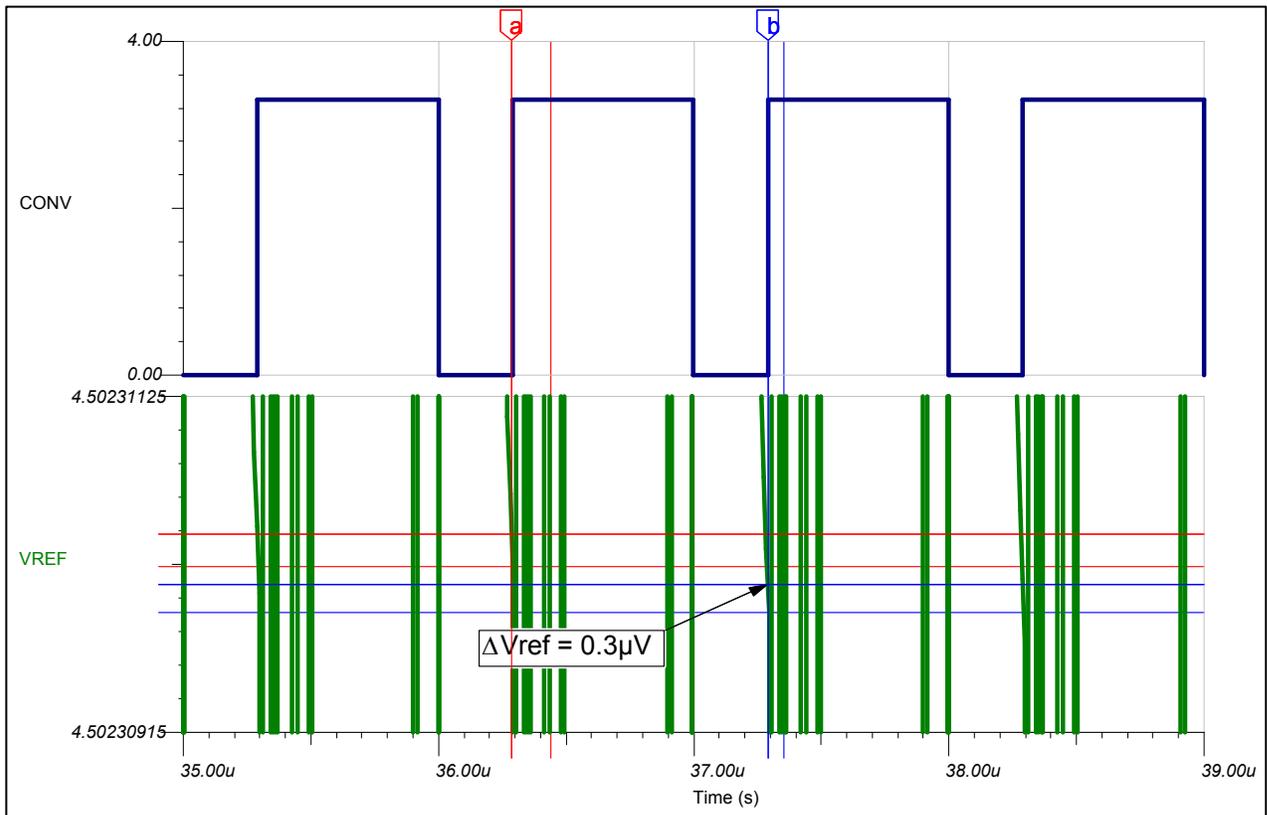


图 22: TINA-TI™ 电路原理图结果 - ADC 基准稳定

## 5 PCB 设计

可在附录 A 中找到 PCB 电路原理图和物料清单

### 5.1 PCB 布局布线

对于这个 DAQ 块，在设计 PCB 布局布线时最重要的注意事项讨论如下：

- 从参考缓冲器电路（REF5045, THS4281 和 OPA333）到 ADC REFP 输入引脚的印制线长度应该尽可能的短，以最大限度地减少引线电感，此电感会导致不稳定性和基准电压精确稳定的潜在问题。
- 包含有 THS4521 的输入驱动器电路应该尽可能地靠近 ADC 输入，以最大限度地减小环路面积，从而布局布线针对电磁干扰（EMI）/ 射频干扰（RFI）抑制更加稳定耐用。类似的，ADC 输入上抗混叠滤波器的电阻器和电容器应该尽可能的靠近在一起并且靠近于 ADC 的输入以大大减少环路面积。
- 将来自电源的差分输入电压向上馈入 ADC 差分输入的迹线应该保持对称而没有任何明显的转弯。

Figure 23 中显示了针对这个设计的完整 PCB 布局布线。

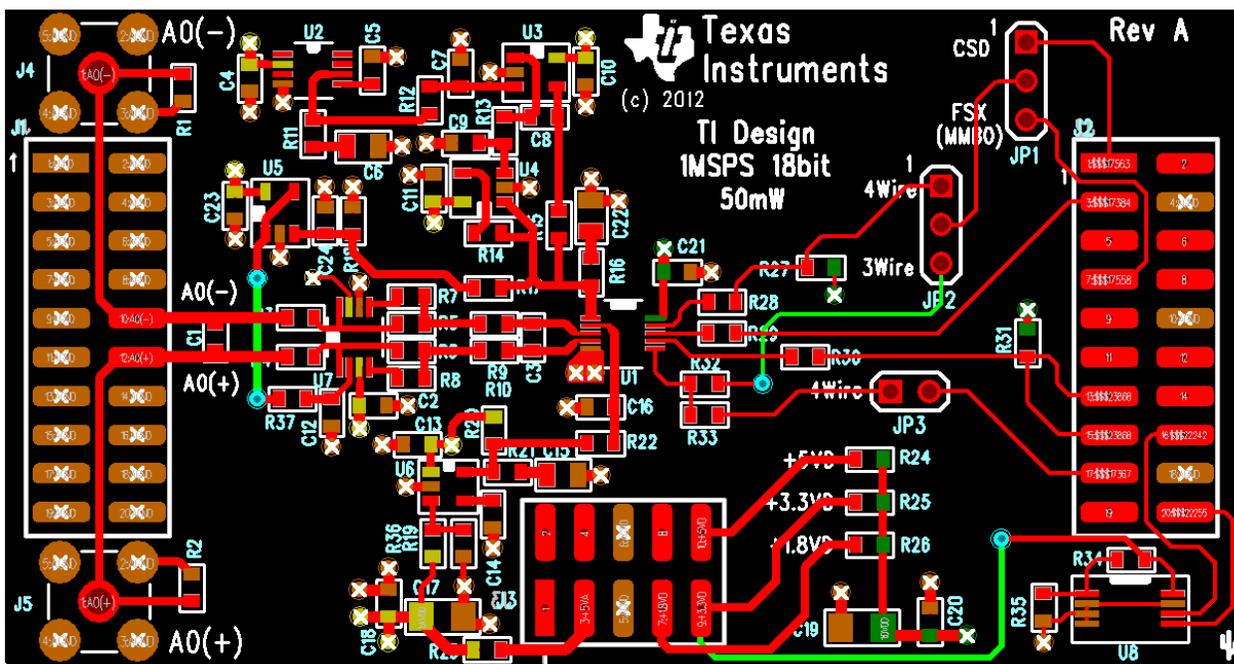


图 23: TI 设计 - 16 位 50mW DAQ 块 PCB 布局布线

## 6 验证 & 测得的性能

在这个部分中列出了针对验证这个设计的测得的结果。

### 6.1 直流噪声测量

所有 ADC 电路都会或多或少的受到内部电阻器、电容器和其它电路所导致的固有宽频带噪声的影响，这个噪声由 ADC 的输入引入。前端驱动器电路也会在系统中产生噪声，这也可由 ADC 输入引入。累计噪声，通常被称为 ADC 的 *input-referred noise*，此噪声会对总体系统性能产生很大影响。标记这个噪声最常用的方法是使用一个恒定直流电压作为输入信号并且采集大量 ADC 输出代码。然后，可以绘制一个柱状图来显示输出代码的分布，这可被用来说明噪声对总体系统性能的影响。在这个设计中，通过将两个输入驱动放大器的输入短接至共模电压来测量系统直流噪声， $V_{cm} = \frac{1}{2} \times V_{REF} = 2.25V$ ，这样，ADC 输入上的差分电压等于  $V_{DIFF} = 0V$ 。Figure 24 中显示了得到的输出代码柱状图。

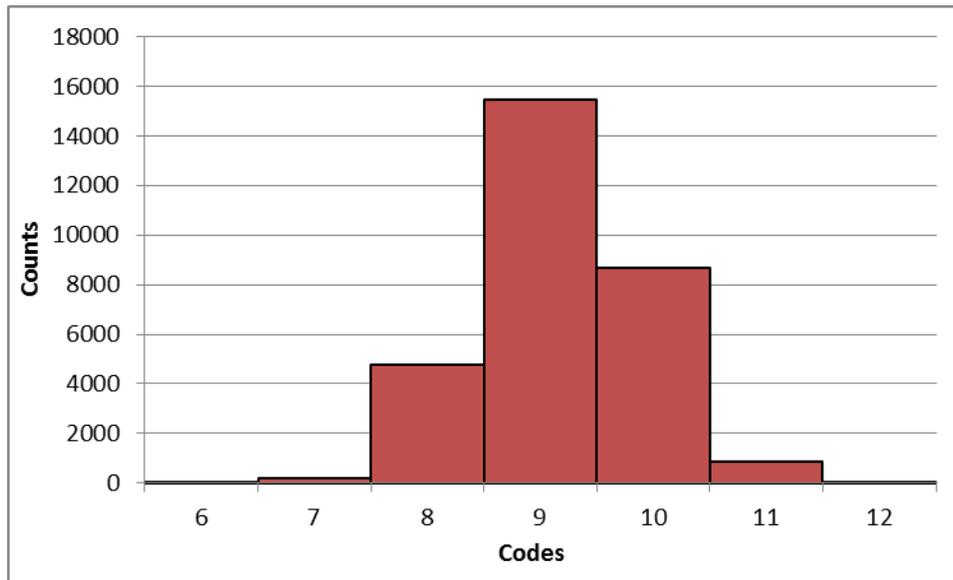


图 24: 测量数据 - 显示直流噪声的柱状图 (中量程)

输出代码的分布看起来像一个高斯分布，这表示一个正确的系统设计。然而，如果输出代码分布具有大峰值和波谷而明显不是高速分布的话，那么它表示 ADC 中严重的 DNL 误差或者与系统设计有关的问题，像不充分的电源去耦合，不适当的接地连接和/或其它糟糕的 PCB 布局布线影响。对于一个理论上完美的 ADC 系统，输出代码的柱状图将是一个简单垂直的条状图，这是因为对于一个直流输入电压，ADC 输出将始终如一。然而，ADC 的噪声分布和前端电路导致输出代码分布，这提供了一个总体系统直流噪声的测量方法。代码 ( $N_{PP}$ ) 与代码标准偏差 ( $N_{\sigma}$ ) 之间峰值到峰值差异的测量值在 Table 5 中列出。

一个 ADC 的 *Noise-Free Resolution* 被定义为转换器稳定输出位的数量，在这个数量的位数以上，系统性能由噪声主导，并且不太可能区分单独的代码转换。这是 ADC 性能的极端保守测量方法，这是因为针对无噪声分辨率的公式得自峰值到峰值代码噪声，这在很大程度上取决于采样的总数量。

一个更加可靠的方法是在计算 ADC 的 *有效分辨率* 中使用输出代码的标准偏差 ( $N_{\sigma}$ )。请注意的，Table 5 中显示的结果在计算与峰值到峰值值的标准偏差中为采用一个基于高斯的公式，这是因为总体直流噪声与 LSB 的大小相当。对于一个这个设计中使用的 18 位 ADC，测得的有效分辨率的值也等于 18 位，这表明噪声的影响并未对转换器的性能产生影响。

请注意的，不应将部分 6.2 中显示的有效分辨率和有效位 (ENOB) 想混淆，这是因为它们是完全不同的实体。使用一个交流正弦输入信号来测量针对 ADC 的 ENOB，并且 ENOB 包含由量化噪声和失真项值所导致的结果，而此结果对于直流测量没有影响。

表 5: 直流噪声的测量结果

参数	公式	测得的值
平均输出代码	不可用	9.17
峰值到峰值代码噪声 ( $N_{PP}$ )	不可用	7
标准差 ( $\sigma$ )	不可用	0.752
无噪声分辨率	$\log_2\left(\frac{2^{18}}{N_{PP}}\right)$	15.19
有效分辨率	$\log_2\left(\frac{2^{18}}{N_{\sigma}}\right)$	18

## 6.2 ADC 动态性能测量

这份文档中解释的设计已经被优化，以便在 1MSPS 数据吞吐量时，针对满量程瞬态输入信号，实现 ADS8881 的最大输出性能。Table 6 显示了数据采集块的交流性能。已经使用一个 10kHz 正弦输入信号执行了测量。Figure 25 显示数据采集块的 FFT。数据表技术规格在  $V_{REF} = 5V$  时实现，但是这些测量结果表明  $V_{REF} = -4.5V$  时的 ADC 性能，这表示测得的值大约比 ADC 的实际 SNR, THD 和 SINAD 性能大约低 0.9dB。尽管进行了这个调整，测得的系统 -110.04 THD 值与 ADS8881 的额定 THD 相等。因此，此数据采集系统能够实现 16 位的 ENOB，此值可在 Table 6 中计算得出。

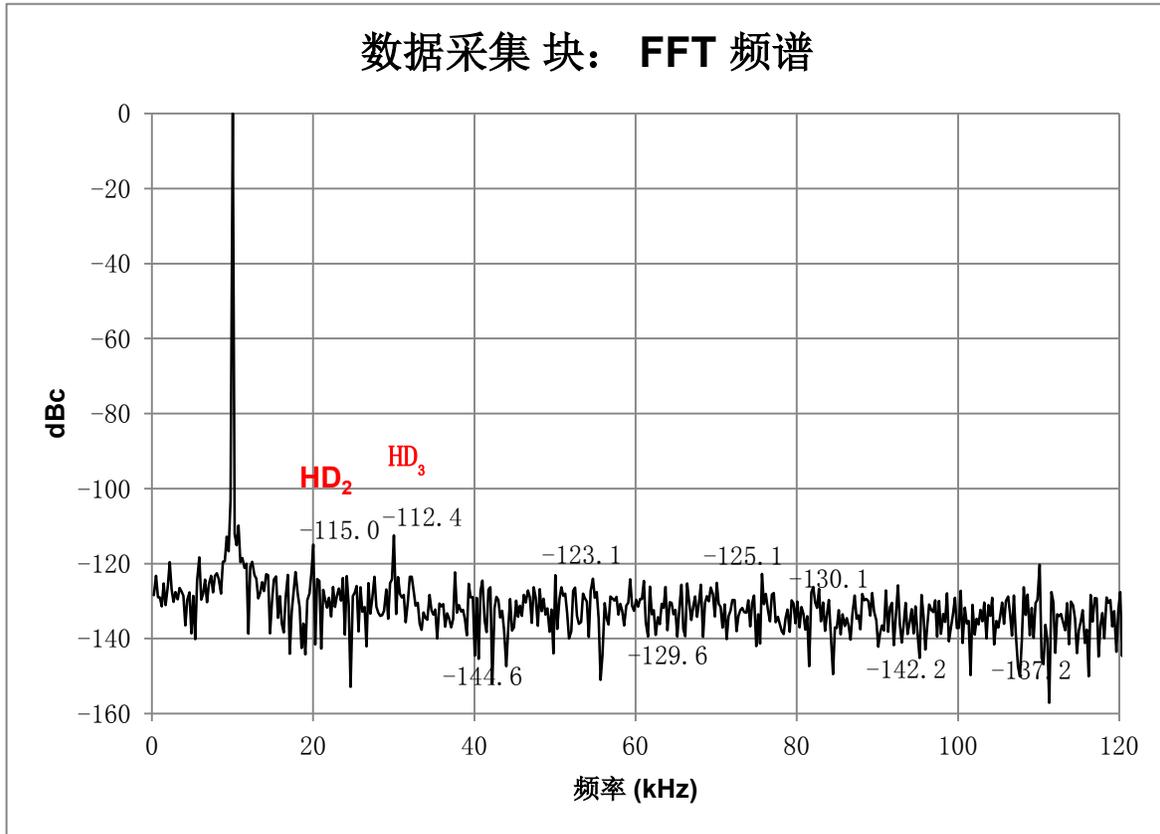


图 25：数据采集块的 FFT 测量结果

表 6：针对 ADC 交流性能的测量结果

参数	规格	测量
信噪比 - SNR (dB)	99 @ $V_{REF} = 5V$	98.73
总谐波失真 - THD (dB)	-110 @ $V_{REF} = 5V$	-110.04
信噪比 & 失真率 - SINAD (dB)	98 @ $V_{REF} = 5V$	98.4
有效位数 - ENOB	16	16.05

### 6.3 ADC 线性测量

通过以 26 个电压步长扫描 -4.45V 至 4.45V 范围内的差分输入电压来测量此系统的线性，而积分非线性 (INL) 误差在抵消来自响应的偏移和增益误差后绘出。Figure 26 中显示 26 点 INL 曲线图。如下面的图表中可见，DAQ 块提供  $\pm 1.5$  LSB 的 **最佳线性性能**。前端驱动器 (THS4521) 中使用的放大器具有导致极低失真的输出阻抗。

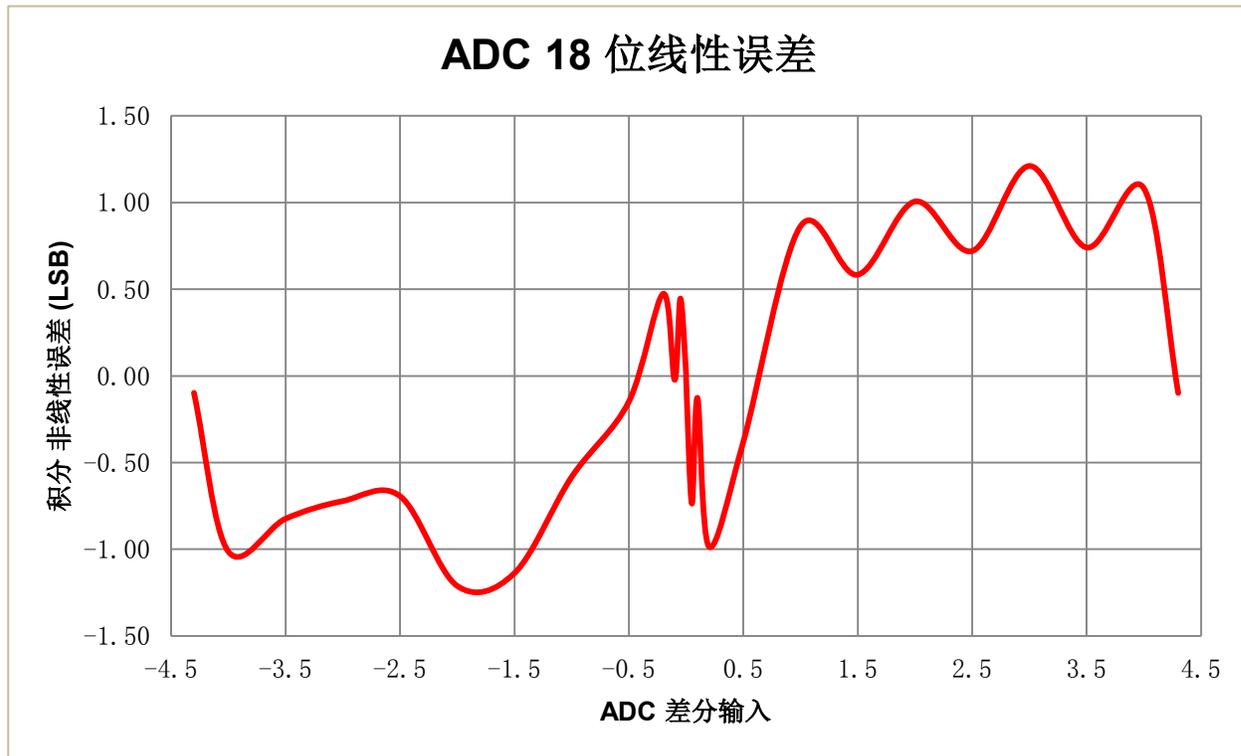


图 26: 测量数据 - ADC INL 曲线图 (26 点)

## 7 修改

Table 7 中的比较显示了考虑在这个设计中使用的 TI 系列全差分放大器的某些其它低失真和低噪声轨到轨输出 (RR0)。

**表 7: 与 THS4521 相比较的几个替代放大器**

运算放大器	静态电流 (mA)	噪声密度 @ 10kHz (nV/√Hz)	总谐波失真 (dB)	带宽 (MHz)
THS4521	1.14	4.6	-132	145
THS4531	0.25	10	-121	36
THS4031	7.9	1.6		100

## 8 关于作者

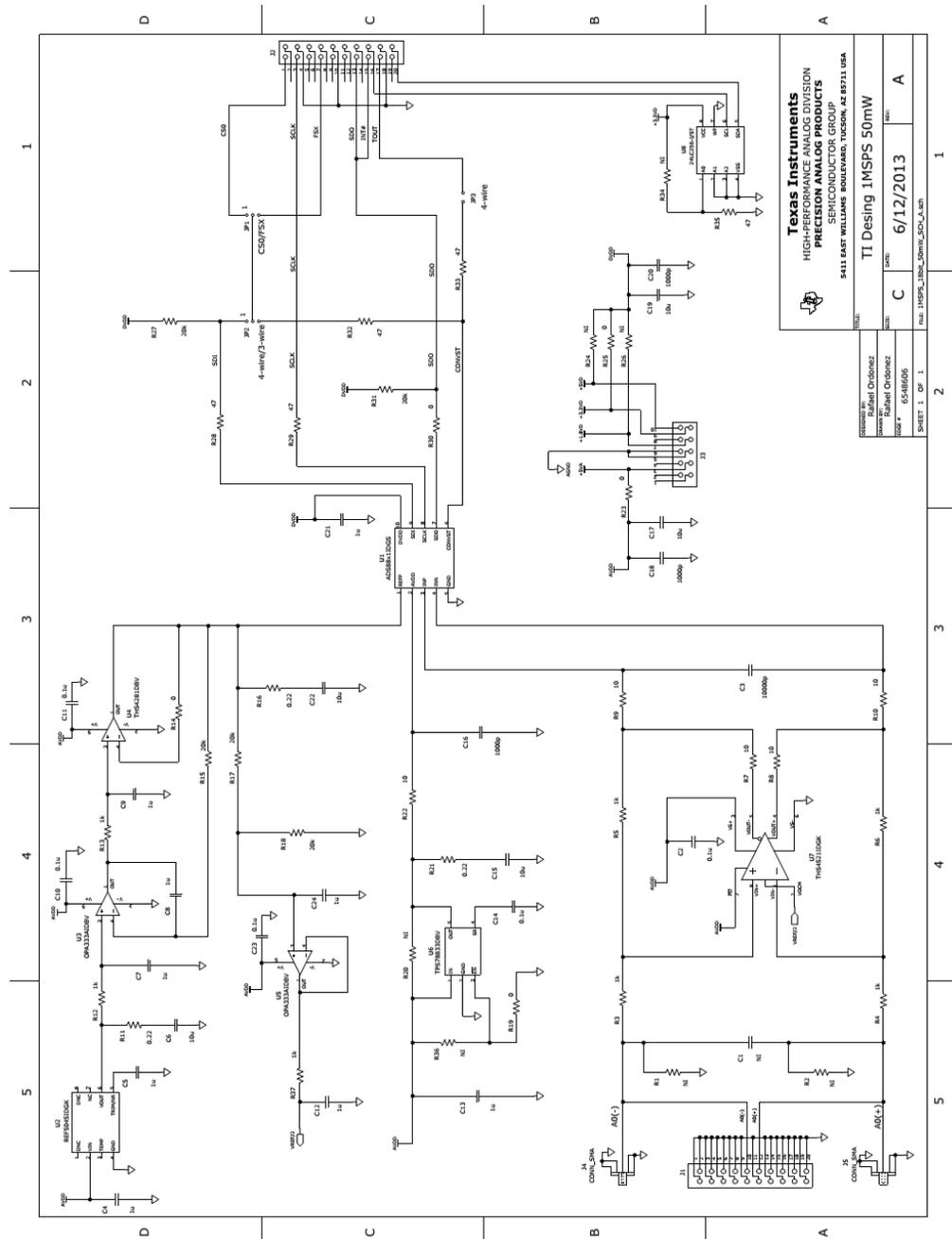
Vaibhav Kumar 是德州仪器 (TI) 高精度线性产品组的模拟产品设计经理。他专门从事高精度放大器、基准和混合信号器件的集成电路 (IC) 设计。在加入德州仪器 (TI) 之前, Vaibhav 从爱荷华州立大学获得电子工程硕士和学士学位。他也是高精度放大器和数据转换器设计方面 IEEE 刊物的共同作者。

## 9 致谢 & 参考文献

1. 特别感谢 *Ordonez, Rafael* 对这个设计做出的重大贡献。他帮助设计了 PCB 电路板原理图和布局布线。他还采集了针对此设计的测量数据, 并且在此过程中的很多讨论中提供帮助。
2. *A. Kay*, 运算放大器噪声: 分析和减少噪声的技术和提示 Elsevier, 2012 年
3. *T. Bruce*, (2012 年 5 月 23 日), 运算放大器为什么振动 - 直观观察两个常见原因, 获得方式如下: <http://e2e.ti.com/blogs/b/thesignal/archive/2012/05/23/why-op-amps-oscillate-an-intuitive-look-at-two-frequent-causes.aspx>
4. *T. Bruce*, (2012 年 5 月 30 日), 抑制振荡运算放大器, 获得方式如下: <http://e2e.ti.com/blogs/b/thesignal/archive/2012/05/30/taming-the-oscillating-op-amp.aspx>
5. *T. Bruce*, (2012 年 6 月 5 日), 抑制振荡 - 电容负载问题, 获得方式如下: <http://e2e.ti.com/blogs/b/thesignal/archive/2012/06/05/taming-oscillations-the-capacitive-load-problem.aspx>
6. *C. Wells* (2012 年 2 月), 内部介绍 - 运算放大器稳定性
7. *G. Tim* (2008 年 2 月), 内部介绍 - 为高精度 CDAC SAR A/D 选择正确放大器

## Appendix A. 附录

### A.1 电气原理图



图表 A-1: 电气原理图

## A.2 物料清单

项目	数量	值	参考设计	描述	制造商	产品型号
1	1		C1	未安装		
2	5	0.1u	C2, C10, C11, C14, C23	电容器, X7R 陶瓷 +/-10%, 25WV, 0603	牧田	GRM188R71E104KA01D
3	1	10000p	C3	电容器, NP0 陶瓷 +/-5%, 50WV, 0603	TDK	C1608C0G1H103J
4	9	1u	C4, C5, C7, C8, C9, C12, C13, C21, C24	电容器 X7R 陶瓷 +/-10%, 25WV, 0603	牧田	GRM188R71E105KA12D
5	3	10u	C6, C15, C22	电容器, X7R 陶瓷 +/-10%, 10WV, 0805	牧田	GRM21BR71A106KE51L
6	3	1000p	C16, C18, C20	电容器, COG 陶瓷 +/-5%, 50WV, 0603	牧田	GRM1885C1H102JA01D
7	2	10u	C17, C19	电容器, X7R 陶瓷 +/-10%, 16WV, 1206	TDK	C3216X7R1C106K
8	2		J1, J2 (顶部)	排针 20 引脚 SMT 插头, .100" 镀金 (2 x 10)	申泰 (Samtec)	TSM-110-01-L-DV-P
9	2		J1, J2 (底部)	排针 20 引脚 SMT 插座, .100" 镀金 (2 x 10)	申泰 (Samtec)	SSW-110-22-F-D-VS-K
10	1		J3 (顶部)	排针 10 引脚 SMT 插头, .100" 镀金 (2 x 10)	申泰 (Samtec)	TSM-105-01-L-DV-P
11	1		J3 (底部)	排针 10 引脚 SMT 插座, .100" 镀金 (2 x 10)	申泰 (Samtec)	SSW-105-22-F-D-VS-K
12	2		J4, J5	CONN SMA JACK STRAIGHT PCB	Amphenol	132134
					Emerson	142-0701-201
13	2		JP1, JP2	接线座, 3 引脚 .100" 镀金 (1 x 3)	申泰 (Samtec)	TSW-103-07-L-S
14	1		JP3	接线座, 2 引脚 .100" 镀金 (1 x 2)	申泰 (Samtec)	TSW-102-07-L-S
15	7		R1, R2, R20, R24, R26, R34, R36	未安装		
16	4	1k	R3, R4, R5, R6	电阻器, 薄膜芯片, 0.1%, 1/10W, 0603	松下 (Panasonic)	ERA-3AEB102V
17	5	10	R7, R8, R9, R10, R22	电阻器, 厚膜芯片, 0.1%, 1/10W, 0603	Vishay/Dale	CRCW060310R0FKEA
18	3	0.22	R11, R16, R21	电阻器, 厚膜芯片, 0.1%, 1/5W, 0603	进工业 (Susumu)	RL0816S-R22-F
19	3	1k	R12, R13, R37	电阻器, 薄膜芯片, 0.1%, 1/10W, 0603	松下 (Panasonic)	ERJ-3EKF1001V
20	5	0	R14, R1, R23, R25, R30	电阻器, 厚膜芯片, 1/10W, 0603	松下 (Panasonic)	ERJ-3GEYOR00V
21	5	20k	R15, R17, R18, R27, R31	电阻器, 厚膜芯片, 1%, 1/10W, 0603	松下 (Panasonic)	ERJ-3EKF2002V
22	5	47	R28, R29, R32, R33, R35	电阻器, 厚膜芯片, 1%, 1/10W, 0603	松下 (Panasonic)	ERJ-3EKF47R0V
23	1		U1	IC ADC 16 位 1MSPS 全差分 10 引脚表面贴装小外形尺寸 (MSOP)	TI	ADS8861IDGS
24	1		U2	IC VREF 系列 PREC 4.5V 8 引脚表面贴装小外形尺寸 (MSOP)	TI	REF5045IDGK
25	1		U3	IC 运算放大器 CHOP 轨到轨 350KHZ 小外形尺寸晶体管 (SOT) 23	TI	OPA333AIDBV
26	1		U4	IC 运算放大器电压反馈型 (VFB) 轨到轨 95MHZ 小外形尺寸晶体管 (SOT) 23-5	TI	THS4281DBV
27	1		U5	IC 运算放大器通用轨到轨 CMOS 小外形尺寸晶体管 (SOT) 23-5	TI	OPA330AIDBV
28	1		U6	IC 稳压器低压降 (LDO) 3.3V, 15A 小外形尺寸晶体管 (SOT)-23-5	TI	TPS78833DBV
29	1		U7	IC 运算放大器差分轨到轨 145MHZ 8 引脚表面贴装小外形尺寸 (MSOP)	TI	THS4521IDGK
30	1		U8	IC EEPROM 256KBIT 400KHZ 8 引脚薄型小尺寸封装 (TSSOP)	微芯片 (Microchip)	24LC256-I/ST

图表 A-2: 物料清单

## 针对 TI 参考设计的重要声明

德州仪器公司 ("TI") 参考设计只用于帮助设计人员 ("客户") 开发包含 TI 半导体产品的系统 (在这里也指"组件")。客户理解并同意他们对设计客户系统和产品中的独立分析、评估和判断负责。

TI 参考设计已经使用标准实验室条件和工程实践创建。TI 未采取任何测试, 除非那些在已发布文档中针对一个特定参考设计所专门描述的测试。TI 也许会对它的参考设计进行修正、提高、改进和其它改变。

客户被授权使用具有每个特定参考设计中确认的 TI 组件的 TI 参考设计, 并且在他们的终端产品开发中修改参考设计。然而, 在这里不授予任何其它 TI 知识产权的直接或隐含, 默许或其它方式的许可, 和任何第三方技术或知识产权的许可, 其中包括但不限于任何专利权、版权、屏蔽作品权、或者与采用了 TI 产品或服务的任何集成、机器或工艺相关的知识产权。TI 所发布的与第三方产品或服务有关的信息, 不能构成使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

TI 参考设计"按原样"提供。对于参考设计或者包括精度和完整性在内的直接、隐含或者法律规定的参考设计的使用, TI 不作出任何保证或声明。TI 不对任何隐含的适销性、针对特定用途的适用性、平静受益权、无干扰享有权, 以及与 TI 参考设计或其使用相关的任何第三方知识产权的非侵权作出任何保证。TI 不对任何与 TI 参考设计中提供的产品组合相关的或基于这些产品组合的第三方侵权声明负责, 并且不应为客户提供辩护或赔偿。不论是何原因造成任何实际的、特殊的、意外的、相应发生的或间接的损坏, 并且不论 TI 是否已经告知了 TI 参考设计的任何使用或 TI 参考设计的客户使用所造成的此类损坏的可能性, TI 都不应对此负责。

TI 保留根据 JESD46 最新标准, 对所提供的半导体产品和服务进行更正、增强、改进或其它更改的权限, 并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

对于 TI 数据手册、数据表或参考设计中的 TI 信息, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。TI 对此类篡改过的文件不承担任何责任。第三方信息可能受到其它限制条件的制约。

客户认可并同意, 尽管任何应用相关信息或支持仍可能由 TI 提供, 但他们将独力负责满足与其产品及其应用中使用的 TI 产品相关的所有法律、法规和安全相关要求。客户声明并同意, 他们具备制定与实施安全措施所需的全部专业技术和知识, 可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在客户的安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中, 为了推进安全相关应用有可能对 TI 组件进行特别的促销。借助于这样的组件, TI 的目标是帮助客户设计和创立其特有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此, 此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或"增强型塑料"的 TI 组件才是设计或专门用于军事/航空应用或环境的组件。客户认可并同意, 对还未指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用, 其风险由客户单独承担, 并且由客户独力负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的产品, 这些产品主要用于汽车。在任何情况下, 因使用非指定产品而无法达到 ISO/TS16949 要求, TI 将不承担任何责任。

邮寄地址: 上海市浦东新区世纪大道1568号, 中建大厦32楼邮政编码: 200122  
Copyright © 2014, 德州仪器半导体技术(上海)有限公司

## 重要声明

德州仪器(TI) 及其下属子公司有权根据 JESD46 最新标准, 对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定, 否则没有必要对每种组件的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 组件或服务的组合设备、机器或流程相关的 TI 知识产权中授予的直接或隐含权作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的产品手册或数据表中 TI 信息的重要部分, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。TI 对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要服从额外的限制条件。

在转售 TI 组件或服务时, 如果对该组件或服务参数的陈述与 TI 标明的参数相比存在差异或虚假成分, 则会失去相关 TI 组件或服务的所有明示或暗示授权, 且这是不正当的、欺诈性商业行为。TI 对任何此类虚假陈述均不承担任何责任或义务。

客户认可并同意, 尽管任何应用相关信息或支持仍可能由 TI 提供, 但他们将独力负责满足与其产品及其应用中使用的 TI 产品相关的所有法律、法规和安全相关要求。客户声明并同意, 他们具备制定与实施安全措施所需的全部专业技术和知识, 可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中, 为了推进安全相关应用有可能对 TI 组件进行特别的促销。TI 的目标是利用此类组件帮助客户设计和创立其特有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此, 此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或“增强型塑料”的 TI 组件才是设计或专门用于军事/航空应用或环境的。购买者认可并同意, 对并非指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用, 其风险由客户单独承担, 并且由客户独力负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的产品, 这些产品主要用于汽车。在任何情况下, 因使用非指定产品而无法达到 ISO/TS16949 要求, TI 不承担任何责任。

产品	应用
数字音频	<a href="http://www.ti.com.cn/audio">www.ti.com.cn/audio</a> 通信与电信 <a href="http://www.ti.com.cn/telecom">www.ti.com.cn/telecom</a>
放大器和线性器件	<a href="http://www.ti.com.cn/amplifiers">www.ti.com.cn/amplifiers</a> 计算机及周边 <a href="http://www.ti.com.cn/computer">www.ti.com.cn/computer</a>
数据转换器	<a href="http://www.ti.com.cn/dataconverters">www.ti.com.cn/dataconverters</a> 消费电子 <a href="http://www.ti.com.cn/consumer-apps">www.ti.com.cn/consumer-apps</a>
DLP® 产品	<a href="http://www.dlp.com">www.dlp.com</a> 能源 <a href="http://www.ti.com.cn/energy">www.ti.com.cn/energy</a>
DSP - 数字信号处理器	<a href="http://www.ti.com.cn/dsp">www.ti.com.cn/dsp</a> 工业应用 <a href="http://www.ti.com.cn/industrial">www.ti.com.cn/industrial</a>
时钟和计时器	<a href="http://www.ti.com.cn/clockandtimers">www.ti.com.cn/clockandtimers</a> 医疗电子 <a href="http://www.ti.com.cn/medical">www.ti.com.cn/medical</a>
接口	<a href="http://www.ti.com.cn/interface">www.ti.com.cn/interface</a> 安防应用 <a href="http://www.ti.com.cn/security">www.ti.com.cn/security</a>
逻辑	<a href="http://www.ti.com.cn/logic">www.ti.com.cn/logic</a> 汽车电子 <a href="http://www.ti.com.cn/automotive">www.ti.com.cn/automotive</a>
电源管理	<a href="http://www.ti.com.cn/power">www.ti.com.cn/power</a> 视频和影像 <a href="http://www.ti.com.cn/video">www.ti.com.cn/video</a>
微控制器 (MCU)	<a href="http://www.ti.com.cn/microcontrollers">www.ti.com.cn/microcontrollers</a>
RFID 系统	<a href="http://www.ti.com.cn/rfidsys">www.ti.com.cn/rfidsys</a>
OMAP应用处理器	<a href="http://www.ti.com.cn/omap">www.ti.com.cn/omap</a>
无线连通性	<a href="http://www.ti.com.cn/wirelessconnectivity">www.ti.com.cn/wirelessconnectivity</a> 德州仪器在线技术支持社区 <a href="http://www.deyisupport.com">www.deyisupport.com</a>

邮寄地址: 上海市浦东新区世纪大道1568号, 中建大厦32楼邮政编码: 200122  
Copyright © 2014, 德州仪器半导体技术(上海)有限公司