

摘要

本用户指南介绍 TSW14J58EVM JESD204C 高速数据采集和图形发生器卡的特性、操作和使用。除非另有说明，否则本用户指南中的缩写词 *EVM* 和术语 *评估模块* 均指 TSW14J58EVM。

内容

1 引言.....	2
2 功能.....	3
2.1 ADC EVM 数据采集.....	5
2.2 DAC EVM 图形发生器.....	5
3 硬件配置.....	6
3.1 电源连接.....	6
3.2 开关、跳线和 LED.....	6
3.3 LED.....	8
4 软件启动.....	15
4.1 安装说明.....	15
4.2 USB 接口和驱动程序.....	15
5 下载固件.....	18

插图清单

图 2-1. TSW14J58EVM.....	3
图 2-2. TSW14J58EVM 方框图.....	4
图 3-1. 添加配置存储器器件.....	12
图 3-2. 对存储器器件进行编程.....	13
图 3-3. 配置文件.....	14
图 4-1. TSW14J58EVM 序列号.....	16
图 4-2. High-Speed Data Converter Pro GUI 首页.....	16
图 4-3. 硬件设备管理器.....	17
图 5-1. 选择要加载的 ADC 固件.....	18
图 5-2. 下载固件错误消息.....	18

表格清单

表 3-1. TSW14J58 器件的开关说明.....	6
表 3-2. TSW14J58 器件的跳线说明.....	6
表 3-3. TSW14J58 器件的电源和配置 LED 说明.....	8
表 3-4. SMA 连接器.....	8
表 3-5. TSW14J58 的 FMC+ 连接器说明.....	9

商标

Xilinx®, Kintex®, UltraScale®, and Vivado® are registered trademarks of Xilinx Incorporated.

Microsoft® and Windows® are registered trademarks of Microsoft Corporation.

所有商标均为其各自所有者的财产。

1 引言

TI TSW14J58 评估模块 (EVM) 是下一代图形发生器和数据采集卡，用于评估新款 TI JESD204C_B 器件系列高速模数转换器 (ADC) 与数模转换器 (DAC) 的性能。对于 ADC，通过在使用高质量、低抖动时钟和高质量输入频率时利用 JESD204C_B 接口采集所采样的数据，TSW14J58 可用于演示数据表的性能规格。使用 Xilinx® JESD204C IP 内核，可对 TSW14J58 进行动态配置，以支持 1Gbps 到 24.5Gbps 的通道速度 (1 到 16 个通道)。结合附带的 [High-Speed Data Converter Pro 图形用户界面 \(GUI\)](#)，这套完整的系统从 ADC EVM 采集数据样本并进行评估，然后生成所需的测试图形并发送至 DAC EVM，并且使用 AFE EVM (收发器模式) 同时执行这两项任务。

2 功能

TSW14J58EVM 具有一个业界通用 FMC+ 连接器，可直接与 TI JESD204B ADC、DAC 和 AFE EVM 连接。FMC+ 载板连接器与 FMC 夹层连接器兼容。当与 ADC EVM 结合使用时，高速串行数据由 Xilinx® Kintex® UltraScale® + FPGA 进行采集、解串行化和格式化。然后，数据存储在外部 DDR4 存储器组中，使 TSW14J58 能够存储多达 1.536G 的 16 位数据样本。为了在主机 PC 上采集数据，FPGA 从存储器中读取数据，并通过高速 16 位并行接口进行传输。连接至并行转换器的板载高速 USB 3.0 可将 FPGA 接口与主机 PC 和 GUI 桥接在一起。

在图形发生器模式下，TSW14J58 为受测的 DAC EVM 生成所需的测试图形。这些图形通过 USB 接口从主机 PC 发送到 TSW14J58。FPGA 将接收到的数据存储在板载 DDR4 存储器模块中。然后，存储器中的数据由 FPGA 读取，并通过 FMC+ 接口连接器传输到 DAC EVM。该电路板包含一个 200MHz 振荡器，用于生成 DDR4 参考时钟和一个通用时钟。图 2-1 显示了 TI TSW14J58 评估模块。

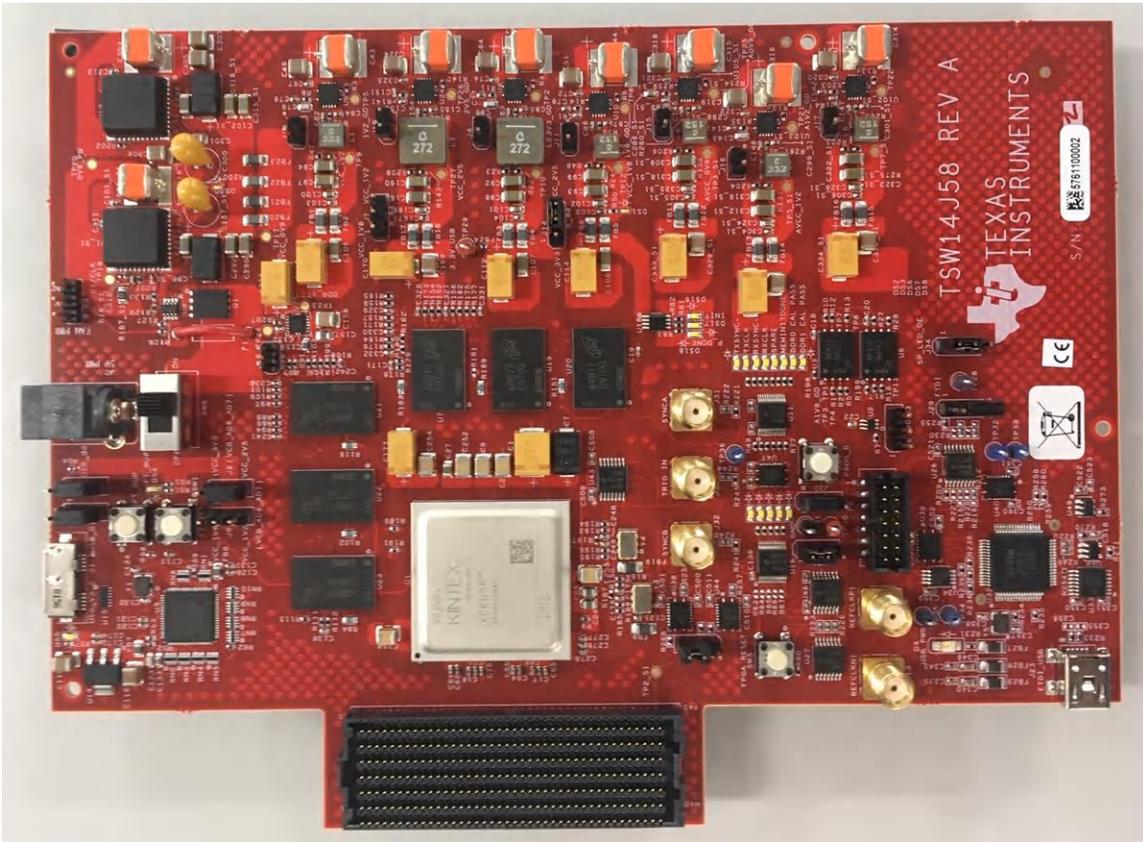


图 2-1. TSW14J58EVM

TSW14J58 的主要特性包括：

- 与 JESD204B 向后兼容 (子级：0 1、2)
- 支持确定性延迟
- 串行通道速度高达 24.5Gbps
- 16 个路由收发器通道
- 24Gb DDR4 SDRAM (分成两组，每组 3 个独立的 256 × 16、4Gb SDRAM)。四分之一速率 DDR4 控制器，支持高达 1200MHz 操作
- 1.536G 的 16 位板载存储器样本
- 对于备用 FMC+ 信号支持 1.8V CMOS IO 标准
- 通用 200MHz 振荡器
- 板载 FTDI FT601Q-B USB 3.0 器件，用于与 FPGA 并行连接

- 板载 FTDI FT4232H USB 2.0 器件，用于 FPGA JTAG 接口（下载固件）和通用 I/O 接口（用于连接板载功能和 FMC+）
- 通过 FMC+ 端口或 SMA 提供的收发器参考时钟
- 由 TI HSDC PRO 软件支持
- 使用 Xilinx Vivado 开发工具开发的 FPGA 固件。
 - JESD RX IP 内核，支持：
 - 可通过 USB 和 JTAG 重新配置的 JESD 内核参数：L、M、K、F、HD、S 等等
 - 可通过 USB 和 JTAG 访问的 ILA 配置数据
 - 通过 USB 和 JTAG 启用或禁用通道对齐和字符替换
 - JESD TX IP 内核，支持：
 - 可通过 USB 和 JTAG 重新配置的 JESD 内核参数：L、M、K、F、HD、S 等等
 - 可通过 USB 和 JTAG 访问的 ILA 配置数据
 - 动态可重新配置的收发器数据速率。
 - 串行通道工作范围为 1Gbps 至 24.5Gbps

图 2-2 显示了 TSW14J58 EVM 的方框图。

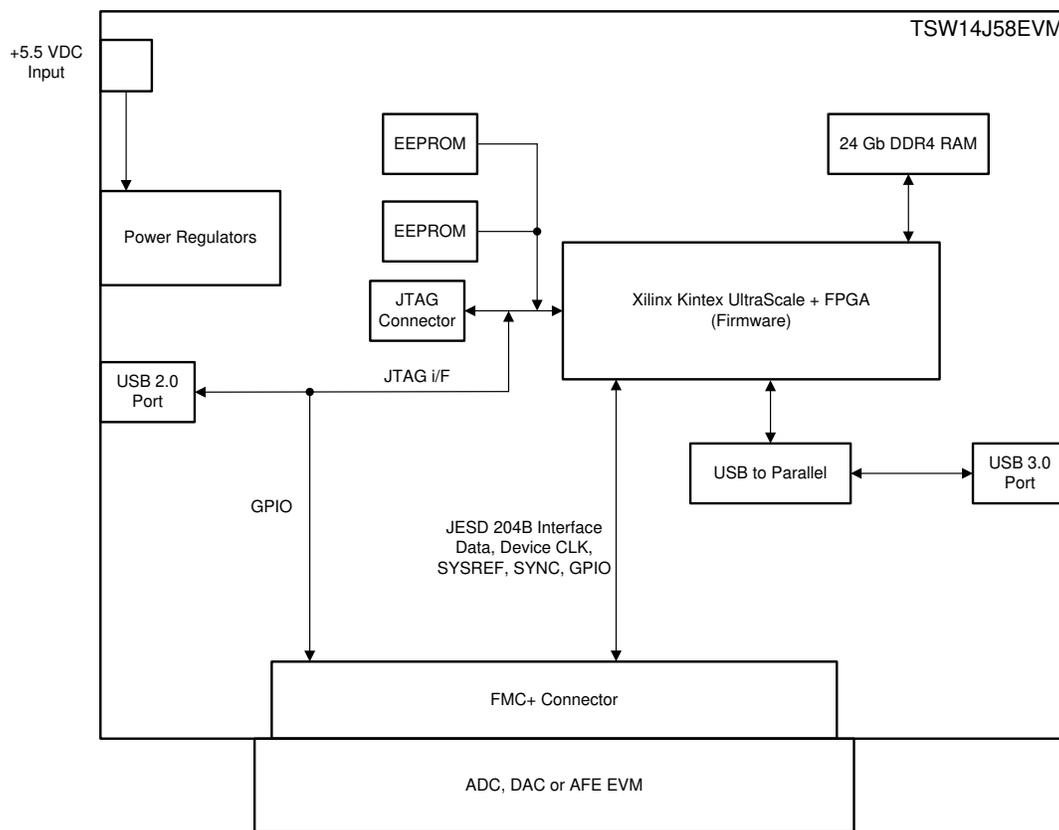


图 2-2. TSW14J58EVM 方框图

2.1 ADC EVM 数据采集

新的 TI 高速 ADC 和 DAC 现在可提供符合 JESD204C_B 标准的高速串行数据。这些器件通常可用在与 TSW14J58EVM 直接相连的 EVM 上。EVM 与 TSW14J58EVM 之间的通用连接器是 Samtec 高速、高密度 FMC+ 连接器 (ASP-184329-01)，适用于速率高达 32.5Gbps 的高速差分对。针对整个 EVM 系列连接器的通用引脚排列已经确定。目前，EVM 与 TSW14J58EVM 之间的接口已经定义了 32 个高速差分数据对 (16 个 RX 和 16 个 TX)、23 个单端信号、一个单端 SYNC、5 个差分备用、一个差分 SYNC 和 SYSREF 以及四个器件时钟对 (FPGA 参考时钟) 的连接。该电路板具有 10 个备用 USB2.0 接口信号、2 个 FPGA 参考时钟 SMA、3 个 SYNC 输出 SMA、1 个外部输入触发器 SMA、4 个复位开关和 13 个状态 LED。

JESD204C_B ADC 和 DAC 的数据格式是串行格式，其中数据的各个位出现在通常称为通道的串行对上。根据 JESD204C_B 规范设计的器件可以有多达 16 个通道用于发送或接收数据。TSW14J58 上 FPGA 中的固件旨在适应 TI 的任何使用 1 至 16 个通道运行的 ADC 或 DAC。

HSDC Pro GUI 根据在器件下拉窗口中选择的 ADC 器件，为 FPGA 加载适当的固件和特定的 JESD204C_B 配置。此窗口中出现的每个 ADC 器件都有一个与之关联的初始化文件 (.ini)。此 .ini 文件包含 JESD 信息，例如通道数、转换器数、每帧八位位组以及其他参数。用户点击采集按钮后，此信息将加载到 FPGA 寄存器中。加载参数后，在数据转换器和 FPGA 之间建立同步，然后将有效数据采集到板载存储器中。更多信息，请参阅“技术文档”部分下的 [High-Speed Data Capture Pro GUI 软件用户指南](#)。提供了多个 .ini 文件，以供用户加载预先确定的 ADC JESD204C_B 接口。

TSW14J58 器件能够以高达 24Gbps 的最大线路速率采集多达 1.536G 的 16 位样本，这些样本存储在板载 DDR4 存储器中。用户在 HSDC Pro GUI 中设置的数据大小必须以 480 的倍数输入。为了在主机 PC 上采集数据，FPGA 从存储器读取数据，并将并行数据传输到板载高速并行转 USB3.0 转换器。

2.2 DAC EVM 图形发生器

在图形发生器模式下，TSW14J58EVM 为受测的 DAC EVM 生成所需的测试图形。这些图形通过 USB 接口从主机 PC 发送到 TSW14J58。FPGA 将接收到的数据存储到板载 DDR4 存储器中。接着，存储器中的数据由 FPGA 读取，转换为 JESD204C_B 串行格式，然后传输到 DAC EVM。TSW14J58 能够以高达 24.5Gbps 的线路速率生成多达 1.536G 的 16 位样本的图形。

有一些可用的 GUI 附带若干现有的测试图形，可供立即下载。与 ADC 采集模式类似，DAC 图形发生器模式使用 .ini 文件将预先确定的 JESD204C_B 接口信息加载到 FPGA。

3 硬件配置

本节介绍 TSW14J58EVM 硬件的各个部分。

3.1 电源连接

TSW14J58EVM 硬件设计为以 +5.5V 直流单电源电压运行。电源输入由 SW5 开关的开/关状态控制。在插入提供的电源线之前，请确保此开关处于关闭位置。将电源线的连接器端插入 EVM 的 J2。将电源线的正极红线端连接到额定电流至少为 5 安培的电源的 +5.5V 直流输出端。将负极黑线连接到电源的 RETURN 或 GND。还可以通过向红色测试点 TP18 提供 +5.5V 直流并返回到任何黑色 GND 测试点来为此电路板供电。例如，TSW14J58 在上电时消耗大概 0.6A 的电流，而在以 24.33Gbps 的线路速率从 AFE 采集 8 个通道的数据时消耗大概 3A 的电流。

备注

TSW14J58EVM 的典型电源电压范围为 5.5V，功耗约为 16.5W。由于 HSDC Pro 采集数据时电流消耗会增加，因此建议为 TSW14J58EVM 提供至少 5A 的额定电源。

3.2 开关、跳线和 LED

3.2.1 开关和按钮

TSW14J58 包含多个开关和按钮，用于实现电路板上的某些功能。有关开关的说明，请参阅表 3-1。

表 3-1. TSW14J58 器件的开关说明

组件	说明
SW1	USB 2.0 复位
SW2	USB 3.0 复位
SW3	FPGA 硬件复位
SW4	强制从选定的 EEPROM 加载 FPGA 固件
SW5	电路板主电源开关

3.2.2 跳线

TSW14J58 包含多个跳线 (JP) 和焊接跳线 (SJP)，用于在电路板上实现某些功能。有关跳线的说明，请参阅表 3-2。

表 3-2. TSW14J58 器件的跳线说明

组件	说明	默认值
J4	安装时禁用 VCCO_3V3 电源	开路
J5	USB3.0 GPIO0 配置。当分流器在引脚 1-2 上时，将其设置为高电平。当分流器在引脚 2 - 3 上时，将其设置为低电平	开路
J6	USB3.0 GPIO1 配置。当分流器在引脚 1-2 上时，将其设置为高电平。当分流器在引脚 2 - 3 上时，将其设置为低电平	开路
J10	安装时禁用 VCCO_1V2 电源	开路
J11	安装时禁用 VCCO_1V8 电源	开路
J15	安装时禁用 MGTAVCC_0V9 电源	开路
J16	安装时禁用 MGTAVTT_1V2 电源	开路
J17	安装时禁用 MGTAVCCAUX_1V2 电源	开路
J19	安装时禁用 VCCO_2V5 电源	开路
J21	输出 SYNCA/B/C 和输入 TRIG_IN 转换器电压电平选择。当分流器在引脚 1-2 上时，电压为 3.3V。当分流器在引脚 2 - 3 上时，电压由 TP30 控制。	1 至 2
J28	缓冲器 U38、U44、U46 启用。当分流器在引脚 1-2 上时，启用 U44，禁用 U38 和 U46。当分流器在引脚 2 - 3 上时，禁用 U44，启用 U38 和 U46。	1 至 2
J29	USB2.0 JTAG 多路复用器启用。当分流器在引脚 1 - 2 上时，启用多路复用器。当分流器在引脚 2 - 3 上时，多路复用器启用由 USB2.0 器件控制。	2 至 3

表 3-2. TSW14J58 器件的跳线说明 (continued)

组件	说明	默认值
J30	U47 缓冲器启用。当分流器在引脚 1 - 2 上时，禁用 U47。当分流器在引脚 2 - 3 上时，启用 U47。	1 至 2
J34	状态 LED 启用。当分流器在引脚 1 - 2 上时，禁用 LED。当分流器在引脚 2 - 3 上时，启用 LED。	1 至 2
J35	EPROM 选择。当分流器在引脚 2 - 3 上时，选择由 USB2.0 控制。当分流器在引脚 1-2 上时，选择 U3。移除分流器后，选择 U6。	2 至 3

3.3 LED

3.3.1 电源和配置 LED

TSW14J58 EVM 上有多个 LED，用于指示电源是否存在以及 FPGA 的状态。有关这些 LED 的说明，请参阅表 3-3。

表 3-3. TSW14J58 器件的电源和配置 LED 说明

组件	说明
D4	如果 USB2.0 器件上电，则亮起
DS4	USB3.0 FT601 器件唤醒
DS5	如果在 EVM 和主机 PC 之间连接了 USB3.0 电缆，则亮起
D16	如果固件已加载到 FPGA 中，则亮起
D17	上电后和加载固件后亮起
DS20	如果存在 5.5V 电压且电源开关接通，则亮起
TXSYNC	EVM 上电时亮起
RXSYNC	未使用
TX Active	未使用
RX Active	EVM 上电时亮起。加载固件时熄灭
GT_Pwr Good	EVM 上电时亮起。加载固件时熄灭
SYSREFT Done	未使用
DDR Calib	EVM 上电和加载固件时亮起
PLL Lock	EVM 上电和加载固件时亮起

3.3.2 备用 LED

TSW14J58EVM 上有五个备用 LED。默认情况下，它们处于禁用状态。

DS2 - SYNCA

D2S3 - SYNCB

DS6 - TRIG_IN

DS7 - CAL TRIG

DS8 - CAL STAT

要启用这些 LED，请将分流器放在 J34 的引脚 2 - 3 上。

3.3.3 连接器

3.3.3.1 SMA 连接器

TSW14J58 有 5 个 SMA 连接器。表 3-4 定义了这些连接器：

表 3-4. SMA 连接器

组件	连接器	说明
J12	REFCLKP1	备用外部 FPGA 参考时钟+。必须安装 C527 并移除 C552 才能使用此输入。这连接到 FPGA 时钟输入焊球 H7
J13	REFCLKN1	备用外部 FPGA 参考时钟-。必须安装 C528 并移除 C553 才能使用此输入。这连接到 FPGA 时钟输入焊球 H6
J31	SYNCA	3V3 CMOS 逻辑 SYNC 输出。J21 必须在引脚 1 - 2 之间安装分流器才能启用此输出。该信号由 FPGA 焊球 J15 提供。J34 的引脚 2 - 3 上的分流器可启用 SYNCA LED。
J32	SYNCB	3V3 CMOS 逻辑 SYNC 输出。J21 必须在引脚 1 - 2 之间安装分流器才能启用此输出。该信号由 FPGA 焊球 G14 提供。J34 的引脚 2 - 3 上的分流器可启用 SYNCB LED。
J36	SYNCC	3V3 CMOS 逻辑 SYNC 输出。J21 必须在引脚 1 - 2 之间安装分流器才能启用此输出。该信号由 FPGA 焊球 G19 提供。

表 3-4. SMA 连接器 (continued)

组件	连接器	说明
J33	TRIG IN	FPGA 引脚 G12 的 3V3 CMOS 逻辑触发器输入。J34 的引脚 2 - 3 上的分流器启用 TRIG IN LED。

备注

SYNCA、SYNCB 和 SYNCC SMA 用于从 FPGA 提供外部 SYNC 信号。每个 SYNC 信号的电缆应具有相同的长度，以确保信号同时到达使用这些 SYNC 的所有电路板。TRIG IN SMA 连接器可用于从外部源触发 FPGA。所有四个 SMA 都使用 3V3 逻辑 CMOS 信号。EVM 具有板载转换器，可将这些输入/输出设置为 FPGA 的正确电压电平。

3.3.3.2 FPGA 夹层卡 (FMC+) 连接器

TSW14J58 EVM 具有一个连接器，可直接插入 TI JESD204C_B 串行接口 ADC 和 DAC EVM。此连接器的规范主要源自 ANSI/VITA 57.4 FPGA 夹层卡 (FMC+) 标准。此标准描述了夹层卡的 IO 与载板卡上的 FPGA 处理器件之间低开协议桥的合规性要求。FPGA 供应商在其开发平台上使用此规范。

FMC+ 连接器 J3 提供 TSW14J58EVM 与受测 ADC 或 DAC EVM 之间的接口。这款 560 引脚 Samtec 高速、高密度连接器 (器件型号 ASP-184329-01) 适用于速率高达 32.5Gbps 的高速差分对。

除了 JESD204B/C 标准信号之外，FMC+ 和 FPGA 之间还连接了若干 CMOS 单端信号和 LVDS 差分信号。以后，这些信号可供 HSDC Pro GUI 用于控制对支持此特性的 ADC 和 DAC EVM 进行 SPI 串行编程。表 3-5 中显示了连接器引脚排列说明。

表 3-5. TSW14J58 的 FMC+ 连接器说明

FMC+ 信号名称	FMC+ 引脚	标准 JESD204 应用映射	说明
RXP/N0_0	C6 和 C7	通道 0± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N1_0	A2 和 A3	通道 1± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N2_0	A6 和 A7	通道 2± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N3_0	A10 和 A11	通道 3± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N0_1	A14 和 A15	通道 4± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N1_1	A18 和 A19	通道 5± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N2_1	B16 和 B17	通道 6± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N3_1	B12 和 B13	通道 7± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N0_2	B8 和 B9	通道 8± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N1_2	B4 和 B5	通道 9± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N2_2	Y10 和 Y11	通道 10± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N3_2	Z12 和 Z13	通道 11± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N0_3	Y14 和 Y15	通道 12± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N1_3	Z16 和 Z17	通道 13± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N2_3	Y18 和 Y19	通道 14± (M → C)	JESD 串行数据从夹层发送并由载板接收
RXP/N3_3	Y22 和 Y23	通道 15± (M → C)	JESD 串行数据从夹层发送并由载板接收
TXP/N0_0	C2 和 C3	通道 0± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N1_0	A22 和 A23	通道 1± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N2_0	A26 和 A27	通道 2± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N3_0	A30 和 A31	通道 3± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N0_1	A34 和 A35	通道 4± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N1_1	A38 和 A39	通道 5± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N2_1	B36 和 B37	通道 6± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N3_1	B32 和 B33	通道 7± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N0_2	B28 和 B29	通道 8± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N1_2	B24 和 B25	通道 9± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N2_2	Z24 和 Z25	通道 10± (C → M)	JESD 串行数据从载板发送并由夹层接收

表 3-5. TSW14J58 的 FMC+ 连接器说明 (continued)

FMC+ 信号名称	FMC+ 引脚	标准 JESD204 应用映射	说明
TXP/N3_2	Y26 和 Y27	通道 11± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N0_3	Z28 和 Z29	通道 12± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N1_3	Y30 和 Y31	通道 13± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N2_3	Z8 和 Z9	通道 14± (C → M)	JESD 串行数据从载板发送并由夹层接收
TXP/N3_3	Y6 和 Y7	通道 15± (C → M)	JESD 串行数据从载板发送并由夹层接收
J3_REFCLKP/N0_0	D4 和 D5	DEVCLKA± (M → C)	FPGA 千兆位收发器所需的初级载板绑定参考时钟。等效于器件时钟。
J3_REFCLKP/N1_0	B20 和 B21	备选 DEVCLKA± (M → C)	FPGA 千兆位收发器所需的备选初级载板绑定参考时钟。当 DEVCLKA (M → C) 不可用时使用
J3_REFCLKP/N1_1	Z20 和 Z21	备选 DEVCLKA+ (M → C)	FPGA 千兆位收发器所需的备选初级载板绑定参考时钟。当 DEVCLKA (M → C) 不可用时使用
器件时钟、SYSREF 和 SYNC			
GPIO_DIFF_P/N<9>	G6 和 G7	DEVCLKB± (M → C)	次级载板绑定器件时钟。用于特殊 FPGA 功能，例如对 SYSREF 采样
GPIO_DIFF_P/N<3>	G9 和 G10	SYSREF± (M → C)	载板绑定 SYSREF 信号
GPIO_DIFF_P/N<2>	G12 和 G13	SYNC± (C → M)	用于 0/1/2 级 JESD204 系统的 ADC 夹层绑定 SYNC 信号
AC14_P/N	F10 和 F11	DAC SYNC± (M → C)	用于 0/1/2 级 JESD204B 系统的载板绑定 SYNC 信号
GPIO_DIFF_P/N<9>	F19 和 F20	备选 DAC SYNC± (M → C)	用于 0/1/2 级 JESD204B 系统的备选载板绑定 SYNC 信号
GPIO_DIFF_P/N<9>	H31 和 H32	备选 SYNC± (C → M)	备选 ADC 夹层绑定 SYNC 信号。当 SYNC (C → M) 不可用时使用
特殊用途 I/O			
GPIO_C6	F1		从 FPGA 引脚 G25 备用
GPIO_C3	K10		从 FPGA 引脚 U24 备用
GPIO_C5	K14		从 FPGA 引脚 AF13 备用
GPIO_C10	K7		从 FPGA 引脚 AF15 备用
GPIO_B25	K13		从 FPGA 引脚 AE13 备用
GPIO_B26	K11		从 FPGA 引脚 Y23 备用
GPIO_D15	K8		从 FPGA 引脚 Y16 备用
ACLK	D11		从 FPGA 引脚 W12 备用
ASDIO	D12		从 FPGA 引脚 W13 备用
PRESENT	H2	存在	USB2.0 输入。指示夹层卡是否存在
ASDO	D26		从 FPGA 引脚 G11 备用
ASEN	D27		从 FPGA 引脚 G9 备用
PRESENT_Z1	Z1	存在	USB2.0 输入。指示夹层卡是否存在。
K4_P/K4_N	K4 和 K5		REFCLKP1_3 到 FPGA 引脚 H7 和 H6
CSB_ADC	D17		从 FPGA 引脚 AA13 备用
CSB_LMK	D18		从 FPGA 引脚 AF13 备用
CSB_LMX	D20		从 FPGA 引脚 AF14 备用
SCLK	C22		从 FPGA 引脚 W12 备用
SDI	C23		从 FPGA 引脚 W13 备用
SDO_ADC	C26		从 FPGA 引脚 Y13 备用
SDO_LMK	C27		从 FPGA 引脚 AE13 备用
SCL	C30		备用 USB2.0 I/F
SDA	C31		备用 USB2.0 I/F
NCOA0	J18		从 FPGA 引脚 AF15 备用
NCOA1	J19		从 FPGA 引脚 Y16 备用
NCOB0	J21		从 FPGA 引脚 G22 备用
NCOB1	J22		从 FPGA 引脚 F22 备用

表 3-5. TSW14J58 的 FMC+ 连接器说明 (continued)

FMC+ 信号名称	FMC+ 引脚	标准 JESD204 应用映射	说明
CDBUS2-5	G27、G28、 G33、G34		备用 USB2.0 I/O
DDBUS0-3	G21、G22、 G36、G37		备用 USB2.0 I/O

3.3.3.3 JTAG 连接器

TSW14J58EVM 包含一个业界通用 JTAG 连接器 P2，用于连接到 FPGA 的 JTAG 端口。借助于 TSW14J58EVM 上的 USB 2.0 接口，可以通过 JTAG 连接器或 USB 2.0 接口对 FPGA 进行编程。利用 USB 2.0 接口，可以使用 HSDC Pro 软件 GUI 对 FPGA 进行编程。每次 TSW14J58EVM 下电时，都会删除 FPGA 配置。每次电路板上电后，用户都必须通过 GUI 对 FPGA 进行编程。也可以使用两个板载闪存器件 U3 和 U6 配置 FPGA。

闪存器件 TSW14J58EVM 包括两个可以加载 FPGA 固件的串行闪存编程 EEPROM。出厂时，U3 加载了一个名为 JESD204B_1p4.mcs 的文件，该文件将 FPGA 配置为在 JESD204B 模式下运行。U6 加载了一个名为 JESD204C_1p4.mcs 的文件，该文件将 FPGA 配置为在 JESD204C 模式下运行。跳线 J35 确定当按下开关 SW4 时哪个 EEPROM 将配置 FPGA。上电后，如果 J35 在引脚 1-2 与 U6 之间有分流器（如果分流器位于引脚 2-3 之间或已移除），则按下 SW4 将为 FPGA 加载工厂预编程的闪存器件 U3。

对存储器器件进行编程

要使用新文件对 U3 和 U6 进行编程，请执行以下步骤：

备注

安装 Vivado® 版本 2018.3 或更高版本（实验室版）

1. 通过 JTAG Xilinx 编程器电缆将 TSW14J58 采集卡连接到 PC。这将是 JTAG 连接 P2。
2. 打开 Vivado 安装：
 - 双击“Open Hardware Manager”。
3. 在“Hardware Manager”中，左键单击“Open target”，然后选择“Auto Connect”。
4. 这将列出通过 JTAG 编程器电缆连接到 PC 的所有 FPGA。
5. 右键单击“xcku5p_0” -> 单击“Add Configuration Memory Device”。

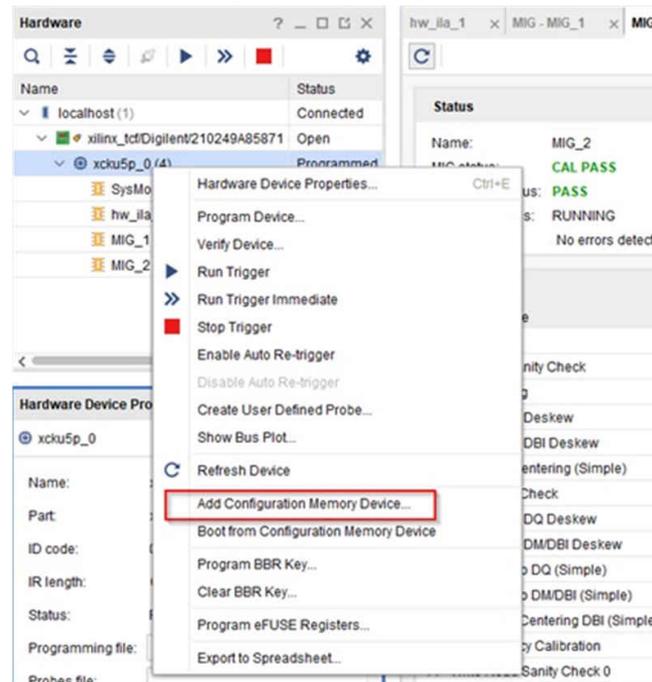


图 3-1. 添加配置存储器器件

6. 在弹出窗口中，搜索“mt25qu256-spi-x1_x2_x4”组件。单击 OK 按钮。

7. 右键点击器件“mt25qu256-spi-x1_x2_x4”，然后点击“Program Configuration Memory Device”（请参阅图 3-2）。

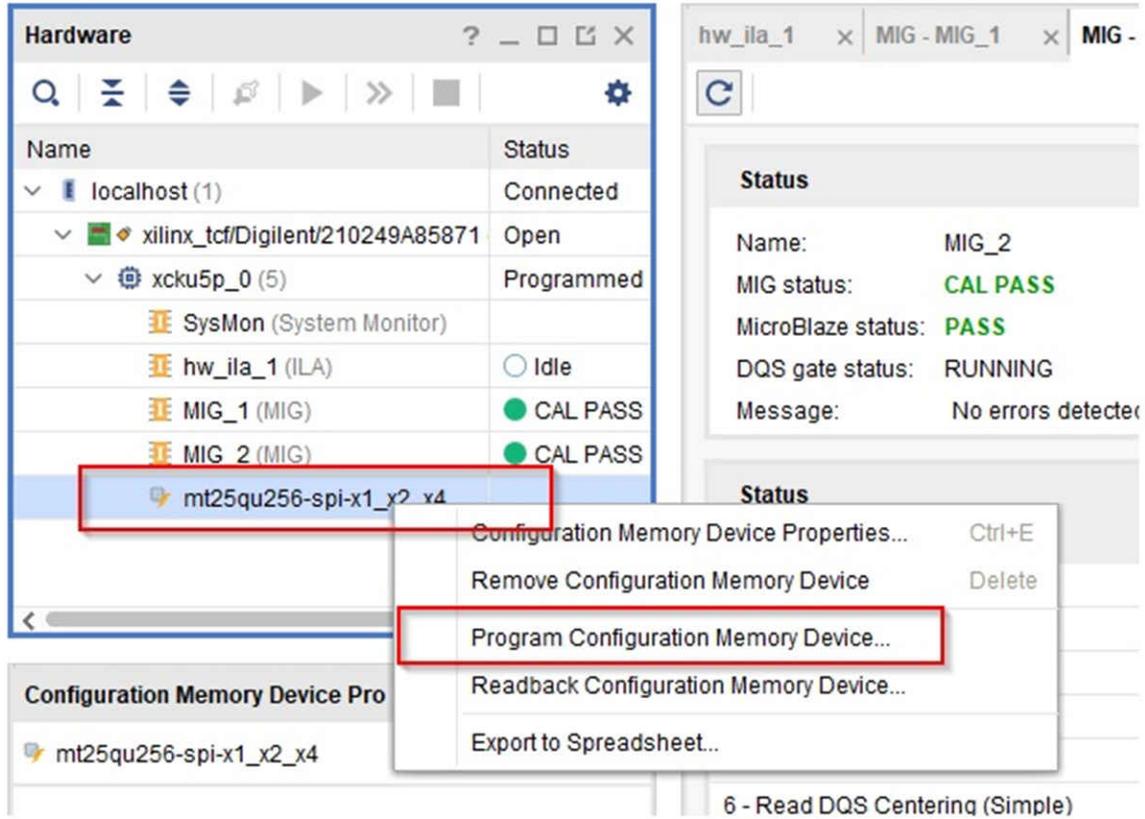


图 3-2. 对存储器器件进行编程

8. 在 J35 = 1 - 2 的情况下，打开要加载的新“xx.mcs”文件，并在编程中检查以下设置。完成后，点击 **OK** 按钮。图 3-3 展示了要加载的配置文件。

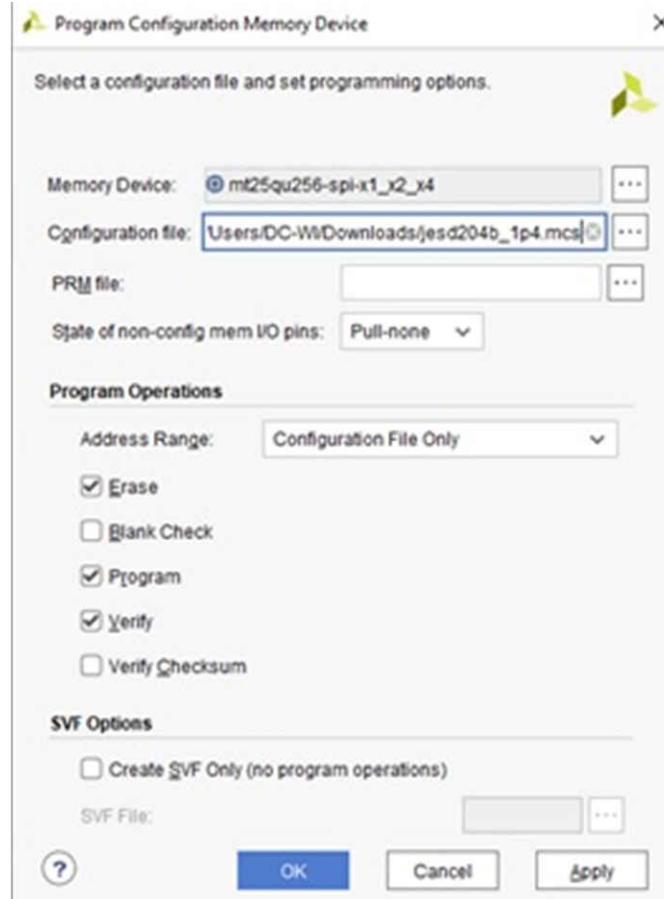


图 3-3. 配置文件

9. 按 SW4 以重新加载 EEPROM
 10. 按 SW3 以复位 FPGA
 11. 在 J35 = 2 - 3 的情况下，打开要加载的新“yy.mcs”文件，并在编程中检查以下设置。完成后，点击 **OK** 按钮。

3.3.3.4 USB I/O 连接

可通过 USB 3.0 连接器 J1 和 USB 2.0 连接器 J23 控制 TSW14J58EVM。这提供了在使用 Microsoft® Windows® 操作系统的 PC 上运行的 HSDC Pro GUI 与 FPGA 之间的接口。对于计算机，访问 USB 端口所需的驱动程序包含在 HSDC Pro GUI 安装软件（可从网络下载）中。驱动程序会在软件安装过程中自动安装。在 TSW14J58EVM 上，USB 端口用于识别被测 EVM 的类型和序列号，加载所需的 FPGA 配置文件，从 ADC EVM 采集数据，以及将测试图形数据发送到 DAC EVM。

4 软件启动

4.1 安装说明

- 将最新版本的 **HSDC Pro GUI** 下载到主机 PC 上的本地目录。在 TI 网站上，输入“HIGH SPEED DATA CONVERTER PRO GUI INSTALLER”即可找到该程序。
- 解压软件包会生成一个名为“High Speed Data Converter Pro - Installer vx.xx.exe”的文件夹，其中 x.xx 是版本号。运行此程序即可开始安装。
- 在安装软件之前，请确保从任何 TSW14xxx 电路板上拔下所有 USB 电缆。
- 在安装过程中，按照屏幕上的说明进行操作。
- 点击“Install”按钮。此时会打开一个新窗口。点击 **Next** 按钮。
- 接受许可协议。点击 **Next** 按钮以开始安装。安装完毕后，最后再点击一次 **Next** 按钮。
- 至此完成安装。GUI 可执行文件和关联的文件将位于以下目录中：
C:\Program Files (x86)\Texas Instruments\High Speed Data Converter Pro。
- 为受测的 TSW14J58 加电。在 EVM 和主机之间连接 USB2.0 和 USB3.0 电缆。
- 要启动 GUI，请点击以下目录中名为“High Speed Data Converter Pro.exe”的文件：
C:\Program Files\Texas Instruments\High Speed Data Converter Pro。

备注

如果已安装较旧版本的 GUI，请确保先将其卸载然后再加载较新版本。如果 GUI 检测到在线提供了更高版本的 GUI (<http://www.ti.com.cn/tool/cn/DATACONVERTERPRO-SW>)，它将协助用户从 TI 网站下载最新版本。GUI 每七天自动查询产品网站以确定是否有最新版本，但也可以通过使用下拉菜单手动调用最新版本检查：**Help**→**Check for updates**。

备注

如果最新版本的 HSDC Pro GUI 目前不支持新可用的 TI 高速数据转换器 EVM 或 JESD204C_B 接口模式，用户可使用 HSDCProv_xpax_Patch_setup 可执行文件（可在 TI 网站的 High-Speed Data Converter Pro 软件产品文件夹 (<http://www.ti.com.cn/tool/cn/DATACONVERTERPRO-SW>) 下获得）将这些项添加到 GUI 器件列表中。下载补丁后，按照屏幕上的说明运行补丁。该软件会显示将要添加的文件。运行补丁后，打开 HSDC Pro，ADC 和 DAC 器件下拉选择框中会显示新的器件和模式。该补丁始终特定于核心 GUI 版本，并且不适用于未明确创建补丁的 GUI 版本。

4.2 USB 接口和驱动程序

- 在 TSW14J58EVM 的 J1 与主机 PC 之间连接 USB 3.0 电缆。LED DS5 应亮起，指示 USB3.0 器件已通电。
- 在 TSW14J58EVM 的 J23 与主机 PC 之间连接 USB 2.0 电缆
- 在 EVM 的 J2 与 +5.5VDC 电源之间连接所提供的电源线。
- 将 SW5 设为 ON。LED DS20（+5.5V 存在）、D4（USB2.0 电源存在）和多个状态 LED 应亮起。

点击在桌面面板上创建的 *High-Speed Data Converter Pro* 图标，或转到 C:\Program Files (x86)\Texas Instruments\High Speed Data Converter Pro，然后双击名为“High Speed Data Converter Pro.exe”的可执行文件以启动 GUI。

GUI 首先尝试连接到 EVM USB 接口。如果 GUI 识别出一个有效的电路板序列号，则将打开一个显示该序列号的弹出窗口，如图 4-1 所示。用户可以将多个 TSW14J58 EVM 连接到一台主机 PC，但 GUI 一次只能连接到一个 EVM。当多个电路板连接到 PC 时，弹出窗口会显示识别的所有序列号。然后，用户选择将 GUI 与哪个电路板关联。



图 4-1. TSW14J58EVM 序列号

点击 **OK** 按钮以将 GUI 连接到电路板。将打开并显示 GUI 首页，如图 4-2 所示。



图 4-2. High-Speed Data Converter Pro GUI 首页

如果显示消息“**No Board Connected**”，请仔细检查 USB 电缆连接，并确保电源开关 **SW5** 处于 **ON** 位置。从电路板上拔下 USB3.0 电缆，然后重新安装。点击 GUI 左上角的 **Instrument Option** 选项卡，然后选择“**Connect to the Board**”。如果这样仍无法解决此问题，请检查主机 USB 端口的状态。

安装软件并将 USB 电缆连接到 TSW14J58EVM 和 PC 后，TSW14J58 USB 3.0 转换器应位于“Hardware Device Manager”中的“Universal Serial Bus controllers”下（如图 4-3 所示），标记为“FTDI FT601 USB 3.0 Bridge Device”。拔下 USB 3.0 电缆后，设备管理器中将不再显示此驱动程序。USB 2.0 器件将列为“USB Serial Converter A”、“USB Serial Converter B”、“USB Serial Converter C”和“USB Serial Converter D”。如果设备管理器窗口中存在驱动程序而软件仍然无法连接，请从电路板上拔下 USB 电缆，然后重新连接它们。尝试使用 GUI 连接到电路板。如果问题仍然存在，请给电路板下电上电，然后重复前面的步骤。

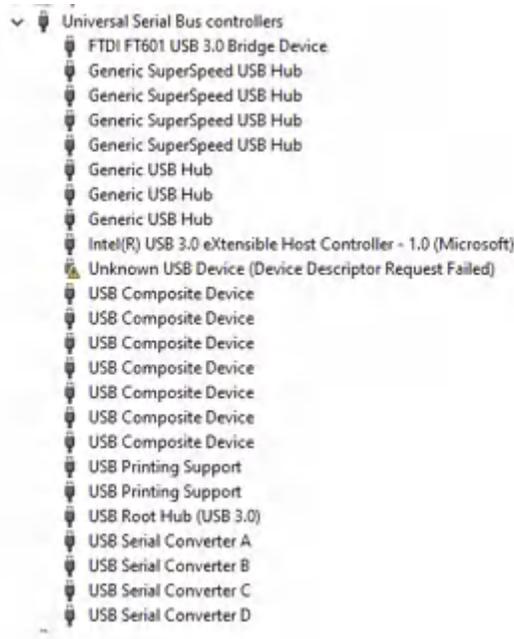


图 4-3. 硬件设备管理器

5 下载固件

TSW14J58EVM 具有一个 Xilinx® Kintex® UltraScale® XCKU5P 器件，该器件要求在每次下电上电运行时下载固件。所需的固件文件是随软件包提供的特殊 .bin 格式的文件。GUI 使用的文件当前位于以下目录中：

C:\Program Files (x86)\Texas Instruments\High Speed Data Converter Pro\14J58 Details\Firmware。

要加载固件，在 GUI 建立连接后，点击 GUI 左上角的 **Select ADC** 窗口右侧的下拉箭头，然后选择要评估的器件（例如 ADC12DJ3200_JMODE0_2G_3G），如图 5-1 所示。

GUI 会提示用户更新 ADC 的固件。点击“**Yes**”。GUI 将显示消息“**Downloading Firmware, Please Wait**”。软件现在将固件从 PC 加载到 FPGA，这一过程大约需要 6 秒。完成后，GUI 会在右下角报告接口类型，并且 LED D16、D17、DDR Calib 和 PLL lock 应全部变为白色。

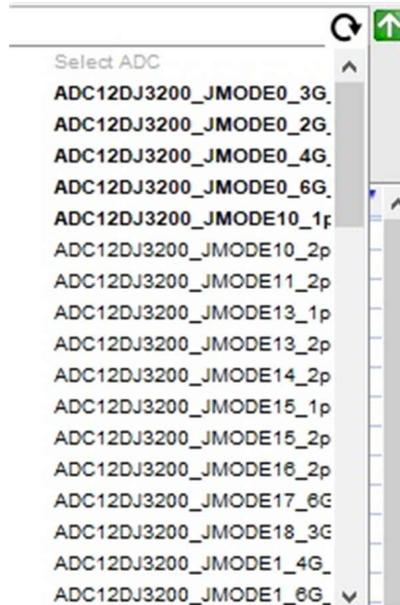


图 5-1. 选择要加载的 ADC 固件

有关将 TSW14J58EVM 与 TI ADC 或 DAC JESD204C_B 串行接口 EVM 结合使用的信息，请参阅 www.ti.com 上提供的 [High Speed Data Converter Pro GUI 用户指南](#) 和单独的 EVM 用户指南。

如果显示如图 5-2 所示的消息，请验证所有跳线均处于默认位置，并且电源和 USB 状态 LED 亮起。如果 5.5V 电源状态 LED 熄灭，则外部电源可能存在问题。确保该电源可以拉出至少 5A 的电流。如果可用电流过低，这可能会阻止下载固件。拔下并重新安装 USB 连接器，然后尝试连接到电路板。如果此操作失败，请关闭然后打开电源开关，以重新初始化加电序列发生器，尝试纠正此问题。

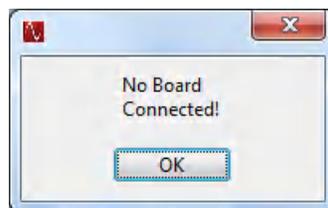


图 5-2. 下载固件错误消息

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司