

Design Guide: TIDA-010260

4T5R 航天级集成收发器参考设计



说明

参考设计是一款专为航天应用设计的 4T5R 收发器。该设计以 AFE7950-SP 集成式射频采样收发器为中心。该设计包括所有 -SEP (增强型航天塑料) 或 -SP (塑料) 有源器件。无源器件在可用的情况下均符合 MIL 标准 MIL-STD-55681 (或等效版本) ; 否则, 替换了等效值和元件尺寸。机械结构符合 VITA-57 外形和高度限制。该设计经过配置, 可同时支持多个频带。对于遥测应用, 两个发送通道和两个接收通道 (2T2R) 在大约 8.2GHz 的 X 带中运行。另外两个发送和接收频带 (2T2R) 在大约 2.2GHz 的 S 带中运行。对于 GPS 应用, 最终接收通道 (1R) 在 L 带中运行。该设计包含具有 FPGA 时钟、高性能器件采样时钟以及 JESD204B 运行所需的所有 SysRef 信号的时钟设计。该设计还包括所有有源器件的电源设计。

资源

TIDA-010260	设计文件夹
AFE7950-SP	产品文件夹
LMK04832-SEP	产品文件夹
LMX2694-SEP	产品文件夹
TRF0208-SEP	产品文件夹
TPS7H4010-SEP	产品文件夹
TPS7H4003-SEP	产品文件夹
TPS73801-SEP	产品文件夹



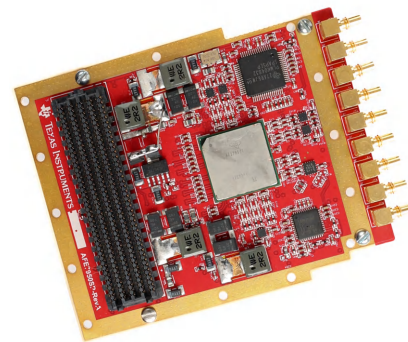
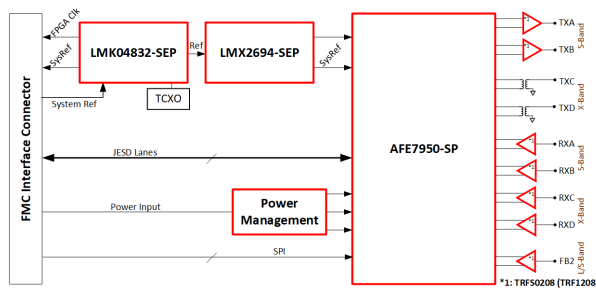
请咨询我司 TI E2E™ 支持专家

特性

- 每个频段独立的 NCO
- 可选择内部或外部时钟
- 高效的板载电源设计
- 兼容航天级无源器件
- 外部或局部低频基准
- 符合 VITA-57 标准的外形

应用

- 通信有效载荷
- 雷达成像有效载荷
- 命令和数据处理 (C&DH)



1 系统说明

与通信和雷达相关的卫星有效载荷应用需要多通道高频收发器。在这些系统中，需要处理与不同频段、遥测和 GPS 上的通信通道相关的不同功能。尽管这些功能可独立创建，但将所有功能集成到一个设计中可节省物理空间并降低复杂性。该设计需要耐辐射有源器件和航天级无源器件，以支持在 LEO（近地轨道）卫星应用中运行。

2 系统概述

2.1 方框图

图 2-1 显示了参考设计的方框图。

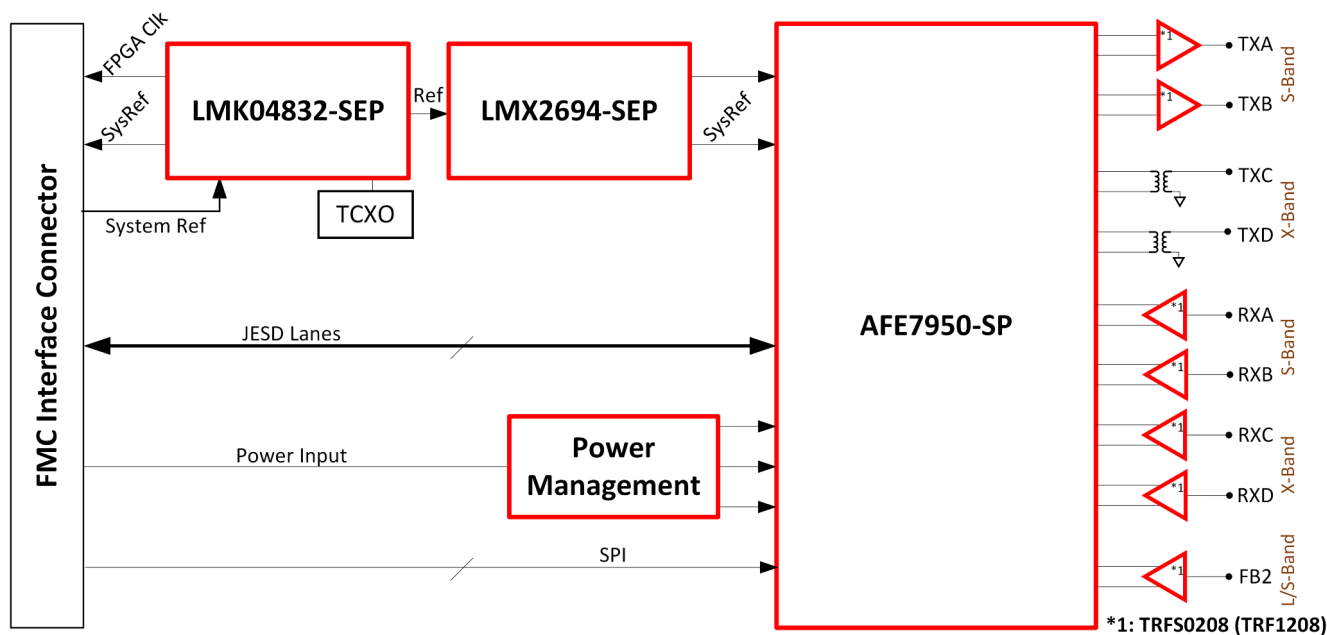


图 2-1. 参考设计方框图

图 2-2 显示了电源设计的方框图。

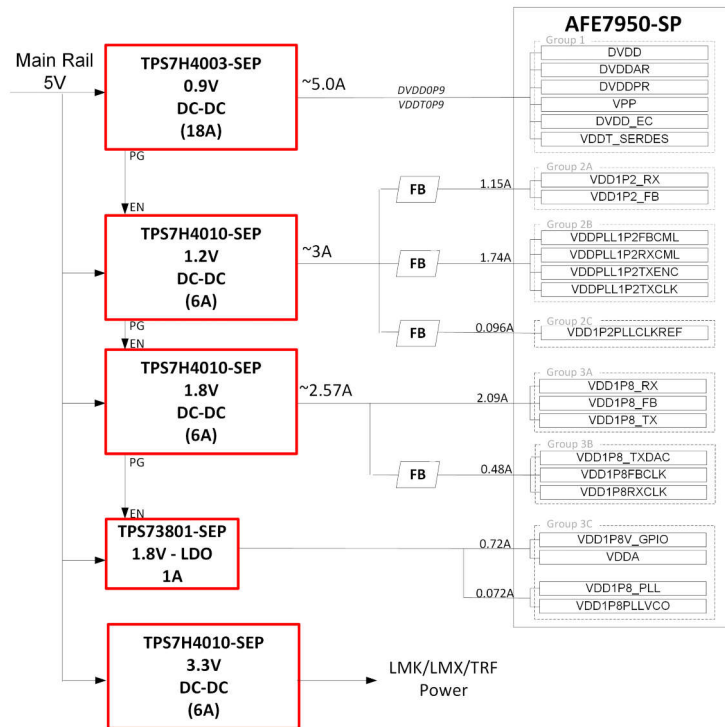


图 2-2. 参考设计电源设计

2.2 设计注意事项

该设计以 AFE7950-SP 集成式射频采样收发器为中心。LMK04832-SEP 为 LMX2694-SEP 提供了低频基准。LMK04832-SEP 还为 FPGA 提供低频时钟信号，并为 AFE 和 FPGA 提供 SysRef 信号，以支持 JESD204B 数字接口协议。LMX2694-SEP 为 AFE 提供低相位噪声、高频采样时钟。所有接收通道都利用有源平衡-非平衡变压器将单端输入转换为差分输出，以便与 ADC 输入连接。较低频率的发送通道还使用有源平衡-非平衡变压器将差分 DAC 输出转换为单端。高频发送通道使用无源平衡-非平衡变压器将差分转换为单端。由于物理空间分配较小，因此可以使用直流/直流转换器简化适用于大多数电源轨的电源，从而更最大限度地减少器件数量并保持更高效率。

2.3 主要产品

2.3.1 AFE7950-SP

AFE7950-SP 是一款集成抗辐射射频采样收发器，支持多达 4 个发射通道和 6 个接收通道。AFE7950-SP 整合了内部 PLL/VCO，用于生成本地高频采样时钟。或者，如果需要改进相位噪声源，该器件可以接受外部采样时钟。每个通道均包含数控振荡器 (NCO)，可将信号独立编程到任何任意射频频带。每个通道还包括一个数字步进衰减器 (DSA)。该器件支持高达 1200MHz 的瞬时信号带宽。提供许多配置选项来调整数据速率、串行器/解串器速度和频带，从而针对任何给定应用进行优化。

2.3.2 LMK04832-SEP

LMK04832-SEP 是支持 JESD204B/C 的抗辐射高性能时钟调节器。LMK04832-SEP 具有 14 个可配置为时钟或 SysRef 输出的时钟输出，以及两个 PLL (锁相环)。第一个 PLL 作为抖动清除器运行，用于将 VCXO 等局部低抖动基准源锁定到低频系统基准。第二个 PLL 将内部 VCO (压控振荡器) 锁定到低抖动基准。该器件支持双 PLL、单 PLL 或时钟分配模式。

2.3.3 LMX2694-SEP

LMX2694-SEP 器件是一款具有集成式压控振荡器 (VCO) 的抗辐射、低相位噪声、宽带锁相环 (PLL)，支持 39.3MHz 和 15.1GHz 之间的频率。该器件具有两个带独立输出分频器控制的输出。

2.3.4 TPS7H4003-SEP

TPS7H4003-SEP 是一款 18A 抗辐射同步降压转换器。TPS7H4003-SEP 支持低于 1V 的输出电压。电流模式控制可提供高效率并减少元件数量。

2.3.5 TPS7H4010-SEP

TPS7H4010-SEP 是一款抗辐射同步直流/直流降压转换器，可在 3.5V 至 32V 的电压范围内驱动高达 6A 的负载电流。该器件能够以非常小的设计尺寸提供出色的效率和输出精度。

2.3.6 TPS73801-SEP

TPS73801-SEP 是一款针对快速瞬态响应进行了优化的抗辐射低压降 (LDO) 稳压器。该器件可输出高达 1A 的输出电流，压降为 300mV。该器件的输出电源噪声非常低，这使得该器件非常适合敏感型射频电源应用。

3 硬件、软件、测试要求和测试结果

3.1 硬件要求

使用 TI 工具评估参考设计需要以下硬件。

- TIDA-010260 参考设计电路板
- FMC 接口板
- TSW14J56EVM
- 外部冷却风扇
- USB2ANY 编程 Pod
- 高质量 491.52MHz Wenzel 振荡器或等效器件
- 用于所需相关接收器频率的带通滤波器
- SSMC 与 SMA 适配器：径向 5945-9503-000 (或等效器件)

本参考设计的评估需要使用以下测试设备。

- Agilent PSA E4445A 频谱分析仪或等效产品
- Rohde and Schwarz SMA100B 信号发生器或等效器件
- TSW14J56 电源 (5V、3.5A)
- TIDA-010260 参考设计电源 (5V、5.0A)
- 高速示波器 (可选)

3.2 软件要求

对参考设计进行评估需要通过 ti.com 获取已发布的软件版本。

- [HSDC 专业版 GUI](#)
- [TICS 专业版 GUI](#)
- AFE7950 Latte :
 - 根据请求的链接从 MySecure 文件夹访问最新的 EVM GUI 软件
 - 有关更多信息，请参考 [AFE7950EVM 用户指南](#)

3.3 测试设置

图 3-1 展示了测试设置方框图。图 3-2 所示为装置图照片。

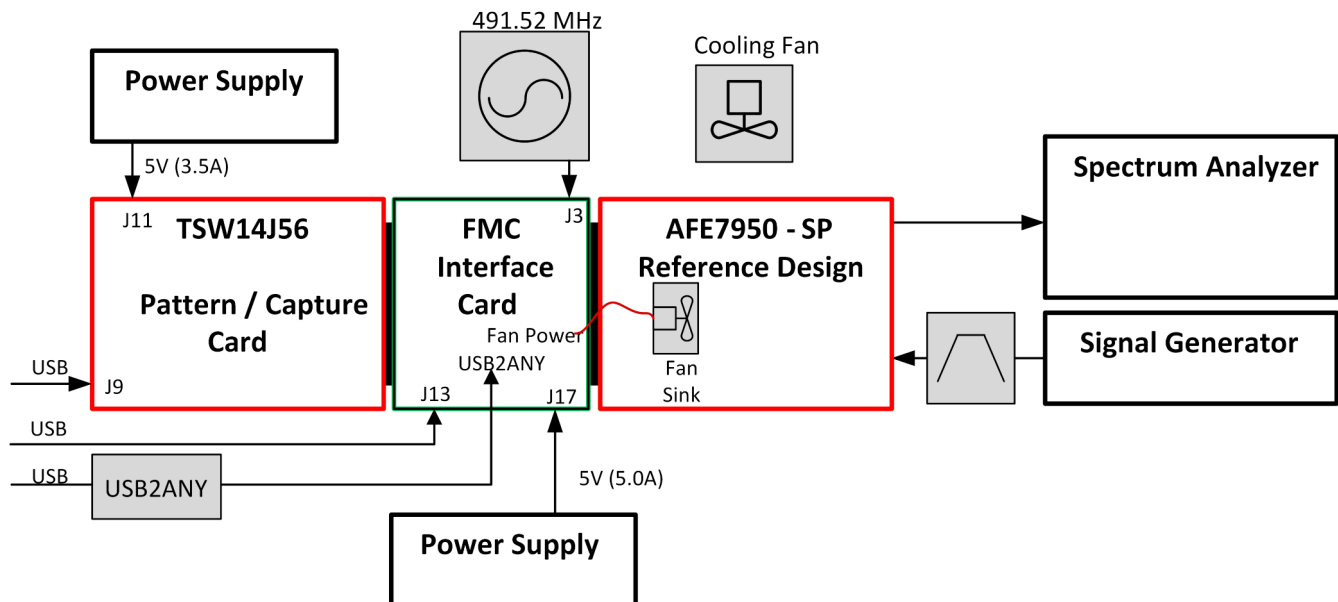


图 3-1. 测试设置方框图

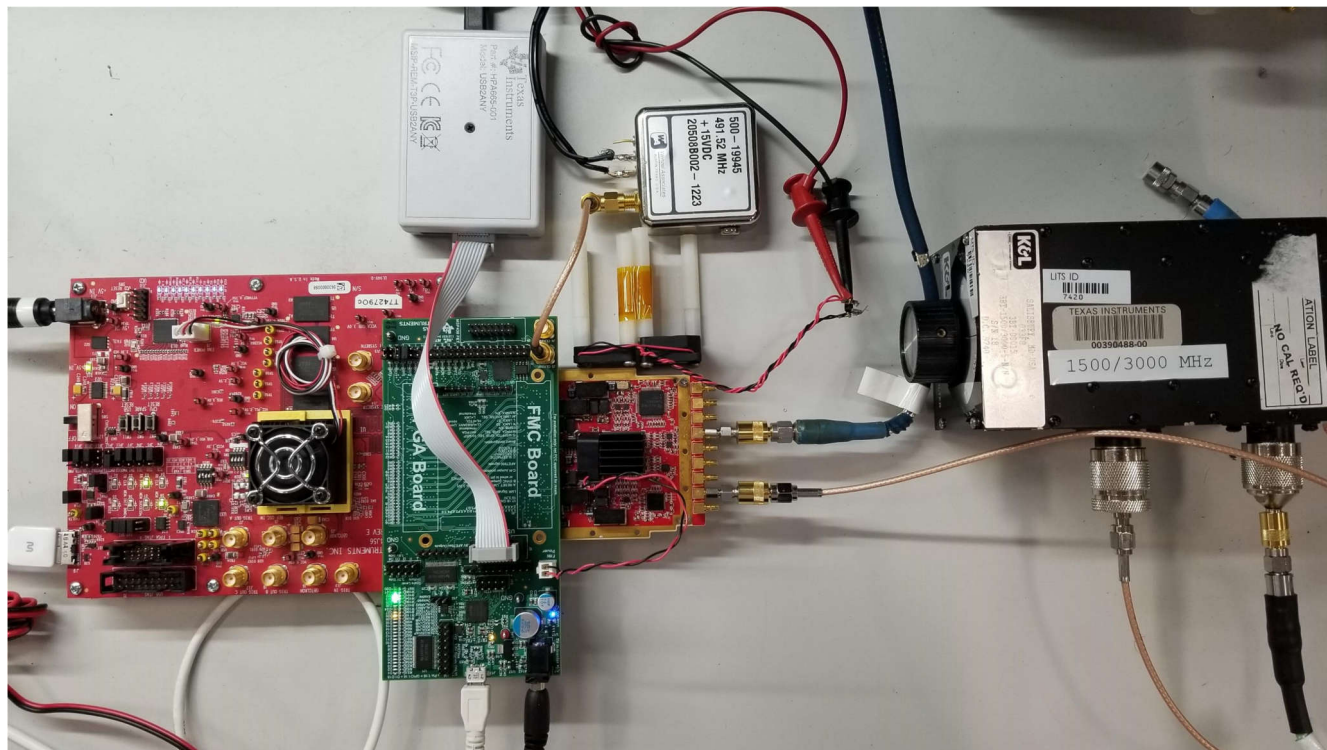


图 3-2. 测试装置图照片

3.4 硬件配置

按照以下过程设置电路板和设备。

- 连接到 TSW14J56
 - 将 5V 电源线插入 TSW14J56
 - 将电压设定为 5.0V (或高达 5.5V)
 - 确保将电流限制设置为 3.5A 或更高
 - 通过 USB 连接将 PC 连接到 EVM
 - 确保电路板上的电源开关是开的
- 将 FMC 接口板插入 TSW14J56
 - 将外部 491.52MHz Wenzel 振荡器 (或等效器件) 插入 J3 CLKINP SMA 连接器
 - 将电缆从 USB2ANY 插入标有 “USB2ANY” 的连接器
 - 插入 5V 电源线；将电压设置为 5.2V (确保电流限制为 5A 或更高)
 - 通过 USB 连接器将 PC 插入 FMC 接口板
 - 验证跳线是否放置在 J6 位置 K、L、N
 - 跳线 J6 位置 M 会选择对 LMK 或 LMX 器件进行编程。首先，验证跳线是否未放置。
- 将 TIDA-010260 参考设计插入 FMC 接口板。
 - 将风扇电源连接到接口板上的 “风扇电源” 连接器
 - 确保额外的冷却风扇处于打开状态并在 AFE7950-SP 板上吹风
 - 将 TXA 输出连接到频谱分析仪
 - 通过 BPF 将信号发生器连接到 RXA 输入
- 频谱分析仪设置
 - 将中心频率设置为：2210MHz
 - 将频率跨度设置为：5MHz
 - 参考级别：8.8dBm
 - RBW：3kHz
 - VBW：3kHz

- ATTN : 28dB

3.5 测试程序

3.5.1 初始 TSW14J56 设置

TSW14J56 的初始设置。完成后，只要没有电源或数据干扰，就无需对 ‘J56 进行进一步设置。

- 启动 HSDC Pro
- 选择可用的板；点击 OK
- 停留在 “ADC” 选项卡上
 - 加载 *AFE79xx_2x2RX_24410* ini 文件
 - “Data Capture Options” > “Capture Options”；将样本数更改为 16384
 - 选择 “Test Options” > “Notch Frequency Bins”：将基波的陷波更改为 100
 - 将 “Analysis Window (samples)” 更改为 16384
 - 将 “ADC Output Data Rate” 更改为 245.75M
 - 按弹出窗口上的 “OK” 以了解通道速率
- 切换到 “DAC” 选项卡
 - 加载 *AFE79xx_2x2TX_44210* ini 文件
 - 将 “Scaling Factor” 更改为 0.9
 - 将 “Data Rate” 更改为 491.52M
 - 将 “Tone BW” 更改为 1；将 # 更改为 1；将 “Tone Center” 更改为 10M
 - 将 “Tone Selection” 从 “Real” 更改为 “Complex”
 - 按 “Create Tone”
 - 按 “Send”

3.5.2 参考设计测试过程

这是用于评估参考设计的基本测试过程。

- 为 AFE7950-SP 参考设计连接电源
 - 将电源电压设置为 **5.2V** (电缆上的电压损耗余量)
 - 将电流限制设置为 **5.0A** (***严重：器件消耗超过 4A***)
 - 打开 5V 电源
 - 验证初始电流是否为 1.25A +/-0.2A
- 设置 LMK04832-SEP 低频时钟
 - 启动 TICS 专业版 GUI
 - 验证是否*未*放置接口板上的跳线 J6 位置 M，以便对 LMK 器件进行编程。
 - 选择：选择 “Device” > “Clock Generator/Jitter Cleaner (Dual Loop)” > “LMK04832-SP”
 - 选择 “File” > “Load” > “LMK04832-SEP_TICsPro_122p88M_CLKINBypass_LMXRef.tcs”
 - 电源电流增加至：1.47A +/-0.2A
 - 调试/验证技巧
 - TSW14J56 上的 LED D2 开始闪烁，表示 TSW14J56 已获取正确的时钟
 - 示波器探头位于 LMK 输出端的 C95 电容上，用于确认 122.88MHz 信号
- 设置 LMX2694-SEP 高频时钟
 - 将跳线放置在接口板上的 J6 位置 M 处以启用 LMX 编程
 - 在 TICS 专业版中，选择：选择 “Device” > “PLL + VCO” > “LMX2694”
 - 选择 “File” > “Load” > “LMX2694-SEP_122p88Ref_122p88PFD_11796p48M.tcs”
 - 电源电流增加至：1.55A +/-0.2A
- 通过 Latte 设置 AFE7950-SP
 - 启动 AFE79xx Latte
 - 选择 Setup.py；按 F5 启动
 - 在大约 8 秒内执行

- 预期无错误
- 选择 devInit.py；按 F5 启动
 - 在大约 30 秒内执行
 - 预期会出现 1 个错误，可以忽略
 - 每个新会话只需启动一次
- 选择 AFE7950-SP_12GClk_ExtClk.py；按 F5 执行
 - 在 30 到 90 秒内执行
 - 预期无错误
 - 在启动编程期间，电流上下波动
 - 电源电流为：3.95A +/- 0.3A
 - 调试技巧：
 - 如果没有正确建立链路，请使用此 Latte 命令重新启动同步脉冲：AFE.adcDacSync()
 - 验证 TSW14J56 上的 LED D2 是否仍在闪烁
 - 验证电源电流是否处于预期电平
- 验证 TX 和 RX 运行
 - 启动且没有 Latte 错误后，验证 2110MHz 下的 TX 输出音调是否约为 4dBm。
 - 验证是否考虑了目标频率下的电缆损耗
 - 将 HSDC Pro 选项卡切换到“ADC”；按“Capture”
 - 验证通道选择是否为对应于 RXA 的通道 1
 - 验证 FFT 捕获是否成功；验证 TSW14J56 上的 LED D4 是否闪烁

3.6 测试结果

3.6.1 TXA/B DAC 输出测试结果

配置文件在通道 TXA 和 TXB 上设置，并将 NCO 设置为 2.1GHz。TSW14J56 设置有 10MHz 偏移处的音调。预期大约 2110MHz 时的输出音调。注意，由于多音调设置，偏移并不恰好为 10MHz。图 3-3 展示了输出音调性能。

1MHz 偏移处的杂散来自 1.2V、1.8V 和 3.3V 直流/直流切换器。由于距离要求，1.2V 电源与外部时钟的耦合最为突出。

输出功率约为 4dBm。请注意，配置文件在 AFE7950-SP 上启用 10dB 衰减器，以保证 TRF0208 器件不会过驱动。

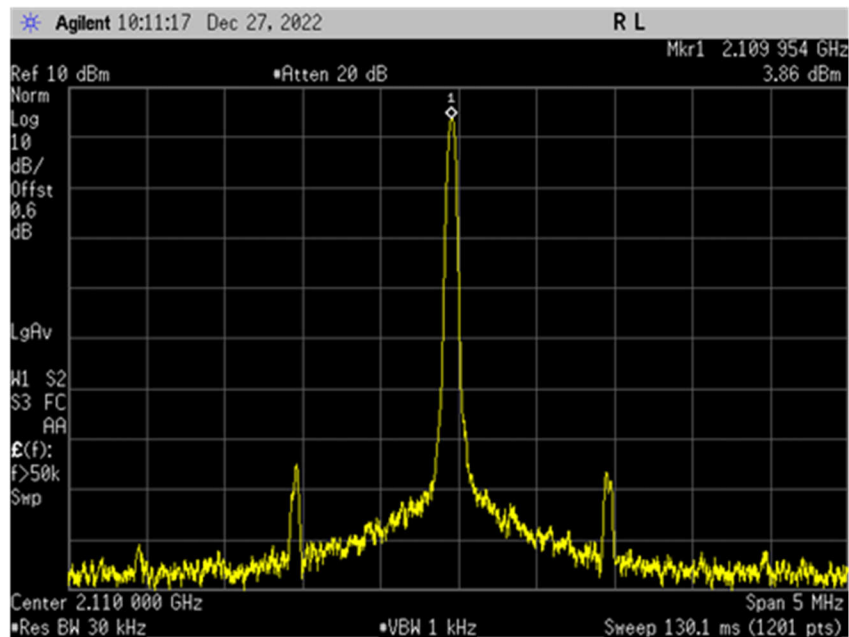


图 3-3. TXA/B DAC 输出性能

3.6.2 TXC/D DAC 输出测试结果

配置文件在通道 TXC 和 TXD 上设置，并将 NCO 设置为 8.2GHz。预期的输出音调约为 8210MHz。这些通道不使用 TRF0208；但有一个无源平衡-非平衡变压器。因此，无需使用数字衰减器。图 3-4 显示了输出性能。

和以前一样，1.0MHz 偏移杂散来自直流/直流转换器。TXD 在 8.2GHz 下的匹配性能良好；但是，TXC 的平衡-非平衡变压器位于电路板的另一侧，额外的过孔电感使匹配偏离了最佳状态。因此，该通道具有低增益，可以通过布局或匹配调整来恢复。

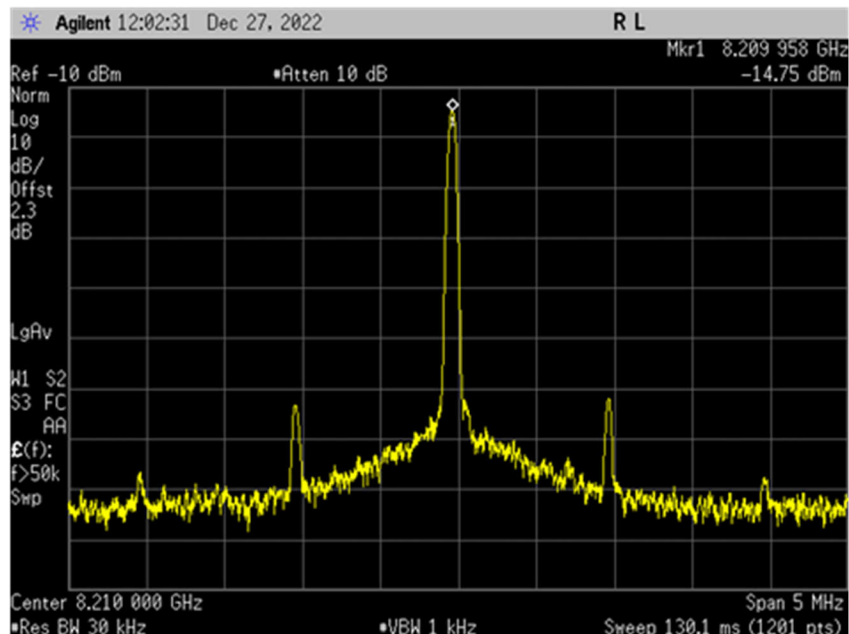


图 3-4. TXD DAC 输出性能

3.6.3 RXA/B ADC 测试结果

配置文件中还配置了 RXA 和 RXB 通道，其中 NCO 设置为 2.1GHz。在 2140MHz 下注入一个音调。为了实现适当的 SNR 性能，必须对信号进行滤波。将基波信号的振幅调整为大约 -3dBFS。这可能是一个大约 -10dBm 至 -12dBm 的信号发生器功率。

图 3-5 显示了单音采集的 FFT 频谱。SNR 性能约为 51dBFS。SFDR 性能约为 66dBFS。低于 85dBFS 时，HD2、HD3 性能非常好。请注意，TXA 和 TXB 处于断开状态，以消除任何影响 FFT 采集的泄漏元件。

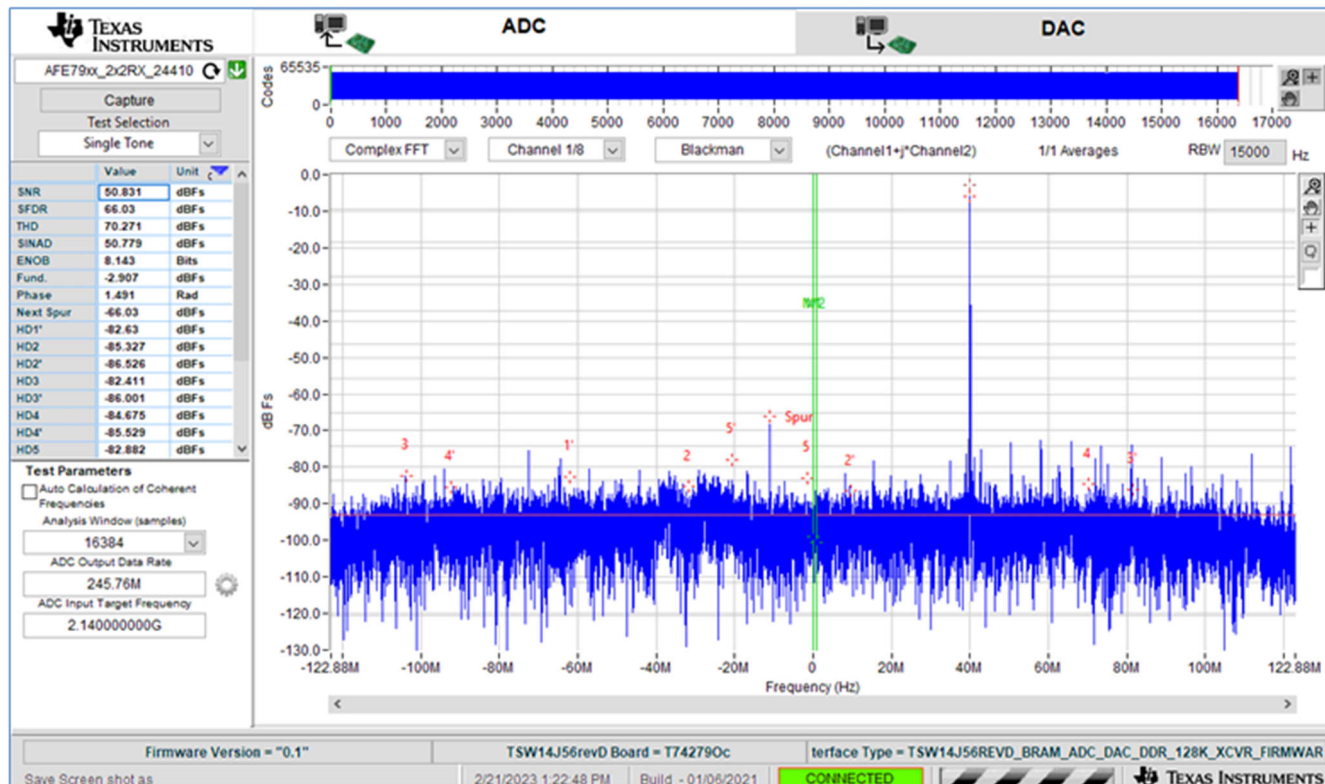


图 3-5. RXA/B ADC FFT 频谱

3.6.4 RXC/D ADC 测试结果

配置文件在通道 RXC 和 RXD 上设置，并将 NCO 设置为 7.9GHz。信号发生器设置为 7.94GHz 并馈通适当的滤波器。设置信号发生器以实现 -12dBFS 基波信号。信号发生器功率约为 -2dBm 至 0dBm，具体取决于电缆和滤波器损耗。

图 3-6 显示了单音采集的 FFT 频谱。SNR 性能约为 -54dBFS。SFDR 性能约为 -70dBFS。低于 -86dBFS 时，HD2、HD3 性能非常好。

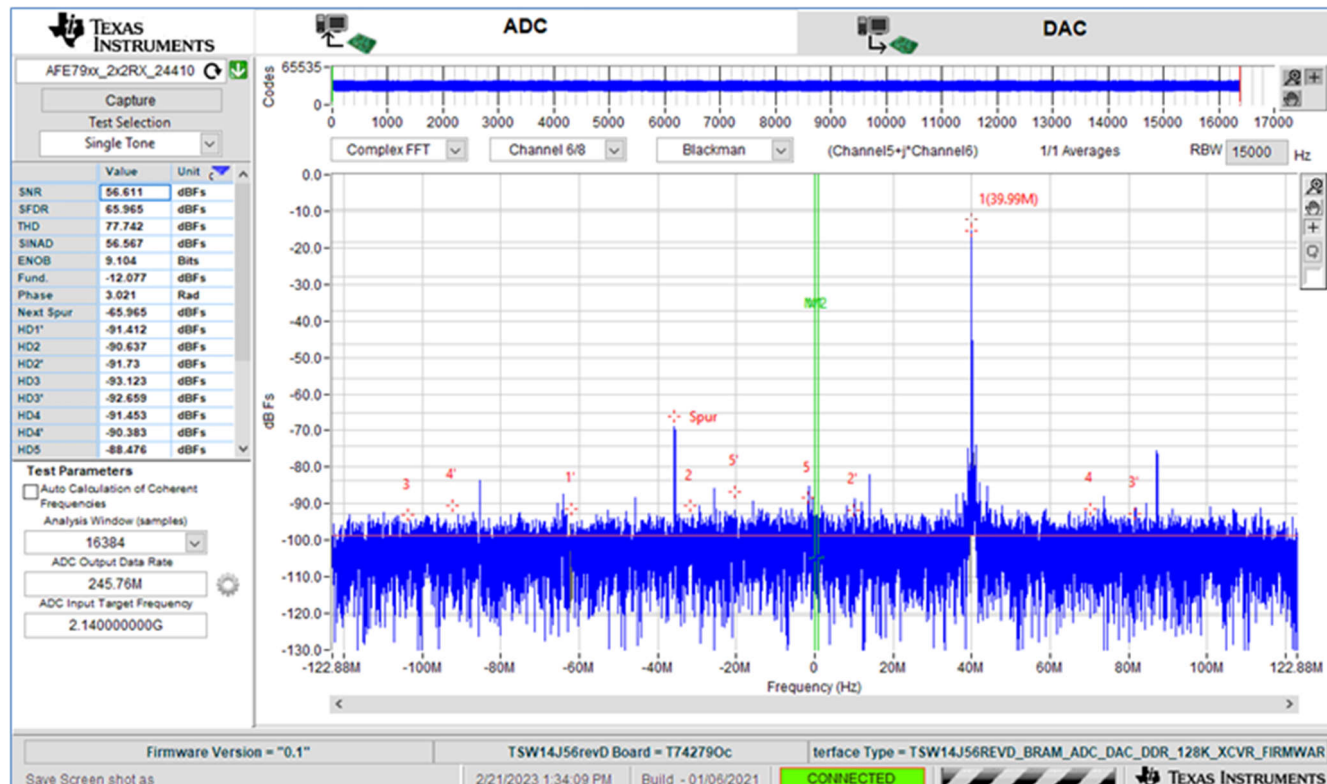


图 3-6. RXC ADC FFT 频谱

3.6.5 FB2 ADC 测试结果

配置文件将 FB2 通道 NCO 设置为 1.7GHz。通过适当的带通滤波器在 1740MHz 处注入音调。若要捕获反馈通道，请将 HSDC pro ini 文件更改为：AFE79xx_1x2FB_44210。将 ADC 数据速率更改为 491.52M。

将基波信号的振幅调整为大约 -3dBFS。这可能是大约 -10 至 -14dBm 的信号发生器功率，具体取决于电缆和滤波器损耗。

图 3-7 显示了单音采集的 FFT 频谱。SNR 性能约为 43dBFS。所有 TX 输出均断开，以保证 FB 频谱不受污染。

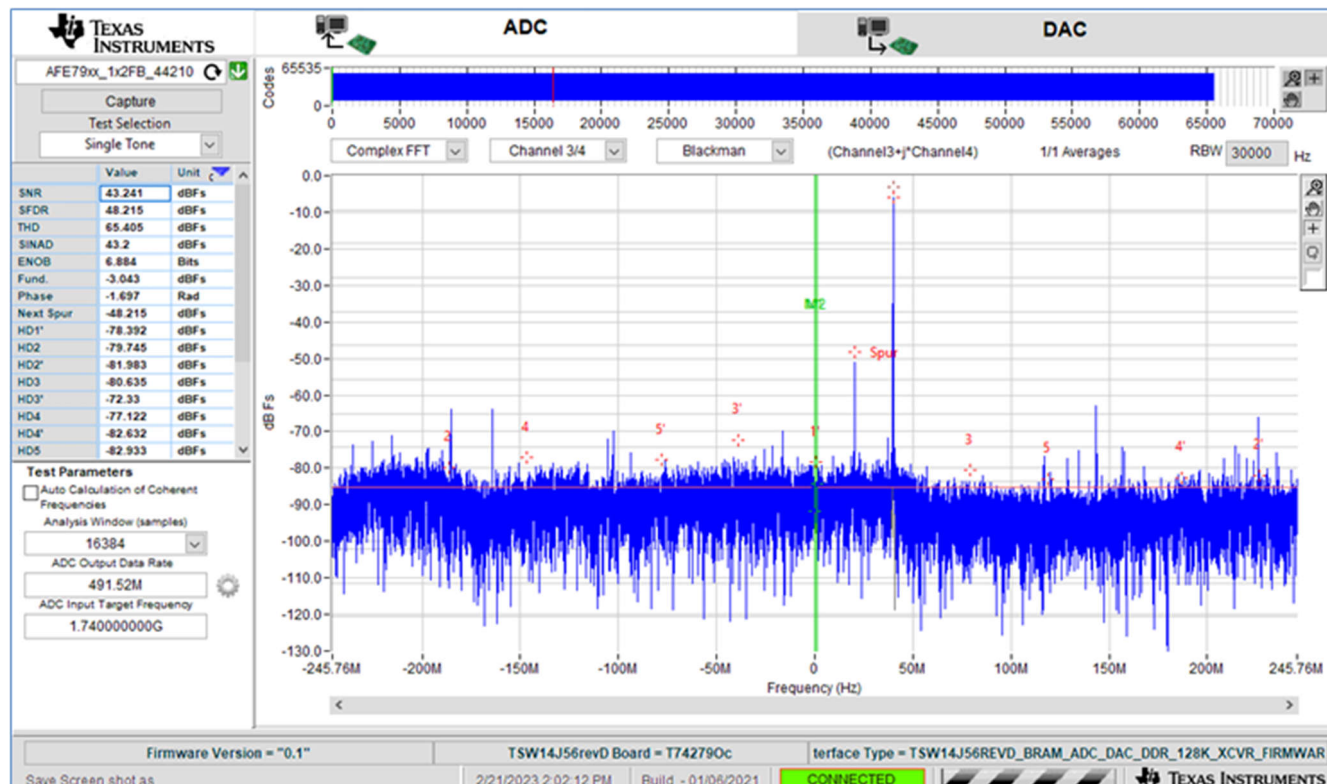


图 3-7. FB2 ADC 输出 FFT 频谱

3.7 备用配置

3.7.1 内部 AFE7950-SP PLL/VCO

3.7.1.1 简单方法 - 内部 PLL/VCO

可以选择使用 AFE7950-SP 器件的内部 PLL/VCO。“简单方法”使用现有连接并且只修改软件编程。使用的技术是对 LMX2694 进行编程，以提供 491.52MHz 基准信号而非高频时钟。尽管对参考板进行修改很容易，但在实践中，下一部分中介绍的适当方法是仅使用 LMK04832-SEP 为 AFE7950-SP 生成时钟基准。

此方法遵循主要启动过程，但会替换不同的 LMX2694 文件和不同的 Latte 文件。

- LMX2694-SEP：LMX2694-SEP_122p88Ref_122p88PFD_491p52M.tcs
- Latte：AFE7950-SP_EVM_Mode2H.py

该 LMX 文件输出 491.52MHz 信号，该信号被 AFE7950-SP 用作内部 PLL/VCO 的基准。Latte 文件使用内部 PLL/VCO。例如，图 3-8 显示了使用内部 PLL/VCO 时的 TXA 输出频谱。

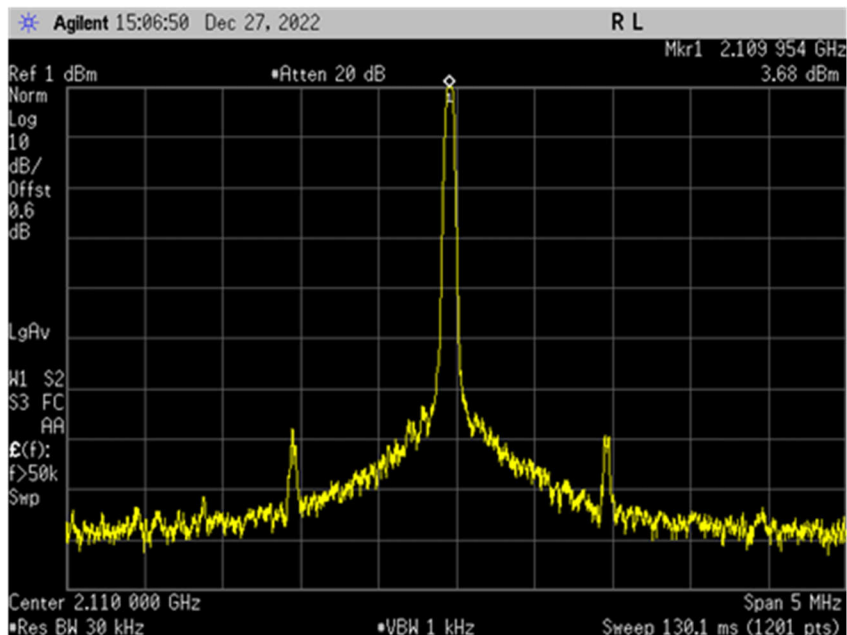


图 3-8. 采用 AFE7950-SP 内部 PLL/VCO 时的 TXA 输出频谱

3.7.1.2 正确方法 - 内部 PLL/VCO

使用内部 PLL/VCO 的“正确方法”是完全绕过 LMX2694 并直接从 LMK04832 驱动基准。这种方法需要在电路板上进行焊接修改（因此，这不是“简单的方法”）。

若要实现此配置，需要对硬件进行以下更改：

- C181、C194：请勿安装
- C28、C45：放置 0.1uF 耦合电容器
- R48：请勿安装（切断 LMX2694 的电源）

启动序列按照如下顺序修改编程文件。

- LMK04832-SEP：LMK04832-SEP_TICsPro_491p52_CLKINBypass_LMXBypass.tcs
- Latte：AFE7950-SP_EVM_Mode2H.py

LMK 文件输出直接馈入 AFE7950-SP 时钟输入的 491.52MHz 基准。不对 LMX 器件进行编程。

3.7.2 内部 TCXO 操作

默认测试过程概述了在 491.52MHz 下使用外部高质量基准振荡器，该振荡器在旁路模式下由 LMK04832-SEP 进行缓冲或分频。另外，该参考设计具有板载 30.72MHz TCXO。该 TCXO 可以用作 LMK 内部 PLL/VCO 的基准。在使用该方法时，内部 PLL/VCO 锁定到 2949.12MHz。输出信号会进行分频，以便为 AFE、LMX 和 FPGA 提供必要的时钟。

通过在启动 LMK04832 期间执行以下配置文件来实现此方法：

- LMK04832-SEP：LMK04832-SEP_TICsPro_2949p12M_VCO_30p72_TCXO.tcs

该方法的缺点是，与 Wenzel 振荡器等高质量 TCXO 相比，从 LMK VCO 得出的 AFE 基准信号的相位噪声性能会降低。图 3-9 显示了具有内部 PLL/VCO 时钟的 AFE7950-SP 的性能，其中基准来自 LMK VCO。

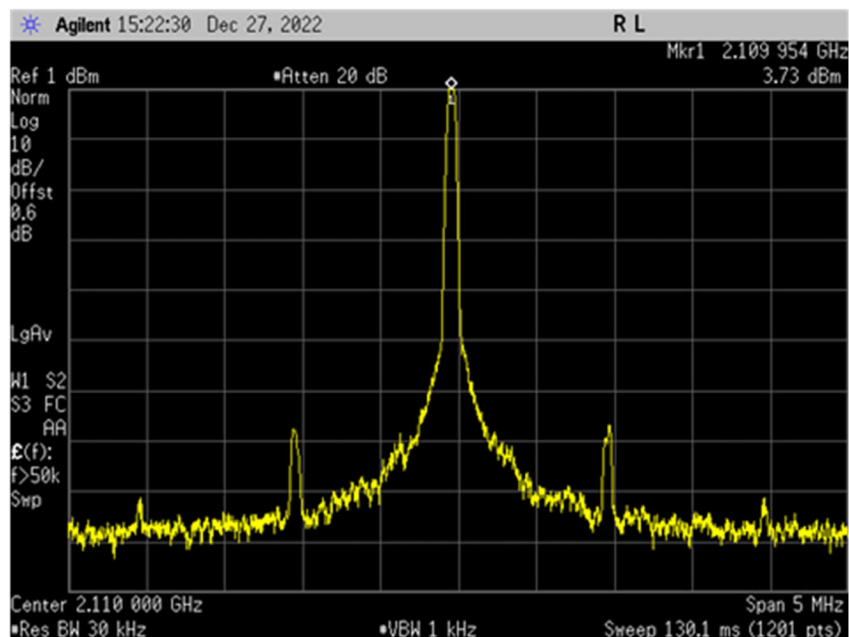


图 3-9. 源自 TCMX 的 LMX 基准的 TXA 输出

3.7.3 400MHz 带宽 RX 配置

默认配置使用具有 JESD LMFS 设置的 ini 文件，此配置支持与 200MHz 接收器带宽相对应的 245.76MSPS 数据速率。可以修改此配置，以支持与 400MHz 带宽相对应的 491.52MSPS 数据速率。替换下面的 Latte 文件。

- Latte : AFE7950-SP_EVM_Mode3H_Clk12G.py

在 HSDC Pro 中完成以下修改：

- 加载新的 ini 文件：AFE79xx_2x2RX_44210.ini
- 采样速率：491.52M

请注意，在此配置中，所有 RX 通道均配置为 491.52MSPS 且所有通道均被消耗，因此反馈路径被禁用。

4 设计和文档支持

4.1 设计文件

4.1.1 原理图

要下载原理图，请参阅 [TIDA-010260](#) 中的设计文件。

4.1.2 BOM

要下载物料清单 (BOM)，请参阅 [TIDA-010260](#) 的设计文件。

4.2 工具与软件

工具

[TSW14J56](#)

JESD204B FPGA 图形/采集卡

软件

4.2.1 Latte 命令

下表列出了用于修改或评估电路板条件的有用 Latte 命令。

参数	Latte 命令	注释
调整通道输出	AFE.TOP.overrideTdd(15,2,15)	Rx、Fb、Tx 15(d) = 1111(b)= 全开
调整 DSA 设置	AFE.DSA.set<Path>Dsa(<Ch>,<Attn>)	<Path> = Tx、Rx、Fb <Ch> = 0、1、2、3 例如：AFE.DSA.SetTxDsa(0,10)
调整 NCO 设置	AFE.update(<Path>Nco(<Ch>,<Freq>)	<Path> = Tx、Rx、Fb <Ch> = 0、1、2、3 例如： AFE.updateTxNco(0,2100)
重新同步 DAC	AFE.adcDacSync()	
测量温度	AFE.getDeviceTemp()	

4.2.2 配置文件

4.2.2.1 Latte 配置文件

本文档中引用了以下 Latte 配置文件。

AFE7950-SP_12GClk_ExtClk.py	11,796.48MHz 外部时钟
AFE7950-SP_EVM_Mode2H.py	11,796.48MHz 内部时钟
AFE7950-SP_EVM_Mode3H_Clk12G.py	11,796.48MHz 内部时钟；RX Fd = 491.52M

4.2.2.2 LMK/LMX 配置文件

以下配置文件用于对 LMK04832-SEP 进行编程。

- LMK04832-SEP_TICsPro_122p88_CLKINBypass_LMXRef.tcs
 - 491.52MHz 输入；122.88MHz 输出
- LMK04832-SEP_TICsPro_491p52_CLKINBypass_LMXBypass.tcs
 - 491.52MHz 输入；491.52MHz 输出

- LMK04832-SEP_TICsPro_2949p12M_VCO_30p72_TCXO.tcs
 - 30.72MHz 输入；122.88MHz 输出

以下配置文件用于对 LMX2694-SEP 进行编程。

- LMX2694-SEP_122p88Ref_122p88PFD_11796p48M.tcs
 - 11,796.48MHz 时钟输出
- LMX2694-SEP_122p88Ref_122p88PFD_491p52M.tcs
 - 491.52MHz 时钟输出：

4.2.3 疑难解答

本节提供了一些解决常见问题的指导。

- ‘J56 上无闪光
 - 检查 491.52MHz 基准是否正常工作
 - 验证接口板上的 LMK 跳线是否正确放置/未放置以进行编程
- TX 输出噪声非常高
 - 发出“重新同步 DAC”命令
 - 下电上电并从头开始重新启动
- 一个或多个 RX 通道没有数据
 - 验证覆盖是否禁用了通道
 - 验证 FMC 连接器是否正确就位
- 一个或多个 RX 通道具有非常高的噪声
 - 验证 ini 文件是否正确
 - 下电上电并从头开始重新启动
 - 下电上电 ‘J56 并重新启动 HSDC Pro
- Latte 在启动过程中报告错误
 - 确认适当设置了电压和电流限制
 - 下电上电并从头开始重新启动

4.3 硬件标识信息

4.3.1 返工修改

下面列出了电路板上为实现出色性能而进行的硬件修改。

面积	返工	注释
基准时钟	DNI C78 , C85	禁用 OscOut 应急 DCLK2 路径

4.3.2 参考设计电路板位置标识

图 4-1 标识了电路板上的主要元件和端口。

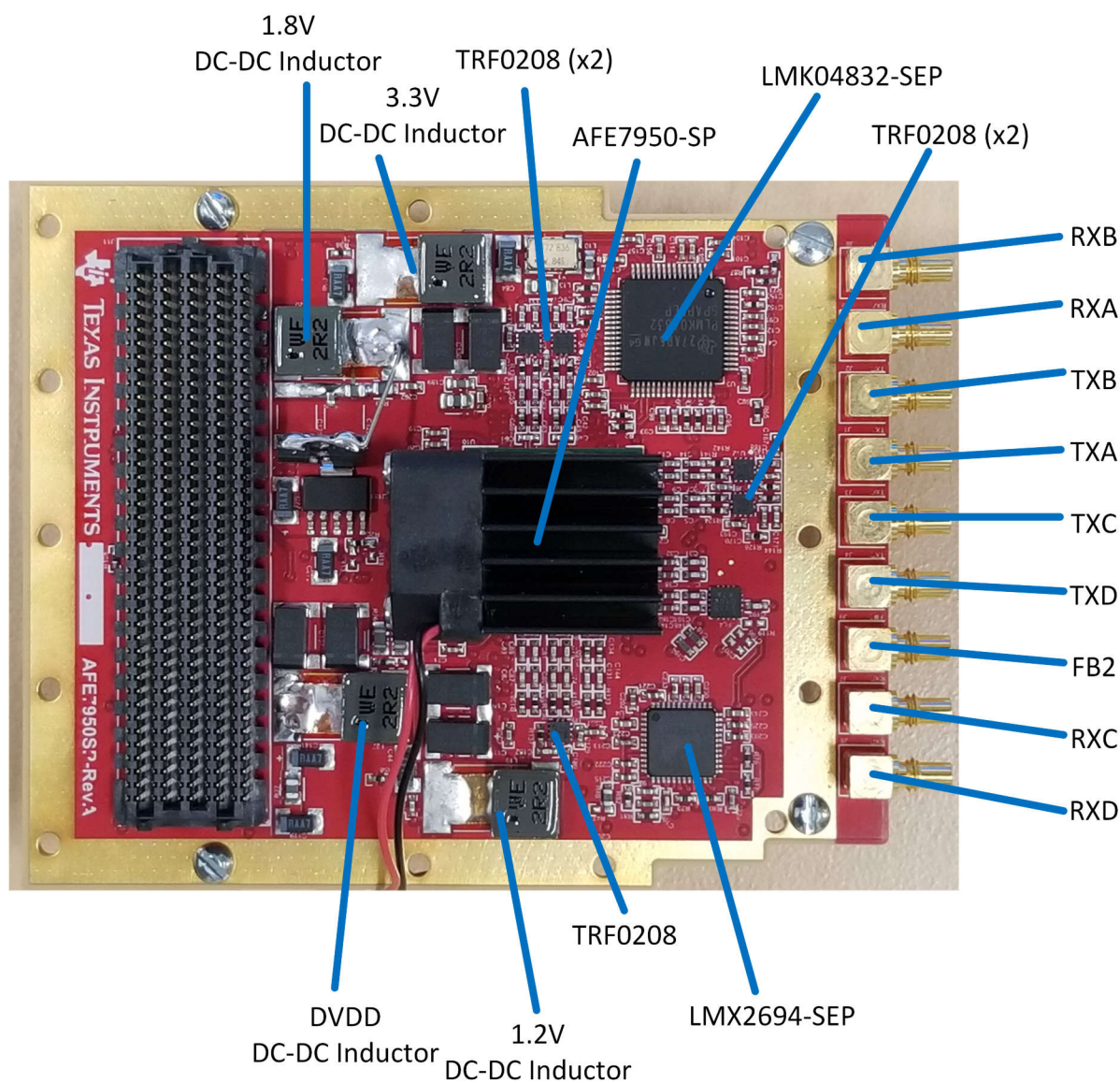


图 4-1. 参考设计电路板标识

4.3.3 FMC 接口板位置标识

图 4-2 标识了 FMC 接口板上的主要连接器和端口。

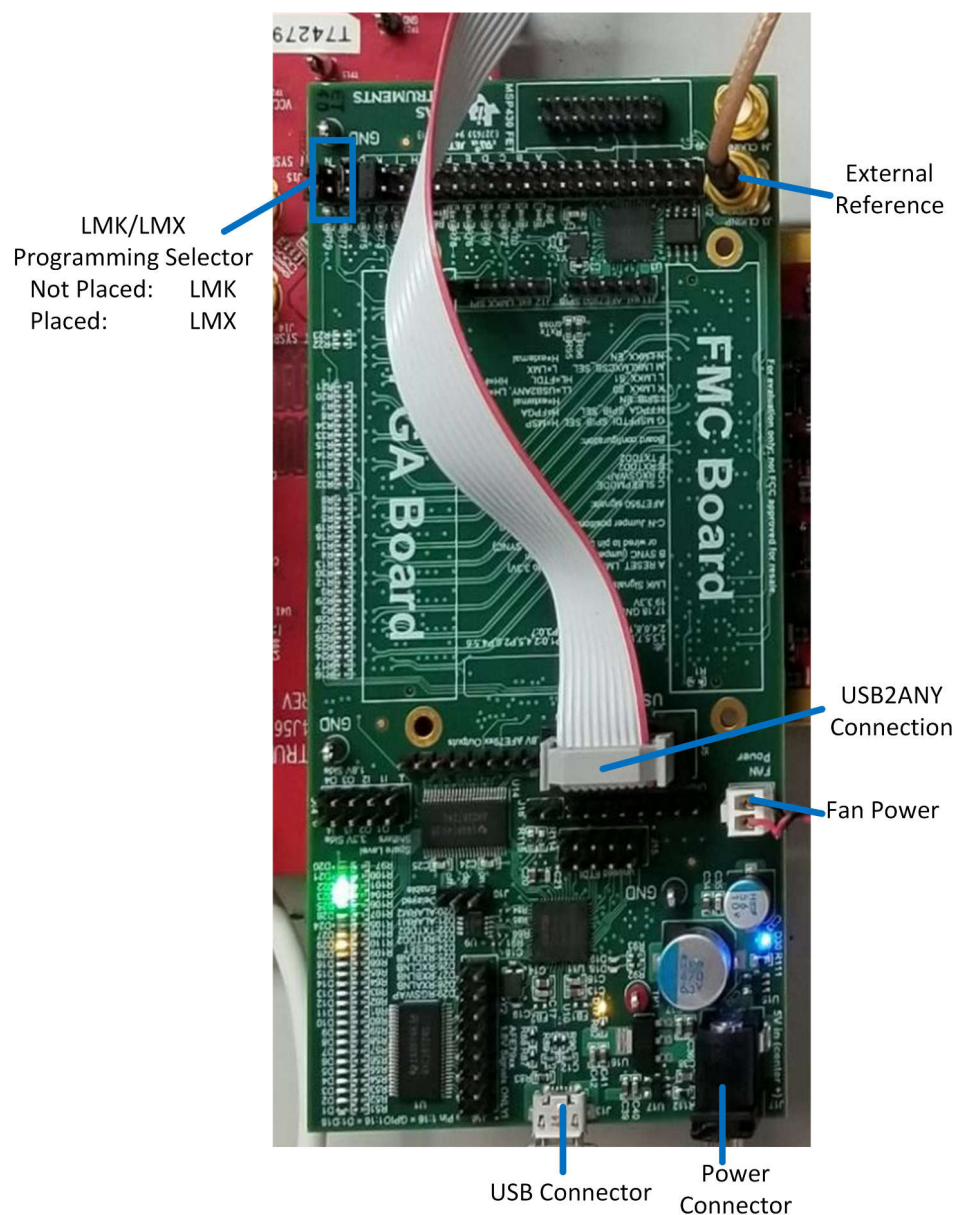


图 4-2. FMC 接口板标识

4.4 文档支持

1. 德州仪器 (TI), [AFE7950 具有 12GSPS DAC 和 3GSPS ADC 的 4T6R 射频采样 AFE 数据表](#)

4.5 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

4.6 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

5 作者简介

Russell Hoppenstein 是系统工程营销 (SEM) 团队的一名系统工程师，为航空航天和国防部门提供支持。他拥有 20 多年半导体产品方面的经验，专注于通信和国防市场的高性能射频器件和射频采样数据转换器。他之前为无线基础设施市场设计了射频收发器、有源天线系统和线性化功率放大器。Russell 在德克萨斯大学奥斯汀分校获得了电子工程学士学位，在德克萨斯大学阿灵顿分校获得了电子工程硕士学位。

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司