

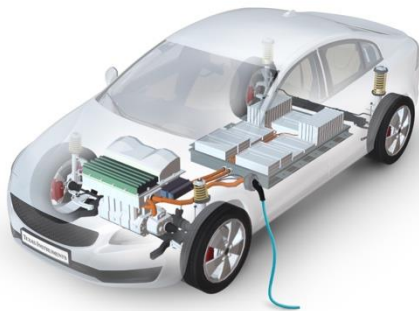
SiC FETを用いた大電力、 双方向AC/DC電源の設計

内容

- 大電力、双方向AC/DC電源アプリケーション
- トポロジの選択
- パワー・スイッチとドライバの選択
- コントローラの実選基準
- 設計例と考慮事項
- 性能検証

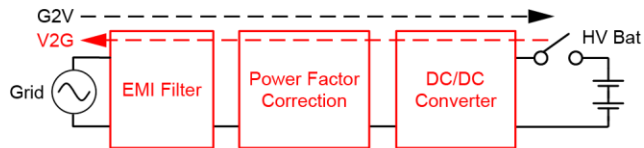
大電力、双方向AC/DC電源アプリケーション

アプリケーション



ハイブリッド/電気自動車 (HEV/EV)

電力範囲: 3.3kW~22kW



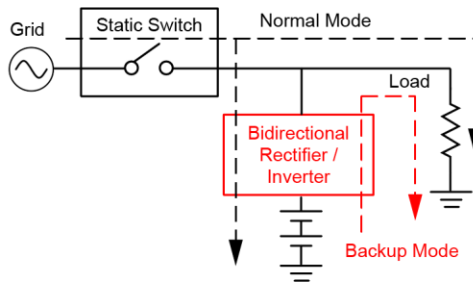
オンボード充電器(OBC)ブロック図

* G2V: grid to vehicle (グリッドから車両)、
V2G: vehicle to grid (車両からグリッド)



無停電電源 (UPS)

電力範囲: 0.5kVA~5kVA

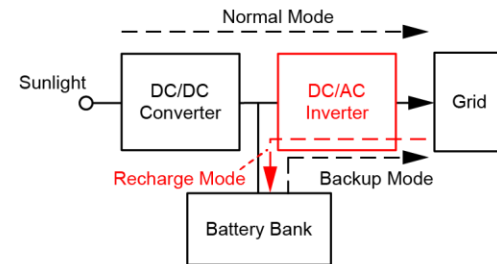


UPSブロック図



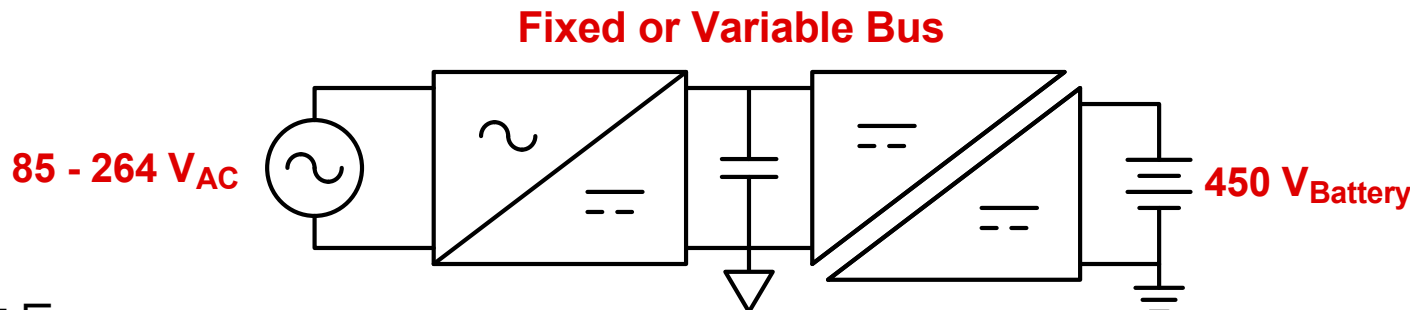
エネルギー貯蔵システム (ESS)

電力範囲: 7kW~8kW



ESSブロック図

EVの双方向オンボード・チャージャ



- 特長

- 高いバッテリー電圧 ⇒ **低い導通損失**
- バス電圧が可変 ⇒ **効率と密度を最適化**
- 絶縁されたDC/DC段 ⇒ **地絡保護が容易、高いグリッド干渉耐性**

- 課題

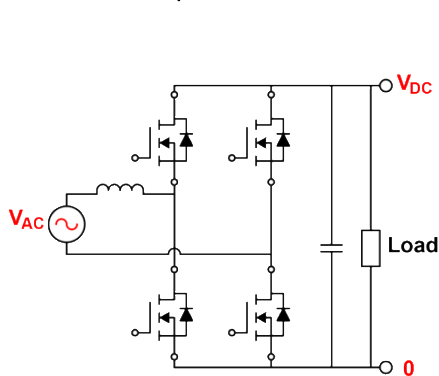
- 複雑な制御を要する ⇒ **デジタル・コントローラ(DSP)で実現**
- $R_{DS(ON)}$ が低く、逆回復電荷、寄生容量が小さいパワーFETが必要
⇒ **バンドギャップの広いデバイス(SiCまたはGaN)で実現**

トポロジ選択

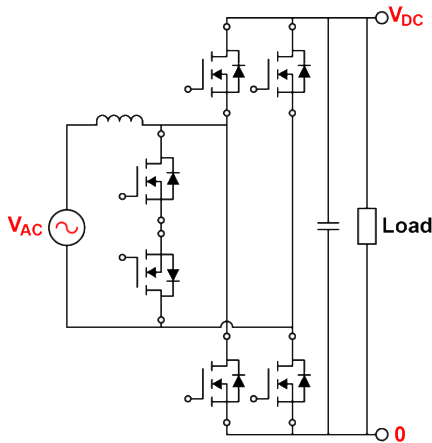
単相整流器/インバータ

- エネルギー効率のために高い力率が必要 ⇒ アクティブPFC整流器が必要
- 高い変換効率が必要 ⇒ 昇圧型の双方向整流器を使用

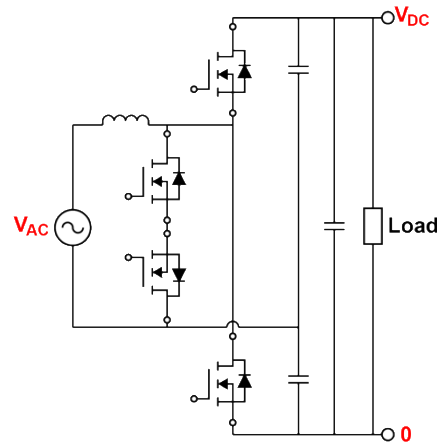
$V_{DC} \geq \sqrt{2V_{AC(max)}}$ で導通損失を低減



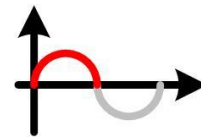
トータムポール・ブリッジレスPFC
(TTPLブリッジレスPFC)



双方向スイッチ付きブリッジレスPFC
(ACスイッチ・ブリッジレスPFC)



単相整流器/インバータ

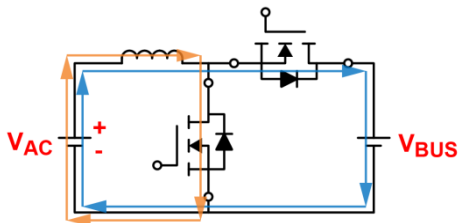


- 正の1/2 ACサイクルの間は共通グランドの昇圧/降圧コンバータ

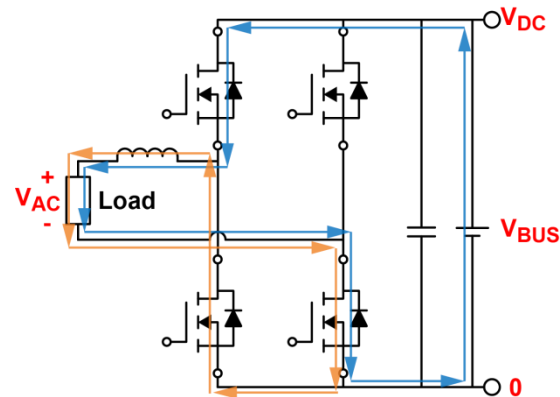
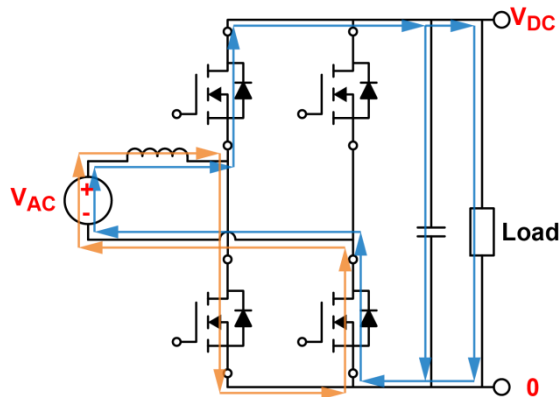
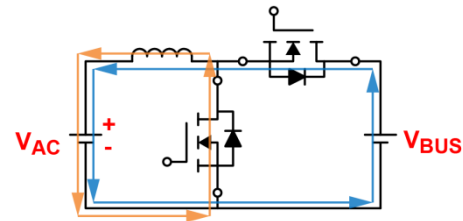
昇圧/降圧
コンバータ

ブリッジレスPFC

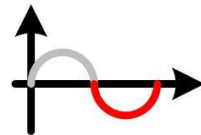
昇圧/整流器モード:



降圧/インバータモード:

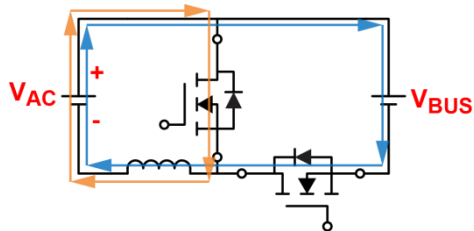


単相整流器/インバータ

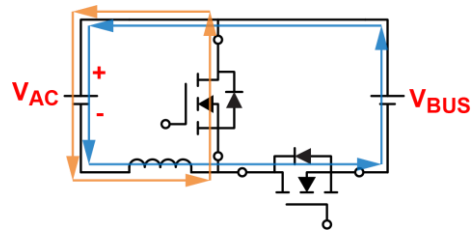


- 負の1/2 ACサイクルの間は共通ソースの昇圧コンバータ

昇圧/整流器モード:



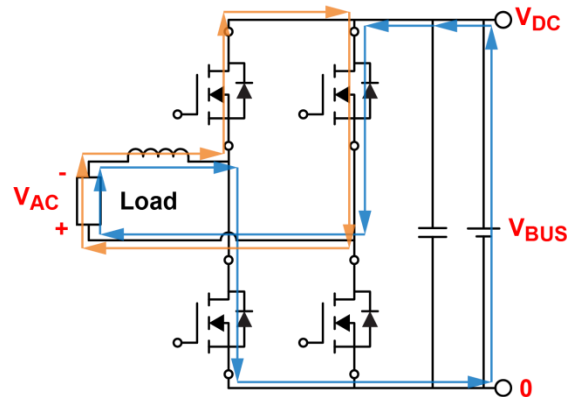
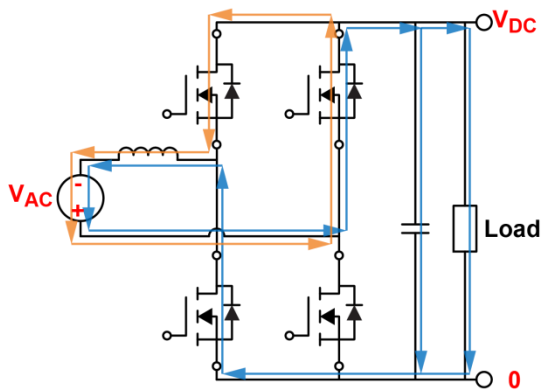
降圧/インバータモード:



昇圧/降圧
コンバータ



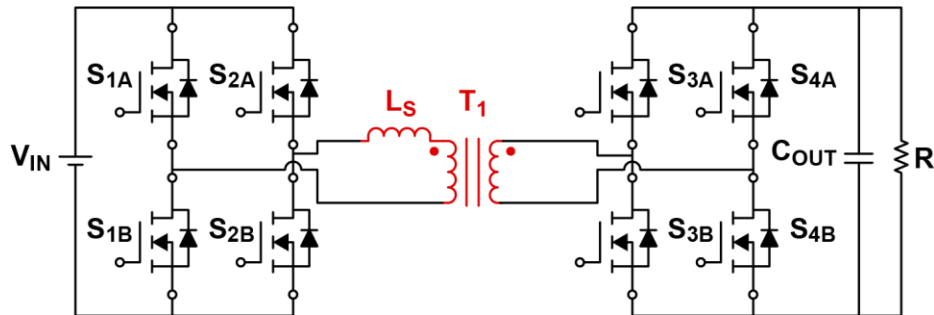
ブリッジレスPFC



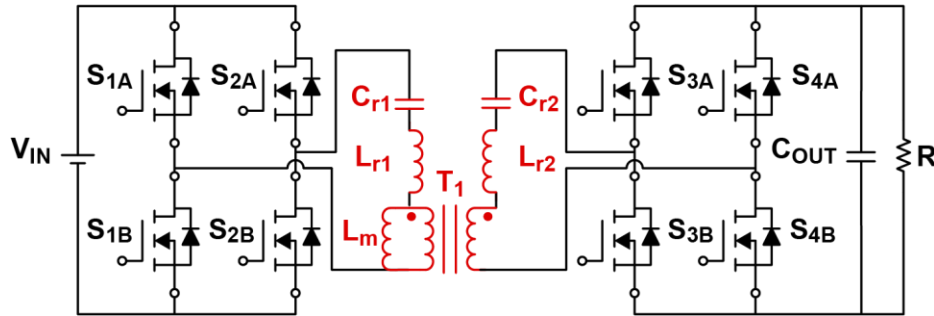
双方向、絶縁DC/DCコンバータ

- 高電力密度のために高い変換効率が必要
 - ソフト・スイッチング・トポロジが必要
 - スナバ回路を回避

デュアル・アクティブ・ブリッジ
(DAB)コンバータが必要！



位相シフトDAB

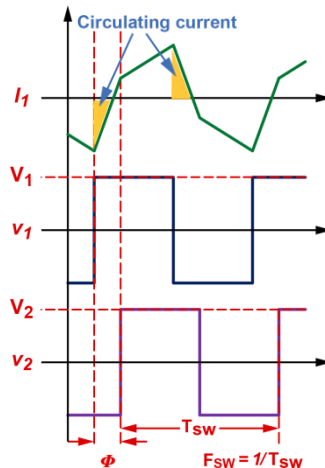
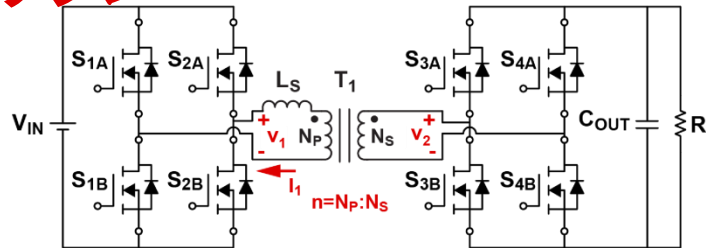


共振DAB

位相シフト・デュアル・アクティブ・ブリッジ

• 主な特長

- ϕ : V_1 と V_2 の位相差がエネルギーの流量と方向を決定
- L_s に蓄積されるエネルギーにより、ゼロ電圧スイッチング (ZVS) を実現
- 単相シフト制御で大きな循環電流
- 循環電流を小さくするため多相シフト制御を適応可能



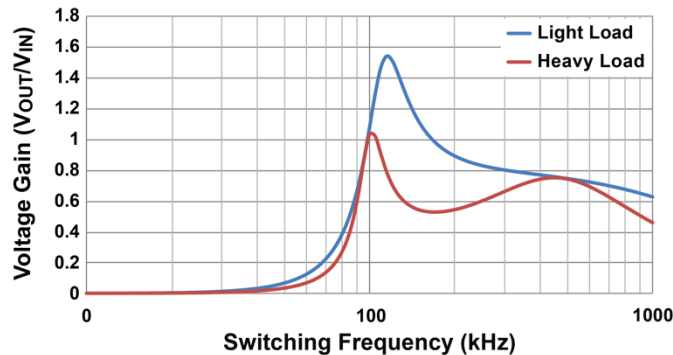
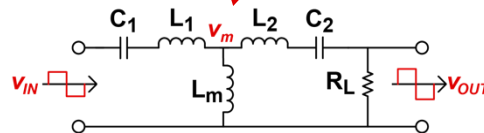
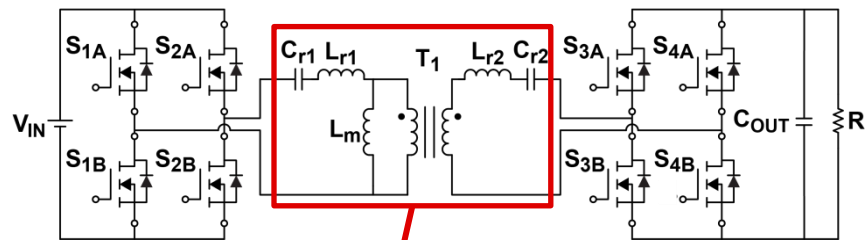
$$P_{12} = \frac{V_1 V_2}{2nL_s F_{sw}} \frac{\phi}{\pi} \left(1 - \left| \frac{\phi}{\pi} \right| \right)$$

共振デュアル・アクティブ・ブリッジ

• 主な特長

- 共振タンクの周波数応答が電圧ゲイン V_{OUT}/V_{IN} を決定
- ZVSは L_m に蓄積されるエネルギーに依存
⇒ フルレンジのZVSの実現が容易
- さまざまなゲイン特性を備えた複数の共振タンクが可能

CLLLC共振DAB



デュアル・アクティブ・ブリッジ・コンバータの比較

| | 位相シフトDAB | CLLLC共振DAB |
|---------|-----------------------------------|---|
| ターンオン損失 | 低～中 – 大きな $L_s \Rightarrow$ 広いZVS | 低 – 小さな $L_m \Rightarrow$ 広い F_{sw} にわたるZVS |
| ターンオフ損失 | 高 – ブリッジの両側で高インダクタ電流によるFETのターンオフ | 低 – 整流器のブリッジFETでゼロ電流スイッチングを実現可能 |
| 導通損失 | 高 – 単相制御を使用 低 – 多相制御を使用 | 高 – L_m が小さいため |
| 動作範囲 | 広 – 固定バス電圧で問題なし* | 狭 – 可変バス電圧が好ましい* |
| コンバータ制御 | シンプル – 単相制御を使用 複雑 – 多相制御を使用 | シンプル – 周波数変動 |
| SR制御 | SR電流センシングは不要 | SR制御のために電流センシングが必要 |
| 過渡応答 | 高速 – 位相で応答 | 低速 – スwitching周波数で応答 |

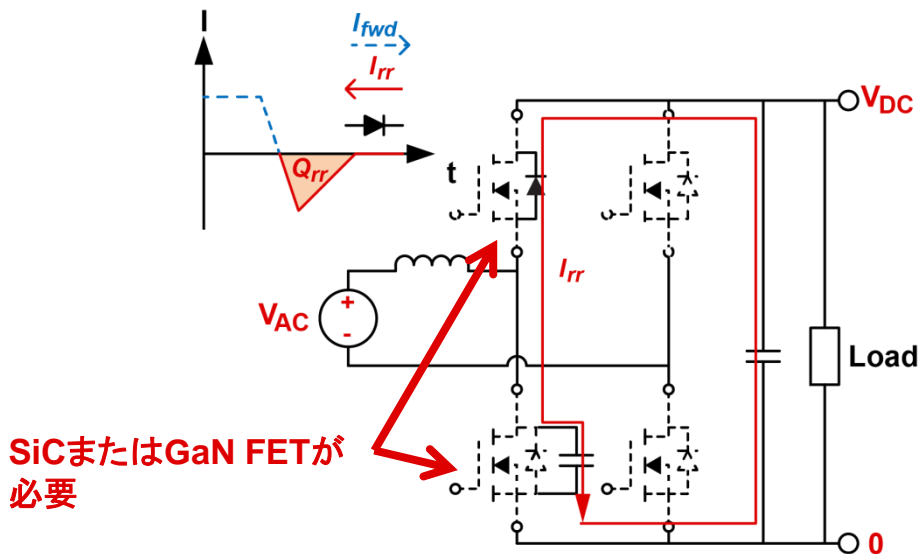
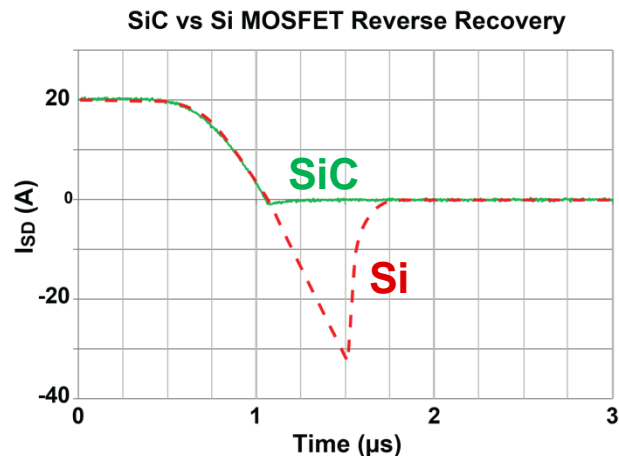
* 充電器アプリケーションを考慮

パワー・スイッチとドライバの選択

整流器/インバータでのSiC vs Si MOSFET

- SiC MOSFET:
 - 低い $R_{DS(ON)}$ 、特に $>650V$ のデバイス
 - 逆方向回復電荷が小さい (GaN FETも同じ)

大電力のハード・スイッチング整流器/インバータには必須



SiCまたはGaN FETが必要

DC/DCコンバータでのSiC vs Si MOSFET

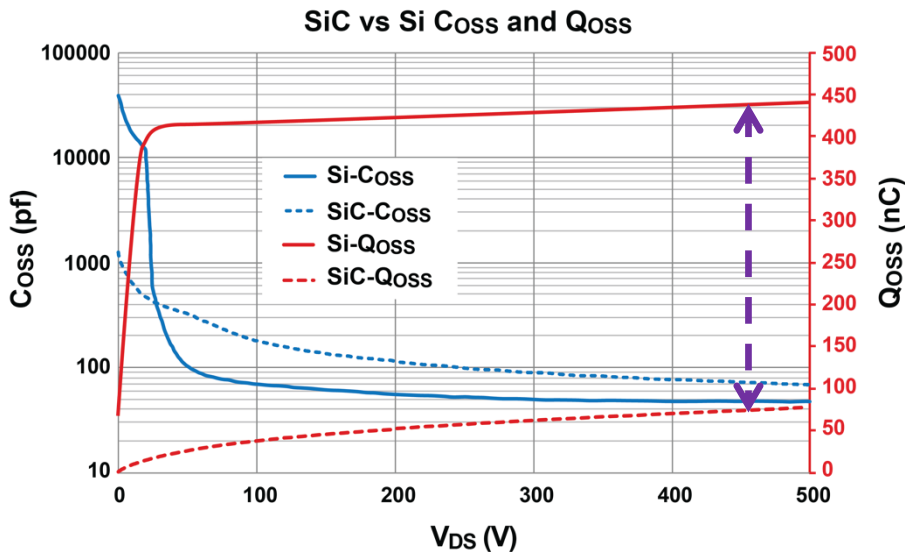
- SiC MOSFET :

- 直線的な出力容量 (C_{OSS}) の変化
- 小さな C_{OSS} による少ない出力電荷量 (Q_{OSS})

} → ZVSでデッド・タイムを短くできる

$$t_{DT} = \frac{2 \int_0^{V_{DS}} C_{oss}(V_{DS}) d(V_{DS})}{I}$$

$$t_{DT} = \frac{2 \cdot Q_{oss}}{I}$$

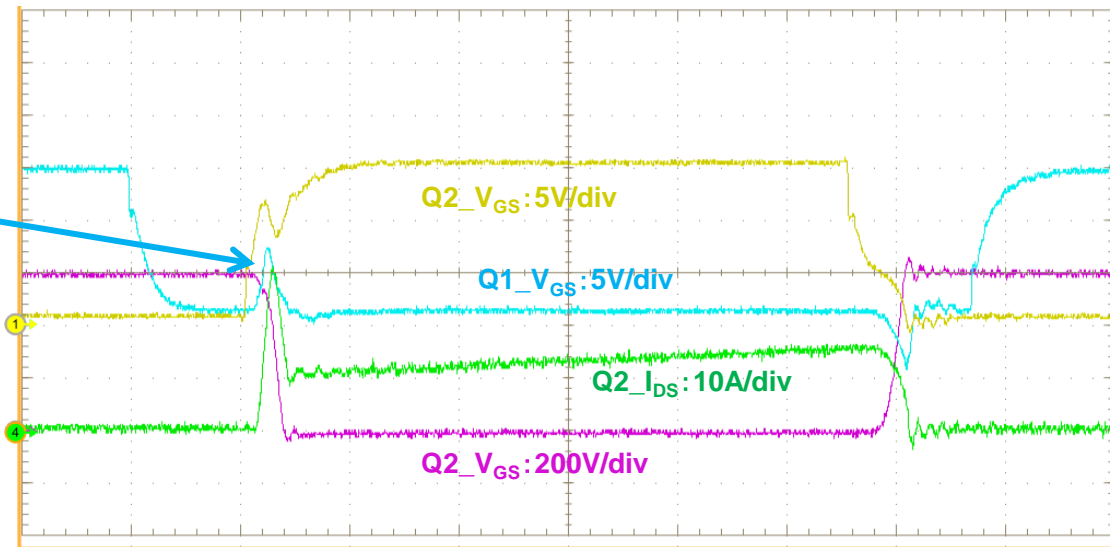
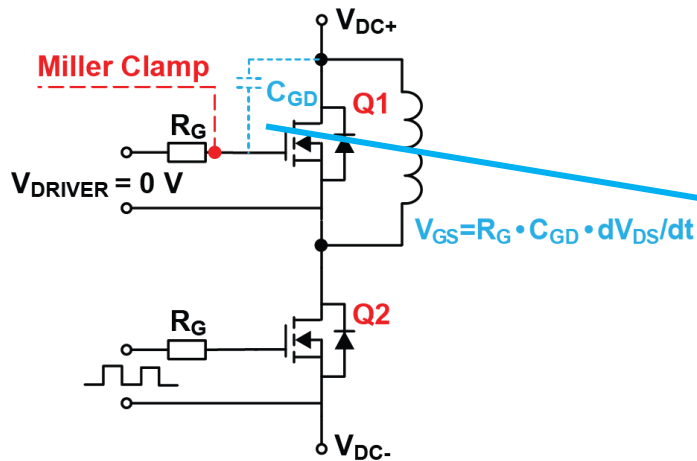


短いデッド・タイム :

- 「デューティ・サイクル損失」が少ない
- 循環電流、導通損失が小さい
- 高い周波数で動作可能

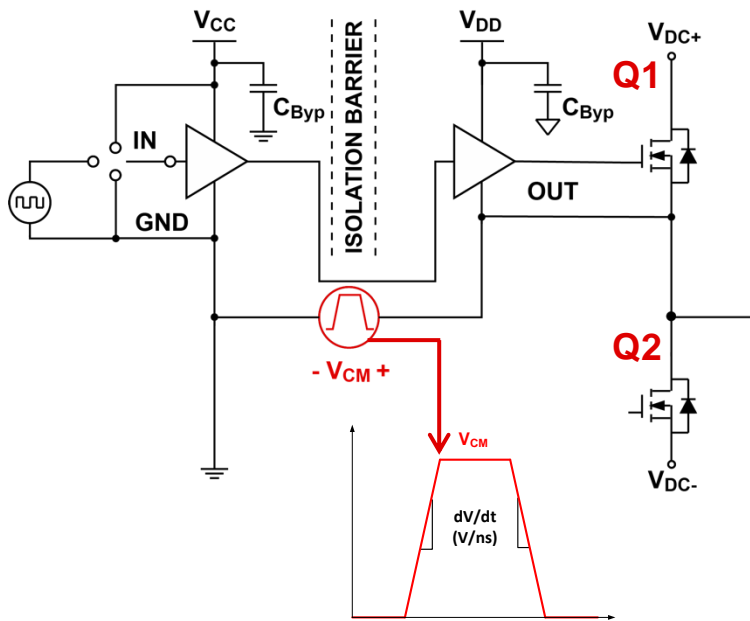
SiC MOSFETゲート・ドライバ: 負のバイアス電圧

- 高dv/dtスイッチングにより、大きなクロス・トーク電圧が発生する可能性
- SiC MOSFETは通常、スレッシュホールド電圧が低い(例えば、1V未満@150°C)
- 負のターンオフ電圧を推奨(寄生dv/dtターンオンを回避するため)
- ミラー・クランプ・オプションが望ましい

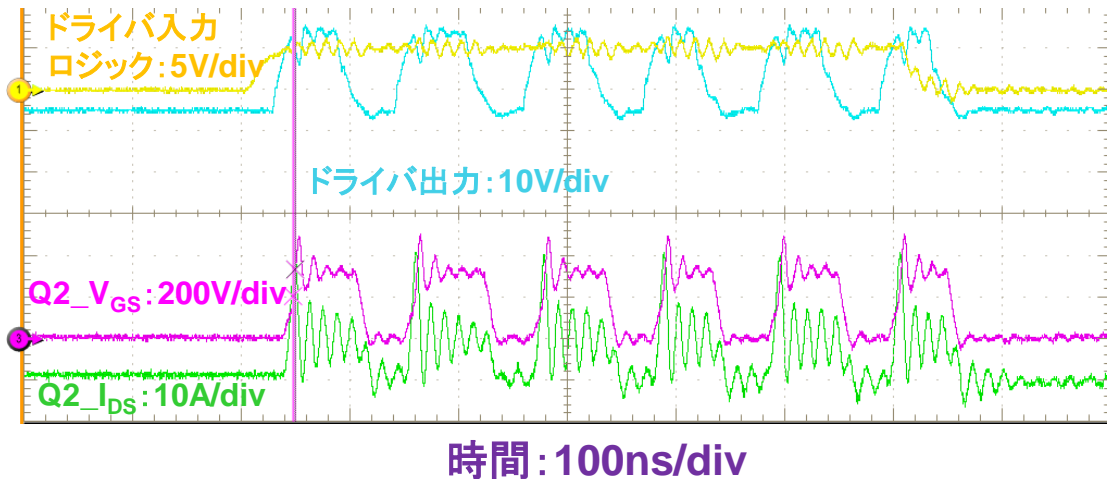


SiC MOSFET ゲート・ドライバ: CMTI能力

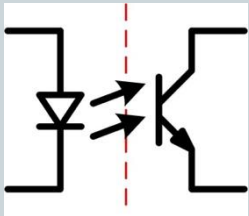
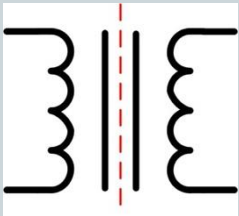

- 良好な同相過渡耐性 (CMTI) がなければ、寄生ノイズ電流がドライバ故障 (欠損パルス、過剰な伝搬遅延、High/Lowエラー、出カラッチなど)の原因になる



CMTI障害例



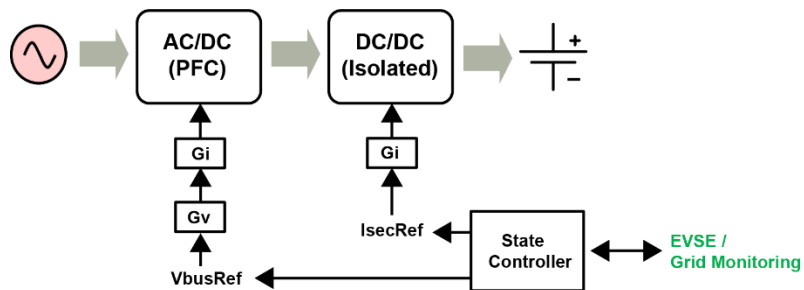
SiC MOSFETゲート・ドライバ:絶縁

| | 光 | 磁気 | 容量性 |
|----------------|---|---|---|
| |  |  |  |
| 絶縁材料 (絶縁耐圧) | エポキシ (約 $20V_{RMS}/\mu\text{m}$) | ポリイミド (約 $300V_{RMS}/\mu\text{m}$) | SiO ₂ ✓ (約 $500V_{RMS}/\mu\text{m}$) |
| 信頼性 | 低 | 中 | 高 ✓ |
| 堅牢性 | 低 | 低 | 高 ✓ |
| 他の特性 | 安価 ✓ 大きな伝搬遅延 変動が大きい 大きな静止電流 | データ・レートに比例して電力が増加 高いEMI | 電力はデータ・レートに比例しない 低いEMI ✓ |

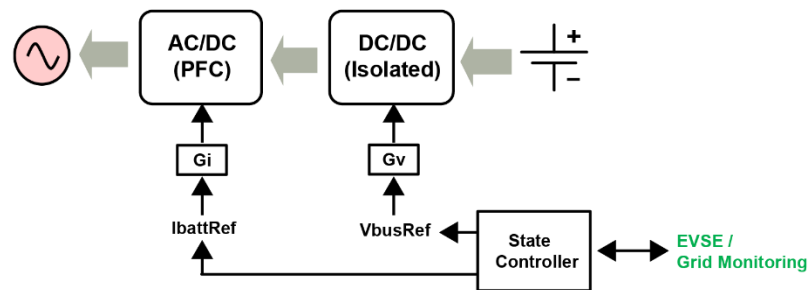
コントローラ – デジタル電源設計上の 考慮事項

双方向の動作モード

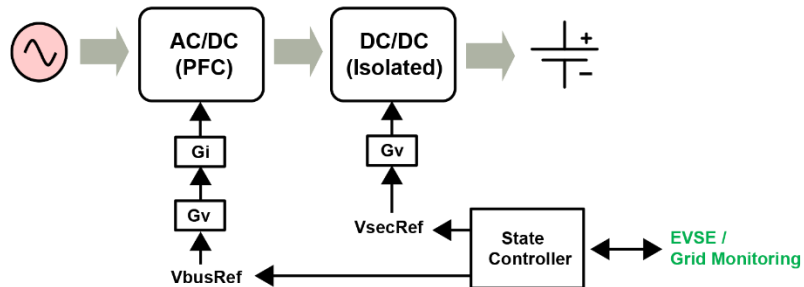
充電モード、定電流



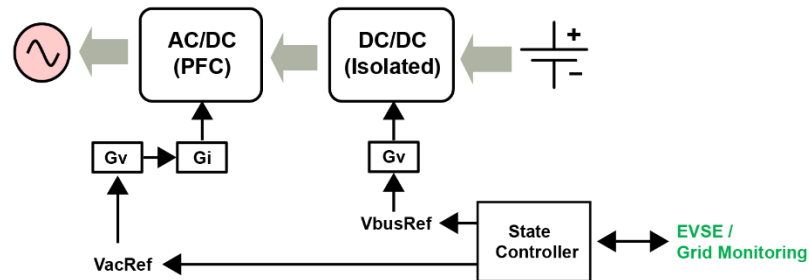
放電モード、グリッド接続



充電モード、定電圧



放電モード、電圧モード

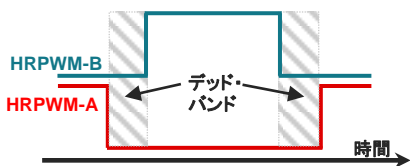


PWMの考慮事項

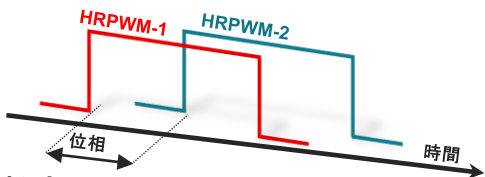
- 高分解能の周期とデューティ・サイクル



- 高分解能のデッド・タイム

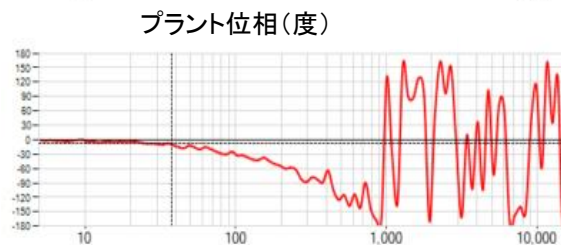


- 高分解能位相シフト

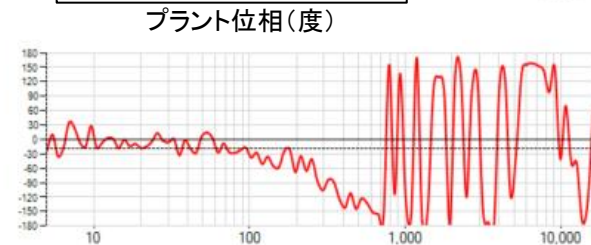
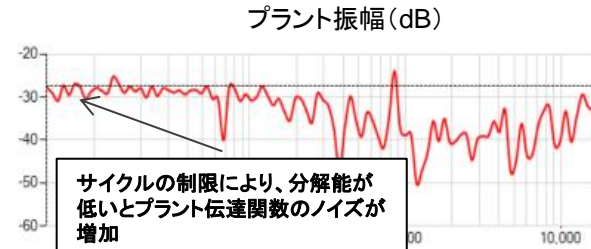


- 柔軟性

周波数応答測定統合ツール(SFRA)を使って 測定されたプラント伝達関数



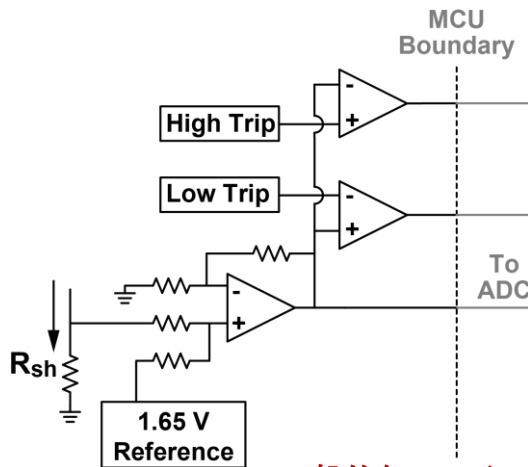
高分解能PWM有



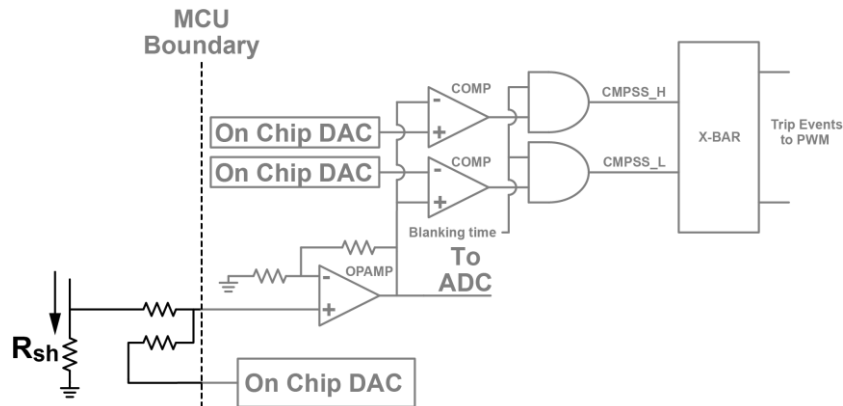
高分解能PWM無

ADCセンシングと保護

- ADC分解能
 - 高性能アプリケーションには有効ビット数(ENOB)が多い12ビットADCが必要
- 保護機能
 - 個別のDAC基準電圧を持つ内蔵コンパレータ
 - クロスバー(Xバー)を使って複数トリップを組み合わせる



一般的なMCU (C2000™ 以外)

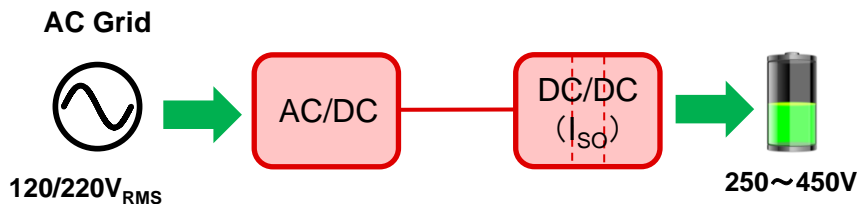


C2000 MCU

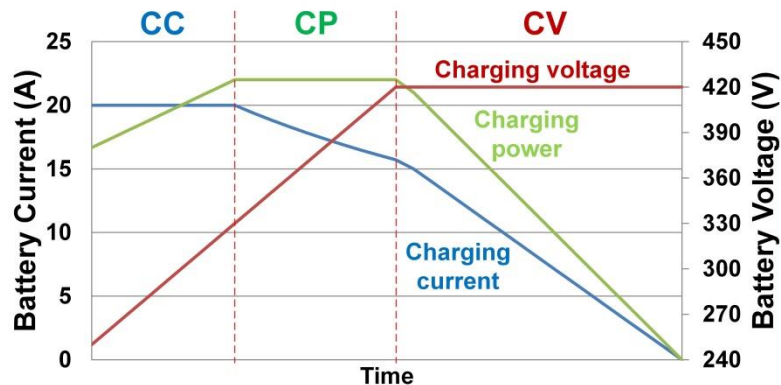
高電力密度、双方向オンボード・チャージャ の設計例と考慮事項

ターゲット仕様

- 入力: $85V_{AC} \sim 265V_{AC}$ 、50/60Hz、iTHD 3%未満
- 出力: $250V_{DC} \sim 450V_{DC}$ 、 $6.6kW_{max}$ @ $230V_{AC}$ 入力
- レギュレーション: バッテリ電流/電圧に対してリップル5%未満
- ピーク効率: $>96.5\%$ (PFC段で $>98.5\%$ 、DC/DC段で $>98\%$)
- 電力密度: $>60W/in^3$

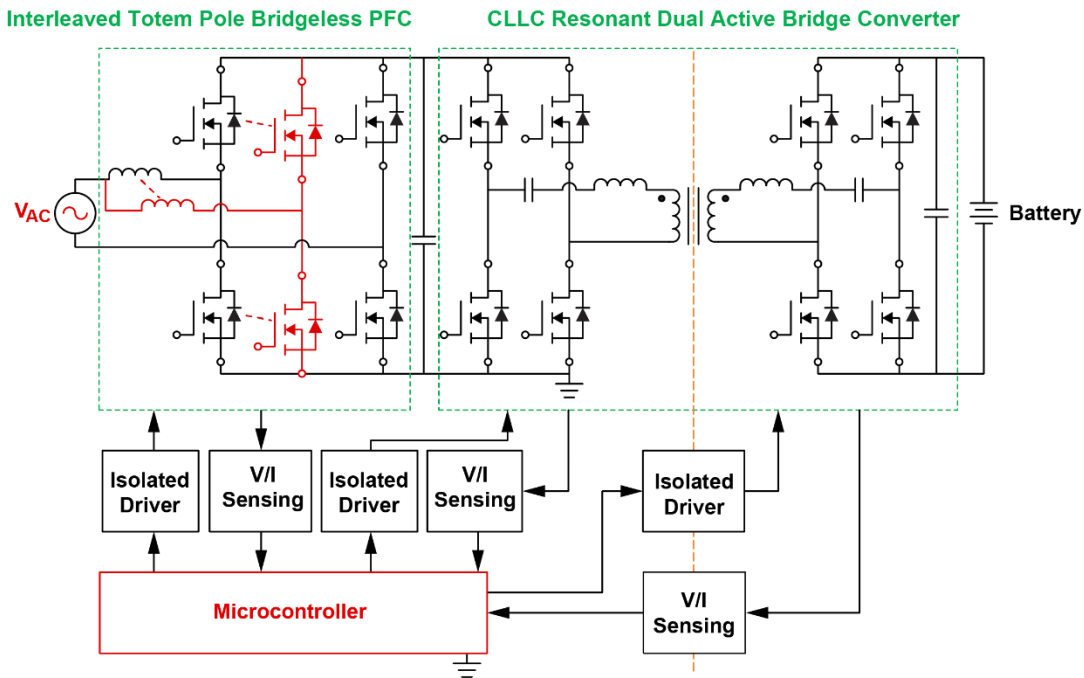


充電プロファイル



電源トポロジと制御アーキテクチャの選択

- 制御の柔軟性と通信
 - デジタル制御
- 高効率/高密度
 - TTPL PFC + 共振DAB
 - 高周波スイッチング用SiC FET
- 少ない電流リップル
 - インターリーブPFC

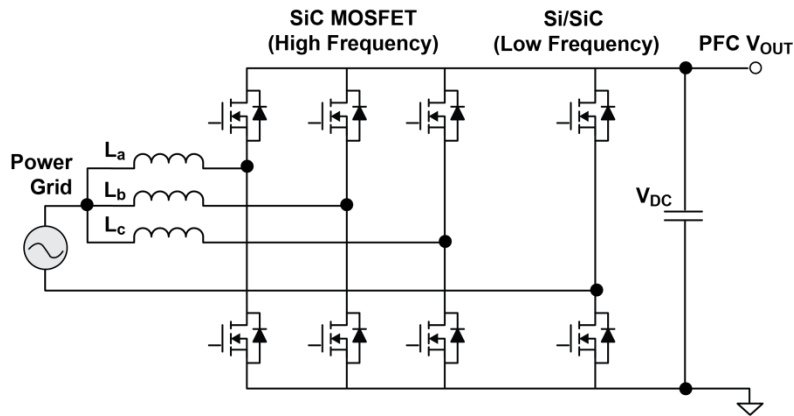


TTPL PFC設計の考慮事項:

- “GaN FETベースのCCMトーマムポール・ブリッジレスPFC”、SEM2100

電力段の設計上の考慮事項

単相AC、3相インターリーブTTPL



- 入力リップル電流と導通損失を小さくする120°位相シフトによる3相インターリーブ
- 軽負荷効率を改善するための軽負荷時の位相シェディング

シミュレーションされた電力損失

| V _{DC} (V) | 位相 | 周波数 (KHz) | P _{con} (W) / デバイス | P _{sw} (W) / デバイス | P _d (W) 合計 |
|---------------------|----|-----------|-----------------------------|----------------------------|-----------------------|
| 400 | 2 | 150 | 9.2 | 4.6 | 55.4 |
| | 3 | 100 | 4.2 | 2.5 | 40.2 |
| | 4 | 75 | 2.4 | 1.8 | 33.6 |
| 500 | 2 | 150 | 9.2 | 7.5 | 66.8 |
| | 3 | 100 | 4.2 | 4.05 | 49.5 |
| | 4 | 75 | 2.4 | 3.0 | 43.2 |
| 600 | 2 | 150 | 9.2 | 10.5 | 78 |
| | 3 | 100 | 4.2 | 5.8 | 60 |
| | 4 | 75 | 2.4 | 4.2 | 52.8 |

η & \$

低

高

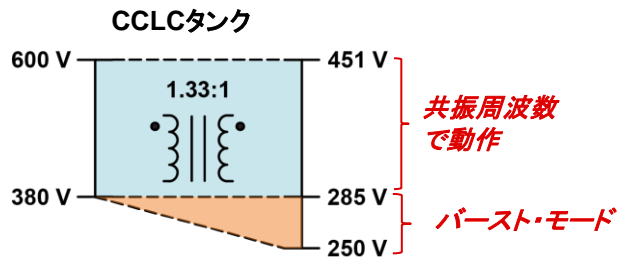
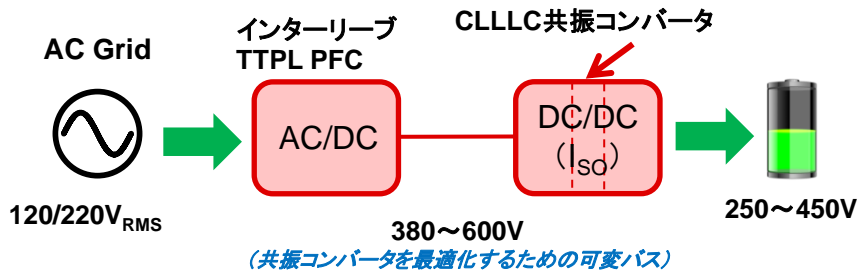
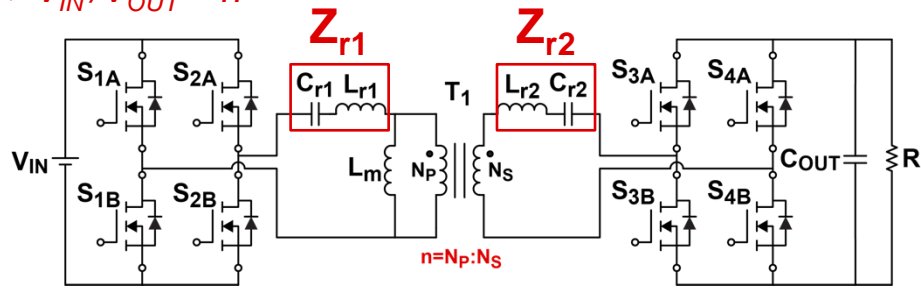
| システム・パラメータ | 値 |
|------------|---------------------------------|
| 入力電圧 | 85~264V _{AC} 、 50/60Hz |
| 出力電圧 | 380~600V _{DC} |
| 最大電力 | 6.6 kW @240V _{RMS} |
| 効率 | 98.9% (ピーク) |
| PWM周波数 | 100kHz |
| THD | <3% |

CLLLC共振DAB設計の考慮事項

- 直列共振コンバータの効率は、 $F_{SW} = F_r$ (直列共振周波数) の時に最適化

CLLLCでは、 $F_{SW} = F_{r1} = F_{r2}$ の場合 $\Rightarrow Z_{r1} = Z_{r2} = 0 \Rightarrow V_{IN}/V_{OUT} = n$

- 高電力密度CLLLCの設計手順(続き):
 - $F_{r1} = F_{r2}$ に設定し、目標の直列共振周波数も設定
 - バッテリーの電圧範囲に従って、トランス巻線比 (n) を決定



$$F_{r1} = \frac{1}{2\pi\sqrt{L_{r1}C_{r1}}}$$

$$F_{r2} = \frac{1}{2\pi\sqrt{L_{r2}C_{r2}}}$$

CLLLC共振DAB設計の考慮事項

- 高電力密度CLLLCの設計手順(続き):

3. 適切な L_m を決定

- L_m に蓄積されるエネルギーがすべての C_{oss} に蓄積されるエネルギーよりも大きいようにする:

$$\frac{1}{2}L_m I_{L_m}^2 \geq \frac{1}{2}(4C_{oss})V_{IN}^2$$

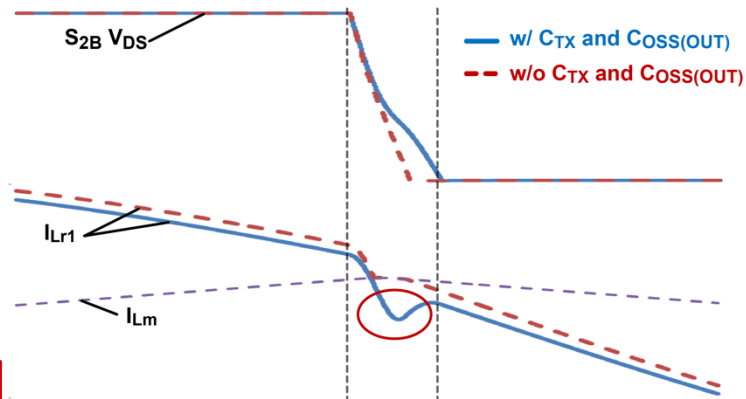
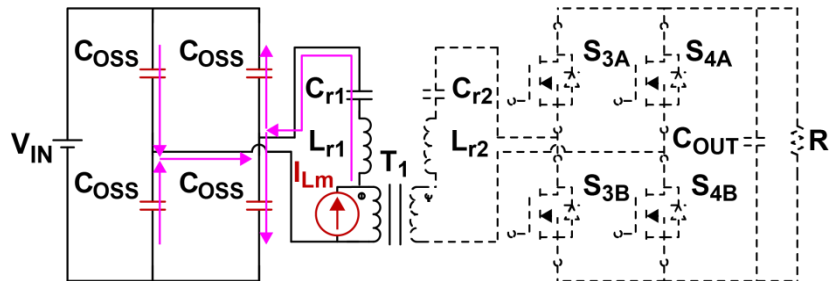
- $I_{L_m} = \frac{nV_{OUT}}{4L_m F_{sw}}$ から、ZVSに対して許容される

最大の L_m を次のように計算できる:

$$L_{m_{max}} \leq \frac{n^2 V_{OUT}^2}{64 C_{oss} V_{IN}^2 F_{sw}^2}$$

- 実際には、 C_{TX} と $C_{oss(OUT)}$ により、不等式の計算結果よりずっと低い L_m が必要

経験則: $L_m < 0.5L_{m(max)}$ を使用

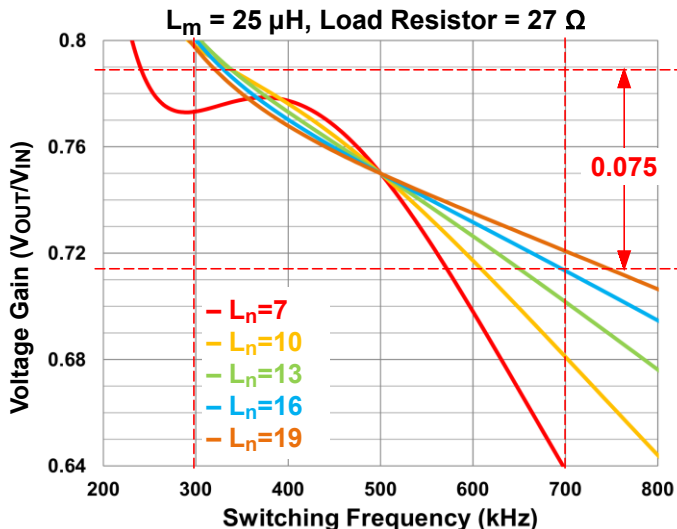


CLLLC共振DAB設計の考慮事項

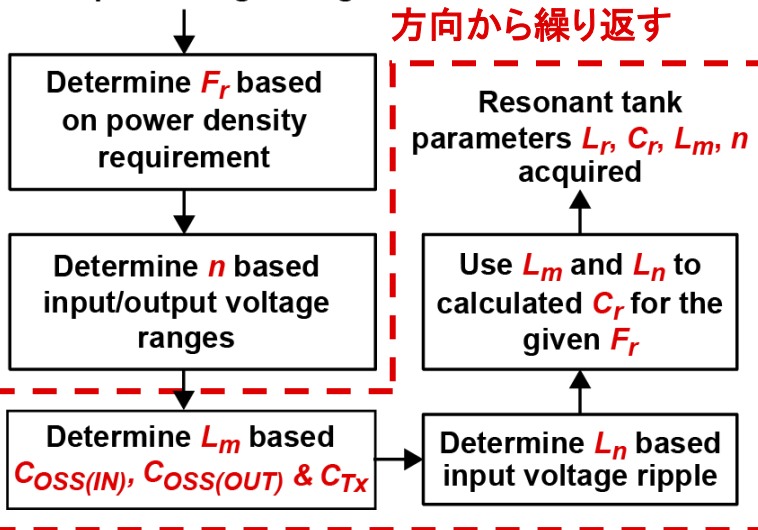
- 高電力密度CLLLCの設計手順(続き):

4. 与えられた周波数範囲について入力電圧リップルに対応するために必要な $L_n = L_m/L_r$ 比を決定

- 低い L_r で効率が改善するよう、 L_n を最大化
- 例:PFC出力電圧をリップル5%で420V_{sec} @6.6kWにレギュレートするには、300kHz~700kHzのスイッチング周波数範囲内で>0.075のゲイン変動が必要



Start power stage design **最後の3ステップを他の方向から繰り返す**



選択された最終的なパラメータ:

$n = 1.33$

$L_m = 25 \mu\text{H}$

$L_{r1} = 1.9 \mu\text{H}$

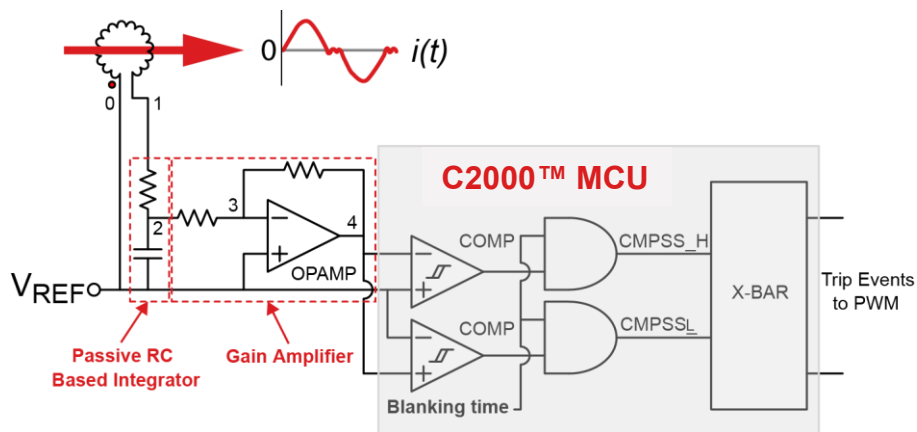
$C_{r1} = 53 \text{nF}$

$L_{r2} = 1.45 \mu\text{H}$

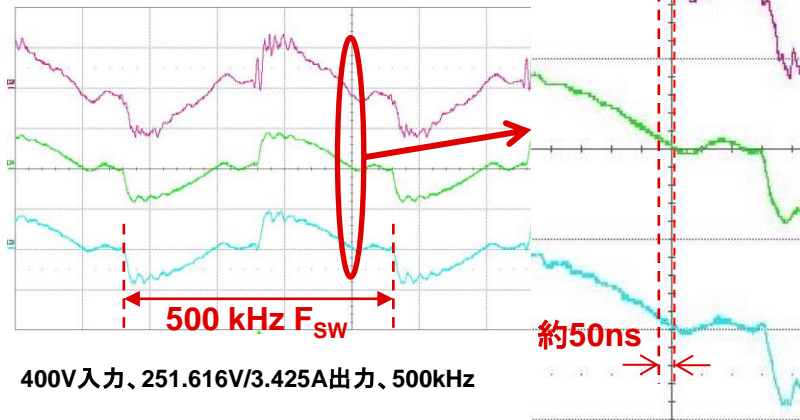
$C_{r2} = 70 \text{nF}$

同期整流 (SR) センシング

- SRの効率最適化は、高い周波数の直列共振コンバータで大きな課題
- ロゴスキー・コイルをSRセンシング用に実装
 - ロゴスキー・コイルを流れる、時間的に変化する電流によって、電圧が誘導される
 - 誘導電圧をセンスされた電流とほぼ同期した電圧に変換するために、積分回路を使用



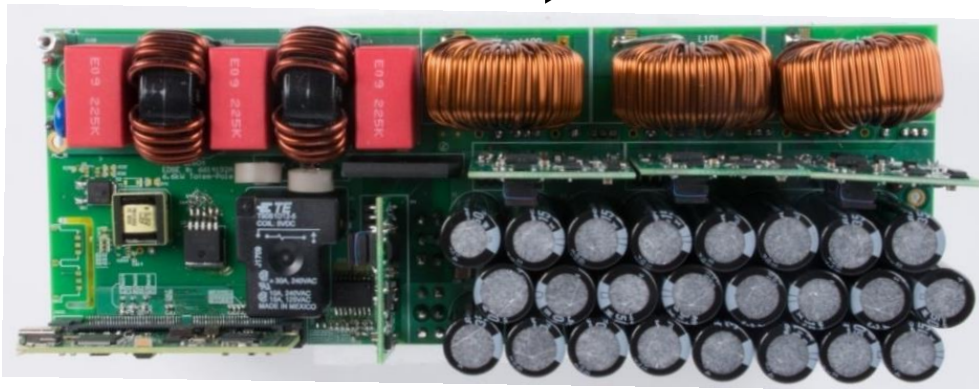
CH2: ロゴスキー・コイルSRセンシングの
ゲイン・アンプ出力
CH3: CWT03プローブ測定
CH4: 電流プローブ測定



性能検証

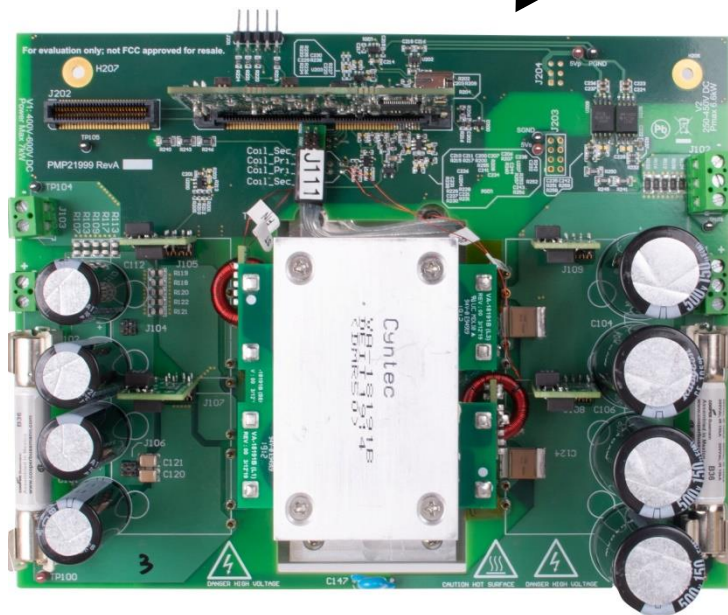
6.6kW双向AC/DC PSU

92W/in³



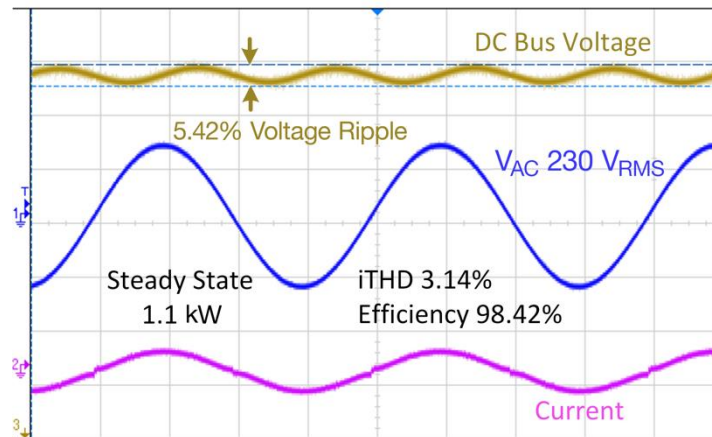
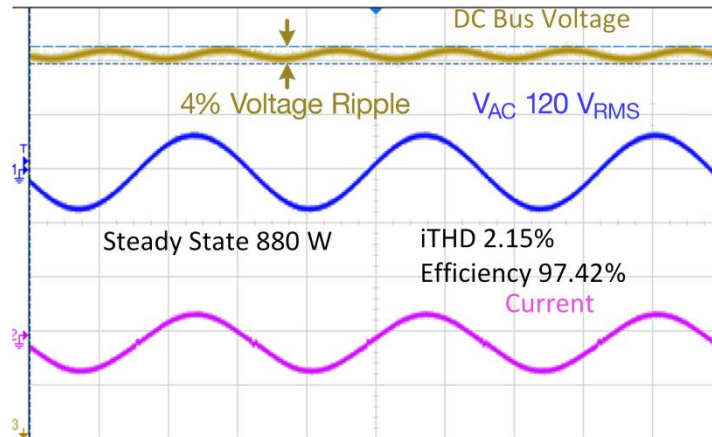
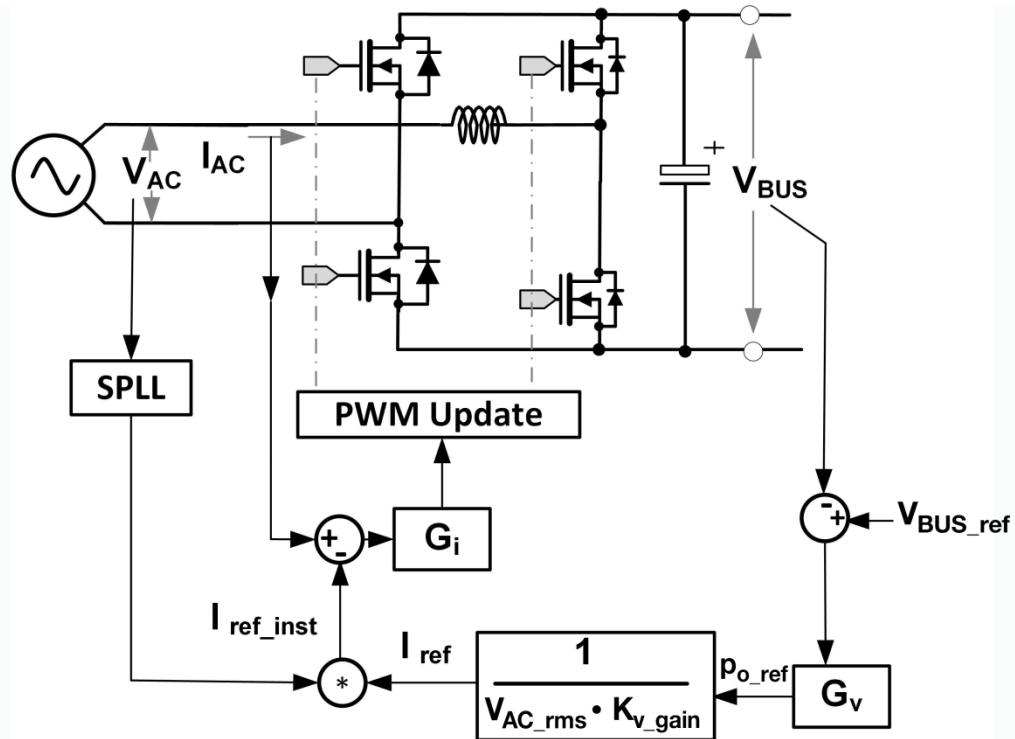
TIDA-01604 – TTPL PFC

76W/in³

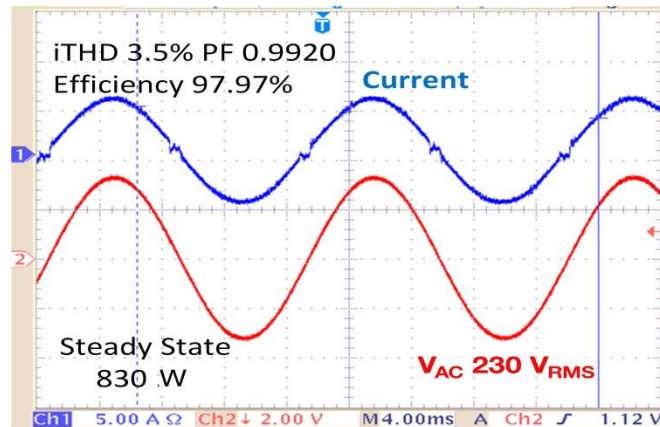
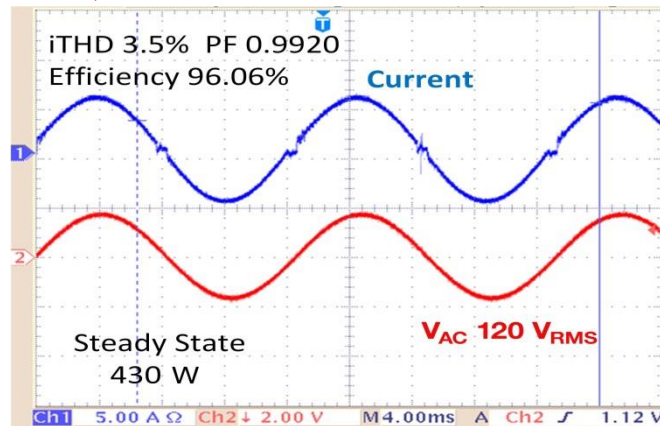
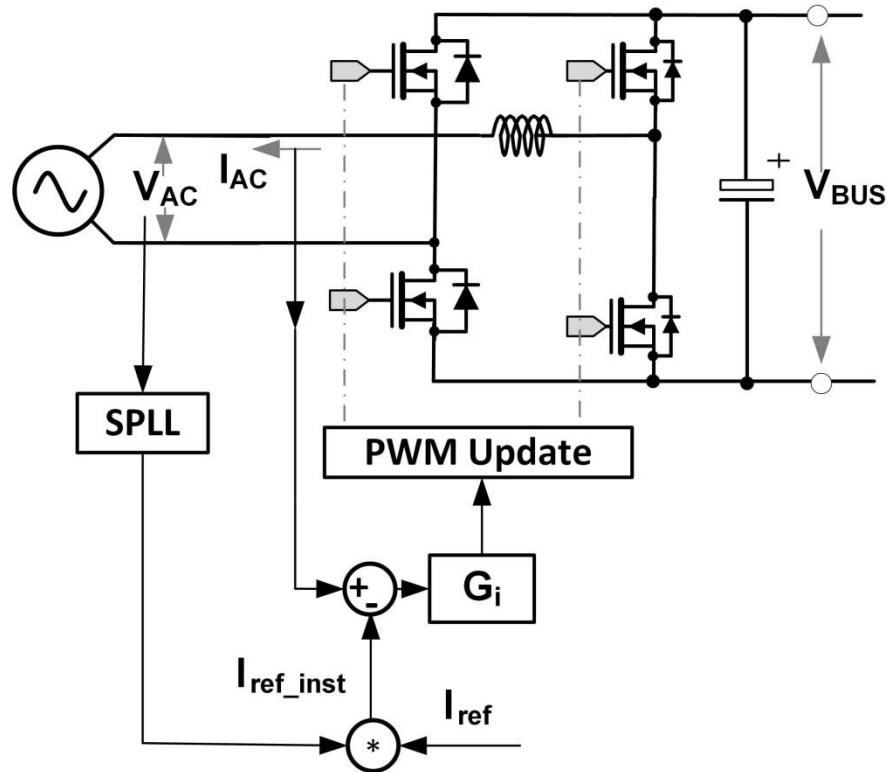


PMP21999 – CLLLC 共振 DAB

AC/DC: 整流器モード



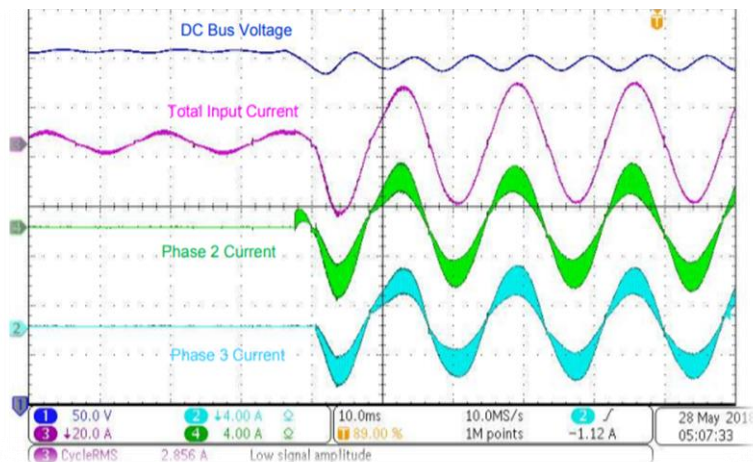
AC/DC: グリッドに接続されるインバータ・モード



AC/DC: 位相シェディング

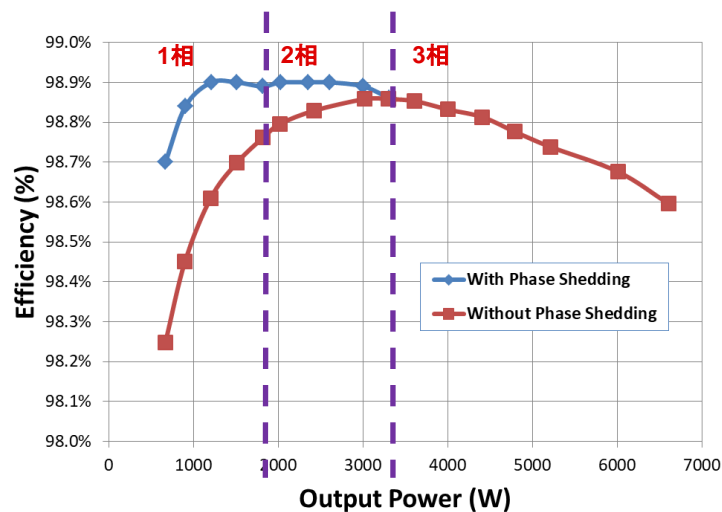
測定された波形

単相から3相への位相遷移



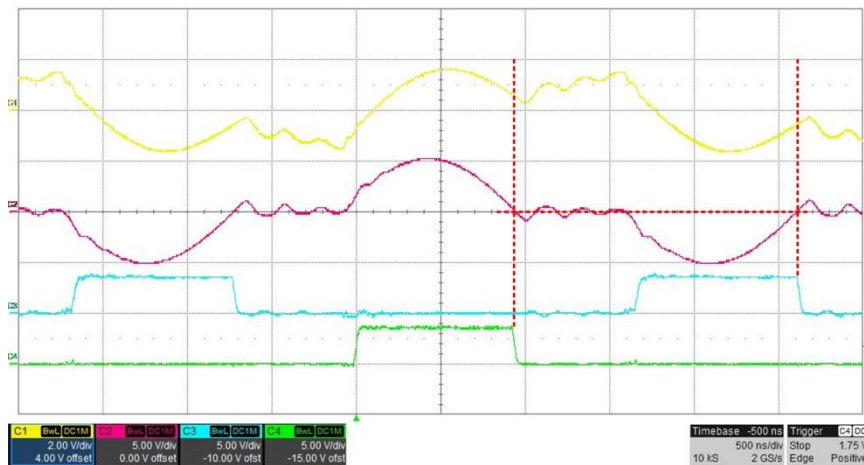
240V_{AC}での測定効率

位相シェディング有/無

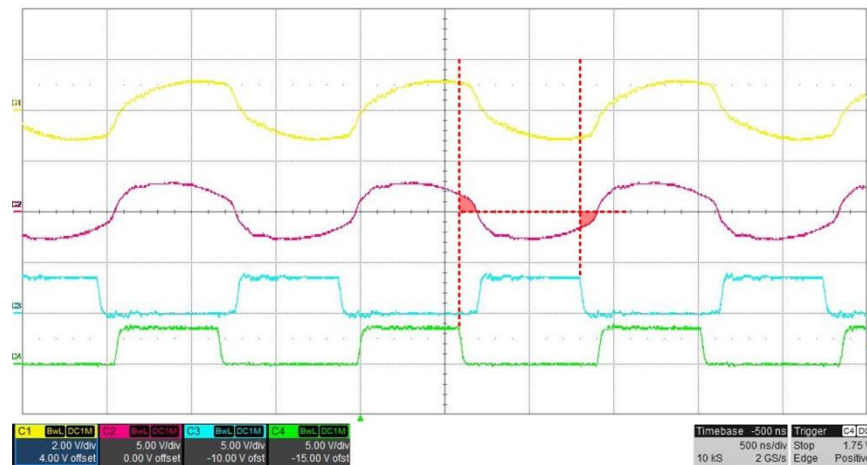


DC/DC : アクティブ同期整流

充電モード



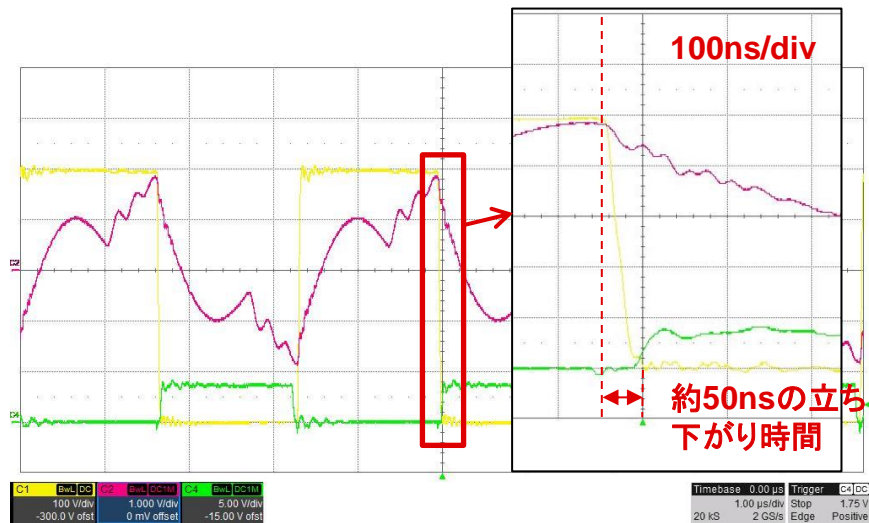
$F_{SW} = 300\text{kHz}$ 、 3.3kW



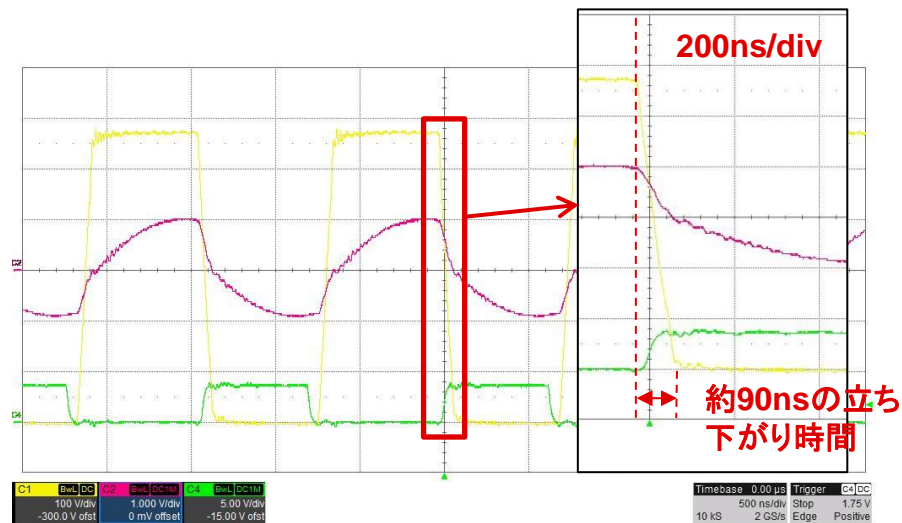
$F_{SW} = 700\text{kHz}$ 、 2.9kW

CH1: XFMR 1次巻線電流 (100mV/A)
CH2: XFMR 2次巻線電流 (200mV/A)
CH3: SR駆動信号 (PWM3A)
CH4: SR駆動信号 (PWM3B)

DC/DC:ソフト・スイッチング波形



493V_{prim}、420V_{sec}/3.3kW - 300kHz



566V_{prim}、420V_{sec}/3.3kW - 700kHz

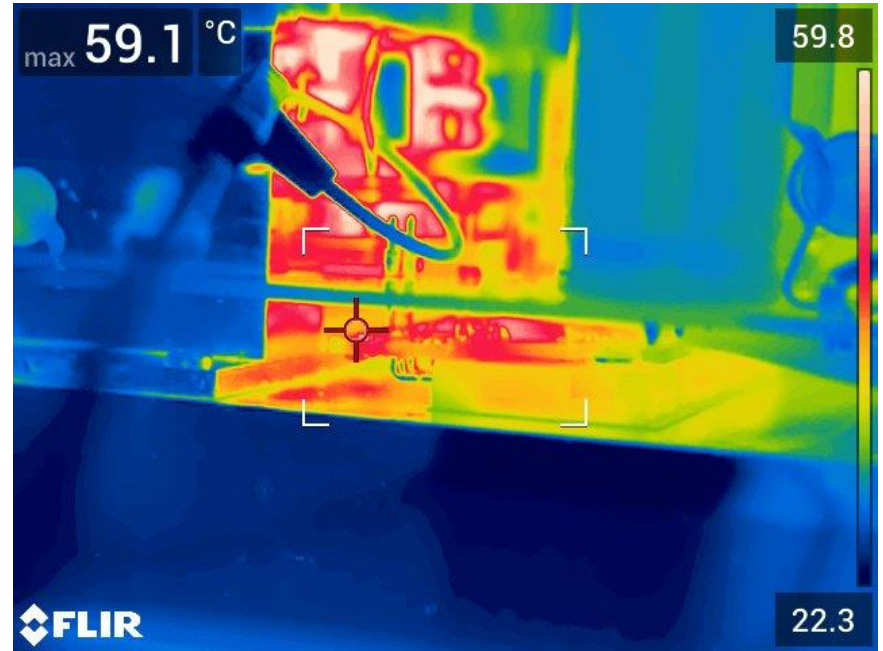
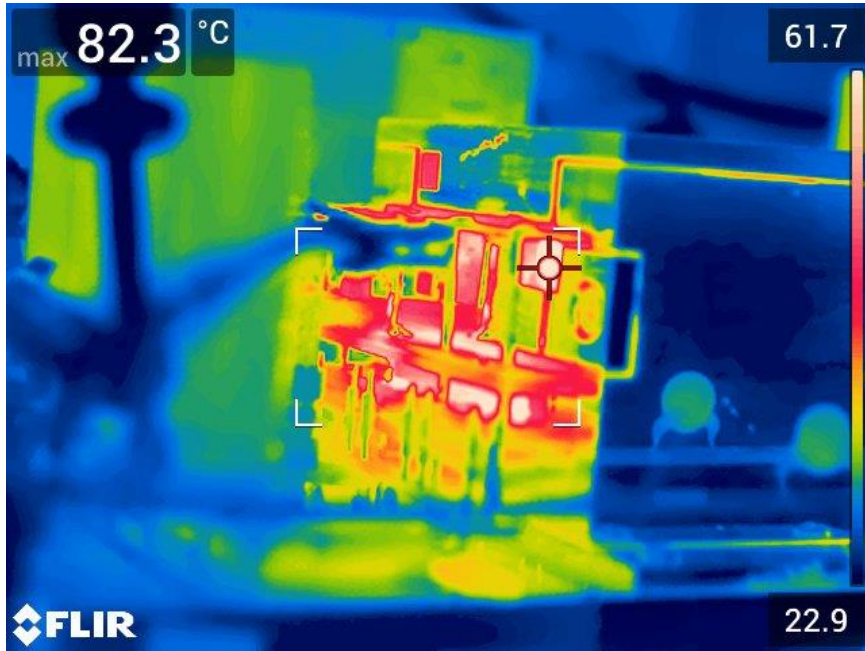
CH1: 1次LS FET VDS

CH2: XFMR 1次巻線電流 (100mV/A)

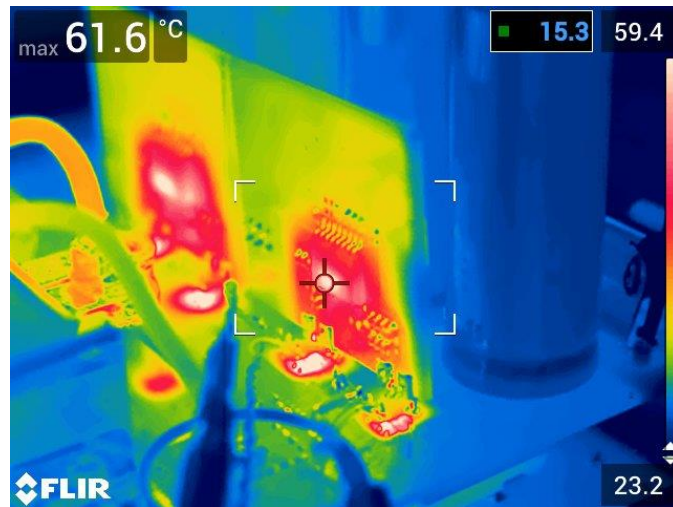
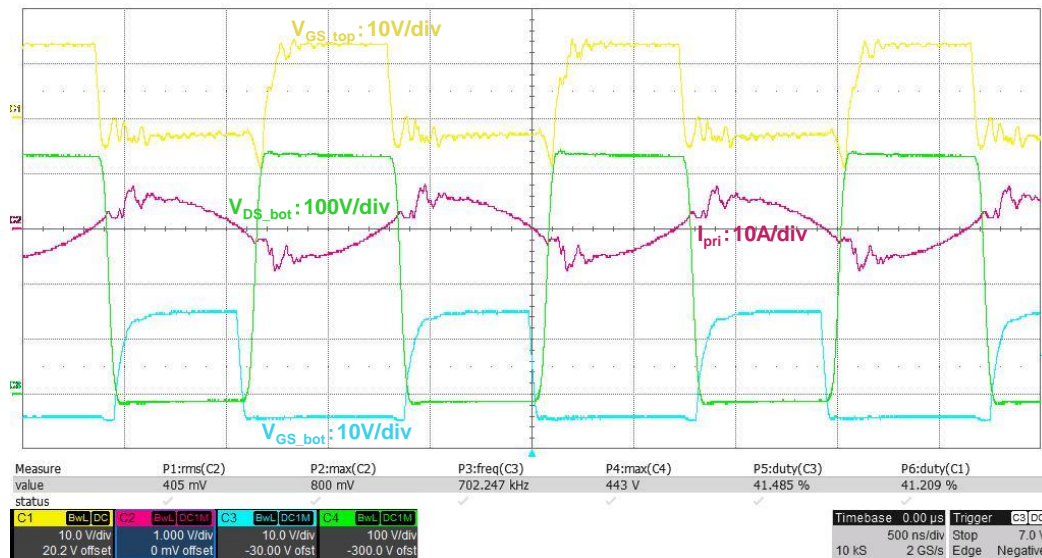
CH4: PWM2B - 1次LS FET 駆動信号

DC/DC : 6.6kWでの熱特性 (底面ヒートシンク上に強制空冷)

充電モード : $565V_{\text{prim}}$ 、 $420V_{\text{sec}}$ / 6.6kW、 $F_{\text{sw}} = 517\text{kHz}$ 、 $\eta = 97.9\%$



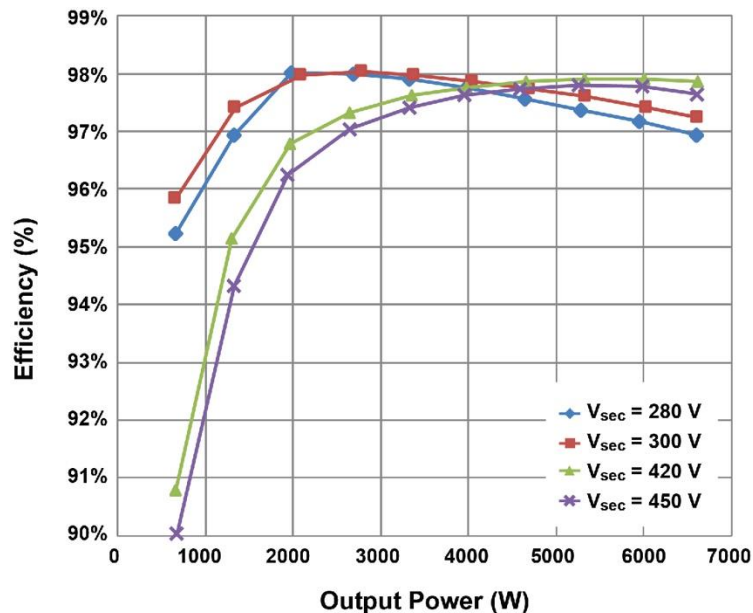
DC/DC : 700kHzでのドライバ性能



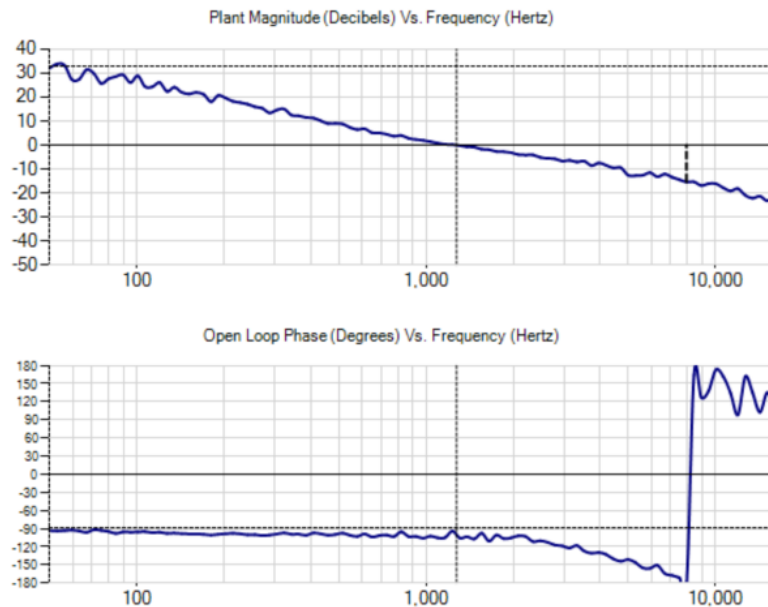
- UCC21530-Q1がSiC MOSFETを700kHzでドライブする実験、短い伝搬遅延と遅延マッチング時間の実証
- 700kHzのZVS条件 ($V_{GS} = +15V/-4V$ 、ゲート電荷約19nC) に対して、ドライバ温度はわずか60°C程度

DC/DC : 制御帯域幅と効率

2次電圧と負荷に対する効率

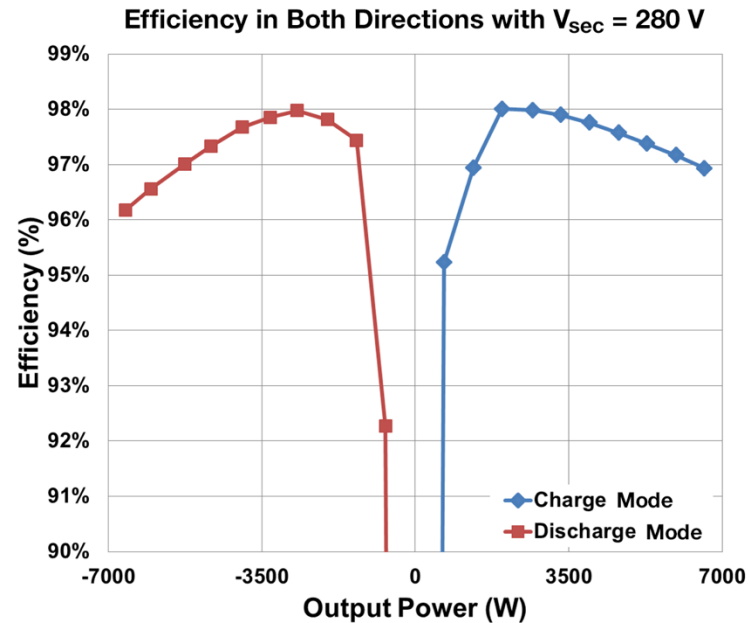
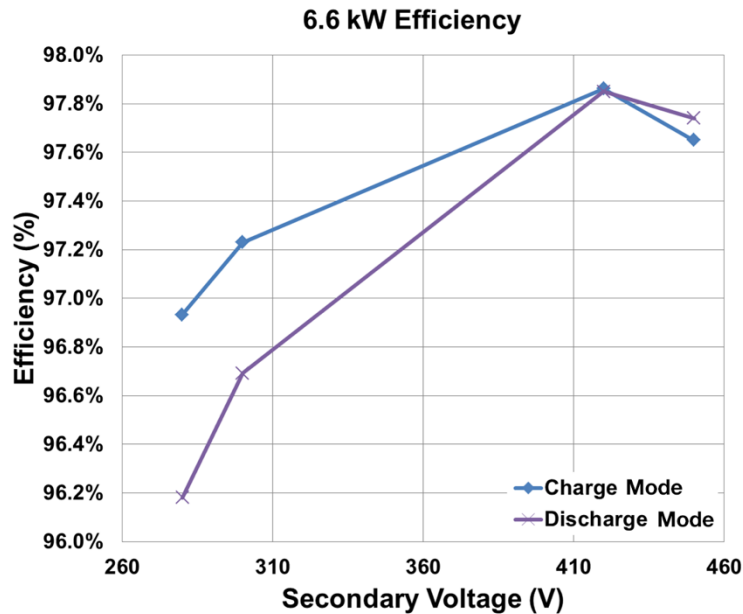


SFRAを使って測定された電流ループ帯域幅



$F_{XOVR} = 1.274\text{kHz}$, $GM = 15.4\text{dB}$, $PM = 80^\circ$

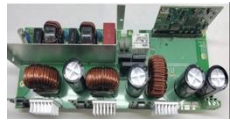
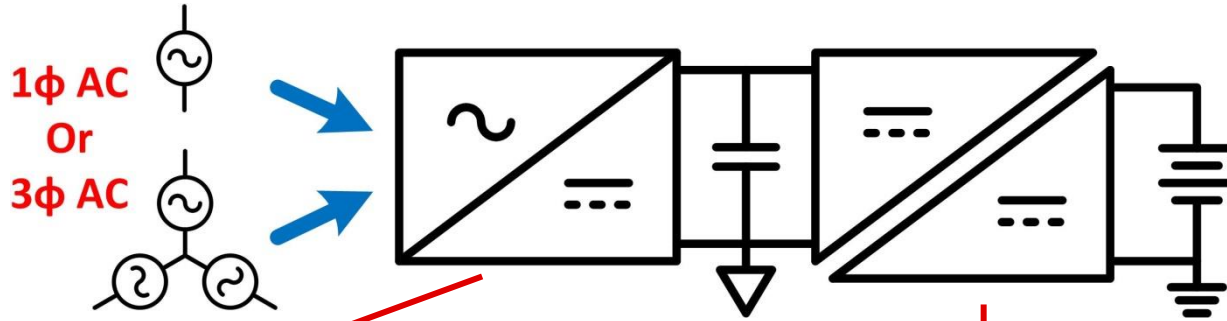
DC/DC: 双方向CLLLCの効率



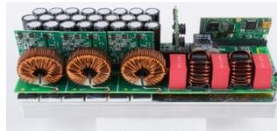
まとめ

- 双方向AC/DC整流器のアプリケーションとトポロジを概観
- SiC FETの長所、デジタル電源設計の考慮事項、絶縁ドライバ選択について説明
- 高い周波数のCLLLC共振コンバータの設計プロセスを紹介
- 高い周波数の共振コンバータのSRセンシングと駆動に着目
- 高電力、高効率の双方向AC/DC整流器のリファレンス・デザインを紹介

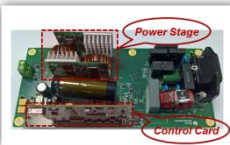
高電力AC/DC整流器のリファレンス・デザイン



TIDM-1007



TIDA-1604



TIDA-00961



TIDM-1000



TIDM-02002/PMP21495



PMP21999

Paper references

- L. Huber, et al., "**Performance Evaluation of Bridgeless PFC Boost Rectifiers**," in *IEEE Transactions on Power Electronics*, vol. 23, no. 3, pp. 1381-1390, May 2008.
- B. Zhao, et al., "**Overview of Dual-Active-Bridge Isolated Bidirectional DC–DC Converter for High-Frequency-Link Power-Conversion System**," in *IEEE Transactions on Power Electronics*, vol. 29, no. 8, pp. 4091-4106, Aug. 2014.
- W. Zhang and Mateo Bague, "**Common Mode Transient Immunity (CMTI) for UCC2122x Isolated Gate Drivers**," in *Texas Instruments Application Reports*, SLUA909, Aug. 2018.
- Bhardwaj Manish, "**C2000™ Software Frequency Response Analyzer (SFRA) Library and Compensation Designer**," in *Texas Instruments User's Guides*, SPRUHZ5A, Oct. 2014.
- Z. Ye , et al., "**GaN FET-Based High CCM Totem-Pole Bridgeless PFC**", in *2014 Texas Instruments Power Supply Design Seminar*, SLUP327, 2014.
- Xun Gong, et al., "**6.6kW Three Phase Interleaved Totem Pole PFC Design with 98.3% Peak Efficiency for HEV/EV Onboard Charger**", in *Proc. IEEE APEC*, Anaheim, CA, 2019.
- S. Yu, et al., "**Survey of Resonant Converter Topologies**," in *2018 Texas Instruments Power Supply Design Seminar*, SLUP376, 2018.