

TI *Live!* TECH EXCHANGE

Japan Industrial Day

PSR (1次側レギュレーション)

フライバック降圧コンバータを採用した
シンプルな高性能絶縁型電源の設計

明石 涼

目次

絶縁型DC/DC

- ・絶縁が必要とされる例
- ・絶縁型電源トポロジー概要
- ・PSRフライバック

PSRフライバック

- ・PSRフライバックの制御方式
- ・動作モード (BCM, DCM, FFM)

PSRフライバックの設計

- ・TIのPSRフライバックの“シンプル”な設計フロー
- ・トランス設計の考慮事項 - 巻き線比, L_{MAG}
- ・回路設計の考慮事項 - V_{SW} クランプ, RCスナバ
- ・設計リソース

絶縁が必要とされる例

• 安全性

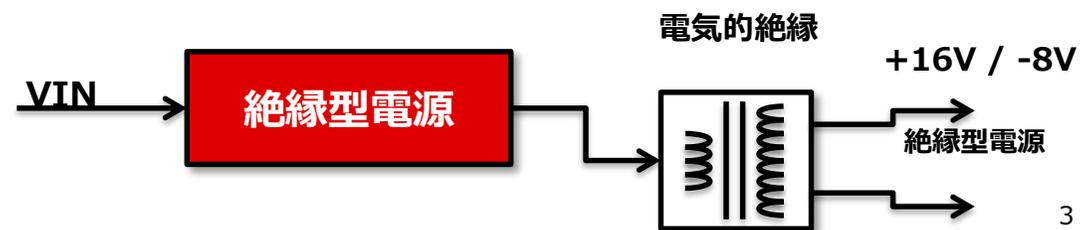
- 各種安全性規格では、ユーザーをESDやサージ現象から保護するために、電源の危険な電圧からユーザーを絶縁することが要求されます。
- 代表的なアプリケーション：IPカメラ、ソーラー・インバータ、ファクトリ・オートメーション(工場向け機器)

• グランド・ループを断ち切り、ノイズを低減

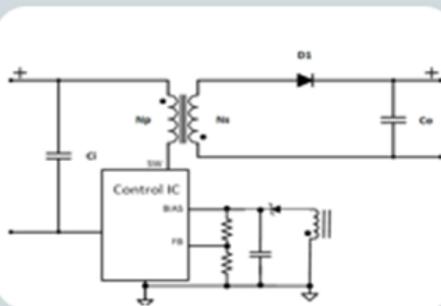
- ノイズに敏感なアプリケーション向けにグランド・ループの干渉を断ち切る目的で設置。
- 代表的なアプリケーション：PLC、ソーラー・インバータ、ビル・オートメーション (RS232/485 など)

• 反転、レベルシフト、複数レール

- 絶縁型出力電圧は、複数の絶縁型出力、負の電圧レール、レベルシフト後の電圧レールなど、利便性の高い方法で構成することができます。
- 代表的なアプリケーション：測定機器、医療機器、電動自転車、HVAC (エアコン)、モーター・ドライブ

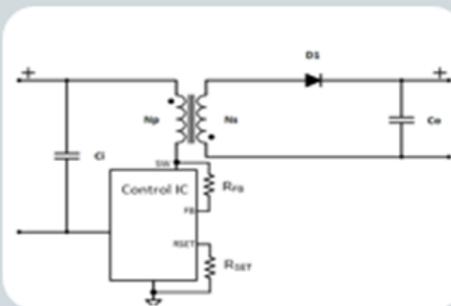


さまざまな絶縁型電源トポロジー



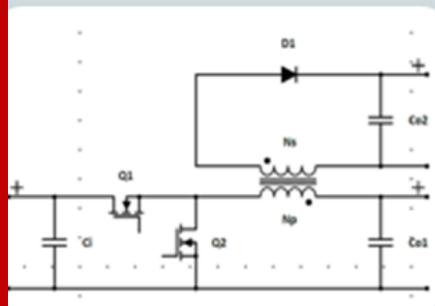
従来型PSR Flyback

- ・固定周波数 f_{SW} (CCM)
- ・補助巻き線による $\pm 3\%$ V_{OUT} 精度
- ・フォトカプラによる $\pm 1\%$ V_{OUT} 精度
- ・ $P_{OUT} > 15W$



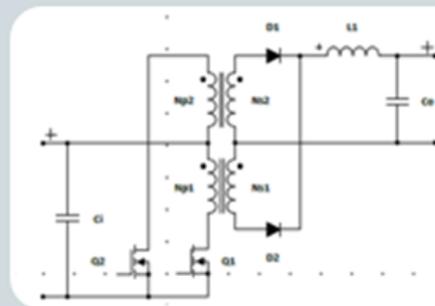
補助巻き線不要の PSR Flyback

- ・シンプルな設計
- ・2つの抵抗によるフィードバック制御
- ・ $\pm 1\%$ V_{OUT} 精度
- ・DCM/BCM動作
- ・ $P_{OUT} : 1W - 60W$



Fly-Buck

- ・非絶縁出力・絶縁出力同時構成可能
- ・高速応答
- ・120V入力電圧対応
- ・ $P_{OUT} < 10W$



プッシュプル

- ・低コスト
- ・小さなソリューションサイズ
- ・固定周波数 f_{SW}
- ・フィードバック無しの非レギュレーション出力
- ・ $V_{IN} < 6W$
- ・ $V_{OUT} = 5V, 3.3V$
- ・ $P_{OUT} < 3W$

LM25183/LM25184

65V のパワー MOSFET 内蔵、最高の電力密度、42V、2.5A/4A の PSR (1 次側レギュレーション) フライバック・コンバータ

特長

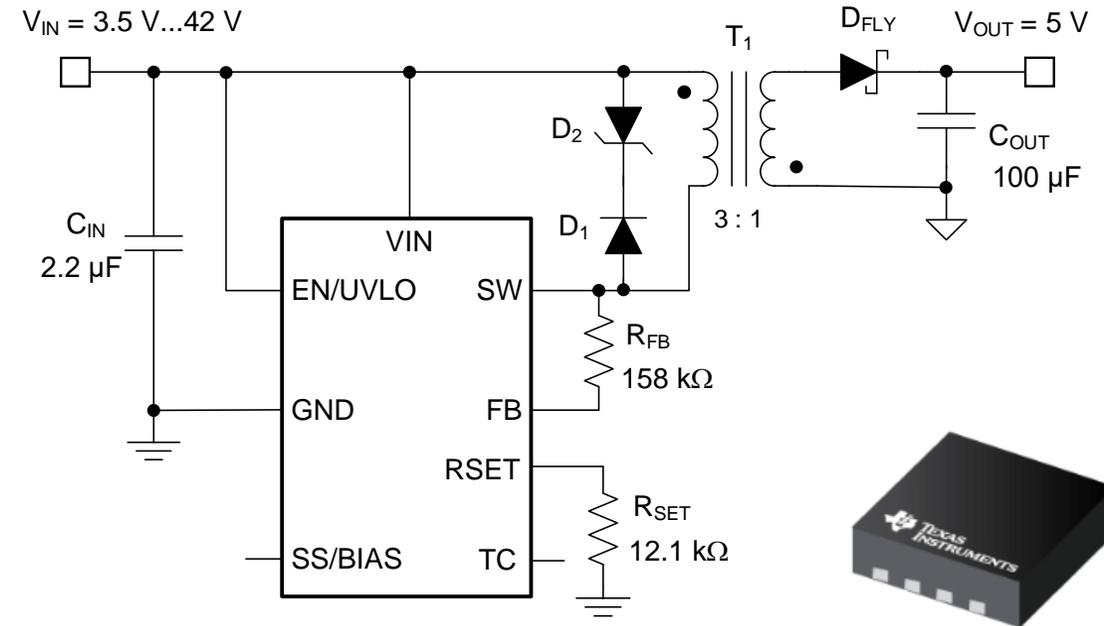
- このクラスで最も厳格なレギュレーションを実施する、電力密度が最高の 42V PSR (1 次側レギュレーション)
- **65V、2.5A/4A の内部パワー MOSFET**
- **4.5V ~ 42V の広い入力電圧範囲 (V_{IN})** (絶対最大定格 45V)
 - スタートアップ後は 3.5V の最小入力電圧 (V_{IN})
- **±1% 精度の出力電圧 (V_{OUT}) を達成可能**
 - $V_{IN} = 6V \sim 42V$ 、 $V_{OUT} = 5V$ 、2%
 - $T_A = -40^\circ C \sim 125^\circ C$
- **バウンダリ・モード、疑似共振動作**
- 内部ループ補償、調整可能な入力 UVLO
- 効率の改善に貢献する外部 V_{CC} バイアス・オプション
- 調整可能または固定の 6ms 内部ソフト・スタート機能
- V_{OUT} 温度補償オプション
- **4mm x 4mm WSON-8 WF** パッケージ、0.8mm ピッチ
- **AEC-Q100 グレード 1** ⇒ 動作温度範囲 125°C

アプリケーション

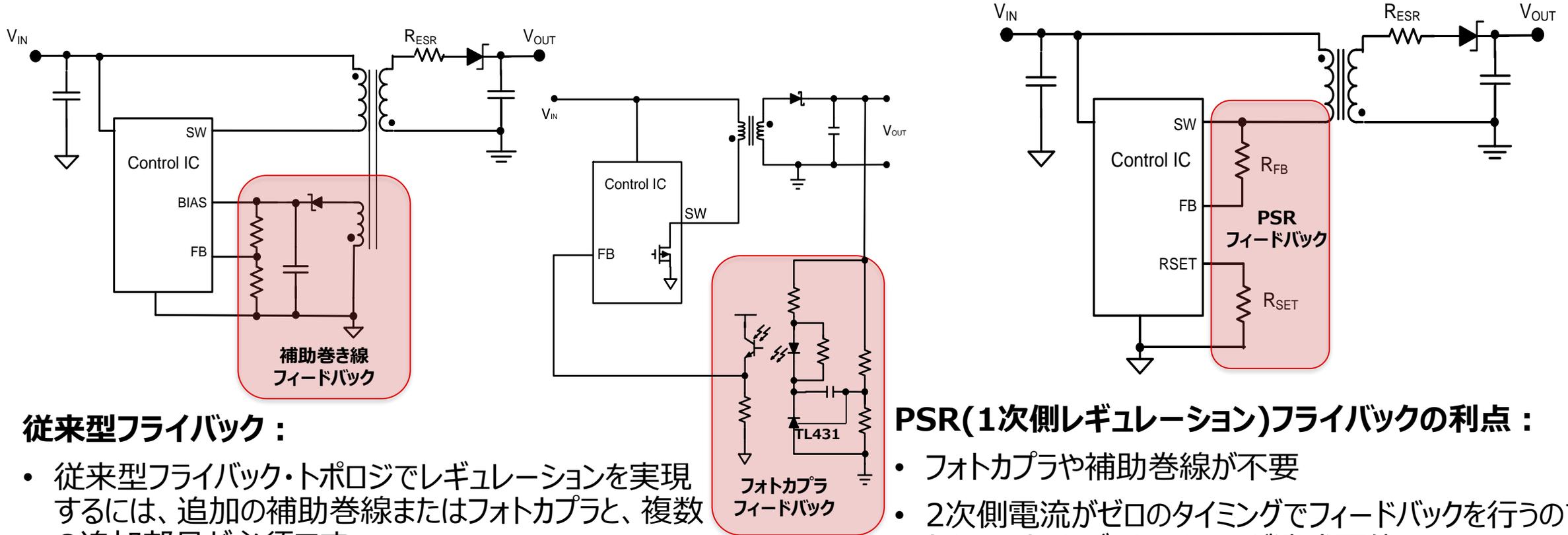
- ファクトリ・オートメーション、PLC
- モーター・ドライブ、テレコム、ソーラー、IP

利点

- フォトカプラやトランスの補助巻線不要
- ゼロ電流の時点でセンスを実行し、高精度の V_{OUT} レギュレーション性能を実現
- 低静止電流 (I_Q) 動作と外部バイアスレールオプションにより、軽負荷時に高効率を実現



従来型フライバックとPSRフライバックの比較



従来型フライバック :

- 従来型フライバック・トポロジでレギュレーションを実現するには、追加の補助巻線またはフォトカプラと、複数の追加部品が必須です
- フォトカプラ・ベースのソリューションの場合、補償の設計の難易度が上がる可能性があります
- 連続導通モード(CCM)または非連続導通モード(DCM)で動作

PSR(1次側レギュレーション)フライバックの利点 :

- フォトカプラや補助巻線が不要
- 2次側電流がゼロのタイミングでフィードバックを行うので、タイトなロードレギュレーションが達成可能
- 従来型フライバックより小型のソリューション・サイズ
- DCMまたは境界導通モード(BCM)で動作

目次

絶縁型DC/DC

- ・絶縁が必要とされる例
- ・絶縁型電源トポロジー概要
- ・PSRフライバック

PSRフライバック

- ・PSRフライバックの制御方式
- ・動作モード (BCM, DCM, FFM)

PSRフライバックの設計

- ・TIのPSRフライバックの“シンプル”な設計フロー
- ・トランス設計の考慮事項 - 巻き線比, L_{MAG}
- ・回路設計の考慮事項 - V_{SW} クランプ, RCスナバ
- ・設計リソース

PSRフライバックの制御方式

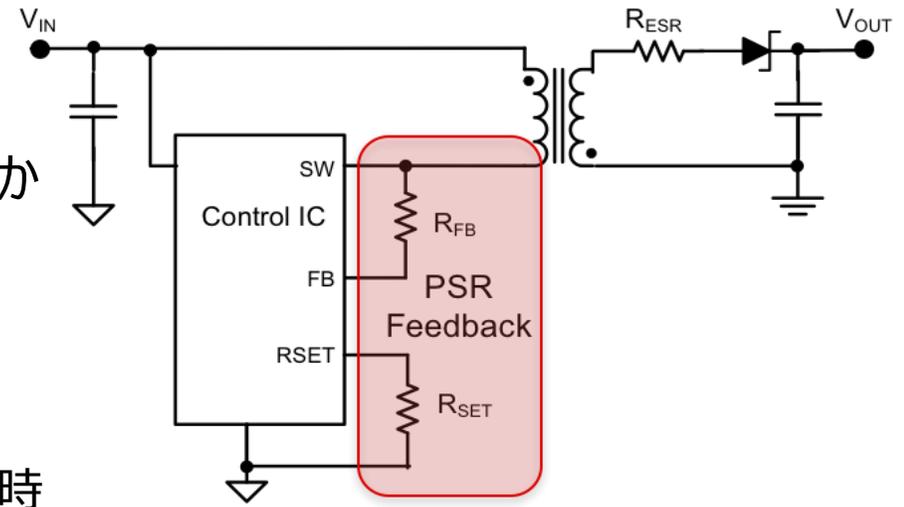
負荷に応じて、非連続導通モード(DCM)と境界導通モード(BCM)のどちらかを採用します

BCM : 中負荷から最大負荷

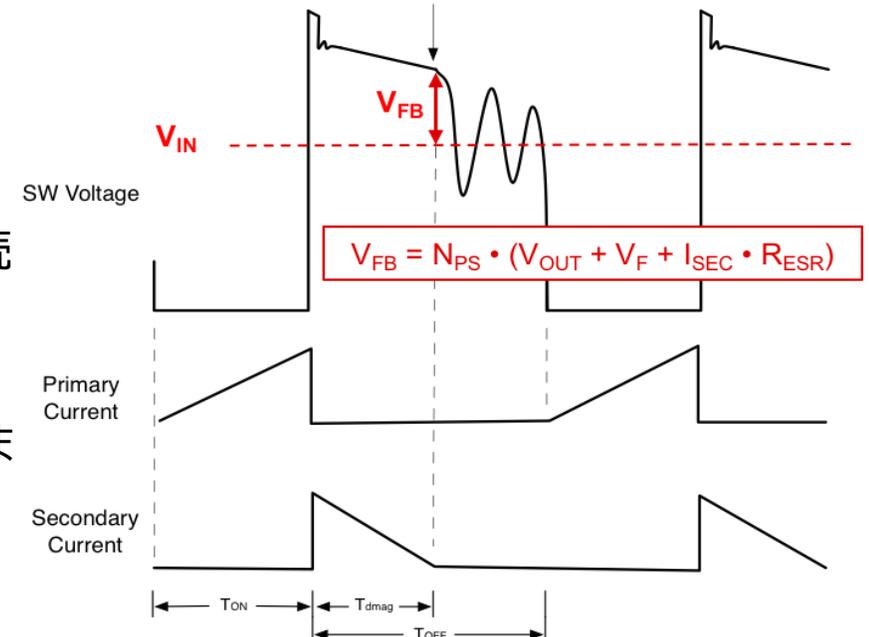
- 2次側電流が0に達した時点でスイッチをオンにします (ZCS)
- 1次側ピーク電流が、内部エラーアンプのCOMP出力で設定した水準に達した時点で、スイッチをオフにします
- 負荷の増加に伴ってピーク電流が大きくなると、 F_{SW} は低くなります

DCMとFFM(周波数フォールドバック・モード) : 無負荷 or 軽負荷

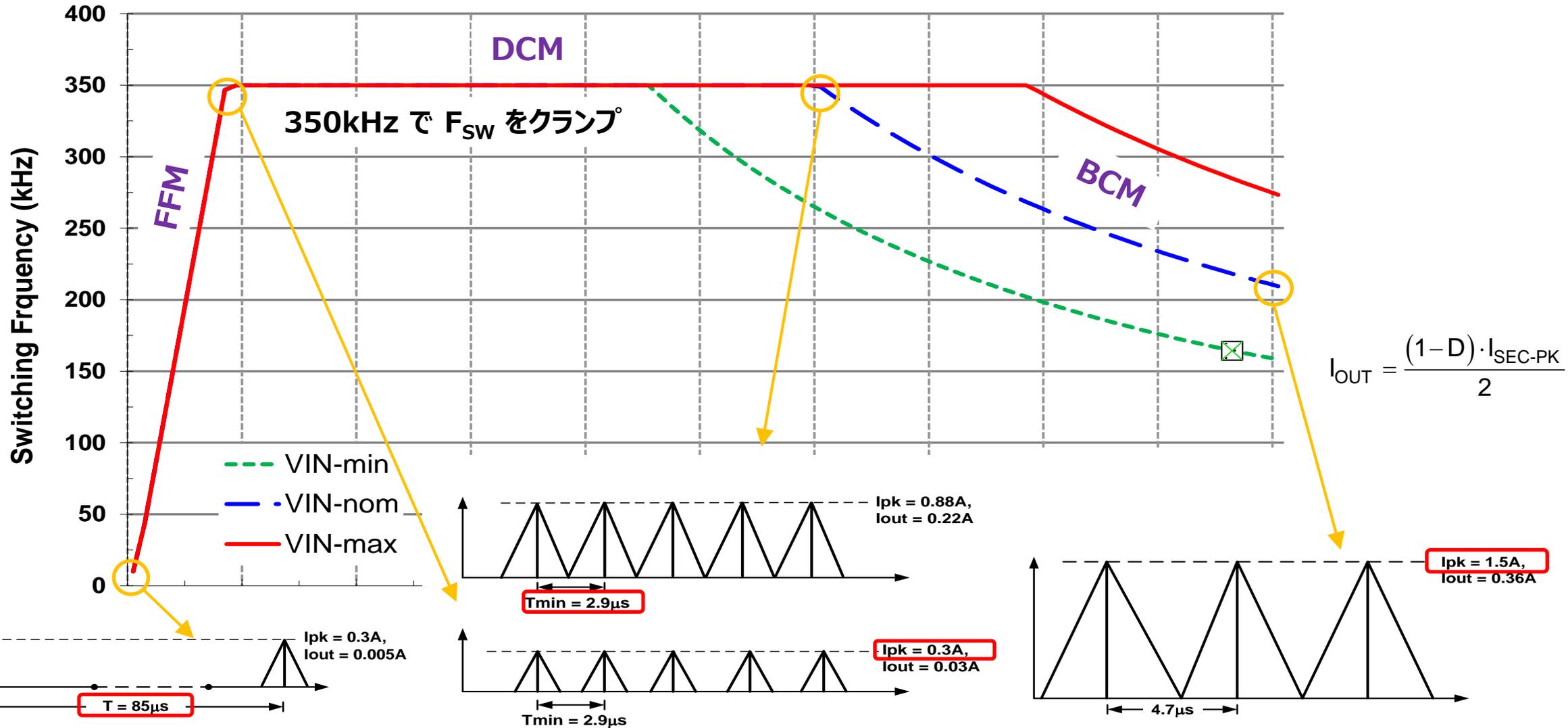
- COMPで設定したピーク電流は、最小レベルまで減少します (20%)
- F_{SW} と出力電流を減らすために、スイッチのオフ時間を長くします(DCM : 非連続導通モード動作)
- 最大のオフ時間は、約12kHz という DCM の最小 F_{SW} を設定します
- 最小のピーク電流と F_{SW} によって、全負荷の約0.5%という最小負荷要件が決まります



2次側電流がゼロ付近の時に、 V_{IN} を基準として V_{SW} の相対値をセンス



PSRフライバックの各動作モードにおける F_{SW} vs I_{OUT} の関係



PSRフライバックに関する計算式

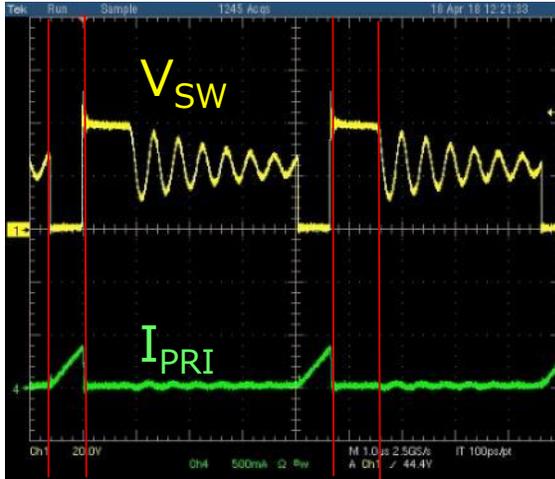
モード	BCM	DCM	FFM
D_1	$D_1 = \frac{(V_{OUT} + V_D) \cdot N_{PS}}{V_{IN} + (V_{OUT} + V_D) \cdot N_{PS}}$	$D_1 = \frac{\sqrt{2 \cdot I_{OUT} (V_{OUT} + V_D) \cdot F_{SW} \cdot L_{MAG}}}{V_{IN}}$	$D_1 = \frac{L_{MAG} \cdot I_{SW-PK(FFM)} \cdot F_{SW(FFM)}}{V_{IN}}$
I_{SW-PK}	$I_{SW-PK(BCM)} = \frac{2 \cdot V_{OUT} \cdot I_{OUT}}{\eta \cdot V_{IN} \cdot D_1}$	$I_{SW-PK(DCM)} = \sqrt{\frac{2 \cdot I_{OUT} \cdot (V_{OUT} + V_D)}{L_{MAG} \cdot F_{SW-DCM}}}$	$I_{SW-PK(FFM)} = \frac{I_{SW-PK(max)}}{5} = 0.3 \text{ A}$
F_{SW}	$F_{SW(BCM)} = \frac{1}{I_{SW-PK} \cdot \left[\frac{L_{MAG}}{V_{IN}} + \frac{L_{MAG}}{N_{PS} \cdot (V_{OUT} + V_D)} \right]}$	$F_{SW(DCM)} = F_{CLAMP} = 350 \text{ kHz}$	$F_{SW(FFM)} = \frac{I_{OUT(FFM)}}{t_{OFF(FFM)} \cdot N_{PS} \cdot I_{SW-PK(FFM)} / 2}$
t_{OFF}	$t_{OFF(BCM)} = \frac{L_{MAG} \cdot I_{SW-PK(BCM)}}{N_{PS} \cdot (V_{OUT} + V_D)}$	$t_{OFF(DCM)} = \frac{L_{MAG} \cdot I_{SW-PK(DCM)}}{N_{PS} \cdot (V_{OUT} + V_D)}$	$t_{OFF(FFM)} = \frac{L_{MAG} \cdot I_{SW-PK(FFM)}}{N_{PS} \cdot (V_{OUT} + V_D)}$
I_{OUT}	$I_{OUT(BCM)} = \frac{t_{OFF} \cdot I_{SW-PK(BCM)} \cdot N_{PS} \cdot F_{SW(BCM)}}{2}$	$I_{OUT(DCM)} = \frac{t_{OFF} \cdot I_{SW-PK(DCM)} \cdot N_{PS} \cdot F_{SW(DCM)}}{2}$	$I_{OUT(FFM)} = \frac{t_{OFF} \cdot I_{SW-PK} \cdot N_{PS} \cdot F_{SW(FFM)}}{2}$

$$I_{OUT(BCM)max} = \frac{\eta}{2} \frac{I_{SW-PK(max)}}{\frac{V_{OUT}}{V_{IN}} + \frac{1}{N_{PS}}}$$

PSRフライバックの各動作モード

D_1 = スイッチ導通のデューティ・サイクル
 D_2 = ダイオード導通(消磁)のデューティ・サイクル
 $D_1 + D_2 \leq 1$

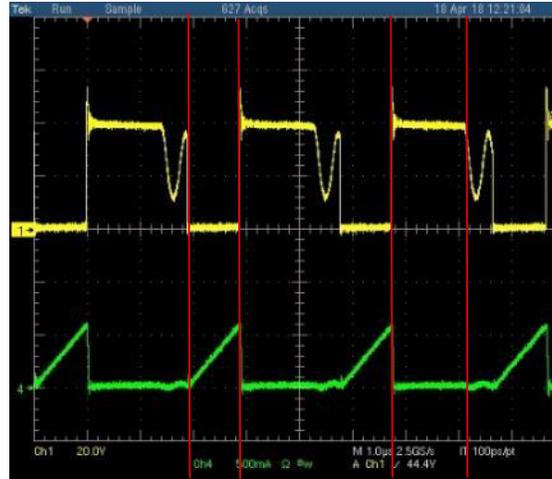
FFM (可変周波数 DCM)



D_1

D_2

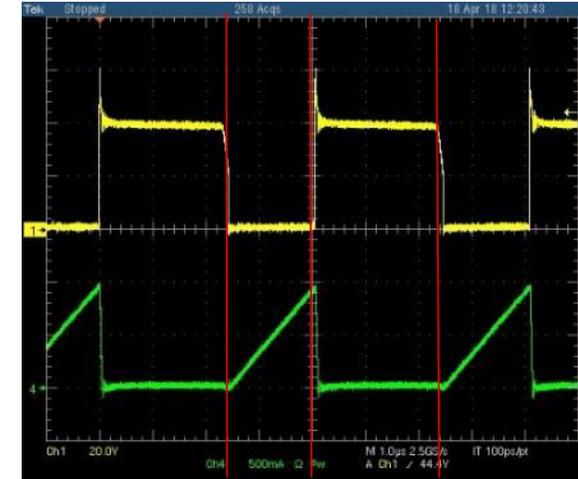
DCM



D_1

D_2

BCM



D_1

D_2

CCMと比べた場合のDCM/BCMの長所

- より小さいスイッチング損失
 - ダイオードの逆回復損失なし
 - 電流がゼロのときにMOSFETがターンオン
- L_{MAG} の値がより小さい (リップルがより大きい)
 - より少ない巻線、より小さいDCRを選択可
- 1次システム
 - スローブ補償またはRHPZ(右半平面のゼロ)が無い

CCMと比べた場合のDCM/BCMの短所

- より大きい導通損失
- より大きいコア損失
- 可変の F_{SW} (動作ポイントはこの周波数に依存)
- EMI フィルタがより大型化する可能性

目次

絶縁型DC/DC

- ・絶縁が必要とされる例
- ・絶縁型電源トポロジー概要
- ・PSRフライバック

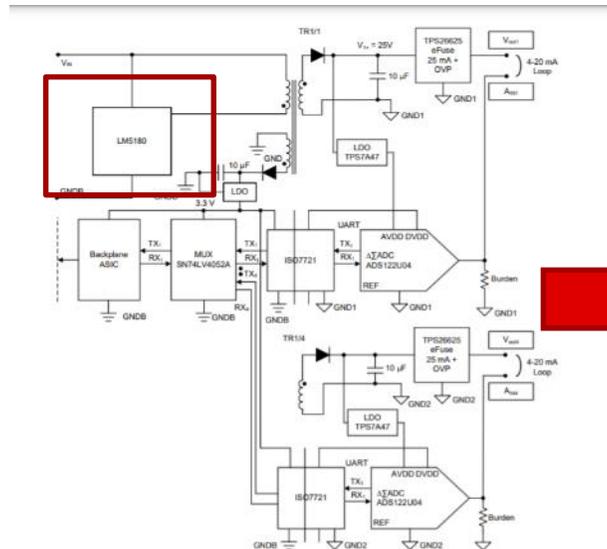
PSRフライバック

- ・PSRフライバックの制御方式
- ・動作モード (BCM, DCM, FFM)

PSRフライバックの設計

- ・TIのPSRフライバックの“シンプル”な設計フロー
- ・トランス設計の考慮事項 - 巻き線比, L_{MAG}
- ・回路設計の考慮事項 - V_{SW} クランプ, RCスナバ
- ・設計リソース

TIのシンプルな設計フロー



LM25183/4-Q1 PSR Flyback Converter Design Tool

Input Box

Terms Of Use

Step 1: Operating Specifications

Input Voltage - Min, V _{IN_min}	5 V
Input Voltage - Max, V _{IN_max}	13.5 V
Input Voltage - Min, V _{IN_min}	5 V
Output Voltage, V _{OUT}	12 V
Rated Output Current, I _{OUT}	0.5 A

Step 2: Flyback Transformer

Inductor Inductance, L _{sec}	65 µH
Magnetizing Inductance, L _{mag}	7 µH
Primary Winding DCR	48 mΩ
Secondary Winding DCR	48 mΩ
Pr:Sec Leakage Inductance	75 nH
Transformer Turns Ratio, Pri:Sec	1:1
Diode Max Rise Voltage (V _{DRM})	54 V
Diode Cap of Peak	33.3 nF
Max Output Current (V _{OUT})	0.5 A
Primary Winding DCI Loss (W)	0.1 W
Secondary Winding DCI Loss (W)	0.1 W
Pr:Sec Primary Current (A)	0.5 A
Pr:Sec Secondary Current (A)	0.5 A

Step 3: Input & Output Capacitors

Input Capacitance, C _{in}	4.7 µF
Input Capacitor ESR	3 mΩ
Output Capacitance, C _{out}	47 µF
Output Capacitor ESR	3 mΩ
Min. Input Capacitance	25 µF
Output Capacitance, C _{out}	47 µF
Output Capacitor ESR	3 mΩ
Rated Output Voltage, V _{OUT}	12 V

Step 4: Feedback, Soft-start, TC, UVLO

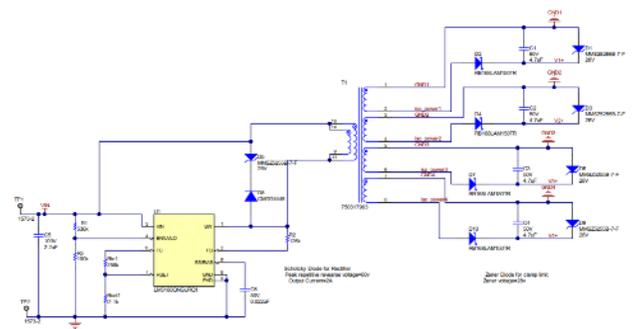
Recommended Feedback Resistor	52.2 kΩ
Selected Feedback Resistor, R _{FB}	59k Ω
Soft-Start Capacitance	10 µF
Soft-Start Time	38 µs
Soft-Start Capacitance, C _{SS}	4.7 µF
V _{OUT} Thermal Compensation	0
Load Voltage Drop Thermal Coefficient	13.5 mV/C
Thermal Compensation Slope (mV/C)	243 mV/C
Input UVLO Capacitance	10 µF
Input UVLO Turn-Off Threshold	4.5 V
Capacitor of Turn-On	50 nF
Input UVLO Resistor, R _{UVLO}	50 kΩ

Step 5: Power Losses & Thermal

Diode Drop Voltage Drop, V _{DS(on)}	0.25 V
Diode Drop Voltage Drop, V _{DS(on)}	0.25 V
Excitation Thermal Impedance, Z _{th(j-c)}	17 °C/W
Ambient Temperature, T _a	25 °C
LM25183/4-Q1 Power Dissipation at Full Load, P _{tot}	0.22 W
LM25183/4-Q1 Junction Temperature at Full Load, T _j	32 °C

Graphs showing:

- Load Regulation: V_{IN_min} (green), V_{IN_max} (blue), V_{IN_nom} (red) vs Load Current (A).
- Efficiency vs Load Current (A): η_{PSR} (red), η_{PSR+LDO} (blue), η_{PSR+LDO+ASDC} (green).



デザイン・カルキュレータ

カルキュレータ

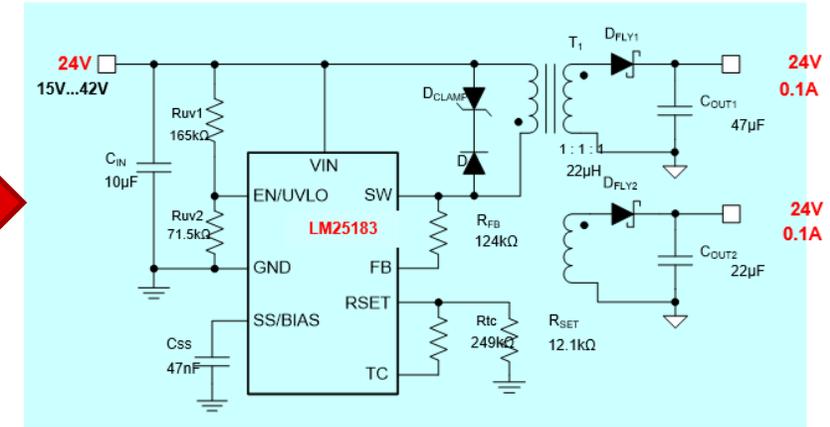
電圧・電流の要求仕様入力

Step 1: Operating Specifications		LM25183
Input Voltage - Min, $V_{IN(min)}$	15 V	
Input Voltage - Nom, $V_{IN(nom)}$	24 V	
Input Voltage - Max, $V_{IN(max)}$	42 V	
Single Output or Dual Outputs	DUAL	
Output Voltage, V_{OUT1}	24 V	
Rated Output Current, I_{OUT1}	0.1 A	
Output Voltage, V_{OUT2}	24 V	
Rated Output Current, I_{OUT2}	0.1 A	

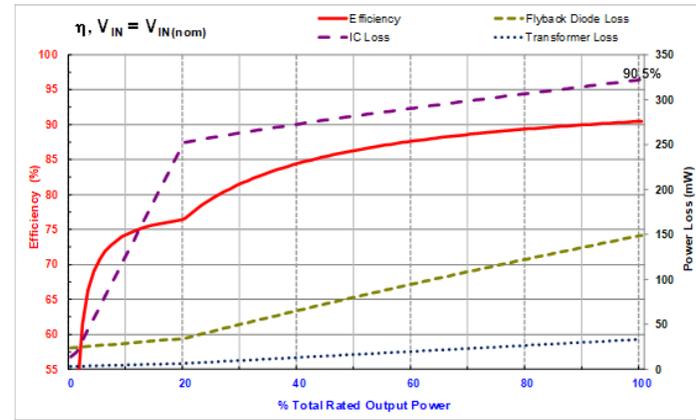
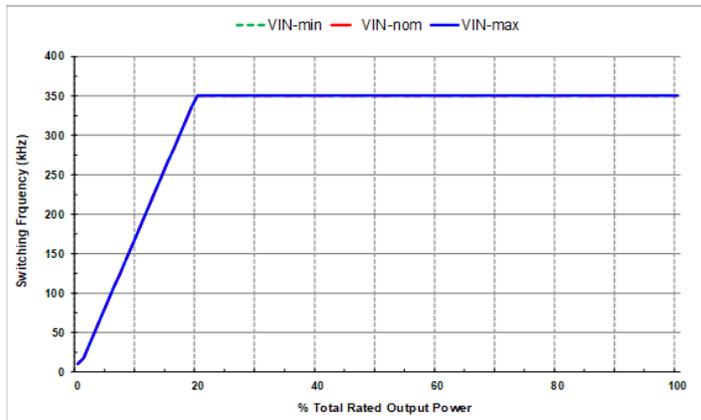
トランスの仕様入力

Step 2: Flyback Transformer	
Minimum Magnetizing Inductance	18.2 μ H
Magnetizing Inductance, L_{MAG}	22 μ H
Primary Winding DCR	40 m Ω
Secondary Winding #1 DCR	40 m Ω
Secondary Winding #2 DCR	100 m Ω
Pri-Sec Leakage Inductance	75 nH
Turns Ratio, PRI : SEC1	1:1
Turns Ratio, SEC1 : SEC2	1
Max Output Power at $V_{IN(min)}$	10.44 W
Duty Cycle at $V_{IN(min)}$	61.9 %

回路図と BOM の取得



性能の評価



Ref Des	Value	Description	Size	Part Number	MFR	Footprint (mm)	Area (mm ²)
C _{IN}	10 μ F	Capacitor, Ceramic, 10 μ F, 100V, X7R, 10%	1210	Std	Std	3.2 x 2.5	8.0
C _{OUT1}	47 μ F	Capacitor, Ceramic, 47 μ F, 50V, X7R, 10%	1210	Std	Std	3.2 x 2.5	8.0
C _{OUT2}	22 μ F	Capacitor, Ceramic, 22 μ F, 50V, X7R, 10%	1210	Std	Std	3.2 x 2.5	8.0
C _{SS}	47nF	Capacitor, Ceramic, 47nF, 50V, X7R, 10%	0402	Std	Std	1.0 x 0.5	0.5
D _{FLY1}	Diode	Rectifying Diode, Schottky	SMA	Std	Std	5.0 x 2.5	12.5
D _{FLY2}	Diode	Rectifying Diode, Schottky	SC0D23	Std	Std	3.6 x 1.8	6.5
D _r	Diode	Clamp Circuit Diode, Fast Recovery	SC0D23	Std	Std	3.6 x 1.8	6.5
D _{CLAMP}	24V	Clamp Circuit Diode, Zener, 24V	SC0D23	Std	Std	3.6 x 1.8	6.5
D _{OUT}	26.4V	Output Clamp Diode, Zener, 27V	SC0D23	Std	Std	1.6 x 0.8	1.3
R _{SET}	12.1k	Resistor, Chip, 12.1k Ω , 1/16W, 1%	0402	Std	Std	1.0 x 0.5	0.5
R _{FB}	124k	Resistor, Chip, 124k Ω , 1/16W, 1%	0402	Std	Std	1.0 x 0.5	0.5
R _{UV1}	165k	Resistor, Chip, 165k Ω , 1/16W, 1%	0402	Std	Std	1.0 x 0.5	0.5
R _{UV2}	71.5k	Resistor, Chip, 71.5k Ω , 1/16W, 1%	0402	Std	Std	1.0 x 0.5	0.5
R _{TC}	249k	Resistor, Chip, 249k Ω , 1/16W, 1%	0402	Std	Std	1.0 x 0.5	0.5
T ₁	22 μ H	Transformer, 22 μ H, 1:1:1, 40m Ω Pri DCR, 3A Isat	10mm x 10mm	Various	Various	10 x 10	100
U ₁	LM25183	IC, LM25183, PSR Flyback Converter, 4.5V-42V Input	WSON-8	LM25183NGUR	TI	4.0 x 4.0	16.0

Total Solution Size (buffered by 25%) = 220.4 mm² =

トランス – 巻線比が与えるDuty cycleと $P_{OUT(max)}$ への影響

ステップ1. 巻線比(初期推定値)を選択します。

$$N_{PS} = \frac{N_P}{N_S} = \frac{D_{MAX}}{1 - D_{MAX}} \cdot \left(\frac{V_{IN(min)}}{V_{OUT} + V_D} \right)$$

$D_{MAX} = V_{IN(min)}$ 時のデューティ・サイクル → 60 ~ 70% に設定

ステップ2. $V_{SW(max)}$ と V_{D-RRM} を確認します

$$V_{SW(max)} = V_{IN(max)} + N_{PS} \cdot (V_{OUT} + V_D) + V_{SW(spike)}$$

$$V_{D-RRM} = V_{OUT} + \frac{V_{IN(max)}}{N_{PS}} + V_{D(spike)}$$

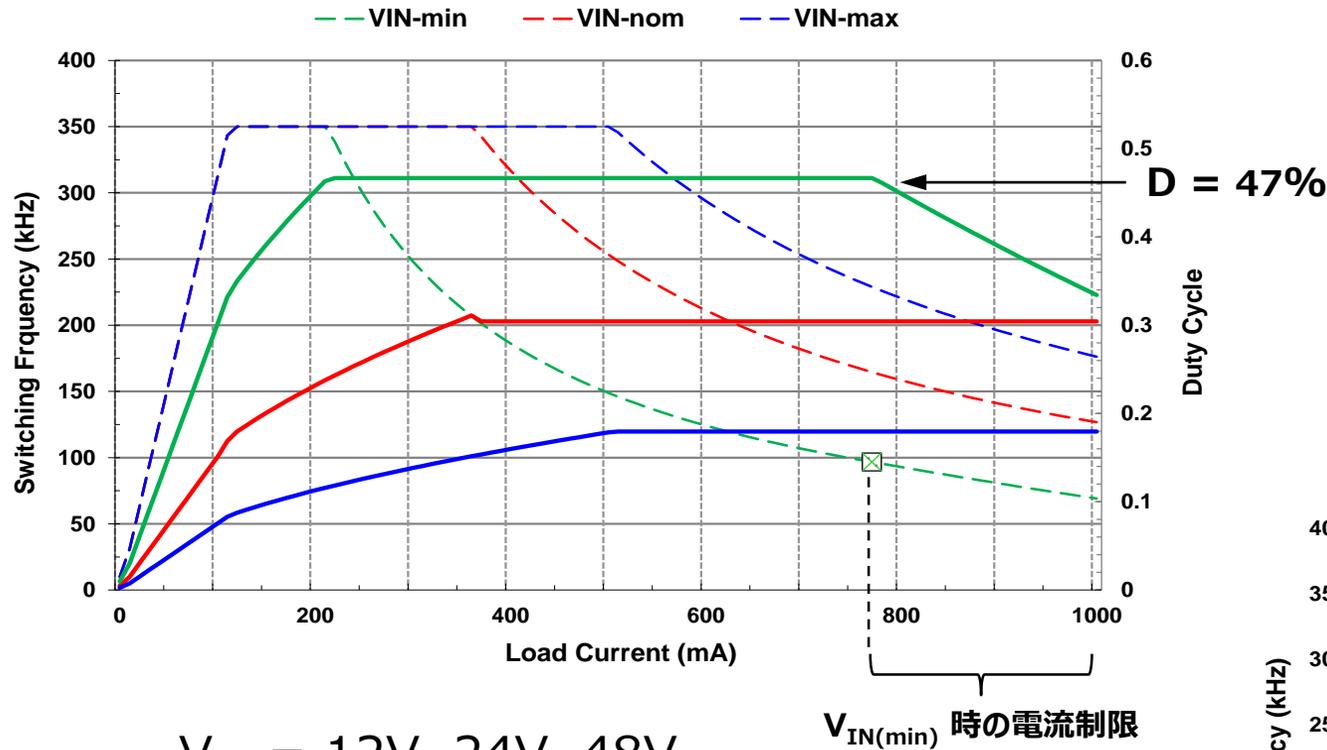
ステップ3. $V_{IN(min)}$ 時の $P_{OUT(max)}$ と F_{SW} を確認します。(LM5180の場合、 $I_{SW-PK(max)} = 1.5A(Typ)$)

$$I_{OUT(max)} = \frac{\eta}{2} \frac{I_{SW-PK(max)}}{\frac{V_{OUT}}{V_{IN}} + \frac{1}{N_{PS}}}$$

$$P_{OUT(max)} = \frac{L_{MAG} \cdot I_{SW-PK}^2}{2} \cdot F_{SW(BCM)} = \frac{I_{SW-PK(BCM)}}{2 \cdot \left[\frac{1}{V_{IN}} + \frac{1}{N_{PS} \cdot (V_{OUT} + V_D)} \right]}$$

ステップ4. (a) $D < \sim 75\%$ 、(b) $V_{SW(max)} < 95V$ を条件として、 $V_{IN(min)}$ 時に P_{OUT} が過度に小さい場合、 N_{PS} を徐々に大きくして繰り返します

トランス – 巻線比が与えるDuty cycleと $P_{OUT(max)}$ への影響

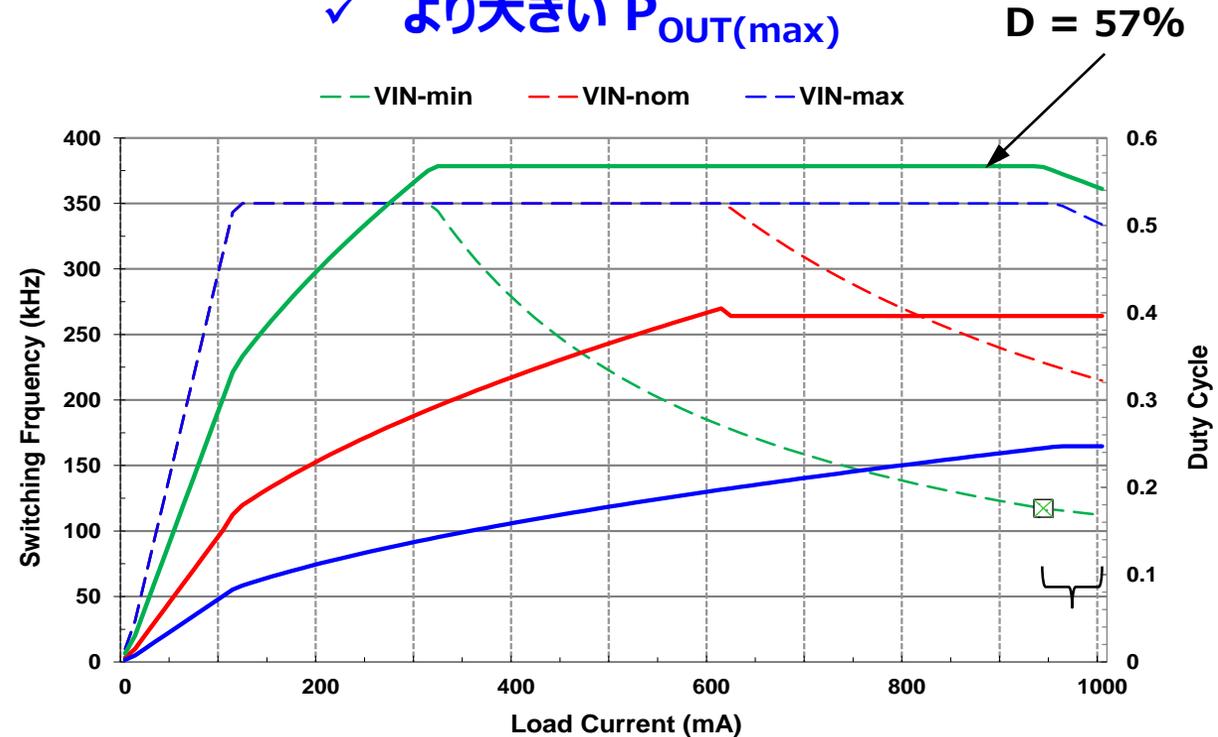


$V_{IN} = 12V, 24V, 48V$
 $V_{OUT} = 5V, I_{OUT} = 1A$
 $N_{PS} = 2 (2:1), L_{MAG} = 40\mu H$

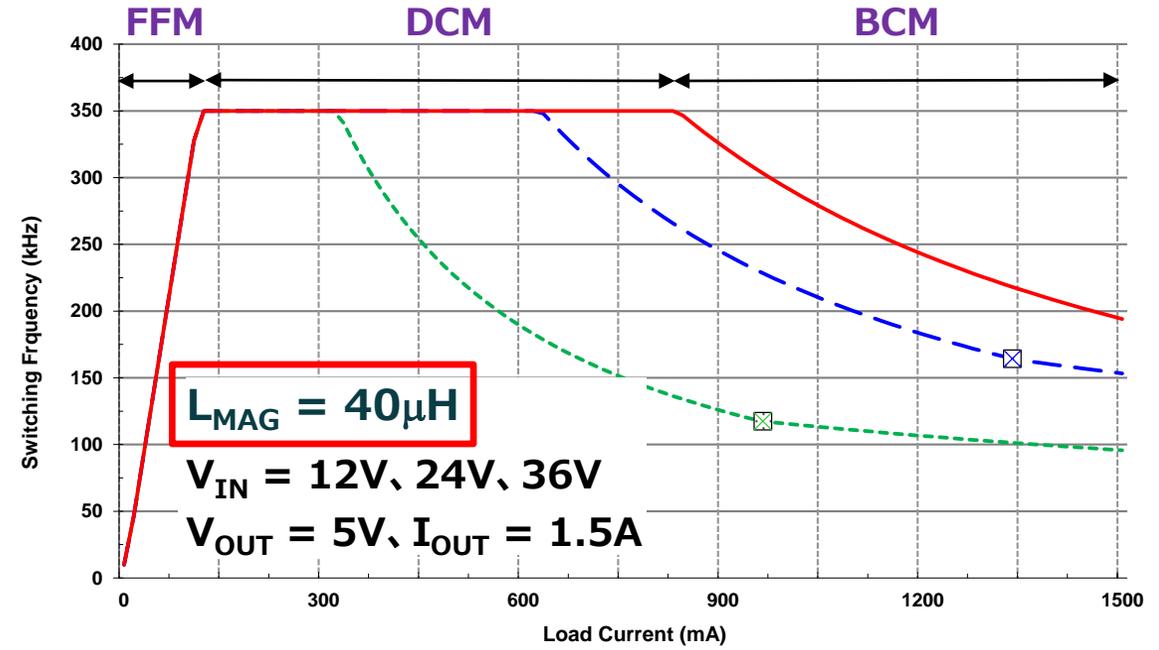
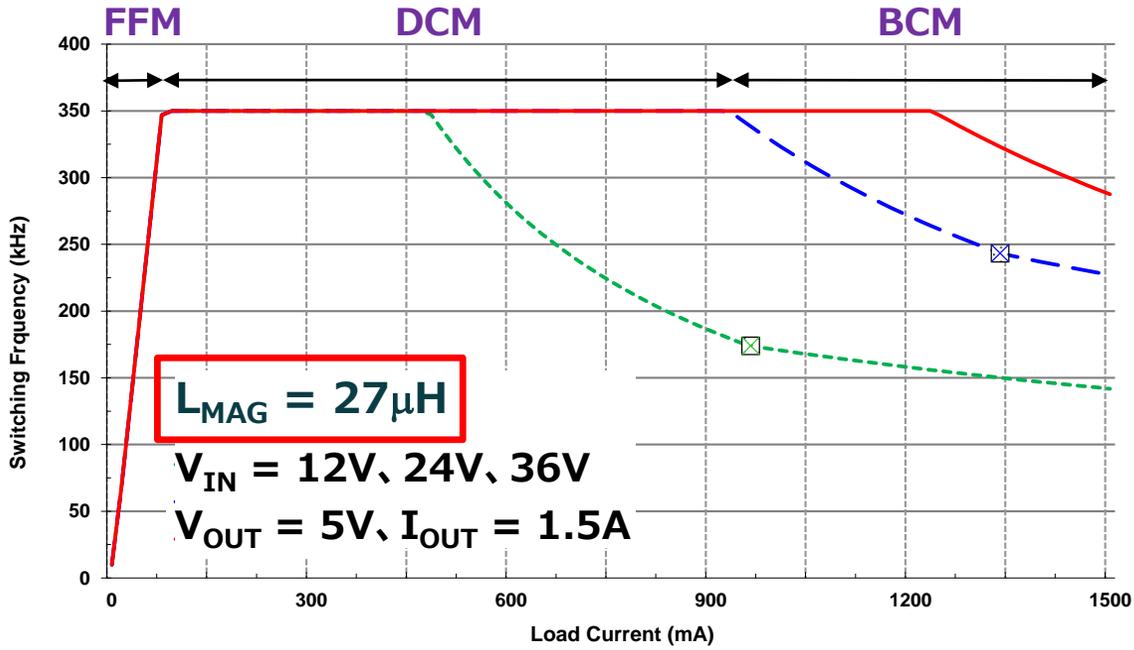
- X 60V ダイオード
- X より大きい C_{OUT}
- X より小さい $P_{OUT(max)}$

$V_{IN} = 12V, 24V, 48V$
 $V_{OUT} = 5V, I_{OUT} = 1A$
 $N_{PS} = 3 (3:1), L_{MAG} = 40\mu H$

- ✓ 40V ダイオード
- ✓ より小さい C_{OUT}
- ✓ より大きい $P_{OUT(max)}$



トランス – L_{MAG} が与えるBCM/DCM/FFM動作の境界



L_{MAG} の値が小さい → DCMの動作範囲拡大、漏れインダクタンス減少
(リップル電流の増大)

L_{MAG} の値が大きい → BCM/FFMの動作範囲拡大、漏れインダクタンス増加 → 効率低下の可能性

リーケージ・エネルギーの管理

ツェナー・クランプ / RCスナバ

- $V_{IN(max)}$ が高い場合、**ツェナー・クランプ**を使用します
⇒ $V_{SW(max)} < V_{SW(rated)} = 95V$ を維持します
- $V_{IN(min)}$ 時のリーケージ・リング持続時間が、最小ブランキング時間の仕様である約300nsを上回っている場合、**RCスナバ**を使用します

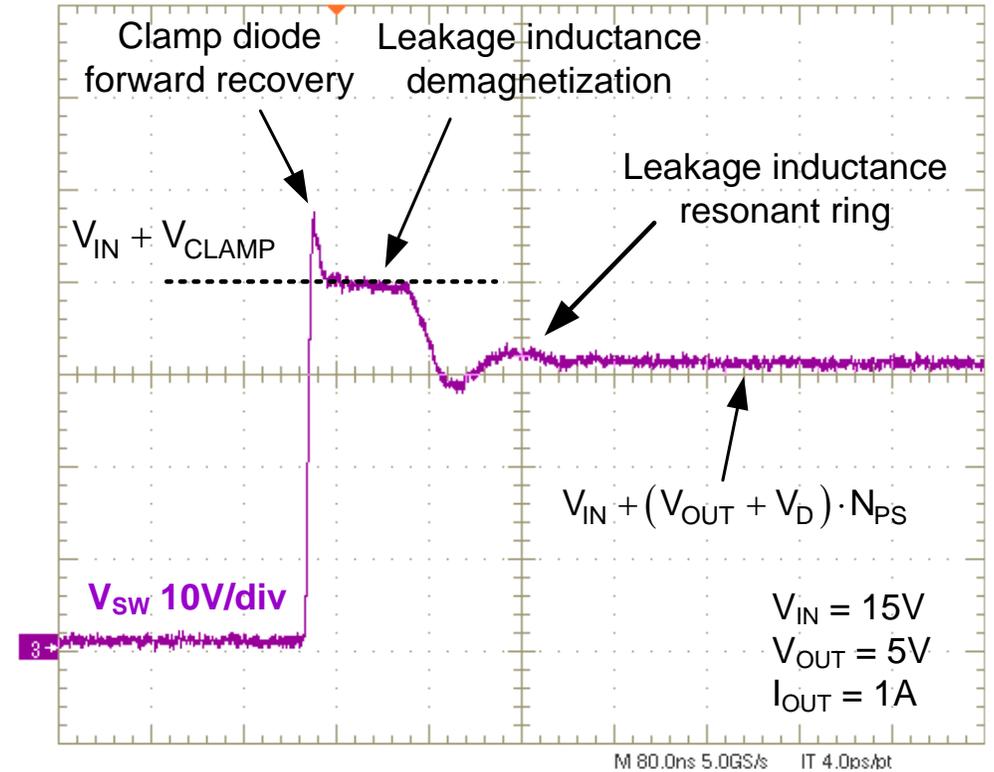
$$P_{CLAMP} \approx P_{LEAK} = \frac{L_{LEAK} \cdot I_{SW-PK}^2}{2} \cdot F_{SW}$$

ここで

L_{LEAK} = 1次側を基準とした漏れインダクタンス
(2次側を短絡して測定)

I_{SW-PK} = 最大負荷時の1次側ピーク電流

ワースト・ケース : I_{SW-PK} 電流が電流制限に近い値



$$V_{CLAMP} < V_{SW(rated)} - V_{IN(max)}$$

ターゲット : $V_{CLAMP} \approx 1.5 \cdot N_{PS} \cdot (V_{OUT} + V_D)$

$$V_{SW-LK-SPIKE} \approx I_{SW-PK} \sqrt{\frac{L_{LEAK}}{C_{OSS} + C_{TR}}}$$

PSRフライバックの実装 – トランス素子設計の検討事項

磁気素子ベンダとの協議事項

主な仕様	Symbol
巻数比	N_{PS}
スイッチング周波数	F_{SW}
1次インダクタンス	L_{MAG}
飽和電流 (20°C 時)	I_{SAT}
1 次側と 2 次側の DCR (20°C 時)	R_{PRI} 、 R_{SEC}
巻線の構造 - インターリーブの有無、層数	
リーケージ・インダクタンス	L_{LEAK}
巻線間の静電容量	C_{P-S}
高電圧試験の上限 (絶縁耐性)	$V_{ISO(PRI-SEC)}$
絶縁定格 - 機能絶縁 / 基礎絶縁 / 強化絶縁	IR
動作温度範囲	$T_{AMB} + T_{RISE}$
機械的特性 - ピン配置、フットプリント、高さ	$L \times W \times H$



目的
フライバックのデューティ・サイクル範囲を最適化
コア損失を制御
PSR フライバックのモード境界を設定
磁気飽和を防止
銅損を低減
R_{AC} と L_{LEAK} を最小化
電力損失と電圧スパイクを低減
同相 EMI を低減
堅牢な設計を実現
安全性要件に準拠
信頼性を保証
サイズとコストを最小化

公開済みの各種リファレンス・デザイン

TIDA-010006

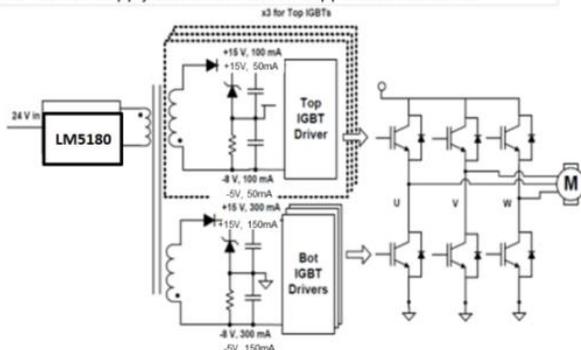
Isolated IGBT gate driver power supply using integrated switch PSR flyback controller

Features

- Isolated power supply for IGBT gate driving implemented in Fly back topology using controller with built-in switch
- Supports 6 IGBT gate drivers for 3-phase inverter
- Four isolated voltage rails: +15V / -9V (or) +15V/-5V
- Operates with unregulated 24V ($\pm 20\%$) input
- Output power: 1Watt per IGBT
- Functional isolation of 1.5kV DC between primary and secondary's as well as secondary's
- 5KV withstand voltage for 1 minute

Benefits

- Compact design due to built-in switch
- Primary side regulation converter eliminates need for feedback circuitry, simplifies design
- Peak efficiency of $\sim 90\%$ at balanced full load
- High switching frequency reduces transformer size
- Power supply shutdown feature supports STO feature



Target Applications

- AC Inverters and Servo drives
- Solar and Wind Inverters
- UPS Systems

Tools & Resources

- TIDA-010006 and/or Tools Folder
- Design Guide
- Design Files: Schematics, BOM, Gerbers, Software, etc.
- Device Datasheets: LM5180

TIDA-020014

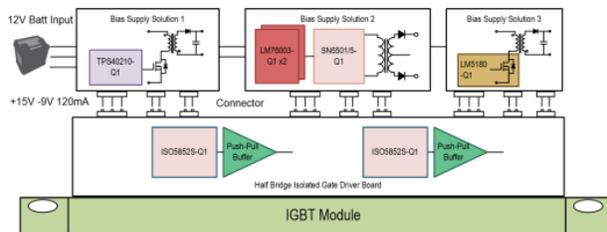
HEV/EV traction inverter power stage reference design with 3 types of IGBT/SiC bias supply solutions

Design Features

- 4.5V to 45V input, +15V and -9V outputs, configurable into +20V, -4V outputs
- Directly driven by 12V car battery with increased safety level
- Wide-Vin during very low dips in input voltage of 4.5V and up to 45V DC
- No Opto coupler
- Low IQ operation at no-load current
- High efficiency at light loads

Design Benefits

- A comprehensive design with multiple bias supply solutions for IGBT/SiC isolated gate drivers in HEV/EV
- Multiple solutions including PSR Flyback Converter, Flyback Controller, Buck + Push-pull
- Small size, compact, cost effective
- Plug in connection to IGBT driver board for easy HV evaluation
- Compatible Isolated Gate Driver board included for customer evaluation



Tools & Resources

- Expected complexity of the TI Design
 - # of IC's: 5 (LM5180-Q1, TPS40210-Q1, LM76003-Q1*2, SN6501-Q1/SN6505-Q1, LM74700-Q1*3)
 - # of passives: ~ 140 into 3 boards
 - PCB dimensions: $\sim 40\text{mm} \times 40\text{mm}$ each board
 - # of PCB layers: 2
 - Firmware needs: N/A

TI Information - Selective Disclosure

TIDA-020015

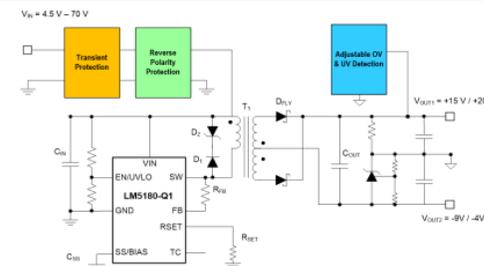
4.5V to 70V input bias supply with power stage reference design for Automotive IGBT/SiC gate drivers

Design Features

- Directly driven by 12V car battery which eliminates risk from intermediate power rail failure
- VOUT accuracy $\pm 1\%$ achievable
- VIN = 4.5V-70V, VOUT = +15V & -9V, $\sim 180\text{mA}$, 5% regulation to full load
- TA = -40°C to 125°C
- Boundary mode, quasi-resonant operation
- Internal loop compensation
- no need to extra clamping circuit, fits both 12V battery & 48V battery inputs
- Tested for ISO 7637-2:2004 conducted transient immunity compliance, including Load Dump

Design Benefits

- Easy-to-use, highly integrated, PSR flyback solution as Bias Power
- No opto-coupler or transformer auxiliary winding needed
- Low IQ operation at no-load current
- High efficiency at light loads
- Accurate VOUT regulation performance with sensing at zero current
- Low IQ operation and external BIAS rail option enable high efficiency at light loads



Tools & Resources

- Expected complexity of the TI Design
 - # of IC's: 2 (LM5180-Q1+LM74700-Q1)
 - # of passives: ~ 35
 - PCB dimensions: $\sim 40\text{mm} \times 40\text{mm}$
 - # of PCB layers: 2
 - Firmware needs: N/A

TI Information - Selective Disclosure

TIDACBL-0039 Intrinsic Safe Analog Input Module

Features

- 1 to 4 channel isolated Intrinsic Safe AI
- Supply for the Field Transmitters with output power limitation (short limited to 35mA)
- Input protected against miswiring (wiring to 24V)
- Transmitter supply: 26 +/-1V, Iout <35mA peak
- Input: short to L+ and GND protected, 24b accuracy

Benefits

- Short circuit protection on power output
- Mis-wiring protections on the Analog Input
- High-accuracy LM5180 allows to minimise heat dissipation from LDO (which can be low drop LDO)

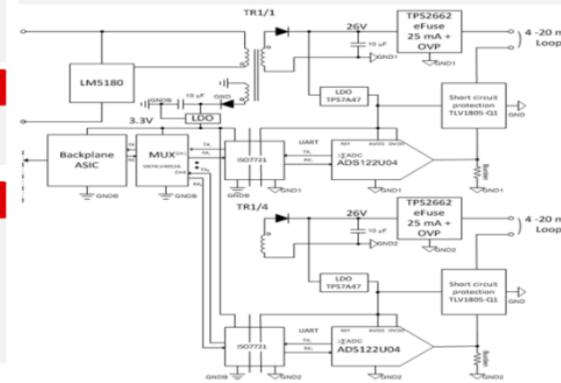
Applications

- Robotics Analog Input Module for IS application
- PLC Analog Input Module

Additional details

- Definer: Ingolf Franck -> Ben Su
- Field: Takeshi Sasaki
- Key devices: LM5180, TPS2662, ADS122U04
- Why is this design considered: IS AI and how to protect inputs from shorts
- Public market info: IS application fast growing in Factory Automation
- Technical status: Design phase

TI Information - Selective Disclosure



PSRフライバック関連の参考資料

[LM25184 Single-Output EVM User's Guide](#)

[LM5180 Single-Output EVM User's Guide](#)

[LM5180 Dual-Output EVM User's Guide](#)

[How an Auxless PSR Flyback Converter can Increase PLC Reliability and Density](#)

[Why Use PSR-Flyback Isolated Converters in Dual-Battery mHEV Systems](#)

[PSR Flyback DC/DC Converter Transformer Design for mHEV Applications](#)

[Flyback Transformer Design Considerations for Efficiency and EMI](#)

[Under the Hood of Flyback SMPS Designs](#)

まとめ

- **多くのアプリケーションにて、絶縁型電源を必要とします**
 - シグナル・コンディショニング回路(オペアンプ、DAC/ADC)向けの分割レール
 - 通信とセンサに関するシグナル・インテグリティ
 - 絶縁型ゲート・バイアスを必要とするゲート・ドライバ
- **PSRフライバックソリューション**
 - **以下のものを必要としない**シンプルで高性能な絶縁型電源
 - 高額なBOMコスト、多大な労力を要する設計サイクル、パフォーマンスの妥協
 - PSRフライバックに関連するTIの各種製品と設計リソースをご覧ください



©2022 Texas Instruments Incorporated. All rights reserved.

The material is provided strictly "as-is" for informational purposes only and without any warranty.
Use of this material is subject to TI's **Terms of Use**, viewable at [TI.com](https://www.ti.com)