

TI *Live!* POWER SUPPLY DESIGN SEMINAR

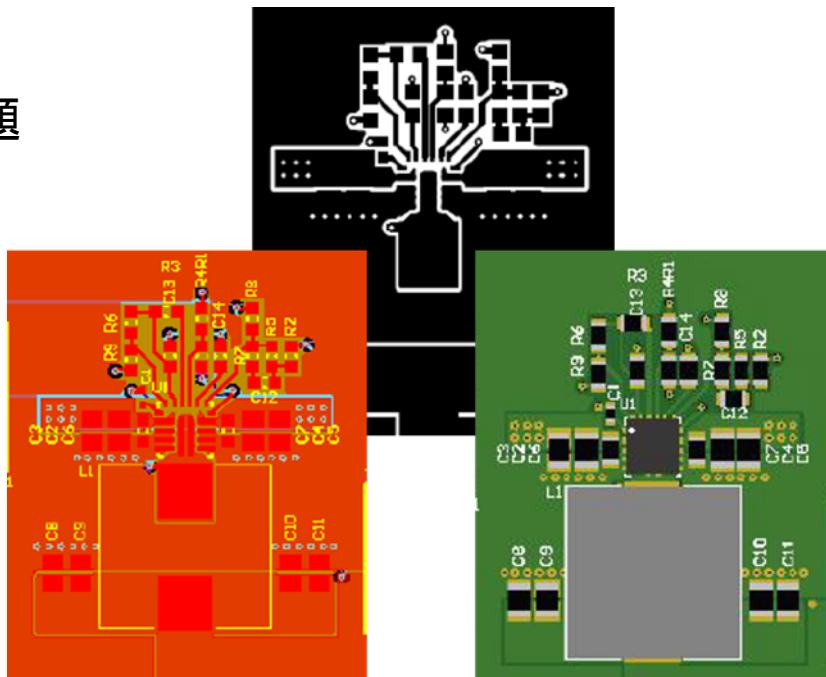
2022年3月16日

電源レイアウトでよくあるミスとその回避方法

佐藤健弘

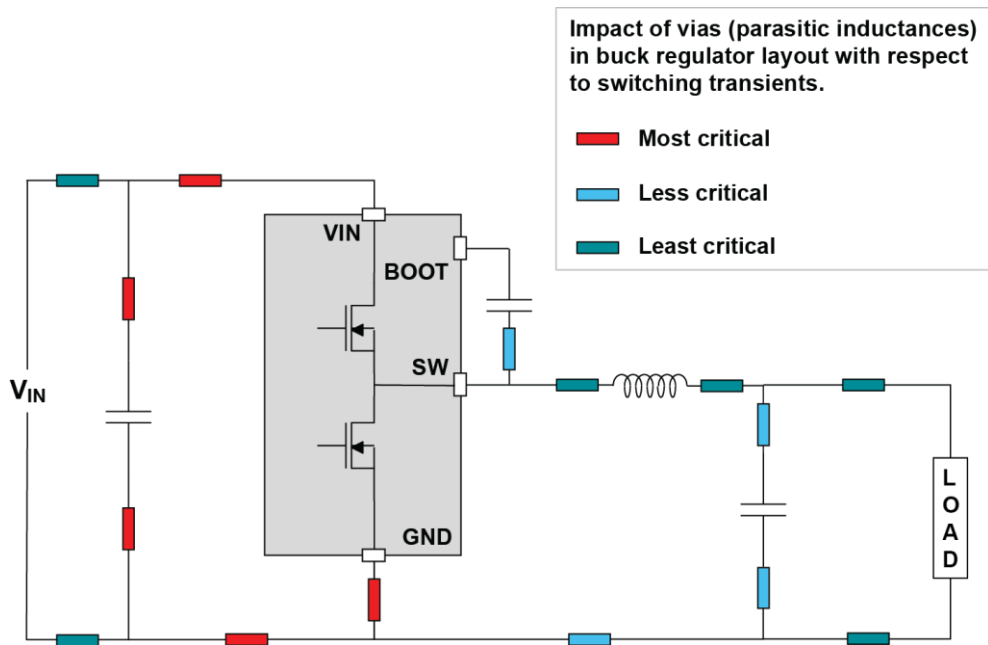
目次

- 良好なレイアウトの重要性
- 性能に関連する 10 種類の一般的な課題
 - テストやボードで起きている症状
 - 課題の識別
 - 問題に対する解決策
 - 追加のコメント
- まとめ

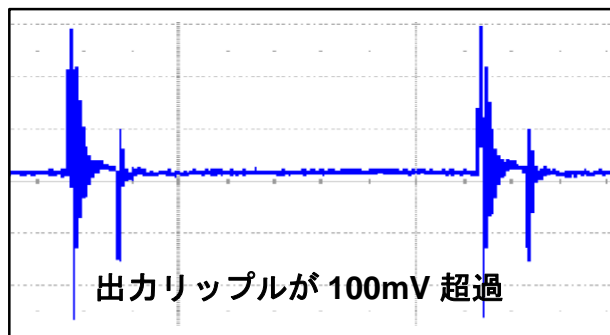
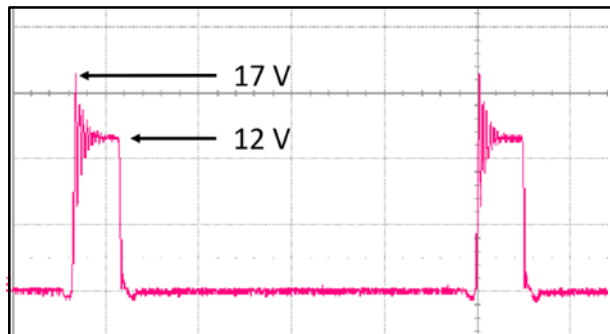


良好なレイアウトの重要性

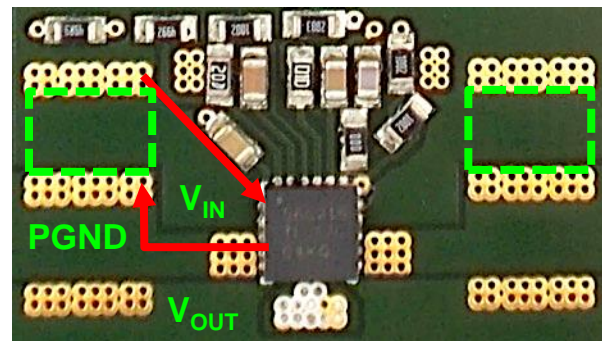
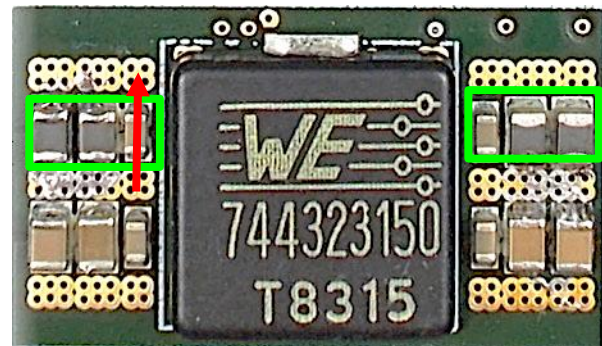
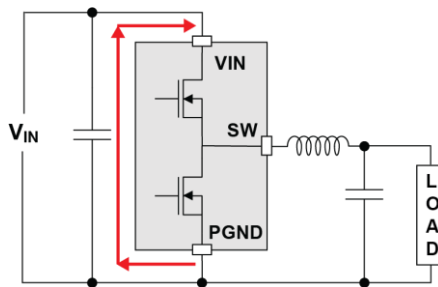
- 電源レイアウトは、レギュレータや受動部品の選定と同じぐらい重要です。
- 不十分なレイアウトを実施すると、寄生成分のL、C、Rが増加するほか、ノイズを拾いやすくなり、熱ストレスも増加します。
- 不十分なレギュレーション、EMI、出力リップル、不安定さ、過熱につながる可能性もあります。
- 後の段階でこれらの課題を修正しようとする、追加の部品や、場合によってはPCBの再設計が必要になることがあります。これらは開発の遅れやコストの上昇を招きます。



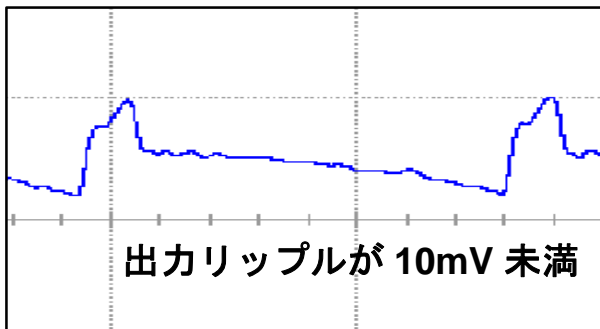
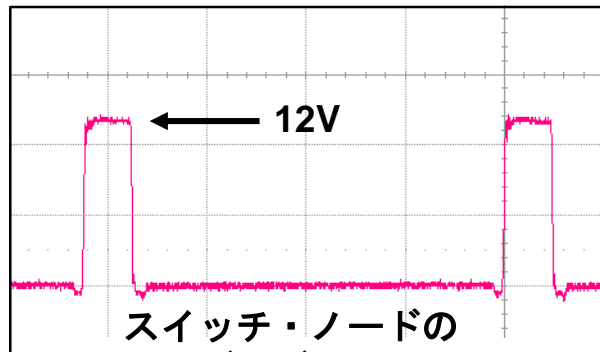
1. スイッチ・ノードのリングングを招く原因



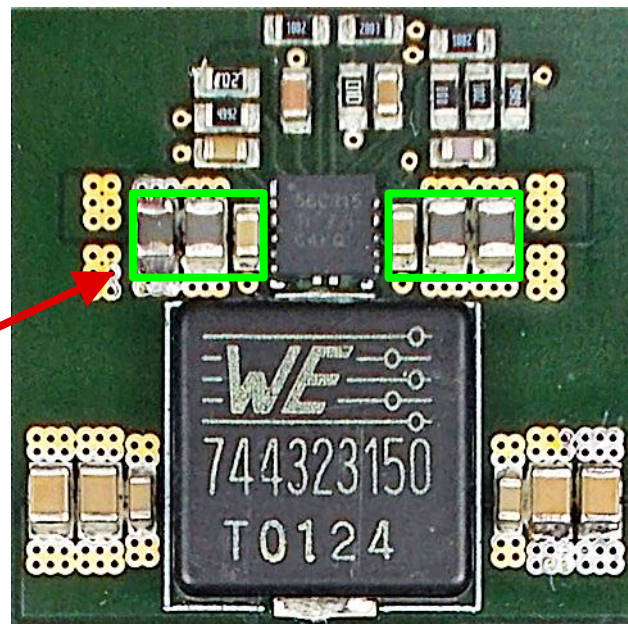
スイッチ・ノードのリングングは、EMI、スイッチに対する過電圧ストレス、過度な出力リップルやノイズの発生につながることがあります。



寄生インダクタンスを低減するための入力コンデンサの配置



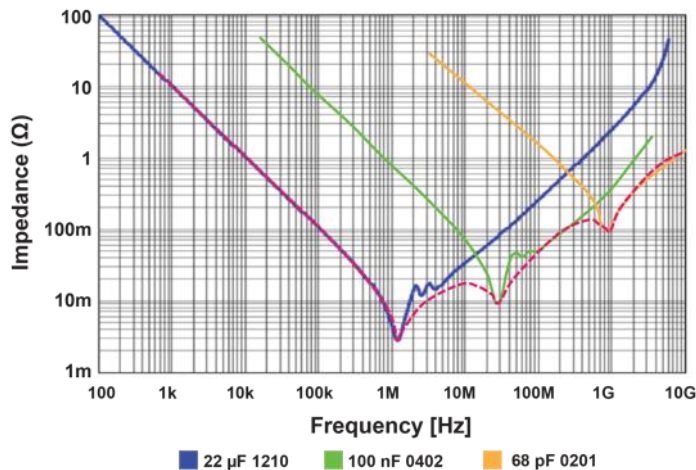
複数の入力コンデンサを V_{IN} と PGND のすぐ隣に配置します。



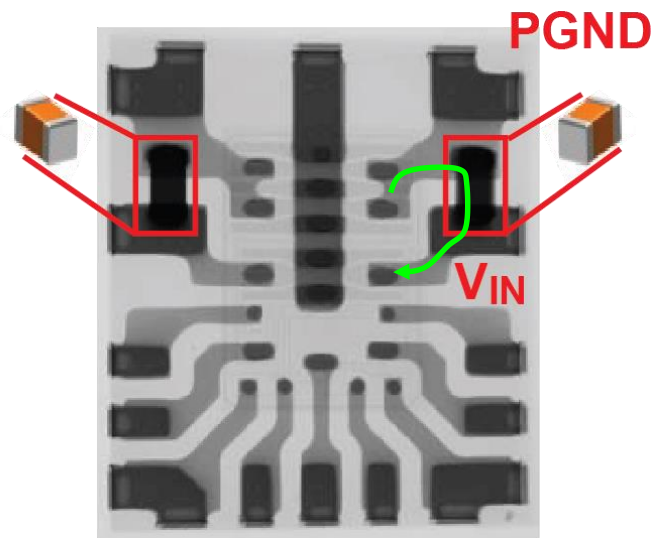
PCB 上面 (片面実装アセンブリ)

高周波バイパス・コンデンサ

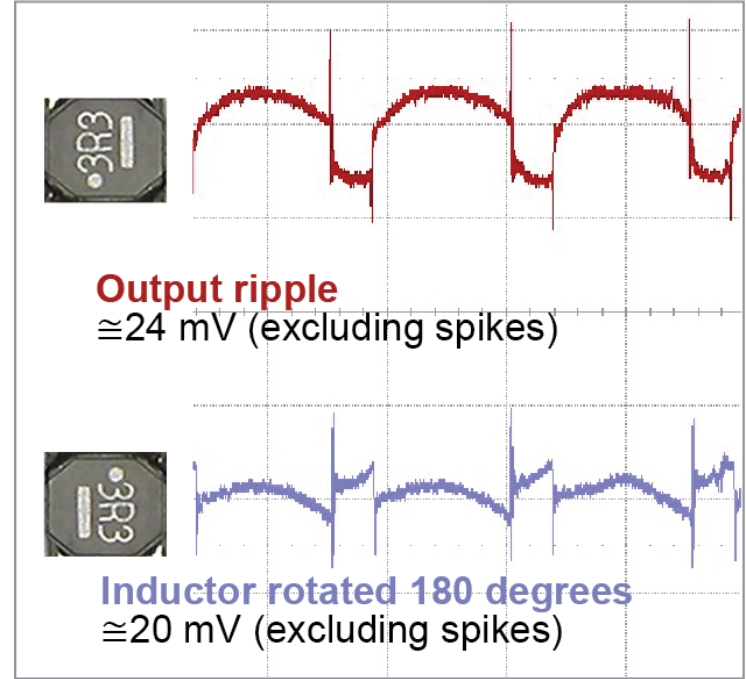
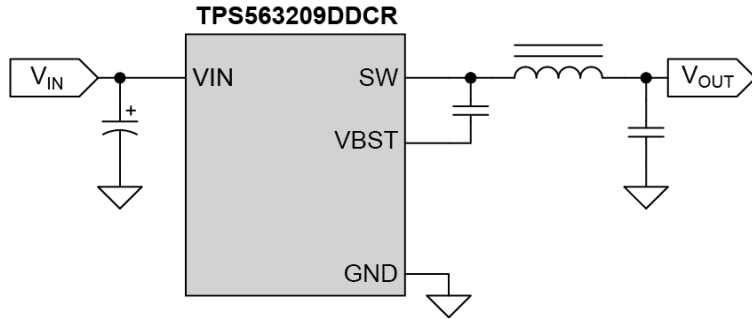
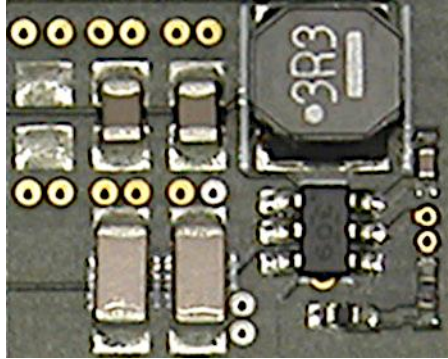
- 複数の高周波コンデンサを、 $V_{IN}/PGND$ のできるだけ近くに配置する必要があります。
- 小型サイズのケースに封止した複数の高周波コンデンサの特長：
 - 小さな ESL（等価直列インダクタンス）
 - 高周波域でより小さい Z_L



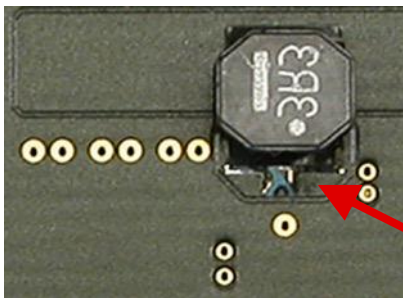
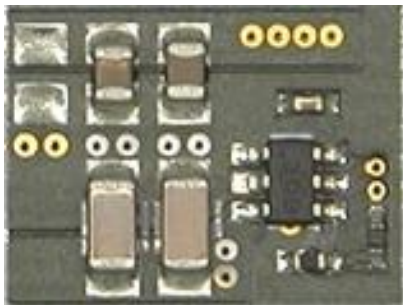
- LMQ61460 ではデバイス内部にバイパス・コンデンサ内蔵することで超低 EMIを実現



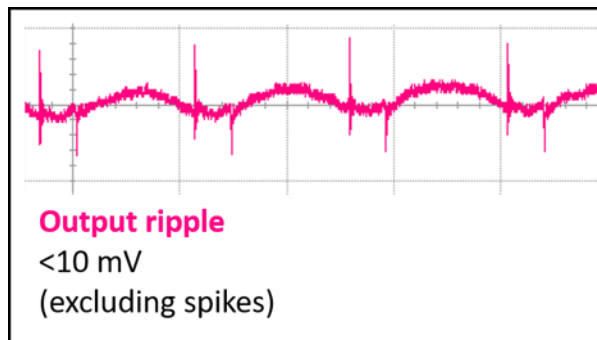
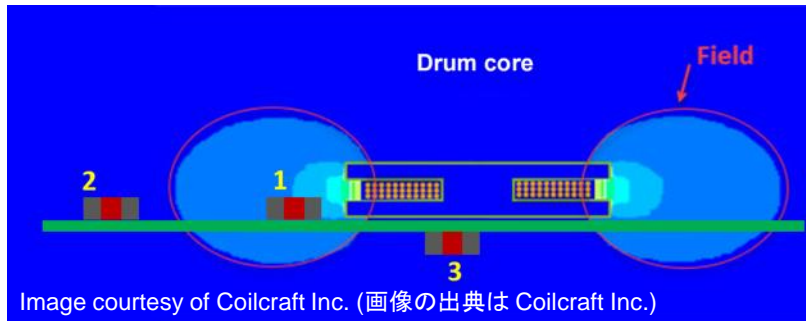
2. 出力電圧に方形波成分が現れる原因



シールドなしインダクタは出力コンデンサとの結合が可能

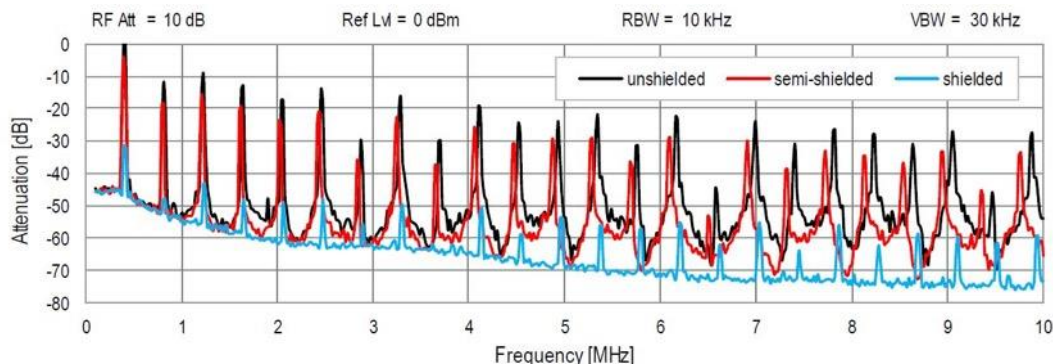
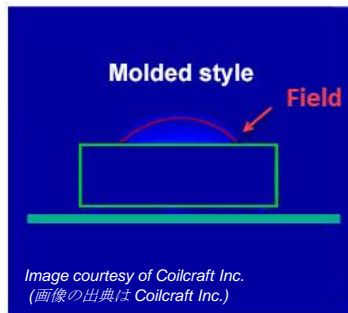


シールドなしインダクタを出力コンデンサから遠ざけることで、磁界によってコンデンサのESLと結合することを防止できます。

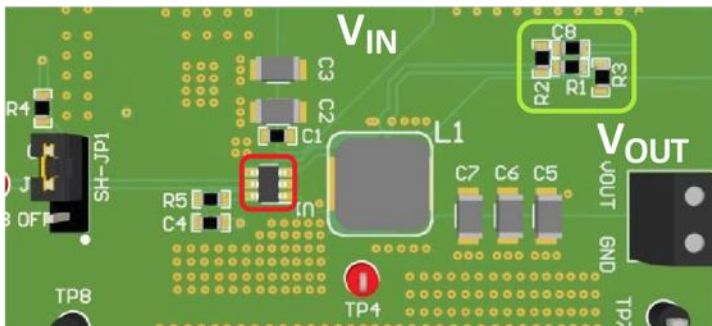


インダクタに関する追加のコメント

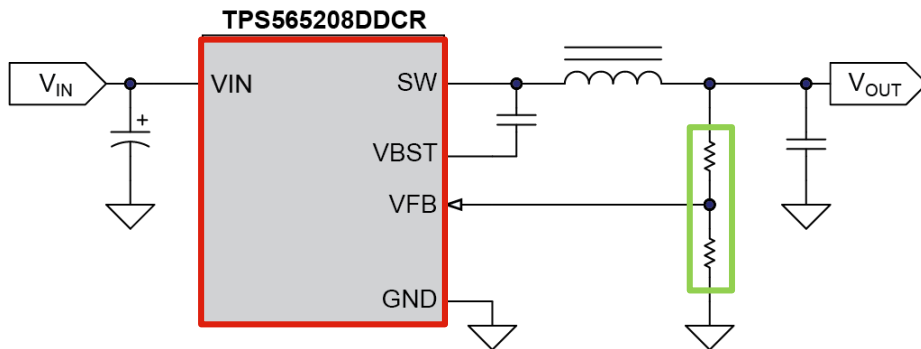
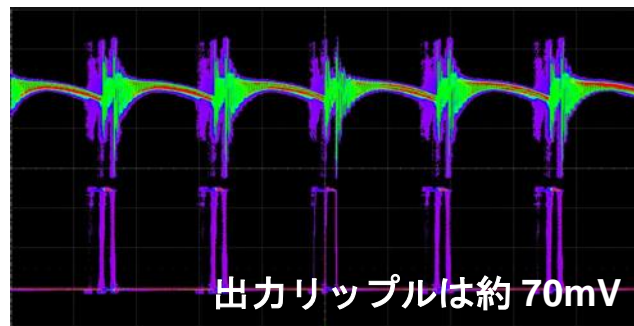
- 可能ならば、フルシールド・インダクタを使用する。
- インダクタの巻線開始部分 (ドットつまり点で明示) をスイッチ・ノードに接続する。
- インダクタの直下にグランド・プレーン (または他の DC プレーン) を配置すると (グランド・ベタや電源電圧ベタなど)、電界のシールドに役立ちますが、静電容量が増加する可能性があります。
- 自己共振周波数が高い素子を選択する。



3. スイッチ・ノードにジッタを招く原因



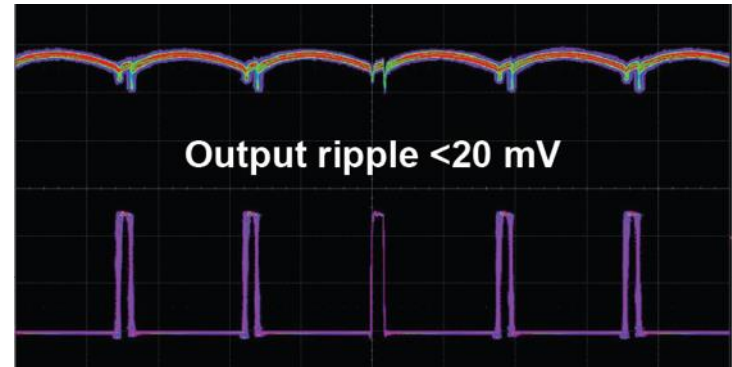
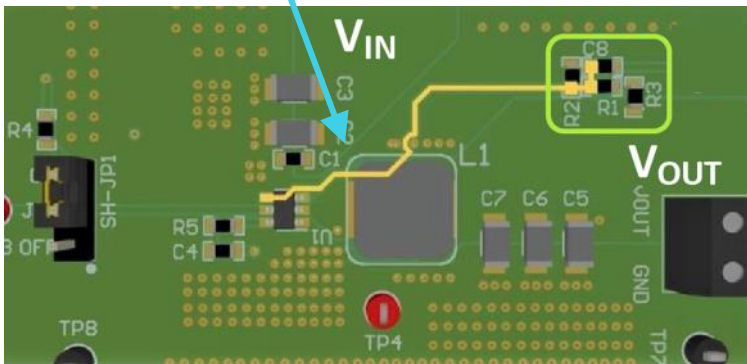
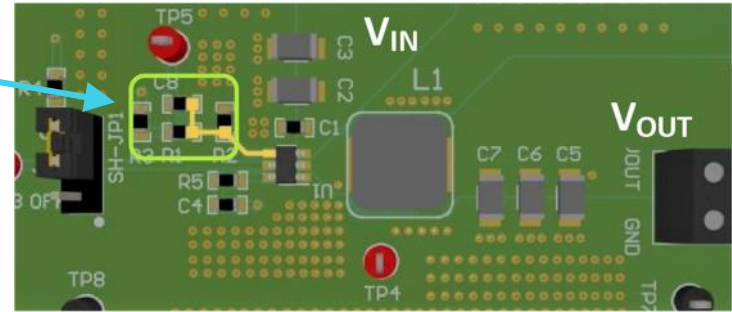
出力電圧は、過度なリップル電圧が乗っており、スイッチ・ノードにはジッタが生じていることを示しています。



帰還パターン (トレース) はノイズの影響を受けやすい

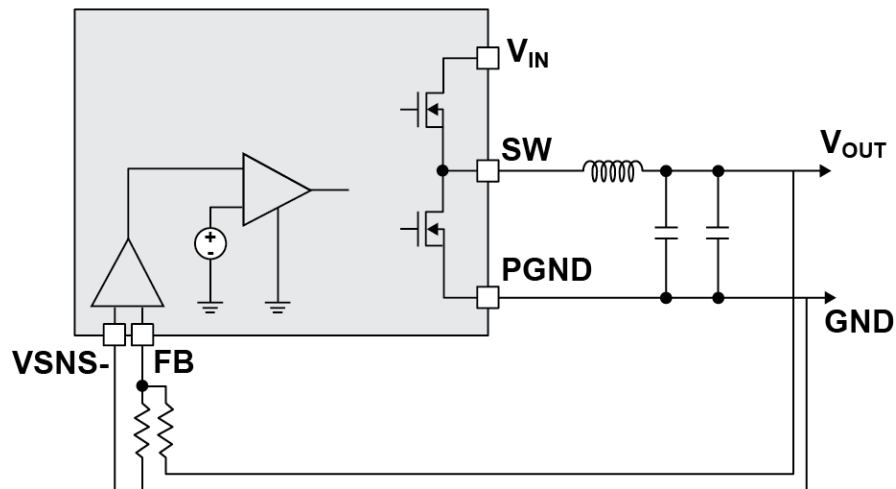
帰還抵抗は、FB (フィードバック) ピンの近くに配置する必要があります。

配線長が長くハイ・インピーダンスの帰還パターンはノイズを拾います。

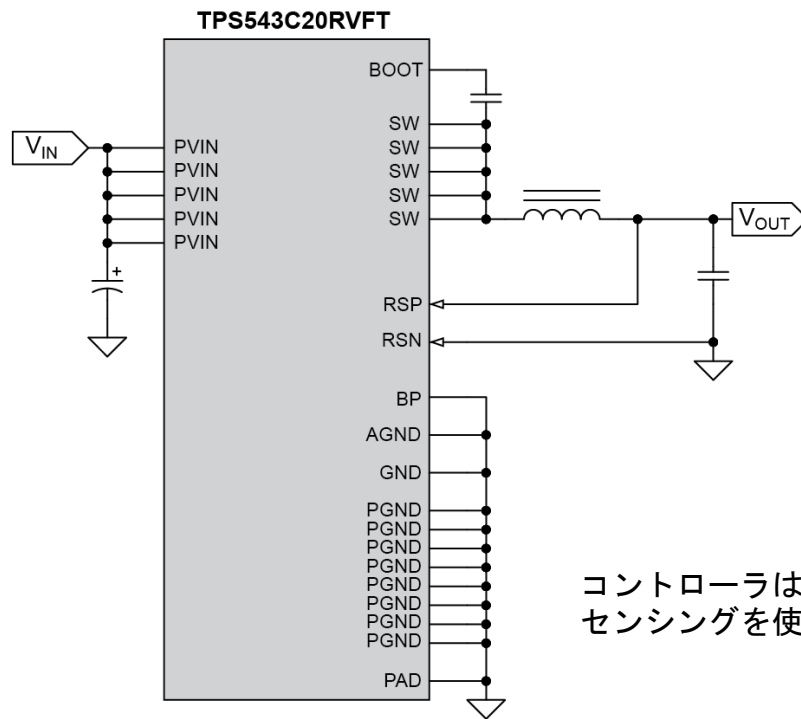
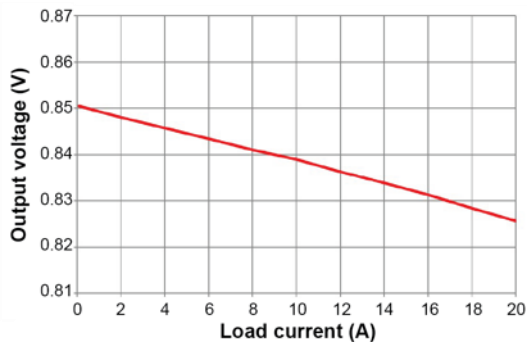


フィードバック (帰還) に関する配慮

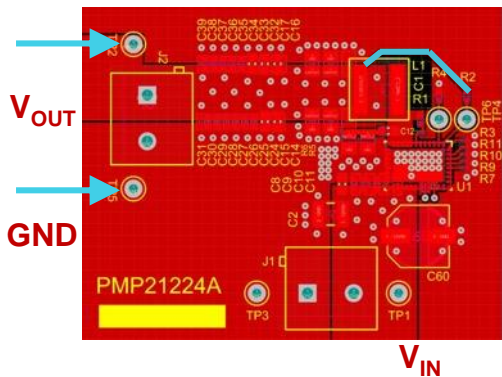
- ハイ・インピーダンスである帰還パターンの長さを最小化します。
- インダクタの直下にグランド・プレーンを配置すると EMI を低減できます。
- 敏感な信号線を、インダクタやスイッチ・ノードの直下に取り回さないでください。
- 差動 (ケルビン) 接続を検討してください。
- 抵抗値 – ノイズ低減と低静止電流 (I_Q) の比較



4. 不十分なレギュレーションを招く原因

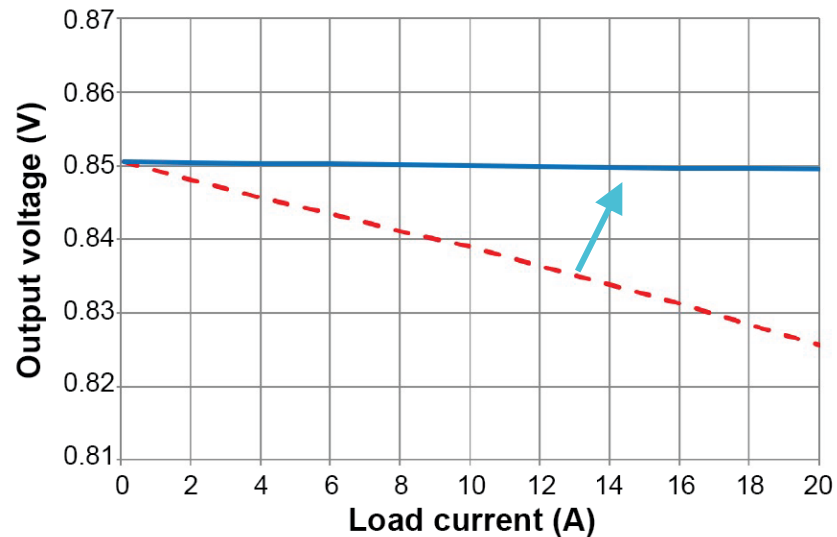


複数の設定ポイントで測定した出力電圧

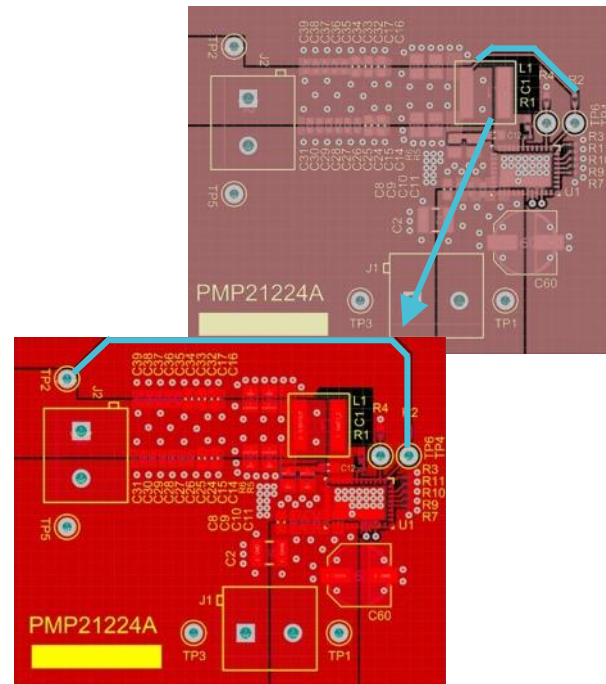


コントローラはリモート・センシングを使用します

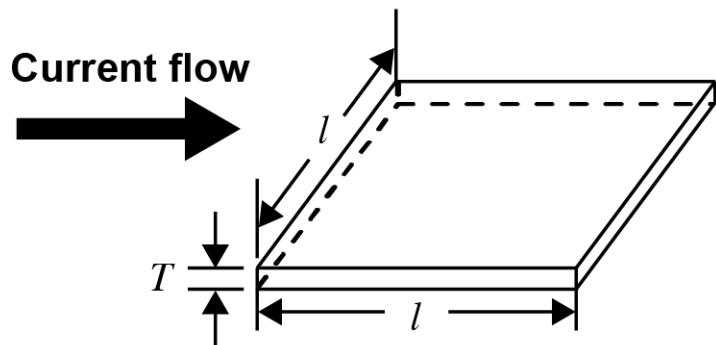
出力コネクタに接続した帰還 (フィードバック) パターン



電圧センス・ポイントを移動すると、寄生抵抗の効果が減少しました。

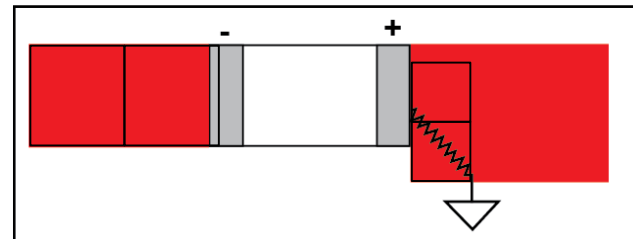


寄生抵抗 - 正方形の計数方式



$$R = \frac{\rho \times l}{T \times l} = \frac{\rho}{T}$$

1 オンスの銅箔を想定

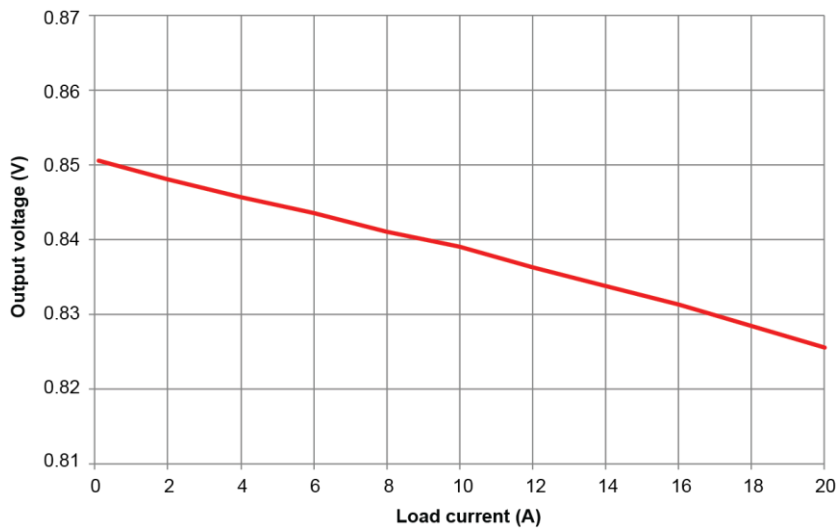


2 個の正方形が直列 = $\cong 1.0\text{m}\Omega$

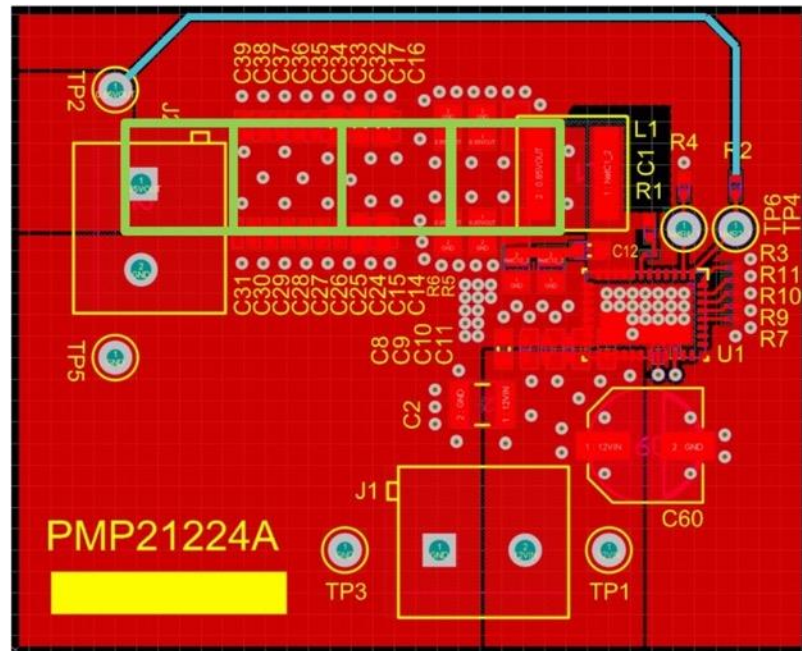
2 個の正方形が並列 = $\cong 0.25\text{m}\Omega$

銅箔の重量 (オンス)	厚さ ($\mu\text{m}/\text{mil}$)	2 乗あたりの $\text{m}\Omega$ (25°C)	2 乗あたりの $\text{m}\Omega$ (125°C)
1/2	17.5/0.7	1	1.4
1	35/1.4	0.5	0.7
2	70/2.8	0.25	0.35

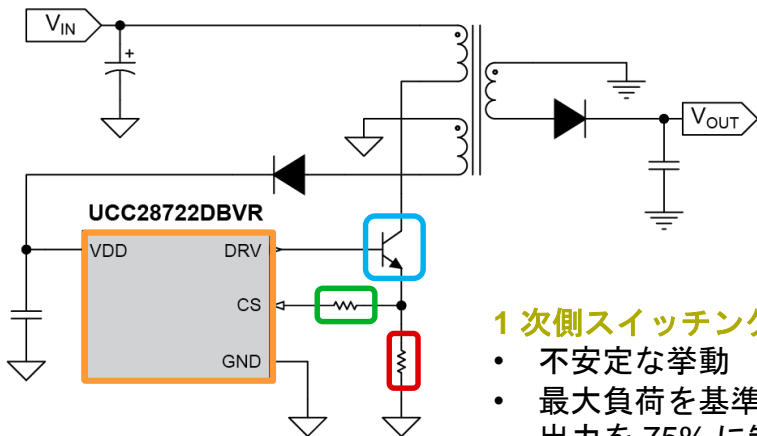
正方形の計数の例



2 オンスの銅パターンの場合：
(4 個の正方形) × (0.25mΩ / 正方形) = 1mΩ
(1mΩ) × (20A の負荷電流) = 20mV の電圧降下



5. コントローラが過電流障害を検出する理由

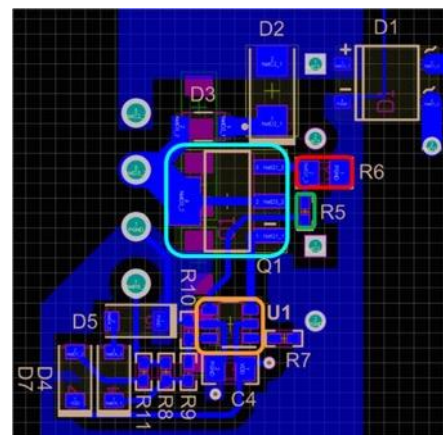
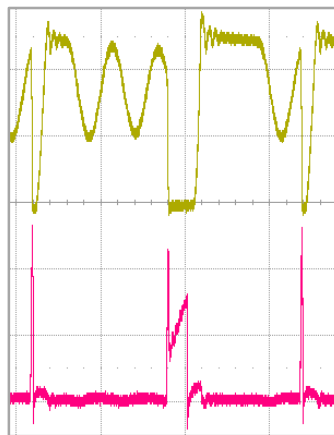


1次側スイッチング・ノード

- 不安定な挙動
- 最大負荷を基準にすると出力を75%に制限している

電流センス・ピン

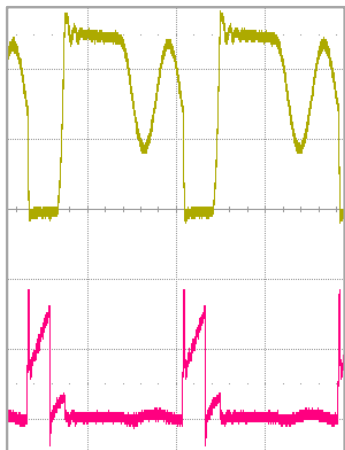
- BJT 駆動電流がオフセットを追加
- OCP (過電流) 状態への遷移
- スイッチングが全くフィルタリングできていない



5. コントローラが過電流障害を検出する理由

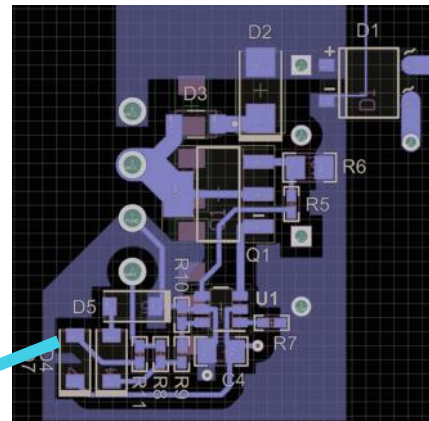
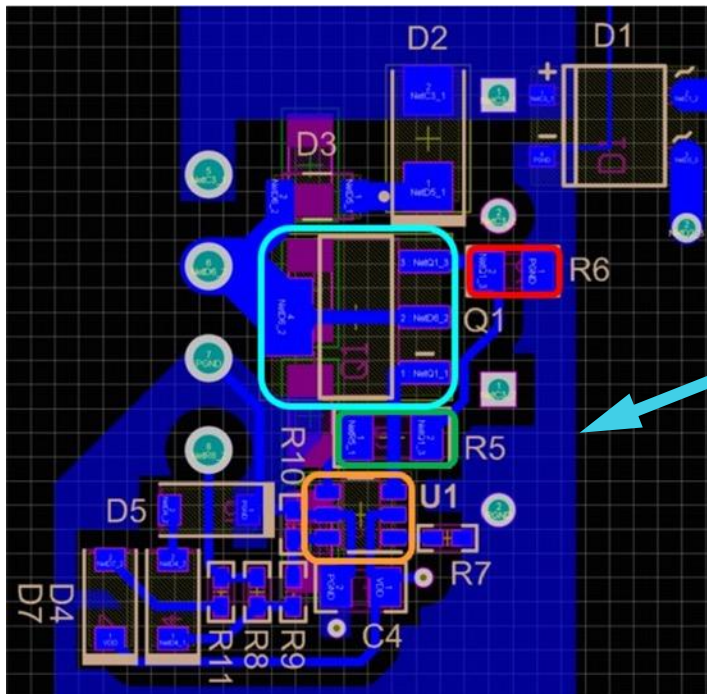
1 次側スイッチング・モード

- 安定的なバレー・スイッチング
- 全負荷に到達可能



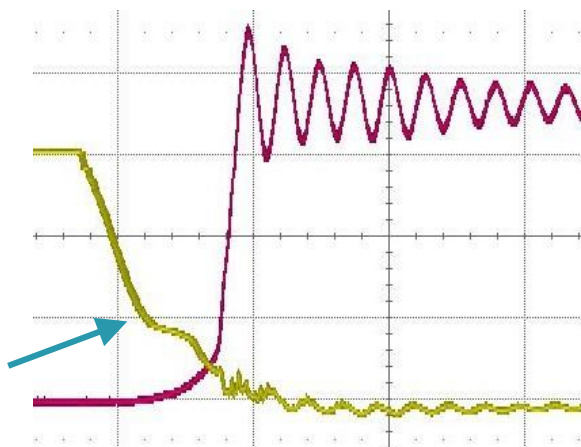
電流センス・ピン

- ノイズのフィルタリングが十分で、リーディング・エッジ・ブランキング時間で制御可能



フィルタの各部品が最も効率的に動作するのは、コントローラの該当ピンに隣接して配置したときです。

6. ゲート・ドライバが効果的ではない理由



スイッチ・ノード

- 過度なリングングが発生している
- 軽負荷時に部品が故障します

FET の V_{Qs}

- ターンオフが迅速でない
- 波形に段差があります

PFC コントローラ
UCC28070

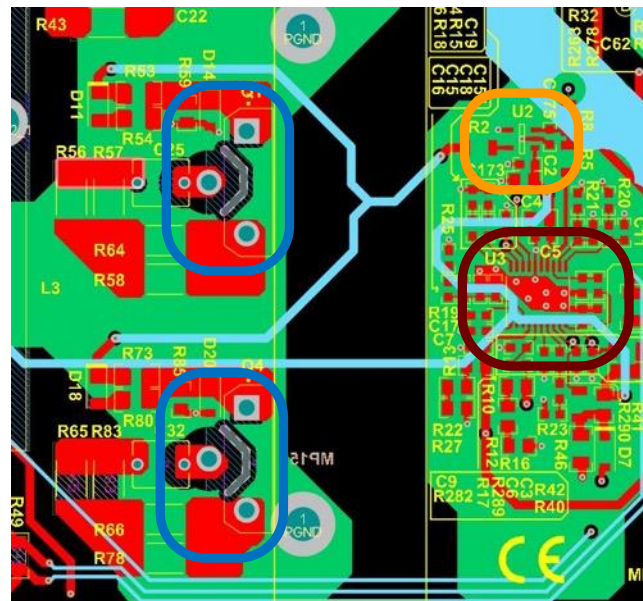
AGND

ゲートドライバ
UCC27517

AGND

パワー FET
2 個を並列接続

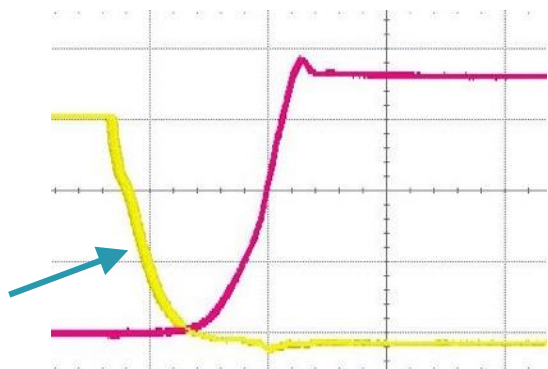
PGND



PGND

AGND

複数の FET に近付けてドライバを再配置



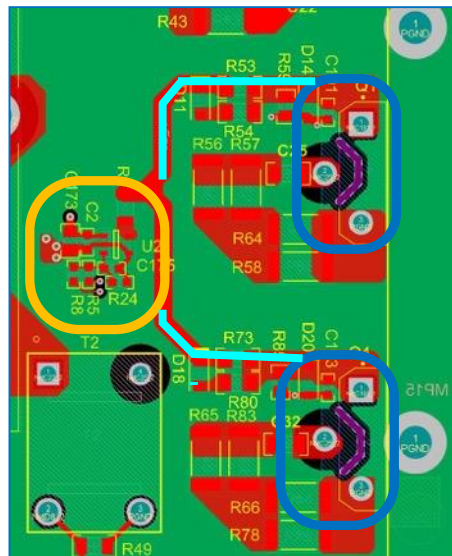
スイッチ・ノード

- リンギングが減少
- 全負荷に到達可能

FET の V_{Qs}

- 問題無く、LOWにスイッチング。

ゲート・ドライブのパターンが短い方がより効果的



AGND



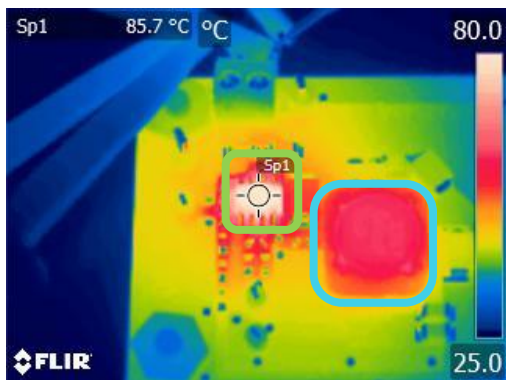
PGND



PGND

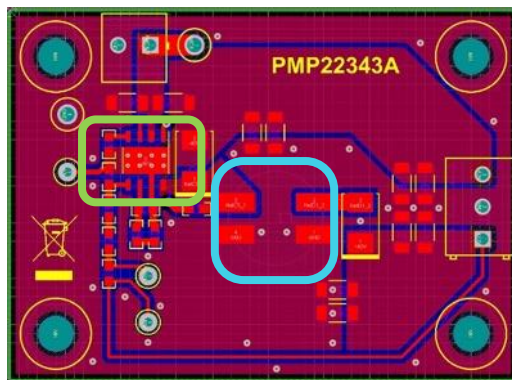
PGND

7. コントローラが高温になる理由



25°C の周囲温度

- 全負荷で数分間動作させると、約 60°C 上昇する。

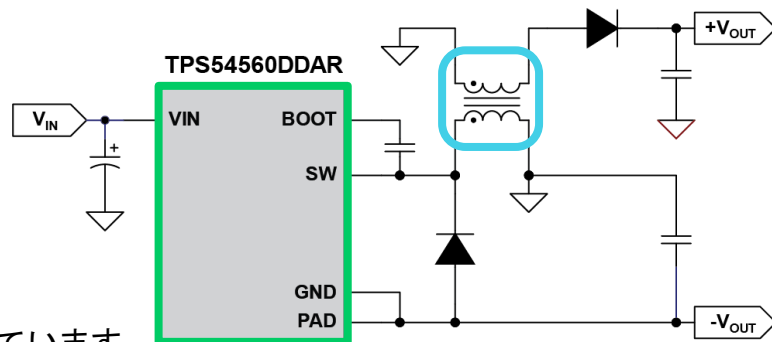


2層 PCB

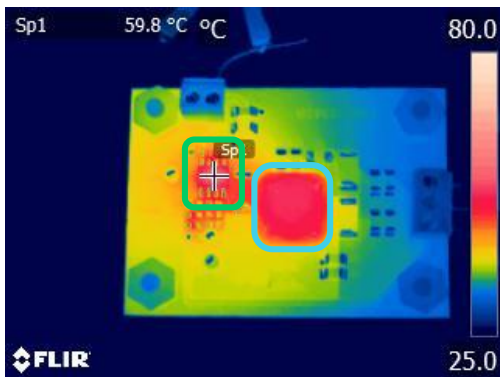
- GND ベタのプレーンが底面にあります。

反転昇降圧

- IC の GND は $-V_{OUT}$ を基準電位にしています。

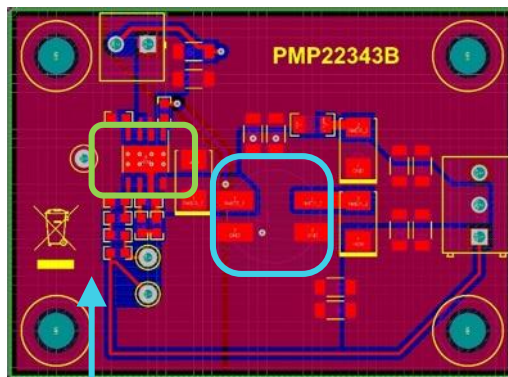


サーマル・パッドの効果的な活用



25°C の周囲温度

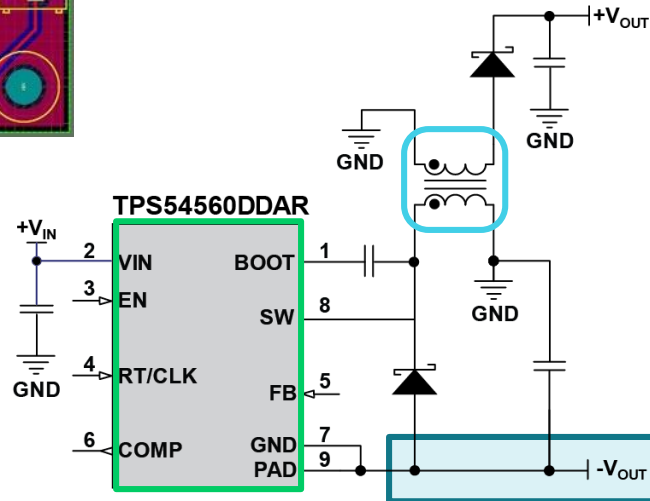
- 全負荷で数分間動作させると、約 35°C 上昇に収まっている。



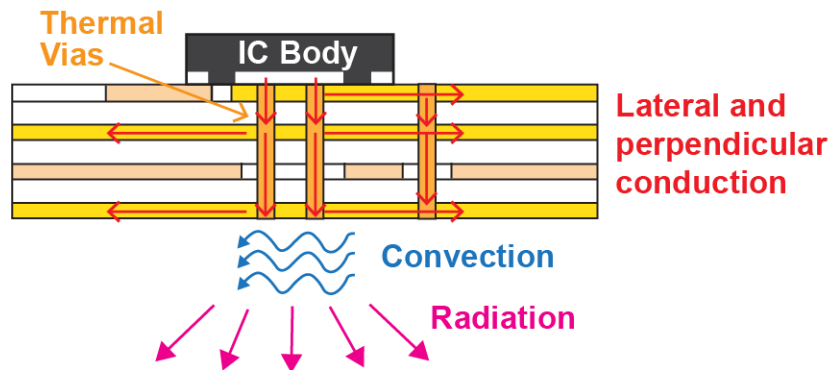
より大きい IC プレーンを V_{OUT} に接続すると、温度上昇の低減に役立ちます。

2 層 PCB

- 底面には大きい $-V_{OUT}$ プレーンがあります。
- 上面で、 $-V_{OUT}$ につながる経路を大きくしました。

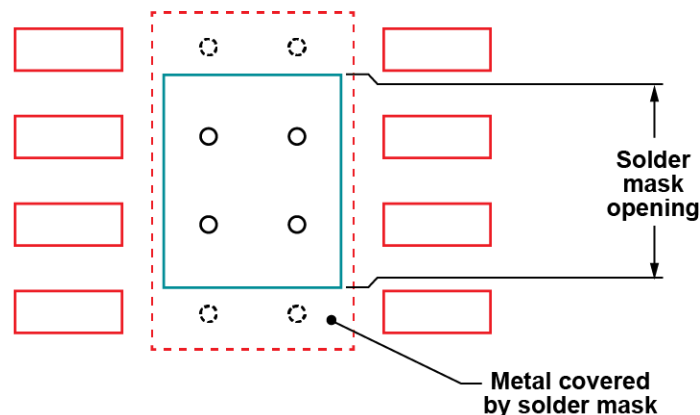


サーマル・ビアは放熱性能の向上を実現

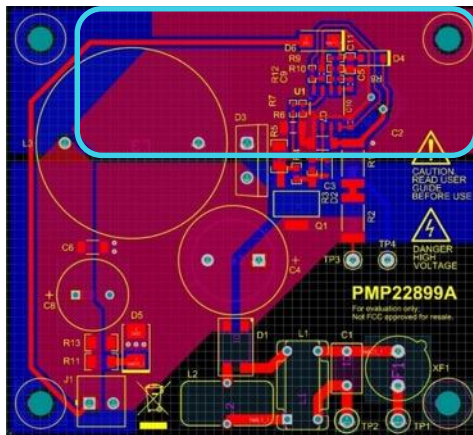
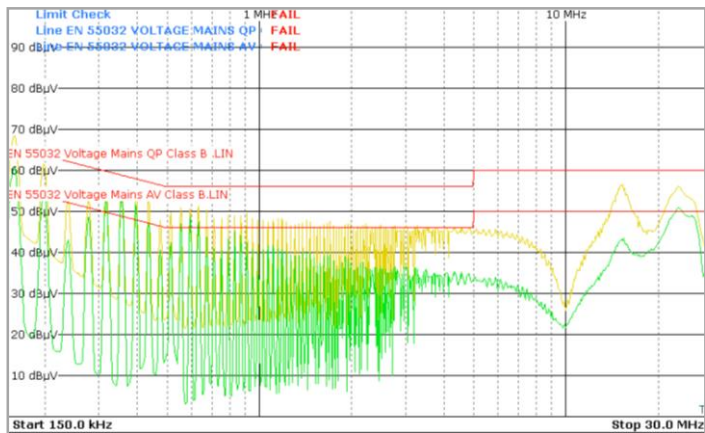


放熱に複数の層を使用することは、ICに他のコンポーネントが隣接している場合に有効です。

サーマル・ビア・パターン採用のフットプリント

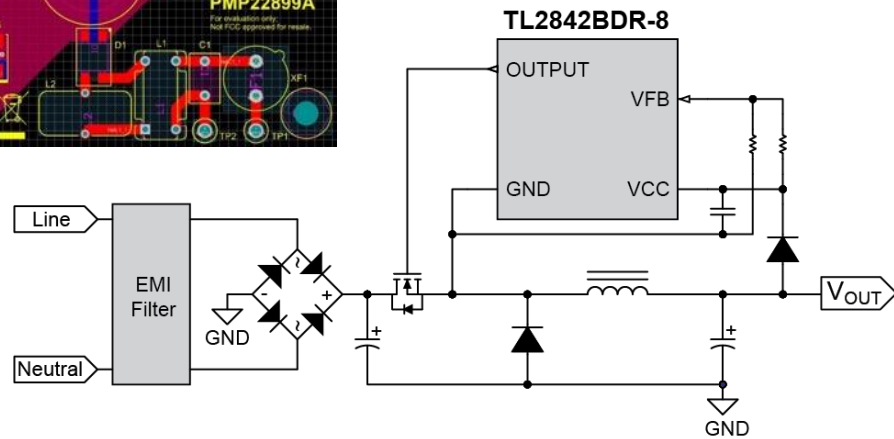


8. 設計のノイズが非常に多い理由

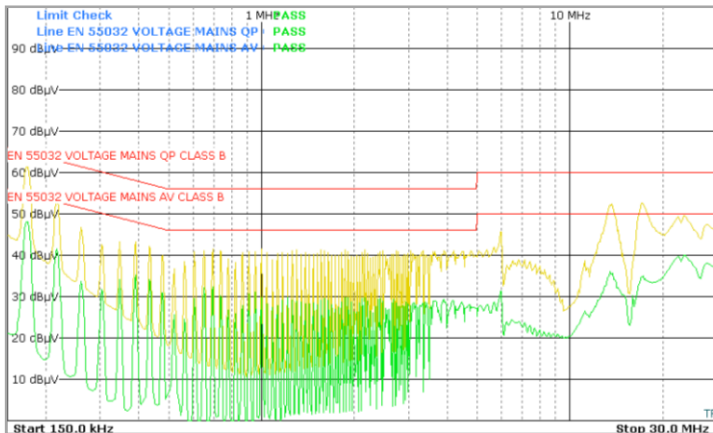


ハイサイド降圧

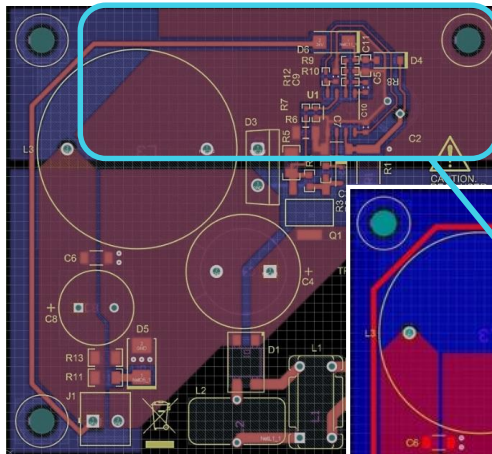
- ICはスイッチ・ノードを基準電位にしています。



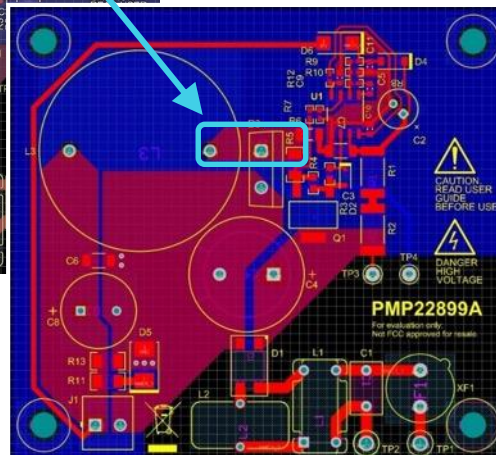
EMC 改善の目的でスイッチ・ノードを小規模に維持



この場合、IC のGNDプレーン（スイッチ・ノード）は小さくする必要があります。



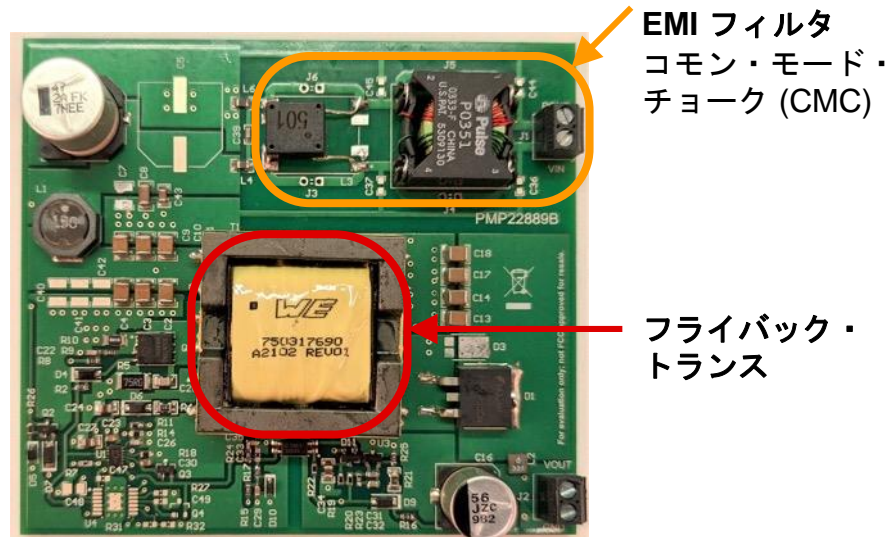
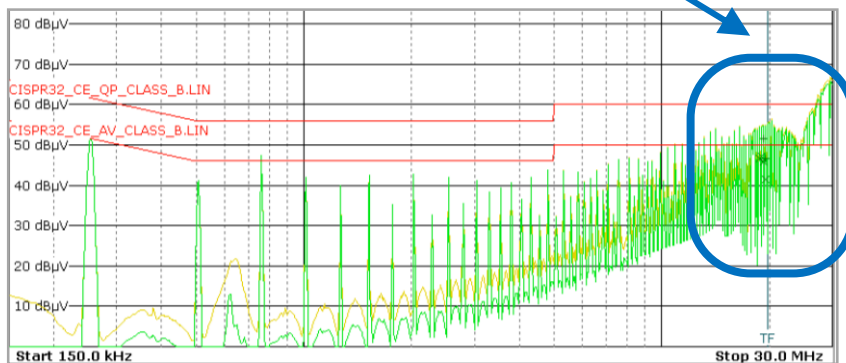
上面と底面の各レイヤーにある
スイッチ・ノード



スイッチ・ノードを縮小し、
上面レイヤーのみに配置

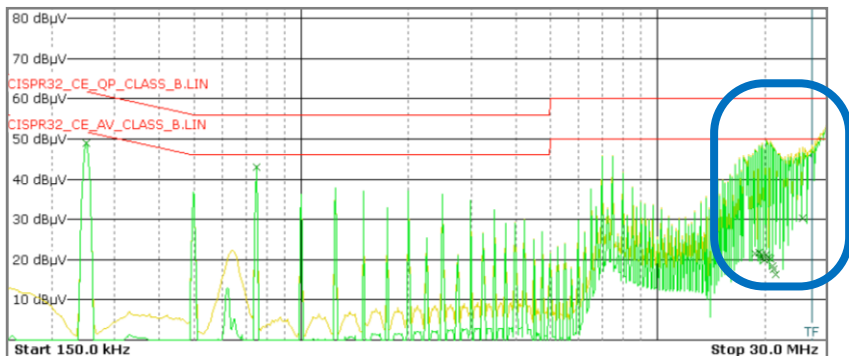
9. コモンモードチョークが効果的ではない理由

高周波の同相ノイズ

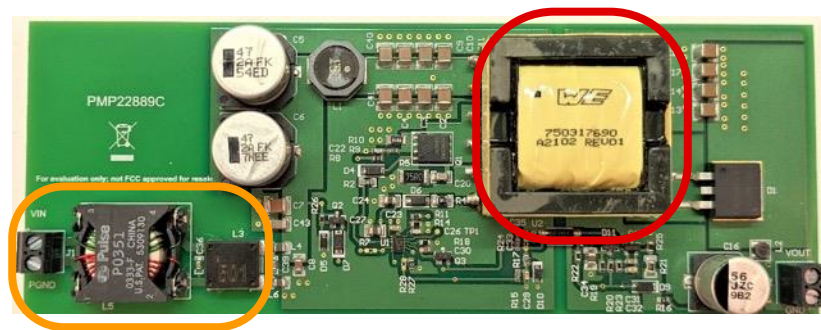


フライバックトランスがコモンモードチョークと結合

EMI フィルタの移動で、ピーク
値が 10dB μ V 小さくなりました。

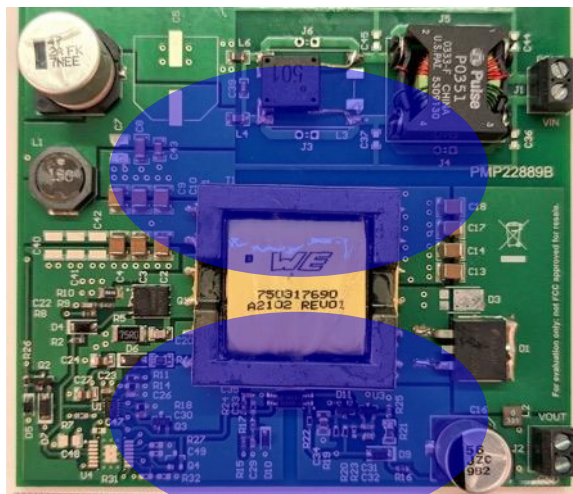


EMI フィルタとスイッチング部品の間隔
を離れた結果、EMIフィルタが効果的に
機能するようになりました。

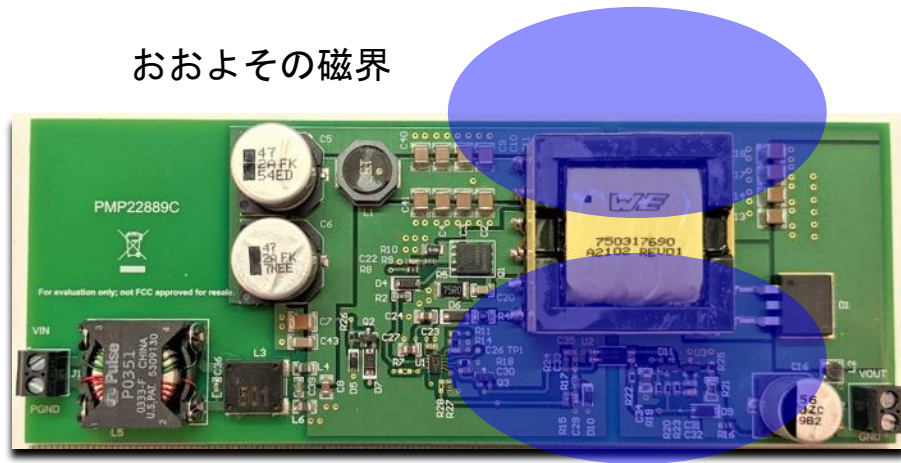


磁界の比較

元のレイアウト



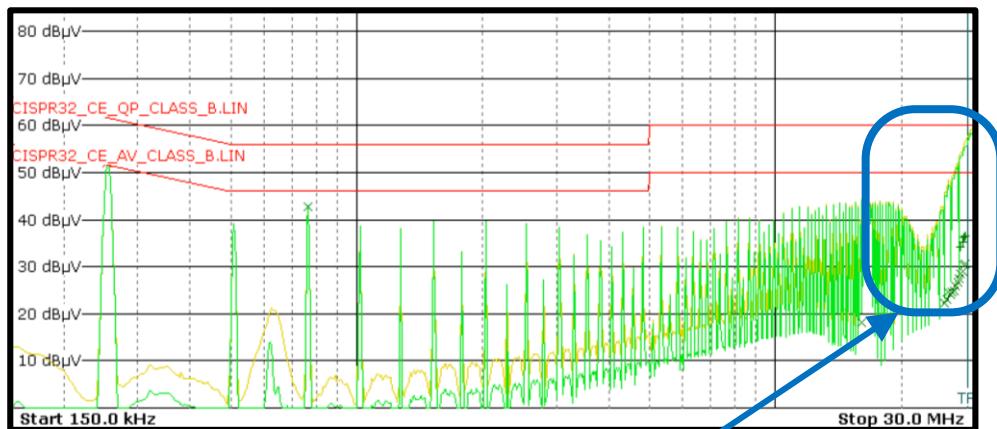
おおよその磁界



新しいレイアウト

フラックス・バンド (磁界バンド) の活用

- トランスの周囲に1本の銅箔を巻き付け、1次側グランドに短絡すると (フラックス・バンド)、そのトランスがノイズを引き起こしているかどうかを検証するのに役立ちます。

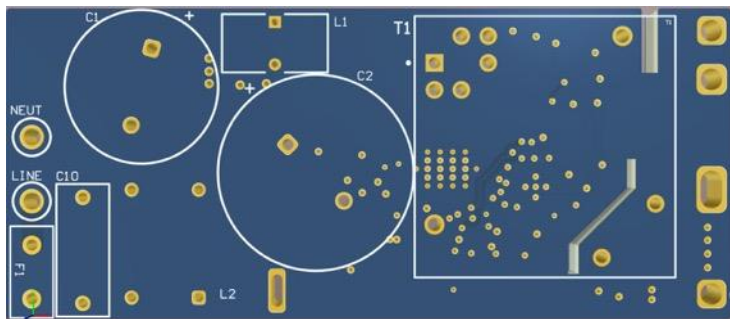
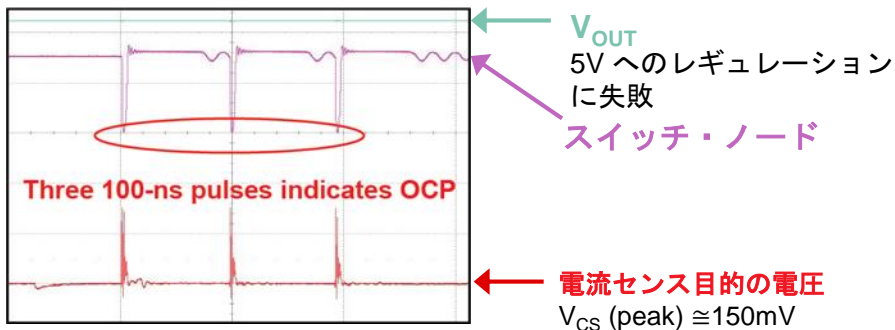


フラックス・バンド採用で
同相ノイズが 5dBμV 低下



1次側グランドに短絡させた
フラックス・バンド

10. 複数の同一ボードが異なる挙動を示す理由



新しいボビン採用でコアとボードの間の距離を確保

- 半田マスクで覆われたビアは、信頼できる絶縁を実現しません。
- 複数のスタンドオフ (離隔絶縁器) を取り付けた1個のトランス・ボビンを採用し、ボードとトランスの間の物理的な分離を確実にし、機能絶縁を可能にしました。

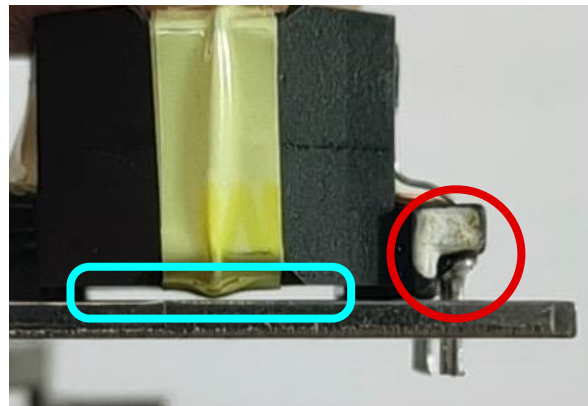


Image courtesy of Renco Electronics Inc. (画像の出典は Renco Electronics Inc.) 32

磁気素子周辺の配線取り回し

- 可能な場合、磁気素子の下には何も取り回さないようにします。
- 絶縁テープを使用して、トランスとボードの間に非伝導型バリアを設けることもできます。
- インダクタを持ち上げることも、その下にあるビアによる短絡を防止するための適切な方法です。

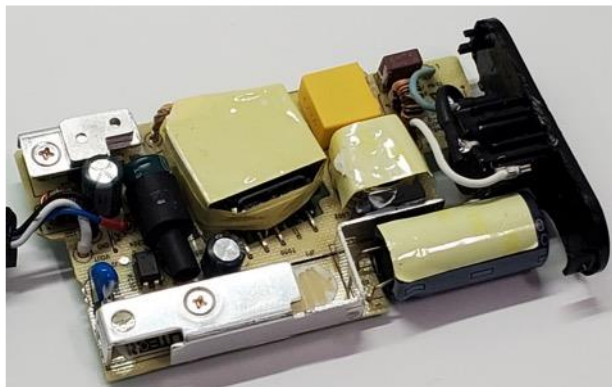
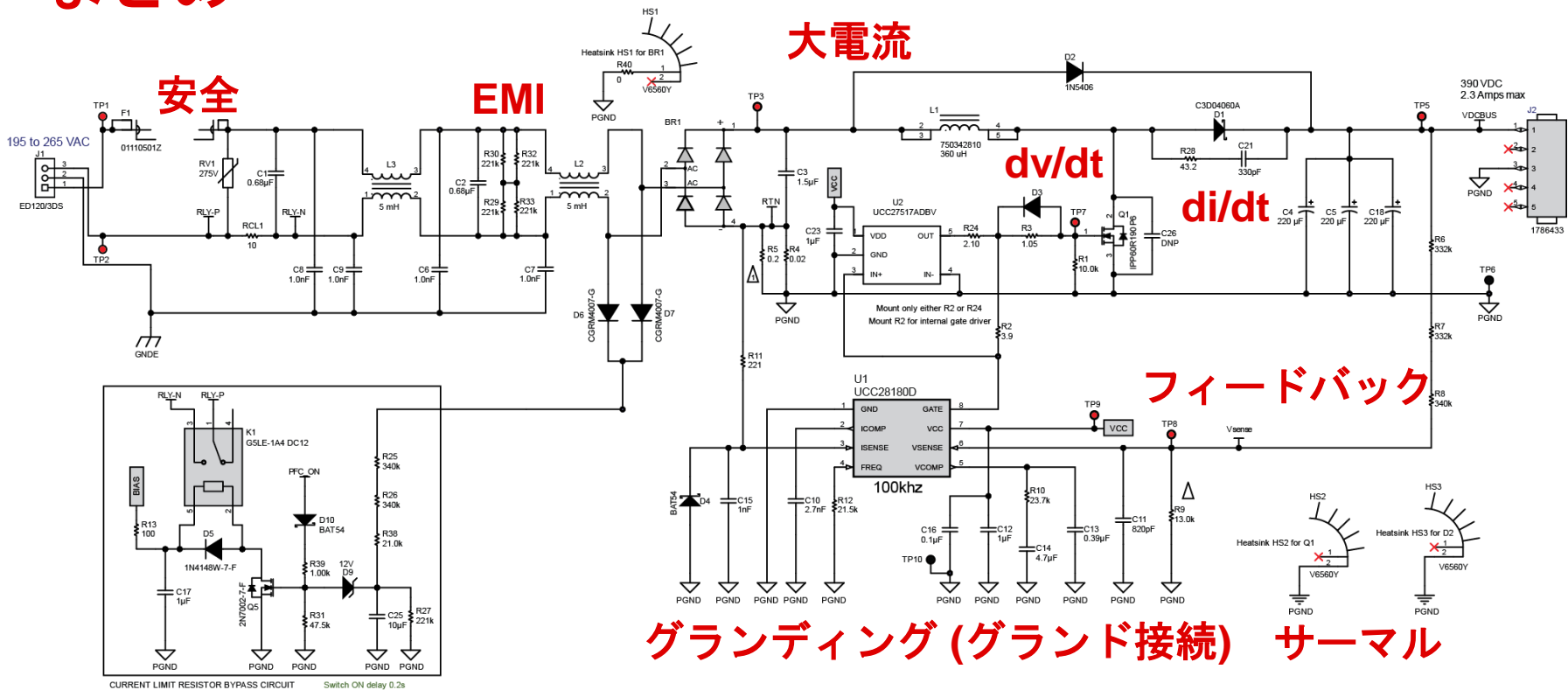


Image courtesy of Coilcraft Inc. (画像の出典は Coilcraft Inc.)

33

まとめ



寄生成分も含めて、回路に関する理解を深めましょう。

参考文献（いずれも英語）

- “Five steps to a great PCB layout for a step-down converter,” (英語) Chris Glaser, Analog Applications Journal, SLYT614. <https://www.ti.com/lit/an/slyt614/slyt614.pdf>
- “Understanding and managing buck regulator output ripple,” (英語) Jim Perkins, Dan Tooth, E2E. https://e2e.ti.com/blogs_/b/powerhouse/posts/understanding-and-managing-buck-regulator-output-ripple
- “Space Optimized, ‘Clam Shell’ Layout for Step-Down DC/DC Converters,” (英語) Jim Perkins, Matthias Ulmann, application report, SLVA818. <https://www.ti.com/lit/an/slva818/slva818.pdf>
- “Constructing Your Power Supply – Layout Considerations,” (英語) Robert Kollman, TI Power Supply Design Seminar SEM1600, SLUP230. <https://www.ti.com/seclit/ml/slup230/slup230.pdf>
- “Safety Considerations in Power Supply Design,” (英語) Bob Mammano, Lal Bahra, TI Power Supply Design Seminar SEM1600, SLUP227. <https://www.ti.com/seclit/ml/slup227/slup227.pdf>



©2022 Texas Instruments Incorporated. All rights reserved.

The material is provided strictly "as-is" for informational purposes only and without any warranty.
Use of this material is subject to TI's **Terms of Use**, viewable at [TI.com](https://www.ti.com)