

TI *Live!* POWER SUPPLY DESIGN SEMINAR

2022年3月23日

LDO を使用せずに低ノイズと低リップルを
実現する方法

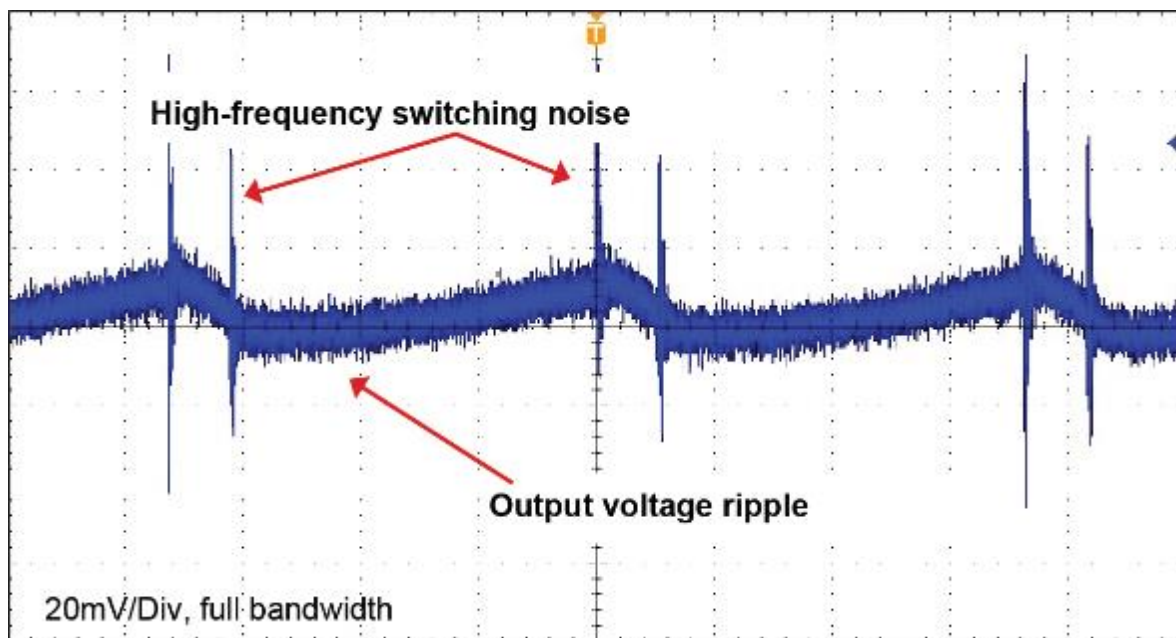
佐藤 丈仁

目次

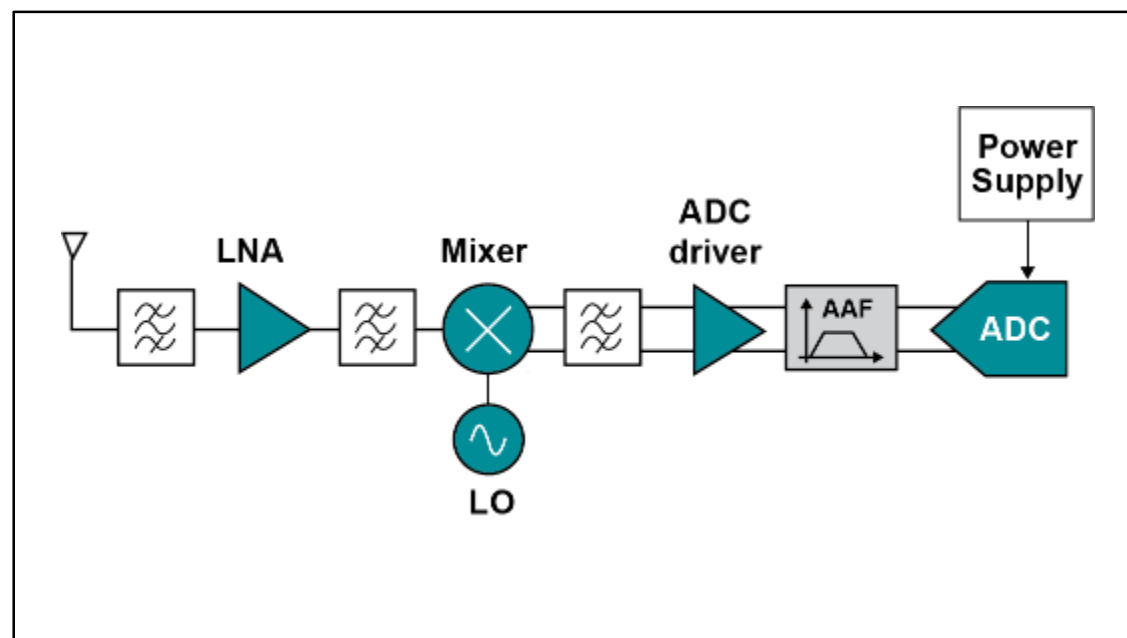
- ・ 問題の概要：低ノイズで低リップルの電源
- ・ 低リップルに貢献する各従来型ソリューションの長所と短所
- ・ 低ノイズと低リップル用に設計された降圧コンバータの紹介

DC/DC コンバータの出力：ノイズとリップル

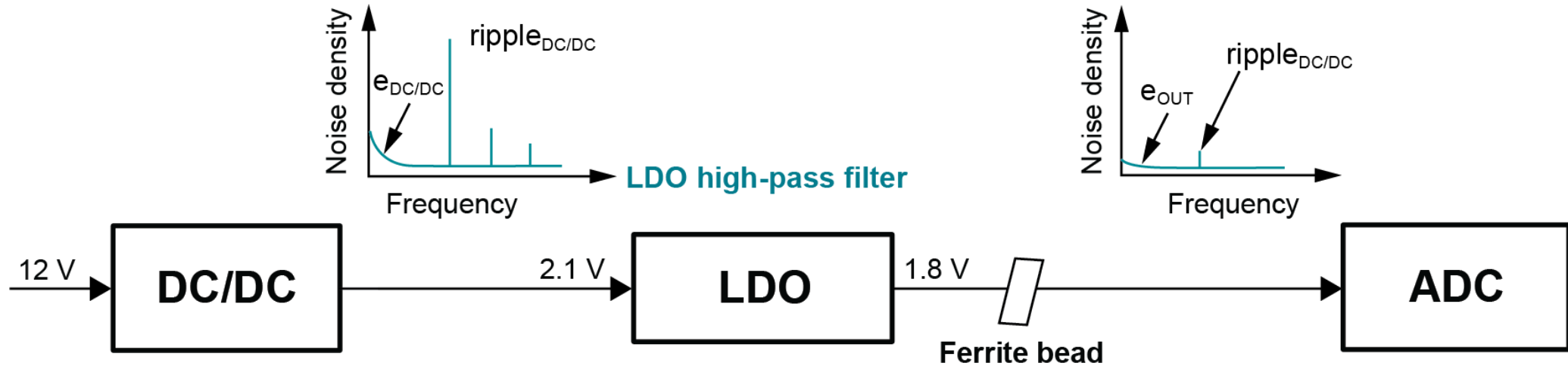
代表的な DC/DC の出力電圧波形



簡易ブロック図：シグナル・チェーンと電源



一般的なパワー・マネージメント・ソリューション



LDO の短所 :

- 電圧降下と負荷電流による発熱 (電力損失)
- 消費電力に耐えうる大型パッケージ
- 大型パッケージに伴うソリューション・コストの上昇
- 高周波でのフィルタリング能力

$$V_{drop} \cong 300\text{mV}, P_{loss} \cong 600\text{mW} @ 2\text{A}$$

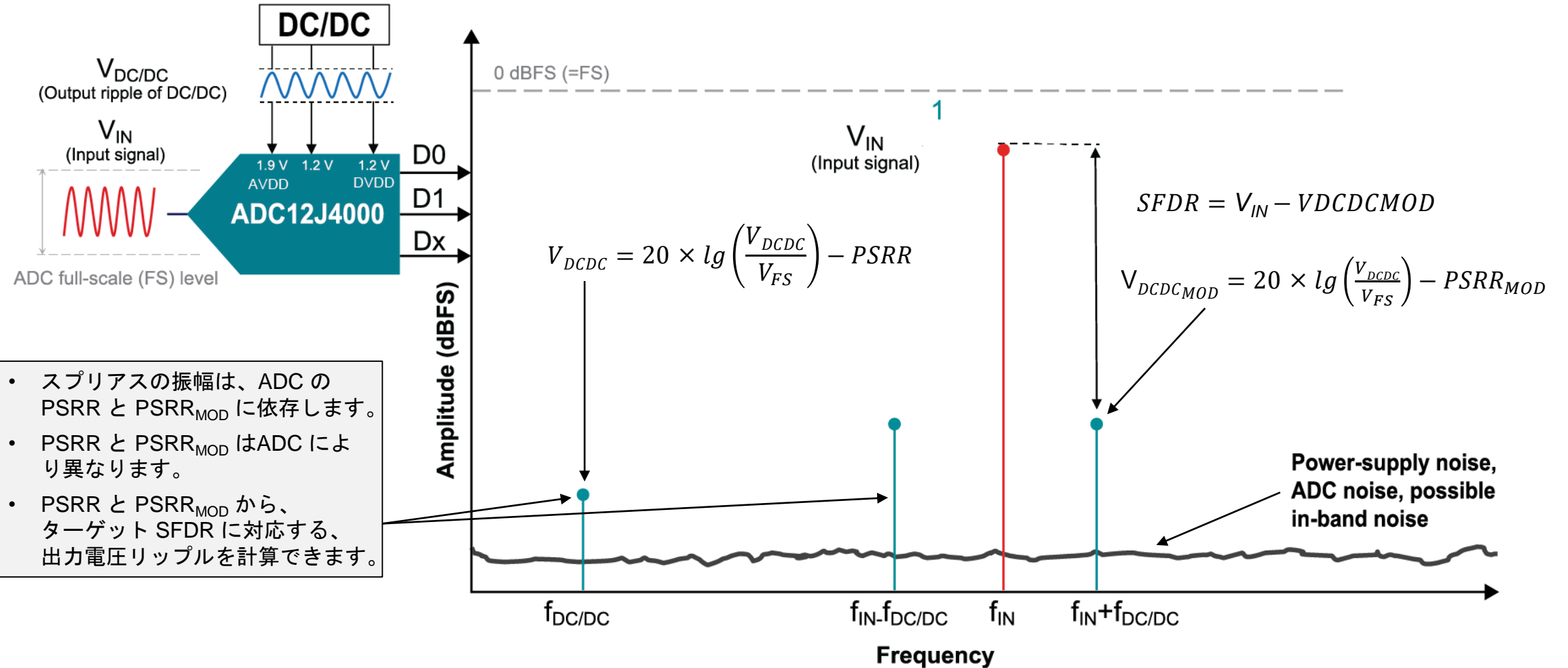
考慮すべきシステム性能と

DC/DC コンバータのターゲット仕様 :

- 良好な信号対雑音比 (SNR)
- 広いスプリアス・フリー・ダイナミック・レンジ (SFDR)

$$\begin{aligned} \text{Noise} &\cong 20\mu\text{V}_{\text{RMS}} (100\text{Hz} \sim 100\text{kHz}) \\ V_{\text{opp}} &\cong 200\mu\text{V} @ f_{\text{DCDC}} \geq 1\text{MHz} \\ \text{PSRR} &> 30\text{dB} @ f_{\text{DCDC}} \geq 1\text{MHz} \end{aligned}$$

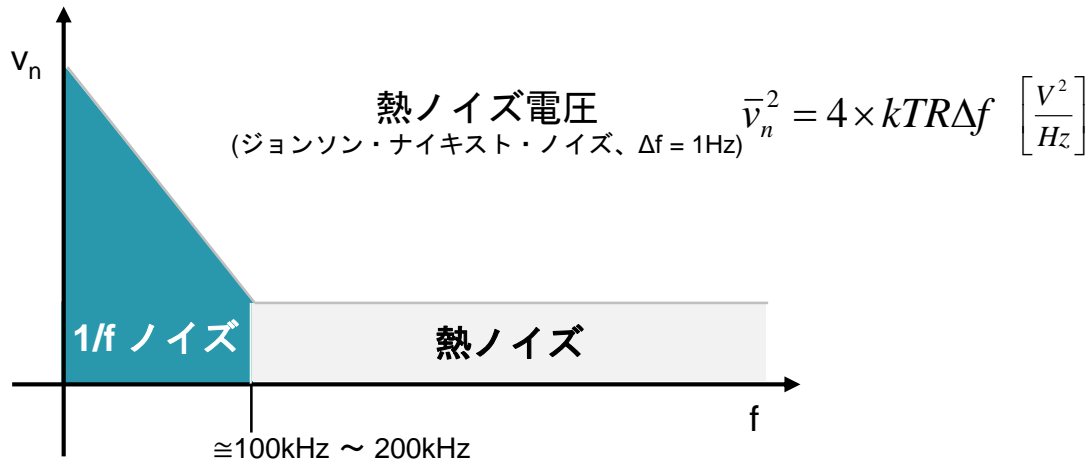
ADC 出力に現れる DC/DC コンバータのスプリアス



- スプリアスの振幅は、ADC の PSRR と PSRR_{MOD} に依存します。
- PSRR と PSRR_{MOD} は ADC により異なります。
- PSRR と PSRR_{MOD} から、ターゲット SFDR に対応する、出力電圧リップルを計算できます。

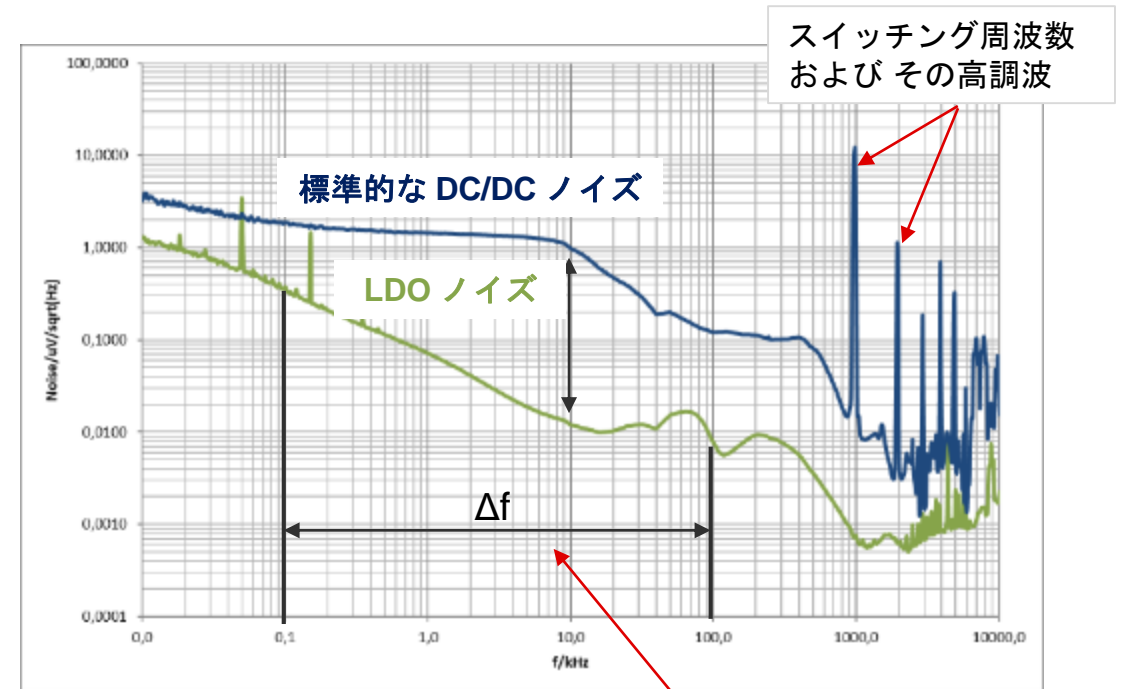
出力電圧ノイズ – LDO と DC/DC コンバータ

低周波ノイズ源 (100Hz ~ 100kHz)



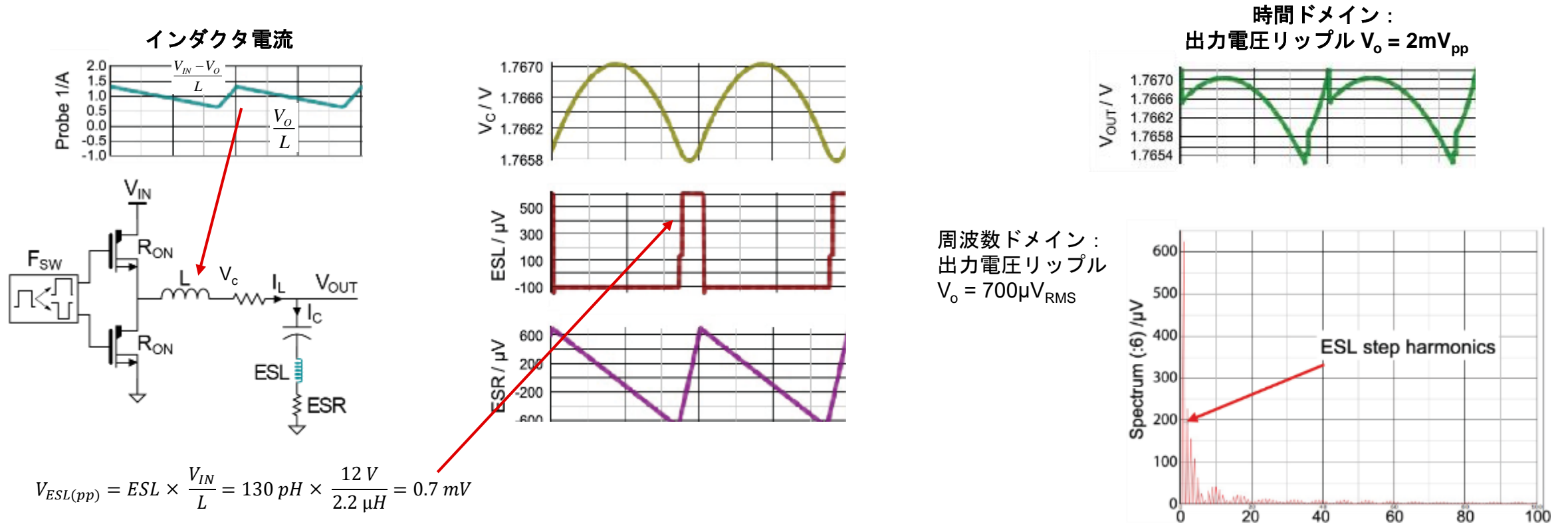
- 1/f の傾斜を持つ半導体のノイズ
→ PLL とクロック回路では位相ノイズに影響
→ 改善には100kHz 未満に対応する大きいフィルタ部品が必要
- 周波数範囲全体で一様な振幅を示す熱ノイズ
→ システムの SNR に影響

出力ノイズ電圧の比較 標準的な DC/DC コンバータ vs. LDO



帯域幅全体での合計ノイズ $v_n = \sqrt{\bar{v}_n^2 \times \Delta f} \quad [V_{RMS}]$

標準的な降圧コンバータの出力電圧リップル



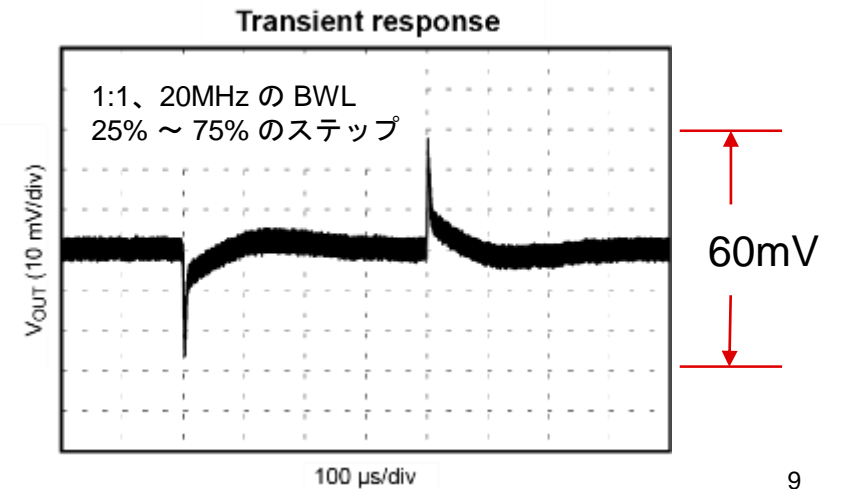
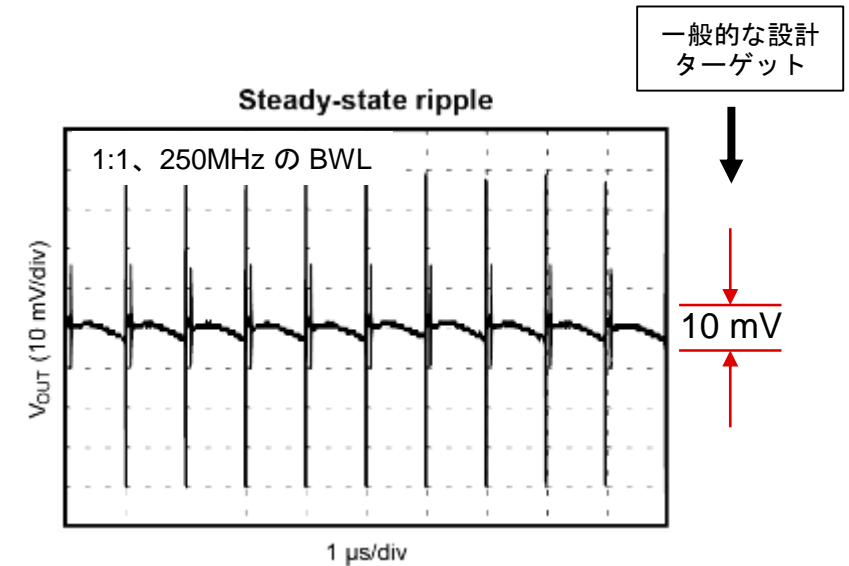
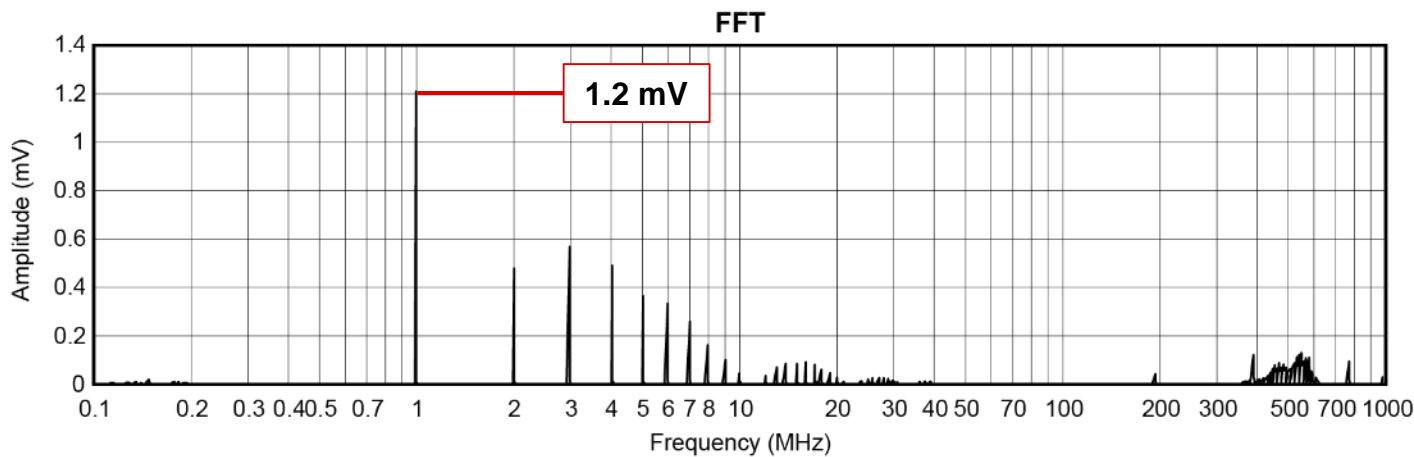
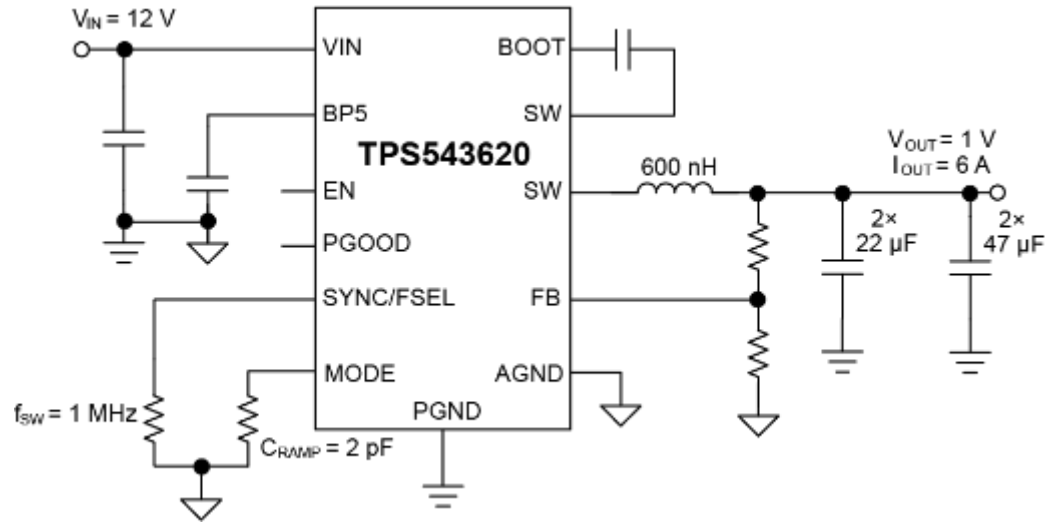
$$V_{ESL(pp)} = ESL \times \frac{V_{IN}}{L} = 130 \text{ pF} \times \frac{12 \text{ V}}{2.2 \mu\text{H}} = 0.7 \text{ mV}$$

フィルタで除去する周波数範囲：1MHz等のスイッチング周波数から、40MHzを上回る高周波までの範囲

- ESLスパイク $V_{ESL(pp)}$
- 寄生成分による高周波成分 (スイッチング・ノイズ、部品や基板の共振等)

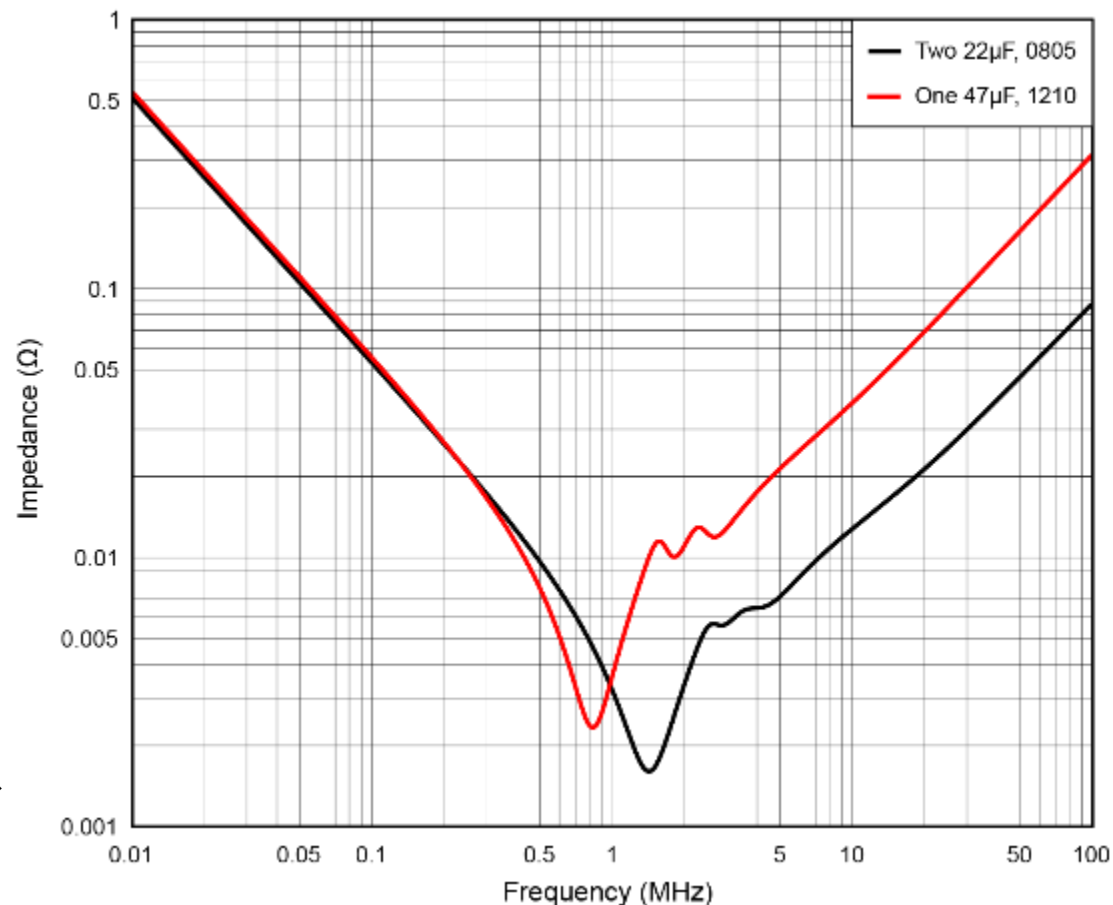
リップルとノイズを 低減するためのアプローチ

標準的な LC フィルタでの基本性能

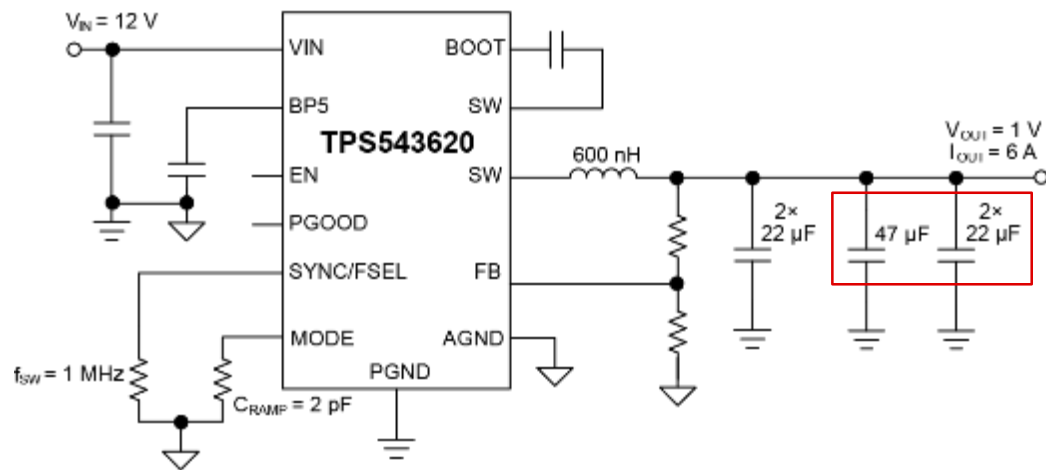


小さな C の並列接続 – インピーダンス

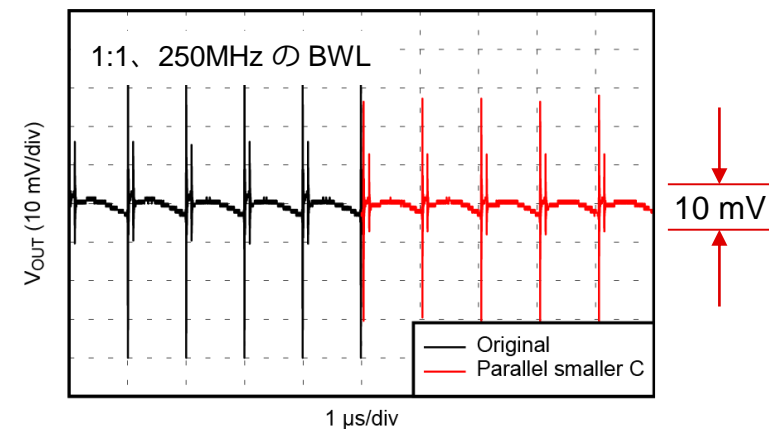
- 100kHz 未満領域：合計の静電容量はほぼ同じため、インピーダンスも似た値になります。
- 1 個の 47 μ F 1210 コンデンサ：
 - 共振周波数 \cong 800kHz
 - 最小インピーダンス $>$ 2m Ω
- 2 個の 22 μ F 0805 コンデンサ：
 - 共振周波数 $>$ 1MHz
 - 最小インピーダンス $<$ 2 m Ω
- 共振周波数以上の領域：L がインピーダンスの支配的要因になります。
- 1MHz 以上の領域：2 個の 22 μ F の場合のインピーダンスは 47 μ F コンデンサに比べ、1/3 になっています。



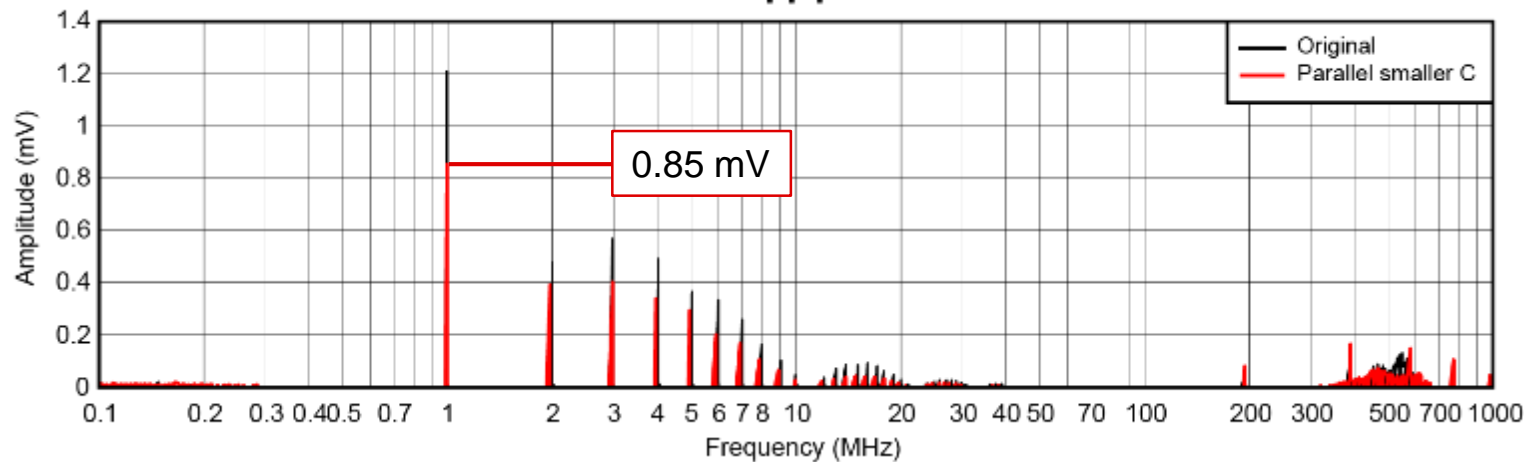
小さな C の並列接続 – 測定結果



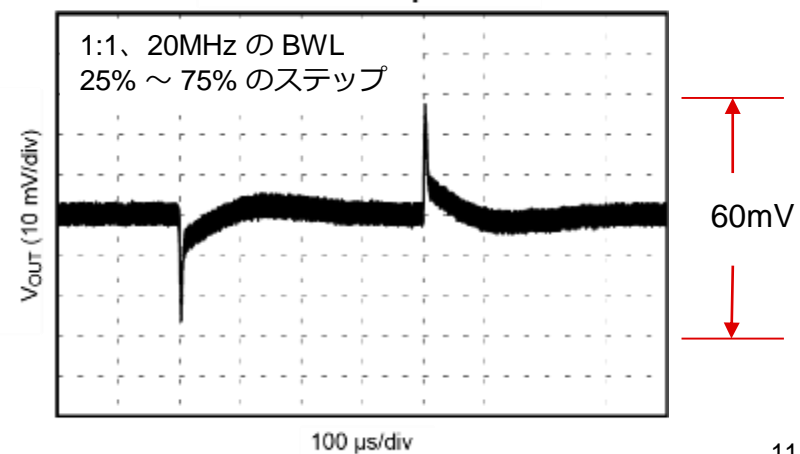
Steady-state ripple



FFT

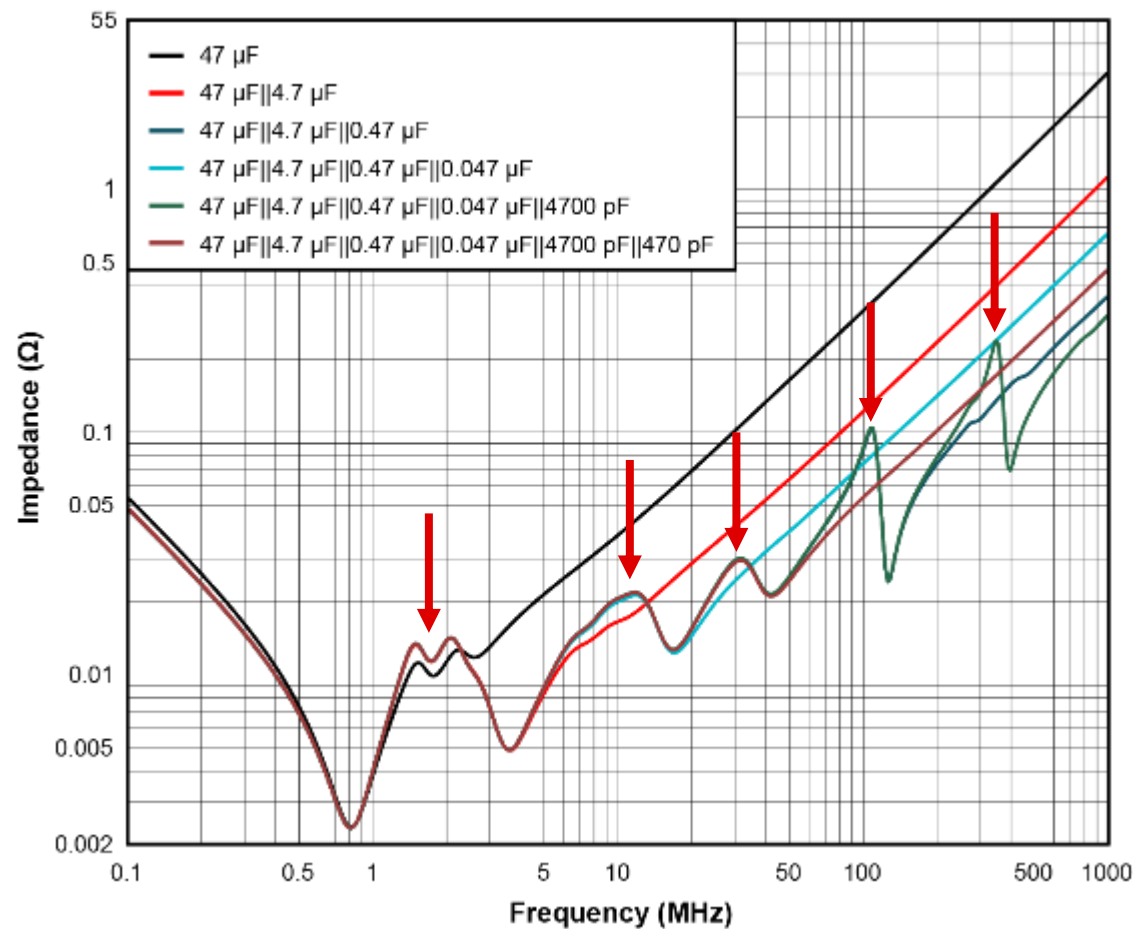


Transient response



小さな C の並列接続 – 広帯域フィルタリング

- 広帯域フィルタリングのため、異なる容量値とパッケージ・サイズを選択します。
- 1/10 の容量比率で追加コンデンサを選択していくと、容量間並列共振が原因で、インピーダンスのピーク値が高くなってしまいます。
 - 例：47、4.7、0.47、0.047 ...
- コンデンサ相互の比率を 2:1 または 3:1 にすると、ピークが下がります。
 - 例：47、22、10、4.7 ...



小さな C の並列接続 – 長所と短所

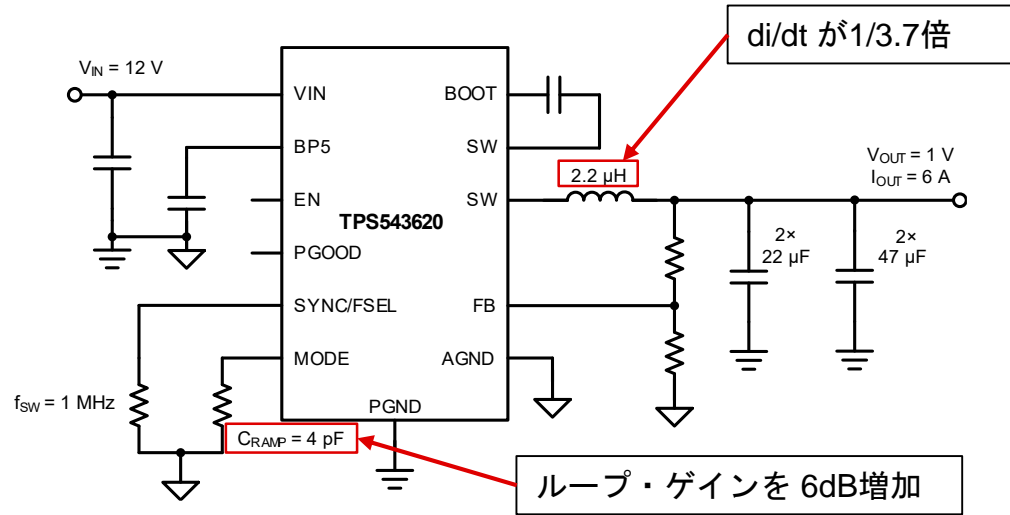
長所

- 回路図の変更がシンプルで済む
- (サイズと静電容量の点で) より小さなコンデンサを複数並列使用することで、高い周波数でのインピーダンスを改善でき、 f_{sw} の上昇というトレンドにも対応している

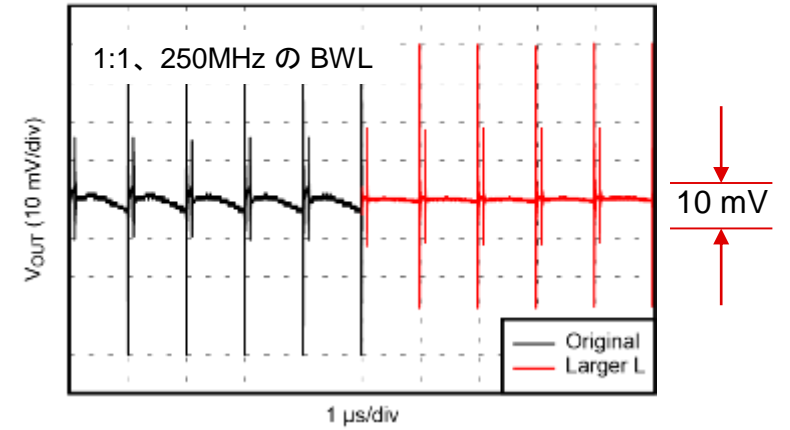
短所

- 実装する部品点数が増える
- コンデンサ間で共振が発生する可能性がある
- 使用していない値を追加する場合、BOM (部品表) 上の使用品種数が増える

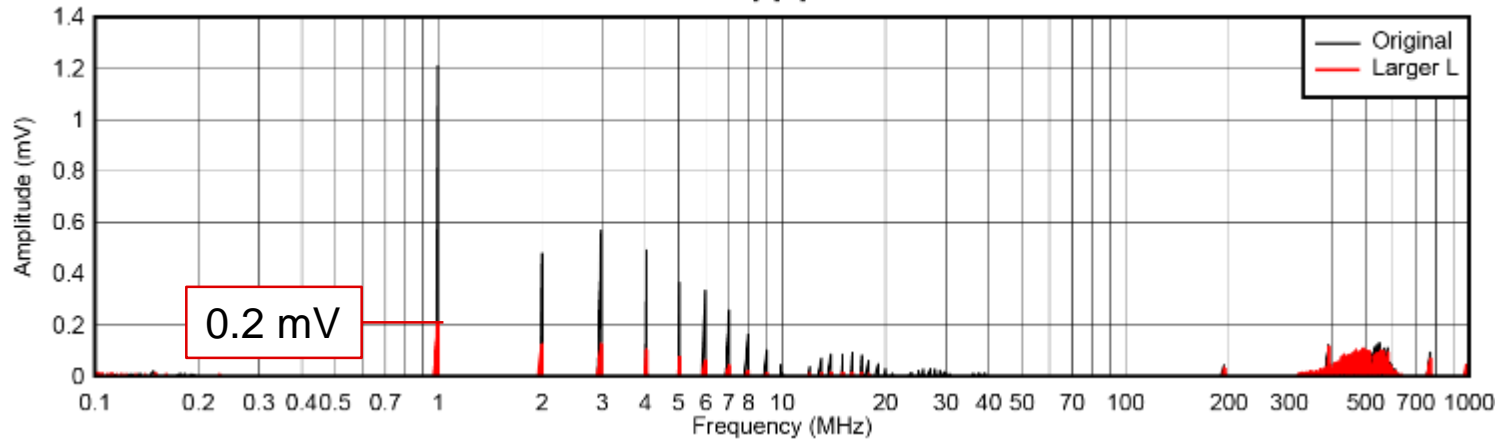
Lの増加 - 測定結果



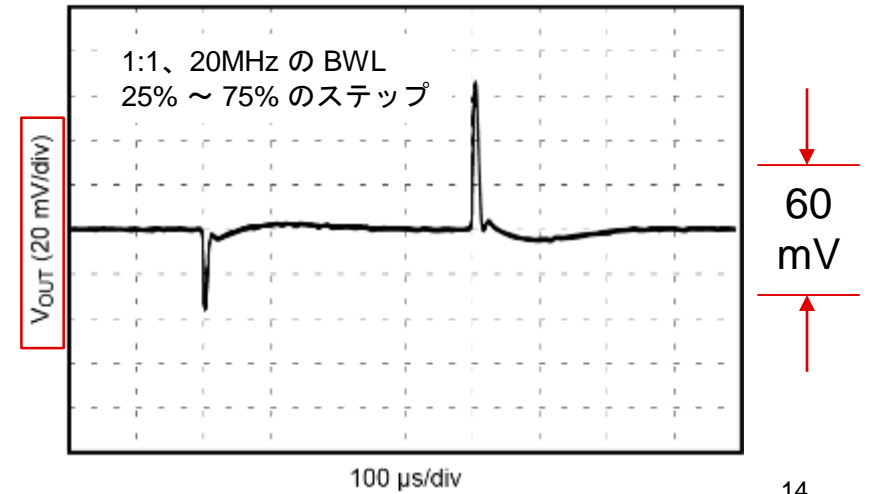
Steady-state ripple



FFT



Transient response



L の増加 – 長所と短所

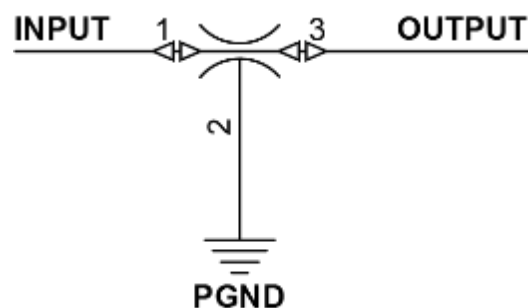
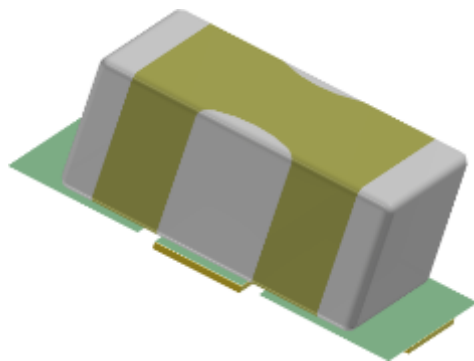
長所

- 回路図の変更がシンプルで済む
- リップル電流が小さくなるので、 f_{sw} とその高調波における出力電圧リップルを小さくすることができる
- 出力電圧リップルに占める寄生 ESL 成分が減らすことができる

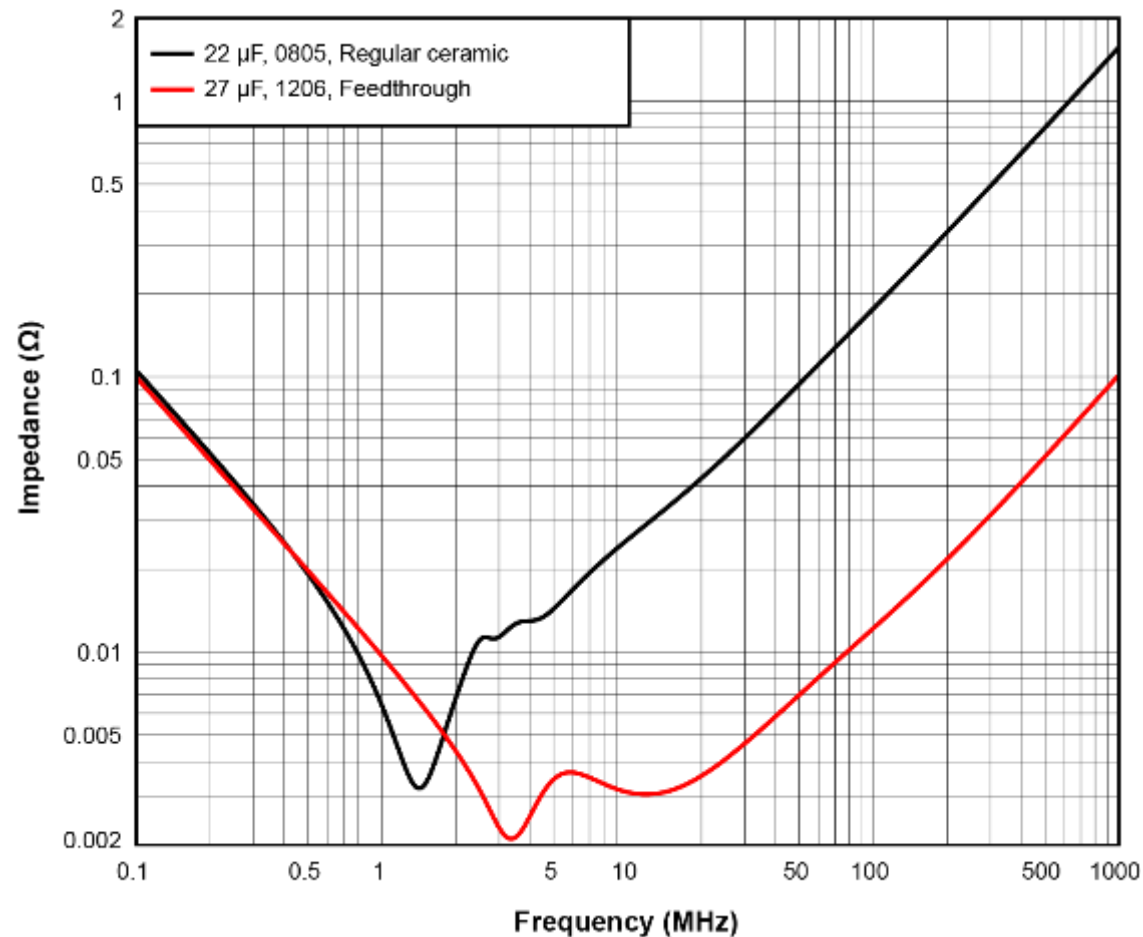
短所

- DCR (直流抵抗) が大きい、大きなインダクタが必要になる可能性がある
 - 基板面積
 - コスト
 - 導通損失
- インダクタの di/dt が小さくなるので、過渡応答が低速化する
- 高周波 (100MHz 超過)でのフィルタリング効果はない

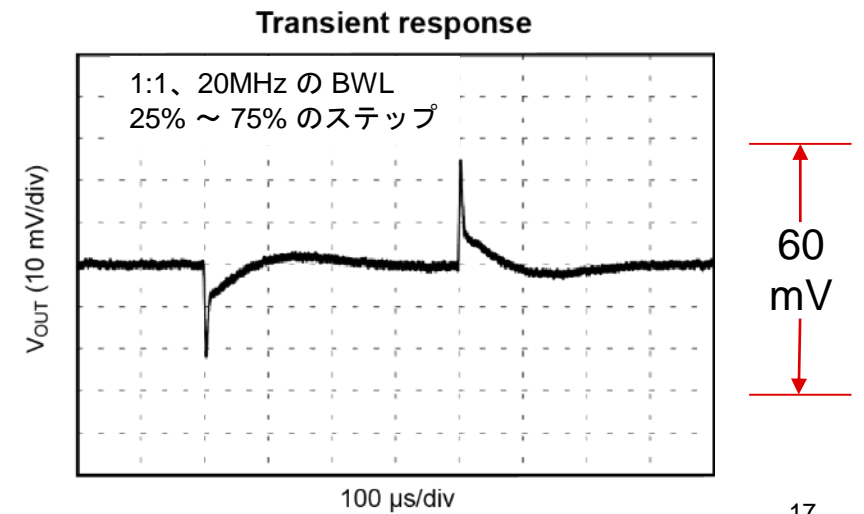
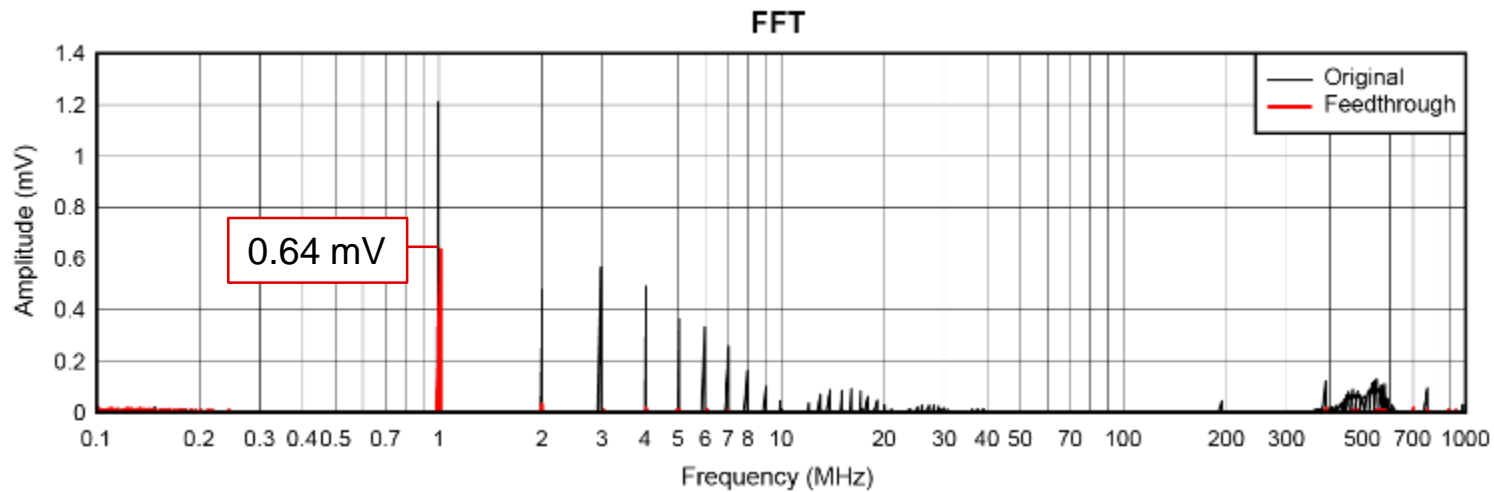
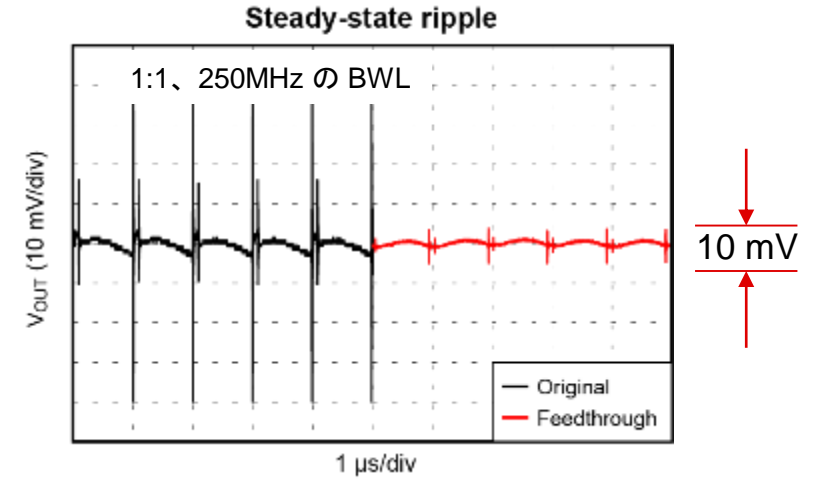
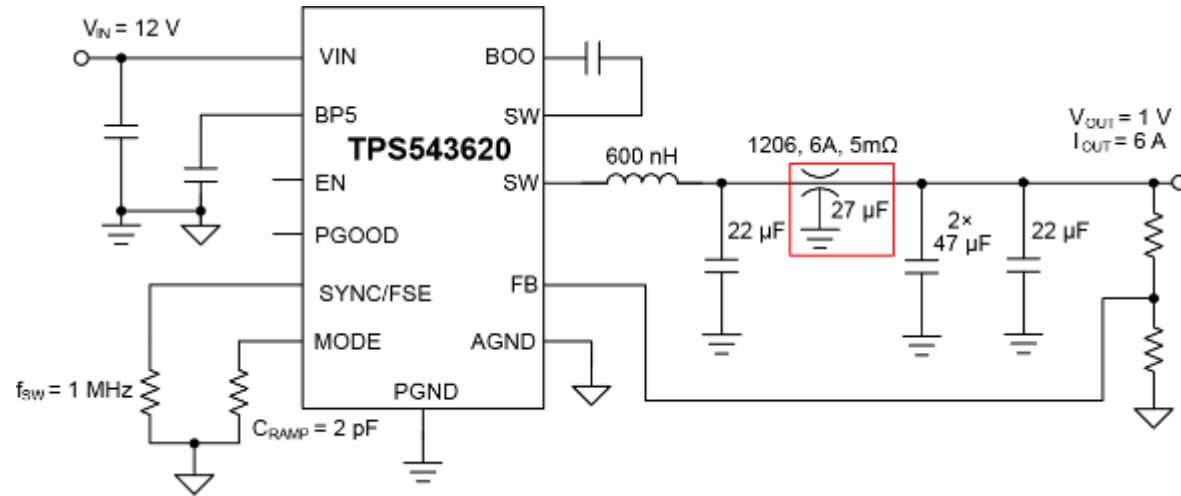
フィードスルー・コンデンサとは



- 寄生インダクタンスの小さいコンデンサ
- 高い周波数まで低インピーダンスの特性
- 2MHz を上回る周波数帯で、フィードスルー・コンデンサのインピーダンスは、通常のセラミック・コンデンサの 1/10 未満の特性



フィードスルー・コンデンサ - 測定結果



フィードスルー・コンデンサ – 長所と短所

長所

- シンプルに追加するだけで、過渡応答または安定性に影響を及ぼすことなく、非常に小さいノイズを実現可能
- f_{SW} の高調波でのリップルと、スイッチング・エッジに起因する高周波ノイズの除去にも有効

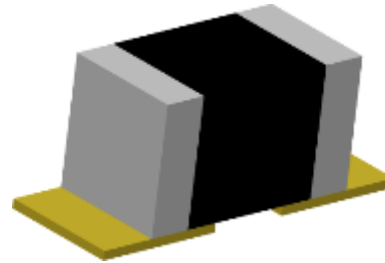
短所

- 標準的な部品ではない
 - ベンダー
 - 容量値オプション
- ジャンクション温度定格が低いものが多い
- DCR に起因する導通損失
- f_{SW} でフィルタリングで除去できたリップルは、およそ半分にとどまった

フェライト・ビーズ - 特徴

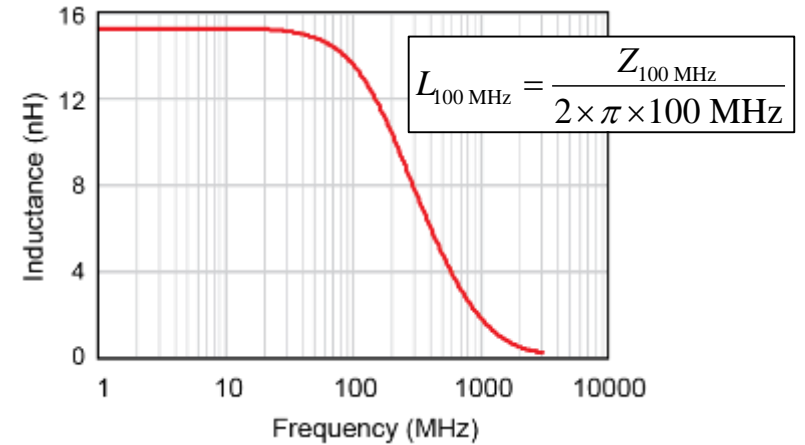
- 10MHz 未満で良好なインダクタ特性
- 100MHz ~ 1GHz の周波数帯でインピーダンスが増大
- 低いDC 抵抗
- 小型サイズ
- 低コスト
- 標準的に使用されている
- L の飽和に関する検討事項 → 負荷電流に比べて 2 倍の定格を持つフェライト・ビーズを選択

例 : 0603

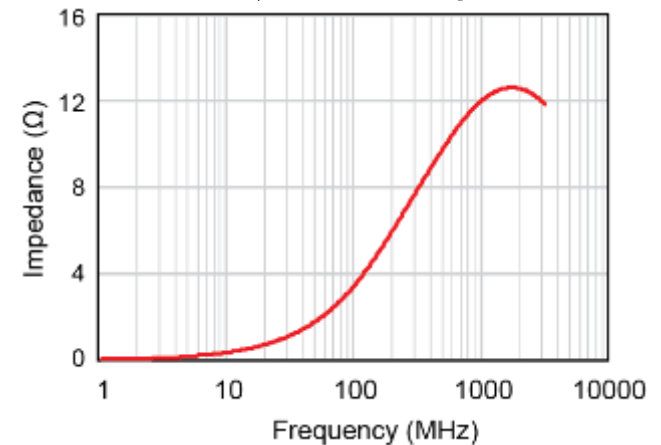


5A、15nH、4mΩ

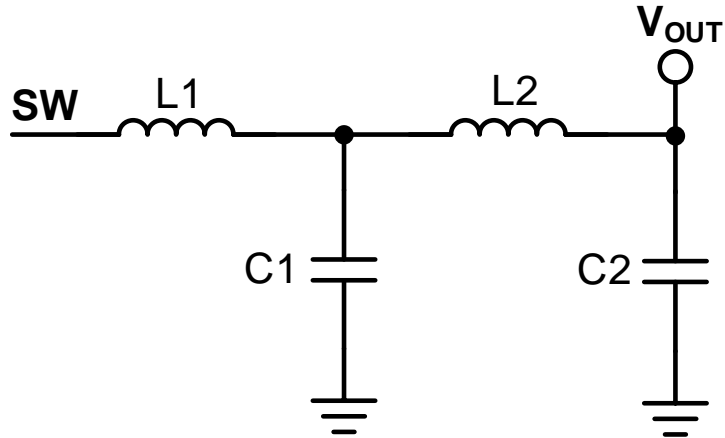
L = 15nH、10MHz 未満



Z = 8.5Ω、100MHz 時



フェライト・ビーズ – 選定時の検討事項

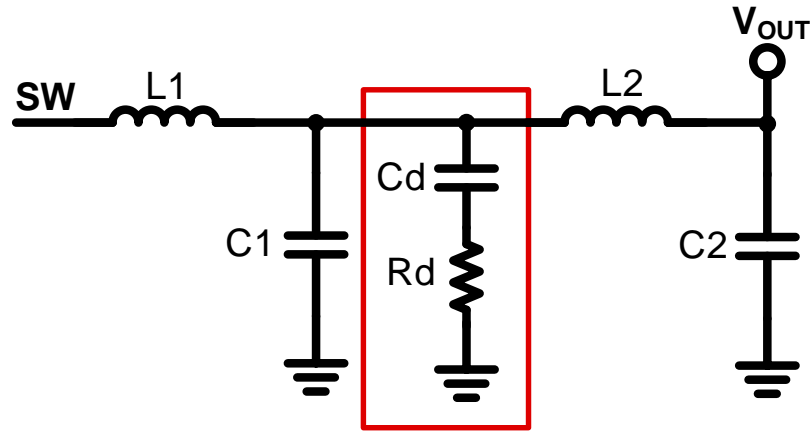


$$f_{LC2} = \frac{1}{2\pi \times \sqrt{L2 \times C_S}}$$

$$C_S = \frac{C1 \times C2}{C1 + C2}$$

- 安定性の目的で、2段目の LC 共振周波数 (f_{LC2}) はループ帯域幅を上回っている必要があります。推奨の f_{LC2} は、ループ帯域幅の少なくとも 3 倍です。
- TPS543620 は100kHz を上回る広いループ帯域幅を達成しているので、 f_{LC2} を比較的高い周波数 (300kHz 超過) にする必要があります。
- 2段目の LC 周波数を高くするための2つの指針：
 - 低インダクタンス、大電流のフェライト・ビーズ (L2)
 - フェライト・ビーズ前段にあるコンデンサ (C1) の最小化

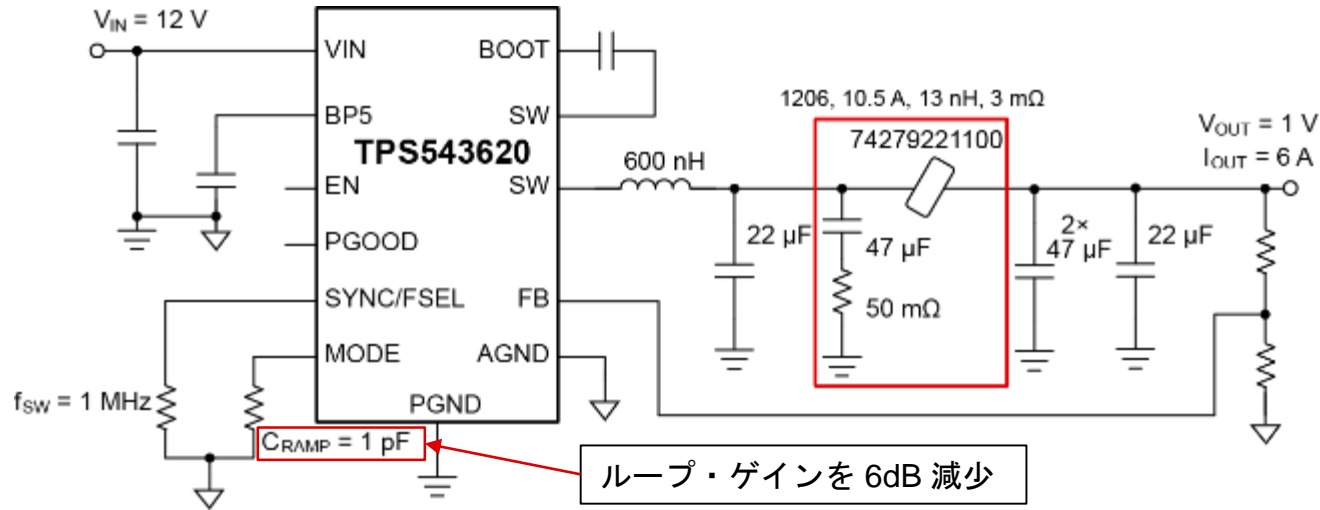
フェライト・ビーズ - ダンピング



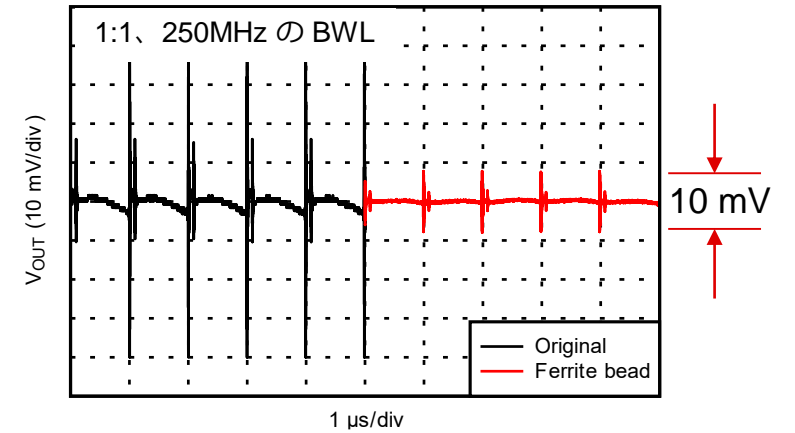
$$R_d = \frac{1}{\pi \times f_{LC2} \times C1}$$

- 2 段目の LC の Q を小さくするには、ダンピングつまり減衰が必要です。
- フェライト・ビーズより前段に、C1 に対して並列に直列 RC ダンピングを追加します。この方式が、高周波ノイズを低減するうえで優先度の高いダンピング方式です。
- 設計指針：
 - $C_d \geq C_1$
 - RC の周波数が 2 段目の周波数の半分になるように R_d を選定

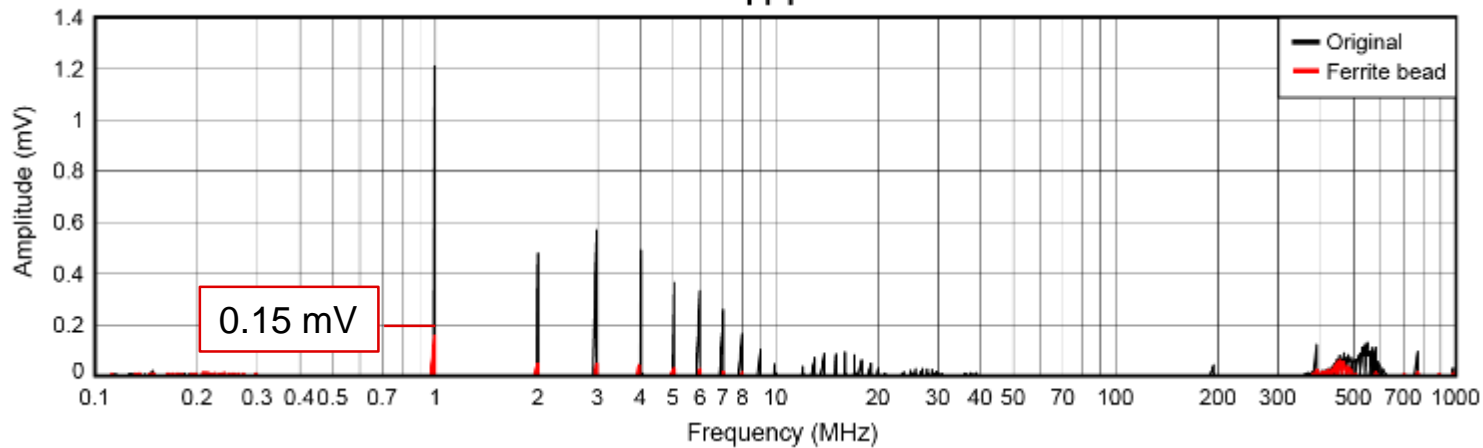
フェライト・ビーズ - 測定結果



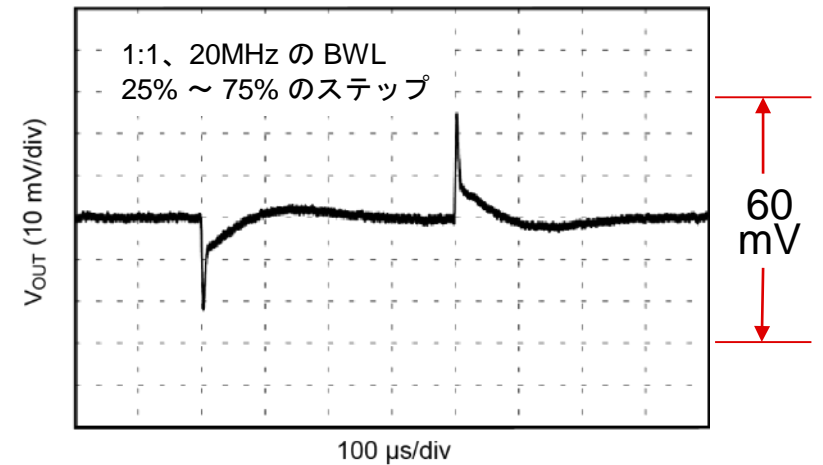
Steady-state ripple



FFT

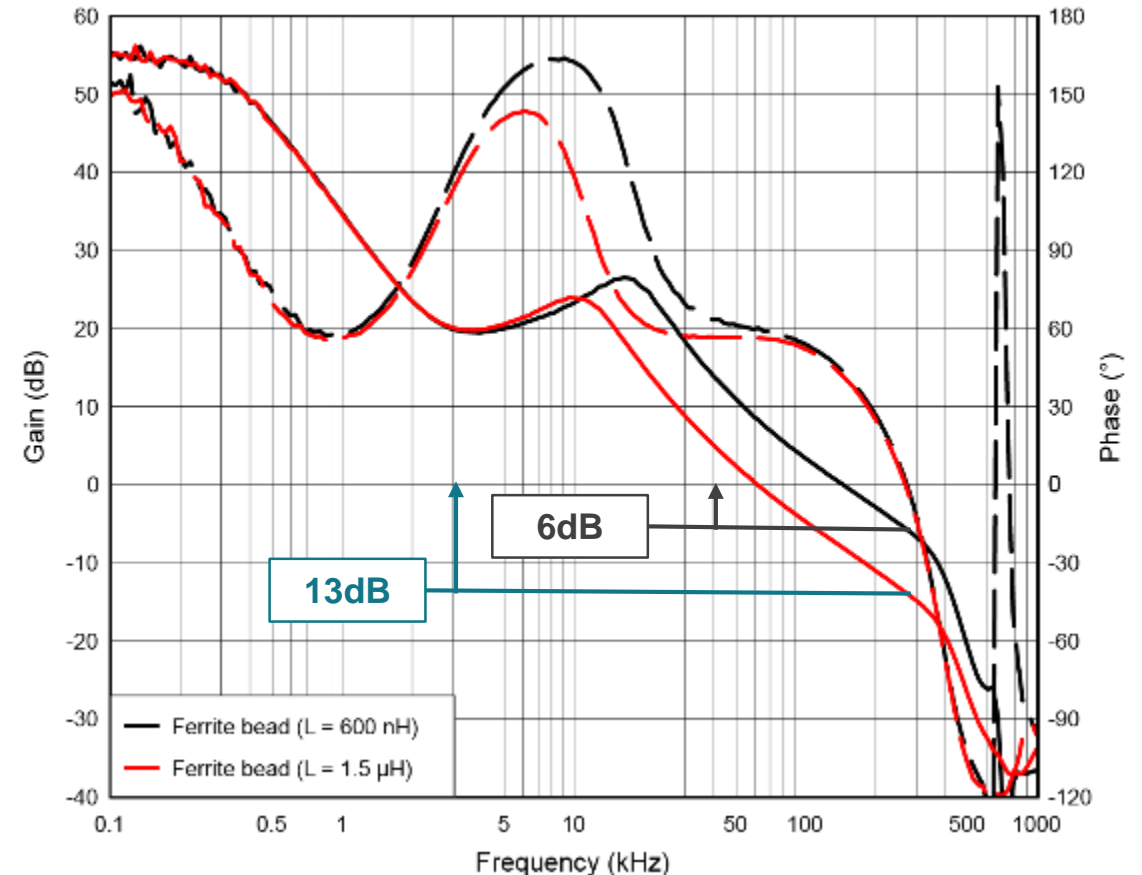


Transient response



フェライト・ビーズ - 安定性

- 約 300kHz で2 段目の LC が急激に低下
- ループ帯域幅が約 140kHz と広いので、ゲイン・マージンが不十分で位相マージンも低い
- 安定性の改善が必要
 - ループ帯域幅を狭める → 同じ周波数応答を実現するには、より大きな C_{OUT} が必要になる
 - 2 段目の LC 周波数を高くする → リップルの増加
- 1 段目の L を $1.5\mu\text{H}$ に変更することで
 - 安定性マージンは改善
 - 過渡応答は低速化



フェライト・ビーズ – 長所と短所

長所

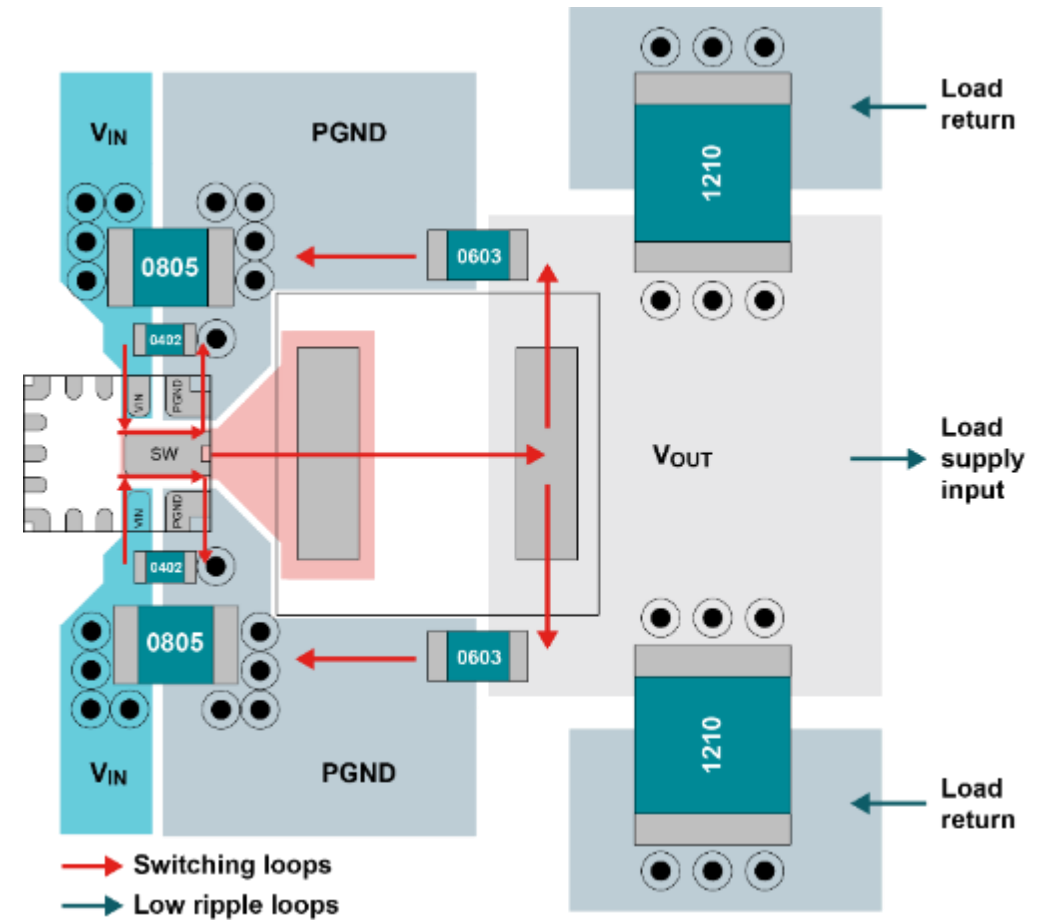
- 標準的な部品である
- 周波数全体 (f_{SW} を上回る周波数帯) にわたってリップルを効率的にフィルタリング可能

短所

- ループ安定性の課題が生じる可能性があり、それに伴い
 - ループを補償するために、必要な部品点数が増える可能性がある
 - 十分な安定性マージンを確保するために、ループ帯域幅を狭くする必要がある
- DCR に起因する導通損失

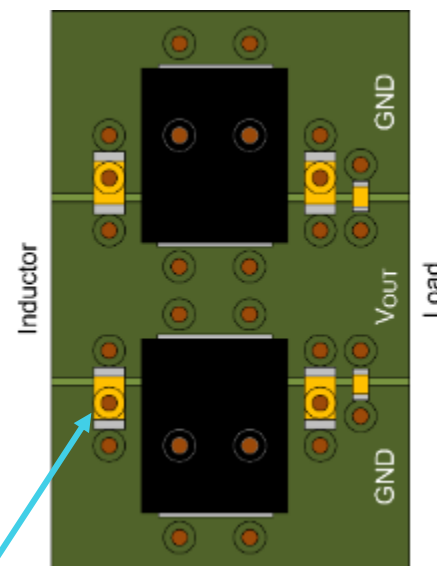
レイアウト手法 - コンバータ周辺

- 寄生インダクタンスを小さくするため、 V_{IN} 、PGND、および V_{OUT} には大きなプレーン、太いパターンを使用し、フィルタリング素子を相互接続します。
- dv/dt が大きいライン(スイッチング・ノード)は、低リップルを必要とするラインから離すようにします。
- 低リップルを必要とする PGND の領域は、スイッチング・ループ内のノイズの多い PGND の領域から離すようにします。

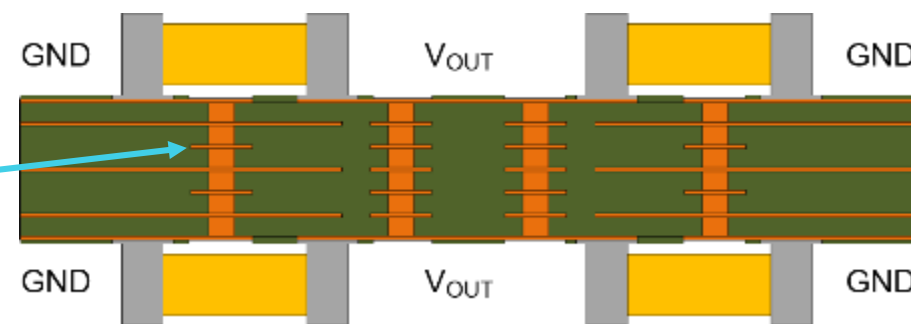


レイアウト手法 - 出力コンデンサ

- コンデンサ・バンクとグラウンドの間に V_{OUT} を通します。
- インダクタンスを小さくするために、複数のビアを使用します。
- 可能な場合、上面と底面のコンデンサを鏡像、つまり線対称の配置にします。
- コンデンサの端子間にビアを配置し、ループ面積を最小化します。



ビア相互間の間隔を確保し、プレーンでビア間を埋め尽くします。

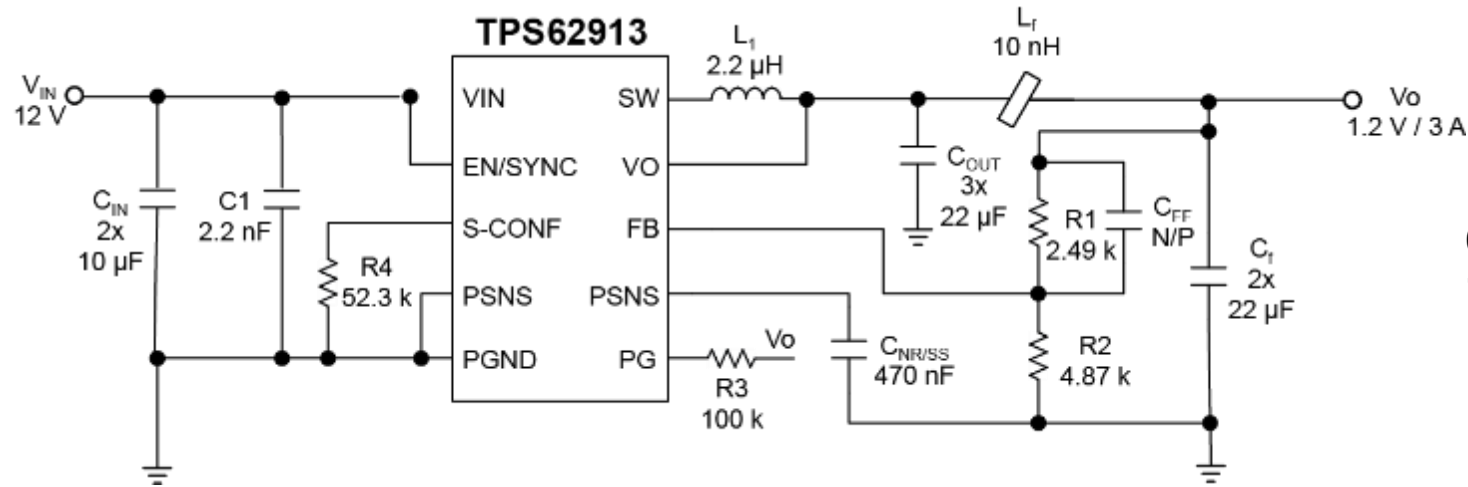


低リップルと低ノイズに適した シリコン・ソリューション

TI POWER

フェライト・ビーズ補償機能内蔵、低ノイズ、 低リップルの降圧コンバータ

3.0V ~ 17V の
入力電圧範囲

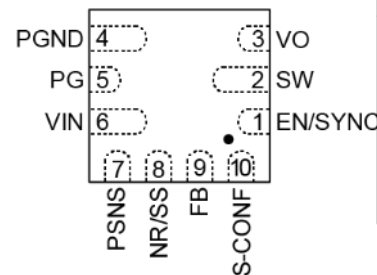


0.8V ~ 5.5V の出力電圧範囲
1% の出力電圧精度

単一抵抗による設定

構成	機能
S-CONFIG	2.2MHz/1MHz
S-CONFIG	スペクトラム拡散
S-CONFIG	出力放電

2.0mm x 2.0mm HotRod™ QFN

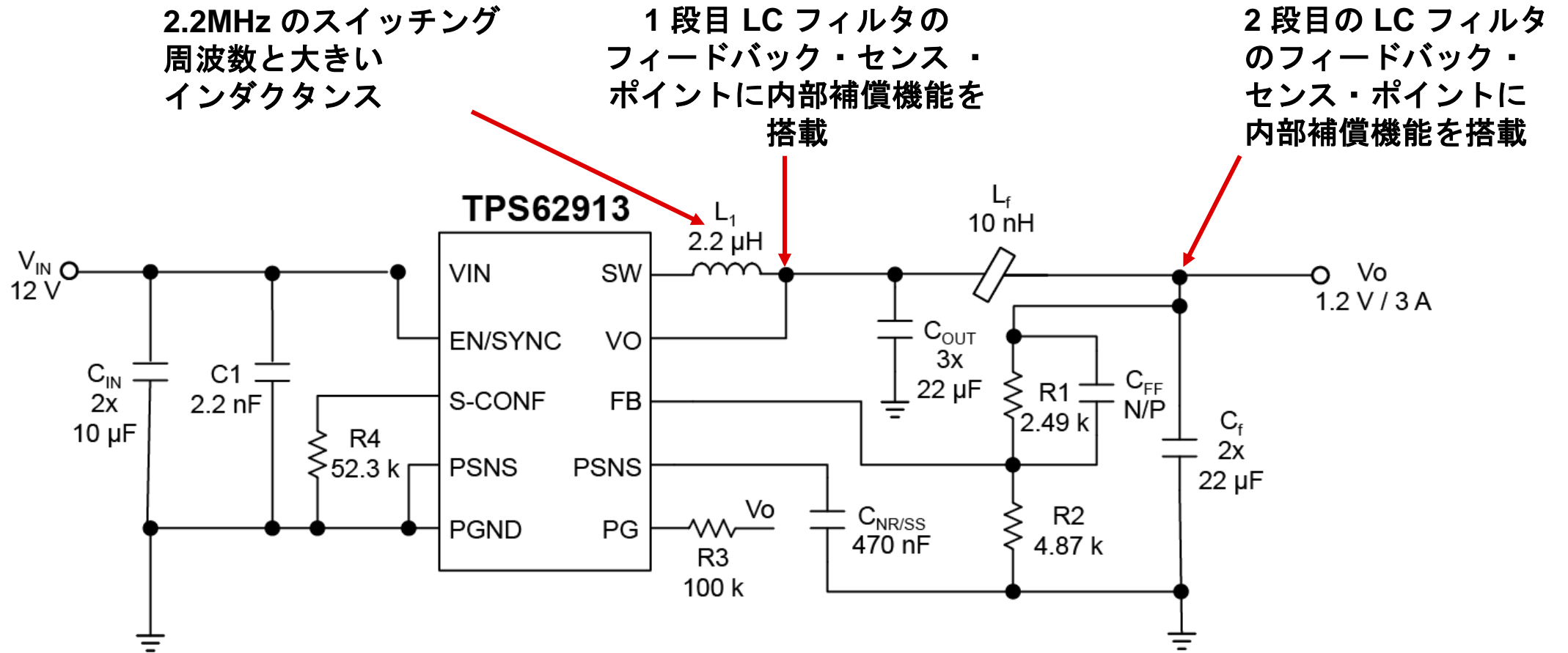


100Hz ~ 100kHz の範囲で $20\mu\text{V}_{\text{RMS}}$ 未満の低ノイズ

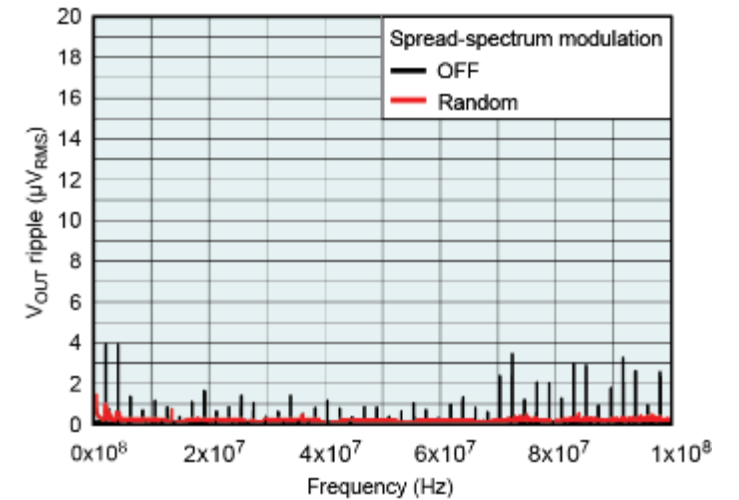
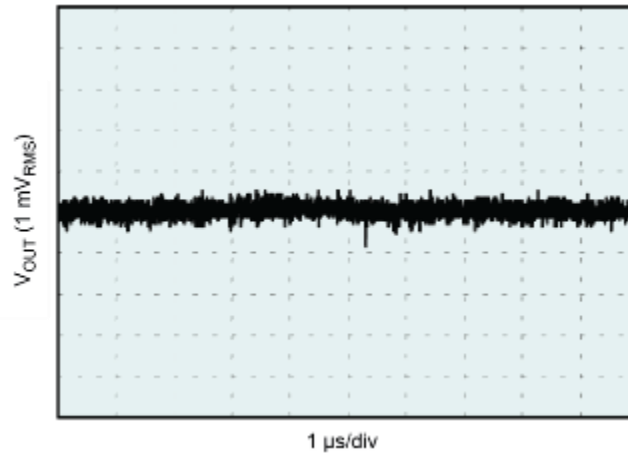
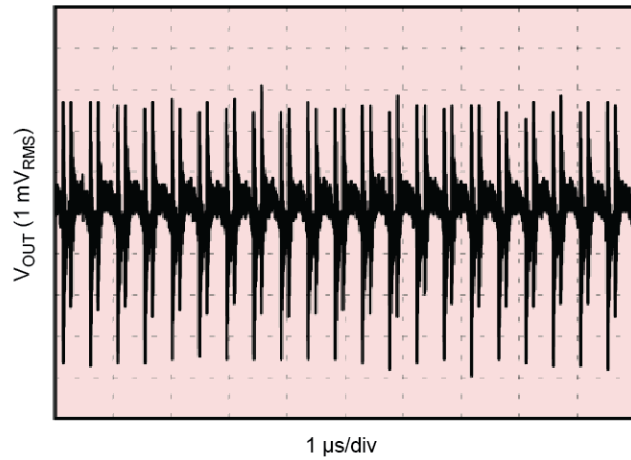
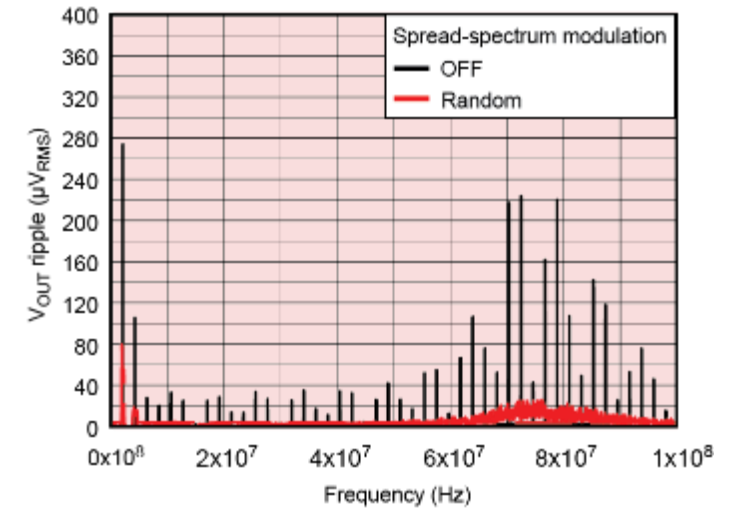
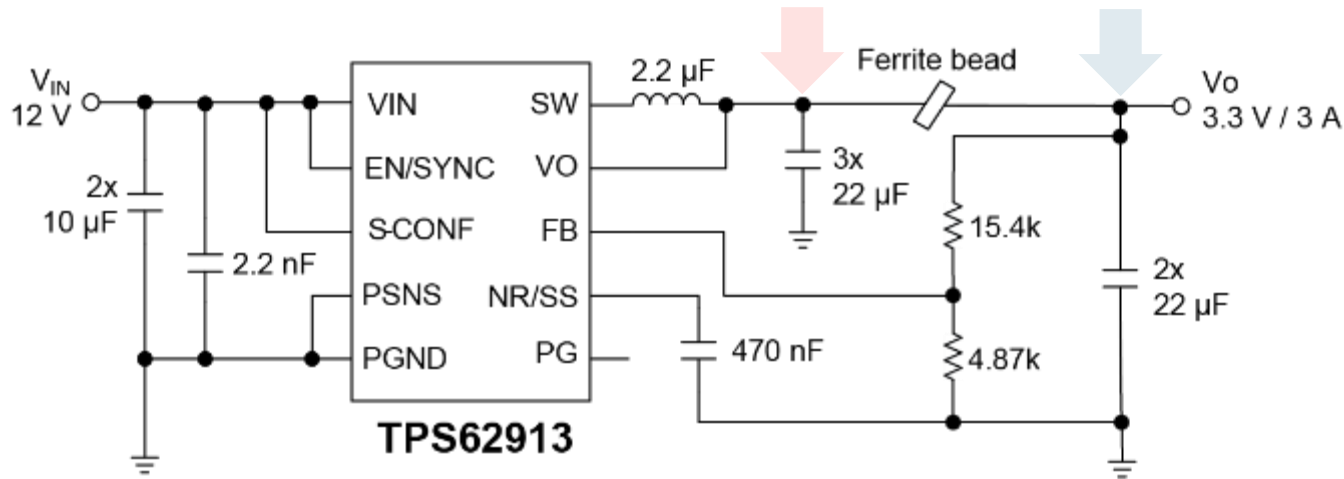
フェライト・ビーズの後段で $10\mu\text{V}_{\text{RMS}}$ 未満の小さい電圧リップル

65dB を上回る PSRR (100kHz まで)

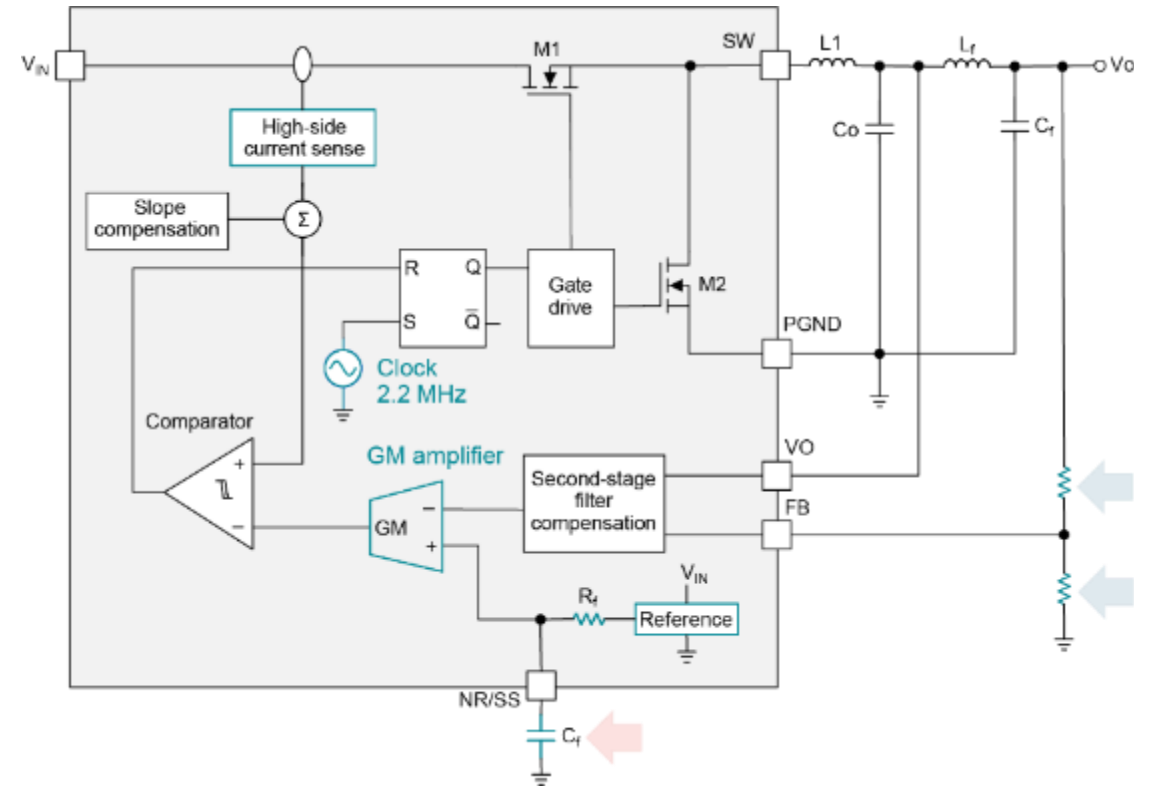
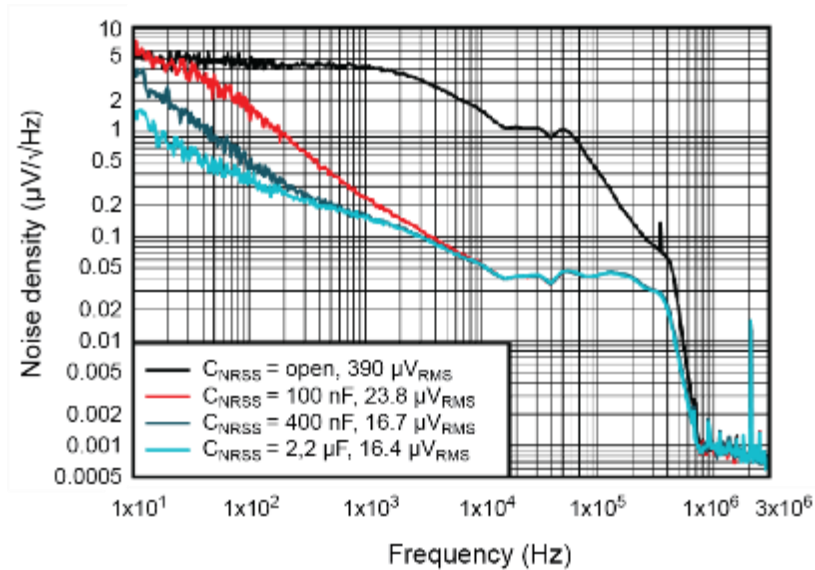
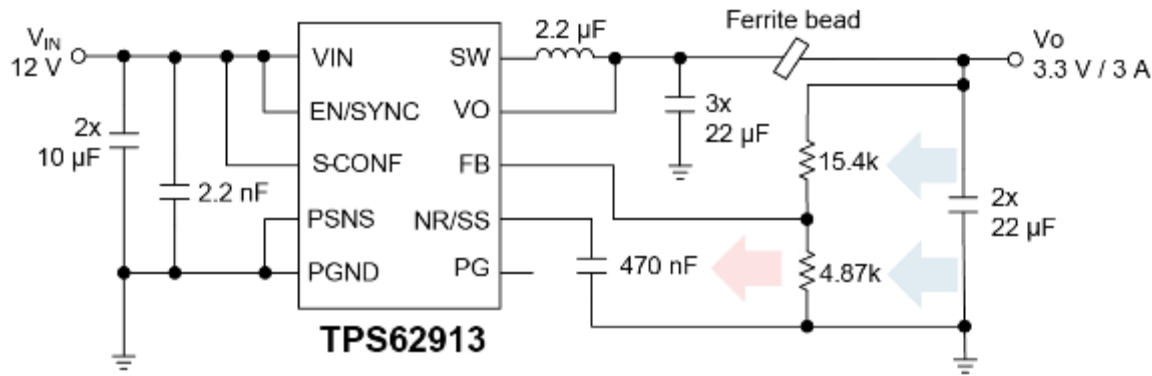
TPS62913の低リップル DC/DC アーキテクチャ



TPS62913の低リップル DC/DC アーキテクチャ



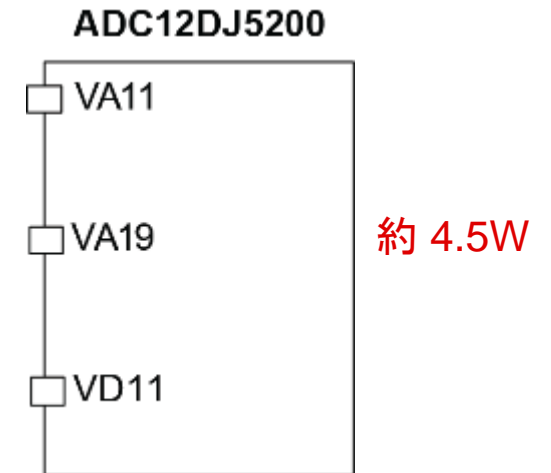
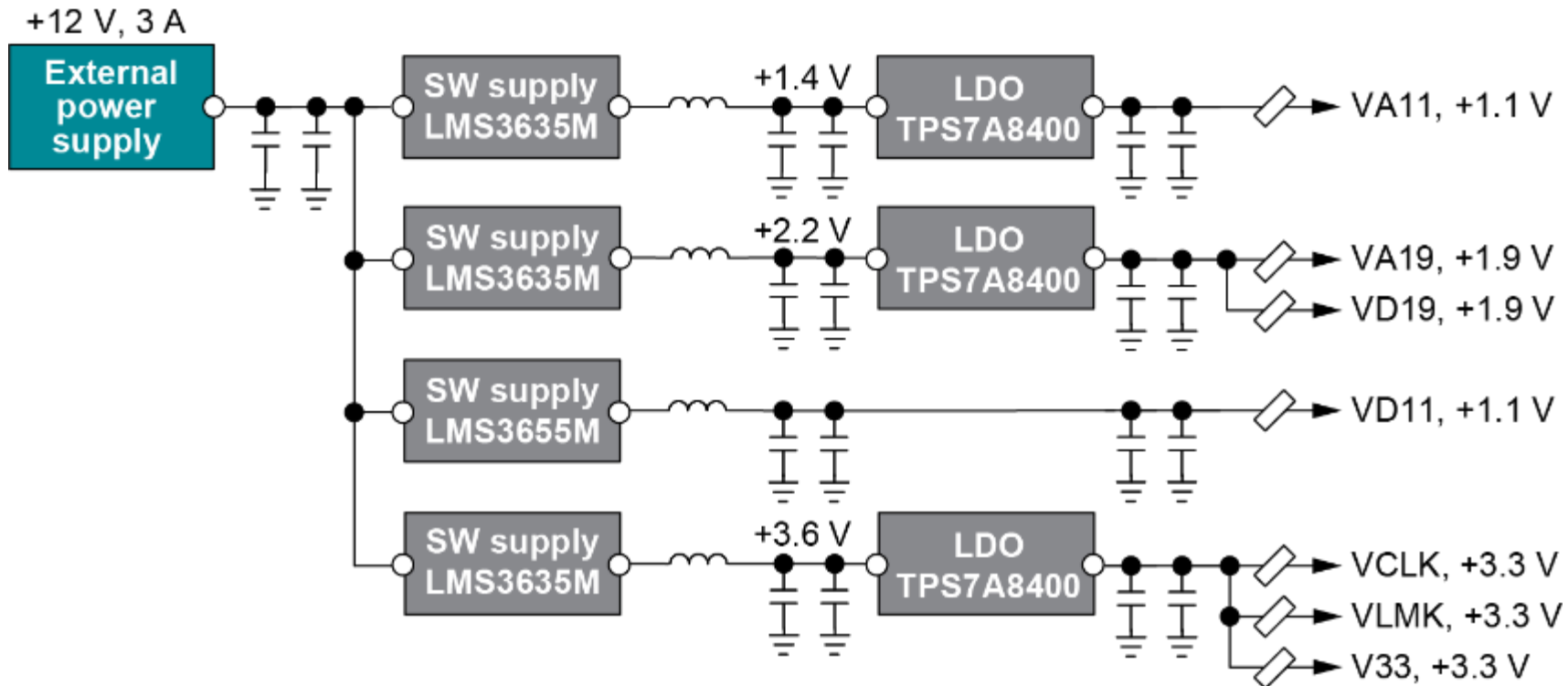
TPS62913の低リップル DC/DC アーキテクチャ



LDOを使用するADCとクロックアプリケーションの例

アプリケーション・ノート (英語) :

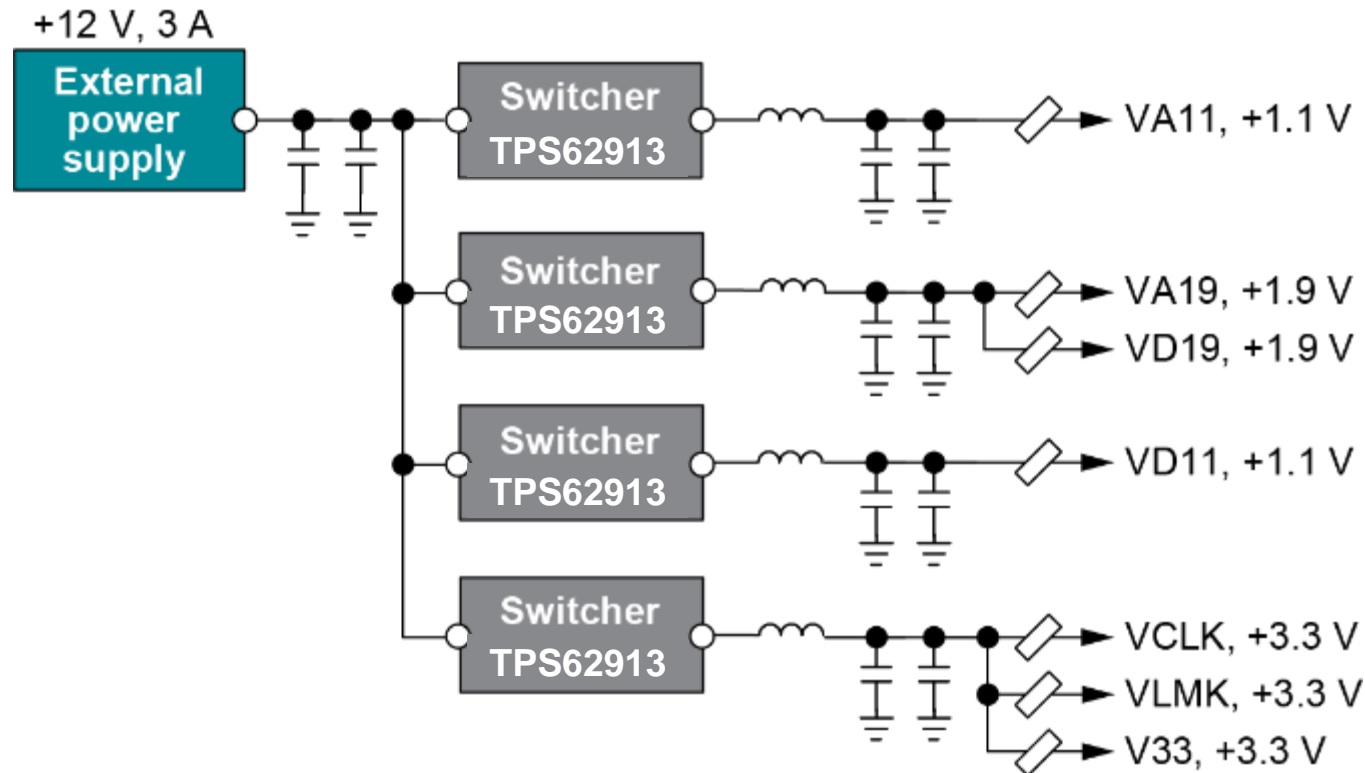
<https://www.ti.com/lit/an/slvaew7/slvaew7.pdf>



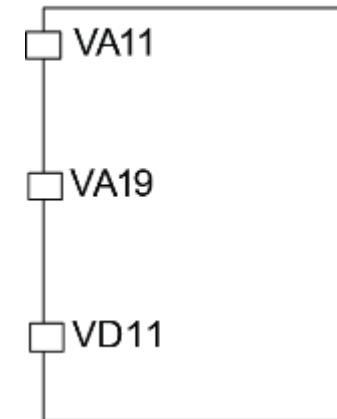
LDOを使用しないADCとクロックアプリケーションの例

アプリケーション・ノート（英語）：

<https://www.ti.com/lit/an/slvaew7/slvaew7.pdf>



ADC12DJ5200



約 4.5W

クロックシステム

LMX2594

LMK04828

LMK00304

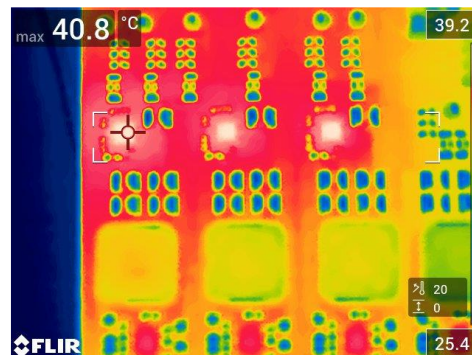
約 3.5W

ソリューション・サイズ、消費電力、コストの改善

アプリケーション・ノート (英語) :

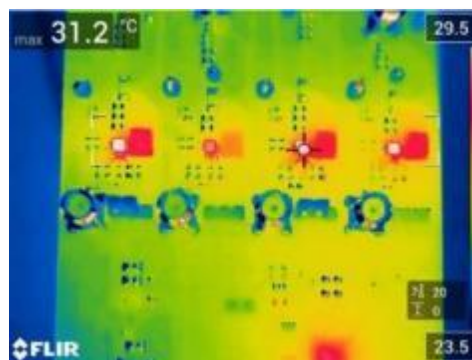
<https://www.ti.com/lit/an/slvaew7/slvaew7.pdf>

LMS3635Q1 (低ノイズ) と TPS7A8400 の組み合わせで $4.4\mu\text{V}_{\text{RMS}}$



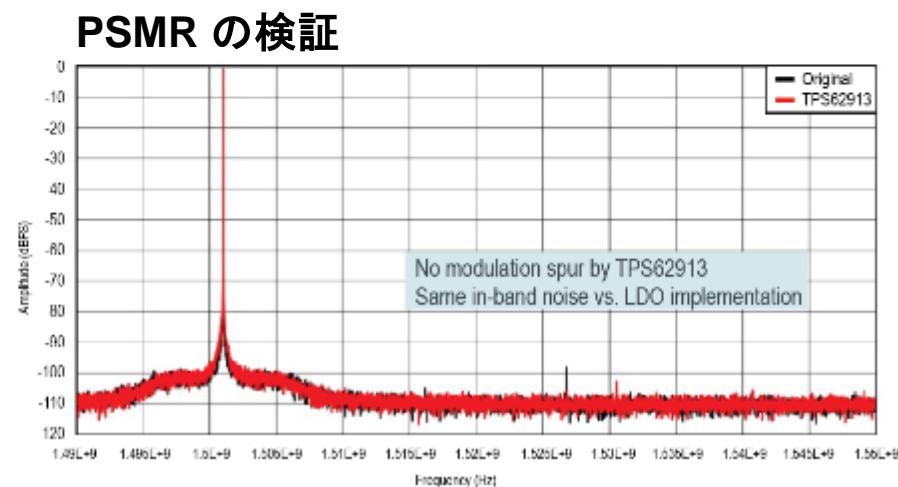
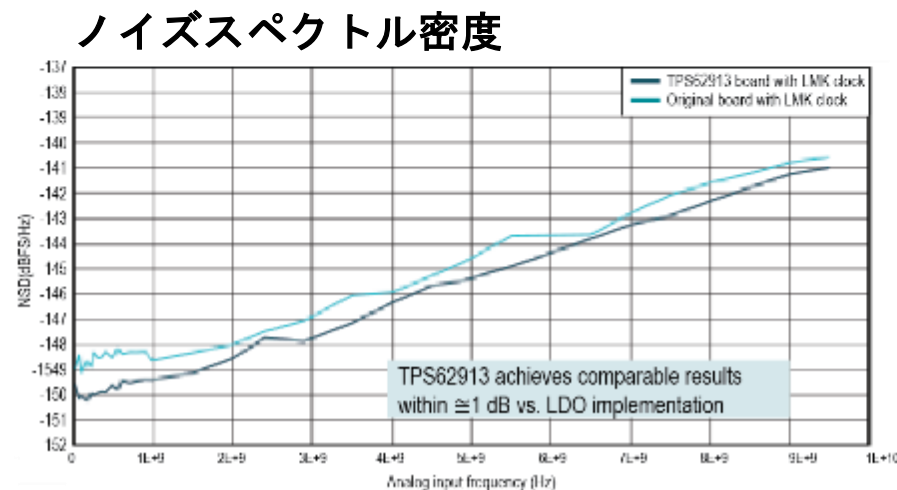
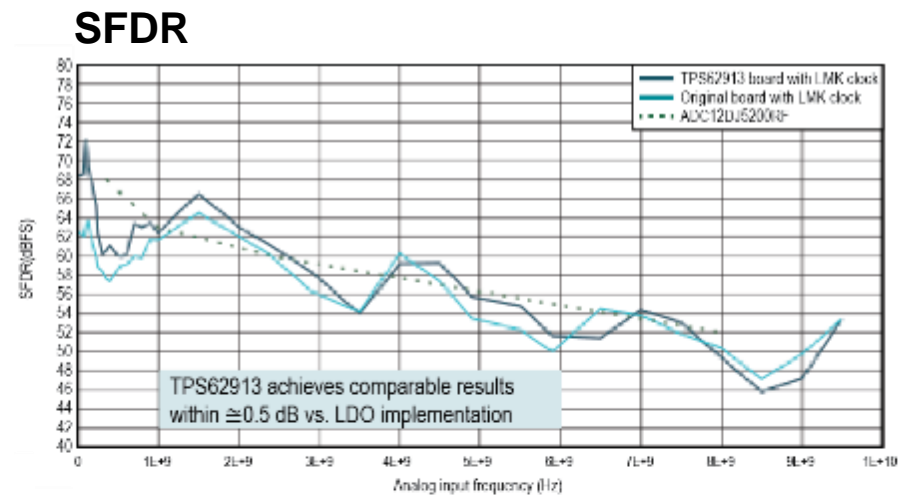
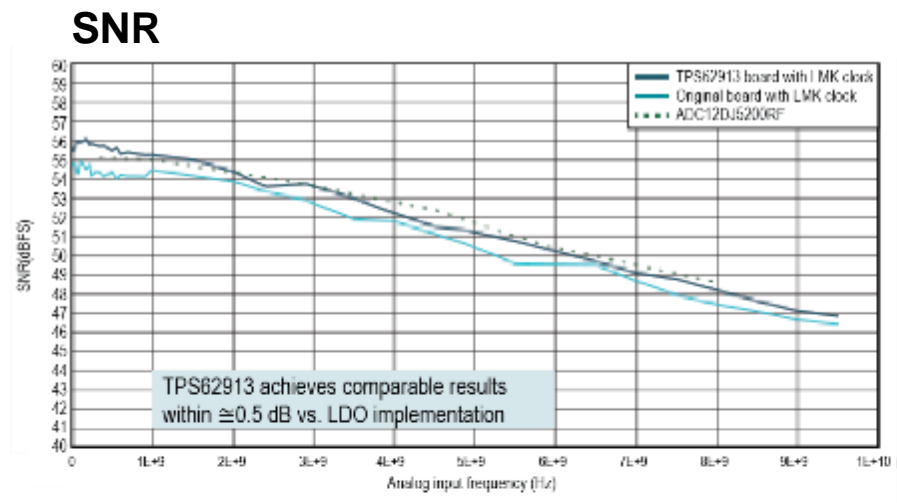
構成	元の回路	TPS62913
スイッチング電源	4 個の LM3635M (各 $4 \times 5\text{mm}^2$)	4 個の TPS62913 (各 $2 \times 2\text{mm}^3$)
LDO	3 個の TPS7A8400 (各 $3.5 \times 3.5\text{mm}^2$)	なし
電源のサイズ	116.75mm^2 + 受動部品	16mm^2 + 受動部品

TPS62913 $20\mu\text{V}_{\text{RMS}}$ のノイズ、 $10\mu\text{V}_{\text{RMS}}$ の出力リップル



構成	入力電流	入力電力	PCB の温度
LMS3635 + TPSA84	828 mA	9.94W	40.8°C
TPS62913	704 mA	8.45W	31.2°C
改善	124 mA	1.5W	9.6°C

設計の主な性能パラメータへの適合



まとめ

- LDO によるポスト・フィルタリングなしでも、ノイズに敏感な回路への電源供給が可能です。
- 出力リップルの改善はDC/DC コンバータの出力フィルタに変更を加えることで実現できます。
- 100kHz 以下の低周波ノイズをフィルタリングするには、低ノイズ設計手法を取り入れた製品を利用することで実現できます。
- フェライト・ビーズ・フィルタの追加は、10MHz 以上の周波数を最も効果的にフィルタリングすることができる方法です。
- TPS62913は、これらの低ノイズ、低リップルを実現するための機能を取り込み、仕様を規定している ICの例です。

低リップルと低ノイズの電源に関連する参考資料

- “**Second-Stage LC Filter Design,**” (英語) Ray Ridley, Switching Power magazine.
<https://ridleyengineering.com/images/phocadownload/1%20second%20stage%20filter%20design.pdf>
- “**Understanding and Managing Buck Regulator Output Ripple,**” (英語) Jim Perkins, Dan Tooth, E2E.
https://e2e.ti.com/blogs_/b/powerhouse/posts/understanding-and-managing-buck-regulator-output-ripple
- 『**低ノイズ降圧コンバータによりノイズとリップルを最小限に抑える**』 Steven Schnier, E2E.
https://e2e.ti.com/blogs_/japan/b/power-ic/posts/671265
- “**Powering Sensitive Noise ADC Designs with the TPS62913 Low-Noise Buck Converter,**” (英語) Rob Reeder, Steven Schnier, application report, SLVAEW7. <https://www.ti.com/lit/pdf/slvaew7>
- “**Powering the AFE7920 with the TPS62913 Low-Ripple and Low-Noise Buck Converter,**” (英語) Russell Hoppenstein, Steven Schnier, application report, SLVAF16. <https://www.ti.com/lit/pdf/slva16>
- “**Reduced Size, Double-Sided Layout for High-Current DC/DC Converters,**” (英語) Jim Perkins, Matthias Ulmann, application report, SLVA963. <https://www.ti.com/lit/pdf/slva963>

その他の参考資料

TI (テキサス・インスツルメンツ) の技術資料 :

- データシート : TPS62913 データシート <https://www.tij.co.jp/product/jp/TPS62913>
- プレシジョン・ラボ : **Fast Fourier Transforms (FFTs) and Windowing (英語)**
<https://training.ti.com/ti-precision-labs-adcs-fast-fourier-transforms-ffts-and-windowing>
- プレシジョン・ラボ : **Introduction to noise in ADC systems (英語)**
<https://training.ti.com/ti-precision-labs-introduction-to-adc-noise>
- プレシジョン・ラボ : **Phase noise figures of merit (英語)**
<https://training.ti.com/ti-precision-labs-clocks-and-timing-pll-phase-noise-figures-merit>
- プレシジョン・ラボ : **RF PLL and synthesizer key parameters (英語)**
<https://training.ti.com/ti-precision-labs-clock-and-timing-system-pll-synth-key-parameters>

YouTube ビデオ :

- **Achieve low noise and low output ripple with high-efficiency DC/DC converter (英語)**
<https://www.youtube.com/watch?v=Qi8PeB766m8&t=27s>
- **Power Sensitive ADCs with Low-Noise, Low-Ripple DC/DC Buck Converter (英語)**
<https://www.youtube.com/watch?v=hLWBHtE-1Cs>



©2022 Texas Instruments Incorporated. All rights reserved.

The material is provided strictly "as-is" for informational purposes only and without any warranty.
Use of this material is subject to TI's **Terms of Use**, viewable at [TI.com](https://www.ti.com)