

TI *Live!* POWER SUPPLY DESIGN SEMINAR

2022年4月13日

GaN をベースとする高電圧、大電力設計の最適化

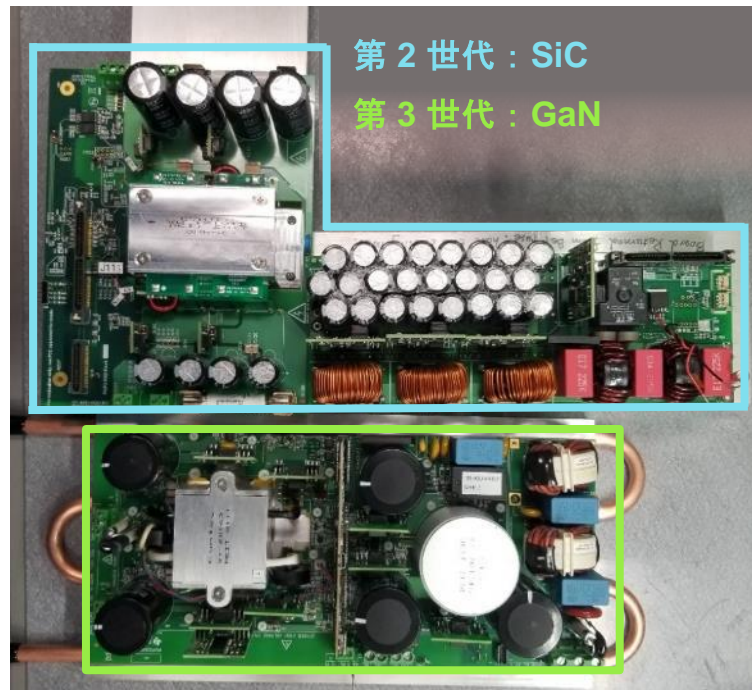
伊藤 一樹

目次

- 大電力の設計で GaN を使うべき理由
 - 電力密度の向上を通じたソリューションサイズの縮小
 - Si、SiC、GaN の各パラメータの比較
- TI の GaN を使用した車載オンボード・チャージャ (OBC) の設計事例
 - PFCの設計考慮事項
 - DC/DCの設計考慮事項
- 電源構成と実践的な考慮事項

大電力の設計で GaN を使うべき理由

- スイッチング周波数を高くすることで、電力密度を高めることが可能
 - Si-MOSFET や IGBT と比較して、各種ワイド・バンドギャップ・デバイスにはスイッチング周波数が高い場合に損失が小さくなるという利点がある
 - GaN の超高速スイッチングスルーレートを活用すると、損失をさらに最小化可能
- 第 2 世代 OBC : SiC PFC と DC/DC を組み合わせた設計 :
 - PFC のサイズ : 20,915mm²
 - DC/DC のサイズ : 27,886mm²
- 第 3 世代 OBC : GaN PFC と DC/DC を組み合わせた設計 :
 - サイズ : 38,171mm²

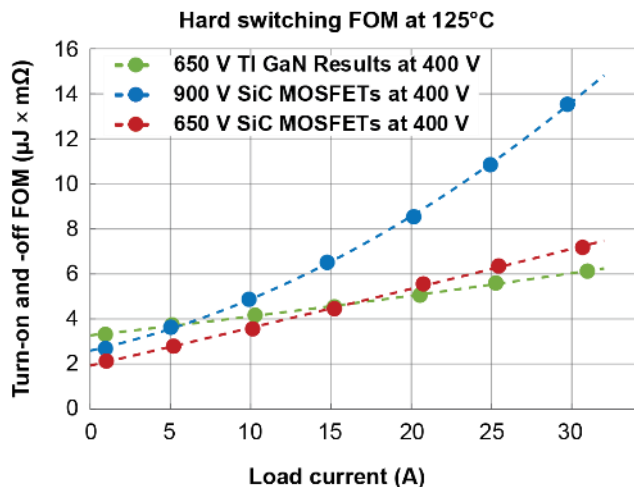


Si または IGBT、SiC、GaN の比較

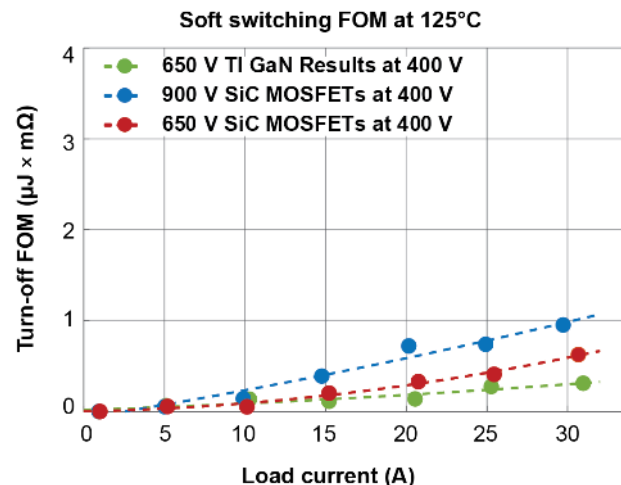
パラメータ*	Si または IGBT	SiC	TI の GaN
$R_{DS(on)}$	高い	中程度	低い
V_{DS}	最大数キロボルト (kV)	650V、900V、 1,200V、1,700V	600V、650V
最大動作 f_{sw}	低い	中程度	高い
Q_{rr}	高い	低い	ゼロ
$T_{j,max}$	150°C/175°C	175°C/200°C	150° C
熱伝導率	1.5W/(cm × K)	5W/(cm × K)	1.3W/(cm × K)
コスト	低い	高い	中程度

SiC と GaN の比較 – 各種パラメータが実践的な設計に及ぼす影響

- スイッチング周波数 × (Eon + Eoff) = ハード・スイッチング損失

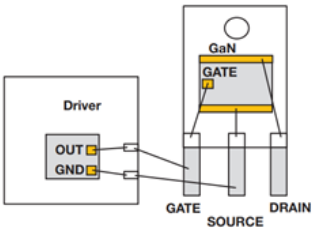
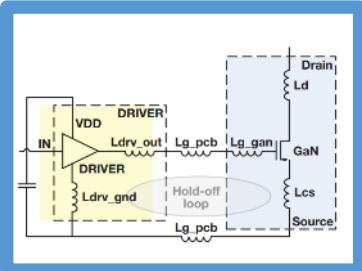
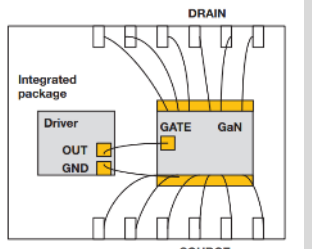
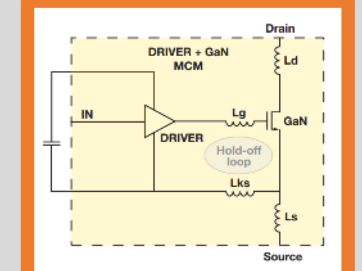


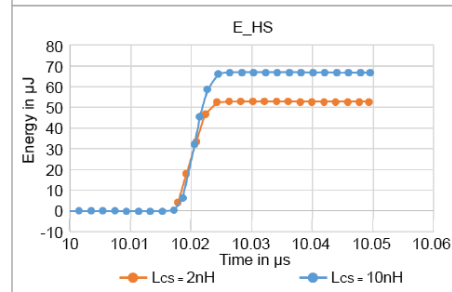
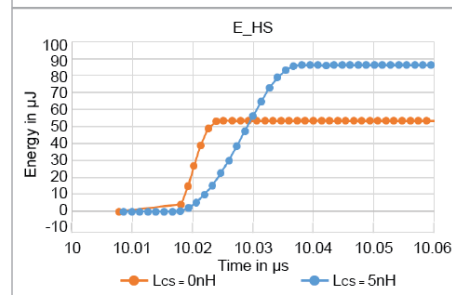
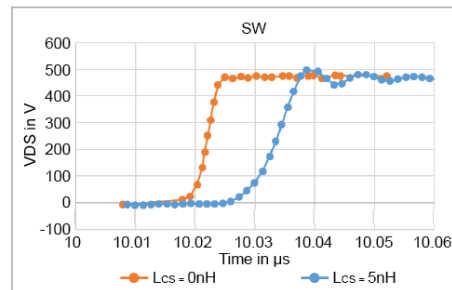
ハード・スイッチング性能指数
(ターンオンとターンオフ損失)



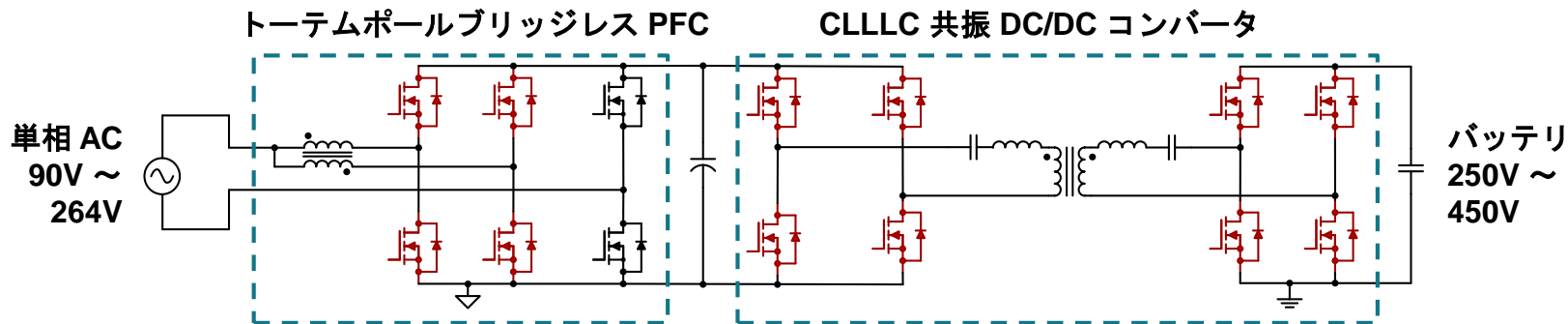
ソフト・スイッチング性能指数
(ターンオフ損失、ターンオン時の ZVS) 5

GaN – 集積化レベル

集積化レベル	利点 / 欠点	寄生容量
	<ul style="list-style-type: none"> 利点：親しみある標準パッケージ 欠点：高ソースインダクタンス 欠点：高ゲートループインダクタンス 欠点：ソリューション・サイズ 	
	<ul style="list-style-type: none"> 利点：ソースインダクタンスなし 利点：ゲートループインダクタンスの低減 利点：追加機能の集積可能 欠点：特殊パッケージが必須 	



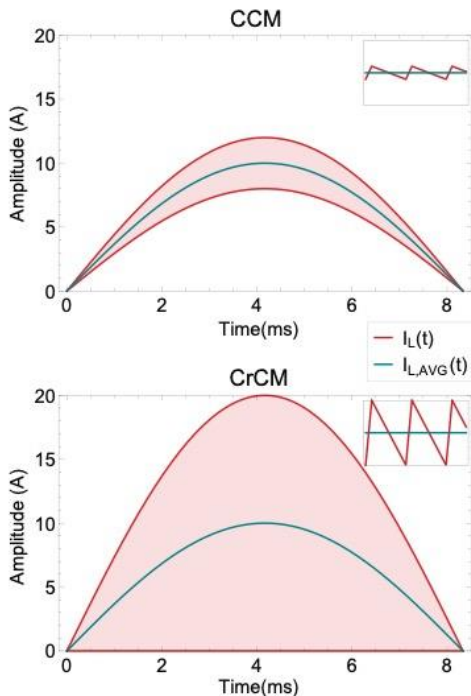
車載 6.6kW OBC 向け設計アーキテクチャの例



PFC 段と DC/DC 段の両方を
単一のコントローラ
(TMS320F28388D C2000™
リアルタイム・マイコン) で制御

Parameter	Min	Typ	Max	Units
AC 入力電圧	90	220	264	V _{RMS}
AC 入力電流			32	A _{RMS}
DC 出力電圧	250	400	450	V
DC 出力電流 (CC モード)			20	A
DC 出力電流 (CP モード)			6.6	kW
電力密度	60			W/inch ³
EMI 準拠レベル		CISPR 32, Class B		
AC ライン周波数	47		63	Hz
力率 (全負荷時)	0.99			
コールド・プレート冷却液の温度		65	85	°C

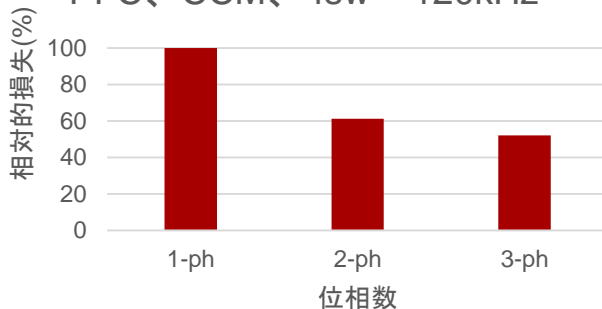
臨界モード (CrCM) / 連続導通モード (CCM) の比較



- 固定スイッチング周波数
- 小さいピーク電流とRMS電流
- ゼロ・クロス歪みの低減

- ソフトターンオン ($V_{IN} < V_{OUT} / 2$)
- インダクタンスの低減

マルチフェーズの損失比較
PFC、CCM、 $f_{sw} = 120\text{kHz}$

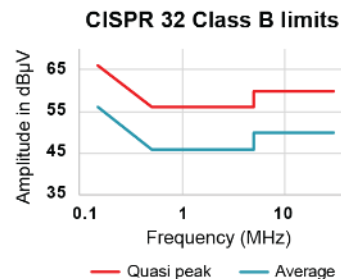
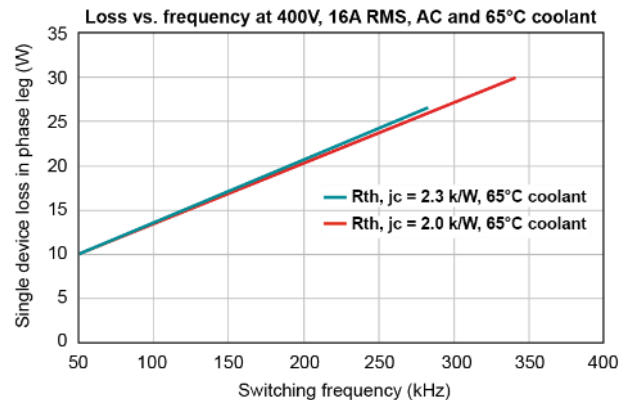


CCM という選択肢 :

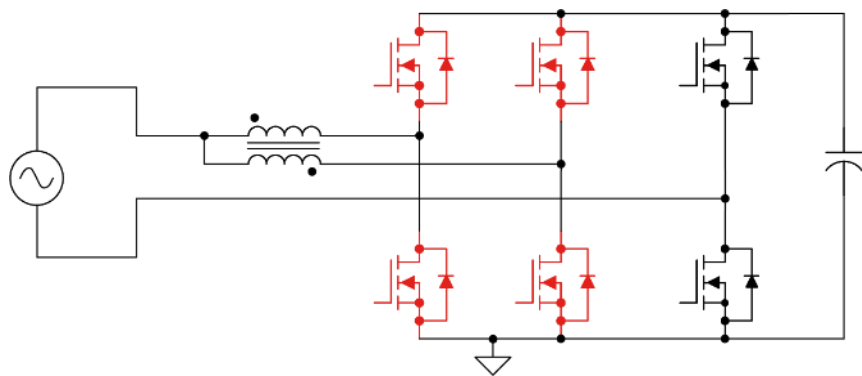
- GaN FET の場合、CrCM ではRMS電流が大きく、3相のPFCが必要になるため損失が大きくなる
- 数倍の高さの f_{sw} を選択した場合も含め、CrCM ではコア・サイズがそれほど小さくならない
- CCM ではマイコンの制御方式の複雑さを低減可能

PFC – 周波数最適化

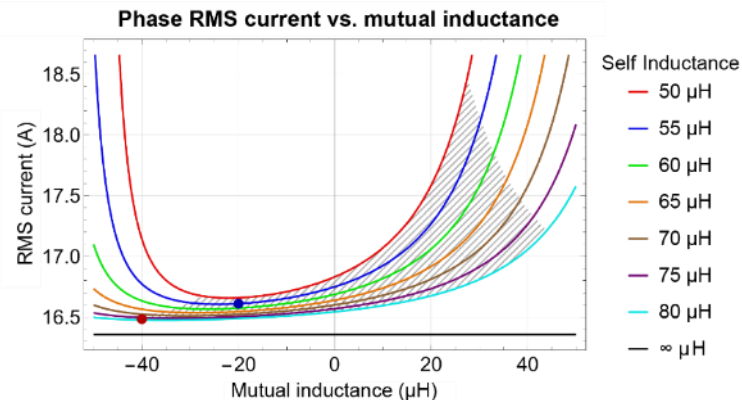
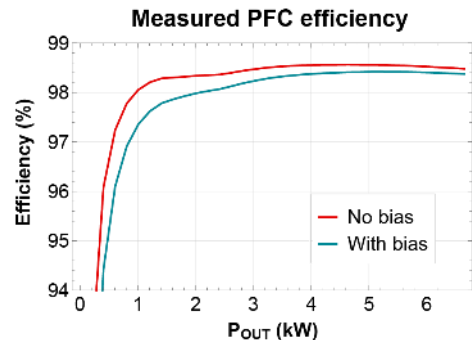
- 電力密度ターゲット $>60\text{W}/\text{in}^3$ ($3.66\text{kW}/\text{L}$) :
 - f_{sw} を高くしてインダクタサイズを縮小する必要あり
 - 磁気部品の入手性による制限
 - GaN FET パッケージの熱的限界
- 効率ターゲット $\geq 98.0\%$
 - CCM で 120kHz で動作している
 - GaN FET の損失の約 50% はスイッチング由来
 - TI の GaN はゼロ逆回復電荷
- EMI を考慮した f_{sw} の選択 :
 - インターリーブ型マルチフェーズ・コンバータにとって効果的な f_{sw} の検討が必要



PFC - 設計



- 4つの GaN FET を使用した $f_{sw} = 120\text{kHz}$ の 2相インターリーブ CCM トーテムポール PFC
- 2つのインダクタを使用する代わりに、1つのネガティブカップルインダクタを使用しインダクタ体積を約 30% 小型化



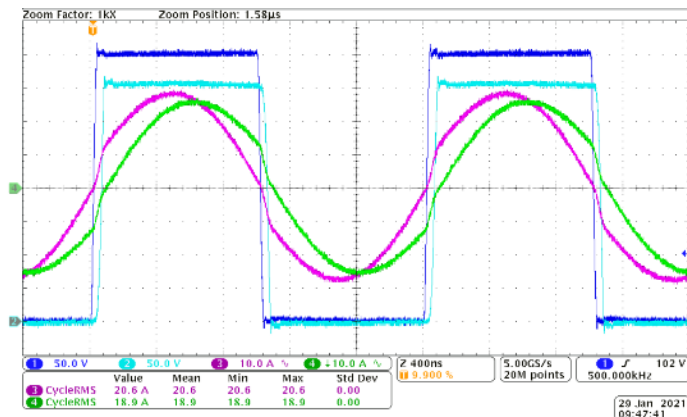
DC/DC 段

設計の優先事項

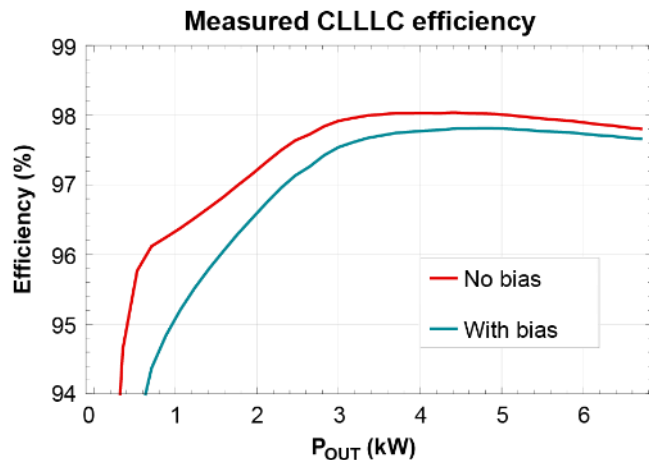
- 最小の体積で最大の電力を供給する
- トータル効率を最大化する

$V_{IN} = 400V$
 $V_{OUT} = 350V$
 $P_{OUT} = 6.6kW$

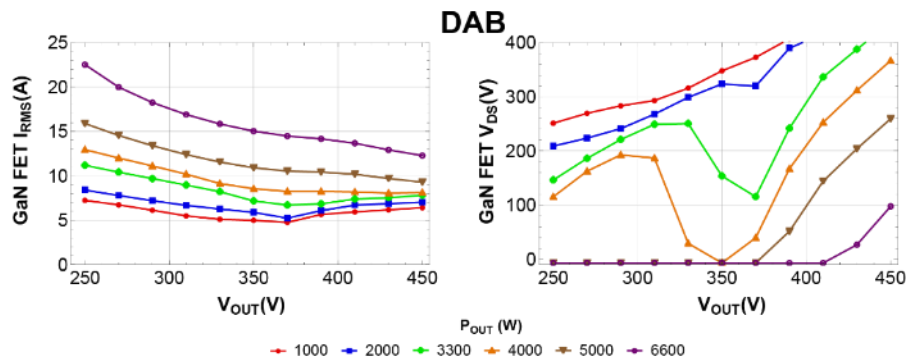
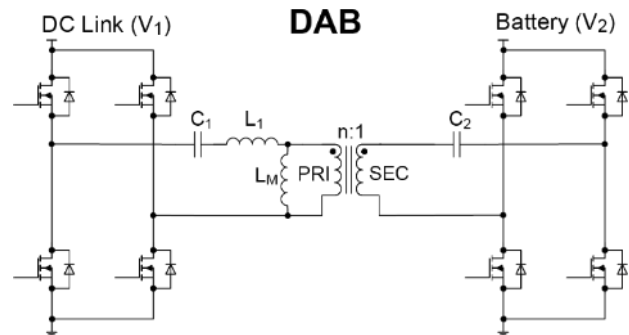
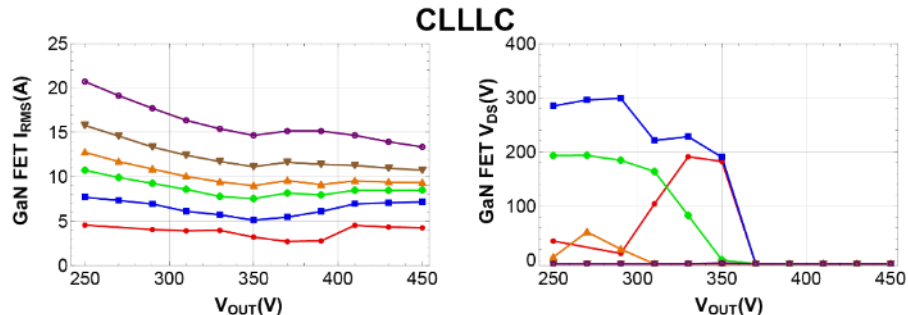
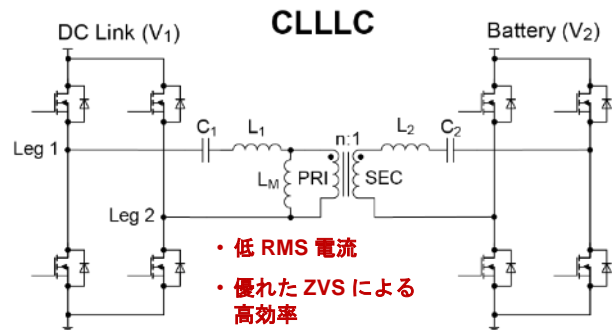
CH1 : 1 次側スイッチ・ノード
CH2 : 2 次側スイッチ・ノード
CH3 : XFMR I_{SEC}
CH4 : XFMR I_{PRI}



概要	Min	Typ	Max	Units
DC 出力電圧	250	400	450	V
DC 出力電流			20	A
DC 出力電力			6.6	kW

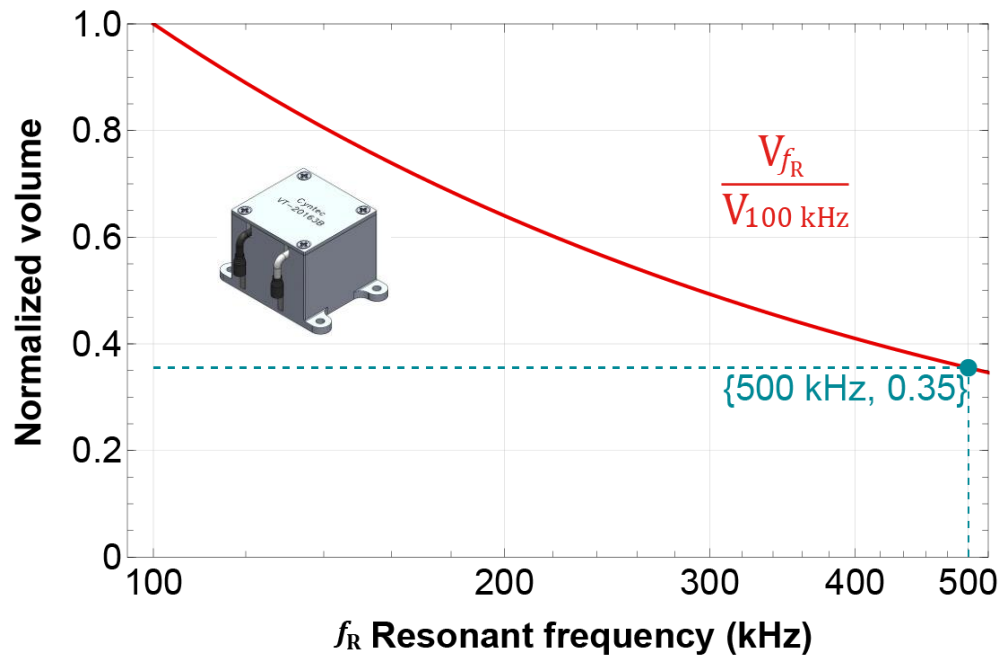


DC/DC トポロジーの選択



周波数の選択

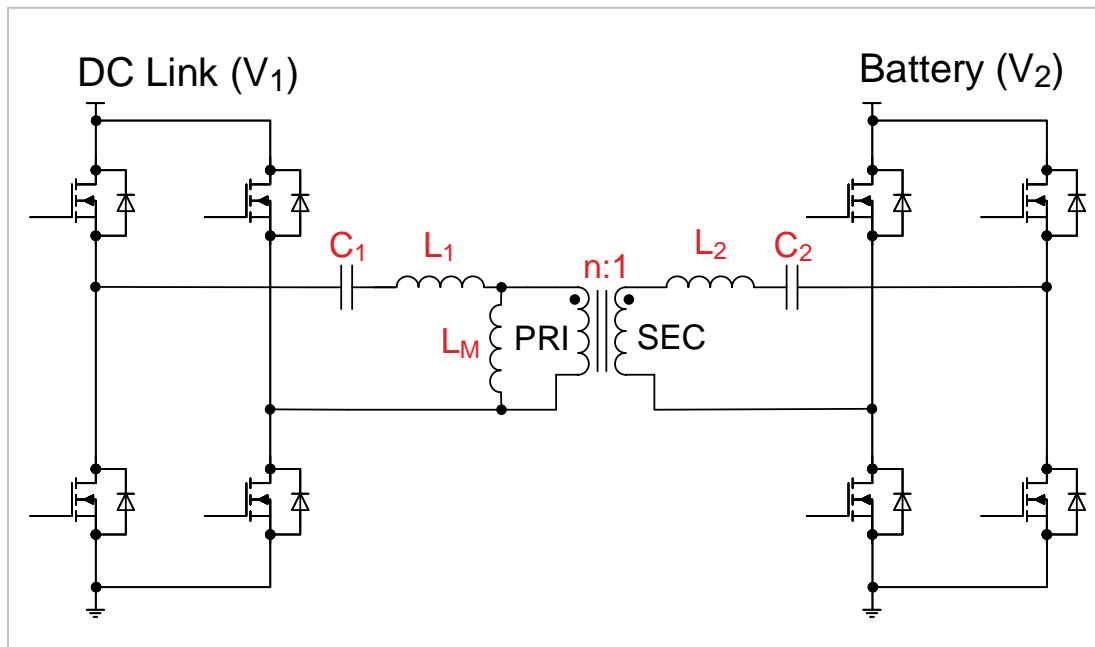
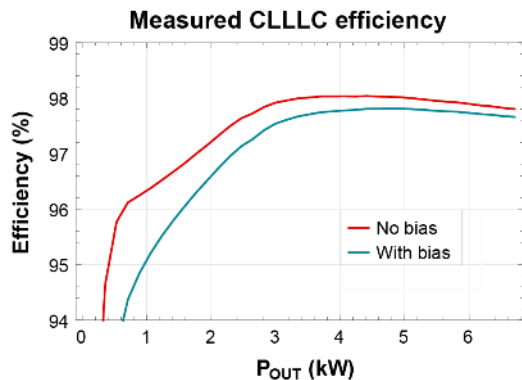
- 周波数を制限する要因は何か？
 - コア損失
 - ZVSによる損失
 - デッドタイム
 - プロセッサの割り込み
- 500kHz ~ 1MHz :
 - 体積の大幅な小型化
 - 優れたCPUの選択肢
 - リーズナブルなデッドタイム



CLLLC – タンク設計

- 駆動に関する検討事項：

- コア損失
- 巻線損失
- FET の導通損失
- ZVS の維持
- 磁気部品の統合

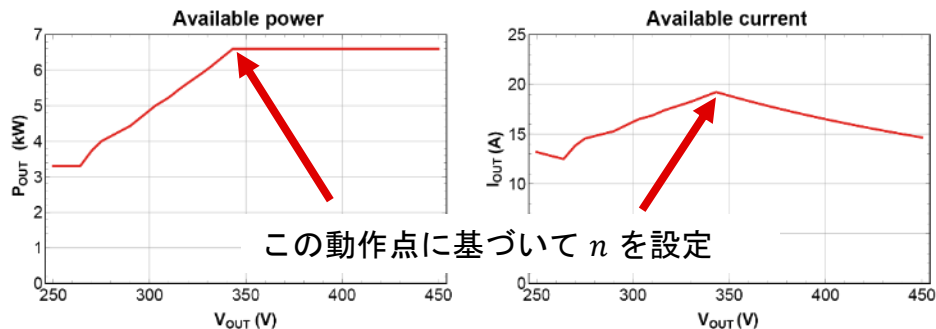


初期のタンク設計： n と L_M

• 前提として：

- n と L_M は両方とも、充電と放電ゲインに大きな影響を及ぼしかねない
- 多くの場合、最善の設計を実現するには、どの組み合わせが最高効率をもたらすのか繰り返し確認する必要あり

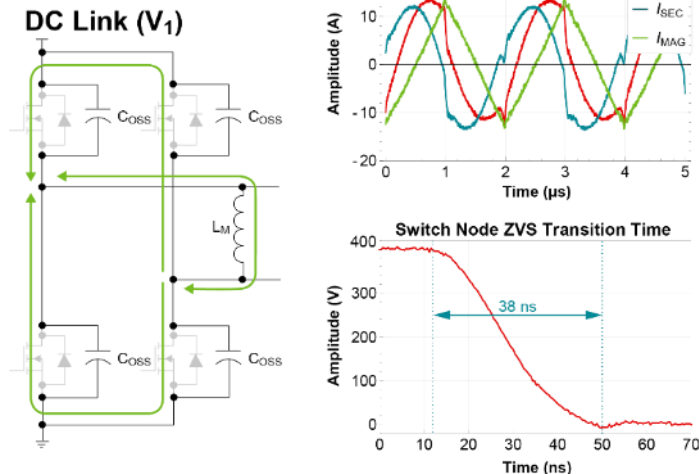
• この設計の場合：



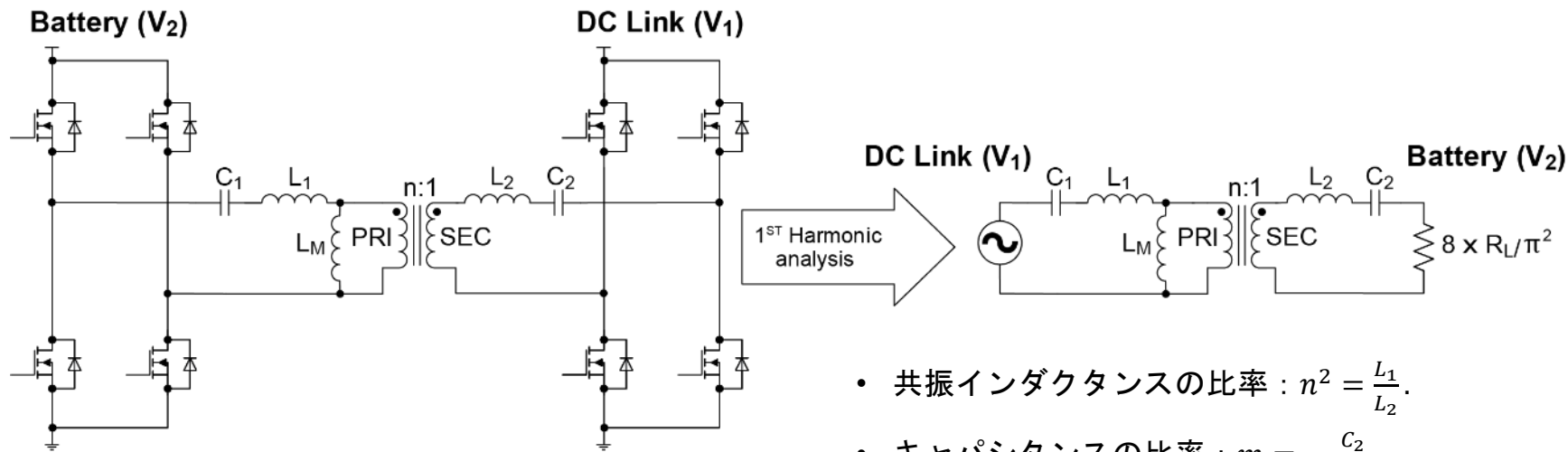
• ZVSに基づいて L_M を選定

- $V_{DC_LINK} = L_M \times \frac{dI_{LM}(t)}{dt}$ t_d = デッドタイム
 T_s = 周期
- $L_M = \frac{t_d \times T_s}{8 \times C_{OSS}}$

測定データ



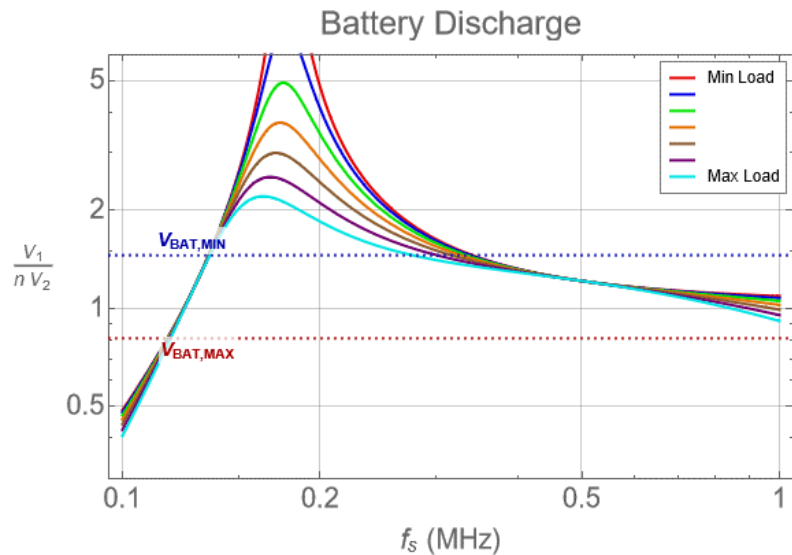
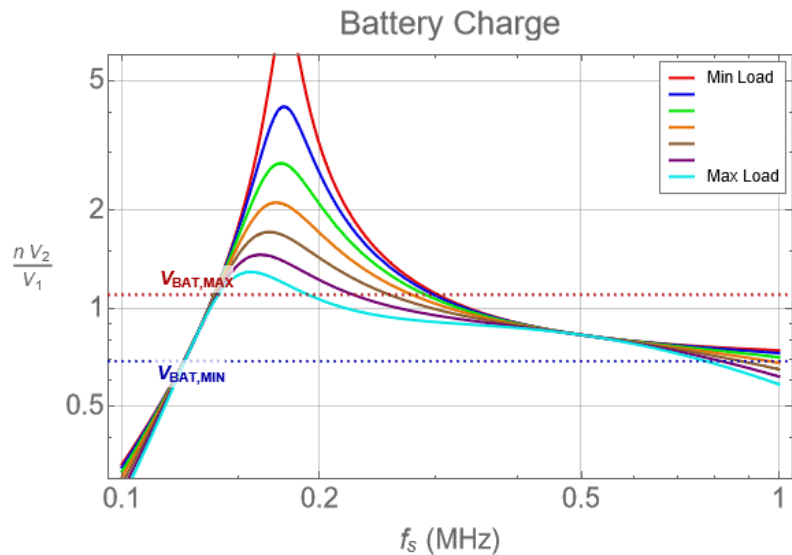
初期のタンク設計の想定事項



- 共振インダクタンスの比率 : $n^2 = \frac{L_1}{L_2}$.
- キャパシタンスの比率 : $m = \frac{C_2}{n^2 \times C_1}$.
 - $f_1 = f_2$ が成立するようmを選択
 - すなわち、 $m = 1$
- $k = \frac{L_M}{L_1}$ を選択



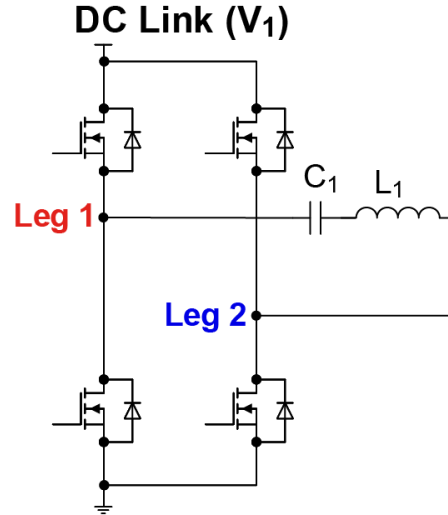
インダクタンス比率の選択 : $k = \frac{L_M}{L_1}$



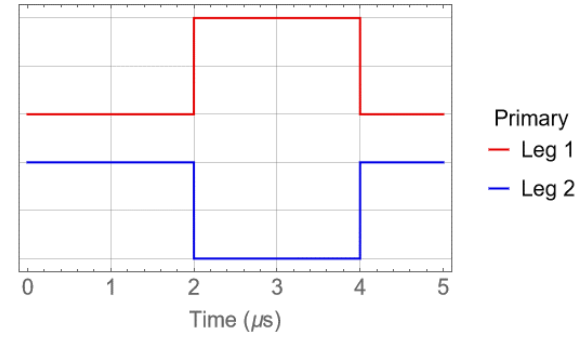
k 7.0
 m 1.0
 n 1.1
 L_M 14.0 μ H
 L_1 2.0 μ H
 L_2 1.7 μ H
 C_1 50.0 nF
 C_2 60.5 nF
 $f_{r,1}$ 503.3 kHz
 $f_{r,2}$ 503.3 kHz

CLLLC の動作モード

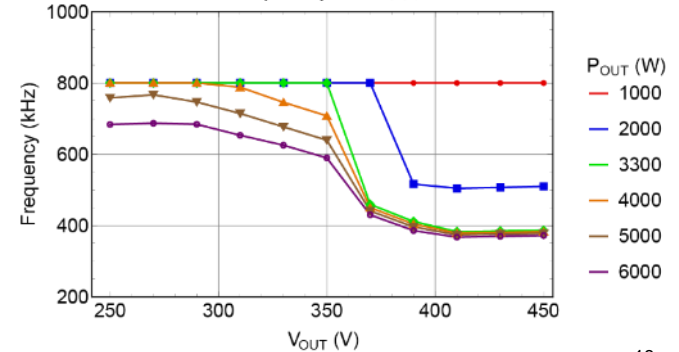
- $f_s < 800\text{kHz}$ の場合 :
 - 周波数変調 (FM)
 - 位相は 180 度で固定
- $f_s = 800\text{kHz}$ の場合 :
 - 周波数は固定
 - 位相変調 (PM)
- 軽負荷の場合
バーストモードを使用



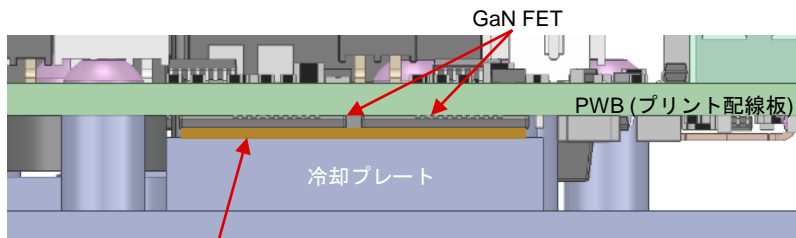
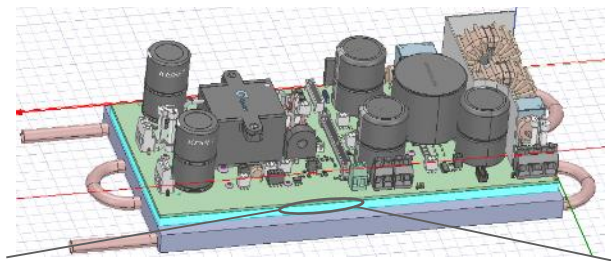
Frequency Modulation (FM)



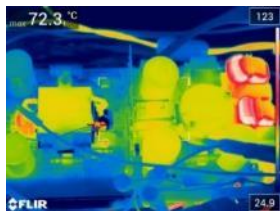
Frequency vs. V_{OUT}



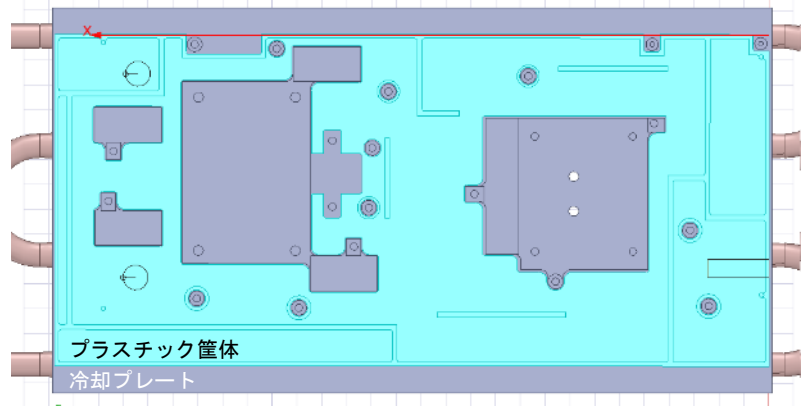
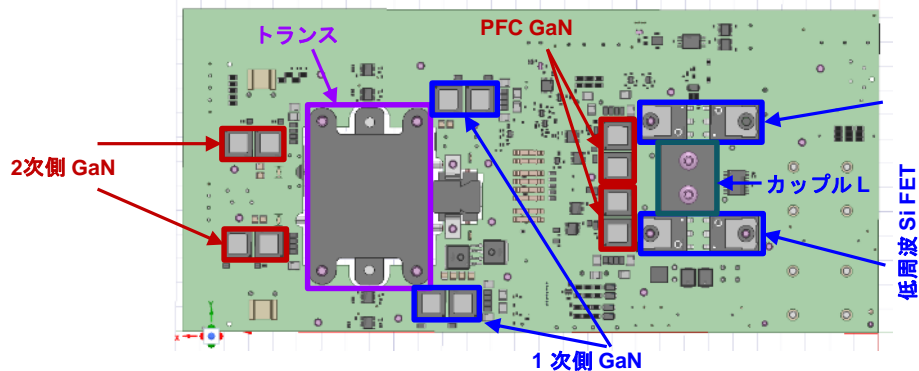
熱対策



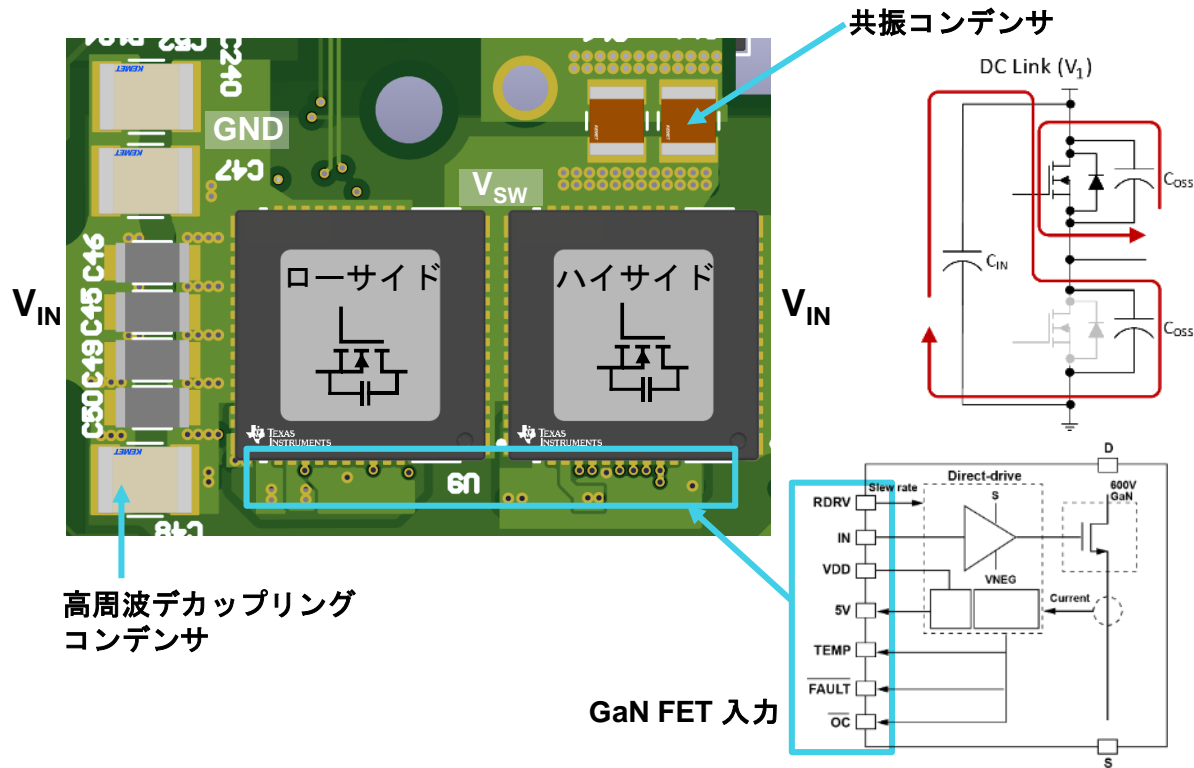
熱伝導材料 (TIM)



全負荷時の熱画像



GaN ハーフブリッジのレイアウト最適化

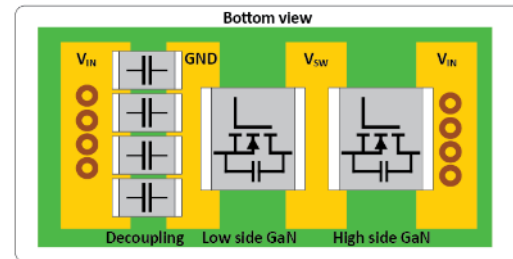
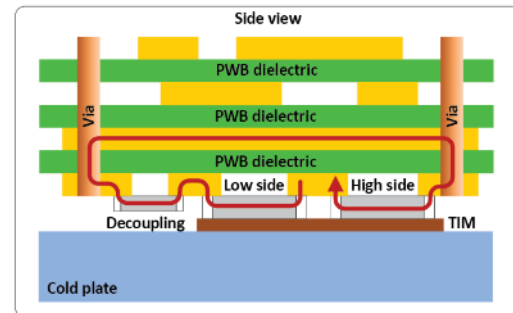


高周波デカップリング
コンデンサ

GaN FET 入力

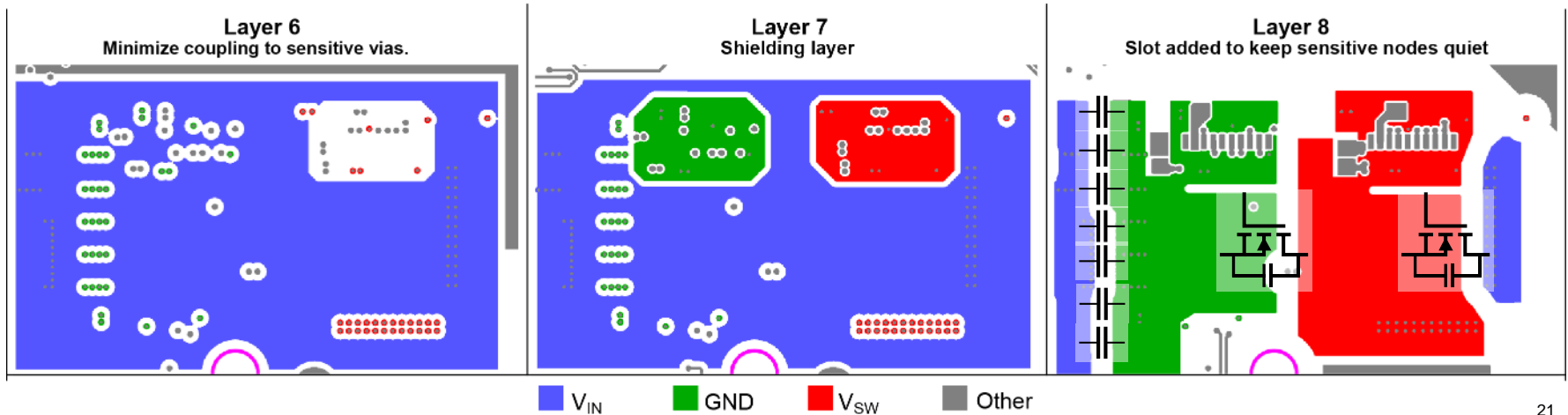
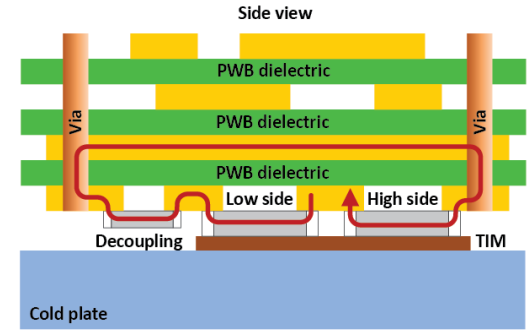
共振コンデンサ

低インダクタンスの
デカップリング・ループ



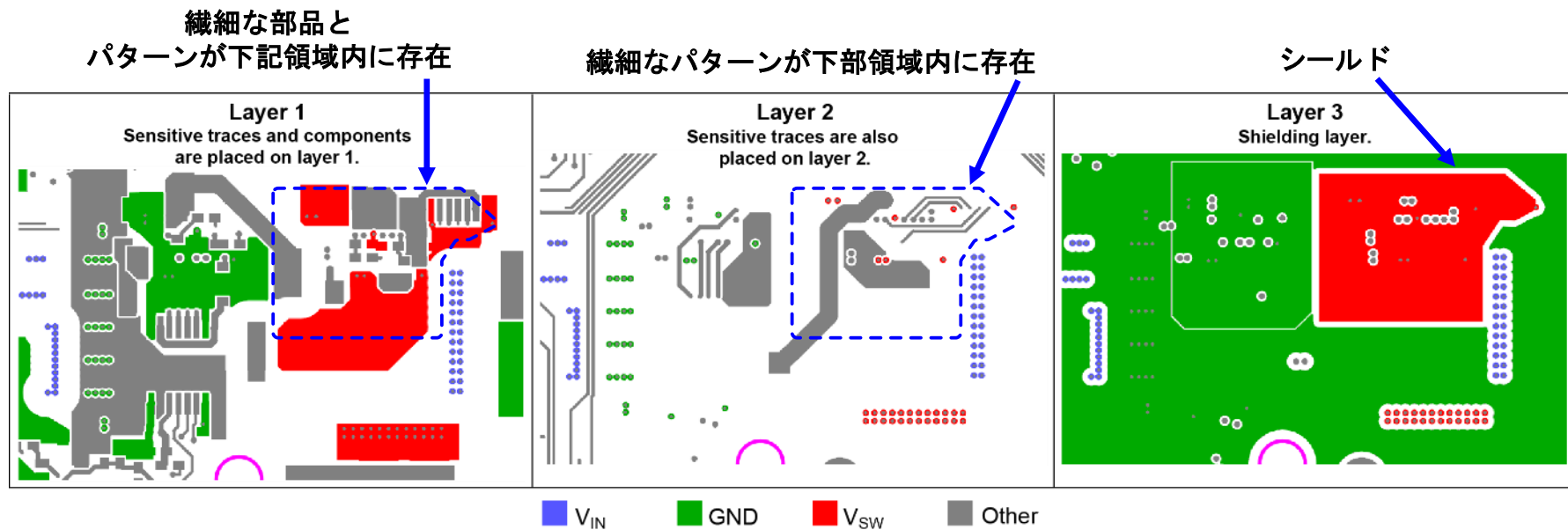
レイアウト：底面

- 電源ループを低インダクタンス化
- 冷却プレートに対する容量カップリングを最小化
- シールドとカットアウトにより入力回路を保護
- スロットは入力端子付近の高 di/dt イベントを防止



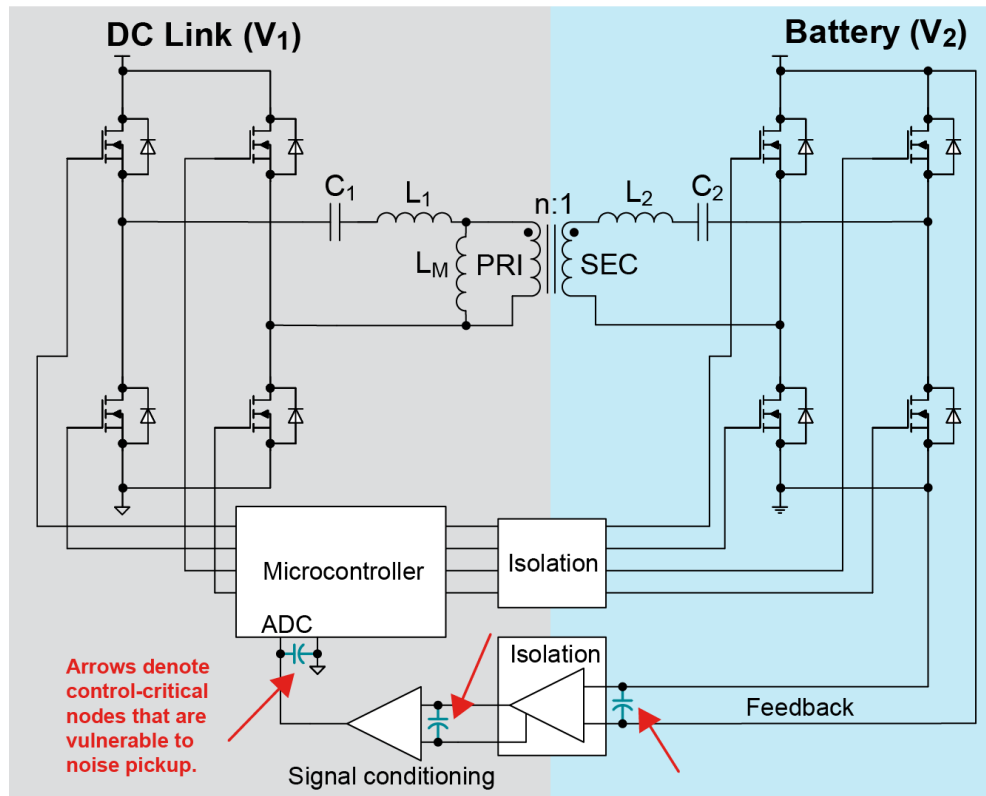
レイアウト：上面

レイヤー 3 にシールドを追加し、レイヤー 1 と 2 のパターンと部品をシールド

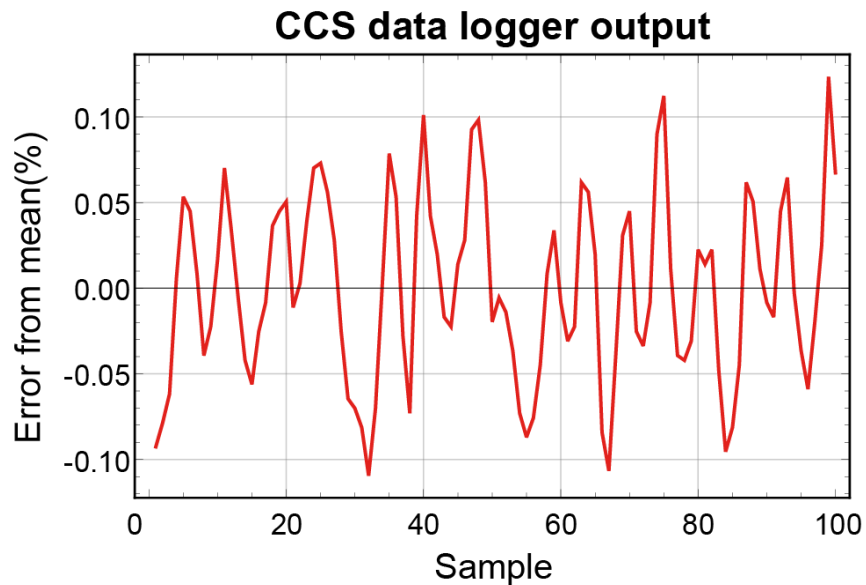


制御

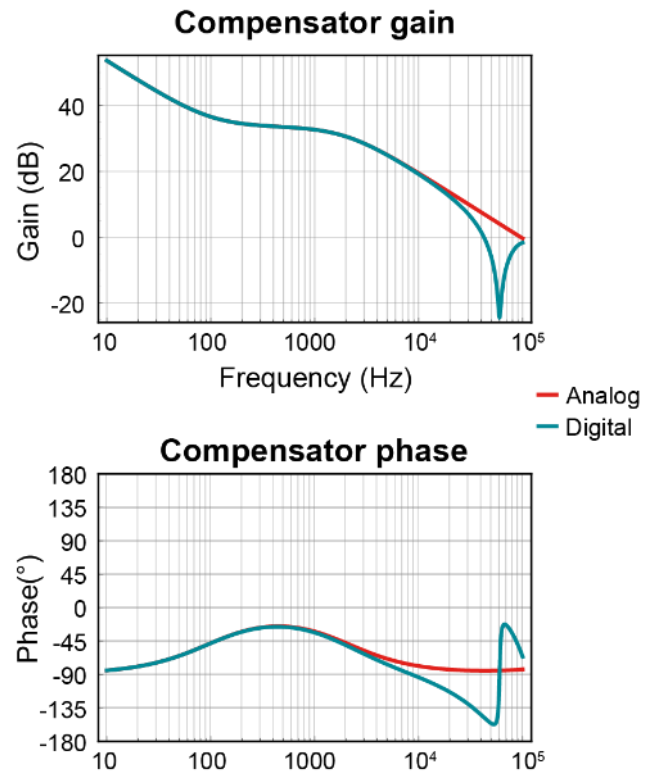
- 目標：
 - 100Hz/120Hz のリプル電流を最小化
 - 安定性を維持
 - ジッタを防止
- ノイズ入力により帯域幅が大幅に制限される可能性あり
- 対策：
 - 適切なレイアウト
 - オーバーサンプリング
 - 適切に配置したデカップリングコンデンサ



補償回路の性能

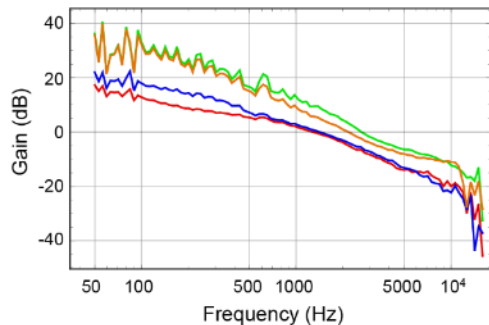


誤差フロアは約 $\pm 0.1\%$ 以内

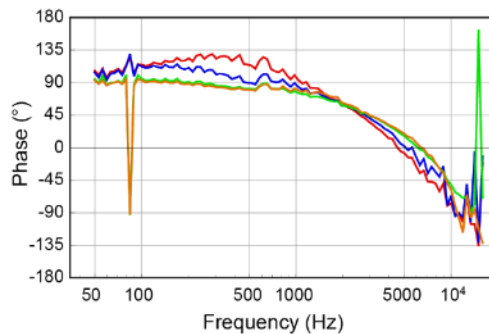


I_{OUT} が閉ループに及ぼす影響

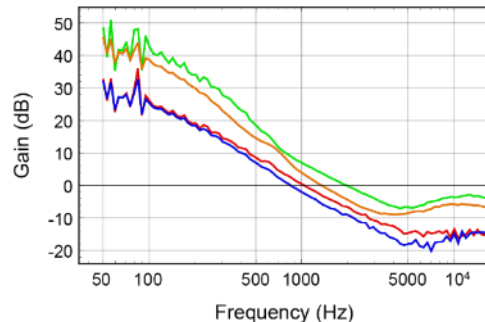
SFRA data - voltage loop



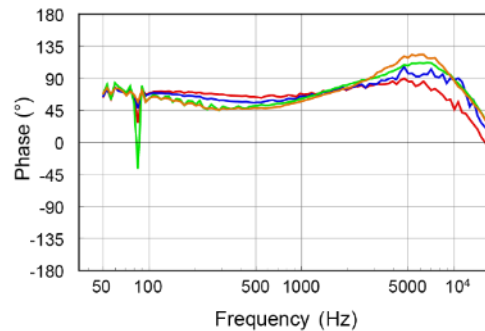
V _{OUT}	I _{OUT}	f _{bw}	φ _m
350 V	18.8 A	1.28 kHz	82.5°
350 V	15 A	1.42kHz	74.5°
350 V	5 A	2.64 kHz	47.4°
350 V	2.5 A	2.18 kHz	59.5°



SFRA data - current loop



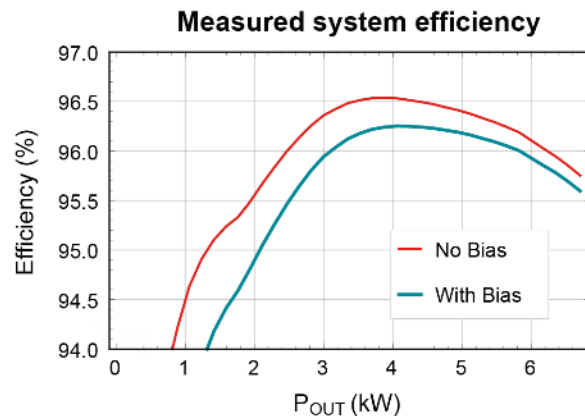
V _{OUT}	I _{OUT}	f _{bw}	φ _m
350 V	18.9 A	1.04 kHz	67.1°
350 V	15 A	0.85kHz	61.2°
350 V	5 A	1.98 kHz	80.1°
350 V	2.5 A	1.35 kHz	65.9°



測定プロット・データ

まとめ

- GaN を採用すると、
高い電力密度と高効率を実現可能
- 下記に関する実践的な検討事項を
解説しました
 - トポロジーの選択
 - 周波数最適化
 - PFC 向けインダクタの設計
 - CLLLC タンク設計
 - 熱管理
 - レイアウトに関する推奨事項
 - 最高性能を得るための制御



参考文献（いずれも英語）

- “**Designing a High-Power Bidirectional AC/DC Power Supply Using SiC FETs,**” (英語) Sheng-Yang Yu, Manish Bhardwaj, Gangyao Wang and Xun Gong, 2020 TI Power Supply Design Seminar. <https://www.ti.com/lit/slup393>
- “**Power Factor Correction (PFC) Circuit Basics,**” (英語) Brent McDonald and Ben Lough, 2020 TI Power Supply Design Seminar. <https://www.ti.com/lit/slup390>
- “**Optimizing GaN performance with an integrated driver,**” (英語) Yong Xie, Paul Brohlin, white paper, March 2016. <https://www.ti.com/lit/SLYY085>
- “**LMG352xR030-Q1 650-V 30-mΩ GaN FET with Integrated Driver, Protection, and Temperature Reporting,**” (英語) Texas Instruments, February 2021. <https://www.ti.com/lit/ds/symlink/lmg3522r030-q1.pdf>
- **IEC CISPR 32:2015, Electromagnetic compatibility of multimedia equipment – Emission requirements.** (英語)
- “**Analytic Expressions for currents in the CCM PFC stage,**” (英語) Colin Gillmor, Texas Instruments, 2018. <https://www.ti.com/lit/ml/slyy131/slyy131.pdf>
- “**Design, Modeling and Control of Bidirectional Resonant Converter for Vehicle-to-Grid (V2G) Applications,** (英語)” Zaka Ullah Zahid, Virginia Tech, 2015. <https://vtechworks.lib.vt.edu/handle/10919/77686>



©2022 Texas Instruments Incorporated. All rights reserved.

The material is provided strictly "as-is" for informational purposes only and without any warranty.
Use of this material is subject to TI's **Terms of Use**, viewable at [TI.com](https://www.ti.com)