



# 16ビット・低消費電力ステレオ・オーディオDAC、 アナログ・ミキシング、ヘッドホン/ライン出力

## 特長

- アナログ・フロント・エンド：
  - － ステレオ・シングルエンド入力
  - － マイク・アンプ (12dB、20dB)
- アナログ・バック・エンド：
  - － 音量調整付きステレオ/モノラル・ライン出力
  - － 音量調整付きステレオ/モノラル・ヘッドホン・アンプ
- アナログ性能：
  - － ダイナミック・レンジ：93dB
  - － ヘッドホン出力：40mW + 40mW ( $R_L = 16\Omega$ )
- 電源電圧
  - － デジタル/I/O部：1.71V～3.6V
  - － デジタル・コア部：1.71V～3.6V
  - － アナログ部：2.4V～3.6V
  - － パワー・アンプ部：2.4V～3.6V
- 低消費電力：
  - － 再生時6.4mW (1.8V/2.4V、44.1kHz)
  - － パワーダウン時 3.3 $\mu$ W
- サンプリング周波数：5kHz～50kHz
- PLLなしで単一クロック入力により動作
- システム・クロック：
  - － 共通オーディオ・クロック (256f<sub>S</sub>/384f<sub>S</sub>)、12/24、13/26、13.5/27、19.2/38.4、19.68/39.36 MHz
- 2線式 (I<sup>2</sup>C™) または 3線式 (SPI) シリアル制御
- レジスタ制御によりプログラム可能な機能：
  - － デジタル減衰量：0dB～-62dB
  - － DACのデジタル・ゲイン：0、6、12、18dB
  - － 各モジュールのパワーオン/パワーダウン制御
  - － アナログ出力ゲイン：6dB～-70dB

- － マイク入力：0/12/20dB
- － アナログ・ミキシング・ゲイン：0dB ~ -21dB
- － 3バンド・トーン・コントロールおよび3Dサウンド
- － アナログ・ミキシング・コントロール
- ポップ・ノイズ低減回路
- 短絡保護回路
- パッケージ：4mm × 4mm QFNパッケージ
- 動作温度範囲：-40°C～85°C

## アプリケーション

- 携帯型音楽プレーヤー、携帯電話
- ビデオ・カメラ、デジタル・スチル・カメラ
- PMP/DMB/PND

## 概要

PCM1774は、携帯型デジタル・オーディオ・アプリケーション用に設計された低消費電力ステレオDACです。ヘッドホン・アンプ、ライン・アンプ、ライン入力、ブースト・アンプ、プログラム可能なゲイン制御、アナログ・ミキシング、およびサウンド・エフェクトを内蔵しています。PCM1774は、フットプリントの小さい4mm × 4mm QFNパッケージで供給されます。右詰め、左詰め、I<sup>2</sup>S、DSPの各形式をサポートし、オーディオDSPおよびデコーダ/エンコーダ・チップへのインターフェイスが容易です。最大50kHzのサンプリング・レートがサポートされています。ユーザがプログラム可能な機能には、2線式または3線式のシリアル制御ポートを通じてアクセスできます。

I<sup>2</sup>CはPhilips Electronics社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



## 静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

## 製品情報

最新のパッケージおよび注文に関する情報は、本文書の巻末の「パッケージ・オプション」附録あるいはTIウェブサイト [www.tij.co.jp](http://www.tij.co.jp) もしくは [www.ti.com](http://www.ti.com) をご覧ください。

### 絶対最大定格<sup>(1)</sup>

		MAX	単位
電源電圧	$V_{DD}, V_{IO}, V_{CC}, V_{PA}$	-0.3 ~ 4	V
グランド電位差: DGND, AGND, PGND		±0.1	V
入力電圧		-0.3 ~ 4	V
入力電流 (電源ピンを除く)		±10	mA
バイアス時の周囲温度		-40 ~ 110	°C
保存温度		-55 ~ 150	°C
接合部温度		150	°C
端子温度 (半田付け)		260	°C, 5s
パッケージ温度 (リフロー、ピーク)		260	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

### 推奨動作条件

動作温度範囲内 (特に記述のない限り)

		MIN	NOM	MAX	単位
$V_{SS}$	アナログ電源電圧、 $V_{CC}, V_{PA}$	2.4	3.3	3.6	V
	デジタル電源電圧、 $V_{DD}, V_{IO}$	1.71	3.3	3.6	V
デジタル入力ロジック・ファミリー		CMOS			
デジタル入力クロック周波数	SCKI システム・クロック	3.072		18.432	MHz
	LRCK サンプリング・クロック	8		48	kHz
アナログ出力負荷抵抗	LOL および LOR	10			kΩ
	HPOL および HPOR	16			Ω
アナログ出力負荷容量				30	pF
デジタル出力負荷容量				10	pF
$T_A$	動作周囲温度	-40		85	°C

## 電気的特性

すべての仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = V_{IO} = V_{CC} = V_{PA} = 3.3\text{V}$ 、 $f_S = 48\text{kHz}$ 、システム・クロック =  $256\text{fs}$ 、および16ビット・データで規定されています (特に記述のない限り)。

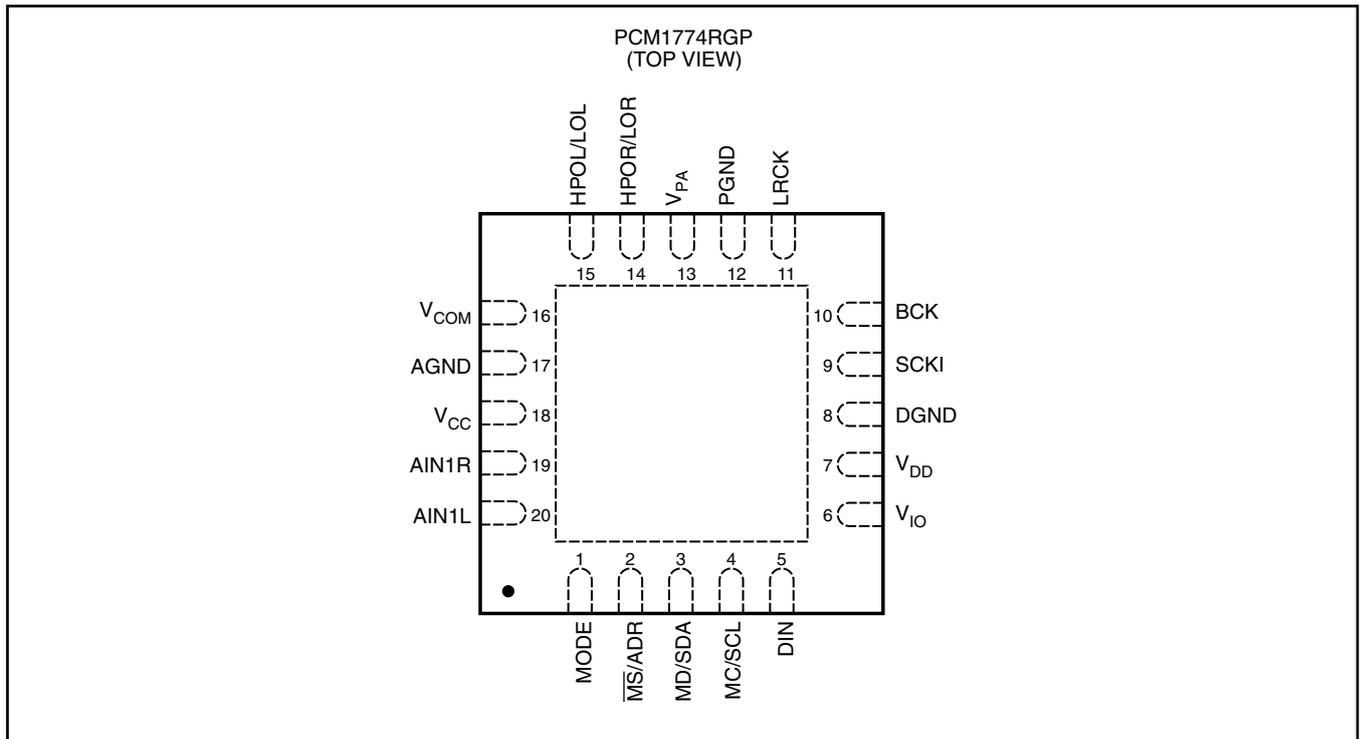
パラメータ		測定条件	MIN	TYP	MAX	単位
<b>オーディオ・データ特性</b>						
<b>データ・フォーマット</b>						
分解能				16		Bits
オーディオ・データ・インターフェイス・フォーマット				I <sup>2</sup> S、左詰め、 右詰め、 DSP		
オーディオ・データ・ビット長				16		Bits
オーディオ・データ・フォーマット				MSB ファースト、 バイナリ2の補数コード		
サンプリング周波数 ( $f_S$ )			5		50	kHz
システム・クロック		$V_{DD} < 2\text{V}$			27	MHz
		$V_{DD} > 2\text{V}$			40	
<b>デジタル 入力/出力</b>						
ロジック・ファミリー				CMOS コンパチブル		
$V_{IH}$	入力ロジック・レベル		0.7 $V_{IO}$		Vdc	
$V_{IL}$			0.3 $V_{IO}$			
$I_{IH}$	入力ロジック電流	$V_{IN} = 3.3\text{V}$		10	$\mu\text{A}$	
$I_{IL}$		$V_{IN} = 0\text{V}$		-10		
$V_{OH}$	出力ロジック・レベル	$I_{OH} = -2\text{mA}$	0.75 $V_{IO}$		Vdc	
$V_{OL}$		$I_{OL} = 2\text{mA}$	0.25 $V_{IO}$			
<b>デジタル入力からDAC系由ライン出力 (LOLおよびLOR)</b>						
$R_L = 10\text{k}\Omega$ , ボリューム = 0dB, アナログ・ミキシング = ディスエーブル						
<b>ダイナミック特性</b>						
フルスケール出力電圧		0 dB	2.828		$V_{PP}$	
			1		$V_{rms}$	
ダイナミック・レンジ		EIAJ, Aウエイト	93			dB
SNR	S/N比	EIAJ, Aウエイト	86	93		dB
チャンネル・セパレーション			91			dB
THD+N	全高調波歪 + ノイズ	0 dB	0.008			%
負荷抵抗			10			$\text{k}\Omega$
<b>ライン入力からMix系由ライン出力 (LOLおよびLOR)</b>						
$R_L = 10\text{k}\Omega$ , ボリューム = 0dB, アナログ・ミキシング = イネーブル						
<b>ダイナミック特性</b>						
フルスケール入力および出力電圧		0 dB	2.828		$V_{PP}$	
			1		$V_{rms}$	
SNR	S/N比	EIAJ, Aウエイト	84	93		dB
<b>デジタル入力からDAC系由ヘッドフォン出力 (HPOLおよびHPOR)</b>						
$R_L = 16\Omega$ or $32\Omega$ , ALC = OFF, ボリューム = 0dB, スピーカ = パワーダウン, アナログ・ミキシング = ディスエーブル, キャップレス・モードでない						
<b>ダイナミック特性</b>						
フルスケール出力電圧		0 dB	2.828		$V_{PP}$	
			1		$V_{rms}$	
SNR	S/N比	EIAJ, Aウエイト	84	93		dB
THD+N	全高調波歪 + ノイズ	30 mW, $R_L = 32\Omega$ , ボリューム = 0dB	0.1			%
		40 mW, $R_L = 16\Omega$ , ボリューム = -1dB	0.03			%

## 電気的特性

すべての仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = V_{IO} = V_{CC} = V_{PA} = 3.3\text{V}$ 、 $f_S = 48\text{kHz}$ 、システム・クロック =  $256 f_S$ 、および16ビット・データで規定されています (特に記述のない限り)。

パラメータ	測定条件	MIN	TYP	MAX	単位
負荷抵抗		16			$\Omega$
PSRR 電源除去比	200 Hz, 140 mV <sub>PP</sub>		-40		dB
	1 kHz, 140 mV <sub>PP</sub>		-45		
	20 kHz, 140 mV <sub>PP</sub>		-32		
ライン入力から Mix 系由ヘッドフォン出力 (HPOL および HPOR)					
$R_L = 16 \Omega$ or $32 \Omega$ , ALC = OFF, ボリューム = 0dB, スピーカ = パワーダウン, アナログ・ミキシング = イネーブル, キャップレス・モードでない					
ダイナミック特性					
フルスケール出力電圧	0 dB		2.828		V <sub>PP</sub>
			1		V <sub>rms</sub>
SNR S/N比	EIAJ, Aウエイト	84	93		dB
負荷抵抗		16			$\Omega$
フィルタ特性					
DAC インターポレーション・フィルタ					
通過帯域				0.454 $f_S$	
阻止帯域		0.546 $f_S$			
通過帯域リップル				$\pm 0.04$	dB
阻止帯域減衰量		-50			dB
群遅延			19/ $f_S$		s
ディエンファシス誤差			$\pm 0.1$		dB
アナログ・フィルタ					
周波数応答	$f = 20 \text{ kHz}$		$\pm 0.2$		dB
電源					
V <sub>IO</sub>	電圧範囲		1.71	3.3	3.6
V <sub>DD</sub>			1.71	3.3	3.6
V <sub>CC</sub>			2.4	3.3	3.6
V <sub>PA</sub>			2.4	3.3	3.6
消費電流	BPZ 入力、すべてアクティブ、無負荷		4.5	10	mA
	すべての入力は固定		1	10	$\mu\text{A}$
消費電力	BPZ 入力		14.8	33	mW
	すべての入力は固定		3.3	33	$\mu\text{W}$
温度範囲					
動作温度		-40		85	$^\circ\text{C}$
$\theta_{JA}$ 熱抵抗			40		$^\circ\text{C}/\text{W}$

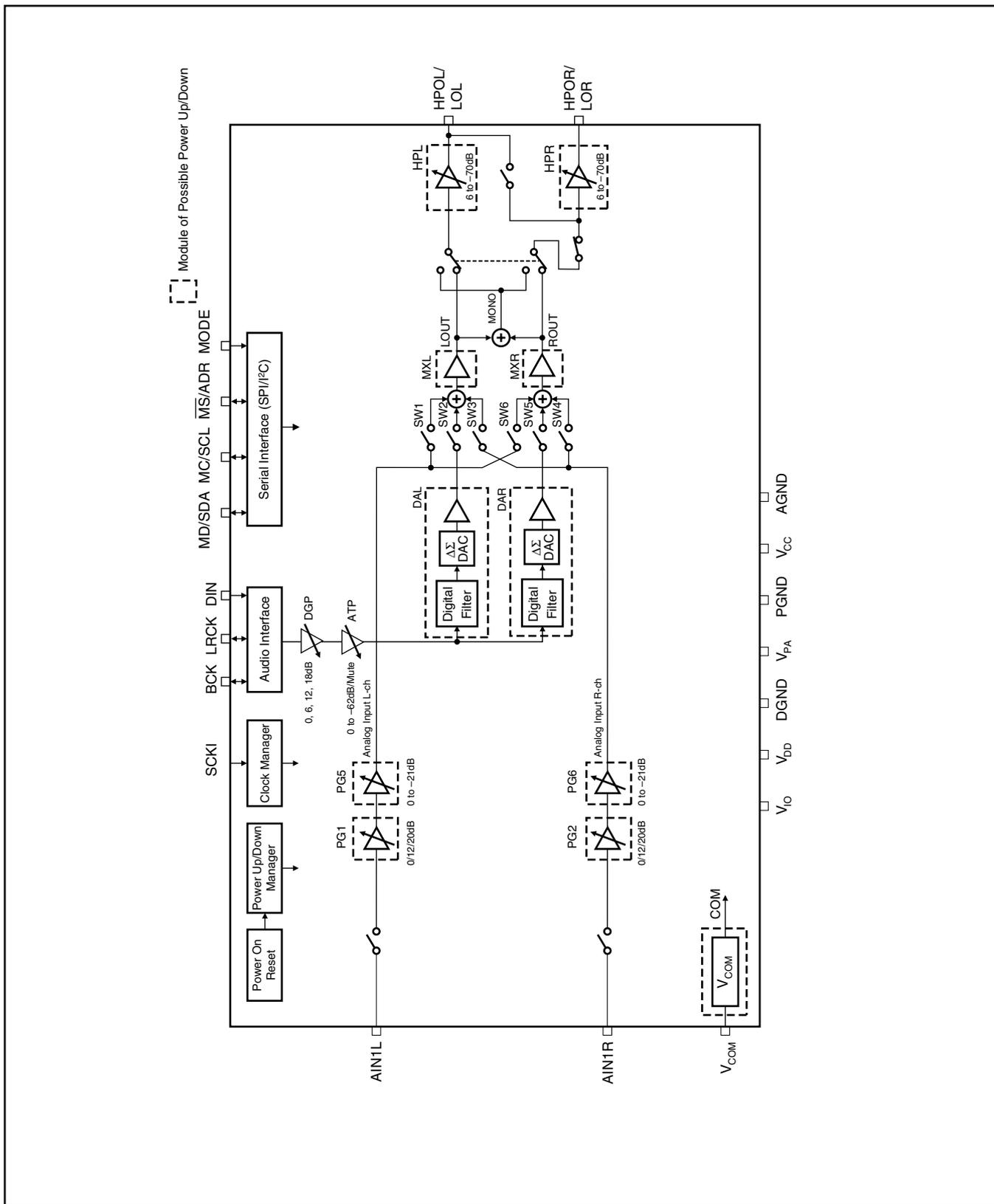
## ピン配置



ピン		I/O	説明
名称	番号		
AGND	17	-	アナログ・グラウンド
AIN1L	20	I	Lチャンネル用アナログ入力1
AIN1R	19	I	Rチャンネル用アナログ入力1
BCK	10	I/O	シリアル・ビット・クロック
DGND	8	-	デジタル・グラウンド
DIN	5	I	シリアル・オーディオ・データ入力
HPOL/LOL	15	O	Rチャンネル用ヘッドホンライン出力
HPOR/LOR	14	O	Lチャンネル用ヘッドホンライン出力
LRCK	11	I/O	L/Rチャンネル用クロック
MC/SCL	4	I	2線式/3線式インターフェイスのモード制御クロック
MD/SDA	3	I/O	2線式/3線式インターフェイスのモード制御データ
MODE	1	I	2/3線式インターフェイス選択 (“Low” : SPI、“High” : I <sup>2</sup> C)
MS/ADR	2	I	2線式/3線式インターフェイスのモード制御選択
PGND	12	-	スピーカー・パワー・アンプのグラウンド
SCKI	9	I	システム・クロック
V <sub>CC</sub>	18	-	アナログ電源
V <sub>COM</sub>	16	-	アナログ・コモン電圧
V <sub>DD</sub>	7	-	デジタル・コア電源
V <sub>IO</sub>	6	-	デジタルI/O電源
V <sub>PA</sub>	13	-	パワー・アンプ電源

表 1. ピン構成

# 機能ブロック図



## 代表的性能曲線

すべての仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = V_{IO} = V_{CC} = V_{PA} = 3.3\text{V}$ 、 $f_S = 48\text{kHz}$ 、システム・クロック =  $256f_S$ 、および16ビット・データで規定されています (特に記述のない限り)。

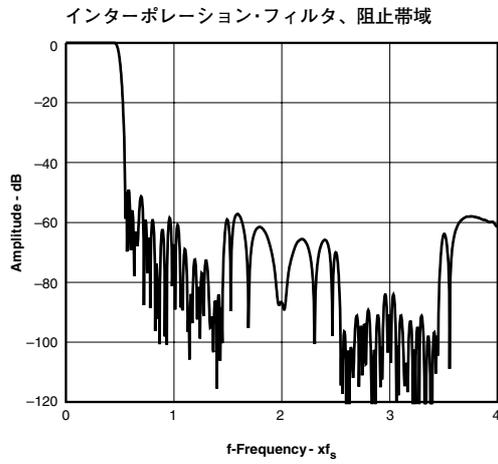


図 1

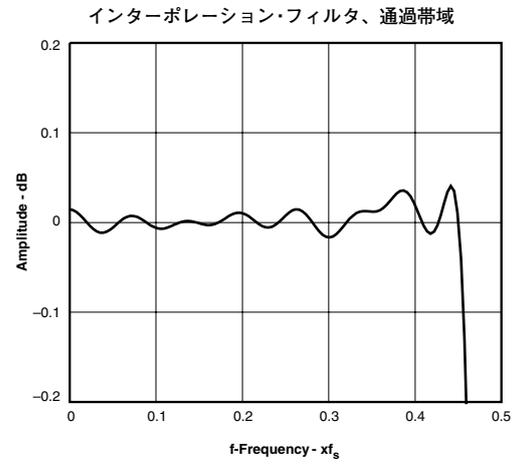


図 2

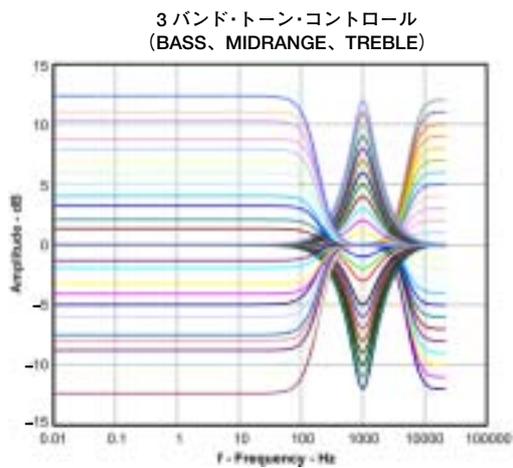


図 3

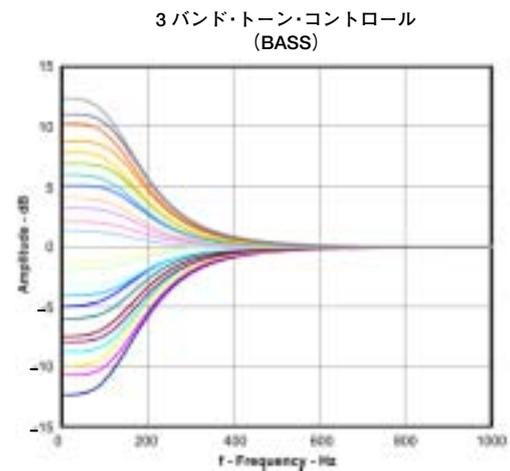


図 4

## 代表的性能曲線

すべての仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = V_{IO} = V_{CC} = V_{PA} = 3.3\text{V}$ 、 $f_S = 48\text{kHz}$ 、システム・クロック =  $256f_S$ 、および16ビット・データで規定されています (特に記述のない限り)。

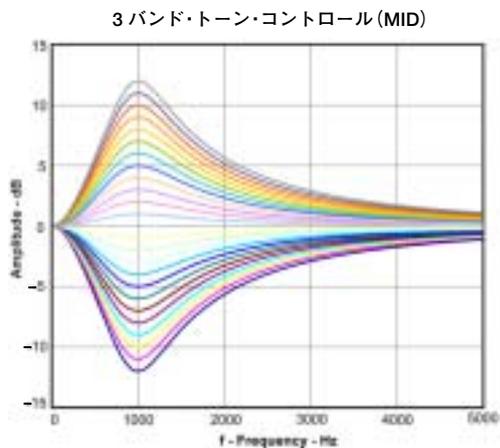


図 5

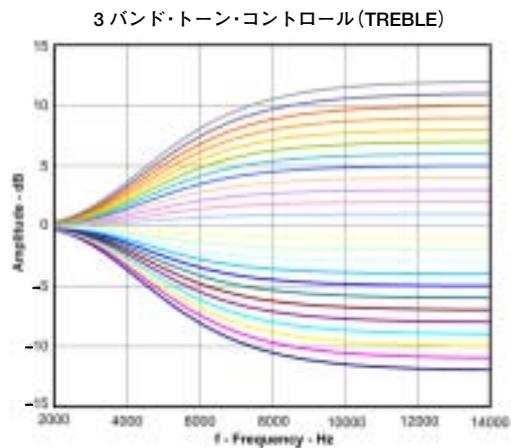


図 6

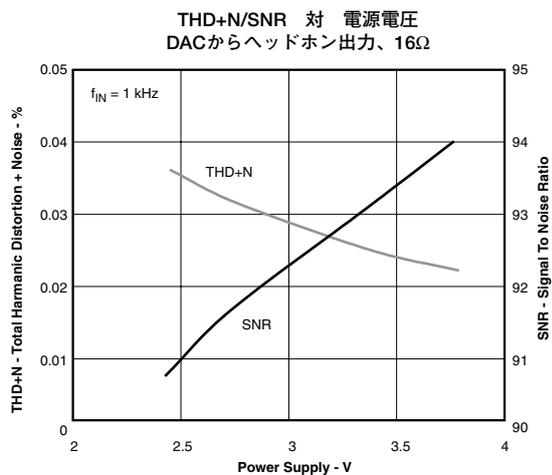


図 7

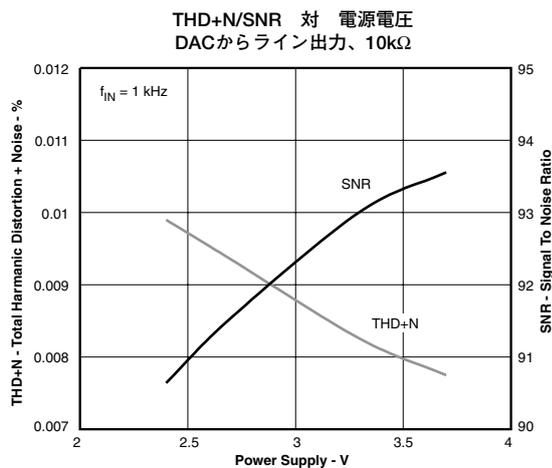


図 8

## 代表的性能曲線

すべての仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = V_{IO} = V_{CC} = V_{PA} = 3.3\text{V}$ 、 $f_S = 48\text{kHz}$ 、システム・クロック =  $256f_S$ 、および16ビット・データで規定されています (特に記述のない限り)。

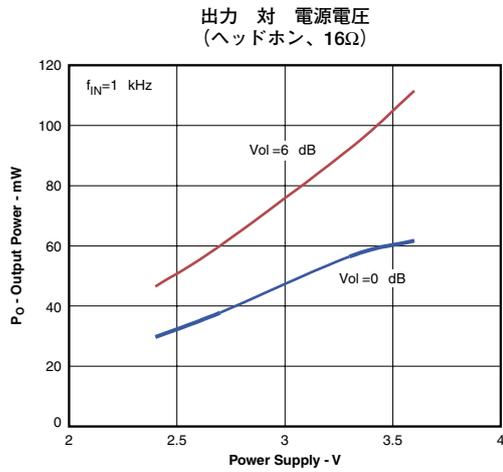


図 9

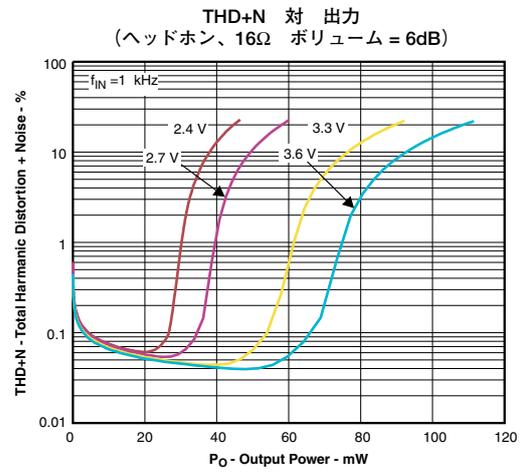


図 10

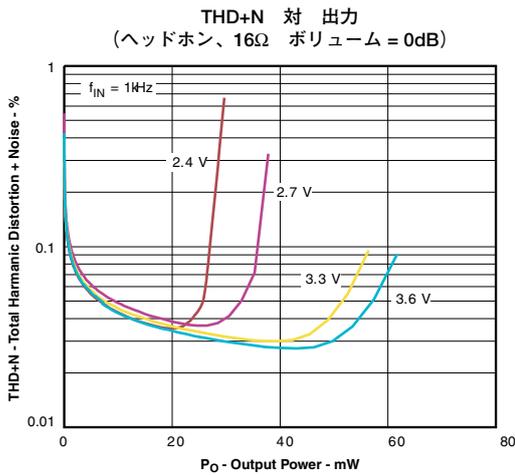


図 11

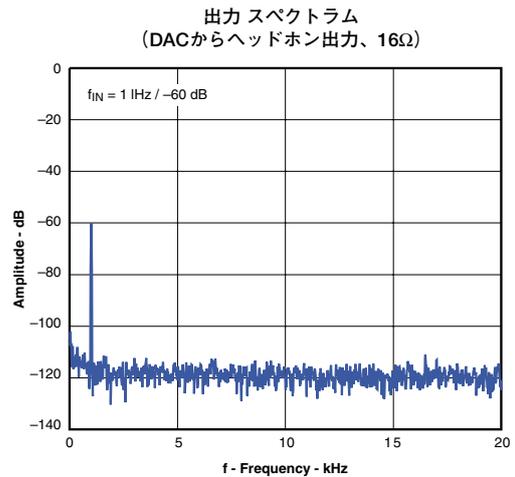


図 12

## 機能説明

### アナログ入力

AIN1LおよびAIN1Rピンは、0dB、12dB、または20dBのブーストと1V<sub>rms</sub>の選択が可能で、マイク入力またはライン入力として使用できます。これらのアナログ入力はすべて、高入力インピーダンス (20kΩ) を持ち、これはゲイン設定によって変化しません。レジスタ87 (AIL0およびAIR0) によって1組の入力が選択されます。

### アナログ入力のゲイン設定

アナログ信号のゲインは、0、12、または20dBのブースト・アンプと、その後のアンプで0dB～-21dBの範囲内で1dBステップで調整できます。各チャンネルのゲイン・レベルは、レジスタ89 (GMR[2:0]、GML[2:0]) により設定できます。

### DAコンバータ

DACには、マルチレベルのデルタ・シグマ変調回路およびインターポレーション・フィルタが含まれています。これらを使用することで、PSRRが高く、帯域外ノイズが小さく、ジッタによる影響を受けにくい特性を、容易に実現できます。インターポレーション・フィルタには、デジタル・アッテネータ、デジタル・ソフト・ミュート、3バンド・トーン制御 (低音域、中音域、高音域)、および3Dサウンドが含まれ、レジスタ92～95で制御されます。ディエンファシス・フィルタ (32、44.1、および48kHz) は、レジスタ68～70 (ATL[5:0]、ATR[5:0]、PMUL、PMUR、DEM[1:0]) によって制御されます。レジスタ70 (OVER) のオーバーサンプリング・レート制御を使用すると、低いサンプリング・レートで動作するときの帯域外ノイズを低減できます。

### コモン電圧

V<sub>COM</sub>ピンは、通常は0.5 V<sub>CC</sub>にバイアスされ、内部回路へのコモン電圧を提供します。クリーンな電圧を提供し、ポップ・ノイズを防ぐために、このピンとAGNDの間に4.7μFのコンデンサを接続することを推奨します。4.7μF未満のコンデンサを使用すると、PCM1774の各アナログ出力でわずかなポップ・ノイズが発生する場合があります。

### ライン出力

HPOL/LOLおよびHPOR/LORピンは、10kΩ負荷を駆動でき、レジスタ74 (HPS[1:0]) を使用してモノラル・シングルエンド、モノラル差動、または1V<sub>rms</sub>出力のステレオ・シングルエンドのライン出力として設定できます。これらの出力には、6dB～-70dBの範囲に設定できるアナログ・アンプと、0.5、1、2、または4dBステップを持つミュート回路が備えられています。各出力は、レジスタ64および65 (HLV[5:0]、HRV[5:0]、HMUL、HMUR) によって制御されます。モノラル差動入力の外部スピーカー・アンプを接続する場合、DCブロッキング・コンデンサは必要ありません。ゼロ・データ入力での中点電圧は0.5 V<sub>CC</sub>です。

### ヘッドホン出力

HPOL/LOLおよびHPOR/LORピンは、レジスタ74 (HPS[1:0]) を使用してステレオ、モノラル、またはモノラル差動ヘッドホン出力として設定できます。これらのピンでは、DCブロッキング・

コンデンサの使用の有無どちらでも、32Ωまたは16Ω負荷に30または40mW<sub>rms</sub>の出力電力となります。これらの出力には、0.5、1、2、または4dBステップで6dB～-70dBの範囲に設定できるアナログ・アンプが備えられています。各出力は、レジスタ64および65 (HLV[5:0]、HRV[5:0]、HMUL、HMUR) によって制御されます。ゼロ・データ入力での中点電圧は0.5 V<sub>CC</sub>です。

### アナログ・ミキシングおよびバイパス

ミキシング・アンプ (MXL、MXR) により、AINピンからの入力がミキシングされます。アナログ入力はレジスタ87 (AIR0、AIL0) によって選択されます。レジスタ88 (MXR[2:0]、MXL[2:0]) により、DACをバイパスして、ミキシングされた信号をヘッドホンまたはスピーカー出力に接続することができます。アナログ入力のゲインは、レジスタ89 (GMR[2:0]、GML[2:0]) により制御されます。これらの機能は、FMラジオやヘッドセットなど、ADCを持たないアナログ・ソースに適しています。

### デジタル・ゲイン制御

小型のスピーカーを備えた携帯型アプリケーションでは、低いレベルで録音されたオーディオ・データを、再生時に高い音量レベルが必要になる場合があります。デジタル・ゲイン制御 (DGC) を使用すると、レジスタ70 (SPX[1:0]) の設定により、デジタル入力データを0、6、12、または18dBに増幅することができます。

### 3Dサウンド

3Dサウンド・エフェクトは、LチャンネルとRチャンネル・データをバンド・パス・フィルタを使用してミキシングすることで得られますが、2つのパラメータ (ミキシング比とバンド・パス・フィルタ特性) は、レジスタ95 (3DP[3:0]、3FLO) で制御できます。

### 3バンド・トーン・コントロール

トーン・コントロールには、低音域、中音域、高音域のコントロールがあり、レジスタ92～94 (LGA[4:0]、MGA[4:0]、HGA[4:0]) により12dB～-12dBの範囲を1dBステップで調整できます。レジスタ92 (LPAE) は、デジタル入力信号を自動的に減衰させることで、低音域が0dB以上に設定されたときの出力信号のクリッピングを防止します。LPAEは、中音域および高音域には影響を与えません。

### デジタル・モノラル・ミキシング

オーディオ・データは、ステレオ・デジタル・データから、ミキシングされたモノラル・デジタル・データに変換することができます。この変換は、内部のオーディオ・インターフェイス部で行われ、レジスタ96 (MXEN) によって制御されます。

### ゼロクロス検出

ゼロクロス検出により、アナログボリュームおよびデジタル・アッテネータを変化させる間に可聴ノイズを最小限に抑えます。この機能は、レジスタ86 (ZCRS) での設定により、デジタル入力またはデジタル出力に適用されます。

## 短絡保護

各ヘッドホン出力には短絡保護回路が備えられ、出力と $V_{PA}$ の短絡、出力とPGNDの短絡、または2つの出力間の短絡発生時に、デバイスを損傷から保護します。出力での短絡が検出されると、PCM1774は短絡の発生したアンプを直ちにパワーダウンします。短絡保護の状態は、I<sup>2</sup>Cインターフェイス経由でレジスタ77 (STHC、STHL、SCHR) を読み取ることにより監視できます。短絡保護回路は、イネーブルになっているすべてのヘッドホン・アンプで動作します。

## ポップ・ノイズ低減回路

ポップ・ノイズ低減回路は、携帯型アプリケーションでの電源のオン/オフ時やデバイスのパワーオン/パワーダウン時に可聴ノイズの発生を防止します。表3および表4に示される順序でレジスタ設定を行うことを推奨します。特に外部部品は必要ありません。

## 各モジュールのパワーオン/パワーダウン

レジスタ72 (PMXL、PMXR)、レジスタ73 (PBIS、PDAR、PDAL、PHPR、PHPL)、およびレジスタ90 (PCOM) を使用して、未使用モジュールをパワーダウンすることにより、消費電力を最小限に抑えることができます (再生のみの場合で7mW)。

## デジタル・オーディオ・インターフェイス

PCM1774は、マスタ・モードとスレーブ・モードの両方で、I<sup>2</sup>S、右詰め、左詰め、DSPの各フォーマットのデータを受信できます。これらのオプションは、レジスタ70 (PFM[1:0])、レジスタ81 (RFM[1:0])、およびレジスタ84 (MSTR) で選択できます。

## デジタル・インターフェイス

すべてのデジタルI/Oピンは、各種の電源電圧に対してインターフェイス可能です。 $V_{IO}$ ピンは、1.71V~3.6Vの電源に接続できます。

## 電源

$V_{CC}$ ピンおよび $V_{PA}$ ピンは、2.4V~3.6Vに接続できます。両方のピンには同じ電圧を印加する必要があります。 $V_{DD}$ ピンおよび $V_{IO}$ ピンは、1.71V~3.6Vに接続できます。これらの各ピンには、それぞれ異なる電圧を印加できます (例えば、 $V_{DD} = 1.8V$ 、 $V_{IO} = 3.3V$ )。

## 動作説明

### システム・クロック入力

PCM1774は、PLLなしで各種周波数のクロックを受け付けることができます。それらのクロックは、デジタル・フィルタ、自動レベル制御およびデルタ-シグマ変調回路へのクロック供給に使用され、共通オーディオ・クロックとアプリケーション固有クロックに分類されます。表2に、共通オーディオ・クロックとアプリケーション固有クロックの周波数を示します。図13に、システム・クロック入力のタイミングを示します。システム・クロックのサンプリング・レートおよび周波数は、レジスタ86 (MSR[2:0]) およびレジスタ85 (NPR[5:0]) の設定によって決定されます。アプリケーション固有クロックのサンプリング・レートには、わずかなサンプリング誤差があることに注意してください。表9に詳細を示します。

### パワーオン・リセットおよびシステム・リセット

パワーオン・リセット回路はリセット信号 (TYP値で $V_{DD} = 1.2V$ ) を出力します。この回路は、他の電源 ( $V_{CC}$ 、 $V_{PA}$ 、 $V_{IO}$ ) の電圧には依存しません。内部回路がデフォルト状態にクリアされた後、すべてのアナログおよびデジタル出力が無信号状態になります。PCM1774では、特別な電源シーケンシングは必要ありません。すべての電源をオンにした後で、レジスタ・データを設定します。

システム・リセットは、レジスタ85 (SRST = 1) の設定によりイネーブルになります。リセット・シーケンスの後、レジスタ・データは自動的にSRST = 0にリセットされます。システム・リセットにより、すべての回路が一度にデフォルト状態にクリアされます。PCM1774では、SRSTをイネーブルにする際、アナログ出力に可聴ポップ・ノイズが発生します。

クロック	周波数
共通オーディオ・クロック	11.2896, 12.288, 16.9344, 18.432 MHz
アプリケーション固有クロック	12, 13, 13.5, 24, 26, 27, 19.2, 19.68, 38.4, 39.36 MHz

表 2. システム・クロック周波数

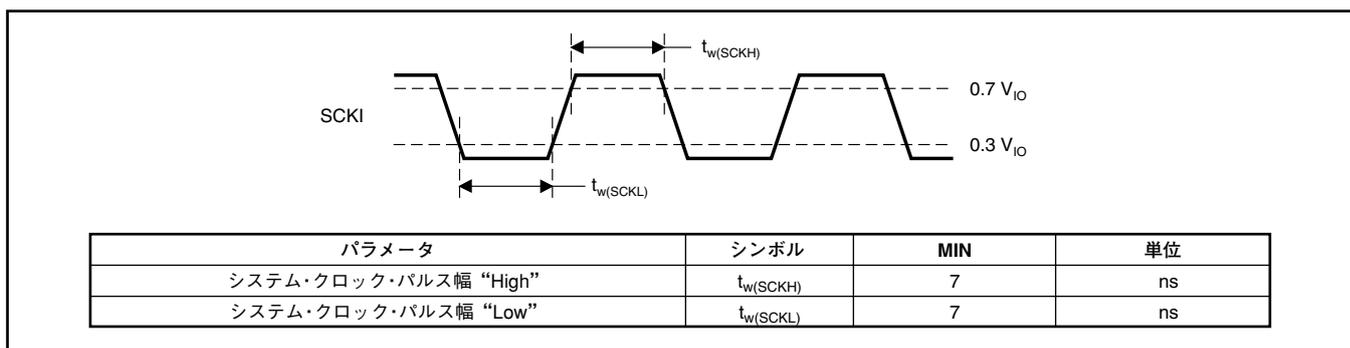


図 13. システム・クロック・タイミング

## 電源オン/オフ・シーケンス

可聴ポップ・ノイズを低減するためには、パワーオン時にすべての電源をオンにした後、またはパワーダウン時にすべての電源をオフにする前に、レジスタ設定を規定の順序で行う必要があります。特定のアプリケーションや動作が必要とされないモジュールがある場合は、電源オン・シーケンスの後でそれらのモジュールをパワーダウン状態にする必要があります。推奨の電源オンおよび電源オフのシーケンスを、それぞれ表3および表4に示します。

## 電源電流

PCM1774の消費電流は、各回路モジュールのパワーオン/パワーダウン状態によって異なります。消費電力を低減するには、アプリケーションまたは動作で使用されていないモジュールをディセーブルにすることを推奨します。表5に、いくつかの状態での消費電流を示します。

順序	レジスタ設定	NOTE
1	–	全ての電源をオンにする <sup>(1)</sup>
2	4027h	ヘッドホン・アンプLチャンネル・ボリューム (-6dB) <sup>(2)</sup>
3	4127h	ヘッドホン・アンプRチャンネル・ボリューム (-6dB) <sup>(2)</sup>
6	4427h	デジタル・アッテネータ、Lチャンネル (-24dB) <sup>(2)</sup>
7	4527h	デジタル・アッテネータ、Rチャンネル (-24dB) <sup>(2)</sup>
8	4620h	DACオーディオ・インターフェイス・フォーマット (左詰め) <sup>(3)</sup>
12	49E0h	DAC (DAL, DAR) およびアナログ・バイアス・パワーアップ
13	5601h	ゼロクロス検出イネーブル
14	4803h	アナログ・ミキサ (MXL, MXR) パワーアップ
15	5811h	アナログ・ミキサ入力 (SW2, SW5) セレクト
16	49ECh	ヘッドホン・アンプ (HPL, HPR, HPC) パワーアップ
18	4A01h	V <sub>COM</sub> パワーアップ
19	5230h	アナログ・フロントエンド (D2S, MCB, PG1, 2, 5, 6) パワーアップ
20	5711h	アナログ入力 (MUX3, MUX4) セレクト、アナログ入力 (MUX1, MUX2) セレクト

表 3. 推奨電源オン・シーケンス

- (1) V<sub>DD</sub>は他の電源より前に、または同時にオンにする必要があります。すべての電源をオンにした後で、システム・クロック入力によりレジスタ・データを設定することを推奨します。
- (2) 音量および減衰については任意のレベルを使用できます。システムの電源オフ時に記録されたレジスタ・データによりレベルを復元する必要があります。
- (3) オーディオ・インターフェイス・フォーマットは、使用するDSPまたはデコーダに合わせて設定する必要があります。

順序	レジスタ設定	NOTE
1	447Fh	DAC L-ch デジタル・ソフトミュート・イネーブル <sup>(1)</sup>
2	457Fh	DAC R-ch デジタル・ソフトミュート・イネーブル <sup>(1)</sup>
4	5811h	アナログ・ミキサ入力 (SW2, SW5) セレクト
5	49ECh	ヘッドホン・アンプ (HPL, HPR, HPC) パワーアップ <sup>(2)</sup>
6	5200h	アナログ・フロントエンド (D2S, MCB, PG1, 2, 5, 6) パワーダウン
7	5A00h	PG1, PG2ゲイン・コントロール (0dB)
8	4A00h	V <sub>COM</sub> パワーダウン
9	–	ウェイト時間 (750ms) <sup>(3)</sup>
10	49E0h	ヘッドホン・アンプ (HPL, HPR, HPC) パワーダウン、スピーカー・アンプ (SPL, SPR) パワーダウン
11	4800h	アナログ・ミキサ (MXL, MXR) パワーダウン
12	4900h	DAC (DAL, DAR) およびアナログ・バイアス・パワーダウン
13	–	全ての電源をオフにする <sup>(4)</sup>

表 4. 推奨電源オフ・シーケンス

- (1) 音量および減衰については任意のレベルを使用できます。
- (2) 電源オフ・シーケンス中は、ヘッドホン・アンプが動作している必要があります。
- (3) PCM1774では、V<sub>COM</sub>が共通レベルからグラウンド・レベルになるまで時間がかかります。待ち時間は、レジスタ125 PTM [1:0]、RES [4:0]の設定によって異なります。デフォルト設定は、V<sub>COM</sub> = 4.7μF接続で750msです。
- (4) 電源シーケンスは必要ありません。システム・クロック入力によりレジスタを設定した後で、すべての電源をオフにすることを推奨します。

動作モード	条件	V <sub>OL</sub> [V]	電源電流 [mA]				PD [mW]
			V <sub>IO</sub>	V <sub>DD</sub>	V <sub>CC</sub>	V <sub>PA</sub>	TOTAL
All Power Down	Zero Data f <sub>S</sub> = 44.1 kHz R <sub>L</sub> = 0 Ω	1.8	0.000	0.000	–	–	0.000
		2.8	0.000	0.000	–	–	0.000
		3.3	0.000	0.000	–	–	0.000
		2.4	–	–	0.001	0.000	0.002
		2.8	–	–	0.001	0.000	0.003
		3.3	–	–	0.001	0.000	0.003
All Active	Zero Data f <sub>S</sub> = 44.1 kHz R <sub>L</sub> = 0 Ω	1.8	0	0.84	–	–	1.5
		2.8	0.03	1.47	–	–	4.2
		3.3	0.04	1.84	–	–	6.2
		2.4	–	–	1.68	0.38	4.9
		2.8	–	–	1.81	0.41	6.2
		3.3	–	–	1.96	0.46	8.0
Line Output	Zero Data f <sub>S</sub> = 44.1 kHz R <sub>L</sub> = 10 Ω	1.8	0	0.84	–	–	1.5
		2.8	0.03	1.47	–	–	4.2
		3.3	0.04	1.84	–	–	6.2
		2.4	–	–	1.38	0.38	4.2
		2.8	–	–	1.50	0.41	5.3
		3.3	–	–	1.64	0.46	6.9
Headphone Output	Zero Data f <sub>S</sub> = 44.1 kHz R <sub>L</sub> = 16 Ω	1.8	0	0.84	–	–	1.5
		2.8	0.03	1.47	–	–	4.2
		3.3	0.04	1.84	–	–	6.2
		2.4	–	–	1.38	0.38	4.2
		2.8	–	–	1.50	0.41	5.3
		3.3	–	–	1.65	0.46	7.0
Headphone Output with Sound Effect	Zero Data f <sub>S</sub> = 44.1 kHz R <sub>L</sub> = 16 Ω	1.8	0	1.29	–	–	2.3
		2.8	0.03	2.26	–	–	6.4
		3.3	0.04	2.82	–	–	9.4
		2.4	–	–	1.38	0.38	4.2
		2.8	–	–	1.50	0.42	5.4
		3.3	–	–	1.64	0.46	6.9
Headphone Output with Stereo Analog Mixing	Zero Data f <sub>S</sub> = 44.1 kHz R <sub>L</sub> = 16 Ω	1.8	0	0.84	–	–	1.5
		2.8	0.03	1.47	–	–	4.2
		3.3	0.04	1.84	–	–	6.2
		2.4	–	–	1.68	0.38	4.9
		2.8	–	–	1.81	0.41	6.2
		3.3	–	–	1.96	0.46	8.0
Headphone Output with Mono Analog Mixing	Zero Data f <sub>S</sub> = 44.1 kHz R <sub>L</sub> = 16 Ω	1.8	0	0.84	–	–	1.5
		2.8	0.03	1.47	–	–	4.2
		3.3	0.04	1.84	–	–	6.2
		2.4	–	–	1.53	0.38	4.6
		2.8	–	–	1.66	0.41	5.8
		3.3	–	–	1.81	0.46	7.5
Headphone Output with Stereo Analog Mixing	Zero Data f <sub>S</sub> = 44.1 kHz R <sub>L</sub> = 16 Ω No Digital Input <sup>(1)</sup>	1.8	0	0	–	–	0.0
		2.8	0	0	–	–	0.0
		3.3	0	0	–	–	0.0
		2.4	–	–	0.68	0.38	2.5
		2.8	–	–	0.69	0.41	3.1
		3.3	–	–	0.71	0.46	3.9
Headphone Output with Mono Analog Mixing	Zero Data f <sub>S</sub> = 44.1 kHz R <sub>L</sub> = 16 Ω No Digital Input <sup>(1)</sup>	1.8	0	0	–	–	0.0
		2.8	0	0	–	–	0.0
		3.3	0	0	–	–	0.0
		2.4	–	–	0.52	0.38	2.2
		2.8	–	–	0.54	0.42	2.7
		3.3	–	–	0.55	0.46	3.3

表 5. 消費電力表

(1) すべてのデジタル入力を固定。

## オーディオ・シリアル・インターフェイス

PCM1774のオーディオ・シリアル・インターフェイスは、LRCK、BCK、DINで構成されます。左右チャンネルはサンプリング・レート ( $f_s$ ) のLRCK上に存在します。DINではDACインターポレーション・フィルタへのシリアル・データを受信します。BCKは、DINでのシリアル・オーディオ・データを“High”から“Low”への遷移で行います。BCKおよびLRCKは、オーディオ・システム・クロックと同期する必要があります。理想的には、オーディオ・システム・クロックから生成することを推奨します。

PCM1774では、LRCKがシステム・クロックと同期していることが必須です。LRCKとシステム・クロックの間に特定の位相関係は要求されません。

PCM1774のインターフェイス・フォーマットは、マスタ・モードおよびスレーブ・モードがあり、レジスタ84 (MSTR) で選択できます。マスタ・モードでは、PCM1774はシステム・クロックからLRCKおよびBCKを生成します。

## オーディオ・データ・フォーマットおよびタイミング

PCM1774は、I<sup>2</sup>S、右詰め、左詰め、DSPの各形式をサポートします。これらのデータ・フォーマットを図16に示します。データ・フォーマットは、レジスタ70および81 (RFM[1:0]、PFM[1:0]) を使用して選択します。すべての形式で、バイナリ2の補数バイナリ、MSBファーストのオーディオ・データが必要です。デフォルトの形式はI<sup>2</sup>Sです。図14に、詳細タイミング図を示します。

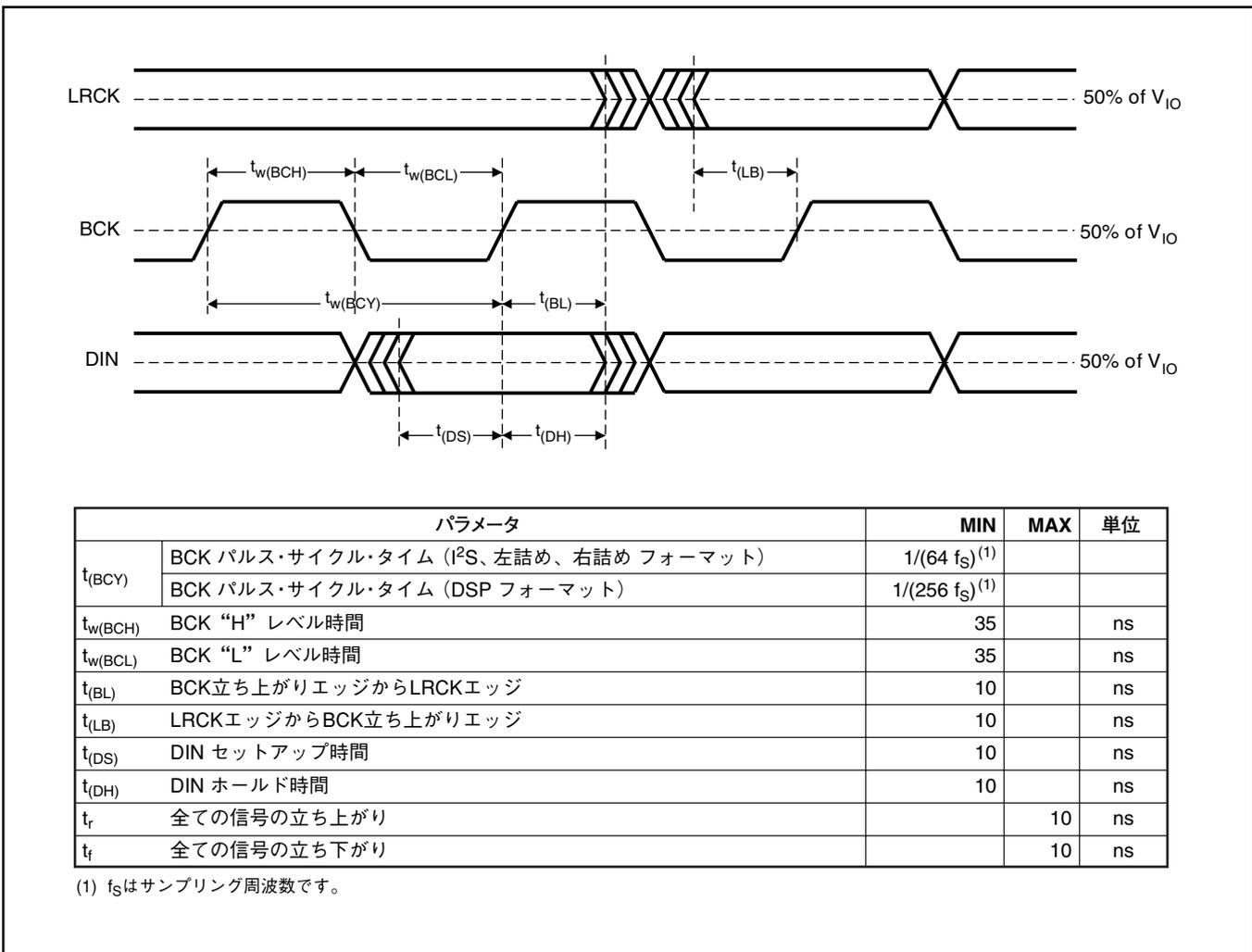
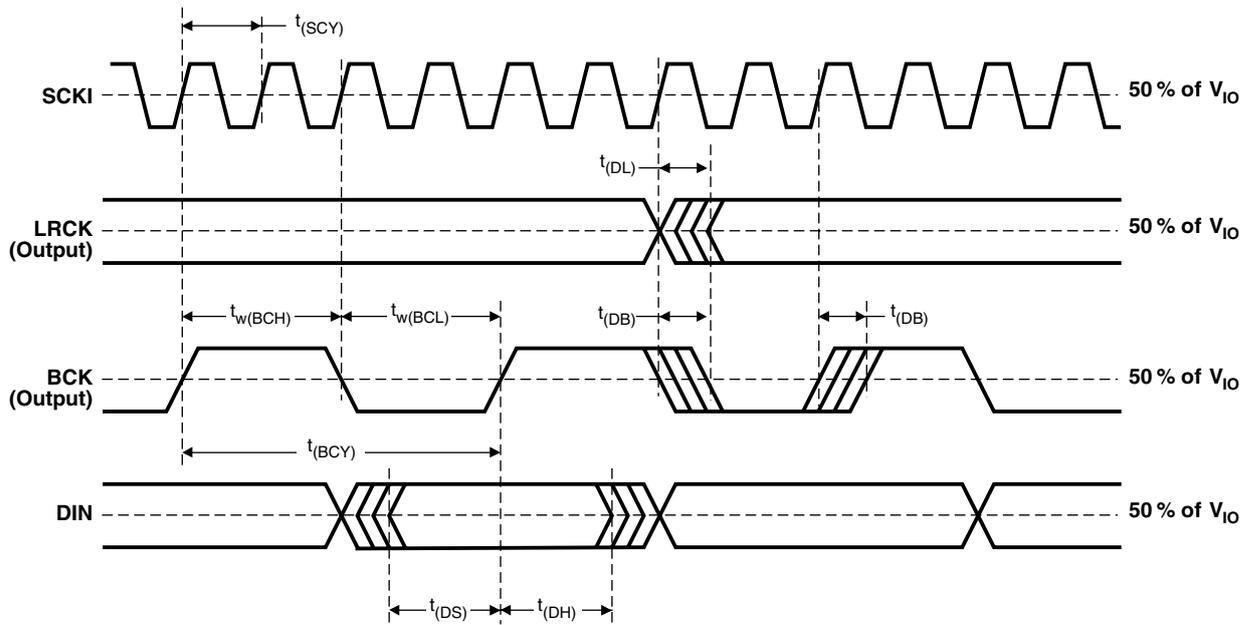


図 14. オーディオ・インターフェイス・タイミング (スレーブ・モード)

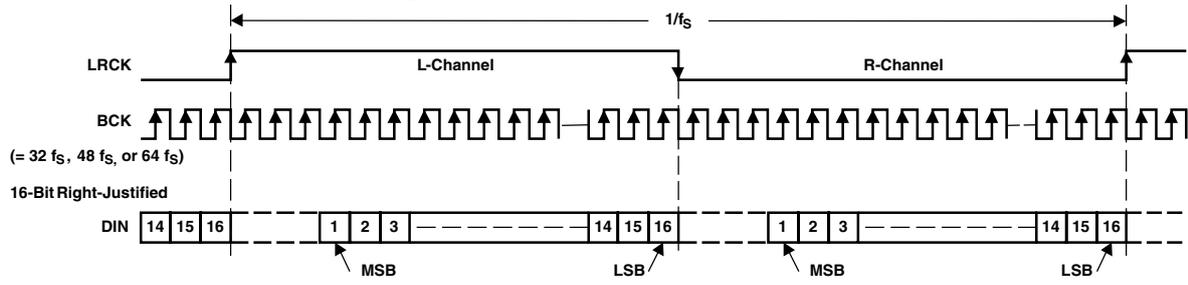


パラメータ		MIN	MAX	単位
$t_{(SCY)}$	SCKI パルス・サイクル・タイム	$1/(256 f_S)^{(1)}$		
$t_{(DL)}$	SCKI立ち上がりからLRCKエッジ	0	40	ns
$t_{(DB)}$	SCKI立ち上がりからBCKエッジ	0	40	ns
$t_{(BCY)}$	BCK パルス・サイクル・タイム	$1/(64 f_S)^{(1)}$		
$t_{w(BCH)}$	BCK "H" レベル時間	146		ns
$t_{w(BCL)}$	BCK "L" レベル時間	146		ns
$t_{(DS)}$	DATA セットアップ時間	10		ns
$t_{(DH)}$	DATA ホールド時間	10		ns

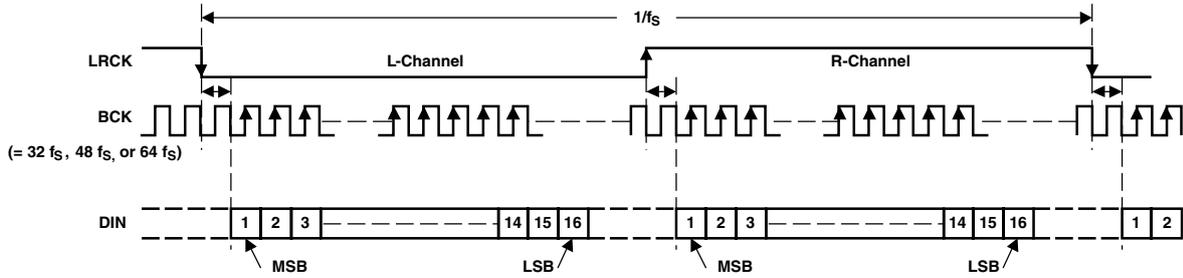
(1)  $f_S$ は最大48kHzです。 $f_S$ はサンプリング周波数です。

図 15. オーディオ・インターフェイス・タイミング (マスター・モード)

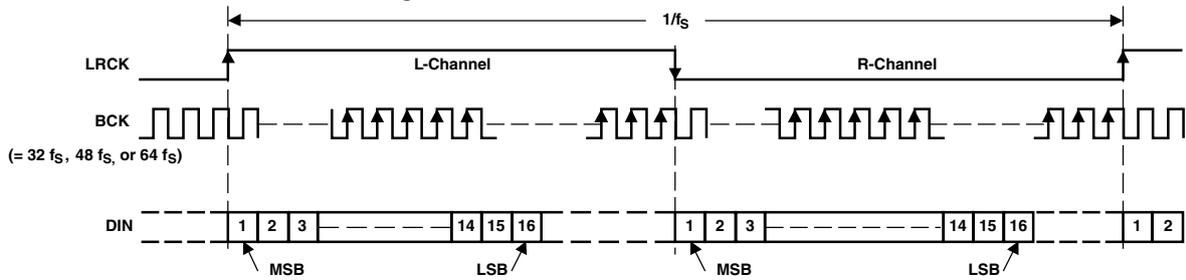
(a) 右詰めデータ・フォーマット、Lチャンネル = “High”、Rチャンネル = “Low”、LRPC = 0



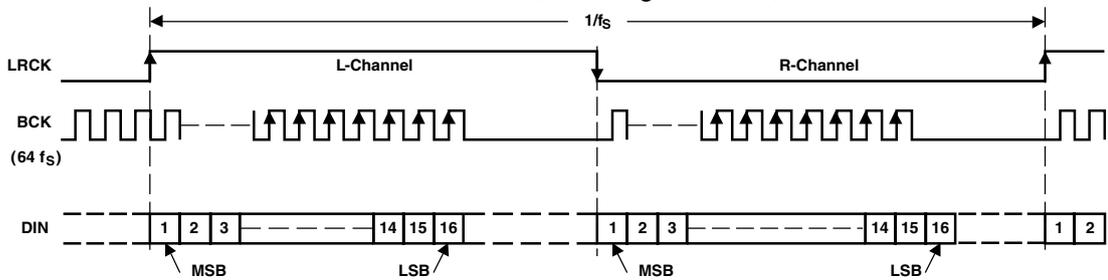
(b) I<sup>2</sup>Sデータ・フォーマット、Lチャンネル = “Low”、Rチャンネル = “High”、LRPC = 0



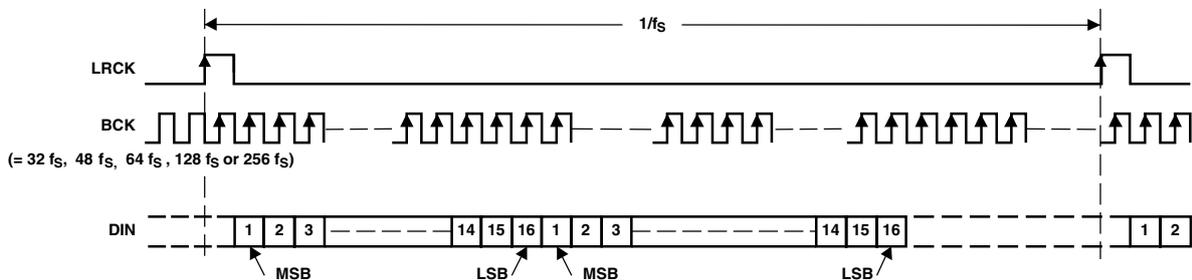
(c) 左詰めデータ・フォーマット、Lチャンネル = “High”、Rチャンネル = “Low”、LRPC = 0



(d) バーストBCKインターフェイス・フォーマット (マスタ・モード)、Lチャンネル = “High”、Rチャンネル = “Low”、LRPC = 0



(e) DSP・フォーマット、LRPC = 0



注：すべてのオーディオ・インターフェイス・フォーマットは、マスタ・モードでBCK = 64 fsをサポートします (レジスタ69、MSTR = 1)。表9および表10では、マルチサンプリング・レート設定 (レジスタ85および86、NPR[5:0]およびMSR[2:0]) でのBCKのfsを示しています。

図 16. オーディオ・データ・フォーマット

### 3線式インターフェイス (SPI、MODE (ピン28) = “Low”)

シリアル制御ポートに対するすべての書き込み動作では、16ビットのデータ・ワードを使用します。図17に、制御データ・ワードの形式を示します。最上位ビットは0にする必要があります。IDX[6:0]の7ビットにより、書き込み動作のレジスタ・アドレスを設定します。下位8ビットのD[7:0]には、IDX[6:0]で指定されるレジスタに書き込まれるデータになります。

図18は、シリアル制御ポートへの書き込みのタイミング図となります。モード・レジスタにデータを書き込む場合、データはMCクロックの立ち上がりエッジで内部シフト・レジスタに取り込まれます。シリアル・データは、MCクロックの立ち下がりエッジで変化する必要があり、書き込みモード中はMSが“Low”である必要があります。MSの立ち上がりエッジは、16ビット・フレーム内の最後のMCクロック・パルスの立ち下がりエッジと同期する必要があります。MSが“Low”状態である間、MCは遷移間で連続して動作できます。

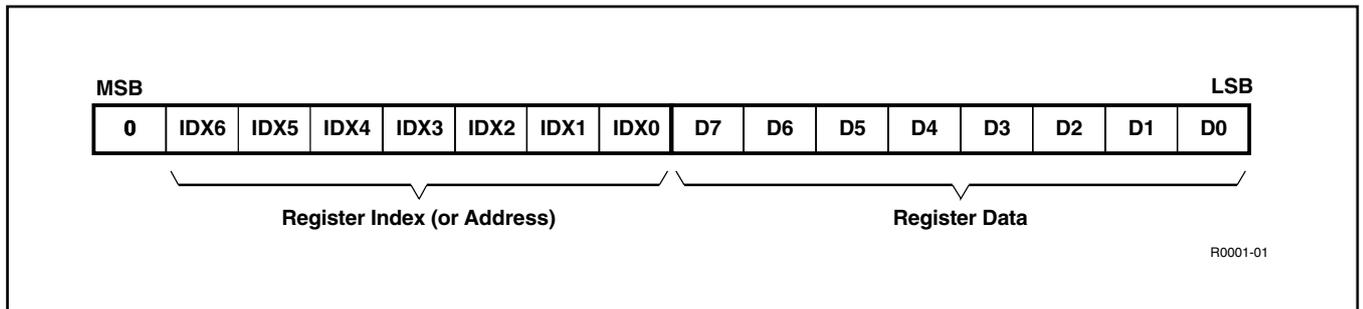


図 17. MDの制御データ・ワード形式

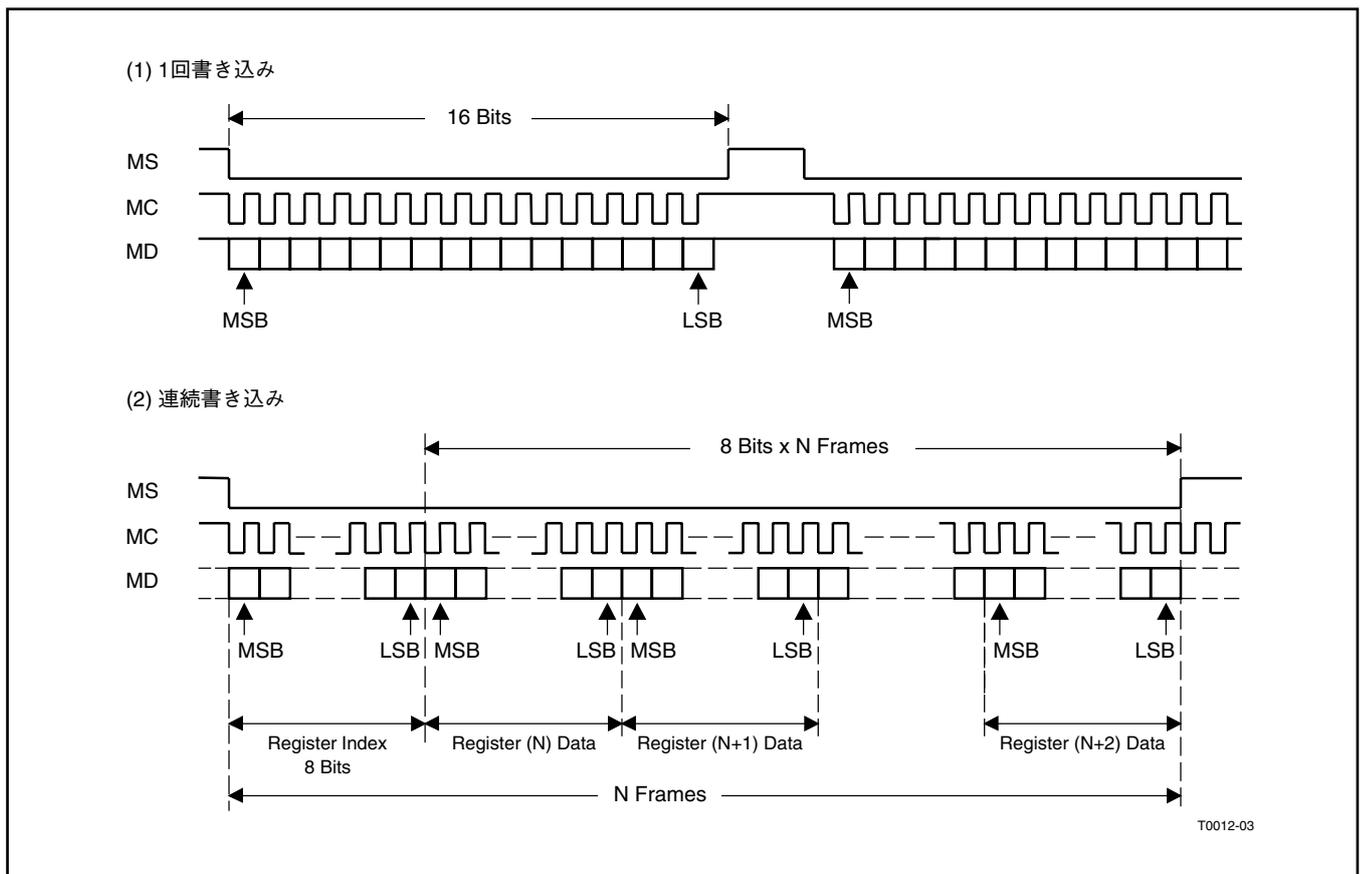


図 18. レジスタ書き込み動作

### 3線式インターフェイス (SPI) のタイミング条件

図19に、シリアル制御インターフェイスの詳細なタイミング図を示します。これらのタイミング・パラメータは、適切な制御ポート動作のために重要です。

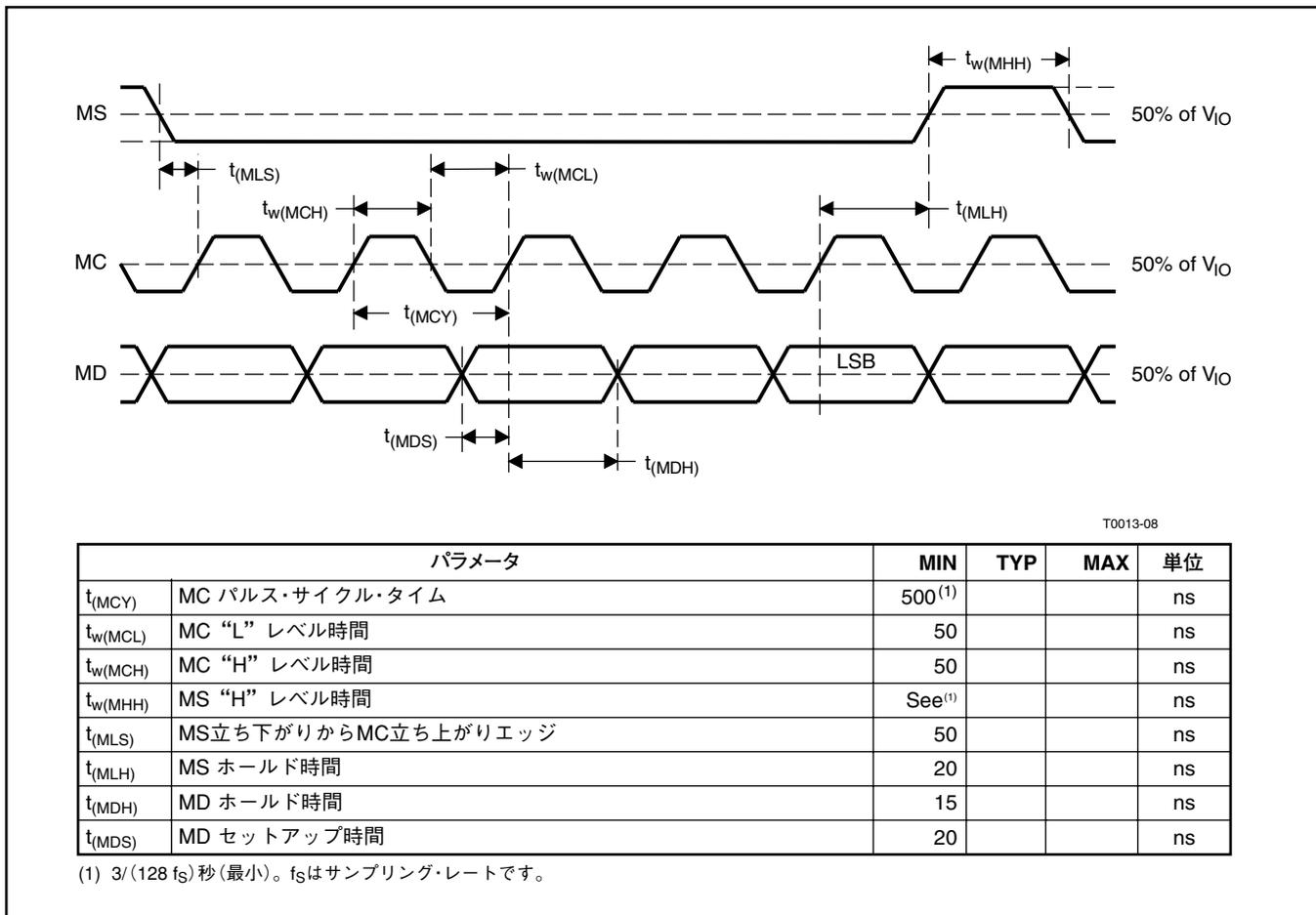


図 19. SPIインターフェイス・タイミング

### 2線式インターフェイス [I<sup>2</sup>C、MODE (ピン28) = “High” ]

PCM1774は、I<sup>2</sup>Cシリアル・バスをサポートし、スレーブ・デバイスとしてのI<sup>2</sup>C規格のデータ転送プロトコルをサポートしています。このプロトコルは、I<sup>2</sup>C仕様2.0で説明されています。

I<sup>2</sup>Cモードでは、制御ピンの機能が次のように変化します。

TERMINAL NAME	PROPERTY	DESCRIPTION
MS/ADR	Input	I <sup>2</sup> C address
MD/SDA	Input/output	I <sup>2</sup> C data
MC/SCL	Input	I <sup>2</sup> C clock

### スレーブ・アドレス

MSB				LSB			
1	0	0	0	1	1	ADR	R/W

PCM1774は、固有の7ビット・スレーブ・アドレスを持っています。スレーブ・アドレスの上位6ビットは、出荷時に100011に設定されています。アドレス・バイトの最下位ビットは、デバイス選択ビットであり、ADRピンを使用してユーザ定義できま

す。一度に最大2つまでのPCM1774を同じバスに接続できます。PCM1774の固有のスレーブ・アドレスが受信されたときに、応答を行います。

## パケット・プロトコル

マスター・デバイスは、パケット・プロトコルを制御する必要があります。パケット・プロトコルは、スタート条件、スレーブ・アドレスと読み出し/書き込みビット、データ(書き込みの場合)

または確認応答(読み出しの場合)、およびストップ条件から構成されます。PCM1774は、スレーブ受信およびスレーブ送信のみをサポートします。

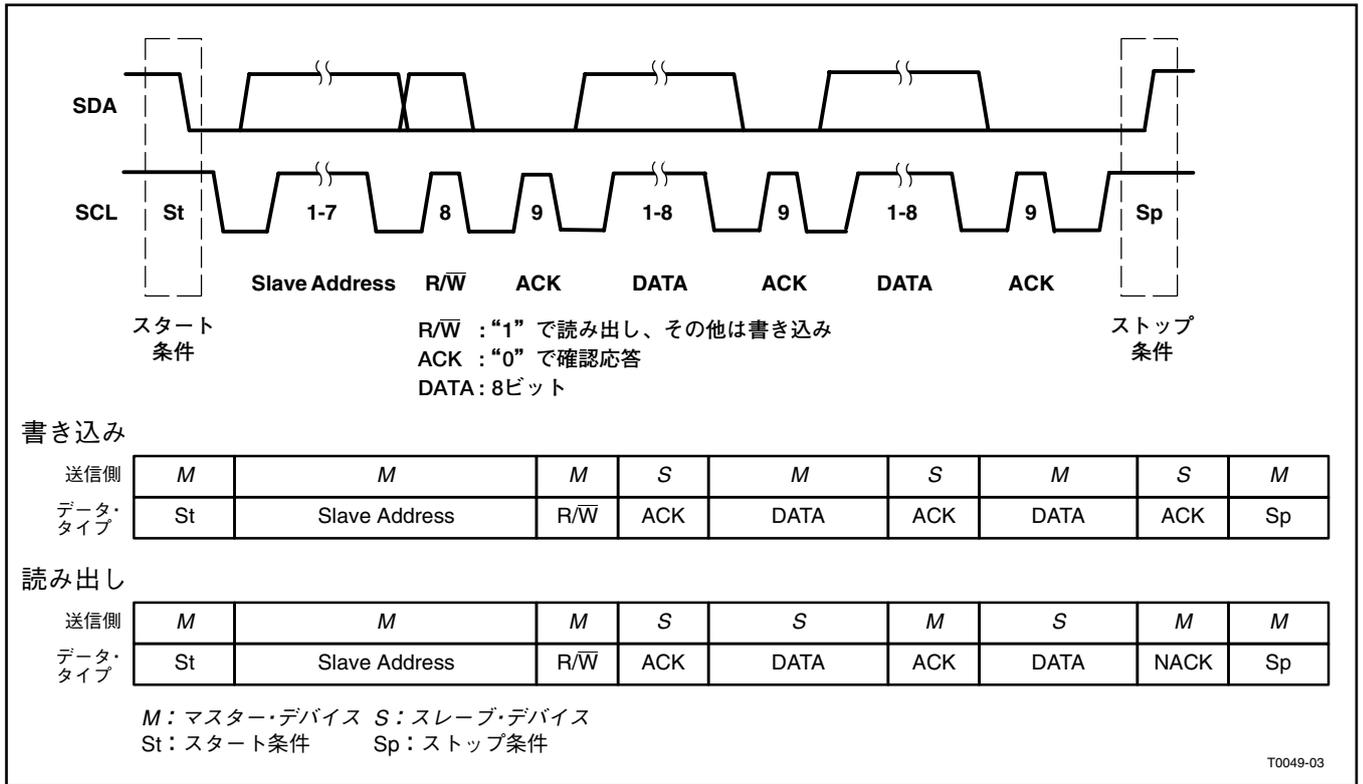


図 20. 基本的なI<sup>2</sup>Cフレームワーク

## 書き込み動作

マスターは、PCM1774のどのレジスタに対しても1回のアクセスで書き込むことができます。マスターは、PCM1774のスレーブ・アドレスを、書き込みビット、レジスタ・アドレス、および

データとともに送信します。未定義のレジスタがアクセスされた場合、PCM1774は確認応答を送信しません。図21に、書き込み動作の図を示します。



図 21. 書き込み動作のフレームワーク

## 読み出し動作

マスターは、PCM1774のレジスタを読み出すことができます。レジスタ・アドレスの値は、事前に間接インデックス・レジスタに格納されます。マスターは、レジスタ・アドレスの格納後、

PCM1774のスレーブ・アドレスを読み出しビットとともに送信します。次に、PCM1774は、インデックス・レジスタで指定されるデータを転送します。図22に、読み出し動作の図を示します。



図 22. 読み出し動作

タイミング図

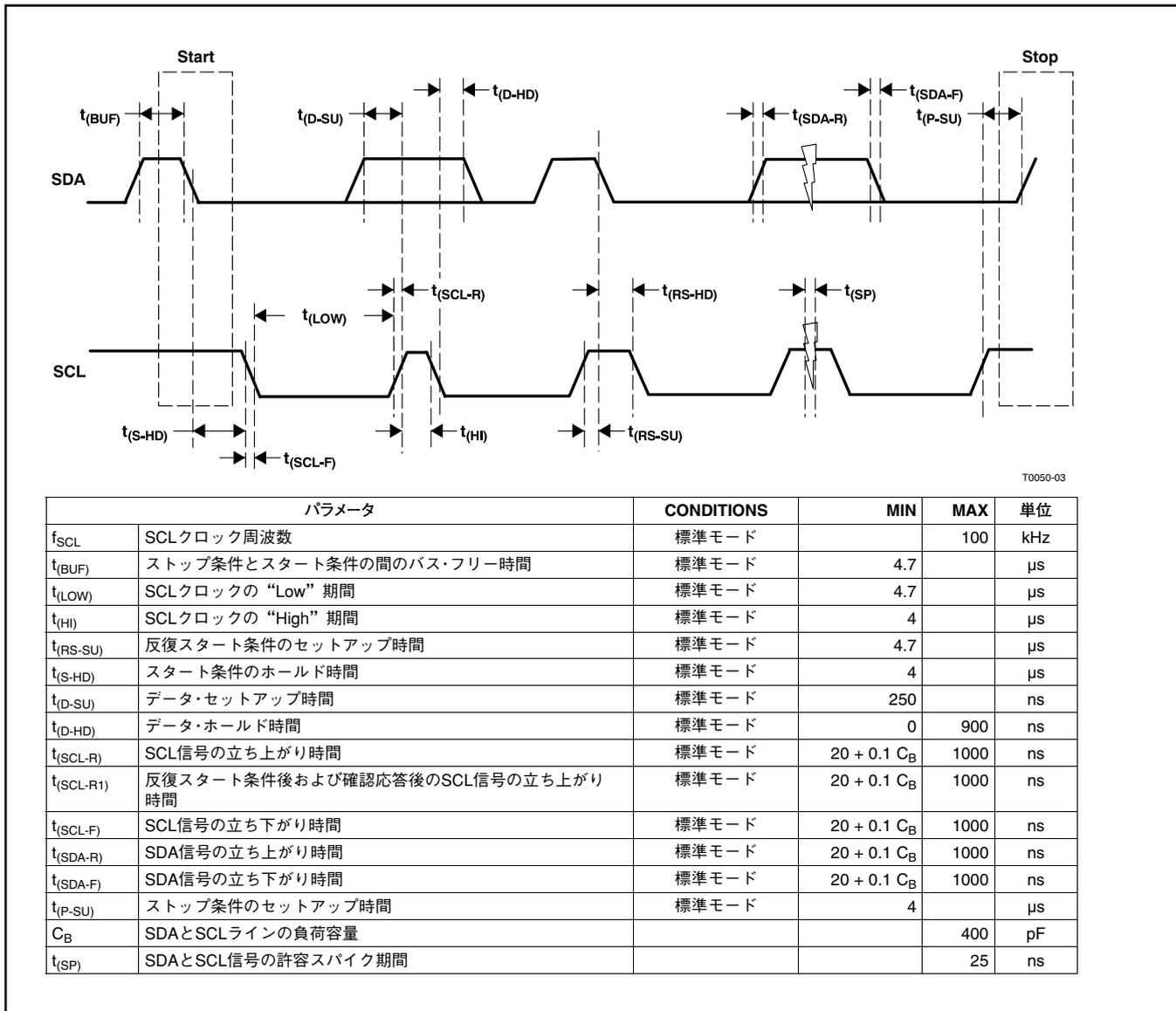


図 23. I<sup>2</sup>Cインターフェイス・タイミング

## ユーザ・プログラム可能なモード制御

### レジスタ・マップ

モード制御レジスタ・マップを表6に示します。各レジスタには、IDX[6:0]ビットで示されるインデックス(アドレス)が含まれています。

レジスタ	IDX[6:0] (B14 - B8)	説明	B7	B6	B5	B4	B3	B2	B1	B0
Register 64	40h	HPA(L-ch)用ボリューム	RSV	HMUL	HLV5	HLV4	HLV3	HLV2	HLV1	HLV0
Register 65	41h	HPA(R-ch)用ボリューム	RSV	HMUR	HRV5	HRV4	HRV3	HRV2	HRV1	HRV0
Register 68	44h	DAC デジタル・アッテネータおよびソフト・ミュール(L-ch)	RSV	PMUL	ATL5	ATL4	ATL3	ATL2	ATL1	ATL0
Register 69	45h	DAC デジタル・アッテネータおよびソフト・ミュール(R-ch)	RSV	PMUR	ATR5	ATR4	ATR3	ATR2	ATR1	ATR0
Register 70	46h	DAC オーバー・サンプリング、ディエンファシス、オーディオ・インターフェイス、DGC	DEM1	DEM0	PFM1	PFM0	SPX1	SPX0	RSV	OVER
Register 72	48h	アナログ・ミキサパワーアップ/ダウン	RSV	RSV	RSV	RSV	RSV	RSV	PMXR	PMXL
Register 73	49h	DACおよびHPAパワーアップ/ダウン	PBIS	PDAR	PDAL	RSV	PHPR	PHPL	RSV	RSV
Register 74	4Ah	アナログ出力コンフィグレーション・セレクト	RSV	RSV	RSV	RSV	HPS1	HPS0	RSV	PCOM
Register 75	4Bh	HPA 挿入検出、ショート保護	RSV	RSV	RSV	RSV	SDHR	SDHL	RSV	RSV
Register 77	4Dh	シャット・ダウン・ステータス・リードバック	RSV	RSV	RSV	RSV	STHR	STHL	RSV	RSV
Register 82	52h	PG1, 2, 5, 6 パワーアップ/ダウン	RSV	RSV	PAIR	PAIL	RSV	RSV	RSV	RSV
Register 84	54h	マスタ・モード	RSV	RSV	RSV	RSV	RSV	MSTR	RSV	BIT0
Register 85	55h	システム・リセット、サンプリング・レート・コントロール、データ・スワップ	SRST	LRPC	NPR5	NPR4	NPR3	NPR2	NPR1	NPR0
Register 86	56h	BCKコンフィグレーション、サンプリング・レート・コントロール、ゼロ・クロス	MBST	MSR2	MSR1	MSR0	RSV	RSV	RSV	ZCRS
Register 87	57h	アナログ入力セレクト	RSV	RSV	RSV	AIR0	RSV	RSV	RSV	AIL0
Register 88	58h	アナログ・ミクシング・スイッチ(SW1, 2, 3, 4, 5, 6)	RSV	MXR2	MXR1	MXR0	RSV	MXL2	MXL1	MXL0
Register 89	59h	アナログ~アナログ・パス(PG5, 6)ゲイン	RSV	GMR2	GMR1	GMR0	RSV	GML2	GML1	GML0
Register 90	5Ah	マイクロフォン・ブースト	RSV	RSV	RSV	RSV	RSV	RSV	G20R	G20L
Register 92	5Ch	パス・ブースト・ゲイン・レベル	LPAE	RSV	RSV	LGA4	LGA3	LGA2	LGA1	LGA0
Register 93	5Dh	ミドル・ブースト・ゲイン・レベル	RSV	RSV	RSV	MGA4	MGA3	MGA2	MGA1	MGA0
Register 94	5Eh	トレブル・ブースト・ゲイン・レベル	RSV	RSV	RSV	HGA4	HGA3	HGA2	HGA1	HGA0
Register 95	5Fh	サウンド・エフェクト・ソース・セレクト、3Dサウンド	RSV	3DEN	RSV	3FL0	3DP3	3DP2	3DP1	3DP0
Register 96	60h	デジタル・モノラル・ミクシング	RSV	MXEN						
Register 124	7Ch	PG1/PG2 補助ゲイン	RSV	RSV	RSV	RSV	RSV	RSV	G12R	G12L
Register 125	7Dh	パワーアップ/ダウン時間コントロール	RSV	PTM1	PTM0	RES4	RES3	RES2	RES1	RES0

HPA : ヘッドホンアンプ    DAC : DAコンバータ  
PGx : アナログ入力バッファ

表 6. モード制御レジスタ・マップ

## レジスタ定義

### レジスタ64および65

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 64	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	HMUL	HLV5	HLV4	HLV3	HLV2	HLV1	HLV0
Register 65	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	HMUR	HRV5	HRV4	HRV3	HRV2	HRV1	HRV0

IDX[6:0] : 100 0000b (40h) : レジスタ64

IDX[6:0] : 100 0001b (41h) : レジスタ65

HMUL : HPL (ラインまたはヘッドホンのLチャンネル) のアナログ・ミュート制御

HMUR : HPR (ラインまたはヘッドホンのRチャンネル) のアナログ・ミュート制御

デフォルト値 : 1

HPOL/LOLとHPOR/LORは、HMULおよびHMUR = 1のときに、それぞれ独立してゼロ・レベルにミュートできます。これらの設定は、アナログ音量レベル設定よりも優先されます。

HMUL, HMUR = 0	ミュートはディセーブル
HMUL, HMUR = 1	ミュートはイネーブル (デフォルト)

HLV[5:0] : HPL (ヘッドホンのLチャンネル) のアナログ音量

HRV[5:0] : HPR (ヘッドホンのRチャンネル) のアナログ音量

デフォルト値 : 00 0000.

HPOL/LOLとHPOR/LORは、表7に示されるゲイン・レベルに応じたステップで、6dB~-70dBの範囲内でそれぞれ独立に制御できます。レベルを変える際には、出力にジッター・ノイズが生じる場合があります。このノイズは、ゼロクロス検出 (レジスタ86、ZCRS) を選択することによって低減できます。

HLV[5:0], HRV[5:0]	STEP	GAIN LEVEL SETTING	HLV[5:0], HRV[5:0]	STEP	GAIN LEVEL SETTING	HLV[5:0], HRV[5:0]	STEP	GAIN LEVEL SETTING
11 1111	3F	6 dB	10 1001	29	-5 dB	01 0011	13	-21 dB
11 1110	3E	5.5 dB	10 1000	28	-5.5 dB	01 0010	12	-22 dB
11 1101	3D	5 dB	10 0111	27	-6 dB	01 0001	11	-23 dB
11 1100	3C	4.5 dB	10 0110	26	-6.5 dB	01 0000	10	-24 dB
11 1011	3B	4 dB	10 0101	25	-7 dB	00 1111	0F	-26 dB
11 1010	3A	3.5 dB	10 0100	24	-7.5 dB	00 1110	0E	-28 dB
11 1001	39	3 dB	10 0011	23	-8 dB	00 1101	0D	-30 dB
11 1000	38	2.5 dB	10 0010	22	-8.5 dB	00 1100	0C	-32 dB
11 0111	37	2 dB	10 0001	21	-9 dB	00 1011	0B	-34 dB
11 0110	36	1.5 dB	10 0000	20	-9.5 dB	00 1010	0A	-36 dB
11 0101	35	1 dB	01 1111	1F	-10 dB	00 1001	09	-38 dB
11 0100	34	0.5 dB	01 1110	1E	-10.5 dB	00 1000	08	-40 dB
11 0011	33	0 dB	01 1101	1D	-11 dB	00 0111	07	-42 dB
11 0010	32	-0.5 dB	01 1100	1C	-12 dB	00 0110	06	-46 dB
11 0001	31	-1 dB	01 1011	1B	-13 dB	00 0101	05	-50 dB
11 0000	30	-1.5 dB	01 1010	1A	-14 dB	00 0100	04	-54 dB
10 1111	2F	-2 dB	01 1001	19	-15 dB	00 0011	03	-58 dB
10 1110	2E	-2.5 dB	01 1000	18	-16 dB	00 0010	02	-62 dB
10 1101	2D	-3 dB	01 0111	17	-17 dB	00 0001	01	-66 dB
10 1100	2C	-3.5 dB	01 0110	16	-18 dB	00 0000	00	-70 dB
10 1011	2B	-4 dB	01 0101	15	-19 dB			
10 1010	2A	-4.5 dB	01 0100	14	-20 dB			

表 7. ヘッドホンのゲイン・レベル設定



## レジスタ70

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 70	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	DEM1	DEM0	PFM1	PFM0	SPX1	SPX0	RSV	OVER

**IDX[6:0]** : 100 0110b (46h) : レジスタ70

**DEM[1:0]** : ディエンファシス・フィルタ選択

デフォルト値 : 00

デジタル・ディエンファシス・フィルタは、補間フィルタの前に配置されています。32kHz、44.1kHz、または48kHzのサンプリング・レートに対応して、3つのうちいずれかのディエンファシス・フィルタを選択できます。

DEM[1:0]	ディエンファシス・フィルタ選択
00	オフ(デフォルト)
01	32 kHz
10	44.1 kHz
11	48 kHz

**PFM[1:0]** : DAC(デジタル入力)のオーディオ・インターフェイス選択

デフォルト値 : 00

DACデジタル入力のオーディオ・インターフェイスは、I<sup>2</sup>S、右詰め、左詰め、DSPの各形式をサポートします。

PFM[1:0]	DACデジタル入力のオーディオ・インターフェイス選択
00	I <sup>2</sup> S形式(デフォルト)
01	右詰め形式
10	左詰め形式
11	DSP形式

**SPX[1:0]** : DAC入力のデジタル・ゲイン制御

デフォルト値 : 00

これらのビットは、デジタル入力データの増幅に使用されます。

SPX[1:0]	DAC入力のデジタル・ゲイン制御
00	0 dB(デフォルト)
01	6 dB
10	12 dB
11	18 dB

**OVER** : デルタ・シグマDACのオーバーサンプリング制御

デフォルト値 : 0

このビットは、デルタ・シグマDACのオーバーサンプリング・レートの制御に使用されます。PCM1774が低サンプリング・レート(24kHz未満)で動作していて、SCKI周波数が12.5MHz未満である場合は、OVER = 1を推奨します。

OVER = 0	128 f <sub>S</sub> (デフォルト)
OVER = 1	192 f <sub>S</sub> , 256 f <sub>S</sub> , 384 f <sub>S</sub>

## レジスタ72

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 72	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	RSV	RSV	RSV	PMXR	PMXL

**IDX[6:0]** : 100 1000b (48h) レジスタ72

**PMXR** : MXR(ミキサのRチャンネル)のパワーオン/パワーダウン

**PMXL** : MXL(ミキサのLチャンネル)のパワーオン/パワーダウン

デフォルト値 : 0

これらのビットは、アナログ・ミキサのパワーオン/パワーダウン制御に使用されます。

PMXL, PMXR = 0	パワーダウン(デフォルト)
PMXL, PMXR = 1	パワーオン

## レジスタ73

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 73	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	PBIS	PDAR	PDAL	RSV	PHPR	PHPL	RSV	RSV

**IDX[6:0] : 100 1001b (49h) : レジスタ73**

**PBIS : バイアスのパワーオン/パワーダウン制御**

デフォルト値 : 0

このビットは、アナログ・バイアス回路のパワーオン/パワーダウン制御に使用されます。

PBIS = 0	パワーダウン (デフォルト)
PBIS = 1	パワーオン

**PDAR : DAR (DACおよびRチャネル・デジタル・フィルタ) のパワーオン/パワーダウン制御**

**PDAL : DAL (DACおよびLチャネル・デジタル・フィルタ) のパワーオン/パワーダウン制御**

デフォルト値 : 0

これらのビットは、DACおよび補間フィルタのパワーオン/パワーダウン制御に使用されます。

PDAR, PDAL = 0	パワーダウン (デフォルト)
PDAR, PDAL = 1	パワーオン

**PHPR : HPR (ラインまたはRチャネル・ヘッドホン出力) のパワーオン/パワーダウン制御**

**PHPL : HPL (ラインまたはLチャネル・ヘッドホン出力) のパワーオン/パワーダウン制御**

デフォルト値 : 0

これらのビットは、ヘッドホン・アンプのパワーオン/パワーダウン制御に使用されます。

PHPR, PHPL = 0	パワーダウン (デフォルト)
PHPR, PHPL = 1	パワーオン

## レジスタ74

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 74	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	RSV	HPS1	HPS0	RSV	PCOM

**IDX[6:0] : 100 1010b (4Ah) : レジスタ74**

**HPS[1:0] : ラインまたはヘッドホン出力構成**

デフォルト値 : 00

HPOL/LOLおよびHPOR/LORは、以下のように構成できます。

HPS[1:0]	ラインまたはヘッドホン出力構成
0 0	ステレオ出力 (デフォルト)
0 1	単一モノラル出力
1 0	差動モノラル出力
1 1	予約

**PCOM :  $V_{COM}$  のパワーオン/パワーダウン制御**

デフォルト値 : 0

このビットは、 $V_{COM}$  のパワーオン/パワーダウン制御に使用されます。

PCOM = 0	パワーダウン (デフォルト)
PCOM = 1	パワーオン

## レジスタ75

Register 75	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	RSV	SDHR	SDHL	RSV	RSV

IDX[6:0] : 100 1011b (4Bh) : レジスタ75

SDHR : HPR (Rチャンネルのヘッドホン)の短絡保護状態

SDHL : HPL (Lチャンネルのヘッドホン)の短絡保護状態

デフォルト値 : 0

アプリケーションでこの機能を必要としない場合は、短絡保護をディスエーブルにできます。

SDHR, SDSL = 0	イネーブル (デフォルト)
SDHR, SDHL = 1	ディスエーブル

## レジスタ77

Register 77	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	RSV	STHR	STHL	RSV	RSV

IDX[6:0] : 100 1101b (4Dh) : レジスタ77

STHR : HPR (Rチャンネルのヘッドホン)の短絡保護状態

STHL : HPL (Lチャンネルのヘッドホン)の短絡保護状態

これらのビットは、I<sup>2</sup>Cインターフェイスを通して短絡保護状態を読み出すために使用できます。

STHR, STHL = 0	短絡保護を検出
STHR, STHL = 1	短絡保護を非検出

## レジスタ82

Register 82	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	PAIR	PAIL	RSV	RSV	RSV	RSV

IDX[6:0] : 101 0010b (52h) : レジスタ82

PAIR : PG2およびPG6 (Rチャンネル・アナログ入力のゲイン・アンプ)のパワーオン/パワーダウン

PAIL : PG1およびPG5 (Lチャンネル・アナログ入力のゲイン・アンプ)のパワーオン/パワーダウン

デフォルト値 : 0

これらのビットは、PG2およびPG6 (アナログ入力のゲイン・アンプ)のパワーオン/パワーダウン制御に使用されます。

PAIR, PAIL = 0	パワーダウン (デフォルト)
PAIR, PAIL = 1	パワーオン

## レジスタ84～86

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 84	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	RSV	RSV	MSTR	RSV	BIT0
Register 85	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	SRST	LRPC	NPR5	NPR4	NPR3	NPR2	NPR1	NPR0
Register 86	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	MBST	MSR2	MSR1	MSR0	RSV	RSV	RSV	ZCRS

**IDX[6:0] : 101 0100b (54h) : レジスタ84**

**IDX[6:0] : 101 0101b (55h) : レジスタ85**

**IDX[6:0] : 101 0110b (56h) : レジスタ86**

**MSTR : オーディオ・インターフェイスのマスタまたはスレーブ選択**

デフォルト値 : 0

このビットは、オーディオ・インターフェイスのマスタまたはスレーブ・モードの選択に使用されます。マスタ・モードでは、PCM1774はシステム・クロックからLRCKおよびBCKを生成します。スレーブ・モードでは、他のデバイスからLRCKおよびBCKを受信します。

MSTR = 0	スレーブ・インターフェイス(デフォルト)
MSTR = 1	マスタ・インターフェイス

**BIT0 : オーディオ・インターフェイスのビット長選択**

デフォルト値 : 1

このビットは、DAC入力のデータ・ビット長の選択に使用されます。

BIT0 = 0	予約
BIT0 = 1	16ビット(デフォルト)

**SRST : システム・リセット**

デフォルト値 : 0

このビットは、システム・リセットのイネーブルに使用されます。SRST = 1に設定することで、すべての回路がリセットされます。リセット・シーケンスの完了後、SRSTは自動的に0に設定されます。

SRST = 0	リセットはディスエーブル(デフォルト)
SRST = 1	リセットはイネーブル

**LRPC : LRCK反転制御**

デフォルト値 : 0

このビットは、LチャンネルとRチャンネルのオーディオ・データの反転に使用されます。

LRPC = 0	通常(デフォルト)
LRPC = 1	反転

**NPR[5:0] : システム・クロック・レート選択**

デフォルト値 : 000000

**MSR[2:0] : マスタ・モードのシステム・クロック分周比選択(レジスタ70)**

デフォルト値 : 000

これらのビットは、システム・クロック・レートおよび入力システム・クロックの分周比の選択に使用されます。詳細については、表9を参照してください。

システム・クロック SCK (MHz)	ADC サンプルング・レート ADC $f_s$ (kHz)	DAC サンプルング・レート DAC $f_s$ (kHz)	レジスタ設定 <sup>(1)</sup>		ビット・ブロック BCK ( $f_s$ )
			MSR[2:0]	NPR[5:0]	
6.144	24 (SCK/256)		010	00 0000	64
	16 (SCK/384)		011	00 0000	64
	12 (SCK/512)		100	00 0000	64
	8 (SCK/768)		101	00 0000	64
	6 (SCK/1024)		110	00 0000	64
	4 (SCK/1536)		111	00 0000	64
8.192	32 (SCK/256)		010	00 0000	64
	16 (SCK/512)		100	00 0000	64
	8 (SCK/1024)		110	00 0000	64
12.288	48 (SCK/256)		010	00 0000	64
	32 (SCK/384)		011	00 0000	64
	24 (SCK/512)		100	00 0000	64
	16 (SCK/768)		101	00 0000	64
	12 (SCK/1024)		110	00 0000	64
	8 (SCK/1536)		111	00 0000	64
18.432	48 (SCK/384)		011	00 0000	64
	24 (SCK/768)		101	00 0000	64
	12 (SCK/1536)		111	00 0000	64
5.6448	22.05 (SCK/256)		010	00 0000	64
	14.7 (SCK/384)		011	00 0000	64
	11.025 (SCK/512)		100	00 0000	64
	7.35 (SCK/768)		101	00 0000	64
	5.5125 (SCK/1024)		110	00 0000	64
	3.675 (SCK/1536)		111	00 0000	64
11.2896	44.1 (SCK/256)		010	00 0000	64
	29.4 (SCK/384)		011	00 0000	64
	22.05 (SCK/512)		100	00 0000	64
	14.7 (SCK/768)		101	00 0000	64
	11.025 (SCK/1024)		110	00 0000	64
	7.35 (SCK/1536)		111	00 0000	64

表 9. 共通オーディオ・クロックとシステム・クロック周波数

(1) これ以外の設定は、予約済みです。

システム・クロック SCK (MHz)	ADC サンプルング・レート ADC $f_s$ (kHz)	DAC サンプルング・レート DAC $f_s$ (kHz)	レジスタ設定 <sup>(1)</sup>		ビット・フロック BCK (fs)
			MSR[2:0]	NPR[5:0]	
13.5	48.214 (SCK/280)		010	00 0010	70
	44.407 (SCK/304)		010	00 0001	76
	32.142 (SCK/420)		010	10 0010	70
	24.107 (SCK/560)		100	00 0010	70
	22.203 (SCK/608)		100	00 0001	76
	16.071 (SCK/840)		100	10 0010	70
	12.053 (SCK/1120)		110	00 0010	70
	8.035 (SCK/1680)		110	10 0010	70
27	48.214 (SCK/560)		010	01 0010	70
	44.407 (SCK/608)		010	01 0001	76
	32.142 (SCK/840)		010	11 0010	70
	24.107 (SCK/1120)		100	01 0010	70
	22.203 (SCK/1216)		100	01 0001	76
	16.071 (SCK/1680)		100	11 0010	70
	12.053 (SCK/2240)		110	01 0010	70
	8.035 (SCK/3360)		110	11 0010	70
12	48.387 (SCK/248)		010	00 0100	62
	44.117 (SCK/272)		010	00 0011	68
	32.258 (SCK/372)		010	10 0100	62
	24.193 (SCK/496)		100	00 0100	62
	22.058 (SCK/544)		100	00 0011	68
	16.129 (SCK/744)		100	10 0100	62
	12.096 (SCK/992)		110	00 0100	62
	8.064 (SCK/1488)		110	10 0100	62
24	48.387 (SCK/496)		010	01 0100	62
	44.117 (SCK/544)		010	01 0011	68
	32.258 (SCK/744)		010	11 0100	62
	24.193 (SCK/992)		100	01 0100	62
	22.058 (SCK/1088)		100	01 0011	68
	16.129 (SCK/1488)		100	11 0100	62
	12.096 (SCK/1984)		110	01 0100	62
	8.064 (SCK/2976)		110	11 0100	62
19.2	48.484 (SCK/396)		011	00 0110	66
	44.444 (SCK/432)		011	00 0101	72
	32.323 (SCK/594)		011	10 0110	66
	24.242 (SCK/792)		101	00 0110	66
	22.222 (SCK/864)		101	00 0101	72
	16.161 (SCK/1188)		101	10 0110	66
	12.121 (SCK/1584)		111	00 0110	66
	8.080 (SCK/2376)		111	10 0110	66

表 10. アプリケーション固有のクロックに対するシステム・クロック周波数

システム・クロック SCK (MHz)	ADC サンプルング・レート ADC $f_s$ (kHz)	DAC サンプルング・レート DAC $f_s$ (kHz)	レジスタ設定 <sup>(1)</sup>		ビット・ブロック BCK (fs)
			MSR[2:0]	NPR[5:0]	
38.4	48.484 (SCK/792)		011	01 0110	66
	44.444 (SCK/864)		011	01 0101	72
	32.323 (SCK/1188)		011	11 0110	66
	24.242 (SCK/1584)		101	01 0110	66
	22.222 (SCK/1728)		101	01 0101	72
	16.161 (SCK/2376)		101	11 0110	66
	12.121 (SCK/3168)		111	01 0110	66
	8.080 (SCK/4752)		111	11 0110	66
13	47.794 (SCK/272)		010	00 1000	68
	43.918 (SCK/296)		010	00 0111	74
	31.862 (SCK/408)		010	10 1000	68
	23.897 (SCK/544)		100	00 1000	68
	21.959 (SCK/592)		100	00 0111	74
	15.931 (SCK/816)		100	10 1000	68
	11.948 (SCK/1088)		110	00 1000	68
	7.965 (SCK/1632)		110	10 1000	68
26	47.794 (SCK/544)		010	01 1000	68
	43.918 (SCK/592)		010	01 0111	74
	31.862 (SCK/816)		010	11 1000	68
	23.897 (SCK/1088)		100	01 1000	68
	21.959 (SCK/1184)		100	01 0111	74
	15.931 (SCK/1632)		100	11 1000	68
	11.948 (SCK/2176)		110	01 1000	68
	7.965 (SCK/3264)		110	11 1000	68
19.68	48.235 (SCK/408)		011	00 1010	68
	44.324 (SCK/444)		011	00 1001	74
	32.156 (SCK/612)		011	10 1010	68
	24.117 (SCK/816)		101	00 1010	68
	22.162 (SCK/888)		101	00 1001	74
	16.078 (SCK/1224)		101	10 1010	68
	12.058 (SCK/1632)		111	00 1010	68
	8.039 (SCK/2448)		111	10 1010	68
39.36	48.235 (SCK/816)		011	01 1010	68
	44.324 (SCK/888)		011	01 1001	74
	32.156 (SCK/1224)		011	11 1010	68
	24.117 (SCK/1632)		101	01 1010	68
	22.162 (SCK/1776)		101	01 1001	74
	16.078 (SCK/2448)		101	11 1010	68
	12.058 (SCK/3264)		111	01 1010	68
	8.039 (SCK/4896)		111	11 1010	68

表 10. アプリケーション固有のクロックに対するシステム・クロック周波数(続き)

## MBST：マスタ・モードのBCK出力構成

デフォルト値：0

このビットは、マスタ・モードでのBCK出力構成の制御に使用されます。マスタ・モードでは、このビットによりBCK出力構成が通常モードまたはバースト・モードに設定されます。通常モード(MBST = 0)では、BCKクロックが連続的に動作します。バースト・モード(MBST = 1)では、BCKクロックが間欠的に動作し、LRCK周期ごとのクロック・サイクル数は、送信中のオーディオ・データのビット数に等しくなるよう減少します。バースト・モードで動作すると、V<sub>IO</sub> (I/Oセル電源)の消費電力が低減されます。これは、マスタ・モード(レジスタ69のMSTR = 1)のときに有効です。

MBST = 0	通常モード(デフォルト)
MBST = 1	バースト・モード

## ZCRS：デジタル減衰/ミュートおよびアナログ・ゲイン設定でのゼロクロス

デフォルト値：0

このビットは、ゼロクロス検出回路のイネーブルに使用します。ゼロクロス検出回路は、デジタル・ソフト・ミュート、デジタル減衰、アナログ・ゲイン設定、またはアナログ音量設定を変化させたときのジッター・ノイズを低減します。512/f<sub>S</sub>の期間(48kHzの場合は10.6ms)にわたってゼロクロス・データが入力されなかった場合、タイムアウトが発生し、PCM1774は減衰、ゲイン、または音量レベルの変化を開始します。ゼロクロス検出は、連続ゼロ・データやDCデータに対しては使用できません。

ZCRS = 0	ゼロクロスはディスエーブル(デフォルト)
ZCRS = 1	ゼロクロスはイネーブル

## レジスタ87

Register 87	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	AIR0	RSV	RSV	RSV	AILO

IDX[6:0]：101 0111b (57h)：レジスタ87

### AILO：AIN1L選択(MUX1)

デフォルト値：0

このビットは、アナログ入力AIN1Lの選択に使用されます。

<b>AILO</b>	<b>AIN Lチャンネル選択</b>
0	未接続(デフォルト)
1	AIN1L

### AIR0：AIN1R選択(MUX2)

デフォルト値：0

このビットは、アナログ入力AIN1Rの選択に使用されます。

<b>AIR0</b>	<b>AIN Rチャンネル選択</b>
0	未接続(デフォルト)
1	AIN1R

## レジスタ88

Register 88	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	MXR2	MXR1	MXR0	RSV	MXL2	MXL1	MXL0

IDX[6:0]：101 1000b (58h)：レジスタ88

### MXR2：ミキシングのSW6によるLチャンネル・アナログ入力からMXR(Rチャンネル・ミキシング・アンプ)へ

デフォルト値：0

このビットは、Lチャンネル・アナログ入力からMXR(Rチャンネル・ミキシング・アンプ)へのアナログ・ソースのミキシングに使用されます。

MXR2 = 0	ディスエーブル(デフォルト)
MXR2 = 1	イネーブル

**MXR1**：ミキシングのSW4によるRチャンネル・アナログ入力からMXR (Rチャンネル・ミキシング・アンプ)へ

デフォルト値：0

このビットは、Rチャンネル・アナログ入力からMXR (Rチャンネル・ミキシング・アンプ) へのアナログ・ソースのミキシングに使用されます。

MXR1 = 0	ディスエーブル (デフォルト)
MXR1 = 1	イネーブル

**MXR0**：ミキシングのSW5によるRチャンネルDACからMXR (Rチャンネル・ミキシング・アンプ)へ

デフォルト値：0

このビットは、RチャンネルDACからMXR (Rチャンネル・ミキシング・アンプ) へのアナログ・ソースのミキシングに使用されます。

MXR0 = 0	ディスエーブル (デフォルト)
MXR0 = 1	イネーブル

**MXL2**：ミキシングのSW3によるRチャンネル・アナログ入力からMXL (Lチャンネル・ミキシング・アンプ)へ

デフォルト値：0

このビットは、Rチャンネル・アナログ入力からMXL (Lチャンネル・ミキシング・アンプ) へのアナログ・ソースのミキシングに使用されます。

MXL2 = 0	ディスエーブル (デフォルト)
MXL2 = 1	イネーブル

**MXL1**：ミキシングのSW1によるLチャンネル・アナログ入力からMXL (Lチャンネル・ミキシング・アンプ)へ

デフォルト値：0

このビットは、Lチャンネル・アナログ入力からMXL (Lチャンネル・ミキシング・アンプ) へのアナログ・ソースのミキシングに使用されます。

MXL1 = 0	ディスエーブル (デフォルト)
MXL1 = 1	イネーブル

**MXL0**：ミキシングのSW2によるLチャンネルDACからMXL (Lチャンネル・ミキシング・アンプ)へ

デフォルト値：0

このビットは、LチャンネルDACからMXL (Lチャンネル・ミキシング・アンプ) へのアナログ・ソースのミキシングに使用されます。

MXL0 = 0	ディスエーブル (デフォルト)
MXL0 = 1	イネーブル

## レジスタ89

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 89	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	GMR2	GMR1	GMR0	RSV	GML2	GML1	GML0

**IDX[6:0]**：101 1001b (59h)：レジスタ89

**GMR[2:0]**：PG6 (アナログ入力またはRチャンネル・バイパスのゲイン・アンプ) のゲイン・レベル制御

**GML[2:0]**：PG5 (アナログ入力またはLチャンネル・バイパスのゲイン・アンプ) のゲイン・レベル制御

デフォルト値：000

これらのビットは、ミキシング・アンプへのアナログ・ソースのゲイン・レベル設定に使用されます。アナログ・ミキサで飽和が起こらないようにゲイン・レベルを設定することを推奨します。

<b>GMR[2:0]</b>	PG6のゲイン・レベル制御
<b>GML[2:0]</b>	PG5のゲイン・レベル制御
0 0 0	-21 dB (デフォルト)
0 0 1	-18 dB
0 1 0	-15 dB
0 1 1	-12 dB
1 0 0	-9 dB
1 0 1	-6 dB
1 1 0	-3 dB
1 1 1	0 dB

## レジスタ90

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 90	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	RSV	RSV	RSV	G20R	G20L

IDX[6:0] : 101 1010b (5Ah) : レジスタ90

G20R : PG2 (AIN1Rのゲイン・アンプ) の20dBブースト

デフォルト値 : 0

このビットは、アナログ入力小さい場合のマイク信号の増幅に使用されます。

G12R (REGISTER 124)	G20R (REGISTER 90)	PG2 GAIN
0	0	0d B (デフォルト)
0	1	20 dB
1	0	12 dB
1	1	予約

G20L : PG1 (AIN1Lのゲイン・アンプ) の20dBブースト

デフォルト値 : 0

このビットは、アナログ入力小さい場合のマイク信号の増幅に使用されます。

G12L (REGISTER 124)	G20L (REGISTER 90)	PG1 GAIN
0	0	0d B (デフォルト)
0	1	20 dB
1	0	12 dB
1	1	予約

## レジスタ92

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 92	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	LPAE	RSV	RSV	LGA4	LGA3	LGA2	LGA1	LGA0

IDX[6:0] : 101 1100b (5Ch) : レジスタ92

LPAE : 低音強調ゲイン制御のゲイン調整

デフォルト値 : 0

低音強調のゲイン設定により、入力データ・レベルによってはデジタル・データが飽和する可能性があります。そのような可能性がある場合は、LPAEを使用して、デジタル入力データに対して低音強調ゲイン・レベルと同じ大きさの減衰レベルを設定することができます。

LPAE = 0	ディスエーブル(デフォルト)
LPAE = 1	イネーブル

LGA[4:0] : 低音強調ゲイン制御

デフォルト値 : 0 0000

これらのビットは、デジタル・データの低音強調ゲイン・レベルの設定に使用されます。詳しい特性は、「代表的性能曲線」に示されています。

LGA[4:0]	TONE CONTROL GAIN (BASS)	LGA[4:0]	TONE CONTROL GAIN (BASS)
0 0000	0 dB (default)	0 1111	0 dB
0 0011	12 dB	1 0000	-1 dB
0 0100	11 dB	1 0001	-2 dB
0 0101	10 dB	1 0010	-3 dB
0 0110	9 dB	1 0011	-4 dB
0 0111	8 dB	1 0100	-5 dB
0 1000	7 dB	1 0101	-6 dB
0 1001	6 dB	1 0110	-7 dB
0 1010	5 dB	1 0111	-8 dB
0 1011	4 dB	1 1000	-9 dB
0 1100	3 dB	1 1001	-10 dB
0 1101	2 dB	1 1010	-11 dB
0 1110	1 dB	1 1011	-12 dB

## レジスタ93

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 93	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	MGA4	MGA3	MGA2	MGA1	MGA0

IDX[6:0] : 101 1101b (5Dh) : レジスタ93

MGA[4:0] : 中音強調ゲイン制御

デフォルト値 : 0 0000

これらのビットは、デジタル・データの中音強調ゲイン・レベルの設定に使用されます。詳しい特性は、「代表的性能曲線」に示されています。

MGA[4:0]	TONE CONTROL GAIN (MIDRANGE)	MGA[4:0]	TONE CONTROL GAIN (MIDRANGE)
0 0000	0 dB (default)	0 1111	0 dB
0 0011	12 dB	1 0000	-1 dB
0 0100	11 dB	1 0001	-2 dB
0 0101	10 dB	1 0010	-3 dB
0 0110	9 dB	1 0011	-4 dB
0 0111	8 dB	1 0100	-5 dB
0 1000	7 dB	1 0101	-6 dB
0 1001	6 dB	1 0110	-7 dB
0 1010	5 dB	1 0111	-8 dB
0 1011	4 dB	1 1000	-9 dB
0 1100	3 dB	1 1001	-10 dB
0 1101	2 dB	1 1010	-11 dB
0 1110	1 dB	1 1011	-12 dB

## レジスタ94

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 94	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	HGA4	HGA3	HGA2	HGA1	HGA0

IDX[6:0] : 101 1110b (5Eh) : レジスタ94

HGA[4:0] : 高音強調ゲイン制御 ( $f_C = 5\text{kHz}$ )

デフォルト値 : 0 0000

これらのビットは、デジタル・データの高音強調ゲイン・レベルの設定に使用されます。詳しい特性は、「代表的性能曲線」に示されています。

HGA[4:0]	TONE CONTROL GAIN (TREBLE)	HGA[4:0]	TONE CONTROL GAIN (TREBLE)
0 0000	0 dB (default)	0 1111	0 dB
0 0011	12 dB	1 0000	-1 dB
0 0100	11 dB	1 0001	-2 dB
0 0101	10 dB	1 0010	-3 dB
0 0110	9 dB	1 0011	-4 dB
0 0111	8 dB	1 0100	-5 dB
0 1000	7 dB	1 0101	-6 dB
0 1001	6 dB	1 0110	-7 dB
0 1010	5 dB	1 0111	-8 dB
0 1011	4 dB	1 1000	-9 dB
0 1100	3 dB	1 1001	-10 dB
0 1101	2 dB	1 1010	-11 dB
0 1110	1 dB	1 1011	-12 dB

## レジスタ95

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 95	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	3DEN	RSV	3FLO	3DP3	3DP2	3DP1	3DP0

**IDX[6:0] : 101 1111b (5Fh) : レジスタ95**

**3DEN : 3Dサウンド・エフェクトのイネーブル**

デフォルト値 : 0

このビットは、3Dサウンド・エフェクト・フィルタのイネーブルに使用されます。このフィルタには、2つの独立して制御されるパラメータがあります。

3DEN = 0	ディスエーブル (デフォルト)
3DEN = 1	イネーブル

**3FLO : 3Dサウンドのフィルタ選択**

デフォルト値 : 0

このビットは、狭い効果と広い効果の2種類のフィルタからいずれかを選択します。これらのフィルタでは、それぞれ異なる3D効果が得られます。

3FLO = 0	狭い (デフォルト)
3FLO = 1	広い

**3DP[3:0] : 3Dサウンド・エフェクトの効果**

デフォルト値 : 0000

これらのビットは、3Dサウンド・エフェクトの調整に使用されます。パーセンテージが高いほど、効果が高くなります。

3DP[3:0]	3D Sound Effect Efficiency
0 0 0 0	0% (default)
0 0 0 1	10%
0 0 1 0	20%
0 0 1 1	30%
0 1 0 0	40%
0 1 0 1	50%
0 1 1 0	60%
0 1 1 1	70%
1 0 0 0	80%
1 0 0 1	90%
1 0 1 0	100%
1 0 1 1	Reserved
⋮	⋮
1 1 1 1	Reserved

## レジスタ96

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 96	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	MXEN						

**IDX[6:0] : 110 0000b (60h) : レジスタ96**

**MXEN : デジタル・モノラル・ミキシング**

デフォルト値 : 0

このビットは、Lチャンネル・データとRチャンネル・データを結合するブロックでのモノラル・ミキシングをイネーブルまたはディスエーブルにします。

MXEN = 0	ステレオ (デフォルト)
MXEN = 1	モノラル・ミキシング

## レジスタ124

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 124	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	RSV	RSV	RSV	RSV	RSV	G12R	G12L

IDX[6:0] : 111 1100b (7Ch) : レジスタ124

G12R : PG2 (AIN1Rのゲイン・アンプ) の12dBブースト

G12L : PG1 (AIN1Lのゲイン・アンプ) の12dBブースト

デフォルト値 : 0

このビットは、小さいアナログ信号、マイク入力の増幅に使用されます。詳細設定については、レジスタ90の説明を参照してください。

## レジスタ125

	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
Register 125	0	IDX6	IDX5	IDX4	IDX3	IDX2	IDX1	IDX0	RSV	PTM1	PTM0	RES4	RES3	RES2	RES1	RES0

IDX[6:0] : 111 1101b (7Dh) : レジスタ125

PTM[1:0] : パワーオン/パワーダウン時間制御

デフォルト値 : 00

RES[4:0] : レジスタ値制御

デフォルト値 : 1 1100

これらのビットは、デバイスの電源オン/オフ時のヘッドホン出力に対する可聴ポップ・ノイズおよび電圧上昇時間の最適化に使用されます。

RES[1:0]	V <sub>COM</sub> REGISTER VALUE
1 0000	60 kΩ
1 1000	24 kΩ
1 1100	12 kΩ
1 1110	6 kΩ
Others	Reserved

V <sub>COM</sub> CAPACITOR [μF]	RES[4:0]	PTM[1:0]	POWER-UP TIME [ms]	POWER-DOWN TIME [ms]	NOTE
10	1 1110	00	450	750	
	1 1100	11	900	1500	
	1 1000	Do not set.	–	–	
	1 0000	Do not set.	–	–	
4.7	1 1110	01	250	400	
	1 1100	00	450	750	Default
	1 1000	11	900	1500	
	1 0000	Do not set.	–	–	
2.2	1 1110	10	100	300	
	1 1100	01	250	400	
	1 1000	00	450	750	
	1 0000	11	900	1500	
1	1 1110	Do not set.	–	–	
	1 1100	10	100	300	
	1 1000	01	250	400	
	1 0000	00	450	750	

表 11. パワーオン/パワーダウン時間制御

# 接続図

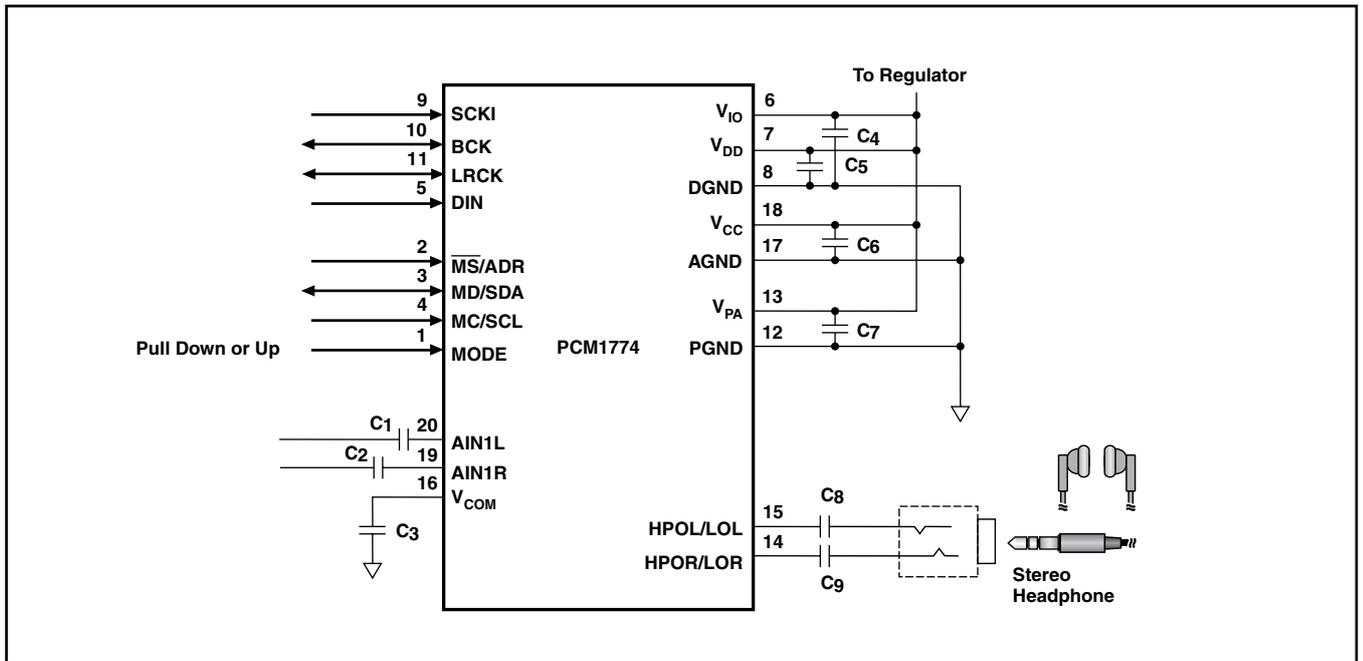


図 24. 接続図

C <sub>1</sub> -C <sub>2</sub>	1 μF
C <sub>3</sub>	1-4.7 μF
C <sub>4</sub>	0.1 μF
C <sub>5</sub> , C <sub>6</sub> , C <sub>7</sub>	1-4.7 μF
C <sub>8</sub> , C <sub>9</sub>	10-220 μF

表 12. 推奨外部部品

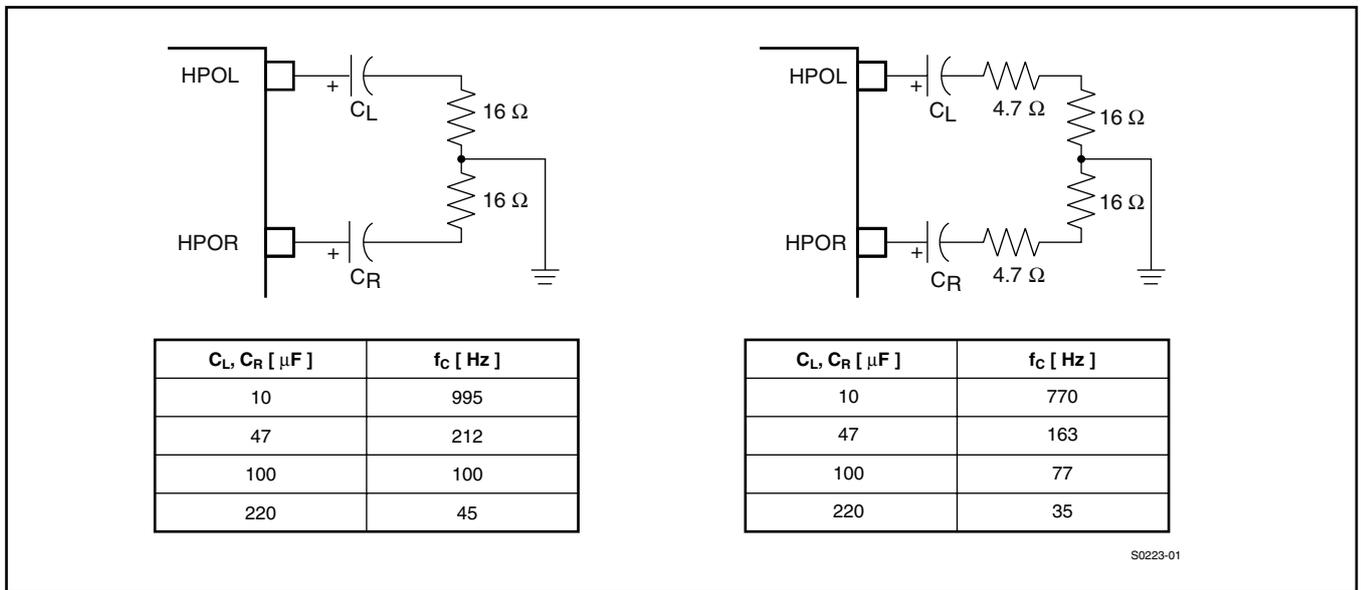


図 25. ヘッドホン出力のハイパス・フィルタ

# パッケージ・オプション

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
PCM1774RGPR	ACTIVE	QFN	RGP	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PCM1774RGPRG4	ACTIVE	QFN	RGP	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PCM1774RGPT	ACTIVE	QFN	RGP	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PCM1774RGPTG4	ACTIVE	QFN	RGP	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

<sup>(1)</sup> マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

<sup>(2)</sup> エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

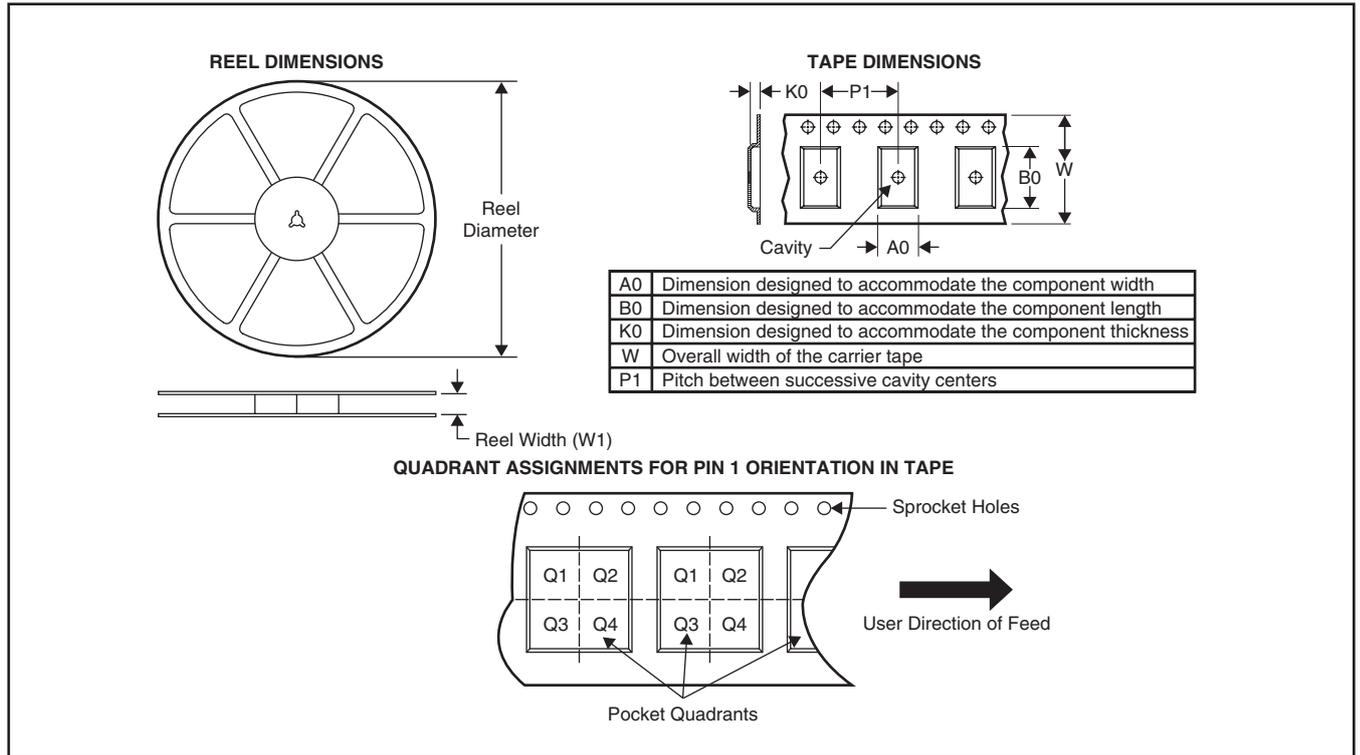
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

<sup>(3)</sup> MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

# パッケージ・材料情報

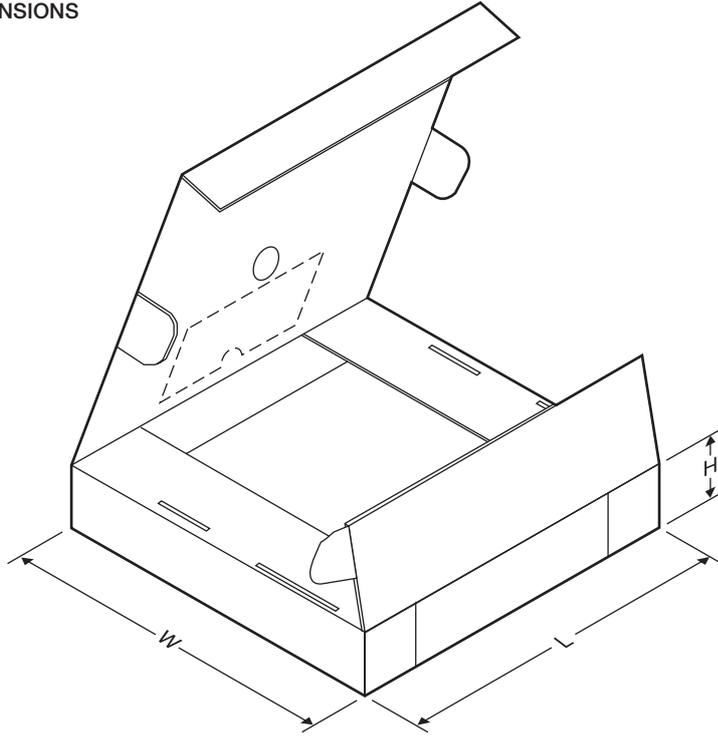
## テープおよびリール・ボックス情報



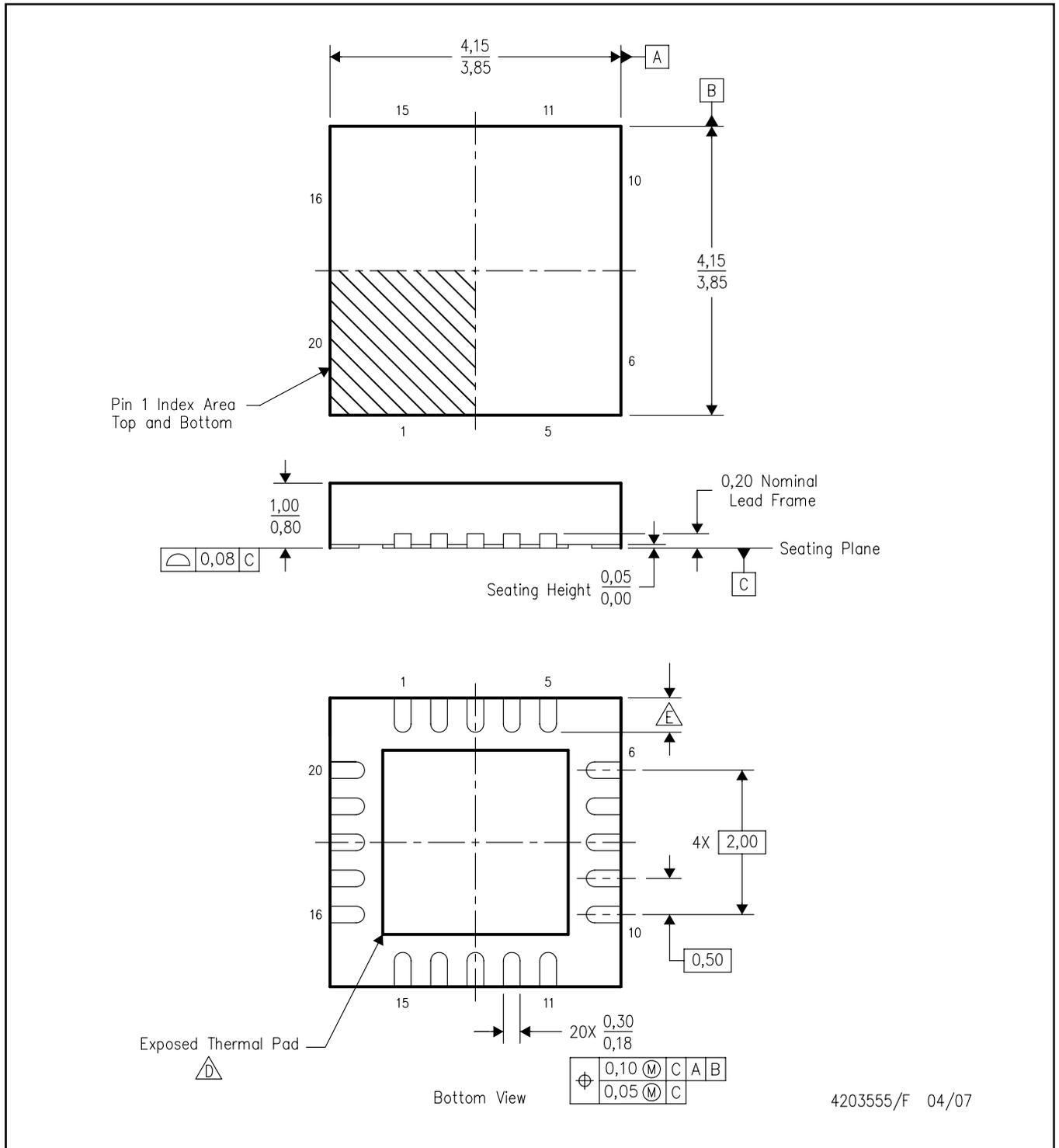
Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PCM1774RGPR	RGP	20	SITE 41	330	12	4.3	4.3	1.5	8	12	Q2
PCM1774RGPT	RGP	20	SITE 41	180	12	4.3	4.3	1.5	8	12	Q2

# パッケージ・材料情報

TAPE AND REEL BOX DIMENSIONS



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
PCM1774RGPR	RGP	20	SITE 41	346.0	346.0	29.0
PCM1774RGPT	RGP	20	SITE 41	190.5	212.7	31.75



- 注記:
- A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M-1994に従っています。
  - B. 図は予告なく変更することがあります。
  - C. QFN (Quad Flatpack No-Lead) パッケージ構成
  - D. 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。
  - E. 公称リード長については、製品データシートに記載されているサーマル・パッド図を参照してください。

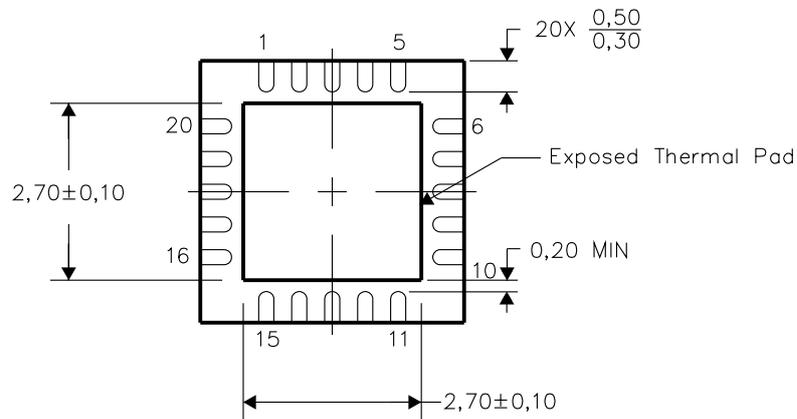
## サーマル・パッド

### RGP (S-PQFP-N20)

#### 熱特性について

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板 (PCB) に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーション・レポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SCBA017)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。



Bottom View

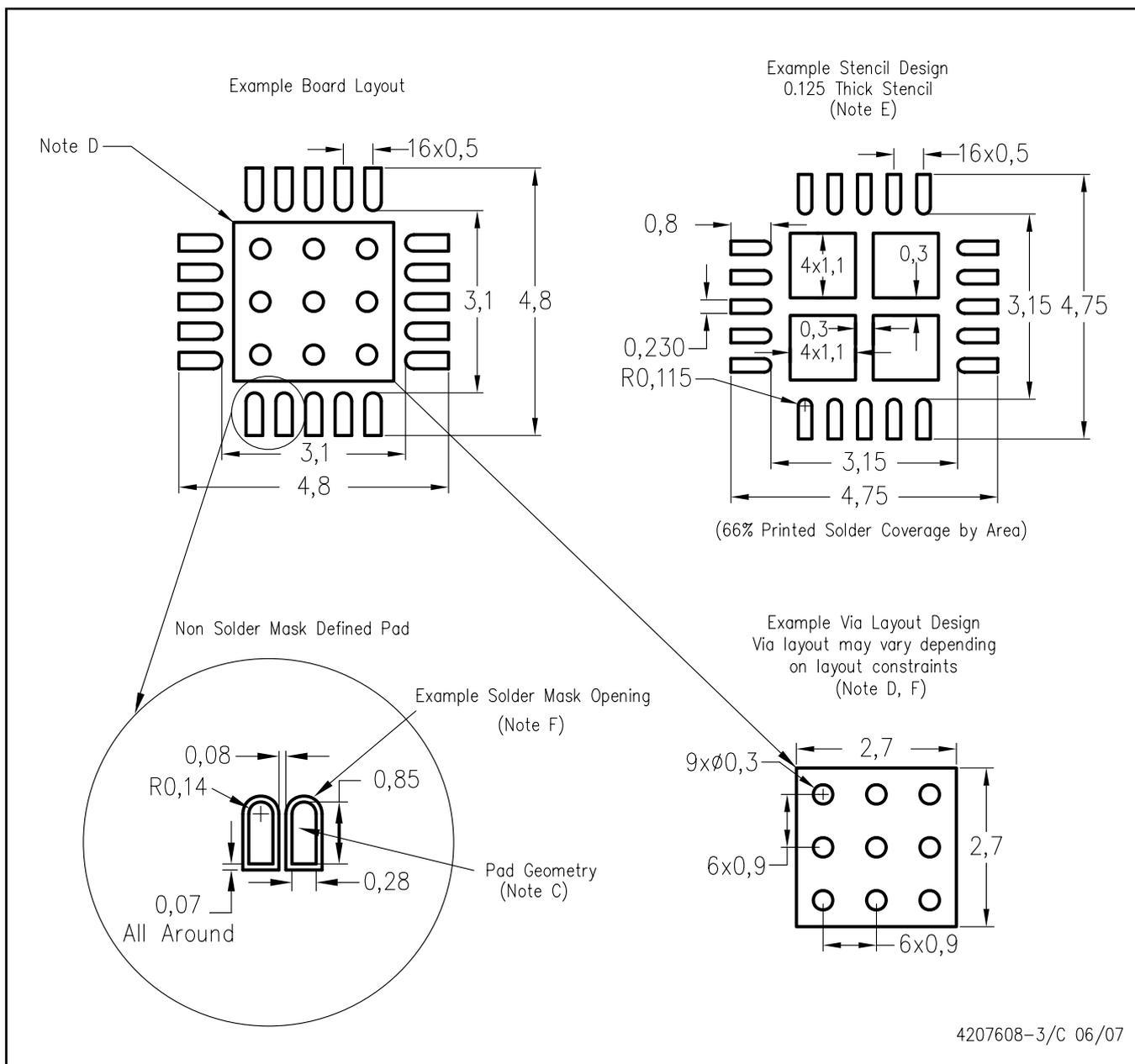
注:全ての線寸法の単位はミリメートルです。

4206346-3/L 09/07

サーマル・パッド寸法図

# LAND PATTERN

RGP (S-PQFP-N20)



4207608-3/C 06/07

- 注記： A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 代替設計については、資料IPC-7351を推奨します。  
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SCBA017、SLUA271)および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。  
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。  
 F. 半田マスクの推奨許容差、およびサーマル・パッドに配置するビアのテンティングに関する推奨事項については、基板組み立て拠点にお問い合わせください。

(SLAS551)

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上