TPS2041B, TPS2042B, TPS2043B, TPS2044B
TPS2051B, TPS2052B, TPS2053B, TPS2054B
JAJS253Q – APRIL 2004 – REVISED OCTOBER 2026

TPS20xxB 電流制限、パワー・ディストリビューション・スイッチ

1 特長

- ハイサイド MOSFET：70mΩ
- 500mA の連続電流
- 過熱および短絡保護
- 正確な電流制限 (最小 0.75A、最大 1.25A)
- 動作範囲：2.7V ～ 5.5V
- 標準立ち上がり時間：0.6ms
- 低電圧誤動作防止
- デグリッチ フォルト レポート ($\overline{OC}$)
- 電源投入時の $\overline{OC}$ グリッチなし
- 最大スタンバイ電源電流：1μA (シングル、デュアル) または 2μA (トリプル、クワッド)
- 周囲温度範囲：-40℃ ～ 85℃
- 安全関連認証
  - UL リステッド
    - ファイル番号 E169910
    - UL2367 に準拠しています
    - IEC62368-1 CB 認証取得済み
  - MET リステッド
    - ファイル番号 E115731
    - UL2367 に準拠しています
    - IEC62368-1 CB 認証取得済み
- TPS2042B および TPS2052B の連動構成に対して、追加の UL レコグニションを取得

2 アプリケーション

- 大きな容量性負荷
- 短絡保護

3 説明

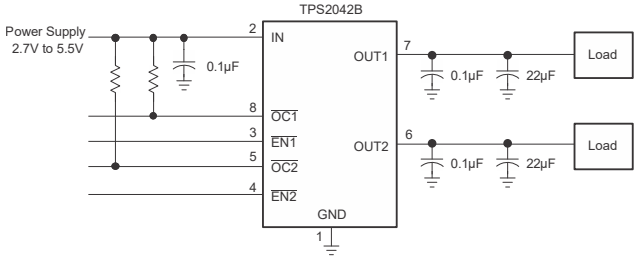
TPS20xxB パワー ディストリビューション スイッチは、大きな容量性負荷や短絡が発生するアプリケーションを対象としています。これらのデバイスは、複数のパワー スイッチを 1 つのパッケージに搭載する必要があるパワー ディストリビューション システム向けに、70mΩ の N チャネル MOSFET パワー スイッチを内蔵しています。ロジック イネーブル入力により、各スイッチが制御されます。ゲート ドライブは、スイッチング中の電流サージを最小限に抑えるためにパワー スイッチの立ち上がり時間と立ち下がり時間を制御するように設計された、内部チャージ ポンプによって提供されています。チャージ ポンプには外付け部品が不要で、最低 2.7V の電源で動作できます。

出力負荷が電流制限スレッショルドを超えた場合、または短絡が存在する場合、デバイスは定電流モードに切り替えて過電流 ($\overline{OCx}$) ロジック出力を Low にすることで、出力電流を安全なレベルに制限します。連続的に大きな過負荷と短絡が発生すると、スイッチの消費電力が増加し、接合部温度が上昇すると、熱保護回路によってスイッチがシャットオフされ、損傷を防止します。デバイスの温度が十分に低下すると、自動的にサーマル シャットダウンからの回復が行われます。内部回路により、有効な入力電圧が印加されるまでスイッチが確実にオフに維持されます。このパワー ディストリビューション スイッチは、電流制限を 1A (標準値) に設定するように設計されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS20xxB	D (SOIC、8)	4.90mm × 3.91mm
	D (SOIC、16)	9.90mm × 3.91mm
	DBV (SOT-23、5)	2.90mm × 1.60mm
	DGN (HVSSOP、8)	3.00mm × 3.00mm
	DRB (SON、8)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

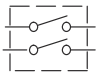
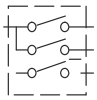
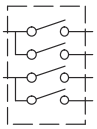
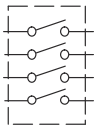
目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 汎用スイッチ カタログ 3
5 ピン構成および機能 4
6 仕様 7
6.1 絶対最大定格 7
6.2 ESD 定格 7
6.3 推奨動作条件 7
6.4 熱に関する情報 7
6.5 電気的特性 8
6.6 代表的特性 (TPS2051BDBV および TPS2052BD を除くすべてのデバイス) 10
6.7 代表的特性 (TPS2051BDBV および TPS2052BD) 14
7 パラメータ測定情報 17
8 詳細説明 18
8.1 概要 18
8.2 機能ブロック図 18
8.3 機能説明 21
8.4 デバイスの機能モード 23
9 アプリケーションと実装 24
9.1 使用上の注意 24
9.2 代表的なアプリケーション 24
9.3 電源に関する推奨事項 36
9.4 レイアウト 37
10 デバイスおよびドキュメントのサポート 39
10.1 ドキュメントの更新通知を受け取る方法 39
10.2 サポート・リソース 39
10.3 商標 39
10.4 静電気放電に関する注意事項 39
10.5 用語集 39
11 改訂履歴 39
12 メカニカル、パッケージ、および注文情報 39

Copyright © 2026 Texas Instruments Incorporated

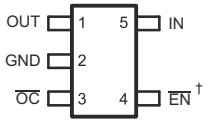
4 汎用スイッチ カタログ

GENERAL SWITCH CATALOG

33 mΩ, Single	80 mΩ, Single	80 mΩ, Dual	80 mΩ, Dual	80 mΩ, Triple	80 mΩ, Quad	80 mΩ, Quad
						
TPS201xA 0.2 A to 2 A TPS202x 0.2 A to 2 A TPS203x 0.2 A to 2 A	TPS2014 600 mA TPS2015 1 A TPS2041B 500 mA TPS2051B 500 mA TPS2045A 250 mA TPS2049 100 mA TPS2055A 250 mA TPS2061 1 A TPS2065 1 A TPS2068 1.5 A TPS2069 1.5 A	TPS2042B 500 mA TPS2052B 500 mA TPS2046B 250 mA TPS2056 250 mA TPS2062 1 A TPS2066 1 A TPS2060 1.5 A TPS2064 1.5 A	TPS2080 500 mA TPS2081 500 mA TPS2082 500 mA TPS2090 250 mA TPS2091 250 mA TPS2092 250 mA	TPS2043B 500 mA TPS2053B 500 mA TPS2047B 250 mA TPS2057A 250 mA TPS2063 1 A TPS2067 1 A	TPS2044B 500 mA TPS2054B 500 mA TPS2048A 250 mA TPS2058 250 mA	TPS2085 500 mA TPS2086 500 mA TPS2087 500 mA TPS2095 250 mA TPS2096 250 mA TPS2097 250 mA

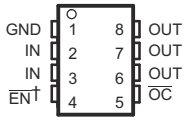
Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能



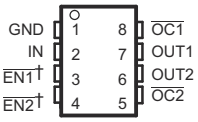
† TPS205xB シリーズでは、すべてのイネーブル出力がアクティブ High です。

図 5-1. TPS2041B、TPS2051B：DBV パッケージ 5 ピン SOT-23 上面図



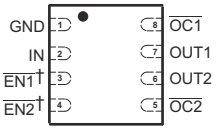
† TPS205xB シリーズでは、すべてのイネーブル出力がアクティブ High です。

図 5-2. TPS2041B および TPS2051B：D および DGN パッケージ 8 ピン SOIC および HVSSOP 上面図



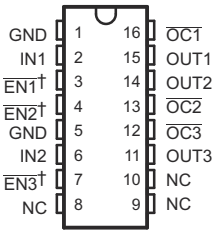
† TPS205xB シリーズでは、すべてのイネーブル出力がアクティブ High です。

図 5-3. TPS2042B および TPS2052B：D および DGN パッケージ 8 ピン SOIC および HVSSOP 上面図



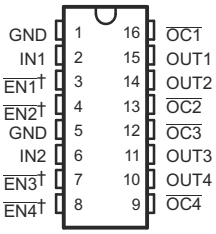
† TPS205xB シリーズでは、すべてのイネーブル出力がアクティブ High です。

図 5-4. TPS2042B および TPS2052B：DRB パッケージ 8 ピン SON 上面図



† TPS205xB シリーズでは、すべてのイネーブル出力がアクティブ High です。

図 5-5. TPS2043B および TPS2053B：D パッケージ 16 ピン SOIC 上面図



† TPS205xB シリーズでは、すべてのイネーブル出力がアクティブ High です。

図 5-6. TPS2044B および TPS2054B：D パッケージ 16 ピン SOIC 上面図

表 5-1. ピンの機能 (TPS2041B および TPS2051B)

ピン					タイプ (1)	説明
名称	TPS2041B	TPS2051B	TPS2041B	TPS2051B		
	SOIC および DGN		SOT-23			
$\overline{EN}$	4	—	4	—	I	イネーブル入力。ロジック Low にするとパワー スイッチがターンオンします。
EN	—	4	—	4	I	イネーブル入力。ロジック High にするとパワー スイッチがターンオンします。
GND	1	1	2	2	—	グランド
IN	2、3	2、3	5	5	I	入力電圧
$\overline{OC}$	5	5	3	3	O	過電流オープンドレイン出力、アクティブ "Low"
OUT	6、7、8	6、7、8	1	1	O	パワー スイッチ出力

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

表 5-2. ピンの機能 (TPS2042B および TPS2052B)

ピン			タイプ(1)	説明
名称	TPS2042B	TPS2052B		
	SOIC、HVSSOP、SON			
$\overline{EN1}$	3	—	I	イネーブル入力。ロジック Low にするとパワー スイッチ IN-OUT1 がオンになります
$\overline{EN2}$	4	—	I	イネーブル入力。ロジック Low にするとパワー スイッチ IN-OUT2 がオンになります
EN1	—	3	I	イネーブル入力。ロジック High にするとパワー スイッチ IN-OUT1 がオンになります
EN2	—	4	I	イネーブル入力。ロジック High にするとパワー スイッチ IN-OUT2 がオンになります
GND	1	1	—	グランド
IN	2	2	I	入力電圧
$\overline{OC1}$	8	8	O	過電流、オープンドレイン出力、アクティブ "Low"、IN-OUT1
$\overline{OC2}$	5	5	O	過電流、オープンド レイン出力、アクティブ "Low"、IN-OUT2
OUT1	7	7	O	パワー スイッチ出力、IN-OUT1
OUT2	6	6	O	パワー スイッチ出力、IN-OUT2
PowerPAD™	—	—	—	内部で GND に接続されています。本部品から回路基板トレースへの放熱のために使用します。GND ピンに接続する必要があります。

(1) I = 入力、O = 出力

表 5-3. ピンの機能 (TPS2043B および TPS2053B)

ピン			タイプ(1)	説明
名称	TPS2043B	TPS2053B		
	SOIC	SOIC		
$\overline{EN1}$	3	—	I	イネーブル入力。ロジック Low にするとパワー スイッチ IN1-OUT1 がオンになります
$\overline{EN2}$	4	—	I	イネーブル入力。ロジック Low にするとパワー スイッチ IN1-OUT2 がオンになります
$\overline{EN3}$	7	—	I	イネーブル入力。ロジック Low にするとパワー スイッチ IN2-OUT3 がオンになります
EN1	—	3	I	イネーブル入力。ロジック High にするとパワー スイッチ IN1-OUT1 がオンになります
EN2	—	4	I	イネーブル入力。ロジック High にするとパワー スイッチ IN1-OUT2 がオンになります
EN3	—	7	I	イネーブル入力。ロジック High にするとパワー スイッチ IN2-OUT3 がオンになります
GND	1、5	1、5	—	グランド
IN1	2	2	I	OUT1、OUT2 の入力電圧
IN2	6	6	I	OUT3 の入力電圧
NC	8、9、10	8、9、10	—	内部接続なし。
$\overline{OC1}$	16	16	O	過電流、オープンドレイン出力、アクティブ "Low"、IN1-OUT1
$\overline{OC2}$	13	13	O	過電流、オープンドレイン出力、アクティブ "Low"、IN1-OUT2
$\overline{OC3}$	12	12	O	過電流、オープンドレイン出力、アクティブ "Low"、IN2-OUT3
OUT1	15	15	O	パワー スイッチ出力、IN1-OUT1
OUT2	14	14	O	パワー スイッチ出力、IN1-OUT2
OUT3	11	11	O	パワー スイッチ出力、IN2-OUT3

(1) I = 入力、O = 出力

表 5-4. ピンの機能 (TPS2044B および TPS2054B)

ピン			タイプ(1)	説明
名称	TPS2044B	TPS2054B		
	SOIC	SOIC		
$\overline{EN1}$	3	—	I	イネーブル入力。ロジック Low にするとパワー スイッチ IN1-OUT1 がオンになります

Copyright © 2026 Texas Instruments Incorporated

表 5-4. ピンの機能 (TPS2044B および TPS2054B) (続き)

ピン			タイプ(1)	説明
名称	TPS2044B	TPS2054B		
	SOIC	SOIC		
$\overline{EN2}$	4	—	I	イネーブル入力。ロジック Low にするとパワー スイッチ IN1-OUT2 がオンになります
$\overline{EN3}$	7	—	I	イネーブル入力。ロジック Low にするとパワー スイッチ IN2-OUT3 がオンになります
$\overline{EN4}$	8	—	I	イネーブル入力。ロジック Low にするとパワー スイッチ IN2-OUT4 がオンになります
EN1	—	3	I	イネーブル入力。ロジック High にするとパワー スイッチ IN1-OUT1 がオンになります
EN2	—	4	I	イネーブル入力。ロジック High にするとパワー スイッチ IN1-OUT2 がオンになります
EN3	—	7	I	イネーブル入力。ロジック High にするとパワー スイッチ IN2-OUT3 がオンになります
EN4	—	8	I	イネーブル入力。ロジック High にするとパワー スイッチ IN2-OUT4 がオンになります
GND	1、5	1、5	—	グランド
IN1	2	2	I	OUT1、OUT2 の入力電圧
IN2	6	6	I	OUT3、OUT4 の入力電圧
$\overline{OC1}$	16	16	O	過電流、オープンドレイン出力、アクティブ "Low"、IN1-OUT1
$\overline{OC2}$	13	13	O	過電流、オープンドレイン出力、アクティブ "Low"、IN1-OUT2
$\overline{OC3}$	12	12	O	過電流、オープンドレイン出力、アクティブ "Low"、IN2-OUT3
$\overline{OC4}$	9	9	O	過電流、オープンドレイン出力、アクティブ "Low"、IN2-OUT4
OUT1	15	15	O	パワー スイッチ出力、IN1-OUT1
OUT2	14	14	O	パワー スイッチ出力、IN1-OUT2
OUT3	11	11	O	パワー スイッチ出力、IN2-OUT3
OUT4	10	10	O	パワー スイッチ出力、IN2-OUT4

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
$V_{I(IN)}$、$V_{I(INx)}$	入力電圧 (2)	-0.3	6	V
$V_{O(OUT)}$、$V_{O(OUTx)}$(2)	出力電圧	-0.3	6	V
$V_{I(\overline{EN})}$、$V_{I(\overline{ENx})}$、$V_{I(EN)}$、$V_{I(ENx)}$	入力電圧	-0.3	6	V
$V_{I(/OC)}$、$V_{I(\overline{OCx})}$	電圧範囲	-0.3	6	V
$I_{O(OUT)}$、$I_{O(OUTx)}$	連続出力電流	内部的に制限		
T_J	動作時の仮想接合部温度	-40	125	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧は GND を基準にしています。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{I(IN)}$、$V_{I(INx)}$	入力電圧	2.7		5.5	V
$V_{I(\overline{EN})}$、$V_{I(\overline{ENx})}$、$V_{I(EN)}$、$V_{I(ENx)}$	入力電圧	0		5.5	V
$I_{O(OUT)}$、$I_{O(OUTx)}$	連続出力電流	0		500	mA
T_J	動作時の仮想接合部温度	-40		125	°C

6.4 熱に関する情報

熱評価基準(1)		D (SOIC)		DBV (SOT-23)	DGN (HVSSOP)	DRB (SON)	単位
		8 ピン	16 ピン	5 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	119.3	81.6	208.6	53.6	47.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	67.6	42.7	122.9	58.7	53	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	59.6	39.1	37.8	35.5	14.2	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	20.3	10.4	14.6	2.7	1.2	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	59.1	38.8	36.9	35.3	14.2	°C/W

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報 (続き)

熱評価基準(1)		D (SOIC)		DBV (SOT-23)	DGN (HVSSOP)	DRB (SON)	単位
		8 ピン	16 ピン	5 ピン	8 ピン	8 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	6.7	7.3	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

動作時接合部温度の推奨範囲内、$V_{I(IN)}$ = 5.5V、I_O = 0.5A、$V_{I(/ENx)}$ = 0V (特に記述のない限り)

パラメータ		テスト条件(1)			最小値	標準値	最大値	単位
パワー スイッチ								
$r_{DS(on)}$	静的ドレイン ソース間オン抵抗、5V 動作時または 3.3V 動作時	$V_{I(IN)}$ = 5V または 3.3V、I_O = 0.5A、-40℃ ≤ T_J ≤ 125℃		D および DGN パッケージ		70	135	mΩ
				DBV パッケージに限定		95	140	
	静的ドレイン-ソース間オン抵抗 (2.7V 動作時)	$V_{I(IN)}$ = 2.7V、I_O = 0.5A、-40℃ ≤ T_J ≤ 125℃		D および DGN パッケージ		75	150	mΩ
	静的ドレイン-ソース間オン抵抗 (5V 動作時)	$V_{I(IN)}$ = 5V、I_O = 1A、OUT1 および OUT2 接続、0℃ ≤ T_J ≤ 70℃		DGN パッケージ、TPS2042B/52B			49	mΩ
t_r	立ち上がり時間、出力	$V_{I(IN)}$ = 5.5V	C_L = 1μF、R_L = 10Ω	T_J = 25°C		0.6	1.5	ms
		$V_{I(IN)}$ = 2.7V				0.4	1	
t_f	立ち下がり時間、出力	$V_{I(IN)}$ = 5.5V			0.05		0.5	
		$V_{I(IN)}$ = 2.7V			0.05		0.5	
イネーブル入力 $\overline{EN}$ および $\overline{ENx}$								
V_{IH}	High レベル入力電圧	2.7V ≤ $V_{I(IN)}$ ≤ 5.5V			2			V
V_{IL}	Low レベル入力電圧	2.7V ≤ $V_{I(IN)}$ ≤ 5.5V					0.8	V
I_I	入力電流	$V_{I(\overline{ENx})}$ = 0V または 5.5V			-0.5		0.5	μA
t_{on}	ターンオン時間	C_L = 100μF、R_L = 10Ω					3	ms
t_{off}	ターンオフ時間	C_L = 100μF、R_L = 10Ω					10	ms
電流制限								
I_{OS}	短絡出力電流	$V_{I(IN)}$ = 5V、OUT を GND に接続、デバイス イネーブル、短絡状態		T_J = 25°C	0.75	1	1.25	A
				−40°C ≤ T_J ≤ 125°C	0.7	1	1.3	
		$V_{I(IN)}$ = 5V、OUT1 および OUT2 を GND に接続、デバイス イネーブル、短絡状態、IN で測定		0℃ ≤ T_J ≤ 70℃ TPS2042B/52B	1.5			
I_{OC}(2)	過電流トリップ スレッショルド	V_{IN} = 5V、100A/s	TPS2042B TPS2052B (DRB パッケージのみ)		I_{OS}	1.55	2	A
電源電流 (TPS2041B、TPS2051B)								
消費電流、Low レベル出力		OUT は無負荷、$V_{I(\overline{ENx})}$ = 5.5V、または $V_{I(ENx)}$ = 0V		T_J = 25°C		0.5	1	μA
				-40℃ ≤ T_J ≤ 125℃		0.5	5	
消費電流、High レベル出力		OUT は無負荷、$V_{I(\overline{ENx})}$ = 0V、または $V_{I(ENx)}$ = 5.5V		T_J = 25°C		75	95	μA
				−40°C ≤ T_J ≤ 125°C		75	95	
リーク電流		OUT をグランドに接続、$V_{I(\overline{ENx})}$ = 5.5V、または $V_{I(ENx)}$ = 0V		−40°C ≤ T_J ≤ 125°C		1		μA
逆リーク電流		$V_{I(OUTx)}$ = 5.5V、IN = グランド		T_J = 25°C		0		μA
電源電流 (TPS2042B、TPS2052B)								

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

動作時接合部温度の推奨範囲内、$V_{I(IN)}$ = 5.5V、I_O = 0.5A、$V_{I(/ENx)}$ = 0V (特に記述のない限り)

パラメータ	テスト条件(1)			最小値	標準値	最大値	単位
消費電流、Low レベル出力	OUT は無負荷、$V_{I(\overline{ENx})}$ = 5.5V		T_J = 25°C		0.5	1	µA
			−40°C ≤ T_J ≤ 125°C		0.5	5	
消費電流、High レベル出力	OUT は無負荷、$V_{I(\overline{ENx})}$ = 0V	TPS20x2B (DRB パッケージのみ)	T_J = 25°C		50	70	µA
			−40°C ≤ T_J ≤ 125°C		50	90	
		TPS20x2B (D および DGN パッケージ)	T_J = 25°C		95	120	µA
			−40°C ≤ T_J ≤ 125°C		95	120	
リーク電流	OUT をグランドに接続、$V_{I(\overline{ENx})}$ = 5.5V		−40°C ≤ T_J ≤ 125°C		1		µA
逆リーク電流	$V_{I(OUTx)}$ = 5.5V、IN = グランド		T_J = 25°C		0.2		µA
電源電流 (TPS2043B、TPS2053B)							
消費電流、Low レベル出力	OUT は無負荷、$V_{I(ENx)}$ = 0V		T_J = 25°C		0.5	2	µA
			−40°C ≤ T_J ≤ 125°C		0.5	10	
消費電流、High レベル出力	OUT は無負荷、$V_{I(ENx)}$ = 5.5V		T_J = 25°C		65	90	µA
			−40°C ≤ T_J ≤ 125°C		65	110	
リーク電流	OUT をグランドに接続、$V_{I(ENx)}$ = 0V		–40°C ≤ T_J ≤ 125°C		1		µA
逆リーク電流	$V_{I(OUTx)}$ = 5.5V、INx = グランド		T_J = 25°C		0.2		µA
電源電流 (TPS2044B、TPS2054B)							
消費電流、Low レベル出力	OUT は無負荷、$V_{I(\overline{ENx})}$ = 5.5V、または $V_{I(ENx)}$ = 0V		T_J = 25°C		0.5	2	µA
			−40°C ≤ T_J ≤ 125°C		0.5	10	
消費電流、High レベル出力	OUT は無負荷、$V_{I(\overline{ENx})}$ = 0V、または $V_{I(ENx)}$ = 5.5V		T_J = 25°C		75	110	µA
			−40°C ≤ T_J ≤ 125°C		75	140	
リーク電流	OUT をグランドに接続、$V_{I(\overline{ENx})}$ = 5.5V、または $V_{I(ENx)}$ = 0V		–40°C ≤ T_J ≤ 125°C		1		µA
逆リーク電流	$V_{I(OUTx)}$ = 5.5V、INx = グランド		T_J = 25°C		0.2		µA
低電圧誤動作防止 (TPS20x3BD、TPS20x4BD、TPS20x2BDRB)							
Low レベル入力電圧、IN、INx				2		2.5	V
ヒステリシス、IN、INx	T_J = 25°C				75		mV
低電圧誤動作防止 (TPS20x1B、TPS20x2B、D/DBV/DGN パッケージ)							
Low レベル入力電圧、IN、INx				2		2.6	V
ヒステリシス、IN、INx	T_J = 25°C				75		mV
過電流 $\overline{OC}$ および $\overline{OCx}$							
出力 Low 電圧、$V_{OL(/OCx)}$	$I_{O(\overline{OCx})}$ = 5mA					0.4	V
オフ状態電流	$V_{O(\overline{OCx})}$ = 5V または 3.3V					1	µA
$\overline{OC}$ グリッチ除去	$\overline{OCx}$ のアサートまたはデアサート			4	8	15	ms
サーマル シャットダウン (3)							
サーマル シャットダウンのスレッショルド				135			°C
サーマル シャットダウンからの回復				125			°C
ヒステリシス					10		°C

(1) パルス テスト手法を使用することで、接合部温度を周囲温度に近い値に維持できますが、熱による影響は別途考慮に入れる必要があります。
(2) D、DGN、DBV パッケージの TPS20x1B および TPS20x2B デバイスには、過電流トリップ スレッショルドがありません。さまざまなテスト条件で、電流は I_{OS} に制限されます。詳細は、セクション 8.3.7 を参照してください。
(3) サーマル シャットダウンは、過電流状態でのみ作動します。

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (TPS2051BDBV および TPS2052BD を除くすべてのデバイス)

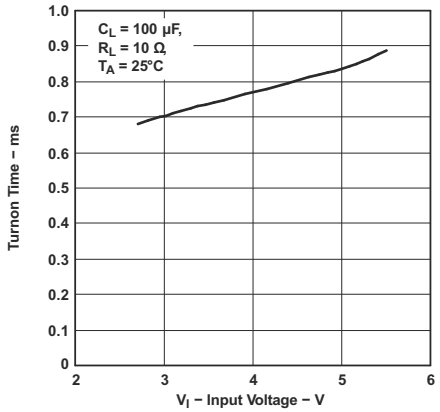


図 6-1. ターンオン時間と入力電圧との関係

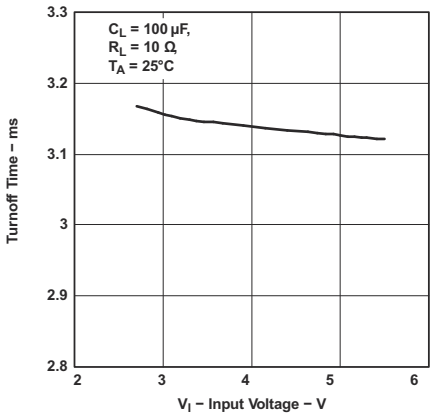


図 6-2. ターンオフ時間と入力電圧との関係

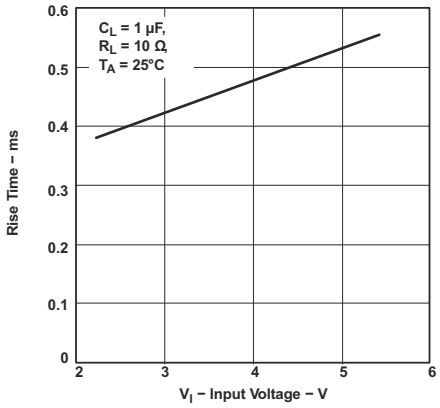


図 6-3. 立ち上がり時間と入力電圧との関係

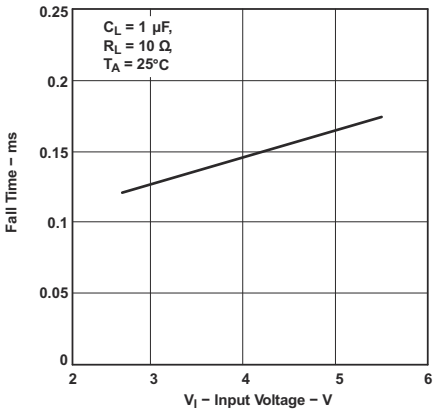


図 6-4. 立ち下がり時間と入力電圧との関係

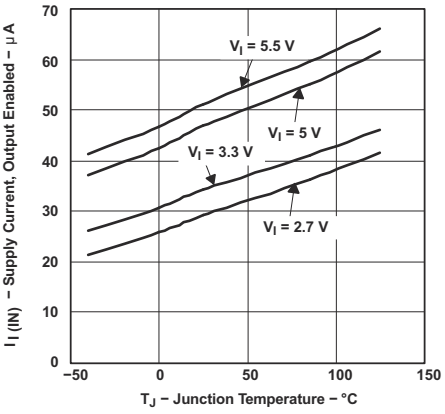


図 6-5. TPS20x2BDRB の電源電流 (出力イネーブル時) と接合部温度との関係

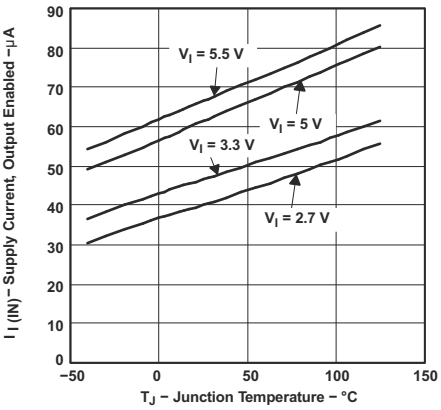


図 6-6. TPS2043B および TPS2053B の電源電流 (出力イネーブル時) と接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (TPS2051BDBV および TPS2052BD を除くすべてのデバイス) (続き)

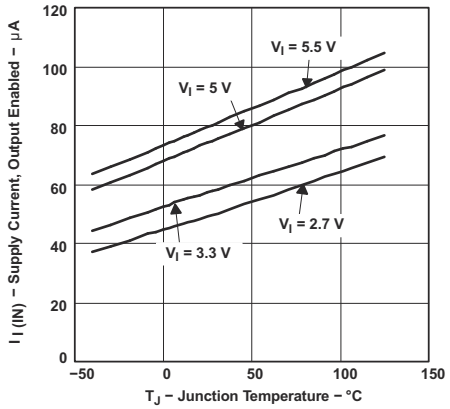


図 6-7. TPS2044B および TPS2054B の電源電流 (出力イネーブル時) と接合部温度との関係

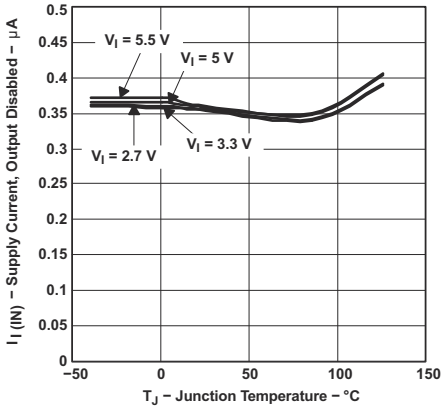


図 6-8. TPS20x2BDRB の電源電流 (出力ディスエーブル時) と接合部温度との関係

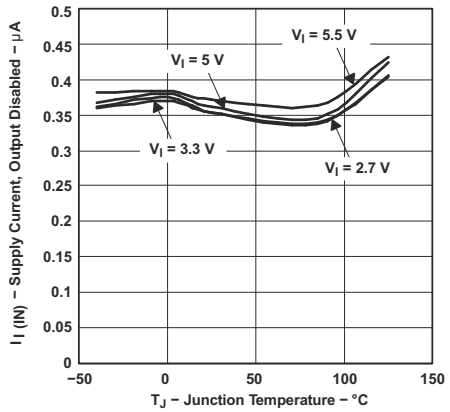


図 6-9. TPS2043B および TPS2053B の電源電流 (出力ディスエーブル時) と接合部温度との関係

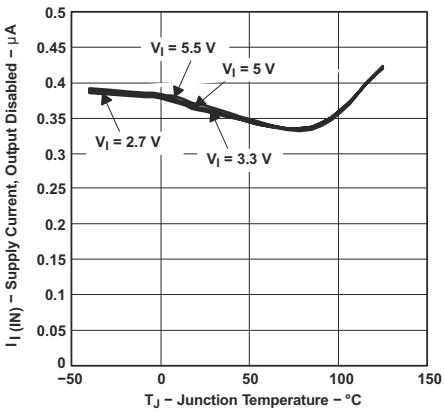


図 6-10. TPS2044B および TPS2054B の電源電流 (出力ディスエーブル時) と接合部温度との関係

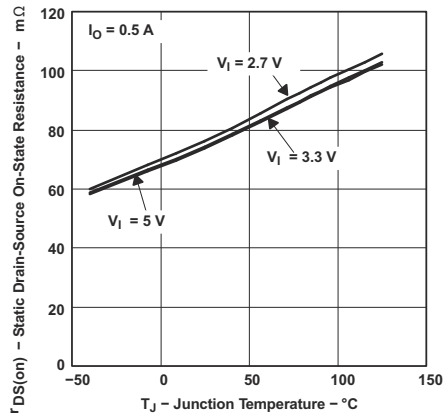


図 6-11. ドレイン ソース間の静的オン抵抗と接合部温度との関係

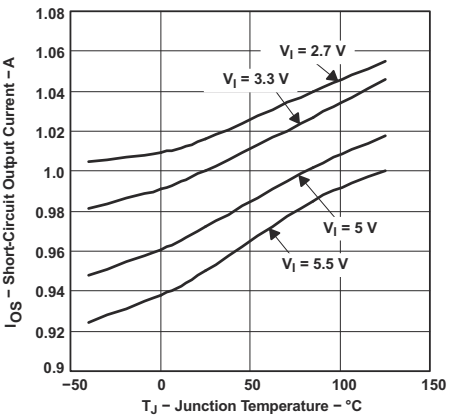


図 6-12. 短絡出力電流と接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (TPS2051BDBV および TPS2052BD を除くすべてのデバイス) (続き)

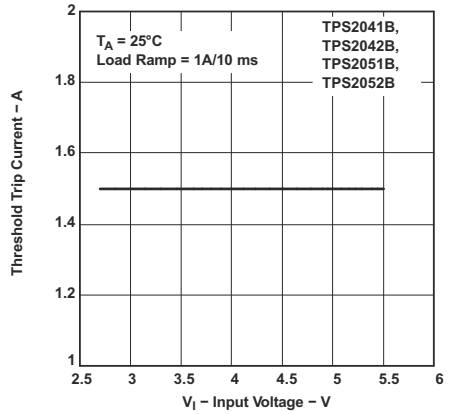


図 6-13. スレッショルド トリップ電流と入力電圧との関係

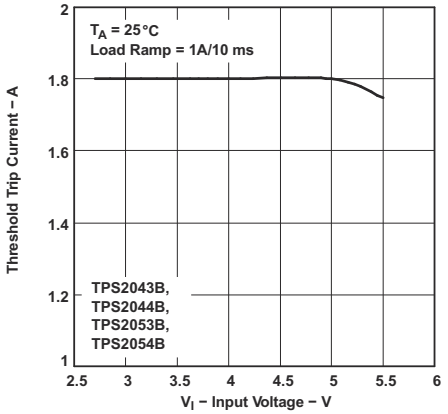


図 6-14. スレッショルド トリップ電流と入力電圧との関係

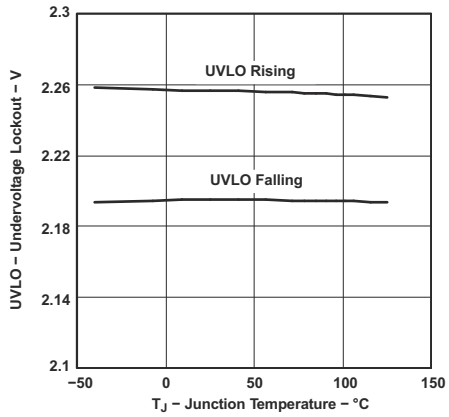


図 6-15. 低電圧誤動作防止と接合部温度との関係

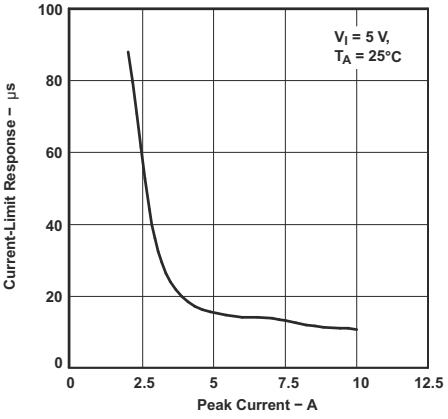


図 6-16. 電流制限応答とピーク電流との関係

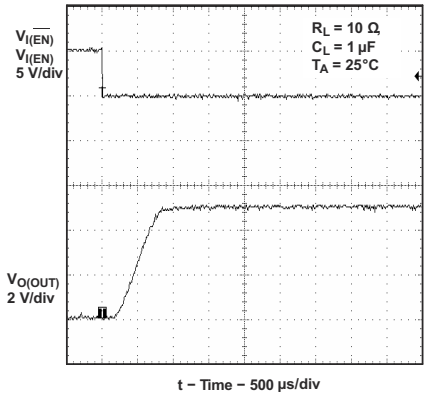


図 6-17. 1µF 負荷でのターンオン遅延と立ち上がり時間

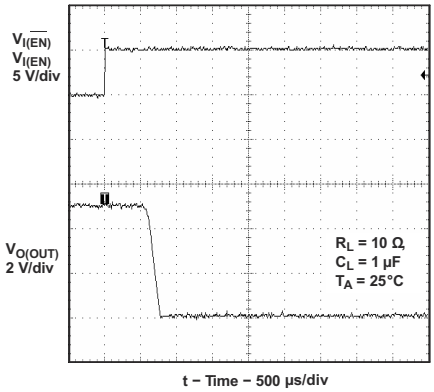


図 6-18. 1µF 負荷でのターンオフ遅延と立ち下がり時間

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (TPS2051BDBV および TPS2052BD を除くすべてのデバイス) (続き)

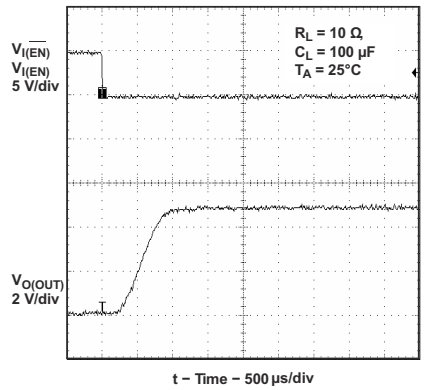


図 6-19. 100µF 負荷でのターンオン遅延と立ち上がり時間

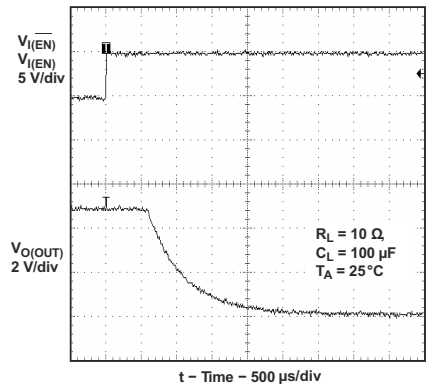


図 6-20. 100µF 負荷でのターンオフ遅延と立ち下がり時間

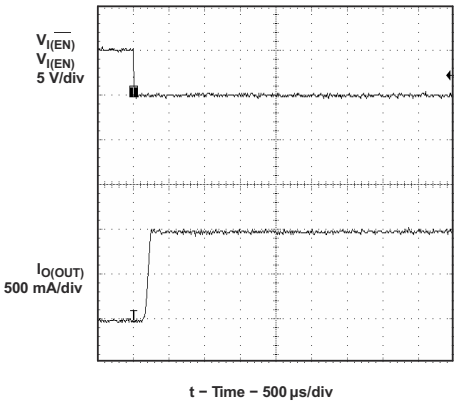


図 6-21. 短絡状態でデバイスを有効化した場合の短絡電流

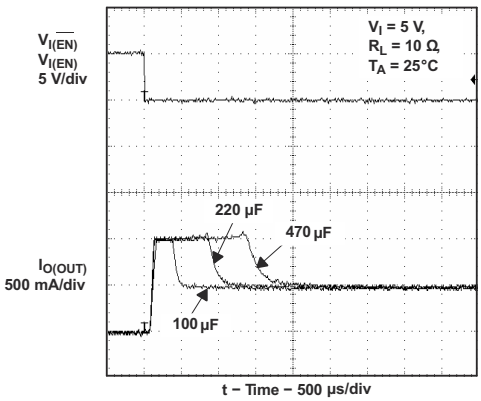


図 6-22. 負荷キャパシタンスが異なる場合の突入電流

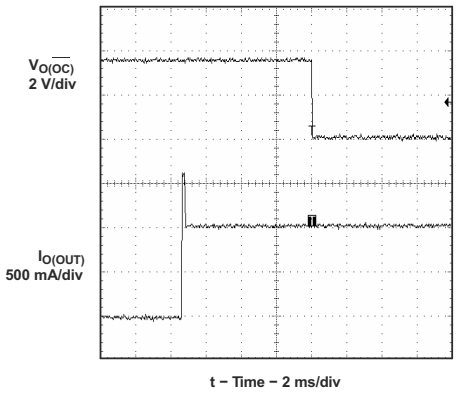


図 6-23. 有効化されたデバイスに 3Ω 負荷を接続した場合

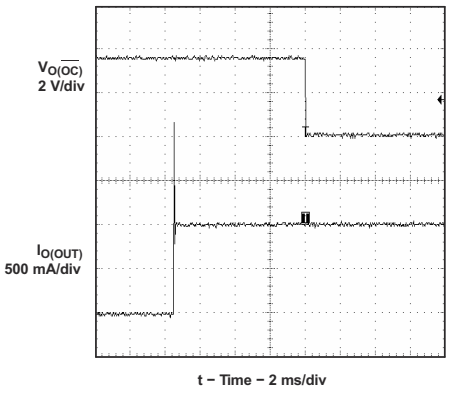


図 6-24. 有効化されたデバイスに 2Ω 負荷を接続した場合

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (TPS2051BDBV および TPS2052BD)

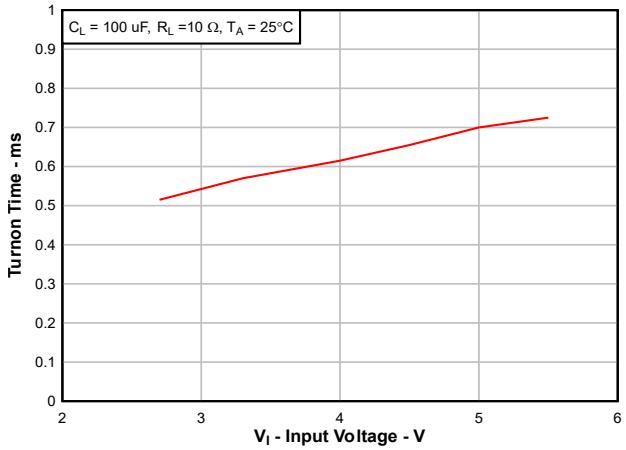


図 6-25. ターンオン時間と入力電圧との関係

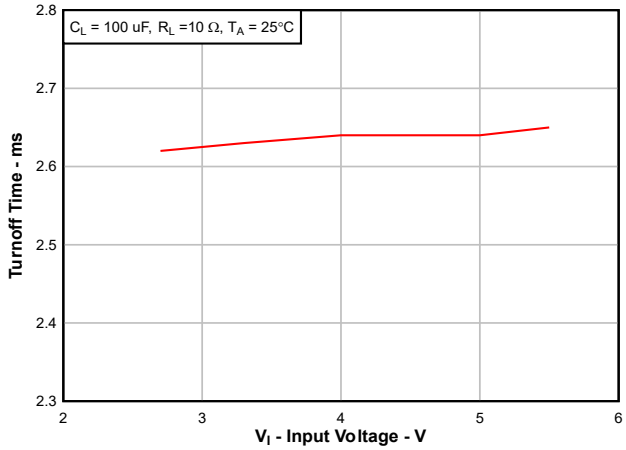


図 6-26. ターンオフ時間と入力電圧との関係

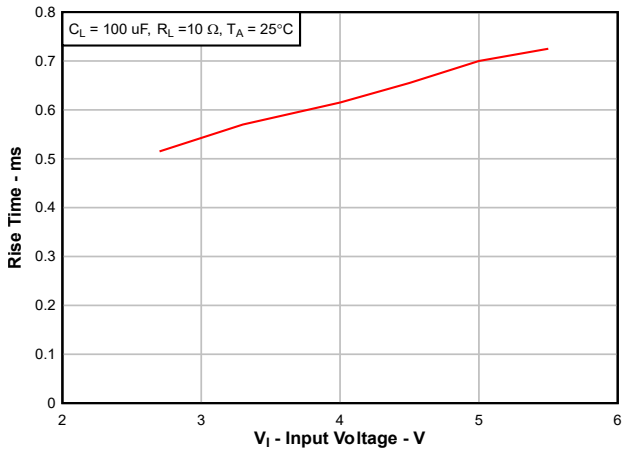
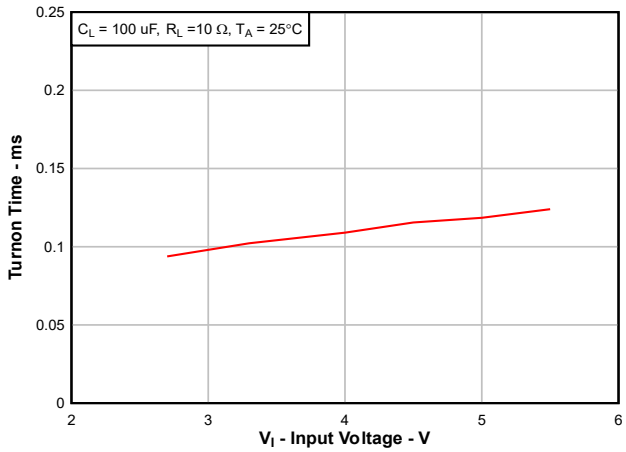


図 6-27. 立ち上がり時間と入力電圧との関係



\

図 6-28. 立ち下がり時間と入力電圧との関係

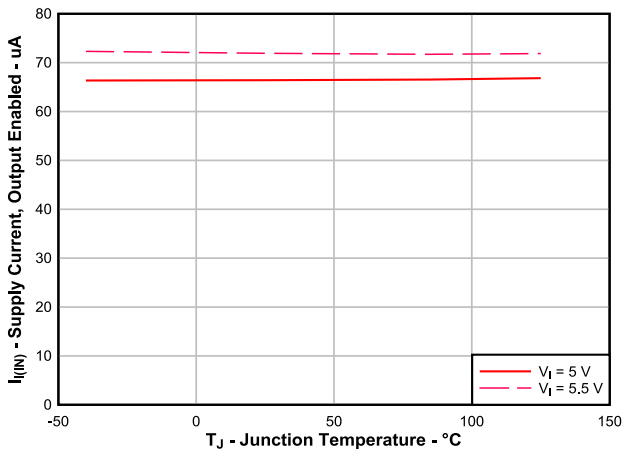


図 6-29. TPS2051BDBV の電源電流 (出力イネーブル時) と接合部温度との関係

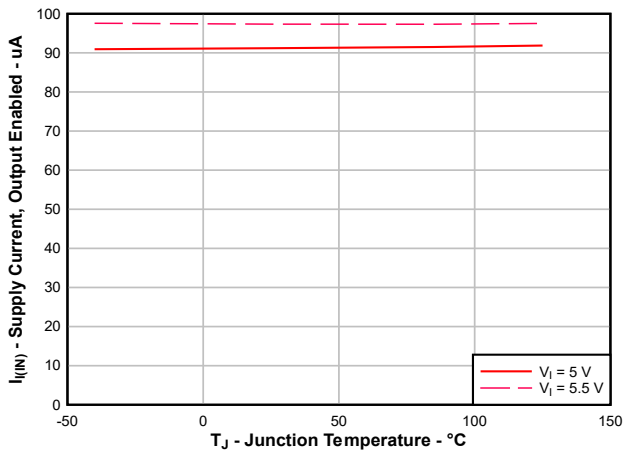


図 6-30. TPS2052BD の電源電流 (出力イネーブル時) と接合部温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (TPS2051BDBV および TPS2052BD) (続き)

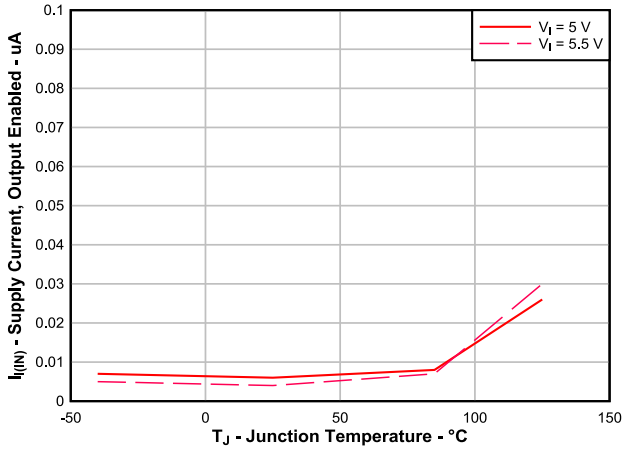


図 6-31. TPS2051BDBV の電源電流 (出力ディスエーブル時) と接合部温度との関係

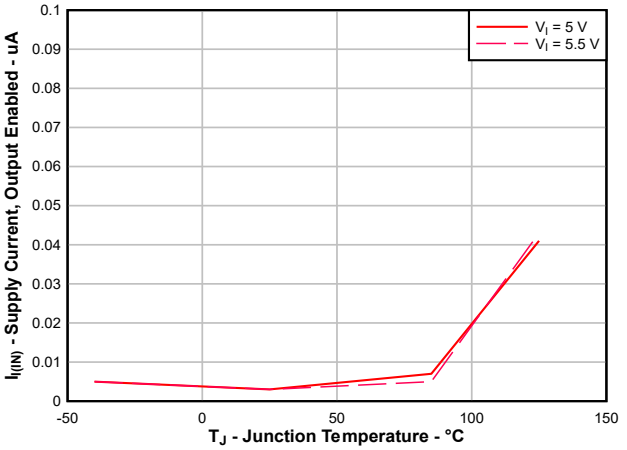


図 6-32. TPS2052BD の電源電流 (出力ディスエーブル時) と接合部温度との関係

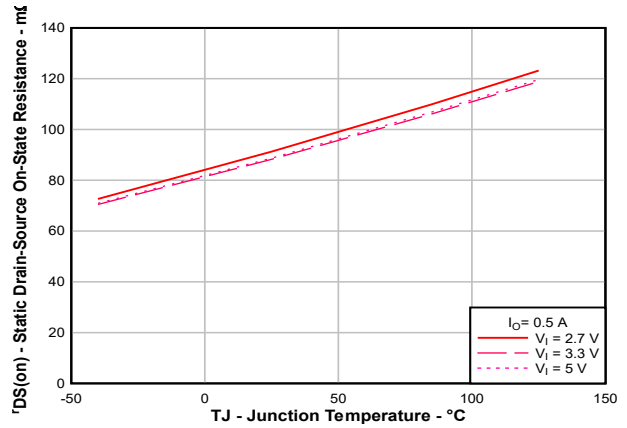


図 6-33. DBV パッケージのドレイン ソース間の静的オン抵抗と接合部温度との関係

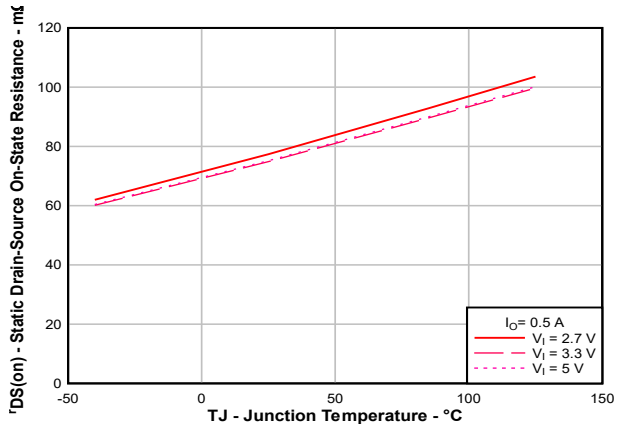


図 6-34. D パッケージのドレイン ソース間の静的オン抵抗と接合部温度との関係

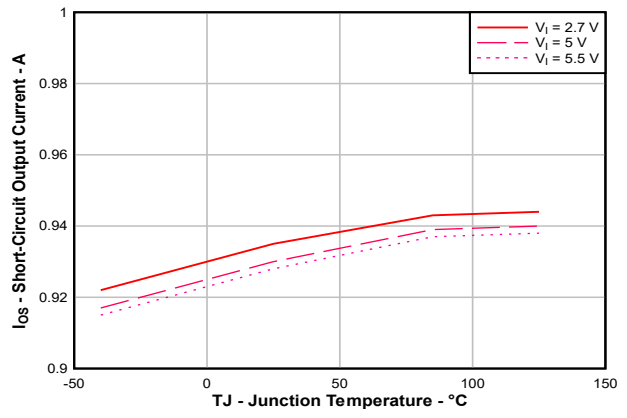


図 6-35. 短絡出力電流と接合部温度との関係

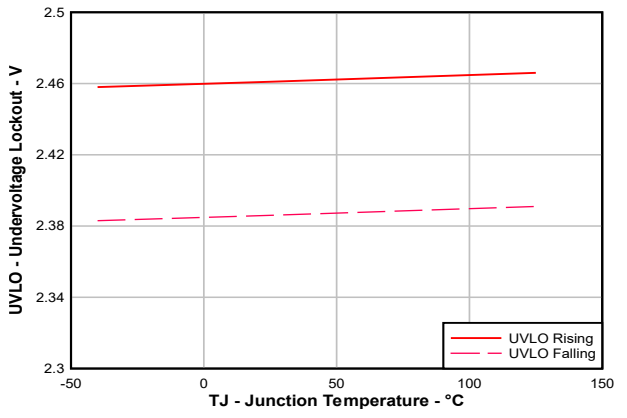


図 6-36. 低電圧誤動作防止と接合部温度との関係

6.7 代表的特性 (TPS2051BDBV および TPS2052BD) (続き)

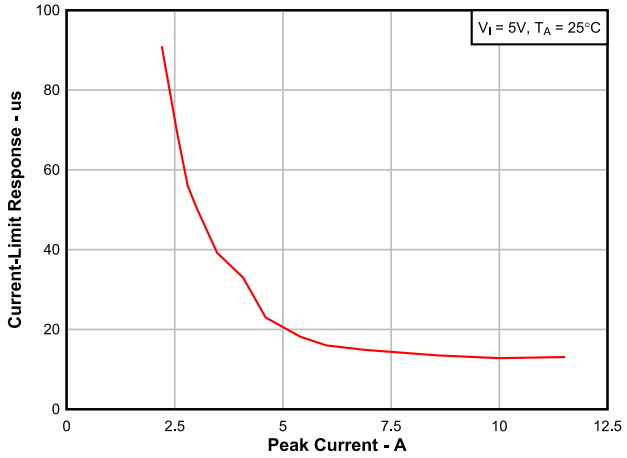


図 6-37. 電流制限応答とピーク電流との関係

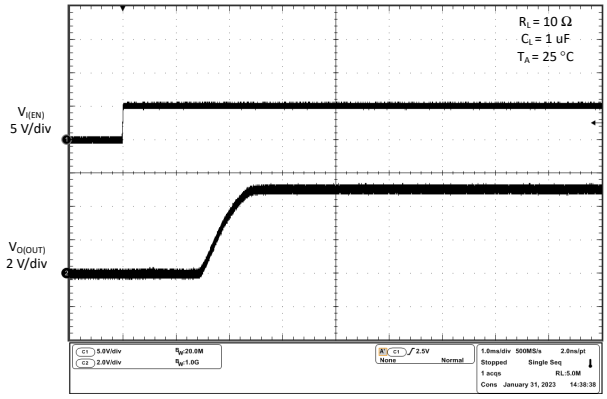


図 6-38. 1µF 負荷でのターンオン遅延と立ち上がり時間

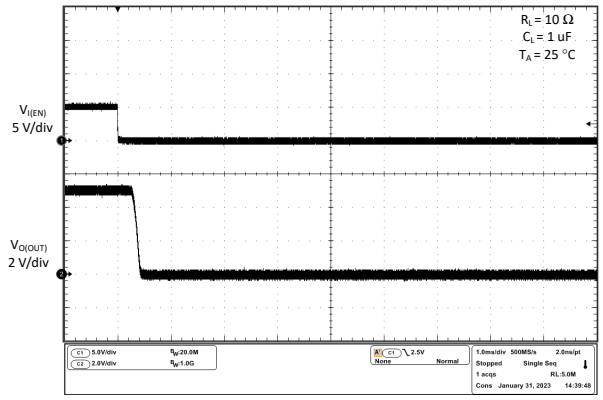


図 6-39. 1µF 負荷でのターンオフ遅延と立ち下がり時間

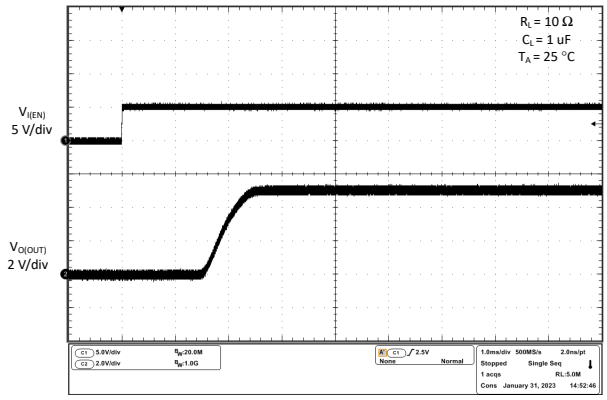


図 6-40. 100µF 負荷でのターンオン遅延と立ち上がり時間

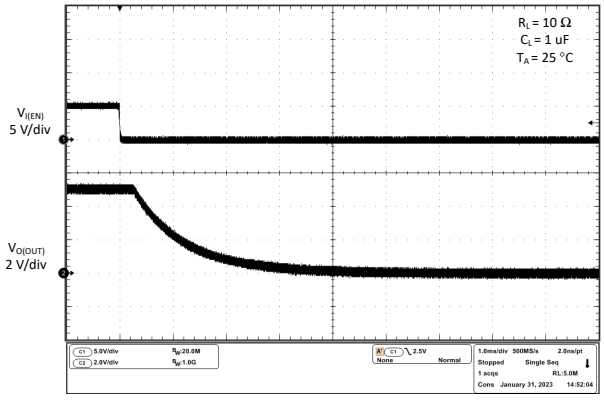


図 6-41. 100µF 負荷でのターンオフ遅延と立ち下がり時間

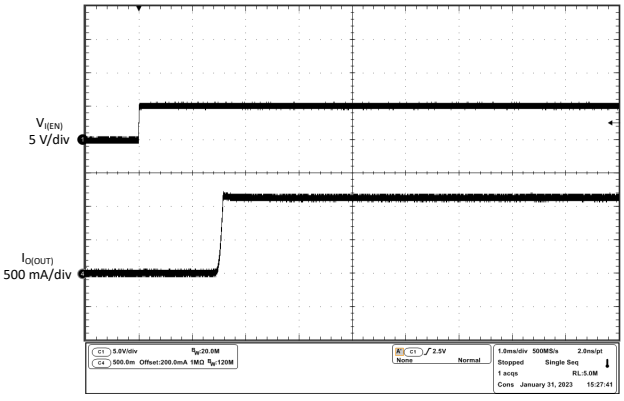


図 6-42. 短絡状態でデバイスを有効化した場合の短絡電流

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (TPS2051BDBV および TPS2052BD) (続き)

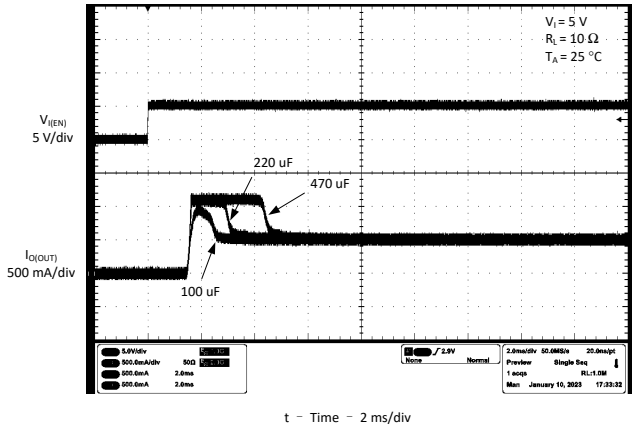


図 6-43. 負荷キャパシタンスが異なる場合の突入電流

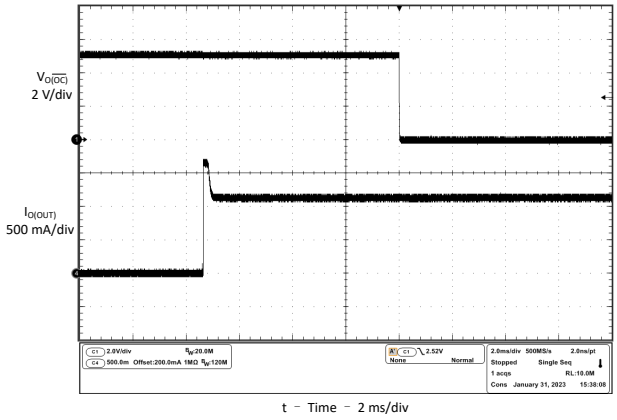


図 6-44. 有効化されたデバイスに 3Ω 負荷を接続した場合

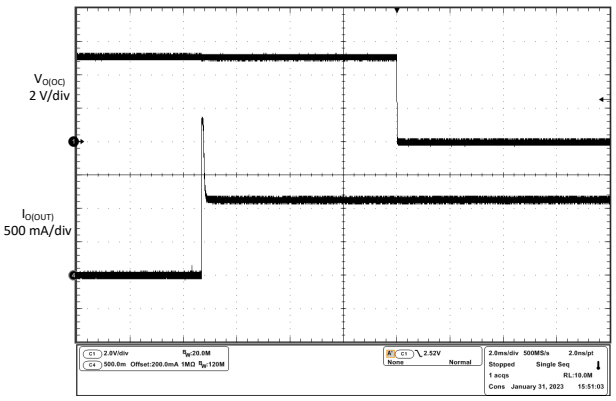


図 6-45. 有効化されたデバイスに 2Ω 負荷を接続した場合

7 パラメータ測定情報

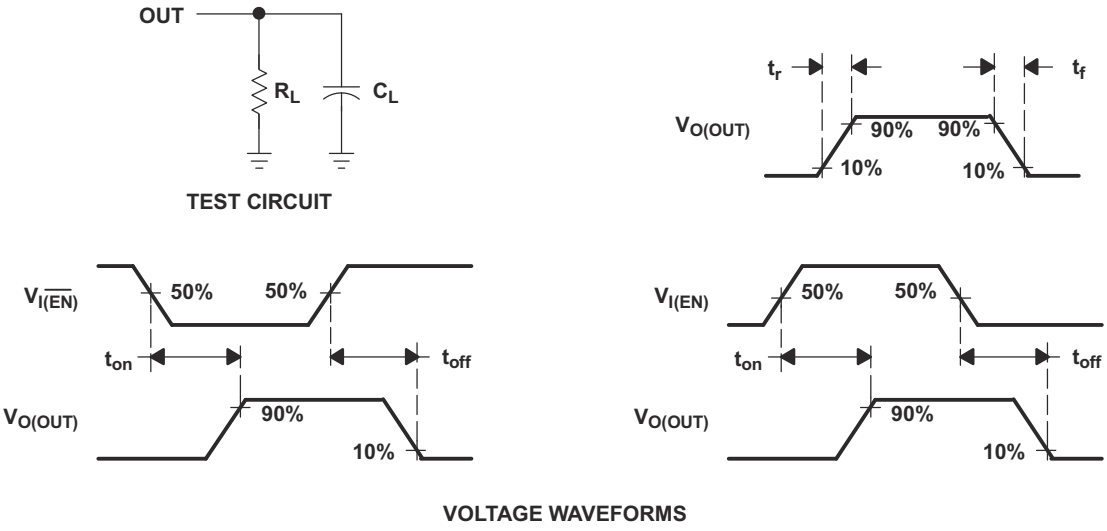


図 7-1. テスト回路と電圧波形

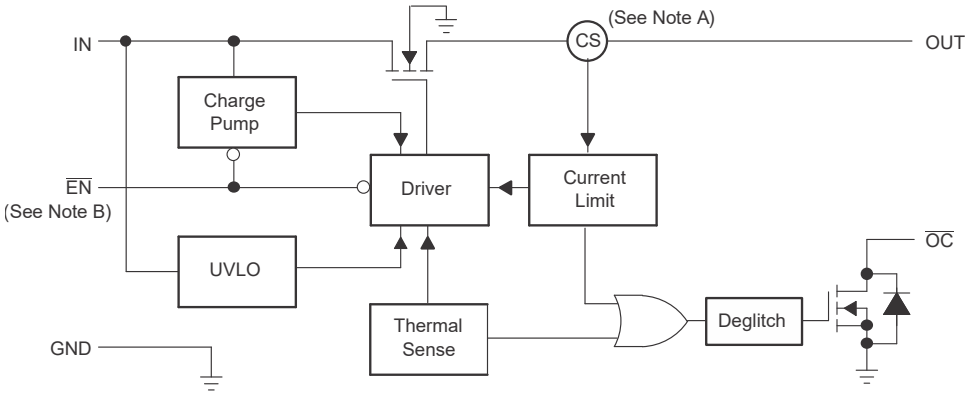
Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

8.1 概要

TPS20xxB は電流制限付きのパワー ディストリビューション スイッチで、0.5A の連続負荷電流を供給します。これらのデバイスは、複数のパワー スイッチを 1 つのパッケージに搭載する必要があるパワー ディストリビューション システム向けに、70mΩ の N チャネル MOSFET パワー スイッチを内蔵しています。ゲート ドライバは、スイッチング中の電流サージを最小限に抑えるように設計された、内部チャージ ポンプによって駆動されます。チャージ ポンプには外付け部品が不要で、最低 2.7V の電源で動作できます。

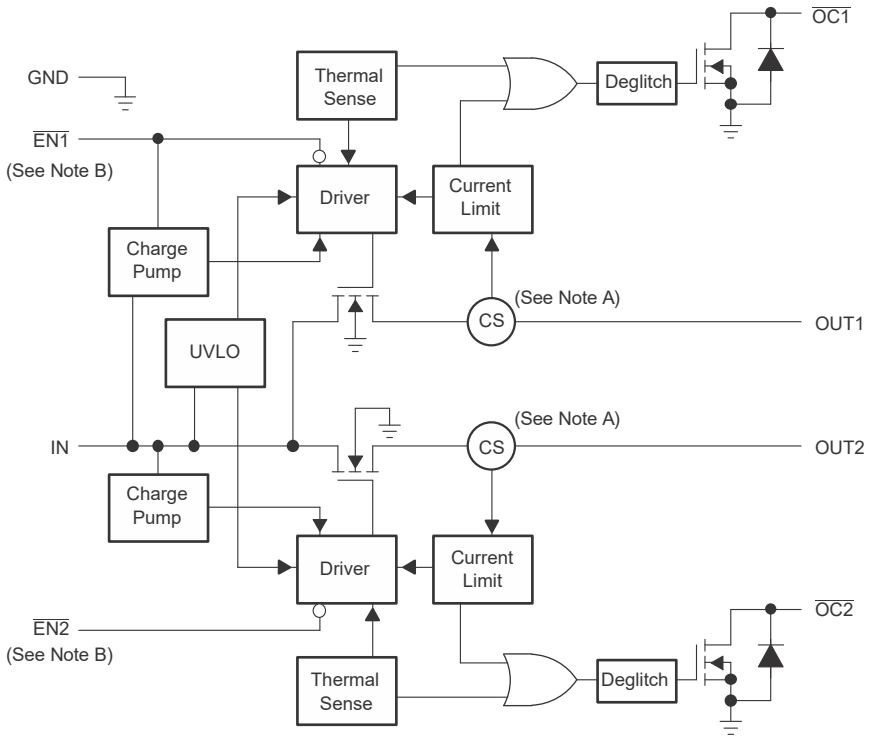
8.2 機能ブロック図



Note A: Current sense
Note B: Active low ($\overline{EN}$) for TPS2041B; Active high (EN) for TPS2051B

図 8-1. 機能ブロック図 (TPS2041B および TPS2051B)

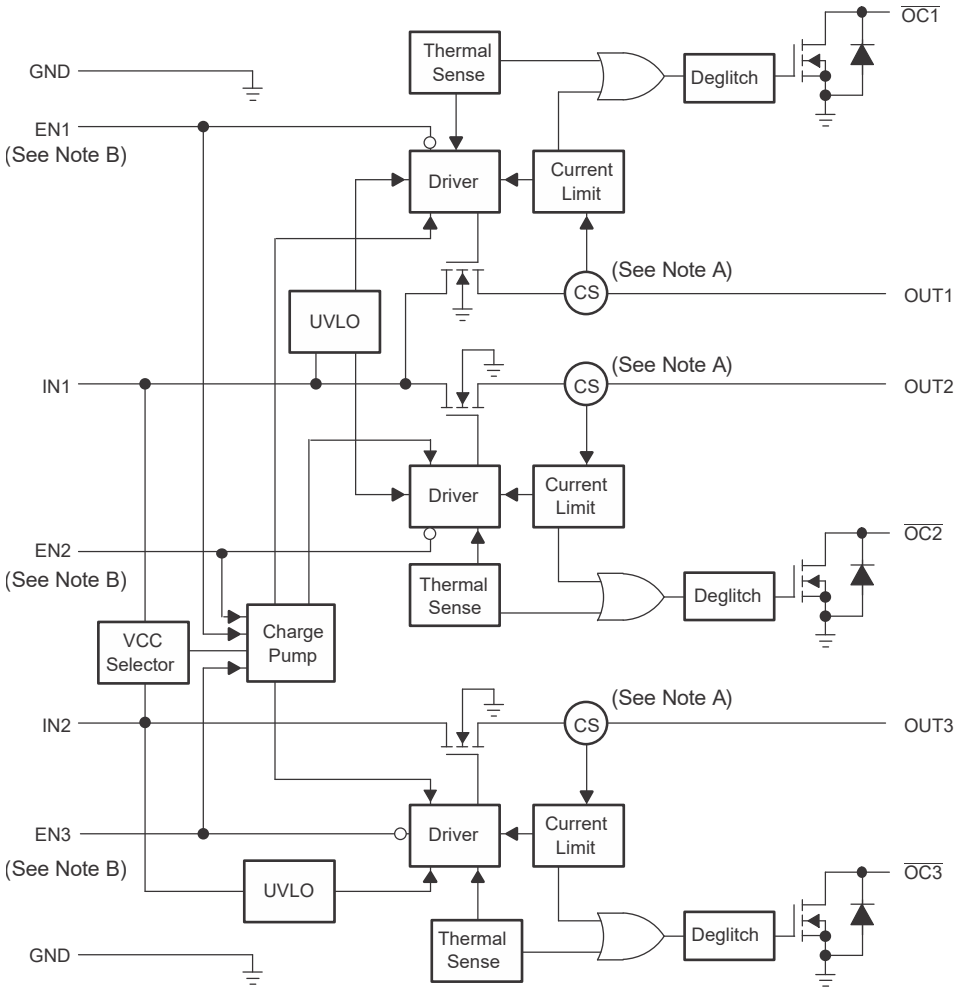
Copyright © 2026 Texas Instruments Incorporated



Note A: Current sense

Note B: Active low ($\overline{ENx}$) for TPS2042B; Active high (ENx) for TPS2052B

図 8-2. 機能ブロック図 (TPS2042B および TPS2052B)

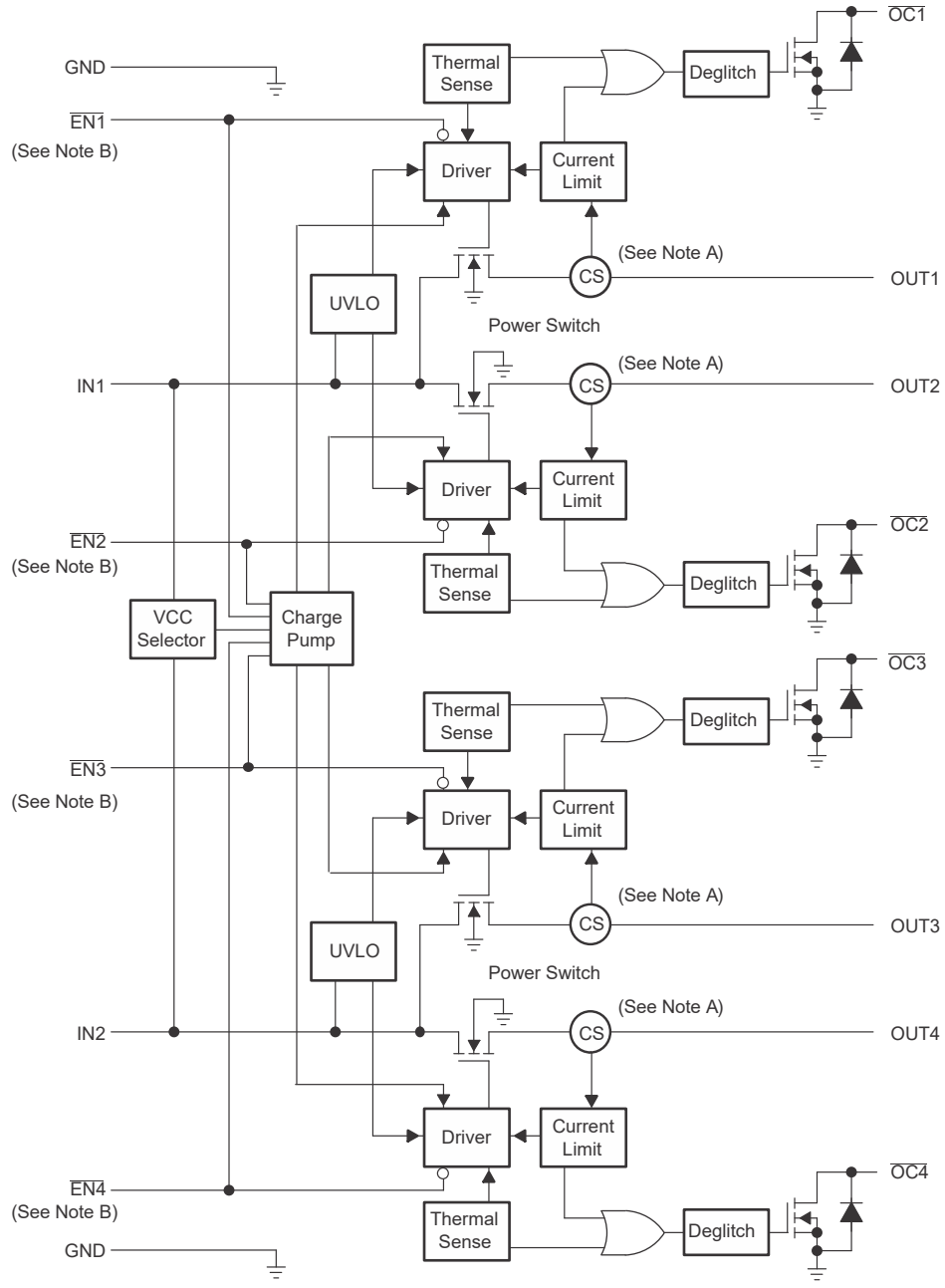


Note A: Current sense

Note B: Active low ($\overline{\text{ENx}}$) for TPS2043B; Active high (ENx) for TPS2053B

図 8-3. 機能ブロック図 (TPS2043B および TPS2053B)

Copyright © 2026 Texas Instruments Incorporated



Note A: Current sense

Note B: Active low ($\overline{ENx}$) for TPS2044B; Active high (ENx) for TPS2054B

図 8-4. 機能ブロック図 (TPS2044B および TPS2054B)

8.3 機能説明

8.3.1 パワー スイッチ

パワー スイッチは、オン抵抗が低い N チャネル MOSFET です。ハイサイド スイッチとして構成されており、無効時に OUT から IN、IN から OUT へ電流が流れるのを防止します。このパワー スイッチは、最低 500mA の電流を供給します。

8.3.2 チャージ ポンプ

内部チャージ ポンプは、ドライバ回路に電力を供給し、MOSFET のゲートをソースよりも高く引き上げるのに必要な電圧を生成します。チャージ ポンプは最低 2.7V の入力電圧で動作し、電源電流をほとんど必要としません。

8.3.3 ドライバ

ドライバは、パワー スイッチのゲート電圧を制御します。大きい電流サージを制限し、関連する電磁干渉 (EMI) の発生を低減するために、このドライバには出力電圧の立ち上がり時間と立ち下がり時間を制御する回路が内蔵されています。

8.3.4 イネーブル ($\overline{ENx}$)

ロジック イネーブル ピンにより、パワー スイッチのほか、チャージ ポンプ、ドライバ、その他の回路のバイアスを無効にして、電源電流を低減できます。$\overline{EN}$ にロジック High が入力されると、電源電流は 1μA または 2μA 未満に減少します。$\overline{EN}$ にロジック ゼロが入力されると、駆動回路および制御回路へのバイアスが回復し、スイッチがオンになります。イネーブル入力は TTL と CMOS の両方のロジック レベルと互換性があります。

8.3.5 イネーブル (ENx)

ロジック イネーブルにより、パワー スイッチのほか、チャージ ポンプ、ドライバ、その他の回路へのバイアスを無効にして、供給電流を低減します。ENx をロジック Low にすると、電源電流は 1μA または 2μA 未満に低減されます。ENx をロジック High にすると、駆動回路および制御回路へのバイアスが回復し、スイッチがオンになります。イネーブル入力は TTL と CMOS の両方のロジック レベルと互換性があります。

8.3.6 電流センス

センス FET は、負荷に供給される電流を監視します。センス FET は、従来の抵抗方式よりも効率的に電流を測定します。過負荷または短絡が発生すると、電流センス回路は制御信号をドライバに送信します。それに応じて、ドライバはゲート電圧を下げてパワー FET を飽和領域で駆動します。これにより出力が定電流モードに切り替わり、負荷の電圧を変化させながら電流を一定の値に保持します。

8.3.7 過電流

過電流状態をチェックするには、センス FET を使用します。電流センス抵抗とは異なり、センス FET では電流パスの直列抵抗が増加しません。過電流状態が検出されると、デバイスは一定の出力電流を維持し、それに応じて出力電圧を低下させます。完全なシャットダウンは、過熱制限機能が作動するのに十分なだけの時間、故障が継続した場合にのみ発生します。

TPS20xxB ファミリのデバイスには、2 種類の電流制限プロファイルがあります。

TPS20x3BD、TPS20x4BD、TPS20x2BDRB デバイスでは、出力 I と V との関係を示す特性は、図 8-5 で**ピークのある電流制限**とラベル付けされたプロットと同様です。このタイプの制限は、過電流トリップ スレッショルド (I_{OC}) と短絡出力電流スレッショルド (I_{OS}) の 2 つのパラメータで特徴付けることができます。

D、DGN、DBV パッケージの TPS20x1B および TPS20x2B デバイスでは、出力 I と V との関係を示す特性は、図 8-5 で**フラットな電流制限**とラベル付けされたプロットと同様です。このタイプの制限は、短絡電流 (I_{OS}) という 1 つのパラメータで特徴付けられます。

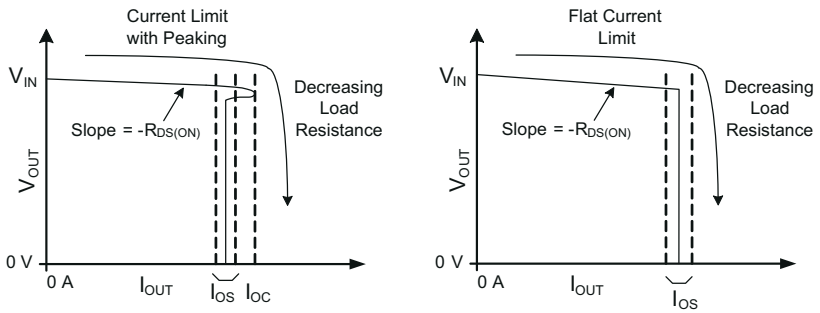


図 8-5. 電流制限プロファイル

Copyright © 2026 Texas Instruments Incorporated

8.3.7.1 過電流状態 (TPS20x3BD、TPS20x4BD、TPS20x2BDRB)

TPS20x3BD、TPS20x4BD、TPS20x2BDRB デバイスでは、3 つの過負荷状態が発生する可能性があります。1 つ目の状態では、デバイスがイネーブルになる前、または $V_{I(IN)}$ が印加される前に、出力が短絡します (図 6-21、図 6-24 を参照)。TPS20xxB は短絡を検出すると、直ちに定電流出力に切り替わります。

2 つ目の状態では、デバイスがイネーブルの間に短絡または過負荷が発生します。過負荷が発生した瞬間、電流制限回路が応答するまでの短い時間に、大電流が流れる可能性があります。電流制限回路が作動し (過電流トリップ スレッショルド (I_{OC}) に達する)、デバイスは定電流モードに切り替わり、短絡出力電流スレッショルド $I_{(OS)}$ で電流が制限されます。

3 つ目の状態では、負荷が推奨動作電流を超えて徐々に増加します。電流は、過電流トリップ スレッショルド (I_{OC}) に達するまで、またはデバイスの熱制限を超えるまでは上昇可能です。TPS20x3BD、TPS20x4BD、TPS20x2BDRB は、デバイスに損傷を与えることなく、電流制限スレッショルドまで電流を供給できます。過電流トリップ スレッショルド (I_{OC}) に達すると、デバイスは定電流モードに切り替わり、電流は短絡出力電流スレッショルド $I_{(OS)}$ に制限されます。

8.3.7.2 過電流状態 (D、DGN、DBV パッケージの TPS20x1B および TPS20x2B)

D、DGN、DBV パッケージの TPS20x1B および TPS20x2B デバイスでは、3 つの過負荷状態が発生する可能性があります。1 つ目の状態では、デバイスがイネーブルになる前、または $V_{I(IN)}$ が印加される前に、出力が短絡します (図 6-42、図 6-45 を参照)。TPS20xxB は短絡を検出すると、直ちに定電流出力に切り替わります。

2 つ目の状態では、デバイスがイネーブルの間に短絡または過負荷が発生します。過負荷が発生した瞬間、電流制限回路が応答するまでの短い時間に、大電流が流れる可能性があります。短絡出力電流スレッショルド $I_{(OS)}$ に達すると、デバイスは定電流モードに切り替わります。

3 つ目の状態では、負荷が推奨動作電流を超えて徐々に増加します。短絡出力電流スレッショルド $I_{(OS)}$ に達すると、デバイスは定電流モードに切り替わります。

8.3.8 過電流 ($\overline{OCx}$)

過電流または過熱状態の発生時、$\overline{OCx}$ オープン ドレイン出力はアサートされます (アクティブ "Low")。出力は、過電流状態または過熱状態が解消されるまでアサート状態を維持します。10ms のグリッチ除去回路は、$\overline{OCx}$ 信号の発振や誤トリガを防ぎます。過熱シャットダウンが発生すると、$\overline{OCx}$ は瞬時にアサートされます。

8.3.9 温度検出

TPS20xxB には、パワー ディストリビューション スイッチの動作温度を監視するための熱センシングが実装されています。過電流または短絡状態では、接合部温度が上昇します。過電流状態によってダイ温度が約 140℃ まで上昇すると、内部の温度検出回路によってスイッチがオフになり、デバイスの損傷を防ぎますす。温度検出にはヒステリシスが組み込まれており、デバイスの温度が約 10℃ 下がるとスイッチが再びオンになります。故障が解消されるまで、スイッチはオンとオフを繰り返します。過熱シャットダウンや過電流が発生すると、オープン ドレインの故障通知出力 ($\overline{OCx}$) がアサートされます (アクティブ "Low")。

8.3.10 低電圧誤動作防止

電圧センス回路により、入力電圧を監視します。入力電圧が約 2V を下回ると、制御信号によってパワー スイッチがオフになります。

8.4 デバイスの機能モード

TPS20xxB デバイスには、他の機能モードはありません。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

9.1.1 ユニバーサル シリアル バス (USB) アプリケーション

ユニバーサル シリアル バス (USB) インターフェイスは、低 ～ 中帯域幅の PC 周辺機器 (キーボード、プリンタ、スキャナ、マウスなど) 用に設計された、12Mb/s または 1.5Mb/s の多重化シリアル バスです。4 線式 USB インターフェイスは、ペリフェラルを動的に接続 / 取り外し (ホットプラグ / アンプラグ) できるように考案されています。差動データ用に 2 本のライン、5V 電力分配用に 2 本のラインが用意されています。

USB データは 3.3V レベルの信号ですが、長いケーブルにわたって複数のハブを通して電力が分配される場合の電圧降下を許容するため、電力は 5V で分配されます。各ファンクションは、5V 入力または自身の内部電源から、個別にレギュレートされた 3.3V を生成する必要があります。

USB の仕様では次の 5 つのデバイス クラスが定義されており、消費電力の要件によって区別されています。

- ホストおよびセルフパワー型ハブ (SPH)
- バスパワー型ハブ (BPH)
- 低消費電力、バスパワー型ファンクション
- 高消費電力、バスパワー型ファンクション
- セルフパワー型ファンクション

セルフパワー型およびバスパワー型ハブにより、データと電力をダウンストリーム ファンクションに分配します。TPS20xxB は、これらのデバイス クラスの多くにパワー ディストリビューション ソリューションを提供できます。

9.2 代表的なアプリケーション

9.2.1 代表的なアプリケーション (TPS2042B)

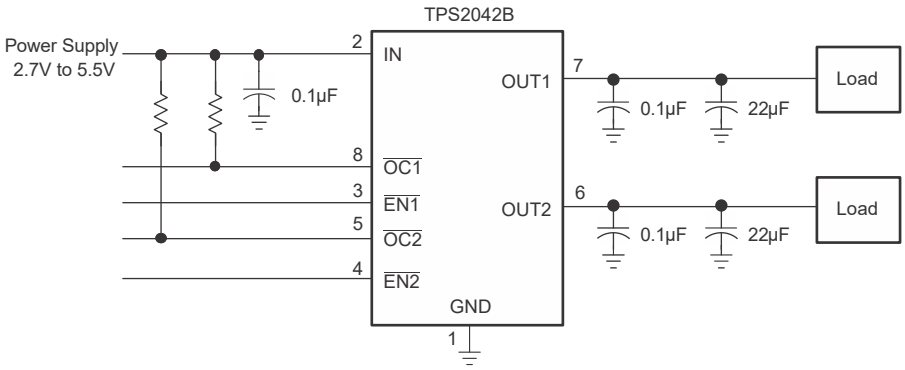


図 9-1. 代表的なアプリケーション (例、TPS2042B)

Copyright © 2026 Texas Instruments Incorporated

9.2.1.1 設計要件

このアプリケーションの設計パラメータを、表 9-1 に示します。

表 9-1. 設計パラメータ

設計パラメータ	値
入力電圧	5V
Output1 電圧	5V
Output2 電圧	5V
Output1 電流	0.5A
Output2 電流	0.5A

9.2.1.2 詳細な設計手順

9.2.1.2.1 電源に関する考慮事項

TI では、IN と GND の間に、0.01µF から 0.1µF のセラミック バイパス コンデンサをデバイスに近付けて配置することを推奨しています。出力負荷が大きい場合には、必要な出力ピンに大容量の電解コンデンサを配置することをお勧めします。このような予防措置により、入力リンギングを引き起こす可能性がある電源過渡現象を低減できます。また、0.01µF から 0.1µF のセラミック コンデンサで出力をバイパスすると、短絡過渡現象に対するデバイスの耐性が向上します。

9.2.1.2.2 $\overline{OC}$ の応答

過電流または過熱シャットダウン状態が発生し、10ms のグリッチ除去タイムアウト後、$\overline{OCx}$ オープンド レイン出力がアサートされます (アクティブ "Low")。過電流または過熱条件が解消されるまで、出力はアサートされたまま維持されます。大きい容量性負荷を有効化されたデバイスに接続すると、一時的な過電流状態が発生する可能性がありますが、10ms のグリッチ除去回路により、$\overline{OCx}$ への誤通知は発生しません。TPS20xxB は、過電流の誤通知を防止するよう設計されています。内部過電流グリッチ除去により、不要なパルスを除去するための外付け部品は不要です。過熱シャットダウンによりスイッチがオフになっても、$\overline{OCx}$ はグリッチ除去されません。

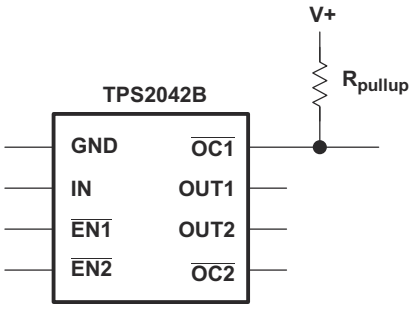


図 9-2. $\overline{OC}$ ピンの代表的な回路 (例、TPS2042B)

9.2.1.3 アプリケーション曲線

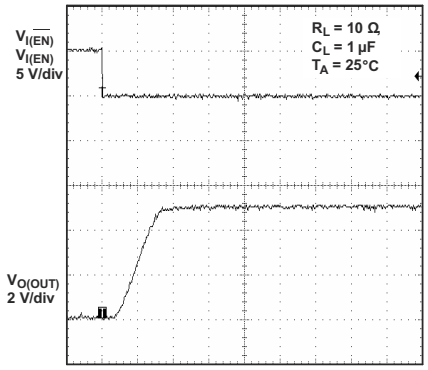


図 9-3. 1µF 負荷でのターンオン遅延と立ち上がり時間

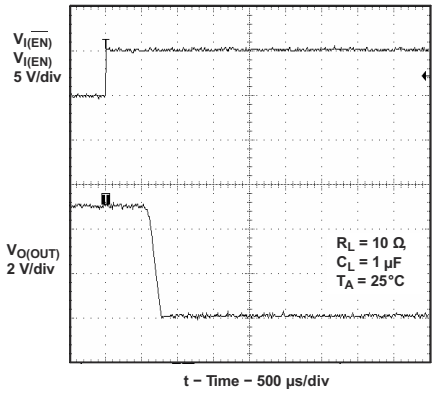


図 9-4. 1µF 負荷でのターンオフ遅延と立ち下がり時間

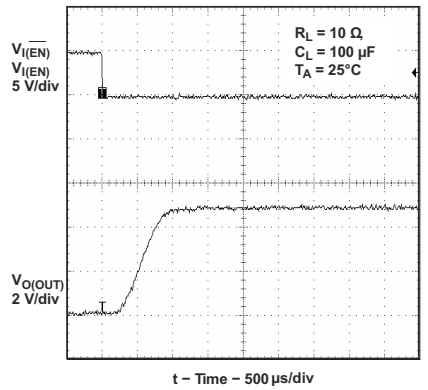


図 9-5. 100µF 負荷でのターンオン遅延と立ち上がり時間

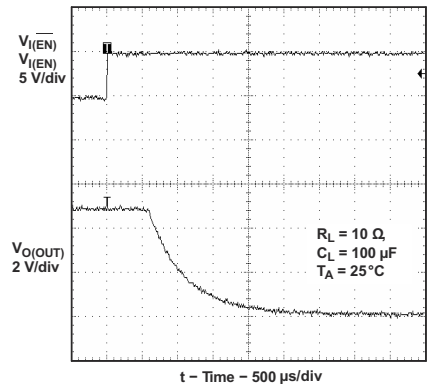


図 9-6. 100µF 負荷でのターンオフ遅延と立ち下がり時間

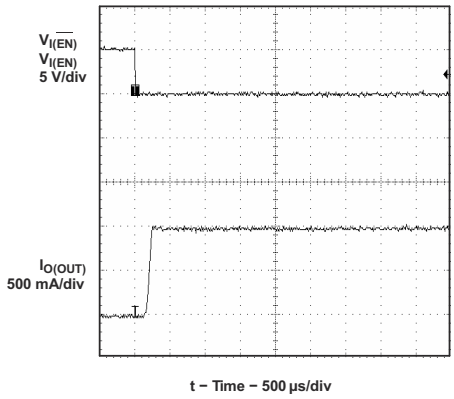


図 9-7. 短絡状態でデバイスを有効化した場合の短絡電流

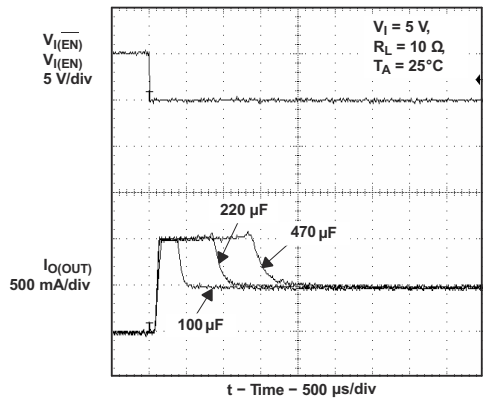


図 9-8. 負荷キャパシタンスが異なる場合の突入電流

Copyright © 2026 Texas Instruments Incorporated

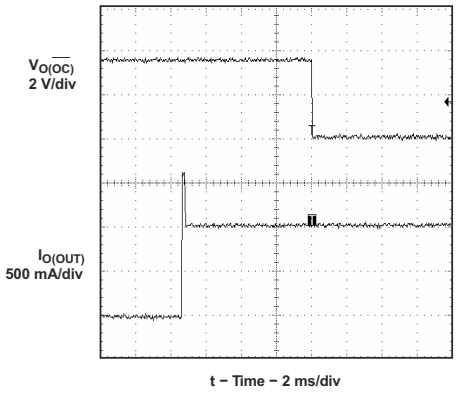


図 9-9. 有効化されたデバイスに 3Ω 負荷を接続した場合

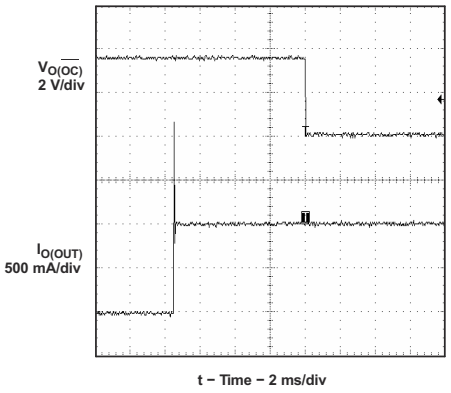


図 9-10. 有効化されたデバイスに 2Ω 負荷を接続した場合

9.2.2 ホストおよびセルフパワー型ハブとバスパワー型ハブ

ホストおよびセルフパワー型ハブには、組み込みファンクションとダウンストリーム ポートに電力を供給するローカル電源があります (図 9-11 および図 9-12 を参照)。この電源は全負荷および無負荷条件下で 5.25V ～ 4.75V をダウンストリーム接続のボード側に供給する必要があります。ホストおよび SPH は電流制限保護機能を備えている必要があり、過電流状態を USB コントローラに報告する必要があります。代表的な SPH はデスクトップ PC、モニタ、プリンタ、スタンドアロン ハブです。

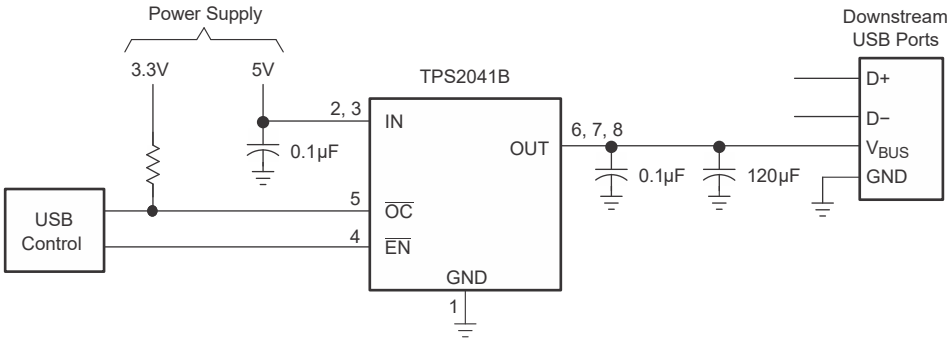


図 9-11. 代表的な 1 ポート USB ホストおよびセルフパワー型ハブ

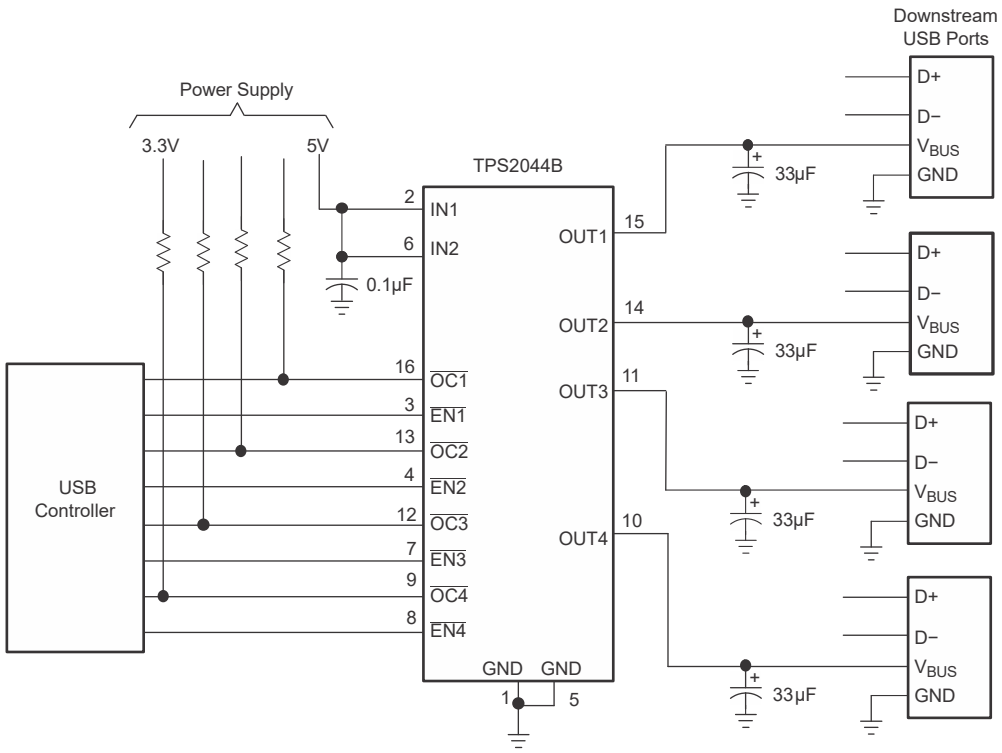


図 9-12. 代表的な 4 ポート USB ホストおよびセルフパワー型ハブ

9.2.2.1 設計要件

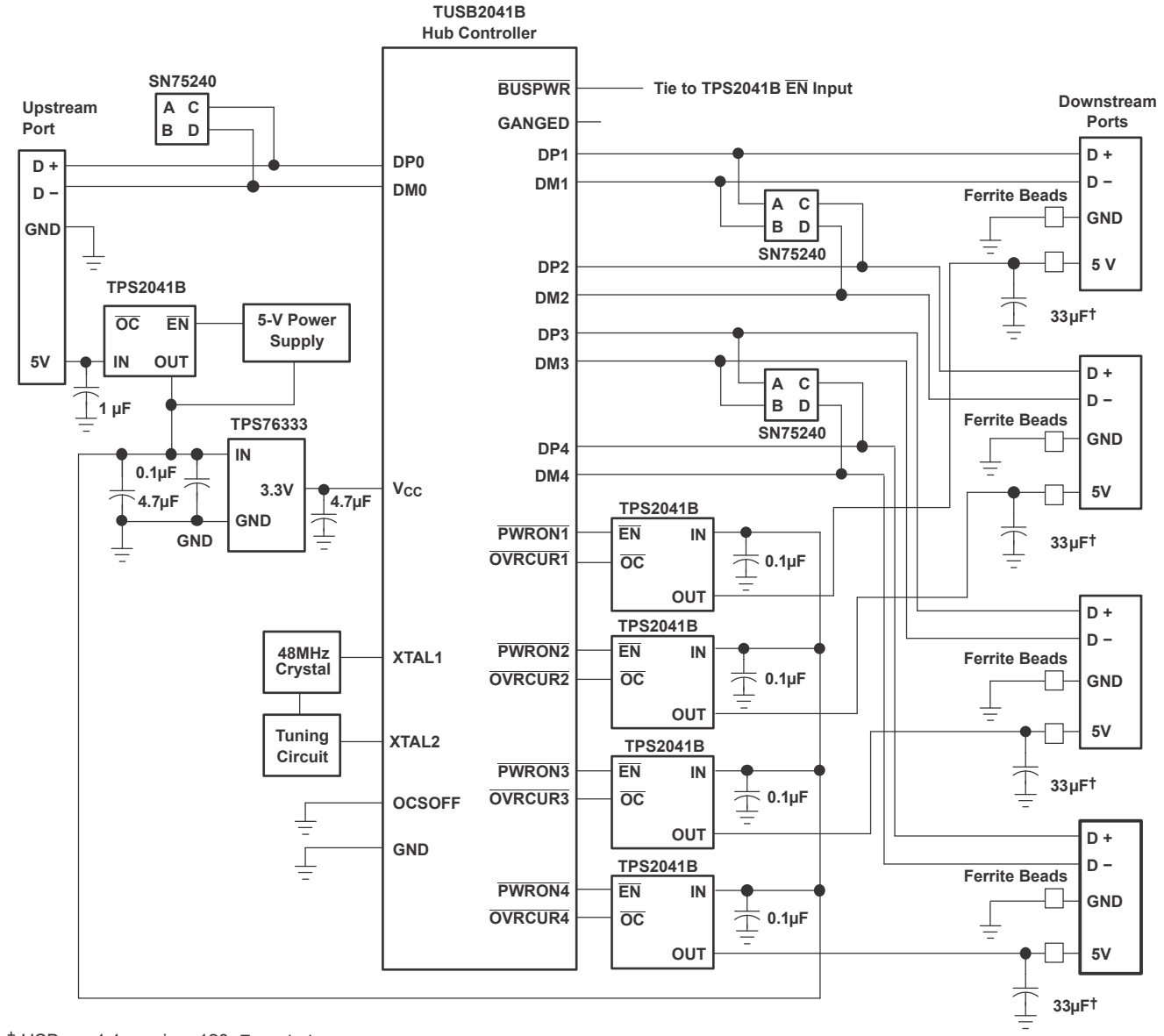
9.2.2.1.1 USB パワー ディストリビューションの要件

USB は複数の方法で実装できますが、開発中の USB デバイスの種類に関係なく、いくつかのパワー ディストリビューション機能を実装する必要があります。

- ホストおよびセルフパワー型ハブでは、次のことを行う必要があります。
  - ダウンストリーム ポートの電流制限
  - USB V_{BUS} の過電流状態の通知
- バスパワー型ハブでは、次のことを行う必要があります。
  - ダウンストリーム ポートへの電力の有効化 / 無効化
  - 100mA 未満の電流で起動
  - 突入電流の制限 (44Ω 未満および 10µF)
- ファンクションの要件:
  - 突入電流の制限
  - 100mA 未満の電流で起動

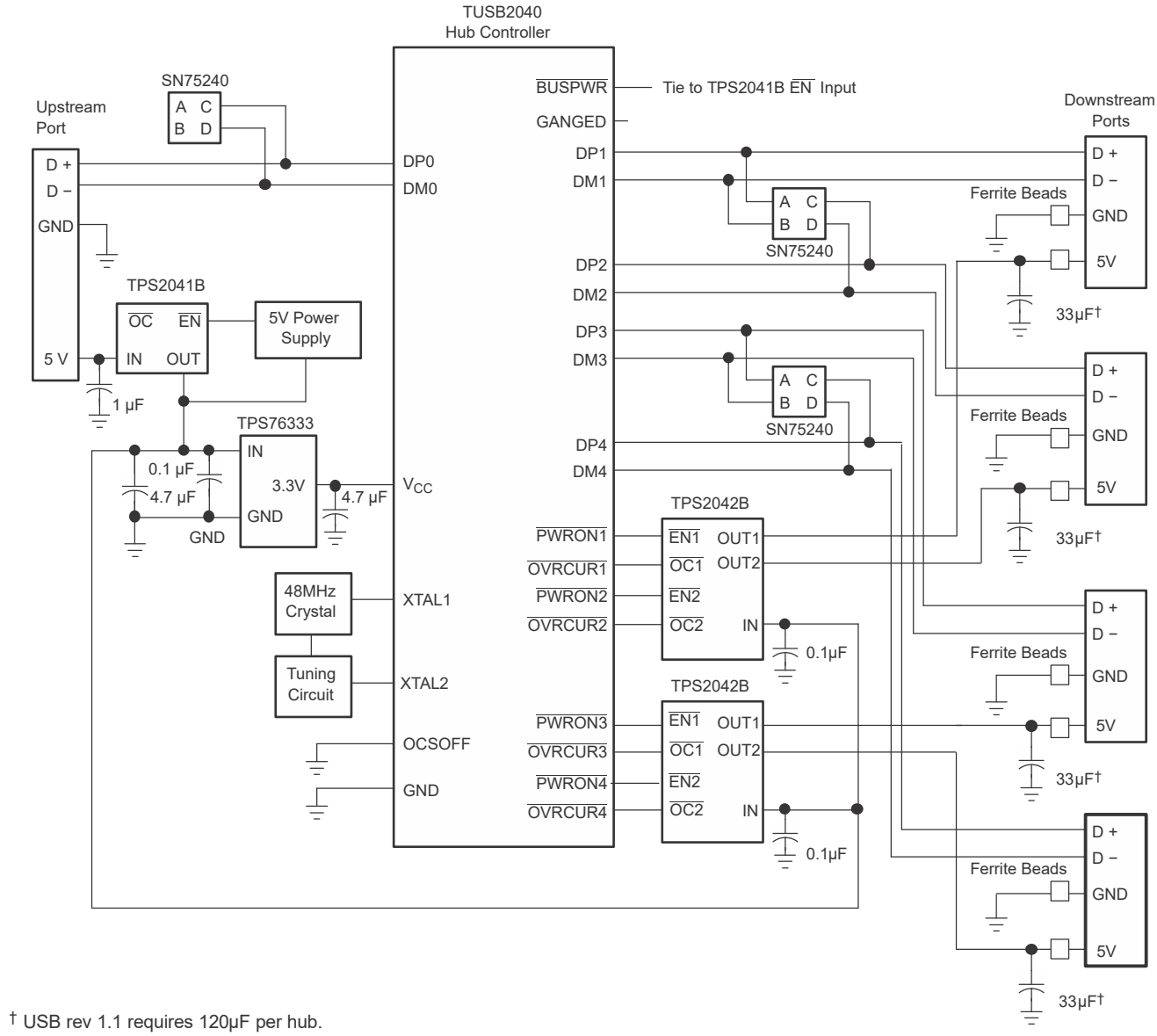
TPS20xxB の機能セットにより、TPS20xxB でこれらの各要件を満たせるようにします。ホストおよびセルフパワー型ハブには、内蔵型の電流制限機能と過電流通知機能が必要です。ロジック レベルのイネーブルと制御された立ち上がり時間は、バスパワー型ハブの入力および出力ポートと、バスパワー型ファンクションの入力ポートの要求を満たしています (図 9-13、図 9-16 を参照)。

Copyright © 2026 Texas Instruments Incorporated



† USB rev 1.1 requires 120µF per hub.

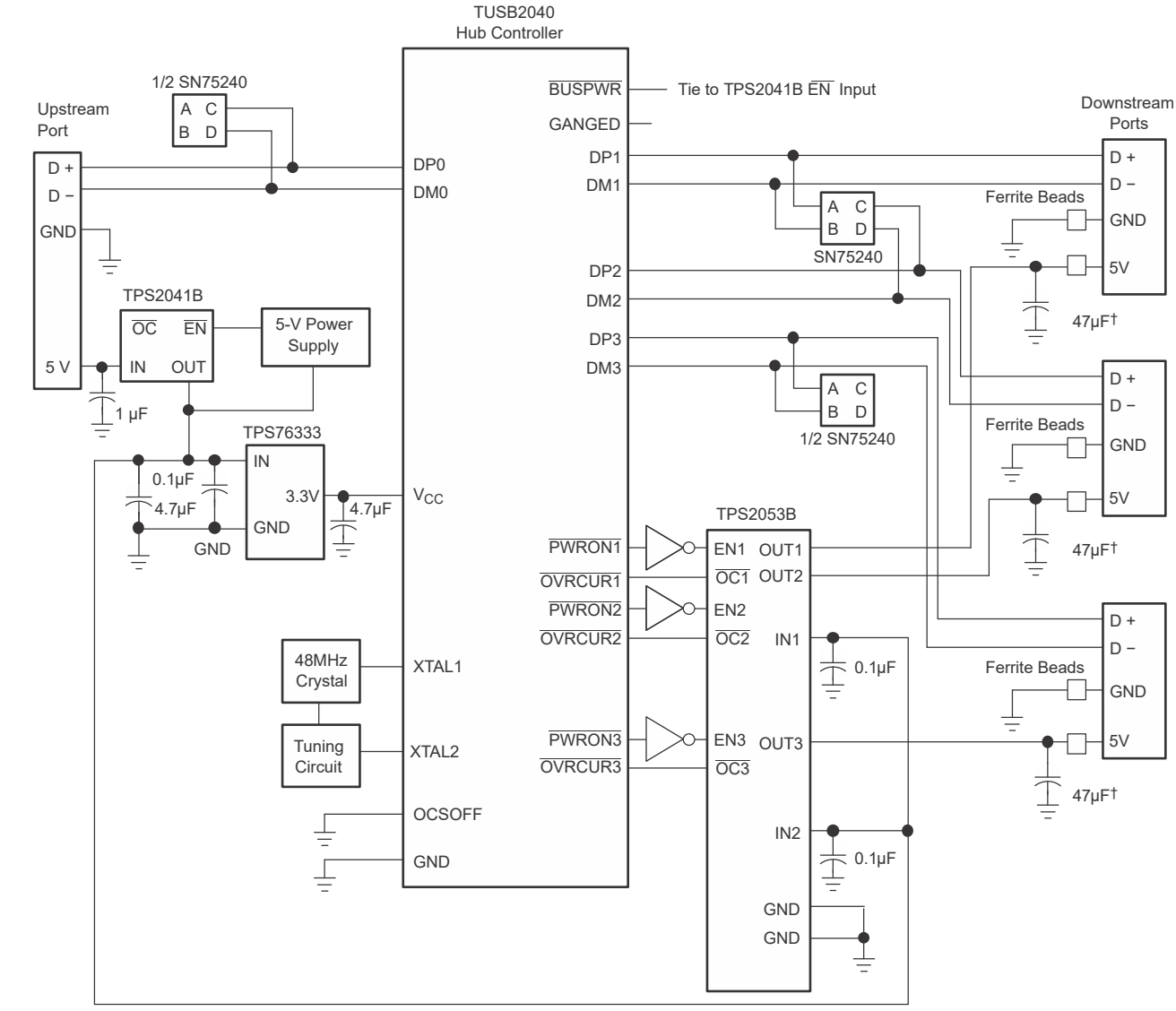
図 9-13. セルフパワー型およびバスパワー型を併用したハブの実装、TPS2041B および TPS2051B



† USB rev 1.1 requires 120µF per hub.

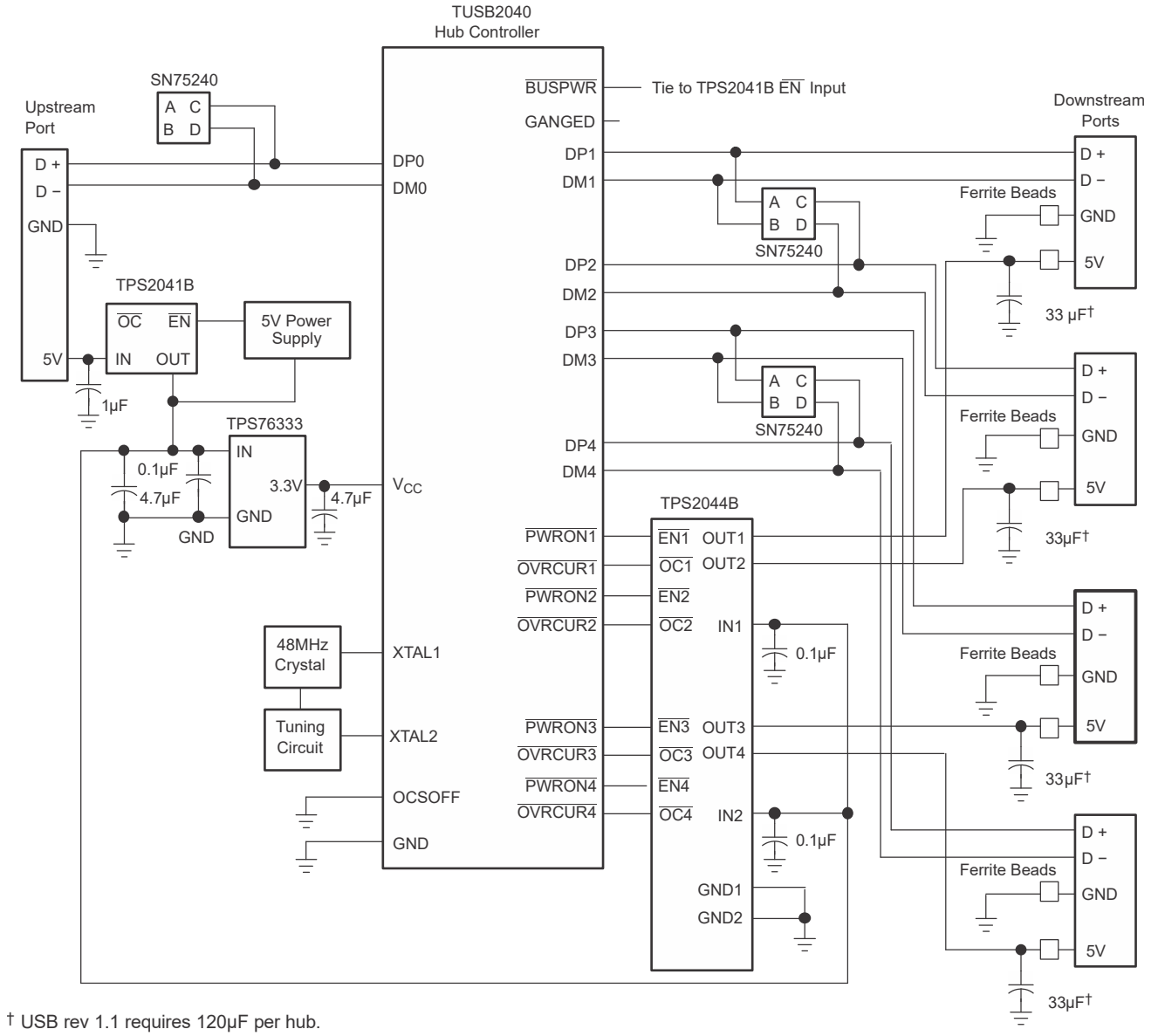
図 9-14. セルフパワー型およびバスパワー型を併用したハブの実装、TPS2042B および TPS2052B

Copyright © 2026 Texas Instruments Incorporated



† USB rev 1.1 requires 120µF per hub.

図 9-15. セルフパワー型およびバスパワー型を併用したハブの実装、TPS2043B および TPS2053B



† USB rev 1.1 requires 120µF per hub.

図 9-16. セルフパワー型およびバスパワー型を併用したハブの実装、TPS2044B および TPS2054B

9.2.2.2 詳細な設計手順

バスパワー型ハブは、アップストリーム ポートからすべての電力を調達し、通常は組み込みファンクションを内蔵しています。ハブは、1 ユニット ロード未満の電力で起動する必要があります。BPH は通常 1 つの組み込みファンクションを備えており、ハブのコントローラは常に電力を利用できます。電源投入時に組込みファンクションとハブが 100mA 以上を必要とする場合、列挙が完了するまで、組込みファンクションへの電力をオフに維持する必要が生じる場合があります。これは、組み込みファンクションへの電源の供給と停めるか、クロックをシャットオフすることで実現できます。組み込みファンクションとコントローラの合計電力が 1 ユニット ロード未満の場合、組み込みファンクションのパワー スイッチングは不要です。バス パワー型デバイスが流す電流の合計は、コントローラ、組み込みファンクション、ダウンストリーム ポートへの電流の合計であり、上流ポートによって 500mA に制限されています。

9.2.2.2.1 低消費電力および高消費電力のバス パワー型ファンクション

低消費電力および高消費電力のバス パワー型ファンクションでは、どちらも上流ポートからすべての電力を調達します。低消費電力ファンクションでは、常に 100mA 未満しか消費しません。高消費電力ファンクションでは、電源投入時に

Copyright © 2026 Texas Instruments Incorporated

100mA 未満しか消費してはなりませんが、列挙後には最大 500mA を消費できます。電源投入時のファンクションの負荷が 44Ω と 10µF の並列接続より大きい場合、そのデバイスには突入電流制限を実装する必要があります (図 9-17 参照)。

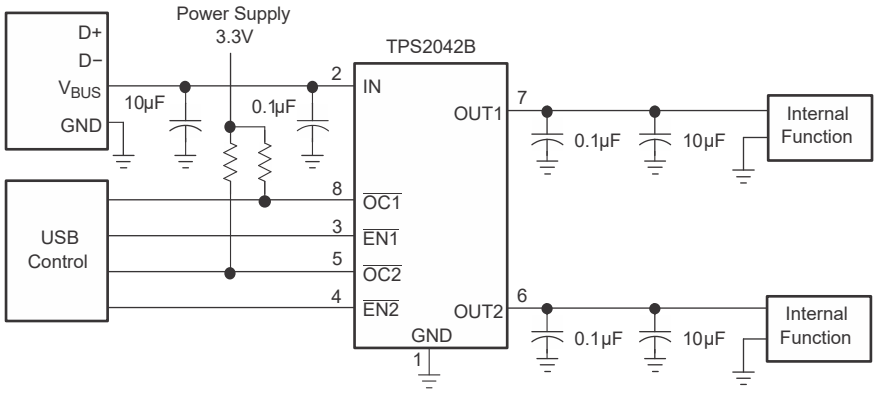


図 9-17. 高消費電力バス パワー型ファンクション (例、TPS2042B)

9.2.2.3 アプリケーション曲線

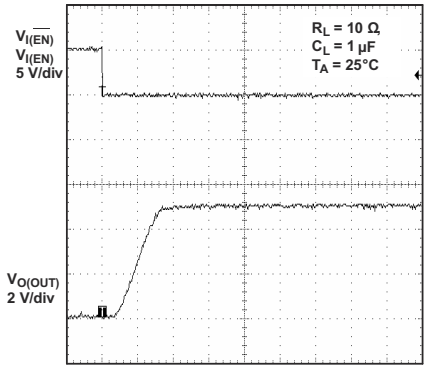


図 9-18. 1µF 負荷でのターンオン遅延と立ち上がり時間

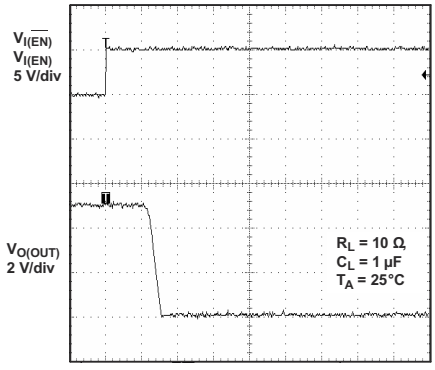


図 9-19. 1µF 負荷でのターンオフ遅延と立ち下がり時間

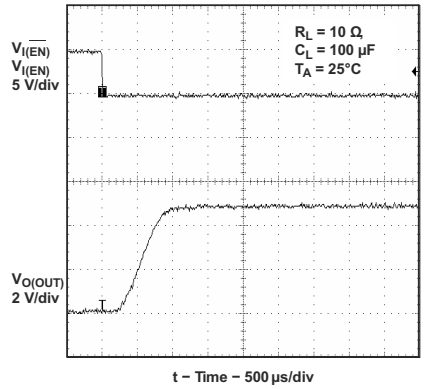


図 9-20. 100µF 負荷でのターンオン遅延と立ち上がり時間

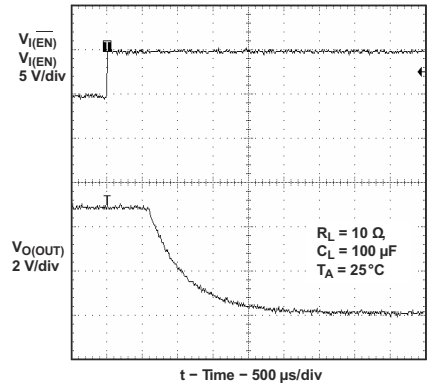


図 9-21. 100µF 負荷でのターンオフ遅延と立ち下がり時間

Copyright © 2026 Texas Instruments Incorporated

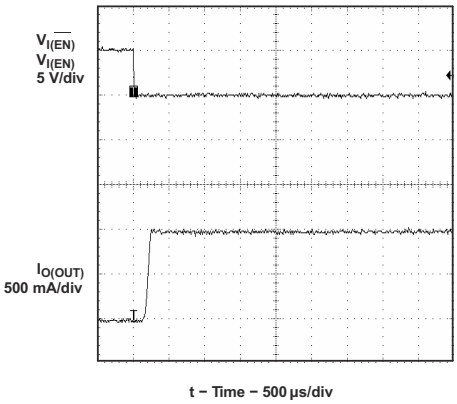


図 9-22. 短絡状態でデバイスを有効化した場合の短絡電流

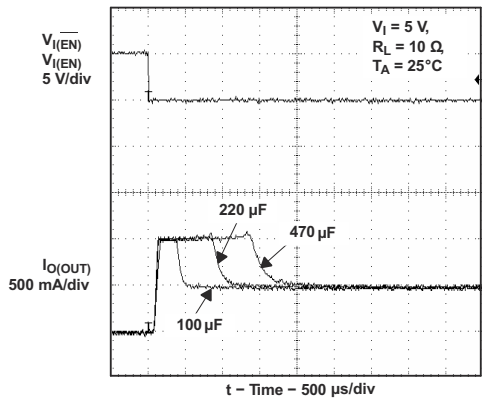


図 9-23. 負荷キャパシタンスが異なる場合の突入電流

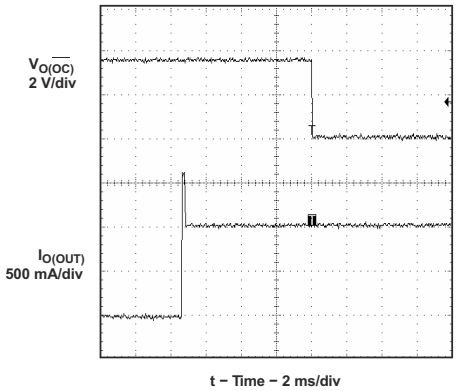


図 9-24. 有効化されたデバイスに 3Ω 負荷を接続した場合

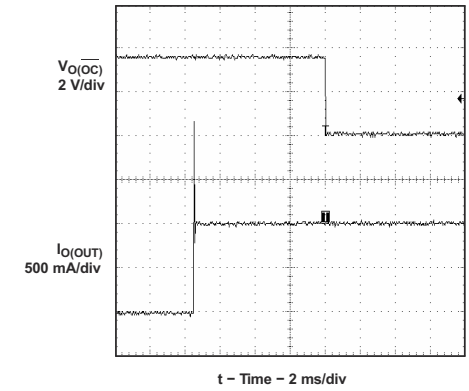


図 9-25. 有効化されたデバイスに 2Ω 負荷を接続した場合

9.2.3 汎用ホットプラグ アプリケーション

多くのアプリケーションでは、メイン ユニットが動作している間にモジュールまたはプリント基板を取り外す必要が生じることがあります。これらは、ホットプラグ アプリケーションとみなされます。このような実装では、主電源と挿入カードで観測される電流サージの制御が必要です。これらのサージを制御する最も効果的な方法は、カードに印加されている電流と電圧を制限してゆっくりと上昇させることです。これは、通常の電源投入の方法と同様です。TPS20xxB は立ち上がり時間と立ち下がり時間を制御できるため、電力を供給されたシステムにホットプラグされるデバイスをソフト スタートさせることができます。また、TPS20xxB の UVLO 機能により、カードが取り外された後にスイッチがオフになり、次の挿入時にスイッチがオフになっていることも保証されます。UVLO 機能により、カードまたはモジュールを挿入するたびに、立ち上がり時間を制御したソフト スタートが保証されます。

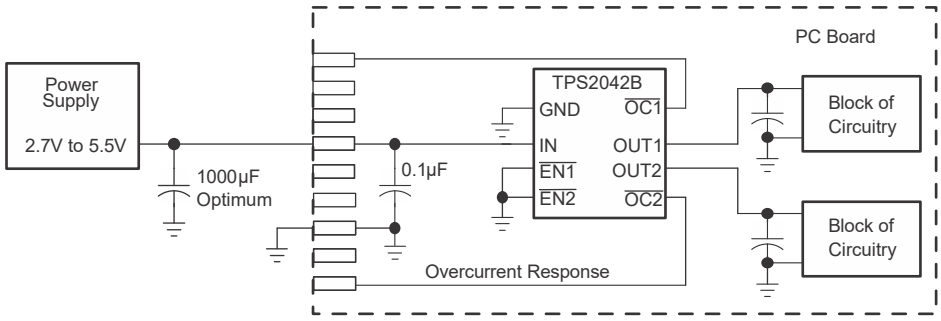


図 9-26. 代表的なホットプラグの実装 (例、TPS2042B)

Copyright © 2026 Texas Instruments Incorporated

TPS20xxB を V_{CC} 入力と回路の他の部分との間に配置することで、デバイスの挿入後、これらのデバイスに最初に入力電源が供給されます。スイッチの標準立ち上がり時間は約 1ms であり、デバイスの出力電圧を緩やかに上昇させます。この実装により、システムのサージ電流が制御され、あらゆるデバイスにホットプラグ機構を提供します。

9.2.3.1 設計要件

このアプリケーションの設計パラメータを、表 9-2 に示します。

表 9-2. 設計パラメータ

設計パラメータ	値
入力電圧	5V
Output1 電圧	5V
Output2 電圧	5V
Output1 電流	0.5A
Output2 電流	0.5A

9.2.3.2 詳細な設計手順

設計プロセスを開始するにあたり、いくつかのパラメータを把握しておく必要があります。設計者は、以下を把握する必要があります。

- 通常の入力動作電圧
- 電流制限

入力および出力容量は本デバイスの性能を向上させます。特定のアプリケーションに対して実際の容量を最適化する必要があります。すべてのアプリケーションにおいて、局所的なノイズ デカップリングのため、IN と GND の間に 0.1µF 以上のセラミック バイパス コンデンサを本デバイスにできる限り近づけて配置することを TI は推奨します。この対策により、電源過渡に起因する入力でのリンギングが低減されます。入力側には追加の入力容量が必要な場合があります。これは、TPS2042 デバイスと 1 つの電源レールを共有している他の負荷の UVLO のしきい値を超えないように電圧のアンダーシュートを抑えるため、もしくは激しい過渡状態中にデバイスの絶対最大定格電圧を超えないように電圧のオーバーシュートを抑えるためです。電圧のアンダーシュートやオーバーシュートの防止は、長い誘導性ケーブルを使用して評価ボードをベンチ電源に接続するベンチ テスト時に特に重要です。出力キャパシタンスは必要ありません。出力に大きい過渡電流が予想される場合、アンダーシュートを抑えるために、出力ピンに大容量の電解コンデンサを配置することをお勧めします。このアンダーシュートは、短絡が発生した直後に TPS2042 デバイスが出力電流を急激に低減させた際の、出力パワー バスのインダクタンスによって引き起こされます。インダクタンスに蓄積されたエネルギーによって OUT 電圧が降下し、放電する際に負の値になる可能性があります。

9.2.3.3 アプリケーション曲線

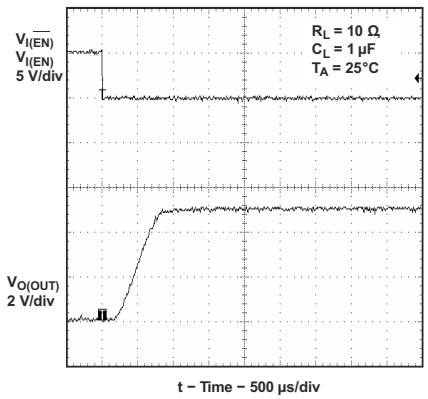


図 9-27. 1µF 負荷でのターンオン遅延と立ち上がり時間

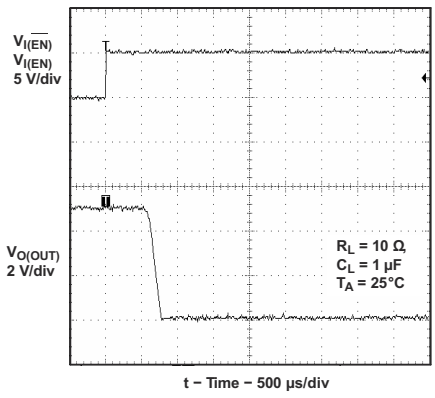


図 9-28. 1µF 負荷でのターンオフ遅延と立ち下がり時間

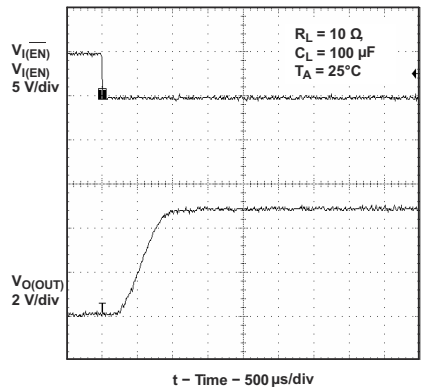


図 9-29. 100µF 負荷でのターンオン遅延と立ち上がり時間

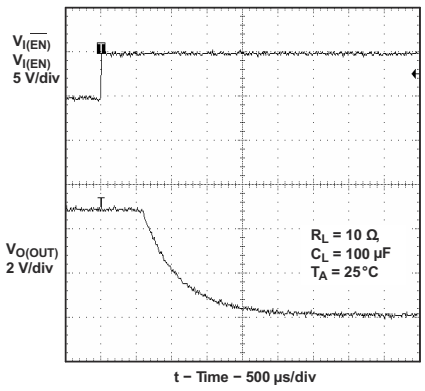


図 9-30. 100µF 負荷でのターンオフ遅延と立ち下がり時間

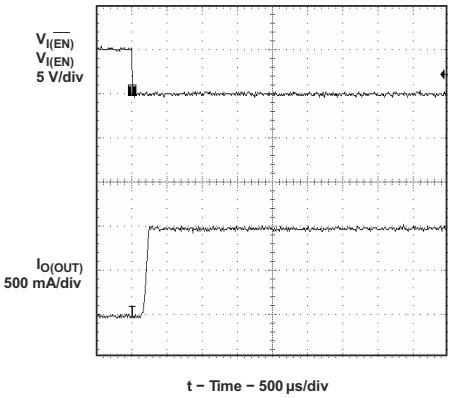


図 9-31. 短絡状態でデバイスを有効化した場合の短絡電流

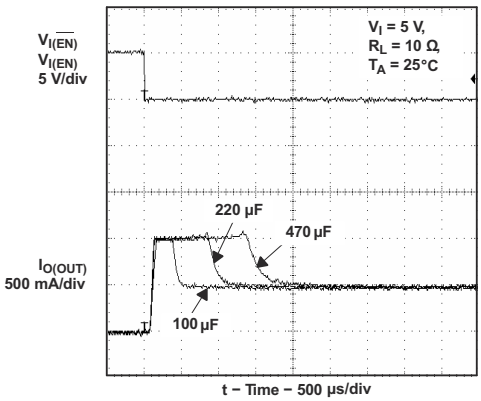


図 9-32. 負荷キャパシタンスが異なる場合の突入電流

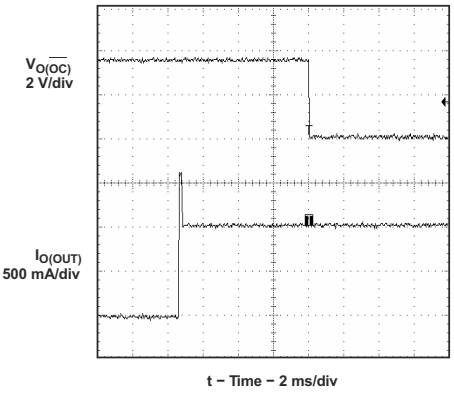


図 9-33. 有効化されたデバイスに 3Ω 負荷を接続した場合

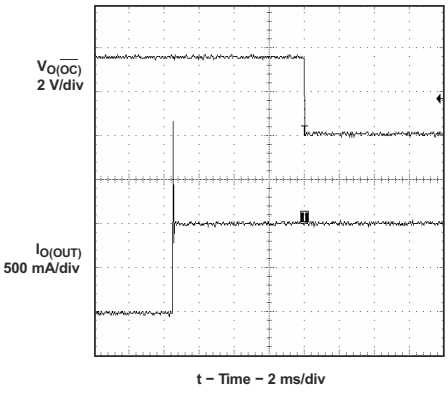


図 9-34. 有効化されたデバイスに 2Ω 負荷を接続した場合

9.3 電源に関する推奨事項

9.3.1 低電圧誤動作防止 (UVLO)

低電圧誤動作防止機能により、電源投入時にパワー スイッチをオフ状態にすることができます。入力電圧が約 2V を下回ると、パワー スイッチはすぐにオフになります。UVLO により、入力電源を切る前にパワー スイッチをオフにすることができない活線挿抜システムの設計が容易になります。また、UVLO は、スイッチがイネーブルであっても、電源が 2V 以上に

Copyright © 2026 Texas Instruments Incorporated

達するまでオンにならないようにします。再挿入時には、EMI と電圧オーバーシュートを低減するため、立ち上がり時間を制御しながらパワー スイッチをオンにします。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

- 100nF のバイパス コンデンサを IN および GND ピンの近くに配置し、低インダクタンスのパターンを使って接続します。
- 出力に大きい過渡電流が想定される場合、出力ピンに大容量の電解コンデンサと 100nF のバイパス コンデンサを配置することを推奨します。
- PowerPAD は、幅広で短い銅パターンを使って、PCB のグランド プレーンに直接接続する必要があります。

9.4.2 レイアウト例

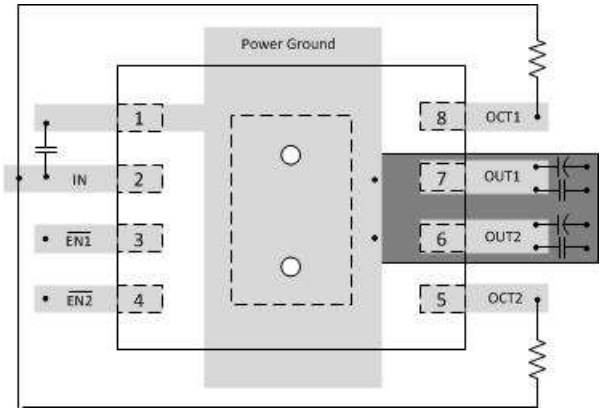


図 9-35. レイアウトに関する推奨事項

9.4.3 消費電力

N チャネル MOSFET のオン抵抗が低いため、小型の表面実装パッケージでも大電流を流すことができます。これらのパッケージの熱抵抗は、パワー パッケージの熱抵抗に比べて高くなっています。設計時には、電力損失と接合部温度を確認するのがよいでしょう。最初に、入力電圧と動作温度に対する N チャネル MOSFET の $r_{DS(on)}$ を決定します。初期的な推定として、対象とする動作時周囲温度の最大値を使い、図 6-11 から $r_{DS(on)}$ を読み取ります。この値を使い、次の式を用いてスイッチあたりの電力損失を計算します。

$$D_P = r_{DS(on)} \times I^2$$

この数値に使用中のスイッチの数を乗じます。この手順により、N チャネル MOSFET の総電力損失が算出されます。

最終的に、接合部温度は次の式で計算できます。

$$T_J = P_D \times R_{\theta JA} + T_A$$

ここで、

- T_A = 周囲温度 (℃)
- $R_{\theta JA}$ = 熱抵抗
- P_D = 使用しているスイッチの数に基づく総電力損失

接合部温度の計算値を初期的な推定値と比較します。計算結果が数度以内に収まらない場合は、計算した値を新しい推定値として使い、計算を繰り返します。妥当な計算結果を得るには、通常は 2 回または 3 回の反復で十分です。

Copyright © 2026 Texas Instruments Incorporated

9.4.4 過熱保護

過熱保護機能は、長時間にわたって大きい過負荷または短絡故障が発生した際の IC の損傷を防止します。TPS20xxB には、パワー ディストリビューション スイッチの動作時接合部温度を監視するための熱センシングが実装されています。過電流または短絡状態では、過剰な電力損失により接合部温度が上昇します。過電流状態によってダイ温度が約 140℃ まで上昇すると、内部の温度検出回路によってパワー スイッチがオフになり、パワー スイッチの損傷を防ぎます。温度検出回路にはヒステリシスが組み込まれており、デバイスの温度が約 10℃ 下がるとスイッチが再びオンになります。負荷故障が解消されるか入力電源が遮断されるまで、スイッチはこのようなサイクルを繰り返します。過熱シャットダウンや過電流が発生すると、$\overline{\text{OCx}}$ のオープン ドレイン出力がアサートされます (アクティブ "Low")。

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.3 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision P (August 2024) to Revision Q (October 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• MET リステッド認証を追加	1
• UL レコグナイズドから UL リステッド (ファイル番号 E169910) に更新	1
• UL2367 への準拠を追加	1
• IEC62368-1 CB 認証取得済みを追加	1

Changes from Revision O (June 2024) to Revision P (August 2024)	Page
• このセクションへの TPS2051BDB の追加に関する改訂履歴のコメントを削除	22

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

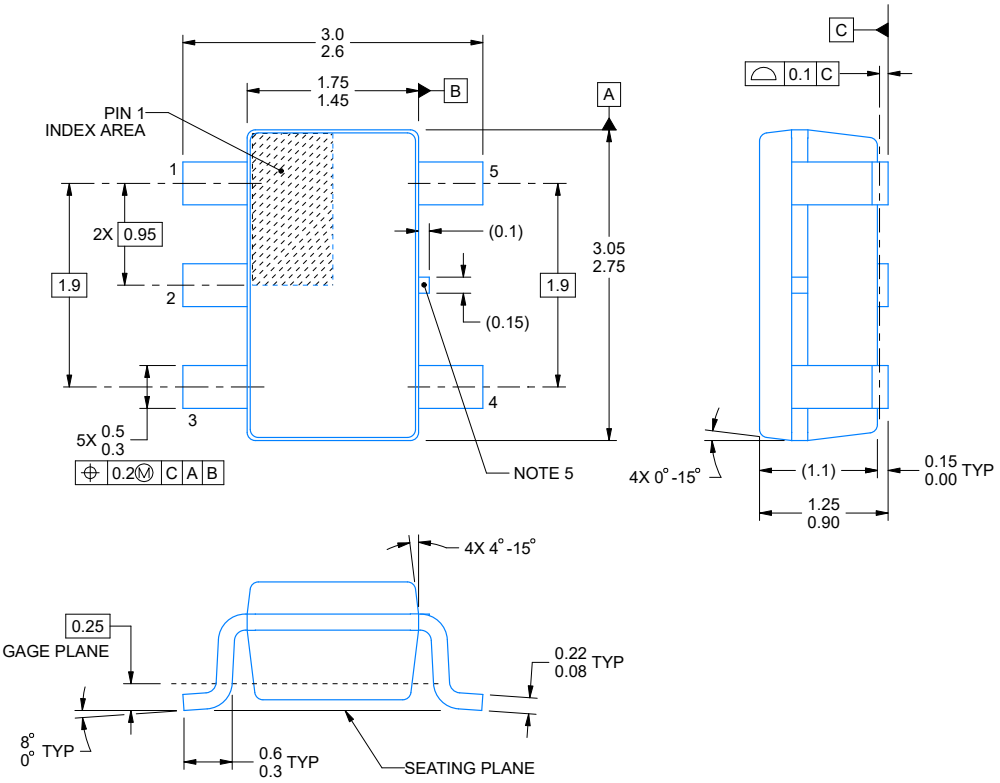
Copyright © 2026 Texas Instruments Incorporated

TPS2XXX/XXXX
DBV0005A-C02

PACKAGE OUTLINE

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



4231207/B 09/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

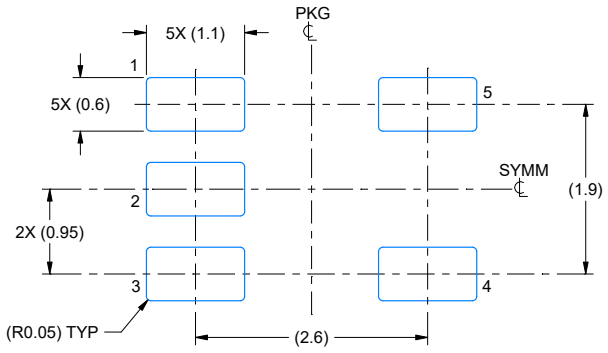
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

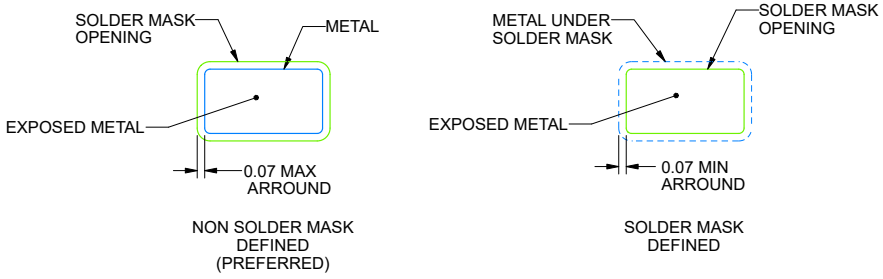
DBV0005A-C02

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4231207/B 09/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

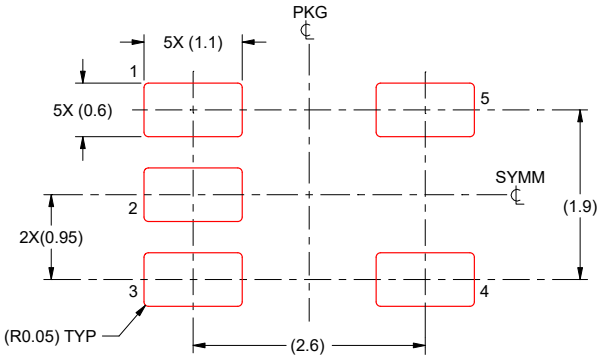
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DBV0005A-C02

SOT-23 - 1.25 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4231207/B 09/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2041BDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PLII
TPS2041BDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PLII
TPS2041BDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	PLII
TPS2041BDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2041BDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2041BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2041BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2041BDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2041B
TPS2042BDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDGNRG4	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2042BDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBTG4	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRBTG4.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042
TPS2042BDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2042B
TPS2043BD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2043BD.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2043BDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2043BDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2043BDRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2043B
TPS2044BD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2044BD.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2044BDG4	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2044BDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2044BDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2044BDRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2044B
TPS2051BDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	PLJI
TPS2051BDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PLJI
TPS2051BDBVR1G4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	PLJI
TPS2051BDBVT	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	PLJI
TPS2051BDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDGNRG4	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2051BDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2051B
TPS2052BDGNR	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDGNR.A	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDGNRG4	Active	Production	HVSSOP (DGN) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052B
TPS2052BDRBR	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2052BDRBR.A	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2052BDRBR.B	Active	Production	SON (DRB) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2052BDRBT	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2052
TPS2052BDRBT.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2052
TPS2052BDRBT.B	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2052
TPS2052BDRBTG4	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2052BDRBTG4.A	Active	Production	SON (DRB) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2052
TPS2053BD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2053B
TPS2053BD.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2053B
TPS2053BDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2053B
TPS2053BDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2053B
TPS2054BD	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B
TPS2054BD.A	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2054BDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B
TPS2054BDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B
TPS2054BDRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B
TPS2054BDRG4.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2054B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS2041B, TPS2042B, TPS2051B :

- Automotive : TPS2041B-Q1, TPS2042B-Q1, TPS2051B-Q1

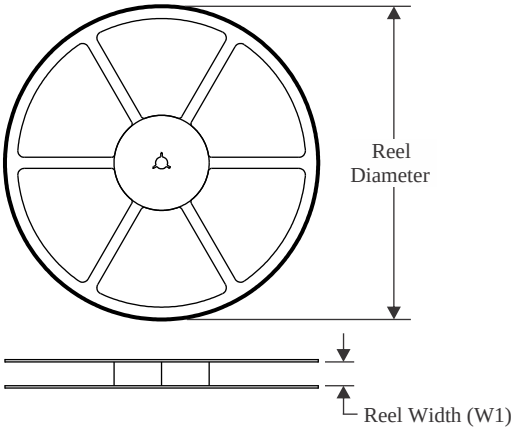
- Enhanced Product : TPS2041B-EP

NOTE: Qualified Version Definitions:

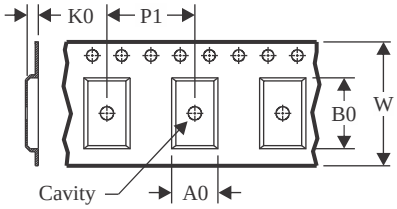
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

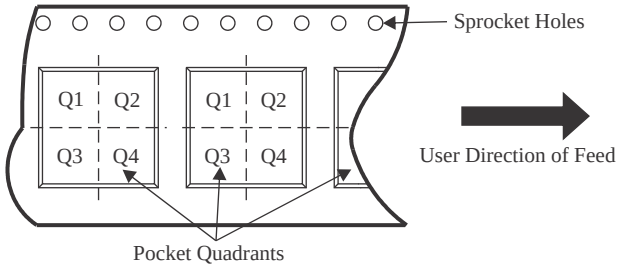


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

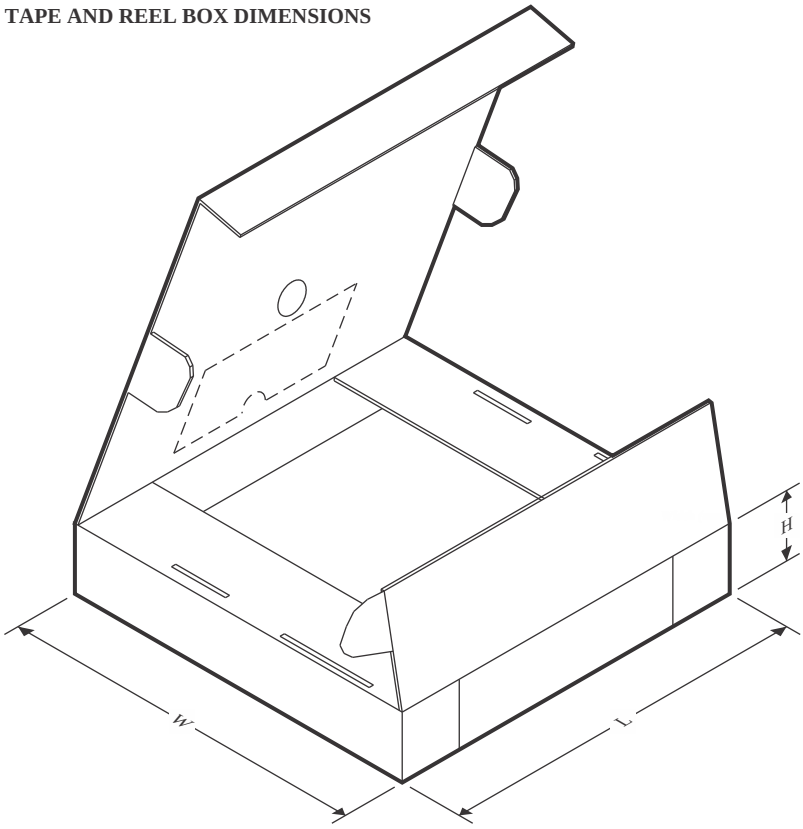


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2041BDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2041BDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2041BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2041BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2041BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2042BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2042BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2042BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2042BDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2042BDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2042BDRBTG4	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2043BDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TPS2044BDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TPS2051BDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2051BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2051BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2052BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2052BDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
TPS2052BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2052BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS2052BDRBR	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2052BDRBT	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2052BDRBTG4	SON	DRB	8	250	180.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS2053BDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TPS2054BDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TPS2054BDRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

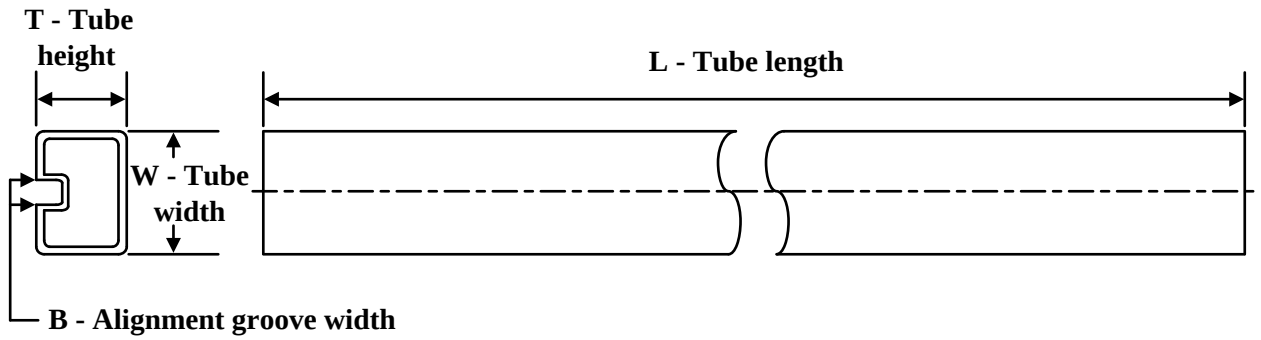


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2041BDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2041BDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS2041BDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2041BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2041BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2042BDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2042BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2042BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2042BDRBR	SON	DRB	8	3000	346.0	346.0	35.0
TPS2042BDRBT	SON	DRB	8	250	200.0	183.0	25.0
TPS2042BDRBTG4	SON	DRB	8	250	200.0	183.0	25.0
TPS2043BDR	SOIC	D	16	2500	353.0	353.0	32.0
TPS2044BDR	SOIC	D	16	2500	353.0	353.0	32.0
TPS2051BDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2051BDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2051BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2052BDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
TPS2052BDGNR	HVSSOP	DGN	8	2500	346.0	346.0	35.0

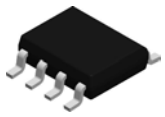
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2052BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2052BDR	SOIC	D	8	2500	353.0	353.0	32.0
TPS2052BDRBR	SON	DRB	8	3000	346.0	346.0	35.0
TPS2052BDRBT	SON	DRB	8	250	200.0	183.0	25.0
TPS2052BDRBTG4	SON	DRB	8	250	200.0	183.0	25.0
TPS2053BDR	SOIC	D	16	2500	340.5	336.1	32.0
TPS2054BDR	SOIC	D	16	2500	353.0	353.0	32.0
TPS2054BDRG4	SOIC	D	16	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TPS2043BD	D	SOIC	16	40	507	8	3940	4.32
TPS2043BD.A	D	SOIC	16	40	507	8	3940	4.32
TPS2044BD	D	SOIC	16	40	507	8	3940	4.32
TPS2044BD.A	D	SOIC	16	40	507	8	3940	4.32
TPS2044BDG4	D	SOIC	16	40	507	8	3940	4.32
TPS2053BD	D	SOIC	16	40	507	8	3940	4.32
TPS2053BD.A	D	SOIC	16	40	507	8	3940	4.32
TPS2054BD	D	SOIC	16	40	507	8	3940	4.32
TPS2054BD.A	D	SOIC	16	40	507	8	3940	4.32

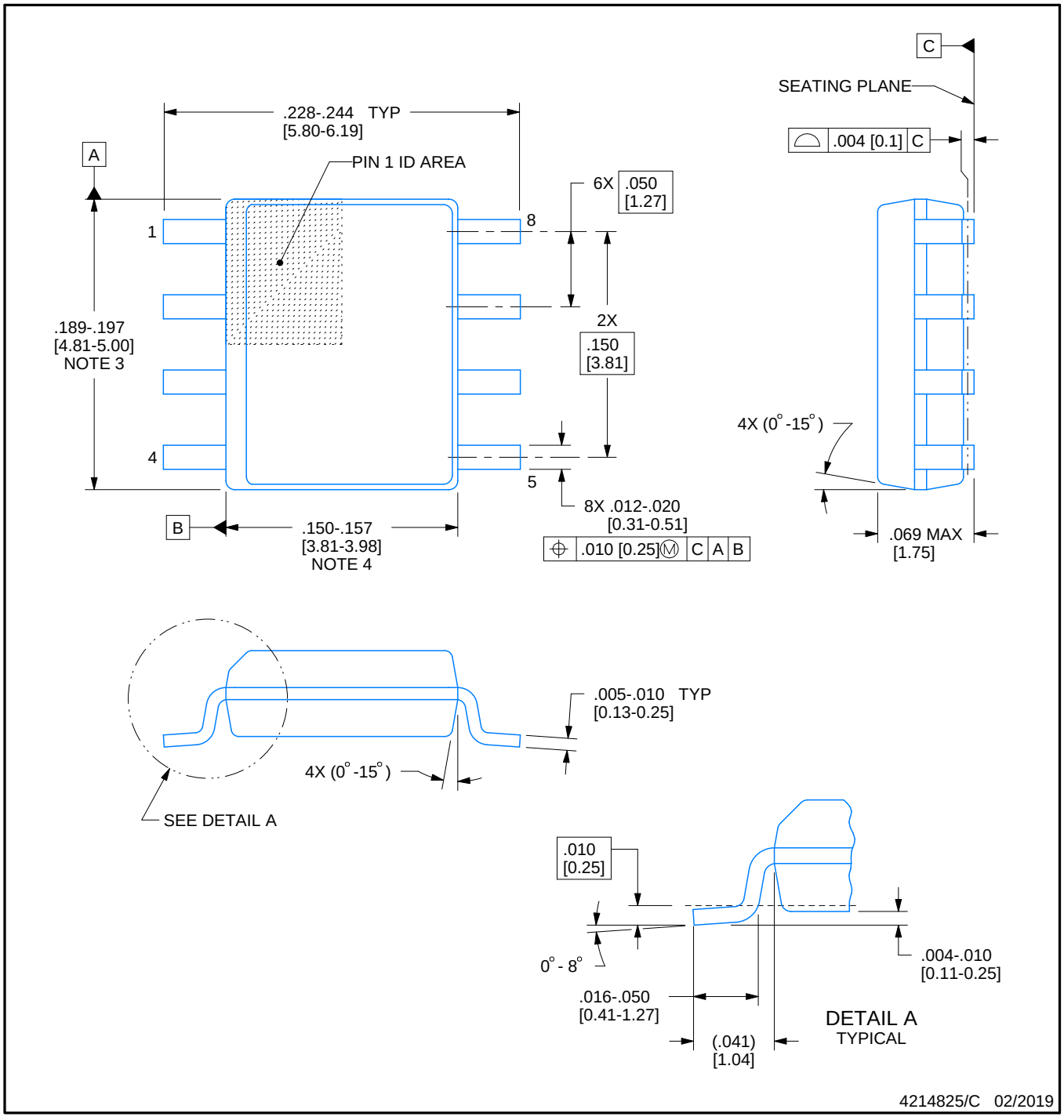


PACKAGE OUTLINE

D0008A

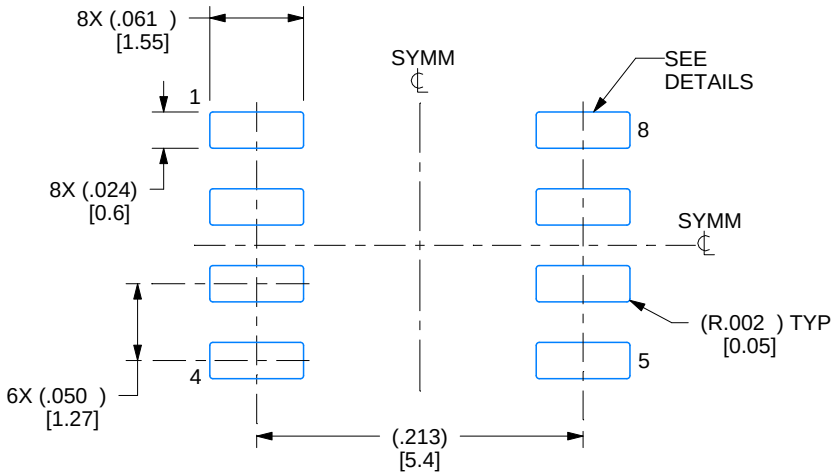
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

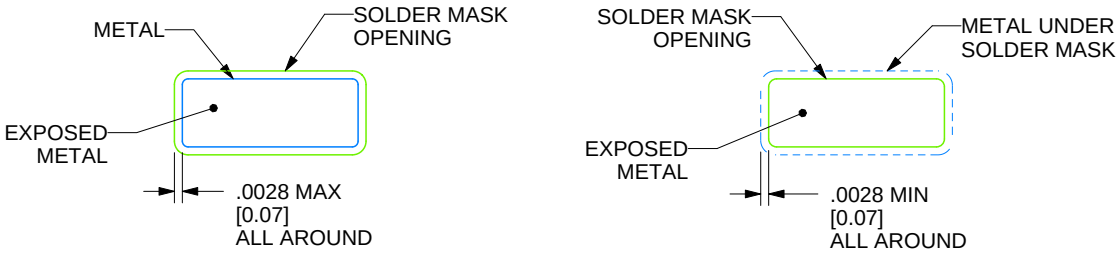


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

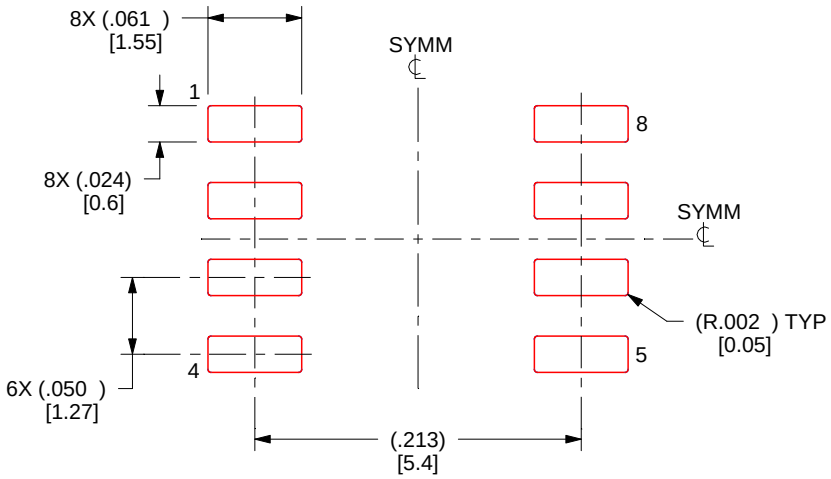
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

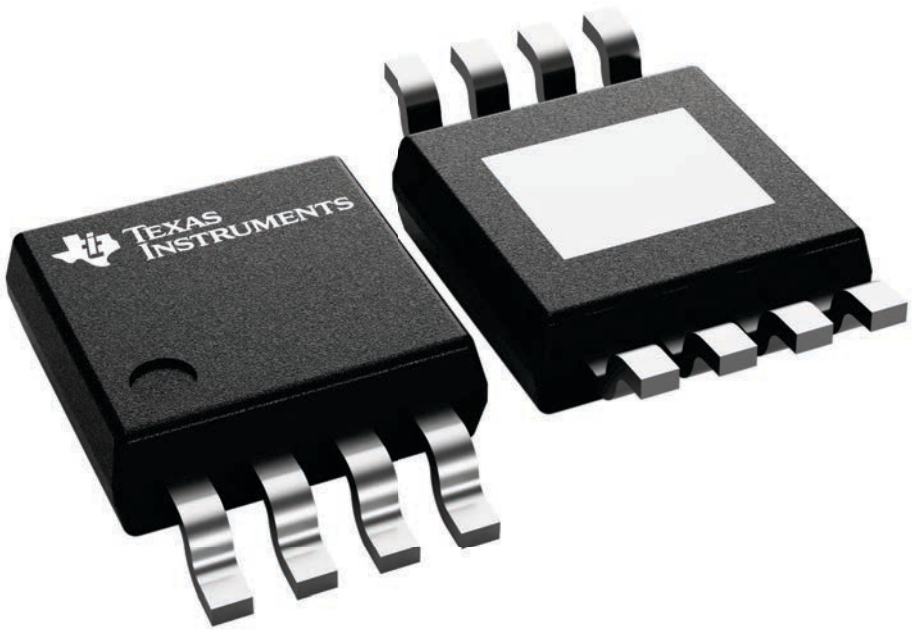
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

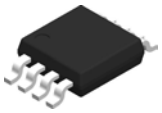
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

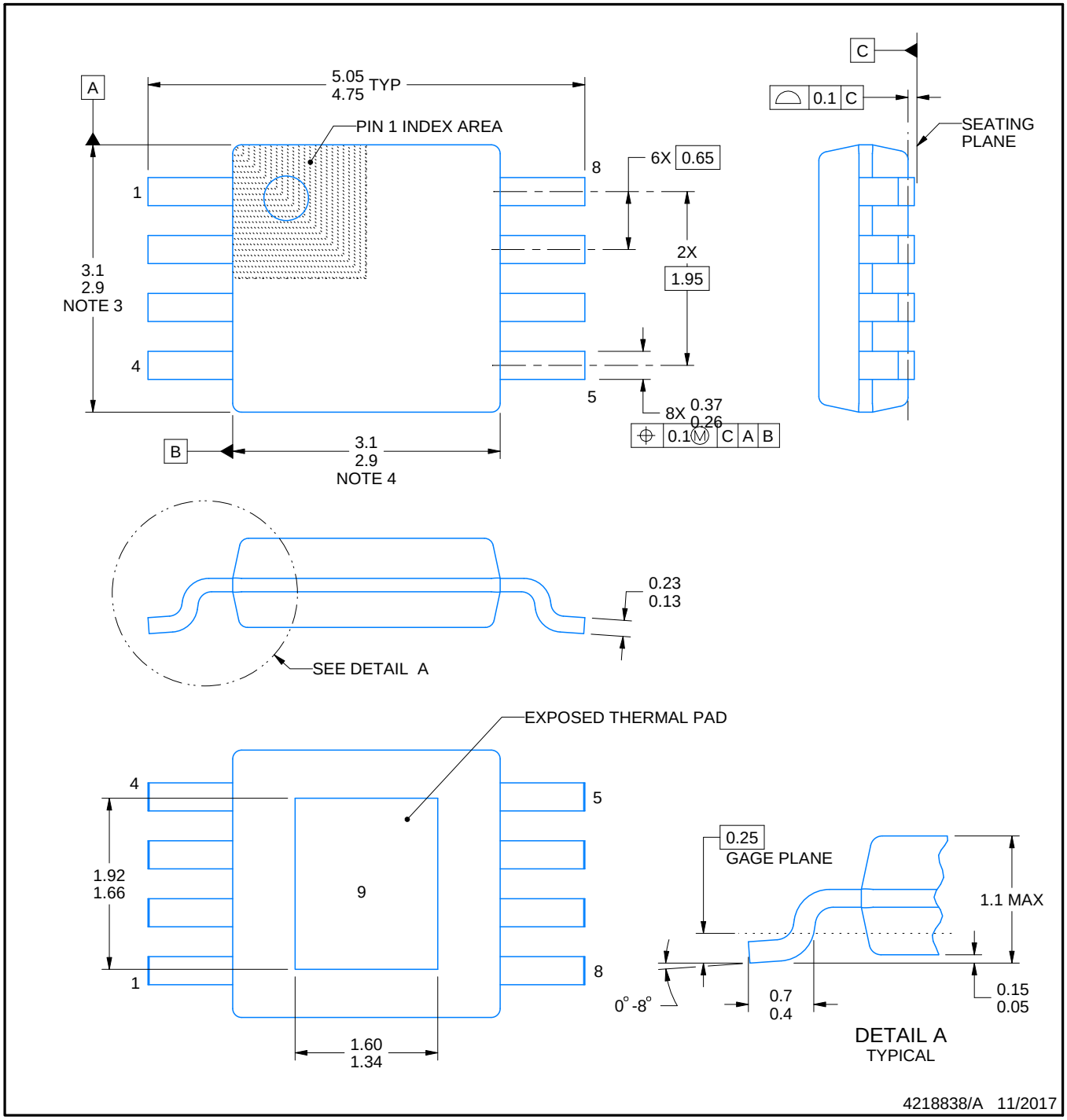
PACKAGE OUTLINE

DGN0008C



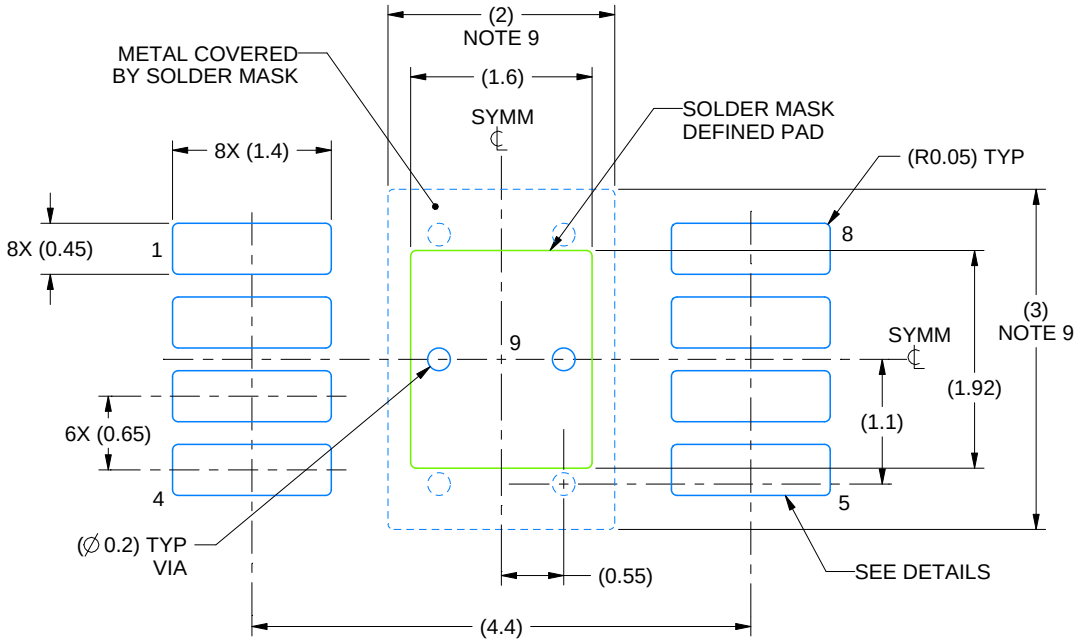
HVSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

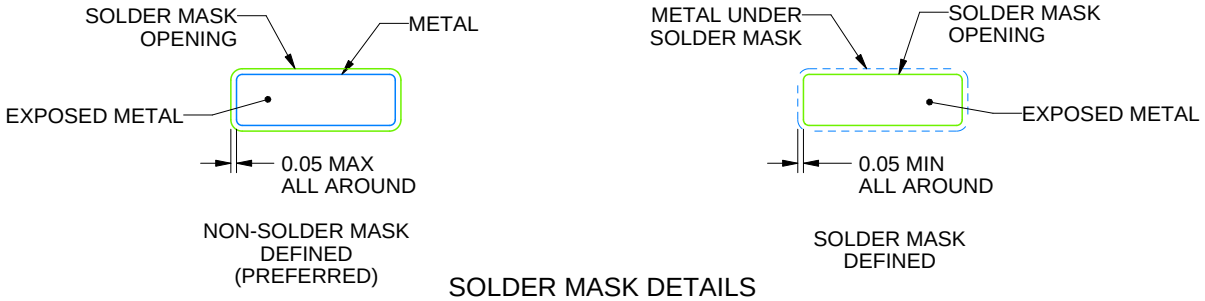


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

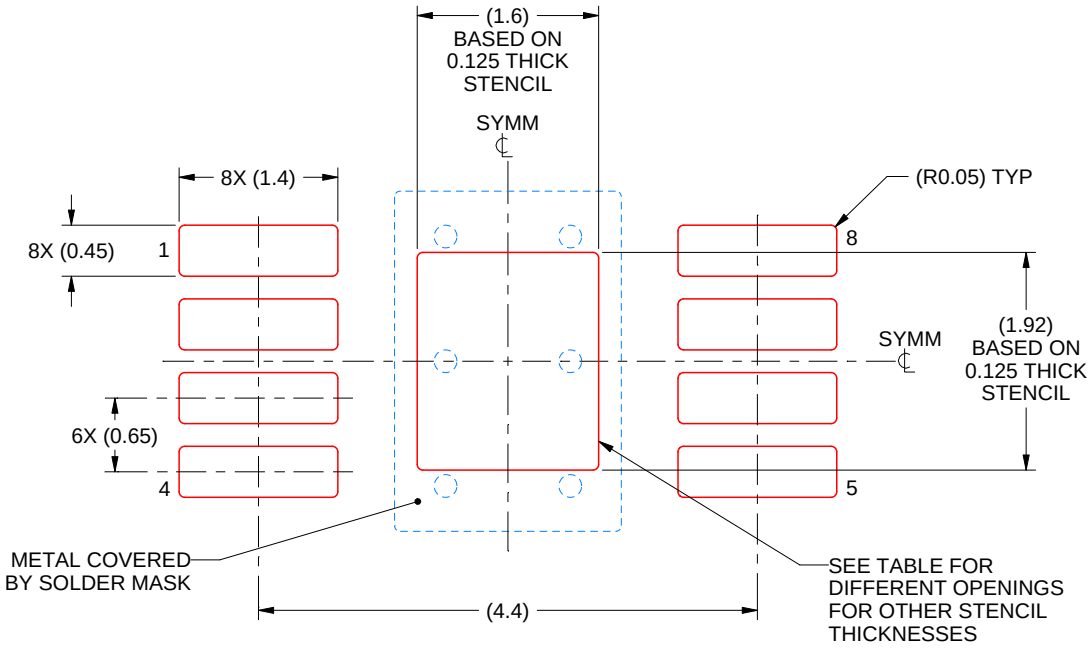


SOLDER MASK DETAILS

4218838/A 11/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.79 X 2.15
0.125	1.60 X 1.92 (SHOWN)
0.15	1.46 X 1.75
0.175	1.35 X 1.62

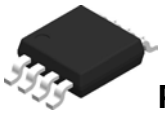
4218838/A 11/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

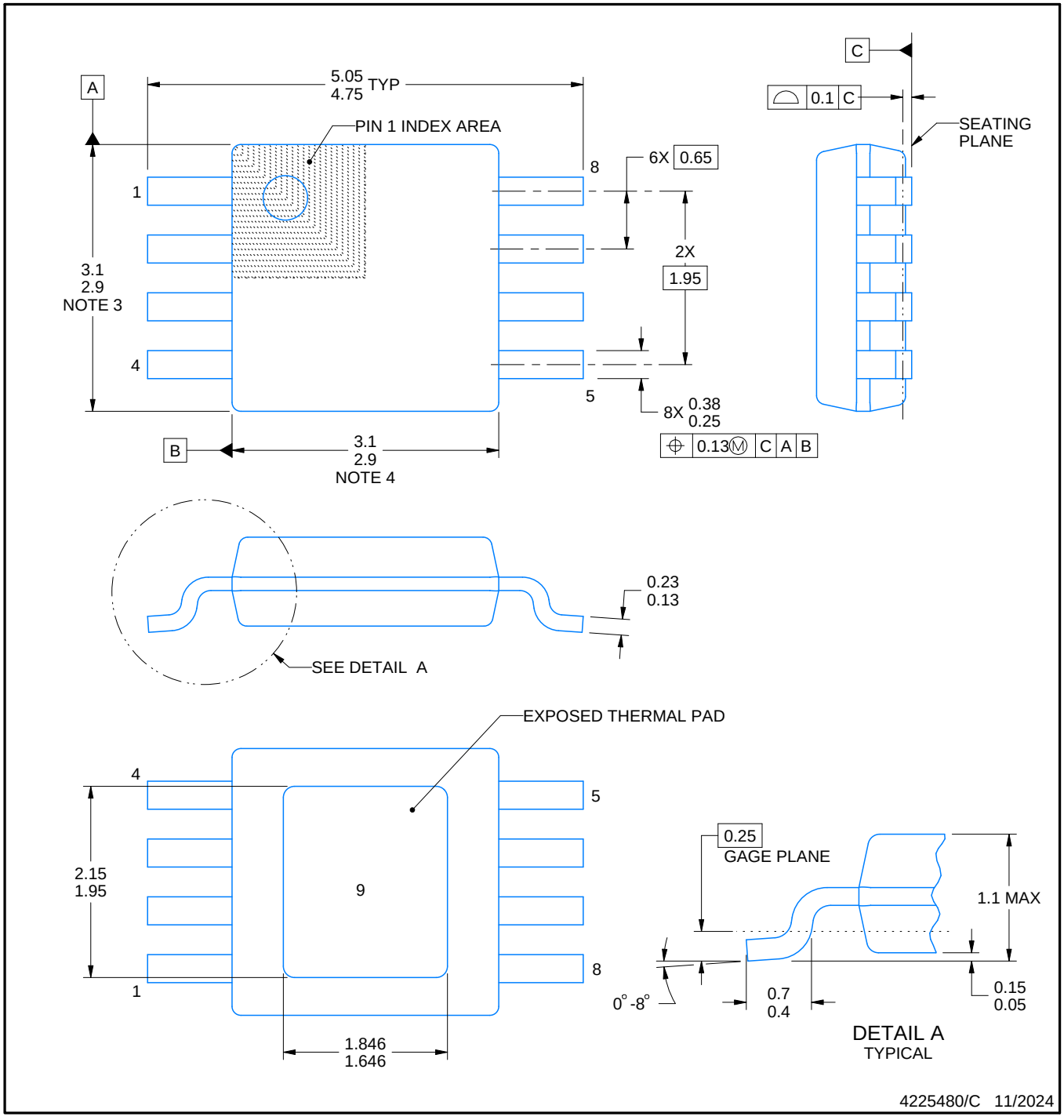
PACKAGE OUTLINE

DGN0008G



PowerPAD™ HVSSOP - 1.1 mm max height

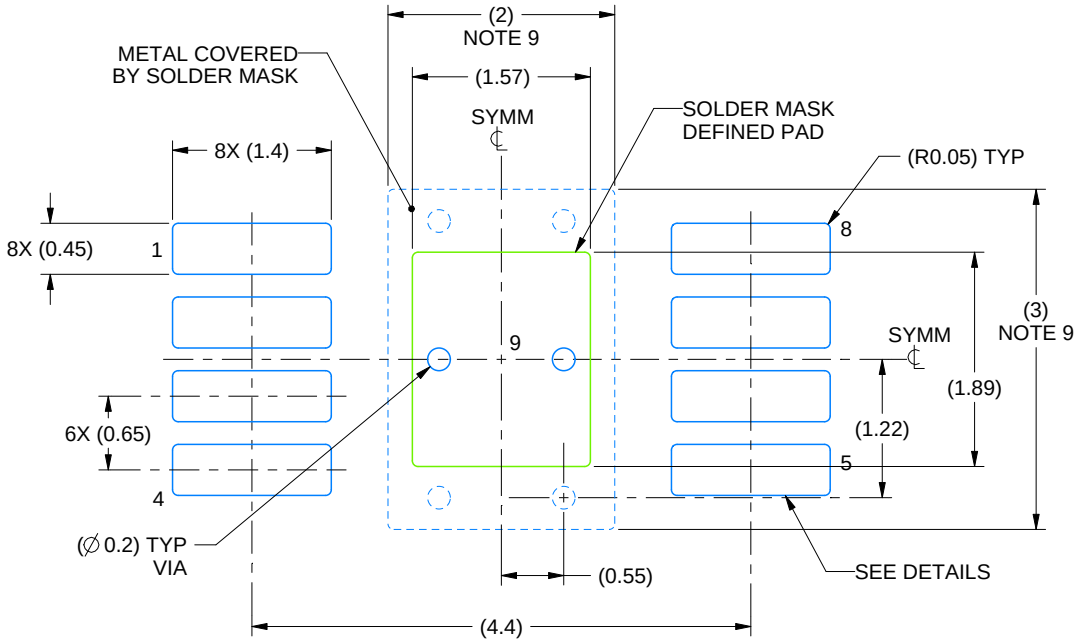
SMALL OUTLINE PACKAGE



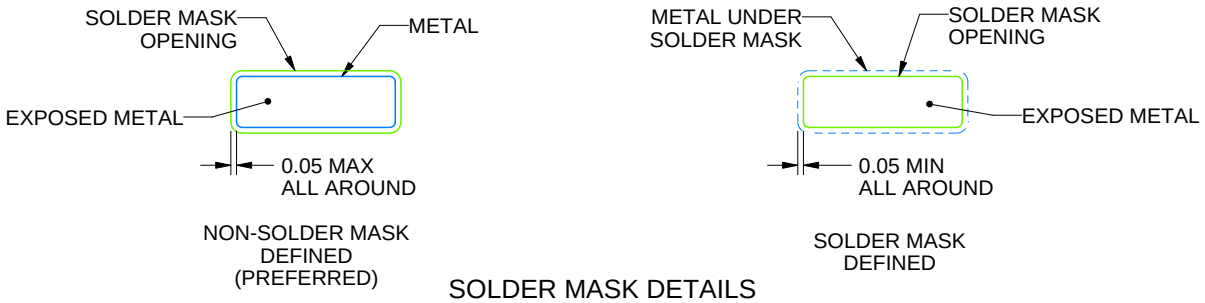
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

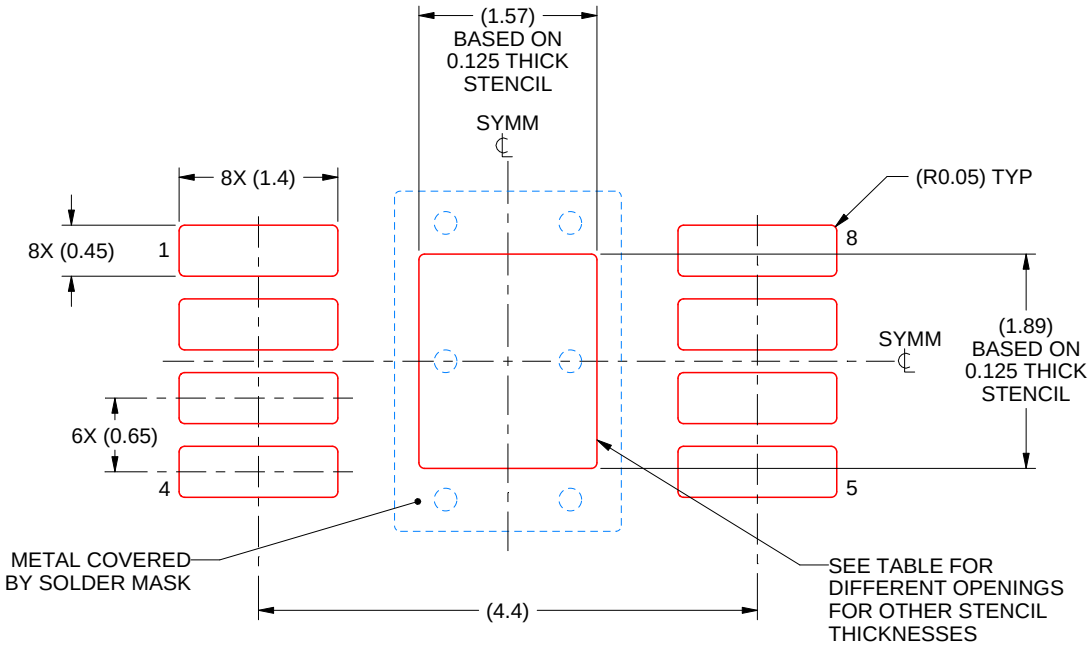


SOLDER MASK DETAILS

4225480/C 11/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

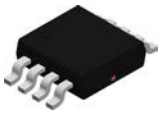
4225480/C 11/2024

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

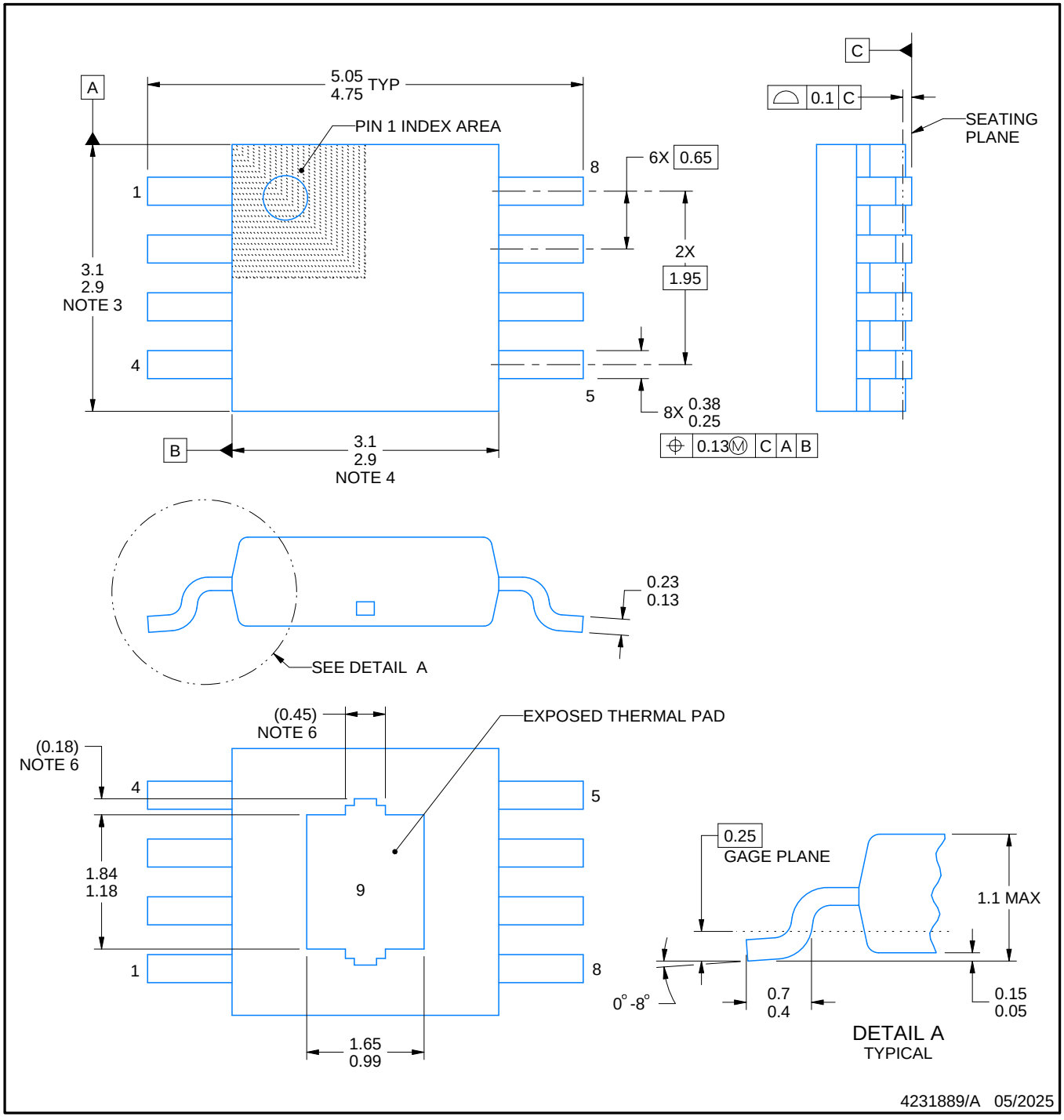
PACKAGE OUTLINE

DGN0008K



PowerPAD™ VSSOP - 1.1 mm max height

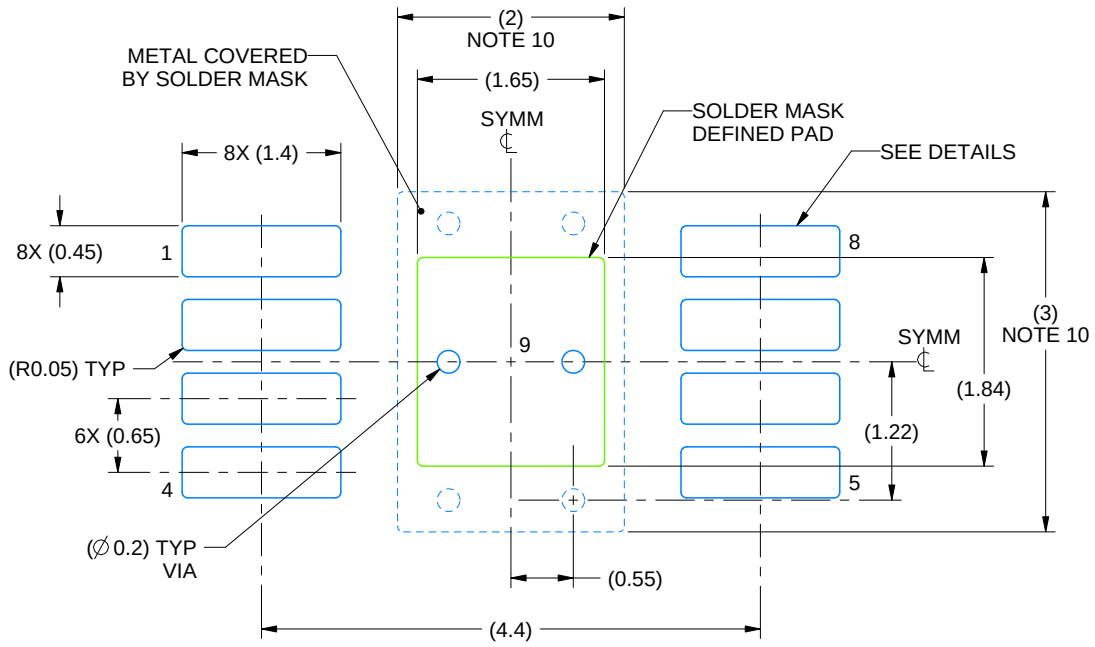
SMALL OUTLINE PACKAGE



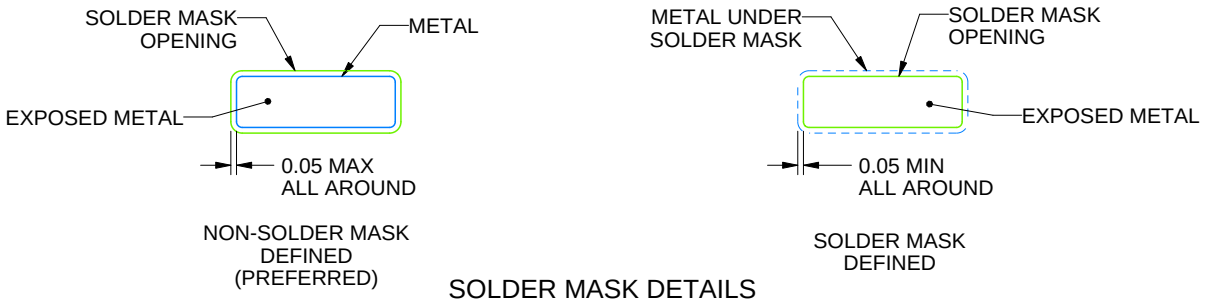
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

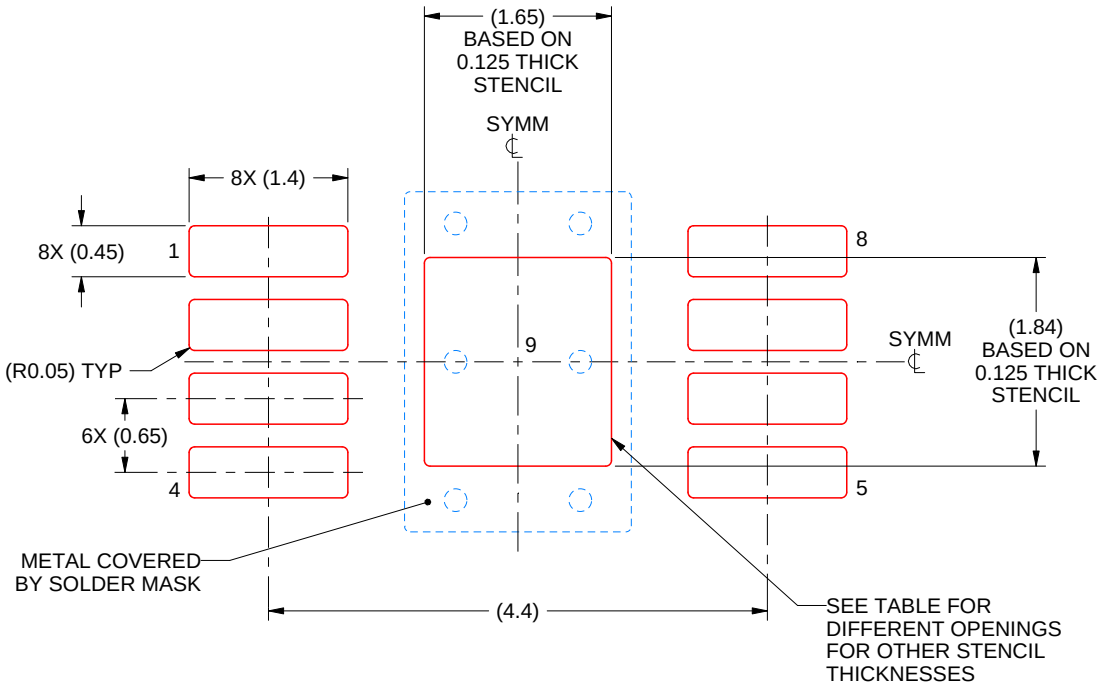


SOLDER MASK DETAILS

4231889/A 05/2025

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 2.06
0.125	1.65 X 1.84 (SHOWN)
0.15	1.51 X 1.68
0.175	1.39 X 1.56

4231889/A 05/2025

NOTES: (continued)

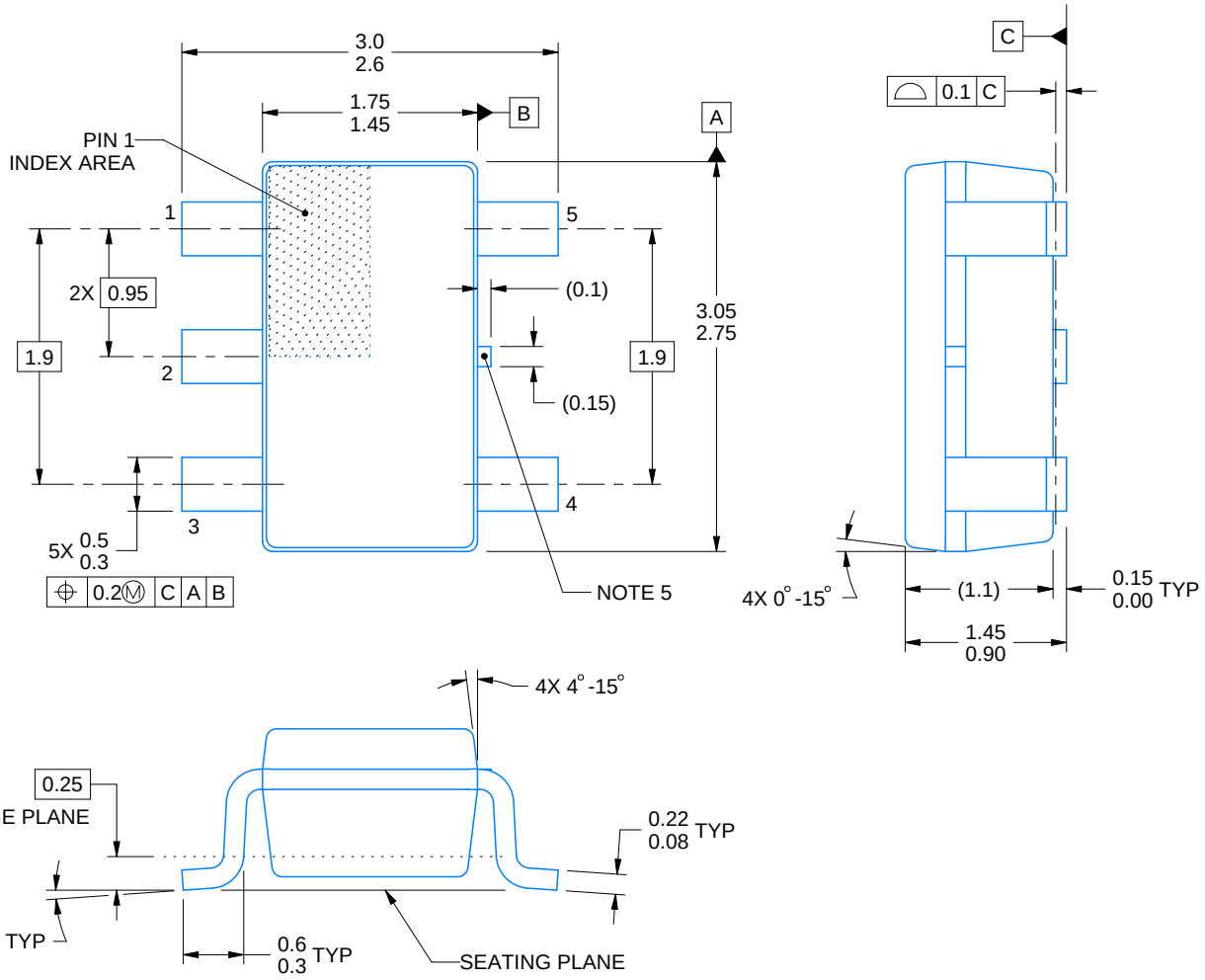
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

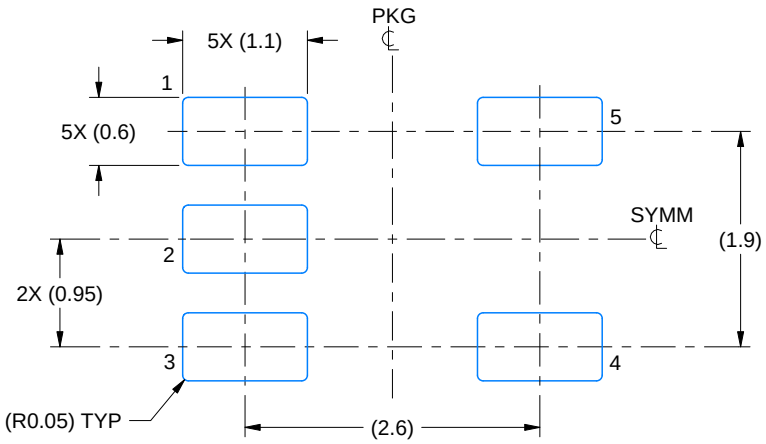
SMALL OUTLINE TRANSISTOR



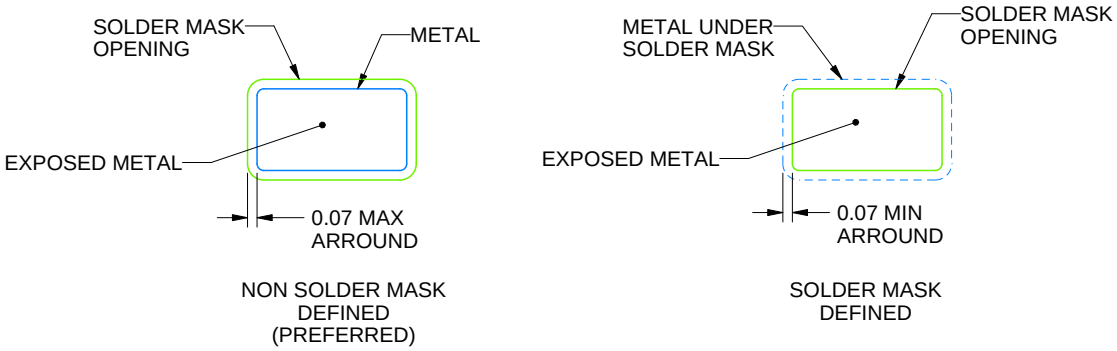
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

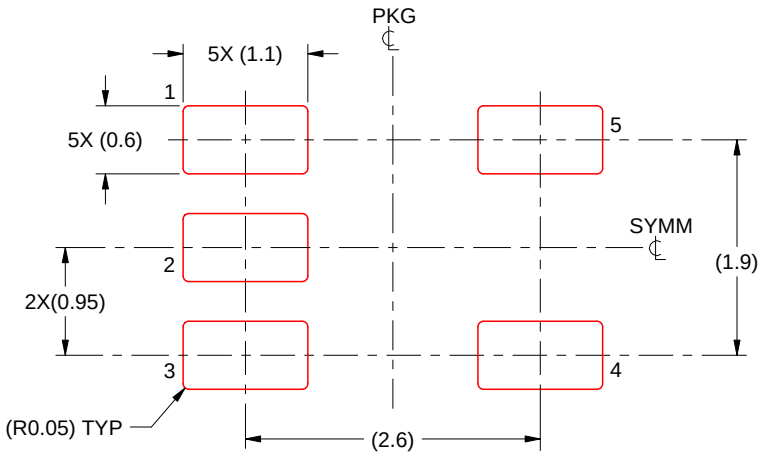


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

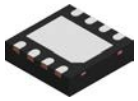
PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L

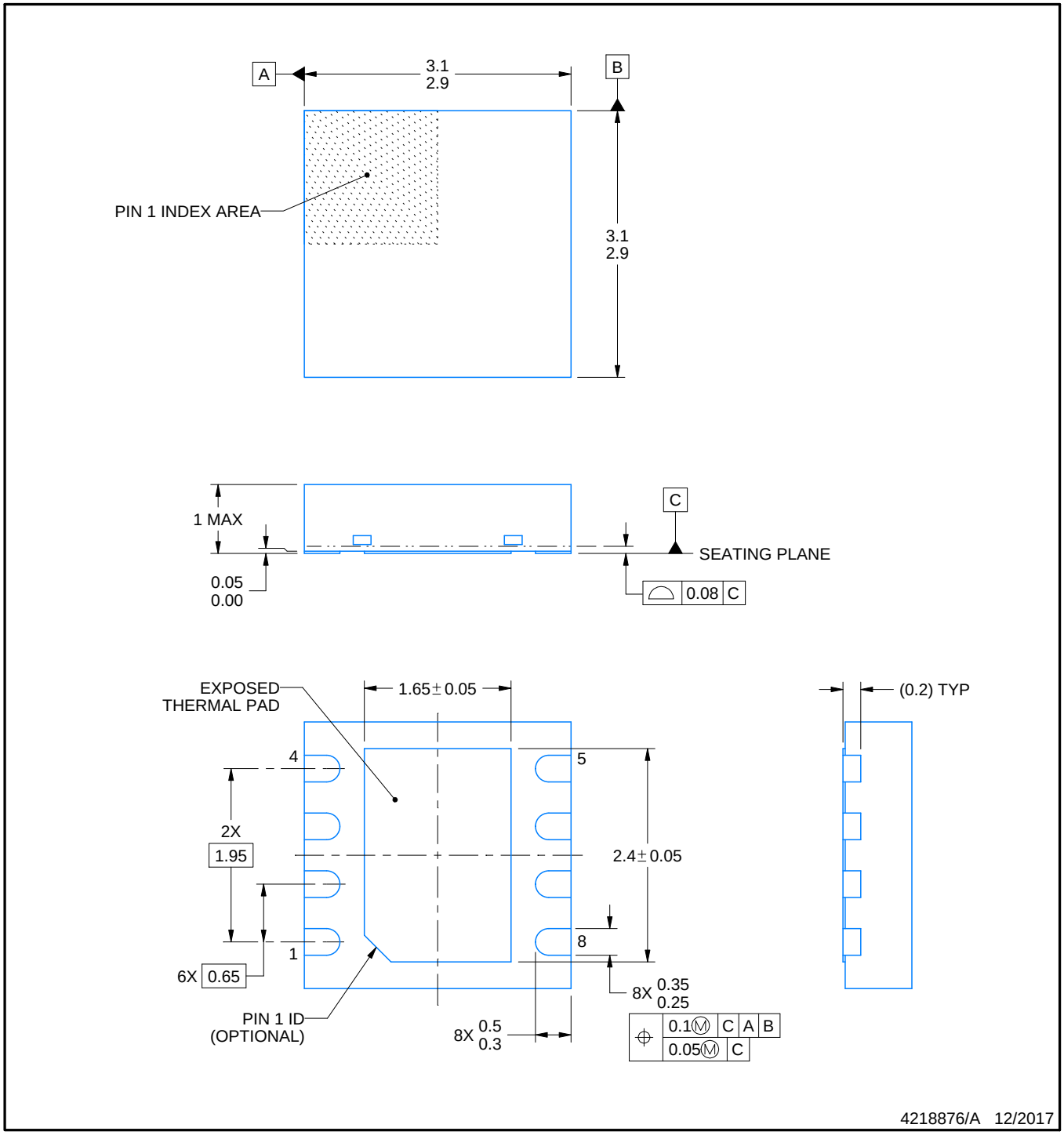
DRB0008B



PACKAGE OUTLINE

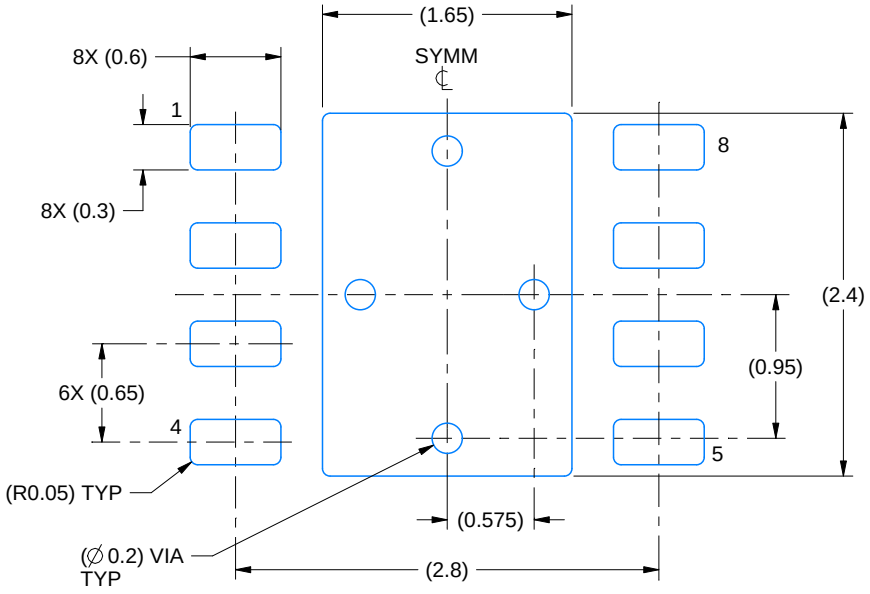
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

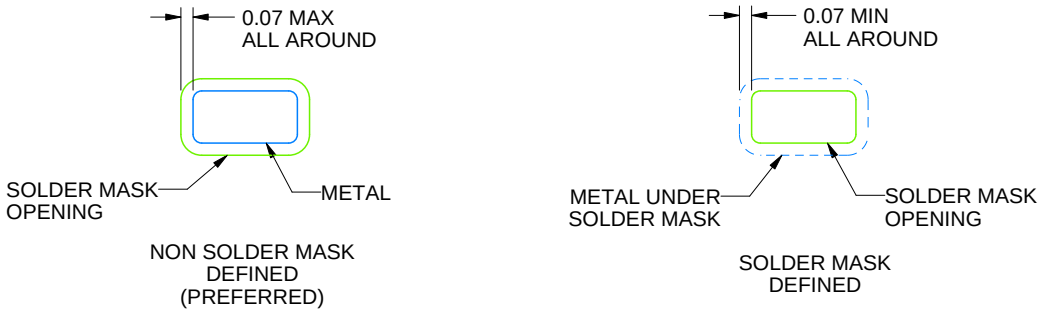


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

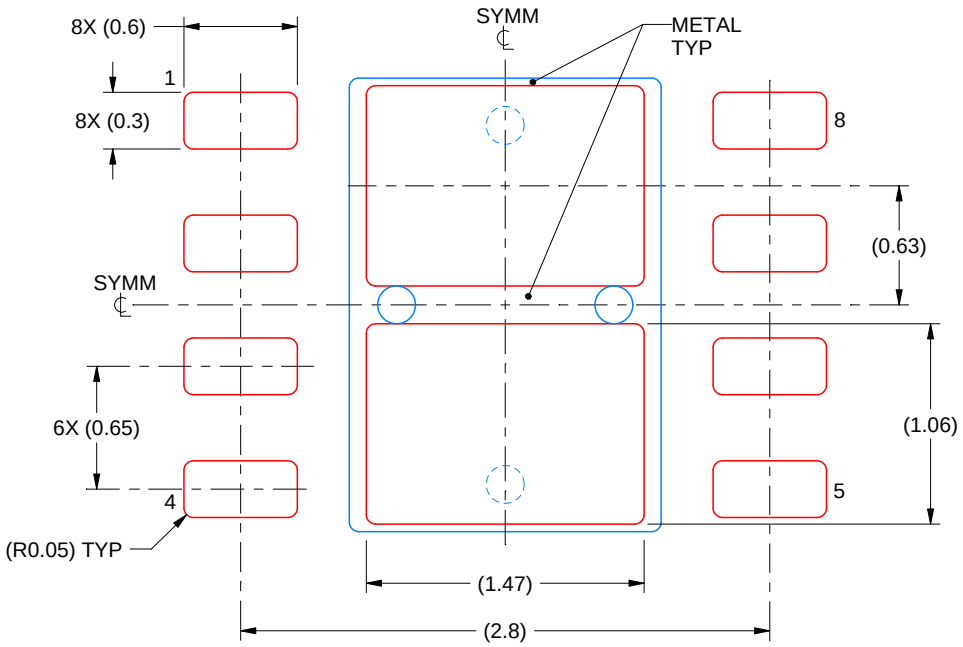


SOLDER MASK DETAILS

4218876/A 12/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

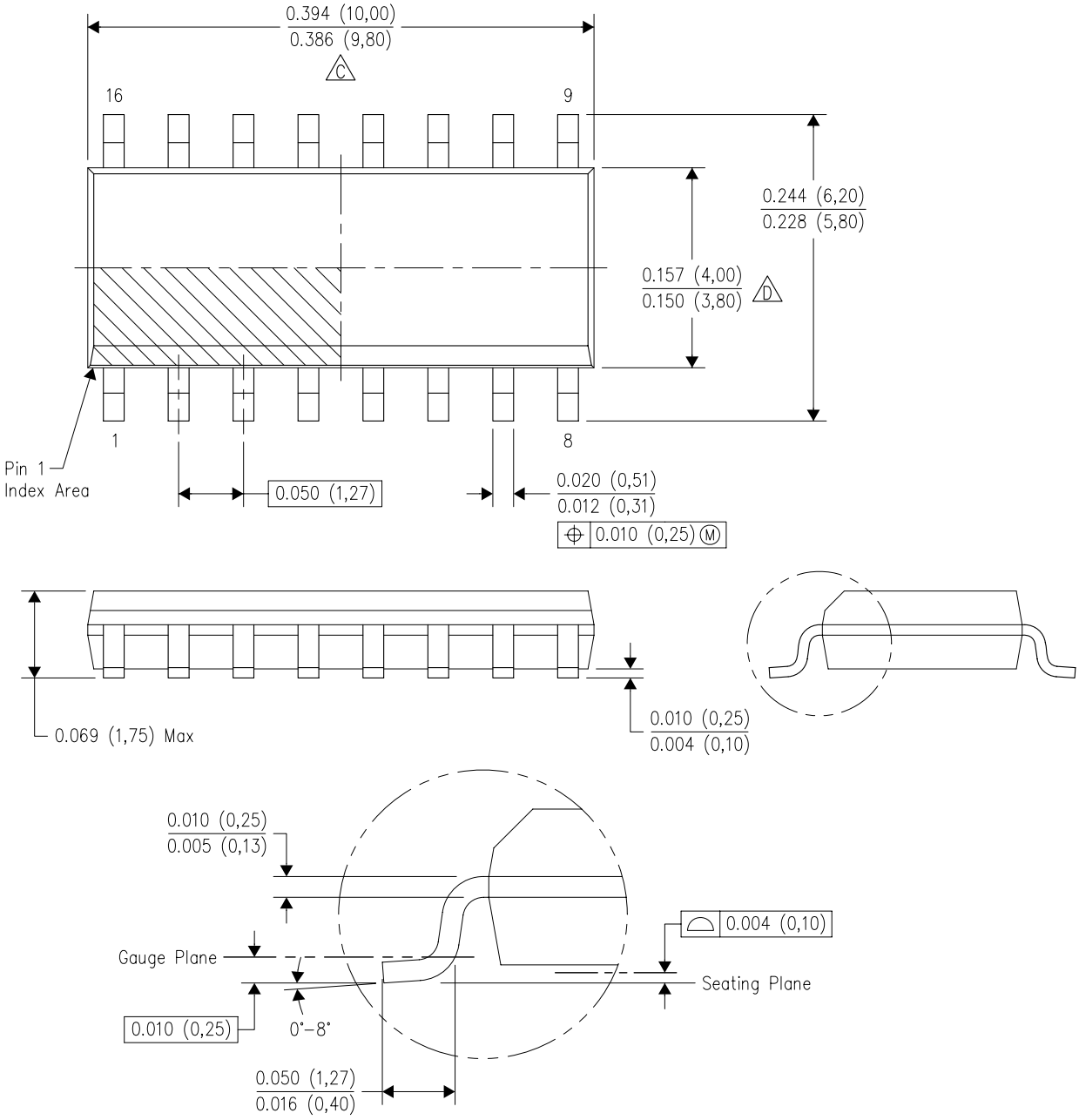
EXPOSED PAD
81% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218876/A 12/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月