

# LMK05318 イーサネットベースのネットワーク、BAW VCO を搭載した 1 DPLL、2 APLL、2 入力、8 出力 () のネットワーク同期デバイス

## 1 特長

- 超低ジッタ BAW VCO ベースのイーサネット クロック
  - 4MHz の 1 次ハイパスフィルタ (HPF) を適用した場合、312.5MHz における標準 RMS ジッタは 32fs
  - 4MHz の 1 次 HPF を適用した場合、156.25 MHz における標準 RMS ジッタは 44 fs
  - 312.5MHz での RMS ジッタ 50fs (標準値) / 80fs (最大値)
  - 156.25MHz での RMS ジッタ 60fs (標準値) / 90fs (最大値)
- 2 つのアナログ位相ロック ループ (APLL) と対になった 1 つの高性能デジタル フェーズロック ループ (DPLL):
  - 1mHz ~ 4kHz の範囲でプログラム可能な DPLL ループ帯域幅
  - IEEE 1588PTP クロック ステアリング向けに、1 ステップあたり 1ppt 未満の DCO 調整が可能
- 2 つの差動またはシングルエンド DPLL 入力
  - 2MHz ~ 800MHz の入力周波数
  - デジタル ホールドオーバーおよびヒットレス スイッチング
- 8 つのプログラム可能な AC-LVPECL、AC-CML、AC-LVDS、HSCL、および 1.8V LVCMOS の出力フォーマットに対応した差動出力。
  - 2MHz ~ 800MHz の入力周波数
  - PCIe Gen 1~6 準拠
- I<sup>2</sup>C、3 線式 SPI、または 4 線式 SPI
- 3.3V のコア電源と、1.8V、2.5V、または 3.3V の出力電源
- 40°C ~ +85°C の動作温度範囲

## 2 アプリケーション

- SyncE (G.8262)、SONET/SDH (Stratum 3/3E、G.813、GR-1244、GR-253)、IEEE 1588 PTP セカンダリ クロック
- 56G/112G PAM4 SerDes 用ジッタ クリーニング、ワンダ減衰、基準クロック生成
- 有線ネットワーク、タイミング カード、ライン カード、固定カード (ピザ ボックス)

- データセンター間 / データセンター内相互接続
- 100G ~ 800G データ センタ スイッチ、コア ルータ、エッジ ルータ、WLAN
- データセンタおよびエンタープライズコンピューティング、スマート ネットワーク インターフェイス カード (NIC)
- 光伝送ネットワーク (OTN G.709)
- ブロードバンド固定回線アクセス
- 産業用
  - 試験および測定機器
  - 医療用画像処理

## 3 説明

LMK05318 は、イーサネット ベースのネットワークング アプリケーションの厳しい要件を満たすように設計された高性能ネットワーク シンクロナイザおよびジッタ クリーナです。

本デバイスは 1 つの DPLL と 2 つの APLL を内蔵しており、プログラマブルなループ帯域幅 (LBW) を用いることで、ヒットレス スイッチングおよびジッタ低減を実現します。また、外付けのループ フィルタ コンデンサは 1 個のみとすることで、柔軟性と使いやすさを最大化しています。

APLL1 は、VCO1 に TI 独自のバルク音響波 (BAW) 技術を用いた超高性能 PLL を備えており、DPLL のリファレンス入力周波数やジッタ特性に依存することなく、12kHz ~ 20MHz の積分帯域で標準 50fs RMS ジッタの 312.5MHz 出力クロックを生成できます。APLL2 は、従来型の LC VCO を備えており、第 2 の周波数ドメインおよび / または同期ドメインのための選択肢を提供します。

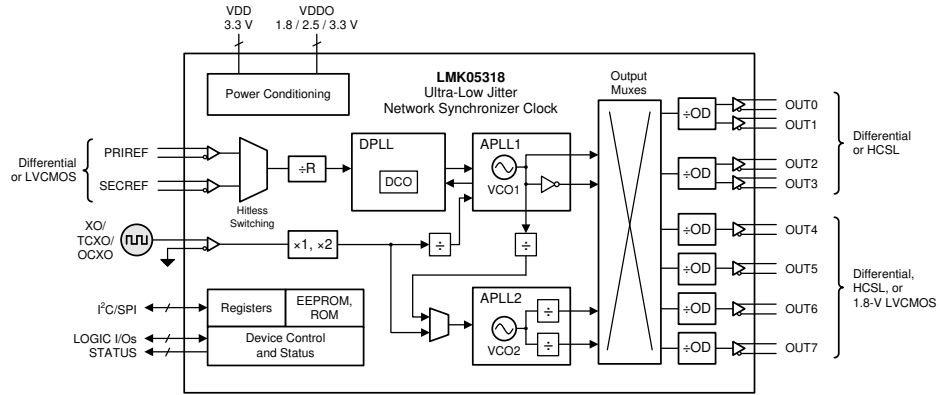
内蔵 EEPROM は、起動時のカスタム システム構成に使用できます。内蔵 LDO レギュレータは優れた電源ノイズ除去比 (PSNR) を提供し、電源供給ネットワークのコストと複雑さを低減します。

### パッケージ情報

| 部品番号     | パッケージ (1)      | パッケージ サイズ (2) |
|----------|----------------|---------------|
| LMK05318 | RGZ (VQFN, 48) | 7mm × 7mm     |

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





概略ブロック図

## 目次

|                                    |           |                                     |           |
|------------------------------------|-----------|-------------------------------------|-----------|
| <b>1 特長</b> .....                  | <b>1</b>  | 7.4 デバイスの機能モード.....                 | <b>49</b> |
| <b>2 アプリケーション</b> .....            | <b>1</b>  | 7.5 プログラミング.....                    | <b>56</b> |
| <b>3 説明</b> .....                  | <b>1</b>  | <b>8 アプリケーションと実装</b> .....          | <b>65</b> |
| <b>4 ピン構成および機能</b> .....           | <b>4</b>  | 8.1 アプリケーション情報.....                 | <b>65</b> |
| <b>5 仕様</b> .....                  | <b>8</b>  | 8.2 代表的なアプリケーション.....               | <b>69</b> |
| 5.1 絶対最大定格.....                    | <b>8</b>  | 8.3 設計のベスト プラクティス.....              | <b>73</b> |
| 5.2 ESD 定格.....                    | <b>8</b>  | 8.4 電源に関する推奨事項.....                 | <b>74</b> |
| 5.3 推奨動作条件.....                    | <b>8</b>  | 8.5 レイアウト.....                      | <b>75</b> |
| 5.4 熱に関する情報: 4 層 JEDEC 標準 PCB..... | <b>9</b>  | <b>9 デバイスおよびドキュメントのサポート</b> .....   | <b>79</b> |
| 5.5 熱に関する情報: 10 層カスタム PCB.....     | <b>9</b>  | 9.1 デバイス サポート.....                  | <b>79</b> |
| 5.6 電気的特性.....                     | <b>9</b>  | 9.2 ドキュメントのサポート.....                | <b>79</b> |
| 5.7 タイミング図.....                    | <b>15</b> | 9.3 ドキュメントの更新通知を受け取る方法.....         | <b>79</b> |
| <b>6 パラメータ測定情報</b> .....           | <b>17</b> | 9.4 サポート・リソース.....                  | <b>79</b> |
| 6.1 出力クロックのテスト構成.....              | <b>17</b> | 9.5 商標.....                         | <b>79</b> |
| <b>7 詳細説明</b> .....                | <b>19</b> | 9.6 静電気放電に関する注意事項.....              | <b>79</b> |
| 7.1 概要.....                        | <b>19</b> | 9.7 用語集.....                        | <b>79</b> |
| 7.2 機能ブロック図.....                   | <b>20</b> | <b>10 改訂履歴</b> .....                | <b>79</b> |
| 7.3 機能説明.....                      | <b>25</b> | <b>11 メカニカル、パッケージ、および注文情報</b> ..... | <b>80</b> |

## 4 ピン構成および機能

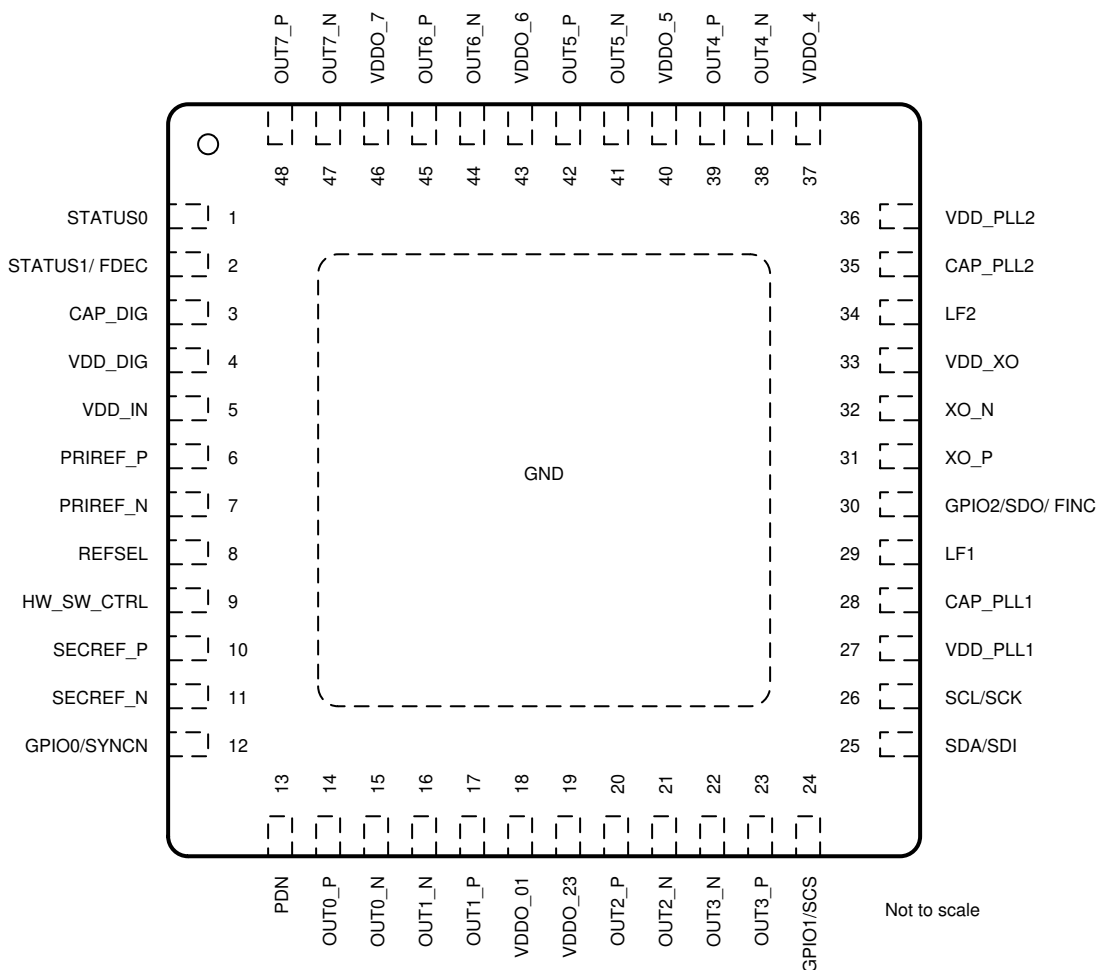


図 4-1. RGZ パッケージ 48 ピン VQFN 上面図

表 4-1. ピンの機能

| ピン       |     | タイプ <sup>(1)</sup> | 説明   |
|----------|-----|--------------------|--|
| 名称       | 番号  |                    |  |
| 電源       |     |                    |  |
| GND      | PAD | G                  | グラウンド / サーマルパッド。<br>適切な電気的性能と熱性能を得るために、露出したパッドを PCB グラウンドに接続します。IC のグラウンドパッドを PCB のグラウンド層に接続するために、5×5 のビアパターンを使用することが推奨されています。 |
| VDD_IN   | 5   | P                  | プライマリリファレンス (PRIREF) およびセカンダリリファレンス (SECREP) 入力のコア電源 (3.3V)。コンデンサをピンのできるだけ近くに配置します。推奨値は 10µF です。                               |
| VDD_XO   | 33  | P                  | XO 入力用のコア電源 (3.3V)。コンデンサをピンのできるだけ近くに配置します。推奨値は 10µF です。  |
| VDD_PLL1 | 27  | P                  | PLL1、PLL2、デジタル ブロックのコア電源 (3.3V)。コンデンサは、できるだけピンの近くに配置します。VDD_DIG の推奨値は 1µF、VDD_PLL1 および VDD_PLL2 の推奨値は 10µF です。                 |
| VDD_PLL2 | 36  | P                  |  |
| VDD_DIG  | 4   | P                  |  |

表 4-1. ピンの機能 (続き)

| ピン       |    | タイプ <sup>(1)</sup> | 説明  |
|----------|----|--------------------|---|
| 名称       | 番号 |                    |   |
| VDDO_01  | 18 | P                  | 出力クロック (OUT0~OUT7) 用の出力電源(1.8 V、2.5 V、または 3.3 V)。コンデンサをピンのできるだけ近くに配置します。推奨値は 0.1 $\mu$ F です。対応する出力クロックを使用しない場合は、電源ピンをフローティング (接続なし) のままにできます。ピンの出力電源電圧レベルは、VDDO_x ピン間で混在させることも、同じにすることもできます。電源の混在を参照してください。   |
| VDDO_23  | 19 | P                  |   |
| VDDO_4   | 37 | P                  |   |
| VDDO_5   | 40 | P                  |   |
| VDDO_6   | 43 | P                  |   |
| VDDO_7   | 46 | P                  |   |
| コア ブロック  |    |                    |   |
| LF1      | 29 | A                  | APLL1 用の外部ループ フィルタ コンデンサ。各ピンに近くにコンデンサを配置します。推奨値は 0.47 $\mu$ F です (APLL LBW = 1.0kHz)。   |
| LF2      | 34 | A                  | APLL2 用の外部ループ フィルタ コンデンサ。各ピンに近くにコンデンサを配置します。推奨値は 0.1 $\mu$ F です (APLL LBW = 500kHz)。  |
| CAP_PLL1 | 28 | A                  | APLL1 用の外部 LDO バイパス コンデンサ。コンデンサは、できるだけピンの近くに配置します。推奨値は 10 $\mu$ F です。   |
| CAP_PLL2 | 35 | A                  | APLL2 用の外部 LDO バイパス コンデンサ。コンデンサは、できるだけピンの近くに配置します。推奨値は 10 $\mu$ F です。   |
| CAP_DIG  | 3  | A                  | デジタル コア ロジック用外付け LDO バイパス コンデンサ。コンデンサは、できるだけピンの近くに配置します。推奨値は 10 $\mu$ F です。   |
| 入力ブロック   |    |                    |   |
| PRIREF_P | 6  | I                  | DPLL プライマリおよびセカンダリリファレンスクロック入力。各入力ペアは、DPLL 用リファレンスとして、差動入力およびシングル エンド入力の両方に対応しています。各入力ペアには内部終端を備えたプログラマブルな入力タイプがあり、AC 結合および DC 結合クロックの両方をサポートします。N 入力をグランドにプルダウンして、シングル エンドの LVCMOS クロックを P 入力に印加できます。未使用の入力ペアはフローティングのままにすることが可能。プログラマブル入力タイプについては、リファレンス入力 (PRIREF_P/N と SECREF_P/N) に詳述します。  |
| PRIREF_N | 7  | I                  |   |
| SECREF_P | 10 | I                  |   |
| SECREF_N | 11 | I                  |   |
| XO_P     | 31 | I                  | XO/TCXO/OCXO 入力。この入力ペアは、APLL 用のリファレンスとして、低ジッタのローカル発信器からの差動クロック信号またはシングル エンド クロック信号を入力できます。この入力には内部終端を備えたプログラマブルな入力タイプがあり、AC 結合および DC 結合クロックの両方をサポートします。シングルエンドの LVCMOS クロック(最大 2.5 V)は、N 入力をグランドにプルダウンした状態で、P 入力に印加できます。低周波数の TCXO または OCXO を使用して、フリーラン / ホールドオーバー モード時にクロック出力周波数の精度と安定性を設定することができます。DPLL がイネーブルなら、XO 周波数は VCO1 周波数と整数以外の関係を持つ必要があるため、APLL1 は分数モードで動作できます (DPLL を適切に動作させるために必要)。DPLL が無効化されている場合、XO の周波数は VCO1 の周波数に対して、整数比または非整数比のいずれの関係でも構いません。プログラマブルな入力タイプと周波数オプションについては、発振器入力 (XO_P/N) に詳細を示しています。 |
| XO_N     | 32 | I                  |   |
| 出力ブロック   |    |                    |   |
| OUT0_P   | 14 | O                  | クロック出力 0 ~ 3 バンク。プログラム可能なそれぞれの出力ドライバペアは、AC-LVDS、AC-CML、AC-LVPECL、HCSSL をサポートできます。未使用の差動出力は、有効なまま使用する場合は終端する必要があり、フローティングのままにする場合はレジスタで無効化する必要があります。出力クロストークを最小限に抑えるため、PLL1 のクロックには OUT[0:3] バンクを使用することが推奨されます。  |
| OUT0_N   | 15 | O                  |   |
| OUT1_P   | 17 | O                  |   |
| OUT1_N   | 16 | O                  |   |
| OUT2_P   | 20 | O                  |   |
| OUT2_N   | 21 | O                  |   |
| OUT3_P   | 23 | O                  |   |
| OUT3_N   | 22 | O                  |   |

表 4-1. ピンの機能 (続き)

| ピン     |    | タイプ <sup>(1)</sup> | 説明   |
|--------|----|--------------------|--|
| 名称     | 番号 |                    |  |
| OUT4_P | 39 | ○                  | <p>クロック出力 4 ~ 7 バンク。<br/>           プログラム可能な出力ドライバ ペアは、AC-LVDS、AC-CML、AC-LVPECL、HCSL、1.8V の LVCMOS クロック (ペアごとに 1 または 2) をサポートしています。<br/>           未使用の差動出力は、有効なまま使用する場合は終端する必要があり、フローティングのままにする場合はレジスタで無効化する必要があります。<br/>           出力クロストークを最小限に抑えるため、PLL2 のクロックには OUT[4:7] バンクを使用することが推奨されます。PLL2 を使用しない場合、PLL2 からのクロスカップリングの影響を受けることなく、OUT[4:7] バンクを PLL1 クロックに使用できます。</p> |
| OUT4_N | 38 | ○                  |  |
| OUT5_P | 42 | ○                  |  |
| OUT5_N | 41 | ○                  |  |
| OUT6_P | 45 | ○                  |  |
| OUT6_N | 44 | ○                  |  |
| OUT7_P | 48 | ○                  |  |
| OUT7_N | 47 | ○                  |  |

表 4-1. ピンの機能 (続き)

| ピン   |    | タイプ <sup>(1)</sup> | 説明  |
|--|----|--------------------|---|
| 名称   | 番号 |                    |   |
| ロジック制御 / ステータス <sup>(2)</sup> <sup>(3)</sup> |    |                    |   |
| HW_SW_CTRL                                   | 9  | I                  | <b>デバイス スタートアップ モード選択 (3 レベル、1.8V 互換)。</b><br>この入力にはデバイスのスタートアップ モードを選択し、レジスタ、シリアル インターフェイス、およびロジックピン機能の初期化に使用されるメモリ ページを決定します。入力レベルは、デバイスのパワーオンリセット (POR) 時にのみサンプリングされます。<br>スタートアップ モードの説明とロジックピンの機能については、表 7-10 を参照してください。   |
| PDN  | 13 | I                  | <b>デバイス パワーダウン (アクティブ Low)。</b><br>PDN が Low に引き下げられると、デバイスはハードリセット状態となり、シリアル インターフェイスを含むすべてのブロックがパワーダウンします。PDN が High に引き上げられると、HW_SW_CTRL で選択されたデバイス モードに従ってデバイスが起動し、すべての内部回路が初期状態にリセットされたうえで通常動作を開始します。  |
| SDA/SDI                                      | 25 | I/O                | <b>I<sup>2</sup>C シリアル データ I/O (SDA) または SPI シリアル データ入力 (SDI)。</b> 表 7-10 を参照してください。<br>HW_SW_CTRL が 0 または 1 の場合、シリアル インターフェイスは I <sup>2</sup> C です。SDA および SCL ピン (オープンドレイン) には、外付けの I <sup>2</sup> C プルアップ抵抗が必要です。デフォルトの 7 ビットの I <sup>2</sup> C アドレスは 11001xxb で、MSB ビット (11001b) はオンチップ EEPROM から初期化され、LSB ビット (xxb) はロジック入力ピンによって決定されます。HW_SW_CTRL が 0 の場合、LSB は POR 時の GPIO1 入力状態 (3 レベル) によって決定されます。HW_SW_CTRL が 1 の場合、LSB は 00b に固定されます。<br>HW_SW_CTRL がフローティングの場合、シリアル インターフェイスは SDI、SCK、SCS、SDO 各ピンを使用する SPI (4 線式、モード 0) です。 |
| SCL/SCK                                      | 26 | I                  | <b>I<sup>2</sup>C シリアル クロック入力 (SCL) または SPI シリアル クロック入力 (SCK)。</b> 表 7-10 を参照してください。  |
| GPIO0/SYNCN                                  | 12 | I                  | <b>マルチファンクション入力または出力。</b><br>表 7-10 を参照してください。  |
| GPIO1/SCS                                    | 24 | I                  |   |
| GPIO2/SDO/<br>FINC                           | 30 | I/O                |   |
| STATUS0                                      | 1  | I/O                | <b>ステータス出力 0 および 1。</b><br>各出力は、プログラム可能なステータス信号選択、ドライバの種類 (3.3V LVCMOS またはオープンドレイン)、ステータス極性を備えています。オープンドレイン には外付けプルアップ抵抗が必要です。使このピンをフローティングのままにします。<br>I <sup>2</sup> C モードでは、STATUS1/FDEC ピンは DCO モード制御入力ピンとして機能できます。表 7-10 を参照してください。   |
| STATUS1/<br>FDEC                             | 2  | I/O                |   |
| REFSEL                                       | 8  | I                  | <b>手動 DPPLL リファレンス クロック入力選択。</b> (3 レベル、1.8V 互換)。<br>REFSEL = 0 (PRIREF)、1 (SECREP)、または浮動小数点または V <sub>IM</sub> (自動選択)。この制御ピンは、レジスタのデフォルトまたはプログラムでイネーブルにする必要があります。使このピンをフローティングのままにします。   |

- (1) G = グランド、P = 電源、I = 入力、O = 出力、I/O = 入出力、A = アナログ。  
(2) 内部抵抗: PDN ピンには、VDD\_IN への 200kΩ のプルアップ抵抗が内蔵されています。HW\_SW\_CTRL、GPIO、REFSEL、STATUS ピンには、PDN = 0 の場合は V<sub>IM</sub> (約 0.8V) への 150kΩ パイアス、または PDN = 1 の場合は 400kΩ プルダウンがあります。  
(3) 特に記述のない限り以下のとおり: ロジック入力は 2 レベル、1.8V 互換入力です。ロジック出力は 3.3V LVCMOS レベルです。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

|                        |                      | 最小値  | 最大値      | 単位 |
|------------------------|----------------------|------|----------|----|
| VDD <sup>(2)</sup>     | コア電源電圧               | -0.3 | 3.6      | V  |
| VDDO <sup>(3)</sup>    | 出力電源電圧               | -0.3 | 3.6      | V  |
| V <sub>IN</sub>        | クロックおよびロジック入力の入力電圧範囲 | -0.3 | VDD+0.3  | V  |
| V <sub>OUT_LOGIC</sub> | ロジック出力の出力電圧範囲        | -0.3 | VDD+0.3  | V  |
| V <sub>OUT</sub>       | クロック出力の出力電圧範囲        | -0.3 | VDDO+0.3 | V  |
| T <sub>J</sub>         | 接合部温度                |      | 150      | °C |
| T <sub>stg</sub>       | 保管温度範囲               | -65  | 150      | °C |

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) VDD はすべてのコア電源ピンまたは電圧を指します。PDN が High に引き上げられて内部パワーオンリセット (POR) がトリガされる前に、すべての VDD コア電源をオンにする必要があります。
- (3) VDDO はすべての出力電源ピンまたは電圧を指します。VDDO<sub>x</sub> は、特定の出力チャンネルの出力電源を表します。ここで、X はチャンネル インデックスを表します。

### 5.2 ESD 定格

|                    |      |  | 値     | 単位 |
|--------------------|------|--|-------|----|
| V <sub>(ESD)</sub> | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>   | ±2000 | V  |
|                    |      | デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン <sup>(2)</sup> | ±750  |    |

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

|                                  |  | 最小値   | 公称値         | 最大値   | 単位   |
|----------------------------------|--|-------|-------------|-------|------|
| VDD <sup>(1)</sup>               | コア電源電圧                                     | 3.135 | 3.3         | 3.465 | V    |
| VDDO <sub>x</sub> <sup>(2)</sup> | AC-LVDS/ CML/ LVPECL または HCSL ドライバ用の出力電源電圧 | 1.71  | 1.8、2.5、3.3 | 3.465 | V    |
| VDDO <sub>x</sub> <sup>(2)</sup> | 1.8-V LVCMOS ドライバの出力電源電圧 <sup>(3)</sup>    | 1.71  | 1.8         | 1.89  | V    |
| V <sub>IN</sub>                  | クロックおよびロジック入力の入力電圧範囲                       | 0     |             | 3.465 | V    |
| T <sub>J</sub>                   | 接合部温度                                      |       |             | 135   | °C   |
| t <sub>VDD</sub>                 | 電源ランプ時間 <sup>(4)</sup>                     | 0.01  |             | 100   | ms   |
| Π <sub>EECyc</sub>               | EEPROM プログラミング サイクル <sup>(5)</sup>         |       |             | 100   | サイクル |

- (1) VDD はすべてのコア電源ピンまたは電圧を指します。内部パワーオンリセット (POR) の前に、すべての VDD コア電源をオンにする必要があります。
- (2) VDDO はすべての出力電源ピンまたは電圧を指します。VDDO<sub>x</sub> は、特定の出力チャンネルの出力電源を表します。ここで、X はチャンネル インデックスを表します。
- (3) LVCMOS ドライバは、VDDO<sub>x</sub> が 1.8V ±5% の場合に、フルレール ツーレールの振幅をサポートします。VDDO<sub>x</sub> が 2.5V または 3.3V の場合、出力チャンネル内蔵の LDO レギュレータのドロップアウト電圧の影響により、LVCMOS ドライバは正側レールまで完全にはスイングしません。
- (4) 内部パワーオンリセットが適切に行われるために、VDD が 2.7V を超えて単調に上昇するのにかかる時間。より遅い、または単調ではない VDD ランプの場合は、VDD 電圧が有効になるまで PDN を低く維持します。
- (5) Π<sub>EECyc</sub> は、顧客側のプログラミングに許可される最大 EEPROM プログラム サイクルを指定します。工場ではプログラムされたサイクルの初期カウントは製造テストのためゼロではありませんが、工場ではプログラムされたサイクルは Π<sub>EECyc</sub> 制限から除外されます。EEPROM プログラム サイクル

の合計数は、8ビットの NVM カウント ステータス レジスタ (NVMCNT) から読み取ることができます。このレジスタは、プログラミング サイクルが成功するたびに自動的に 1 ずつインクリメントされます。TI は、顧客が  $n_{EEcyc}$  制限を超えた場合、EEPROM の耐久性を保証しません。

## 5.4 熱に関する情報：4層 JEDEC 標準 PCB

| 熱評価基準 <sup>(1) (2) (3)</sup> |                     | LMK05318   | 単位   |
|------------------------------|---------------------|------------|------|
|                              |                     | RGZ (VQFN) |      |
|                              |                     | 48ピン       |      |
| $R_{\theta JA}$              | 接合部から周囲への熱抵抗        | 23.3       | °C/W |
| $R_{\theta JC(top)}$         | 接合部からケース (上面) への熱抵抗 | 13.2       | °C/W |
| $R_{\theta JB}$              | 接合部から基板への熱抵抗        | 7.4        | °C/W |
| $R_{\theta JC(bot)}$         | 接合部からケース (底面) への熱抵抗 | 1.4        | °C/W |
| $\Psi_{JT}$                  | 接合部から上面への特性パラメータ    | 0.2        | °C/W |
| $\Psi_{JB}$                  | 接合部から基板への特性パラメータ    | 7.3        | °C/W |

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
- (2) 熱特性情報は、25本のサーマルビア (5 × 5 配列、穴径 0.3 mm) を備えた 4層の JEDEC 標準基板に基づいています。
- (3)  $\Psi_{JB}$  を使用すると、システム設計者はファインゲージ熱電対を使用してボード温度 ( $T_{PCB}$ ) を測定し、デバイスの接合部温度  $T_J = T_{PCB} + (\Psi_{JB} \times \text{電力})$  を逆計算できます。 $\Psi_{JB}$  の測定は JESD51-6 で定義されています。

## 5.5 熱に関する情報：10層カスタム PCB

| 熱評価基準 <sup>(1) (2) (3)</sup> |                  | LMK05318   | 単位   |
|------------------------------|------------------|------------|------|
|                              |                  | RGZ (VQFN) |      |
|                              |                  | 48ピン       |      |
| $R_{\theta JA}$              | 接合部から周囲への熱抵抗     | 9.1        | °C/W |
| $R_{\theta JB}$              | 接合部から基板への熱抵抗     | 4.4        | °C/W |
| $\Psi_{JT}$                  | 接合部から上面への特性パラメータ | 0.2        | °C/W |
| $\Psi_{JB}$                  | 接合部から基板への特性パラメータ | 4.4        | °C/W |

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
- (2) 熱特性情報は、25本のサーマルビア (5 × 5 配列、穴径 0.3mm) を備えた、10層、200mm × 250mm × 1.6mm の基板に基づいています。
- (3)  $\Psi_{JB}$  を使用すると、システム設計者はファインゲージ熱電対を使用してボード温度 ( $T_{PCB}$ ) を測定し、デバイスの接合部温度  $T_J = T_{PCB} + (\Psi_{JB} \times \text{電力})$  を逆計算できます。 $\Psi_{JB}$  の測定は JESD51-6 で定義されています。

## 5.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ       |                   | テスト条件                 | 最小値 | 標準値 | 最大値 | 単位 |
|-------------|-------------------|-----------------------|-----|-----|-----|----|
| <b>電源特性</b> |                   |                       |     |     |     |    |
| IDD_DIG     | コア消費電流 (VDD_DIG)  |                       |     | 18  |     | mA |
| IDD_IN      | コア消費電流 (VDD_IN)   |                       |     | 38  |     | mA |
| IDD_PLL1    | コア消費電流 (VDD_PLL1) | DPLL および APLL1 はイネーブル |     | 110 |     | mA |
| IDD_XO      | コア消費電流 (VDD_XO)   |                       |     | 20  |     | mA |
| IDD_PLL2    | コア消費電流 (VDD_PLL2) | APLL2 無効              |     | 20  |     | mA |
|             |                   | APLL2 イネーブル           |     | 120 |     | mA |

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ                             |   | テスト条件  | 最小値      | 標準値  | 最大値      | 単位              |    |
|-----------------------------------|---|--|----------|------|----------|-----------------|----|
| IDDO_x                            | チャンネルごとの出力消費電流 <sup>(3)</sup><br>(VDDO_x) | 出力マルチプレクサおよび分周器がイネーブル、<br>ドライバ分周器値 = 2 ~ 6 は含まれません |          | 50   |          | mA              |    |
|                                   |   | 出力マルチプレクサおよび分周器がイネーブル<br>6を超えるドライバ分周器値は含まれません      |          | 70   |          | mA              |    |
|                                   |   | AC-LVDS  |          |      | 11       |                 | mA |
|                                   |   | AC-CML   |          |      | 14       |                 | mA |
|                                   |   | AC-LVPECL  |          |      | 16       |                 | mA |
|                                   |   | HCSL、GND への 50 Ω 負荷                                |          |      | 25       |                 | mA |
|                                   |   | 1.8V LVCMOS (x2)、100MHz                            |          |      | 6        |                 | mA |
| IDDPDN                            | 合計消費電流 (すべての VDD および VDDO ピン、3.3V)        | デバイスの電源オフ (PDN ピンを Low に保持)                        |          | 56   |          | mA              |    |
| <b>XO 入力特性 (XO)</b>               |   |  |          |      |          |                 |    |
| f <sub>IN</sub>                   | 入力周波数範囲                                   |  | 10       |      | 100      | MHz             |    |
| V <sub>IN-SE</sub>                | シングルエンド入力電圧スイング                           | LVC MOS 入力、XO_P に DC 結合                            | 1        |      | 2.6      | V <sub>pp</sub> |    |
| V <sub>IN-DIFF</sub>              | 差動入力電圧スイング <sup>(11)</sup>                | 差動入力   | 0.4      |      | 2        | V <sub>pp</sub> |    |
| V <sub>ID</sub>                   | 差動入力電圧スイング <sup>(11)</sup>                | 差動入力   | 0.2      |      | 1        | V               |    |
| dV/dt                             | 入力スルーレート <sup>(13)</sup>                  |  | 0.2      | 0.5  |          | V/ns            |    |
| IDC                               | 入力デューティ サイクル                              |  | 40       |      | 60       | %               |    |
| I <sub>IN</sub>                   | 入力リークage                                  | 50Ω および 100Ω の内部終端は無効                              | -350     |      | 350      | μA              |    |
| <b>リファレンス入力特性 (PRIREF、SECREP)</b> |   |  |          |      |          |                 |    |
| f <sub>IN</sub>                   | 入力周波数範囲                                   | 差動入力 <sup>(4)</sup>                                | 5        |      | 800      | MHz             |    |
| f <sub>IN</sub>                   | 入力周波数範囲                                   | LVC MOS 入力   | 2        |      | 250      | MHz             |    |
| V <sub>IN-SE</sub>                | シングルエンド入力電圧スイング                           | LVC MOS 入力、xREF_P に DC 結合                          | 1        |      |          | V <sub>pp</sub> |    |
| V <sub>IN-DIFF</sub>              | 差動入力電圧スイング <sup>(11)</sup>                | 差動入力   | 0.4      |      | 2        | V <sub>pp</sub> |    |
| V <sub>ID</sub>                   | 差動入力電圧スイング <sup>(11)</sup>                | 差動入力   | 0.2      |      | 1        | V               |    |
| dV/dt                             | 入力スルーレート <sup>(13)</sup>                  |  | 0.2      | 0.5  |          | V/ns            |    |
| I <sub>IN</sub>                   | 入力リークage                                  | 50Ω および 100Ω の内部終端は無効                              | -350     |      | 350      | μA              |    |
| <b>VCO の特性</b>                    |   |  |          |      |          |                 |    |
| f <sub>VCO1</sub>                 | VCO1 周波数範囲                                |  | 2499.875 | 2500 | 2500.125 | MHz             |    |
| f <sub>VCO2</sub>                 | VCO2 周波数範囲                                |  | 5500     |      | 6250     | MHz             |    |

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ                        |                                   | テスト条件  | 最小値          | 標準値  | 最大値  | 単位     |
|------------------------------|-----------------------------------|--|--------------|------|------|--------|
| <b>APLL の特性</b>              |                                   |  |              |      |      |        |
| $f_{PD1}$                    | APLL1 位相検出器周波数                    |  | 1            |      | 50   | MHz    |
| $f_{PD2}$                    | APLL2 位相検出器周波数                    |  | 10           |      | 150  | MHz    |
| <b>AC-LVDS 出力特性 (OUTx)</b>   |                                   |  |              |      |      |        |
| $f_{OUT}$                    | 出力周波数 <sup>(5)</sup>              |  |              |      | 800  | MHz    |
| $V_{OD}$                     | 出力電圧スイング ( $V_{OH} - V_{OL}$ )    | $f_{OUT} \geq 25\text{MHz}$ 、 $156.25\text{MHz}$ での標準値     | 250          | 350  | 450  | mV     |
| $V_{OUT-DIFF}$               | 差動出力電圧スイング、ピークツーピーク               |  | 2 × $V_{OD}$ |      |      | Vpp    |
| $V_{OS}$                     | 出力同相モード                           |  | 100          |      | 430  | mV     |
| $t_{SK}$                     | 出力間スキュー                           | 同じポスト デバイダ、出力分周値、出力タイプ                                     |              |      | 100  | ps     |
| $t_R/t_F$                    | 出力立ち上がり / 立ち下がり時間 <sup>(12)</sup> | 20% ~ 80%、< 300MHz   |              | 225  | 350  | ps     |
|                              |                                   | 中心点の周囲 ± 100mV、≥ 300MHz                                    |              | 85   | 250  | ps     |
| $PN_{FLOOR}$                 | 出力位相ノイズフロア                        | $f_{OUT} = 156.25\text{MHz}$ 、 $f_{OFFSET} > 10\text{MHz}$ |              | -160 |      | dBc/Hz |
| ODC                          | 出力デューティサイクル <sup>(9)</sup>        |  | 45           |      | 55   | %      |
| <b>AC-CML 出力特性 (OUTx)</b>    |                                   |  |              |      |      |        |
| $f_{OUT}$                    | 出力周波数 <sup>(5)</sup>              |  |              |      | 800  | MHz    |
| $V_{OD}$                     | 出力電圧スイング ( $V_{OH} - V_{OL}$ )    | $f_{OUT} = 156.25\text{MHz}$ での標準値                         | 400          | 600  | 800  | mV     |
| $V_{OUT-DIFF}$               | 差動出力電圧スイング、ピークツーピーク               |  | 2 × $V_{OD}$ |      |      | Vpp    |
| $V_{OS}$                     | 出力同相モード                           |  | 150          |      | 550  | mV     |
| $t_{SK}$                     | 出力間スキュー                           | 同じポスト デバイダ、出力分周値、出力タイプ                                     |              |      | 100  | ps     |
| $t_R/t_F$                    | 出力立ち上がり / 立ち下がり時間 <sup>(12)</sup> | 20% ~ 80%、< 300MHz   |              | 225  | 300  | ps     |
|                              |                                   | 中心点の周囲 ± 100mV、≥ 300MHz                                    |              | 50   | 150  | ps     |
| $PN_{FLOOR}$                 | 出力位相ノイズフロア                        | $f_{OUT} = 156.25\text{MHz}$ 、 $f_{OFFSET} > 10\text{MHz}$ |              | -160 |      | dBc/Hz |
| ODC                          | 出力デューティサイクル <sup>(9)</sup>        |  | 45           |      | 55   | %      |
| <b>AC-LVPECL 出力特性 (OUTx)</b> |                                   |  |              |      |      |        |
| $f_{OUT}$                    | 出力周波数 <sup>(5)</sup>              |  |              |      | 800  | MHz    |
| $V_{OD}$                     | 出力電圧スイング ( $V_{OH} - V_{OL}$ )    | $f_{OUT} = 156.25\text{MHz}$ での標準値                         | 500          | 800  | 1000 | mV     |
| $V_{OUT-DIFF}$               | 差動出力電圧スイング、ピークツーピーク               |  | 2 × $V_{OD}$ |      |      | Vpp    |
| $V_{OS}$                     | 出力同相モード                           |  | 300          |      | 700  | mV     |
| $t_{SK}$                     | 出力間スキュー                           | 同じポスト デバイダ、出力分周値、出力タイプ                                     |              |      | 100  | ps     |
| $t_R/t_F$                    | 出力立ち上がり / 立ち下がり時間 <sup>(12)</sup> | 20% ~ 80%、< 300MHz   |              | 200  | 300  | ps     |
|                              |                                   | 中心点の周囲 ±100mV、≥ 300MHz                                     |              | 35   | 100  | ps     |
| $PN_{FLOOR}$                 | 出力位相ノイズフロア                        | $f_{OUT} = 156.25\text{MHz}$ 、 $f_{OFFSET} > 10\text{MHz}$ |              | -162 |      | dBc/Hz |
| ODC                          | 出力デューティサイクル <sup>(9)</sup>        |  | 45           |      | 55   | %      |

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ  |                                     | テスト条件  | 最小値  | 標準値  | 最大値 | 単位       |
|--|-------------------------------------|--|------|------|-----|----------|
| <b>HCSSL 出力特性 (OUTx)</b>                                     |                                     |  |      |      |     |          |
| $f_{OUT}$  | 出力周波数 <sup>(5)</sup>                |  |      |      | 400 | MHz      |
| $V_{OH}$   | 出力 HIGH 電圧                          |  | 600  |      | 880 | mV       |
| $V_{OL}$   | 出力 LOW 電圧                           |  | -150 |      | 150 | mV       |
| $t_{SK}$   | 出力間スキュー                             | 同じポスト デバイダ、出力分周値、出力タイプ                       |      |      | 100 | ps       |
| $dV/dt$  | 出力スルーレート <sup>(12)</sup>            | 中心点の周囲で $\pm 150$ mV                         | 1    |      | 4   | V/ns     |
| $PN_{FLOOR}$   | 出力位相ノイズフロア ( $f_{OFFSET} > 10$ MHz) | 100MHz                                       |      | -160 |     | dBc/Hz   |
| ODC  | 出力デューティサイクル <sup>(9)</sup>          |  | 45   |      | 55  | %        |
| <b>1.8V LVCMOS 出力特性 (OUT[4:7])</b>                           |                                     |  |      |      |     |          |
| $V_{OH}$   | 出力 HIGH 電圧                          | $I_{OH} = 1$ mA                              | 1.2  |      |     | V        |
| $V_{OL}$   | 出力 LOW 電圧                           | $I_{OL} = 1$ mA                              |      |      | 0.4 | V        |
| $I_{OH}$   | 出力 HIGH 電流                          |  |      | -23  |     | mA       |
| $I_{OL}$   | 出力 LOW 電流                           |  |      | 20   |     | mA       |
| $t_R/t_F$  | 出力立ち上がり / 立ち下がり時間                   | 20%~80%                                      |      | 250  |     | ps       |
| $t_{SK}$   | 出力間スキュー                             | 同じポスト デバイダ、出力分周値、出力タイプ                       |      |      | 100 | ps       |
| $t_{SK}$   | 出力間スキュー                             | 同じポスト デバイダ、出力分周値、LVCMOS から DIFF              |      |      | 1.5 | ns       |
| $PN_{FLOOR}$   | 出力位相ノイズフロア                          | $f_{OUT} = 66.66$ MHz、 $f_{OFFSET} > 10$ MHz |      | -160 |     | dBc/Hz   |
| ODC  | 出力デューティサイクル <sup>(9)</sup>          |  | 45   |      | 55  | %        |
| $R_{OUT}$  | 出力インピーダンス                           |  |      | 50   |     | $\Omega$ |
| $f_{OUT}$  | 出力周波数                               |  | 1E-6 |      | 200 | MHz      |
| <b>3 レベルのロジック入力特性 (HW_SW_CTRL、GPIO1、REFSEL、STATUS [1:0])</b> |                                     |  |      |      |     |          |
| $V_{IH}$   | 入力 High 電圧                          |  | 1.4  |      |     | V        |
| $V_{IM}$   | 入力 MID 電圧                           | 内部バイアスと PDN が Low にプルされた入力フローティング            | 0.7  |      | 0.9 | V        |
| $V_{IL}$   | 入力 Low 電圧                           |  |      |      | 0.4 | V        |
| $I_{IH}$   | 高入力電流                               | $V_{IH} = V_{DD}$                            | -40  |      | 40  | $\mu$ A  |
| $I_{IL}$   | 入力 Low 電流                           | $V_{IL} = GND$                               | -40  |      | 40  | $\mu$ A  |
| <b>2 レベル ロジック入力特性 (PDN、GPIO[2:0]、SDI、SCK、SCS)</b>            |                                     |  |      |      |     |          |
| $V_{IH}$   | 入力 High 電圧                          |  | 1.2  |      |     | V        |
| $V_{IL}$   | 入力 Low 電圧                           |  |      |      | 0.6 | V        |
| $I_{IH}$   | 高入力電流                               | $V_{IH} = V_{DD}$                            | -40  |      | 40  | $\mu$ A  |
| $I_{IL}$   | 入力 Low 電流                           | $V_{IL} = GND$                               | -40  |      | 40  | $\mu$ A  |
| SR   | 入力スルーレート                            |  | 0.5  |      |     | V/ns     |

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ   |                            | テスト条件                             | 最小値 | 標準値 | 最大値 | 単位  |
|---|----------------------------|-----------------------------------|-----|-----|-----|-----|
| <b>ロジック出力特性 (STATUS[1:0], SDO)</b>            |                            |                                   |     |     |     |     |
| V <sub>OH</sub>                               | 出力 HIGH 電圧                 | I <sub>OH</sub> = 1mA             | 1.2 |     |     | V   |
| V <sub>OL</sub>                               | 出力 LOW 電圧                  | I <sub>OL</sub> = 1mA             |     |     | 0.6 | V   |
| t <sub>R</sub> /t <sub>F</sub>                | 出力立ち上がり / 立ち下がり時間          | 20% ~ 80%、LVCMOS モード、1kΩ から GND へ |     | 500 |     | ps  |
| <b>SPI タイミング要件 (SDI, SCK, SCS, SDO)</b>       |                            |                                   |     |     |     |     |
| f <sub>SCK</sub>                              | SPI クロック レート               |                                   |     |     | 20  | MHz |
|   | SPI クロック レート、NVM 書き込み      |                                   |     |     | 5   | MHz |
| t <sub>1</sub>                                | SCS から SCK までのセットアップ時間     |                                   | 10  |     |     | ns  |
| t <sub>2</sub>                                | SDI から SCK までのセットアップ時間     |                                   | 10  |     |     | ns  |
| t <sub>3</sub>                                | SDI から SCK までのホールド時間       |                                   | 10  |     |     | ns  |
| t <sub>4</sub>                                | SCK High 時間                |                                   | 25  |     |     | ns  |
| t <sub>5</sub>                                | SCK Low 時間                 |                                   | 25  |     |     | ns  |
| t <sub>6</sub>                                | SCK から SDO への有効なリードバック データ |                                   |     |     | 20  | ns  |
| t <sub>7</sub>                                | SCS パルス幅                   |                                   | 20  |     |     | ns  |
| t <sub>8</sub>                                | SDI から SCK までのホールド時間       |                                   | 10  |     |     | ns  |
| <b>I<sup>2</sup>C 互換インターフェイス特性 (SDA, SCL)</b> |                            |                                   |     |     |     |     |
| V <sub>IH</sub>                               | 入力 High 電圧                 |                                   | 1.2 |     |     | V   |
| V <sub>IL</sub>                               | 入力 Low 電圧                  |                                   |     |     | 0.5 | V   |
| I <sub>IH</sub>                               | 入力リーク電流                    |                                   | -15 |     | 15  | μA  |
| V <sub>OL</sub>                               | 出力 LOW 電圧                  | I <sub>OL</sub> = 3mA             |     |     | 0.3 | V   |
| f <sub>SCL</sub>                              | I <sup>2</sup> C クロック レート  | 標準                                |     |     | 100 | kHz |
|   |                            | ファスト モード                          |     |     | 400 |     |
| t <sub>SU(START)</sub>                        | スタートコンディションのセットアップ時間       | SCL が High になってから SDA が Low になる   | 0.6 |     |     | μs  |
| t <sub>H(START)</sub>                         | START 条件のホールド時間            | SDA が Low になってから SDA が High になる   | 0.6 |     |     | μs  |
| t <sub>W(SCLH)</sub>                          | SCL パルス幅 High              |                                   | 0.6 |     |     | μs  |
| t <sub>W(SCLL)</sub>                          | SCL パルス幅 Low               |                                   | 1.3 |     |     | μs  |
| t <sub>SU(SDA)</sub>                          | SDA のセットアップ時間              |                                   | 100 |     |     | ns  |
| t <sub>H(SDA)</sub>                           | SDA のホールド時間                | SCL が Low になってから SDA が有効になる       | 0   |     | 0.9 | μs  |
| t <sub>R(IN)</sub>                            | SDA/SCL 入力立ち上がり時間          |                                   |     |     | 300 | ns  |
| t <sub>F(IN)</sub>                            | SDA/SCL 入力立ち下がり時間          |                                   |     |     | 300 | ns  |
| t <sub>F(OUT)</sub>                           | SDA 出力立ち下がり時間              | C <sub>BUS</sub> ≤ 400 pF         |     |     | 300 | ns  |
| t <sub>SU(STOP)</sub>                         | ストップ条件のセットアップ時間            |                                   | 0.6 |     |     | μs  |
| t <sub>BUS</sub>                              | STOP と START 間のバス解放時間      |                                   | 1.3 |     |     | μs  |

推奨動作条件範囲内 (特に記述のない限り)

| パラメータ                                 |   | テスト条件  | 最小値  | 標準値  | 最大値  | 単位     |
|---------------------------------------|---|--|------|------|------|--------|
| <b>電源ノイズ除去 (PSNR)/ クロストークによるスプリアス</b> |   |  |      |      |      |        |
| PSNR                                  | 電源ノイズにより誘導されるスプリアス ( $V_N = 50\text{mVpp}$ ) <sup>(6) (7)</sup>         | $V_{DD} = 3.3\text{V}$ , $V_{DDO\_x} = 3.3\text{V}$ ,<br>156.25MHz, AC-DIFF 出力   |      | -83  |      | dBc    |
|                                       |   | $V_{DD} = 3.3\text{V}$ , $V_{DDO\_x} = 3.3\text{V}$ ,<br>156.25MHz, HCSL 出力  |      | -78  |      | dBc    |
| PSNR                                  | 電源ノイズにより誘導されるスプリアス ( $V_N = 25\text{mVpp}$ ) <sup>(6) (7)</sup>         | $V_{DD} = 3.3\text{V}$ , $V_{DDO\_x} = 1.8\text{V}$ ,<br>156.25MHz, AC-DIFF 出力   |      | -63  |      | dBc    |
|                                       |   | $V_{DD} = 3.3\text{V}$ , $V_{DDO\_x} = 1.8\text{V}$ ,<br>156.25MHz, HCSL 出力  |      | -58  |      | dBc    |
|                                       |   | $V_{DD} = 3.3\text{V}$ , $V_{DDO\_x} = 1.8\text{V}$ ,<br>156.25MHz, LVCMOS 出力  |      | -45  |      | dBc    |
| SPUR <sub>XTALK</sub>                 | 出力間クロストーク (隣接チャネル) によるスプリアスレベル <sup>(7)</sup>                           | $f_{OUTx} = 156.25\text{MHz}$ , $f_{OUTy} = 155.52\text{MHz}$ , AC-LVPECL  |      | -75  |      | dBc    |
| SPUR                                  | 12 kHz~40 MHz 帯域内でのスプリアスの最大レベル (出力クロストークおよび整数境界スプリアスは除外) <sup>(7)</sup> | $f_{VCO1} = 2500\text{MHz}$ , $f_{VCO2} = 6065.28\text{MHz}$ , $f_{OUTx} = 156.25\text{MHz}$ ,<br>$f_{OUTy} = 155.52\text{MHz}$ , AC-LVPECL                                    |      | -80  |      | dBc    |
| <b>PLL クロック出力の性能特性</b>                |   |  |      |      |      |        |
| RJ                                    | RMS 位相ジッタ (12kHz ~ 20MHz)、スプリアスを含む <sup>(14)</sup>                      | APLL1 からの 312.5MHz AC-DIFF 出力, $f_{XO} = 48.0048\text{MHz}$ , $f_{PD1} = f_{XO}/2$ ,<br>$f_{VCO1} = 2.5\text{GHz}$   |      | 50   | 100  | fs RMS |
| RJ                                    | RMS 位相ジッタ (12kHz ~ 20MHz)、スプリアスを含む <sup>(14)</sup>                      | APLL1 からの 156.25MHz AC-DIFF 出力, $f_{XO} = 48.0048\text{MHz}$ , $f_{PD1} = f_{XO}/2$ ,<br>$f_{VCO1} = 2.5\text{GHz}$  |      | 60   | 100  | fs RMS |
| RJ                                    | RMS 位相ジッタ (12kHz ~ 20MHz)、スプリアスを含む <sup>(14)</sup>                      | 153.6MHz APLL2 からの AC-DIFF 出力, $f_{XO} = 48.0048\text{MHz}$ , $f_{PD1} = f_{XO}/2$ ,<br>$f_{VCO1} = 2.5\text{GHz}$ , $f_{PD2} = f_{VCO1}/18$ , $f_{VCO2} = 5.5296\text{GHz}$   |      | 125  | 250  | fs RMS |
| RJ                                    | RMS 位相ジッタ (12kHz ~ 20MHz)、スプリアスを含む <sup>(14)</sup>                      | 155.52MHz APLL2 からの AC-DIFF 出力, $f_{XO} = 48.0048\text{MHz}$ , $f_{PD1} = f_{XO}/2$ ,<br>$f_{VCO1} = 2.5\text{GHz}$ , $f_{PD2} = f_{VCO1}/18$ , $f_{VCO2} = 5.59872\text{GHz}$ |      | 125  | 250  | fs RMS |
| BW                                    | DPLL 帯域幅範囲 <sup>(8)</sup>   | プログラムされた帯域幅設定  | 0.01 |      | 4000 | Hz     |
| J <sub>PK</sub>                       | DPLL 閉ループ ジッタのピーク <sup>(10)</sup>                                       | $f_{REF} = 25\text{MHz}$ , $f_{OUT} = 10\text{MHz}$ , DPLL<br>BW = 0.1Hz または 10Hz  |      | 0.1  |      | dB     |
| J <sub>TOL</sub>                      | ジッタの許容範囲  | ジッタ変調 = 10Hz, 25.78125Gbps   |      | 6455 |      | UI p-p |
| t <sub>HITLESS</sub>                  | 2 つのリファレンス入力間の位相変動 (0ppm 誤差時)   | 同一周波数の 2 つのクロック入力間で、1 回のスイッチオーバー動作に対して有効   |      | ±50  |      | ps     |
| f <sub>HITLESS</sub>                  | 無瞬断切り替え時の周波数過渡応答  | 同一周波数の 2 つのクロック入力間で、1 回のスイッチオーバー動作に対して有効   |      | ±10  |      | ppb    |

- デバイスの総消費電流は、特定の構成で有効になっているすべてのブロックについて、各ピンごとの  $IDD\_x$  と  $IDDO\_x$  を合算することで見積もることができます。
- 構成 A (APLL2 を除くすべての PLL ブロックがディスエーブル) :  $f_{REF} = 25\text{MHz}$ ,  $f_{XO} = 48.0048\text{MHz}$ ,  $f_{VCO1} = 2.5\text{GHz}$ 。
- 動作出力の  $IDDO\_x$  電流は、マルチプレクサ、分周器、出力形式の合計です。
- 差動入力クロックが 5 MHz 未満の場合、TI は差動入力振幅モニタを無効化し、入力クロックの妥当性確認のために、周波数モニタやウィンドウディテクタなどの別のモニタを少なくとも 1 つ有効にすることを推奨します。それ以外の場合は、5MHz より低い入力に LVCMOS クロックを使用することを検討します。
- 出力周波数は  $f_{OUT}$  の max 仕様を上回ることも可能ですが、出力シングは  $V_{OD\ min}$  の仕様を下回ることがあります。
- PSNR は、振幅  $V_N$  と周波数  $f_N$  (100kHz と 1MHz の間) の正弦波ノイズを  $V_{DD}$  ピンと  $V_{DDO\_x}$  ピンに注入した際に測定された単側バンドスプリアスレベル (dBc) です。
- $DJ_{SPUR}$  (ps pk-pk) =  $[2 \times 10^{(dBc/20)} / (\pi \times f_{OUT}) \times 1E6]$ 、ここで、dBc は PSNR または SPUR レベル (dBc)、 $f_{OUT}$  は出力周波数 (MHz) です。

- (8) 実際のループ帯域幅を小さくすることもできます。有効なループ帯域幅範囲は、特定の構成で使用される DPLL TDC 周波数によって制限されます。
- (9) パラメータは、いずれかの VCO ドメインから分周された PLL 出力について規定されます。
- (10) 0.1dB 以下の DPLL 閉ループ ジッタのピークは、TICS Pro ソフトウェアツールで構成されている DPLL の帯域幅設定に基づいています。
- (11) 最小制限は、差動入力振幅モニタの最小設定 (xREF\_LVL\_SEL = 0) に適用されます。
- (12) 差動出力波形 (OUTx\_P-OUTx\_N) で測定します。
- (13) 本データシートの後続セクションに示されるジッタ性能を満足するためには、すべての入力クロックにおいて最小 0.5V/ns のスルーレートが推奨されます。これは、シングル エンド クロックに特に当てはまります。クロック入力のスルーレートが低下すると、位相ノイズ性能は劣化し始めます。ただし、このデバイスは記載されている最小値までスルーレートで機能します。シングルエンド クロックと比べ、差動クロック (LVDS、LVPECL) は、同相モード ノイズを除去できるため、低スルーレート時の位相ノイズ性能の劣化を受けにくくなります。ただし、デバイス出力で最高の位相ノイズ性能を実現するために、差動クロックに可能な限り高い入力スルーレートを使用することが推奨されています。
- (14) 出力カップリング スプリアスを除きます

## 5.7 タイミング図

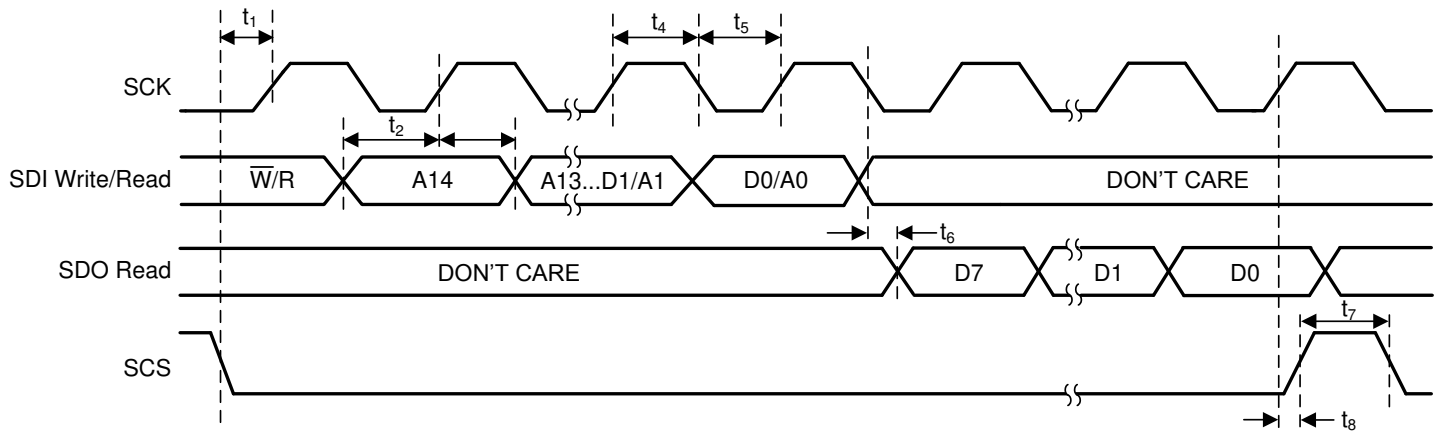


図 5-1. SPI タイミング パラメータ

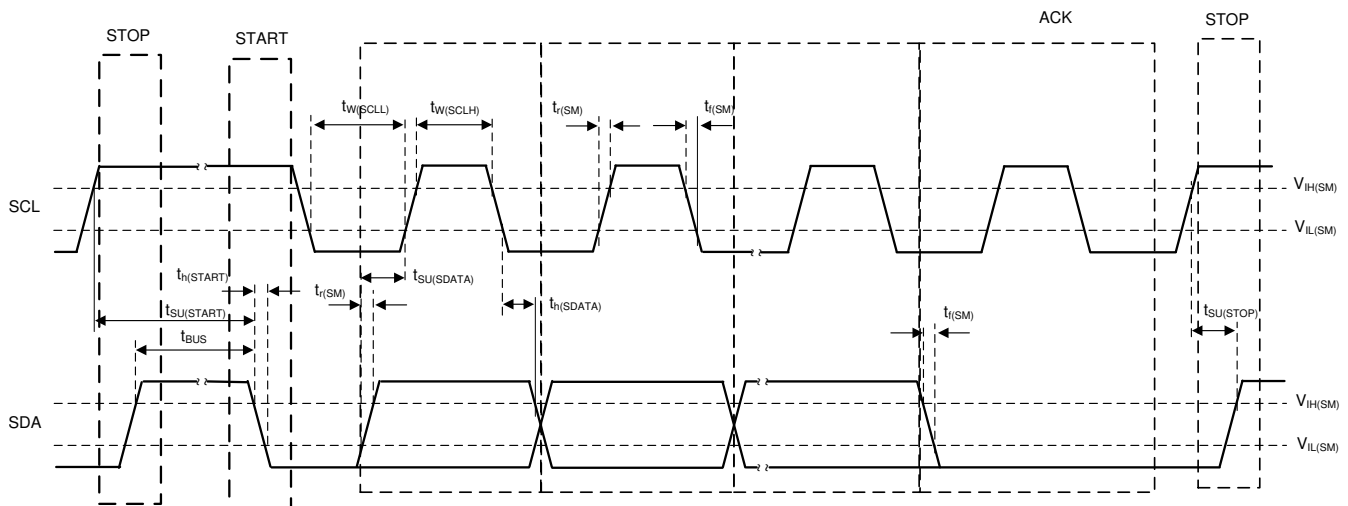


図 5-2. I<sup>2</sup>C のタイミング図

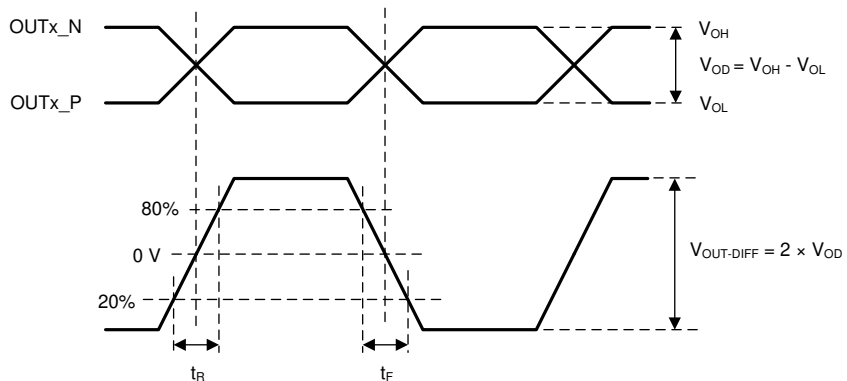


図 5-3. 差動出力電圧と立ち上がり / 立ち下がり時間

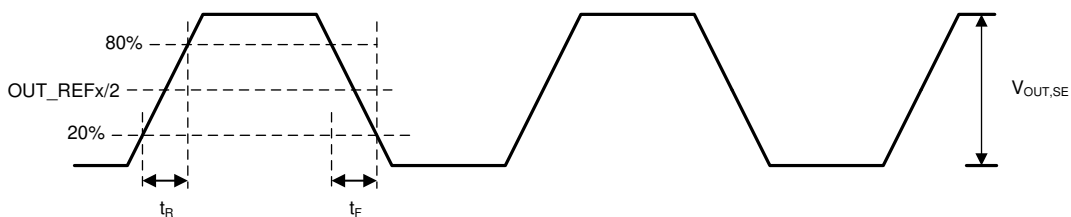


図 5-4. シングルエンド出力電圧と立ち上がり / 立ち下がり時間

## 6 パラメータ測定情報

### 6.1 出カクロックのテスト構成

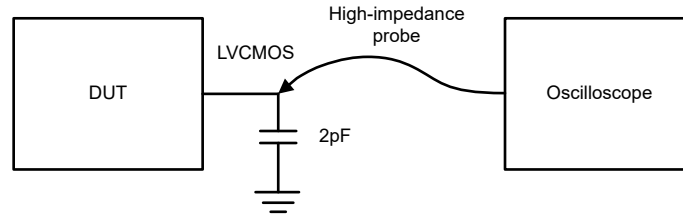


図 6-1. LVC MOS 出カテスト構成

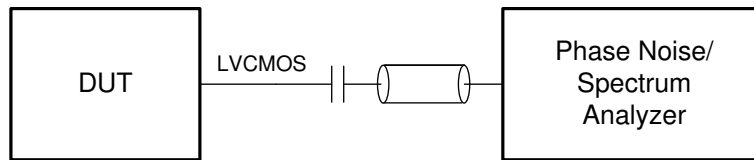


図 6-2. LVC MOS 出カ位相ノイズテスト構成

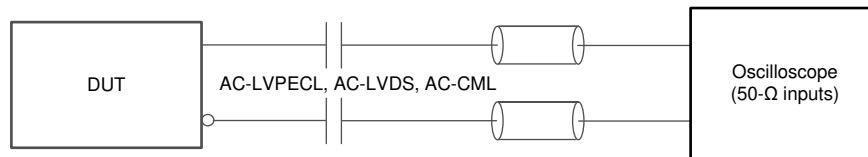


図 6-3. AC-LVPECL、AC-LVDS、AC-CML 出カ AC テスト構成

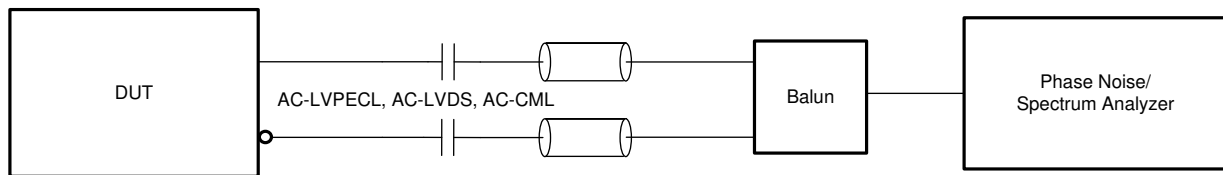


図 6-4. AC-LVPECL、AC-LVDS、AC-CML 出カ位相ノイズ テスト構成

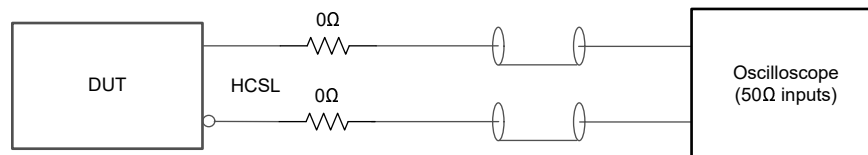


図 6-5. HCSL 出カテスト構成

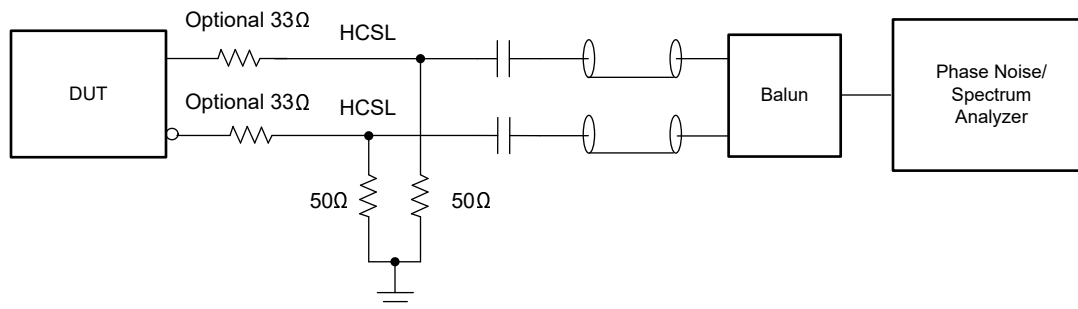
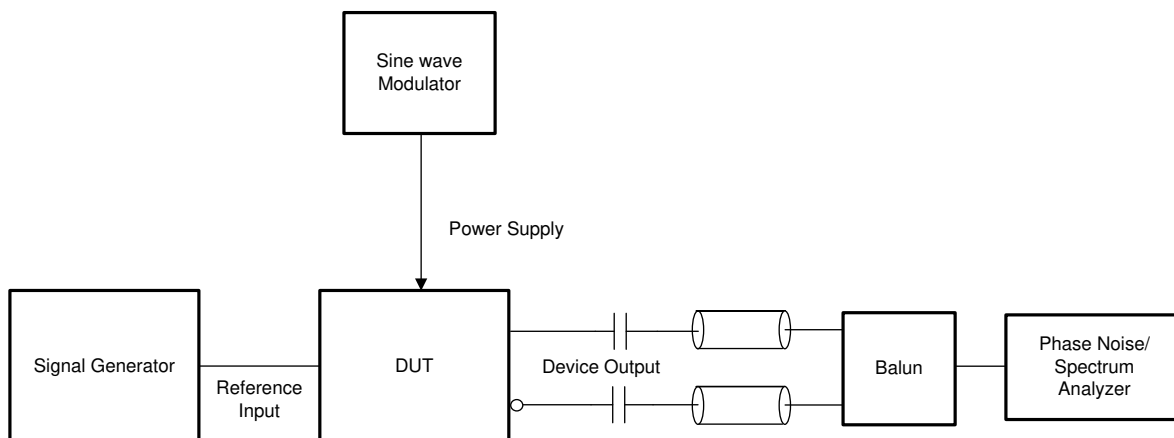


図 6-6. HCSL 出力位相ノイズテスト構成



デバイスの電源に注入された既知のノイズ振幅と周波数で dBc 単位で測定されたシングル サイドバンド スプリアス レベル。

図 6-7. 電源ノイズ除去 (PSNR)テスト構成

## 7 詳細説明

### 7.1 概要

LMK05318 には 2 つのリファレンス入力、1 つのデジタル PLL (DPLL)、VCO を内蔵した 2 つのアナログ PLL (APLL)、8 の出力クロックがあり、RMS 位相ジッタが APLL1 から標準値 50fs、APLL2 から標準値 130fs です。このデバイスの超低ジッタおよび高い PSNR により、高速シリアルリンクにおけるビット誤り率 (BER) を低減できます。

APLL1 は、非常に高い選択度を持つ超高性能 BAW VCO (VCBO) を使用しており、そのため外部発信器 (XO) 入力クロックの位相ノイズや周波数に依存しません。これにより全体の設計コストが最小化され、アプリケーションのフリーランおよびホールドオーバー時の周波数安定度要件を満たす、市販の XO、TCXO、または OCXO を使用することが可能になります。APLL1 は DPLL とカスケード接続されており、DPLL のリファレンス入力に APLL1 ドメインをロックすることで、同期クロック生成を可能にします。APLL2 は、APLL1 ドメインにロックした状態、またはフリーランの XO 入力にロックした状態のいずれかで、互いに無関係なクロック周波数を生成するために使用できます。

DPLL リファレンス入力マルチプレクサは、ソフトウェアまたはピン制御による、自動入力選択または手動入力選択をサポートしています。このデバイスは、独自の位相キャンセレーションによりヒットレス スイッチングを実現し、位相過渡性能を向上します (標準値  $\pm 50\text{ps}$ )。リファレンスクロック入力モニタリング ブロックはクロック入力を監視し、基準喪失 (LOR) が検出された場合に、ヒットレス切り替えまたはホールドオーバーを実行します。LOR (基準喪失) 状態は、入力モニタに設定されたしきい値制限のいずれかに違反した場合に検出されます。これには、振幅、周波数、パルス欠落、が含まれます。各入力検出器のスレッシュホールド制限は、クロック入力ごとに設定および有効化できます。チューニング ワード履歴モニタ機能により、ホールドオーバーへ移行した際の初期出力周波数精度は、ロック中の履歴平均周波数によって決定され、LOR 時の周波数および位相の乱れを最小限に抑えることができます。

プログラマブル ドライバにより 8 の出力に対応しているため、最大 8 の差動クロック、または差動クロックと最大 4 つの 1.8V LVCMOS ペア (ペアごとに 2 つの出力) を使用できます。出力クロックは、出力チャンネル マルチプレクサにより APLL/VCO 領域から生成できます。出力デバイダには SYNC 機能があり、複数の出力を位相整列できます。

IEEE 1588PTP のペリフェラルクロックやその他のクロック ステアリング用途をサポートするため、DPLL は DCO モードもサポートしており、外部ソフトウェアまたはピン制御によって、0.001ppb (10 億分の 1) 未満の周波数分解能で周波数および位相を高精度に調整できます。

このデバイスは I<sup>2</sup>C または SPI を介して完全にプログラム可能であり、工場出荷時に事前プログラムされ、必要に応じてシステム内書き換えが可能な内部 EEPROM を用いて、カスタムの起動周波数設定をサポートします。クロック入力および PLL のモニタリング状態は、ステータス ピンや割り込みレジスタを通じて確認でき、完全な診断機能を提供します。

DPLL はジッタおよびワンド減衰用のプログラミング可能なループ帯域幅をサポートし、2 つの APLL はフラクショナル周波数変換をサポートしていることから、柔軟なクロック生成が実現します。DPLL でサポートされる同期オプションには、位相キャンセルを伴うヒットレス切り替え、デジタル ホールドオーバー、そして高精度なクロック ステアリング (IEEE 1588PTP ペリフェラル) のために、0.001ppb (10 億分の 1) 未満の周波数ステップ サイズを持つ DCO モードが含まれます。高度なリファレンス入力監視ブロックが、強力なクロック故障検出を実行し、基準喪失 (LOR) 時の出力クロックの乱れを最小限に抑えることができます。

一般的な低周波数の TCXO/OCXO を使用して、同期標準に準拠したフリーランまたはホールドオーバー出力周波数安定性を確保できます。あるいは、フリーランまたはホールドオーバー時の周波数安定性やワンドが重視されない場合には、標準の XO を使用できます。I<sup>2</sup>C または SPI によって完全にプログラミング可能であり、内蔵 EEPROM による起動時のカスタム周波数設定にも対応しています。EEPROM は出荷時に書き込み済みであり、必要に応じてインシステムプログラミングも可能です。

#### 7.1.1 ITU-T G.8262 (SyncE) 規格準拠

LMK05318 は、ITU-T G.8262 (SyncE) 規格の該当する要件を満たしています。詳細については、[LMK05318 の ITU-T G.8262 準拠テスト結果 \(SNAA316\)](#) アプリケーション レポートを参照してください。

7.2 機能ブロック図

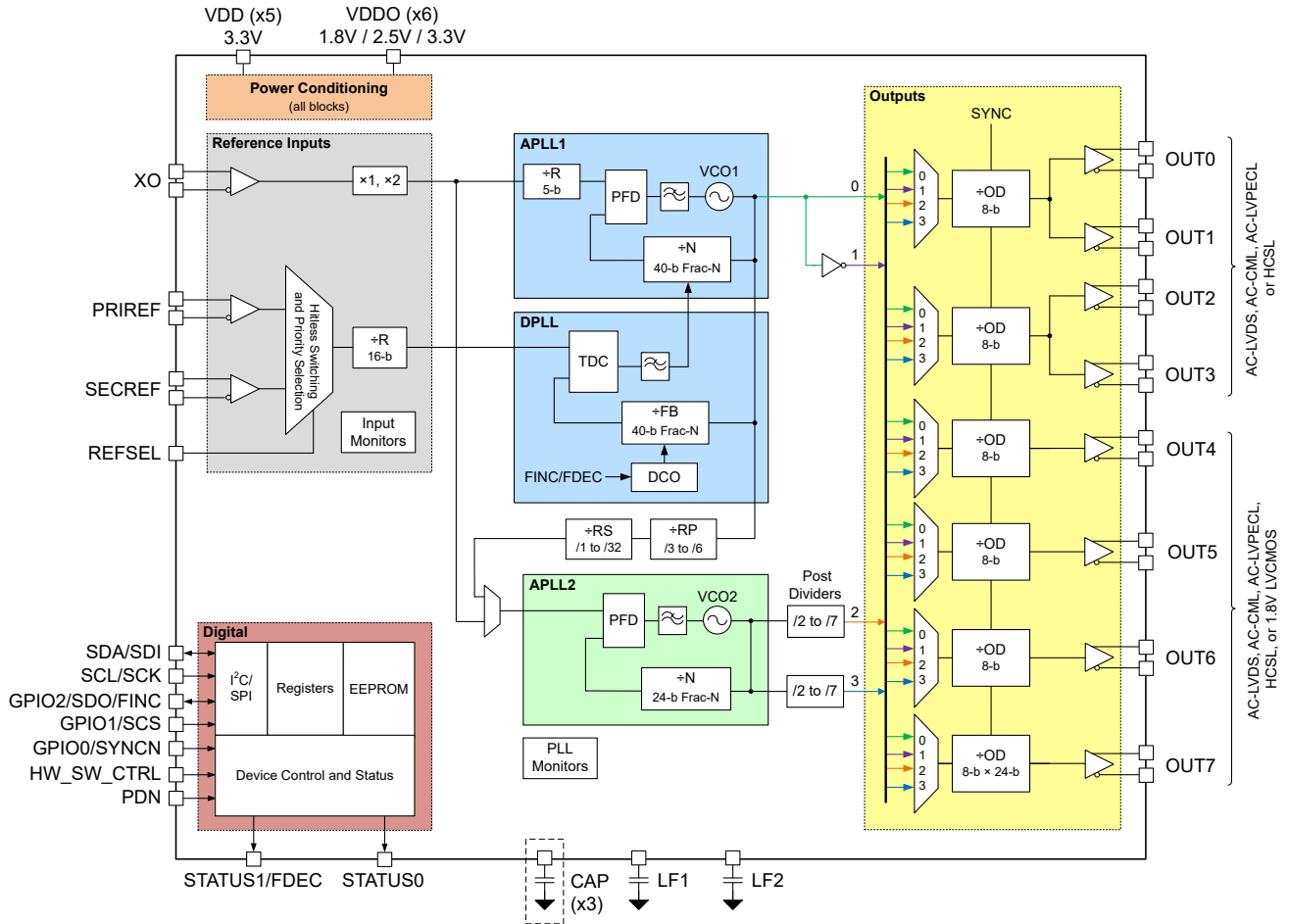
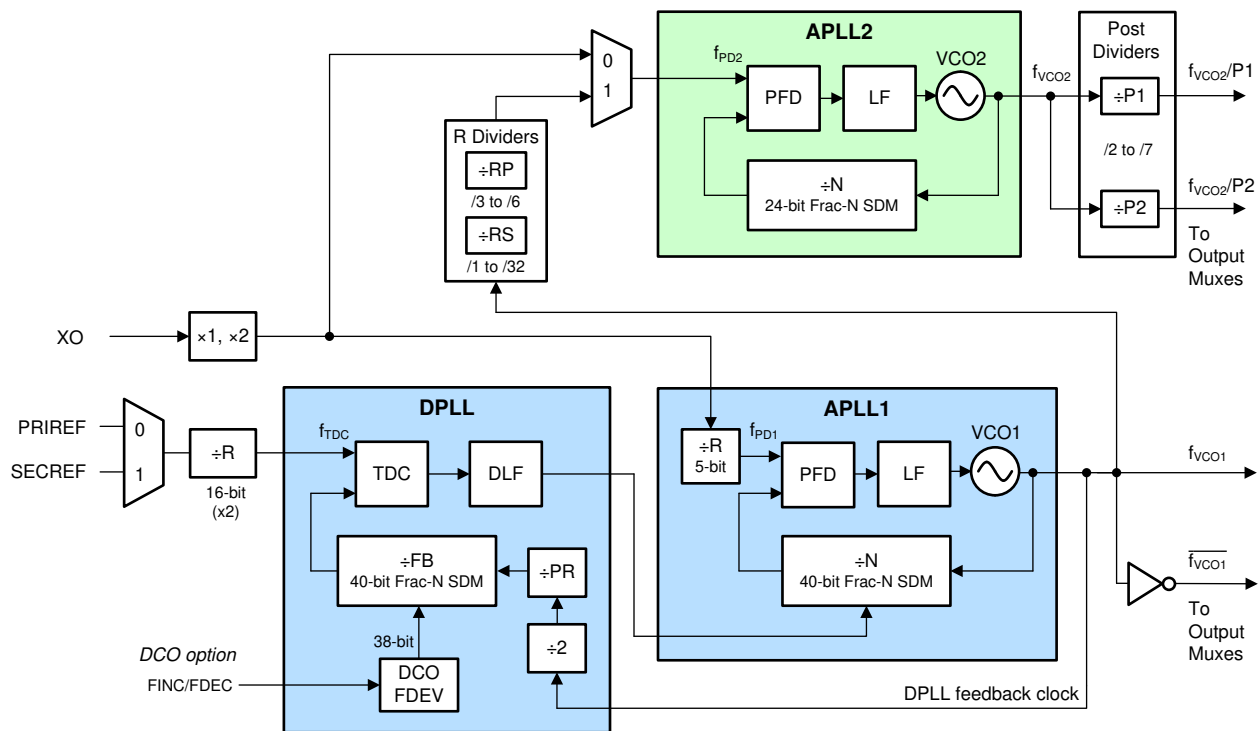


図 7-1. 最上位デバイス ブロック図

### 7.2.1 PLL アーキテクチャの概要

図 7-2 は、LMK05318 に実装された PLL アーキテクチャを示しています。主となる「PLL1」チャンネルは、デジタル PLL (DPLL) と、統合された BAW VCO (VCO1) を備えたアナログ PLL (APLL1) で構成されており、標準値で RMS 位相ジッタ 50fs のクロックを生成できます。LC VCO (VCO2) を内蔵した 2 次 APLL (APLL2) は、RMS 位相ジッタが標準値 130fs である追加のクロック生成ドメインとして使用できます。

DPLL は、時間デジタル コンバータ (TDC)、デジタル ループ フィルタ (DLF)、およびシグマ デルタ モジュレータ (SDM) を備えた 40 ビット分数フィードバック (FB) デバイダで構成されています。APLL は、リファレンス (R) デバイダ、位相周波数検出器 (PFD)、ループ フィルタ (LF)、SDM 付きフラクショナル フィードバック (N) デバイダ、および VCO で構成されています。APLL2 にはリファレンス選択用のマルチプレクサがあり、APLL2 を APLL1 の VCO ドメインにロックする(カスケード APLL2)か、XO 入力にロックする(非カスケード APLL2)かを選択できます。それ以外の場合、このクロックドメインが必要ない場合は、APLL2 を無効化 (電源オフ) できます。APLL1 の VCO は出力クロック分配ブロックを直接駆動するのに対し、APLL2 の VCO は VCO ポストディバイダを介してクロック分配ブロックを駆動します。



A. DCO 周波数の調整は、ソフトウェアまたはピンで制御できます。

図 7-2. PLL アーキテクチャ

以下のセクションでは、DPLL モードおよび APLL のみのモードにおける基本的な動作原理について説明します。ホールドオーバーを含む PLL 動作モードの詳細については、PLL の動作モードを参照してください。

### 7.2.2 DPLL モード

DPLL モードでは、外部  $XO$  入力源が、フリーランおよびホールドオーバー時の出力クロックの周波数安定度と精度を決定します。BAW VCO1 は、 $XO$  入力の周波数やジッタに関係なく、12kHz~20 MHz の積分帯域における APLL1 出力クロックの位相ノイズおよびジッタ性能を決定します。この設計により、SyncE や IEEE 1588 などの同期アプリケーションで要求される、規格準拠の周波数安定度および低ループ帯域幅 ( $\leq 10$  Hz) を満たすために、外部  $XO$  入力としてコスト効率の高い低周波 TCXO または OCXO を使用できます。

パワーオンリセットおよび初期化後の DPLL モードの動作原理は次のとおりです。図 7-3 に示すように APLL2 がカスケードモードの場合、APLL2 がロックしている間、VCO1 は公称中心周波数である 2.5 GHz に保持されます。その後、APLL1 は VCO1 の周波数を外部の XO 入力にロックし、フリーランモードで動作します。有効な DPLL リファレンス入力が見つされると、DPLL はロックの取得を開始します。DPLL の TDC は、選択された基準入力クロックの位相と、VCO1 からの FB 分周クロックの位相を比較し、その位相誤差に対応するデジタル補正ワードを生成します。補正ワードは DLF によってフィルタリングされ、その DLF 出力が APLL1N 分周器の SDM を制御して、VCO1 の周波数をリファレンス入力にロックさせます。DPLL のロック取得中およびロック状態では、VCO2 は VCO1 ドメインを追従し、これによりユーザーは APLL2 のクロックドメインを DPLL のリファレンス入力に同期させることができます。APLL2 をカスケード接続することで、VCO1 から高周波、超低ジッタの基準クロックを APLL2 に供給でき、APLL2 の基準が低周波、または位相ノイズフロアの高い XO/TCXO/OCXO である場合に生じる、インバンド位相ノイズやジッタの影響を最小限に抑えます。

図 7-4 に示すようなカスケード構成で APLL2 が使用されていない場合、VCO2 は初期化後に XO 入力へロックし、DPLL/APLL1 ドメインとは独立して動作します。

DPLL へのすべてのリファレンス入力が見つされると、PLL はホールドオーバーモードに移行し、外部 XO ソースの安定性と精度を追跡します。

DPLL で DCO モードが有効になっている場合、周波数偏差ステップ値 (FDEV) をプログラムして、DPLL の FB 分周器 SDM を調整 (増分または減分) できます。この周波数調整は、APLL1 ドメイン (カスケード構成の場合は APLL2 ドメイン) を通じて出力クロックへと実質的に反映されます。

プログラムされた DPLL ループ帯域幅 ( $BW_{DPLL}$ ) は、次のすべてよりも低くなければなりません。

1. DPLL TDC レートの 1/100
2. APLL1 ループ帯域幅 (標準値 1kHz ~ 10kHz)
3. DPLL の最大帯域幅設定は 4kHz です。

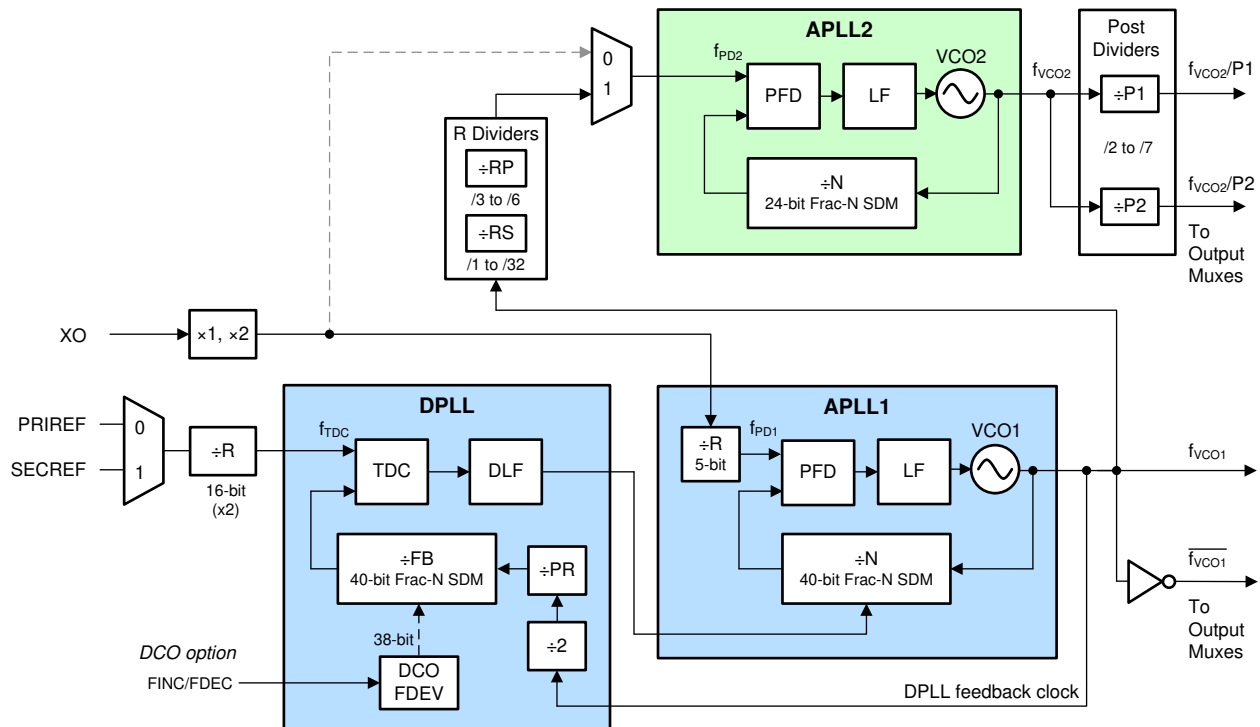


図 7-3. カスケード接続 APLL2 による DPLL モード

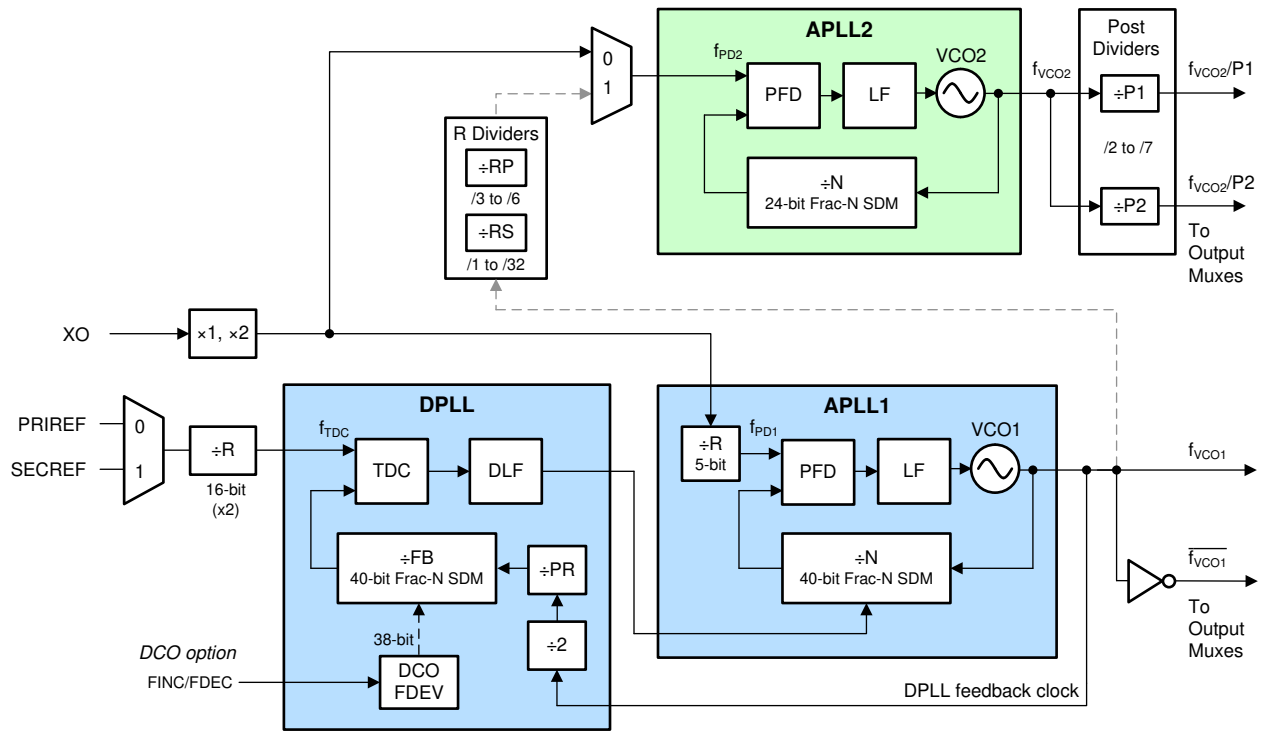


図 7-4. 非カスケード APLL2 による DPLL モード

### 7.2.3 APLL のみモード

APLL 専用モードでは、外部 XO 入力ソースによって、出力クロックのフリーラン周波数の安定性と精度が決まります。BAW VCO1 は、XO 入力の周波数やジッタに関係なく、12kHz~20 MHz の積分帯域における APLL1 出力クロックの位相ノイズおよびジッタ性能を決定します。

パワーオンリセットおよび初期化後の APLL 専用モードの動作原理は次のとおりです。図 7-5 に示すように APLL2 がカスケードモードの場合、APLL2 がロックしている間、VCO1 は公称中心周波数である 2.5 GHz に保持されます。その後、APLL1 は VCO1 の周波数を外部の XO 入力にロックし、フリーランモードで動作します。DPLL ブロックは使用されず、APLL に影響を与えません。VCO2 は VCO1 ドメインを追跡します。APLL2 をカスケード接続することで、VCO1 から高周波かつ超低ジッタのリファレンスクロックを供給でき、APLL2 のリファレンスを低周波で位相ノイズフロアが高い、またはその両方の特性を持つ XO/TCXO/OCXO から取得した場合に生じる、APLL2 の帯域内位相ノイズやジッタの影響を最小化できます。

図 7-4 に示すように APLL2 をカスケード接続しない場合、初期化後に VCO2 は XO 入力にロックし、DPLL/ APLL1 ドメインとは独立して動作します。

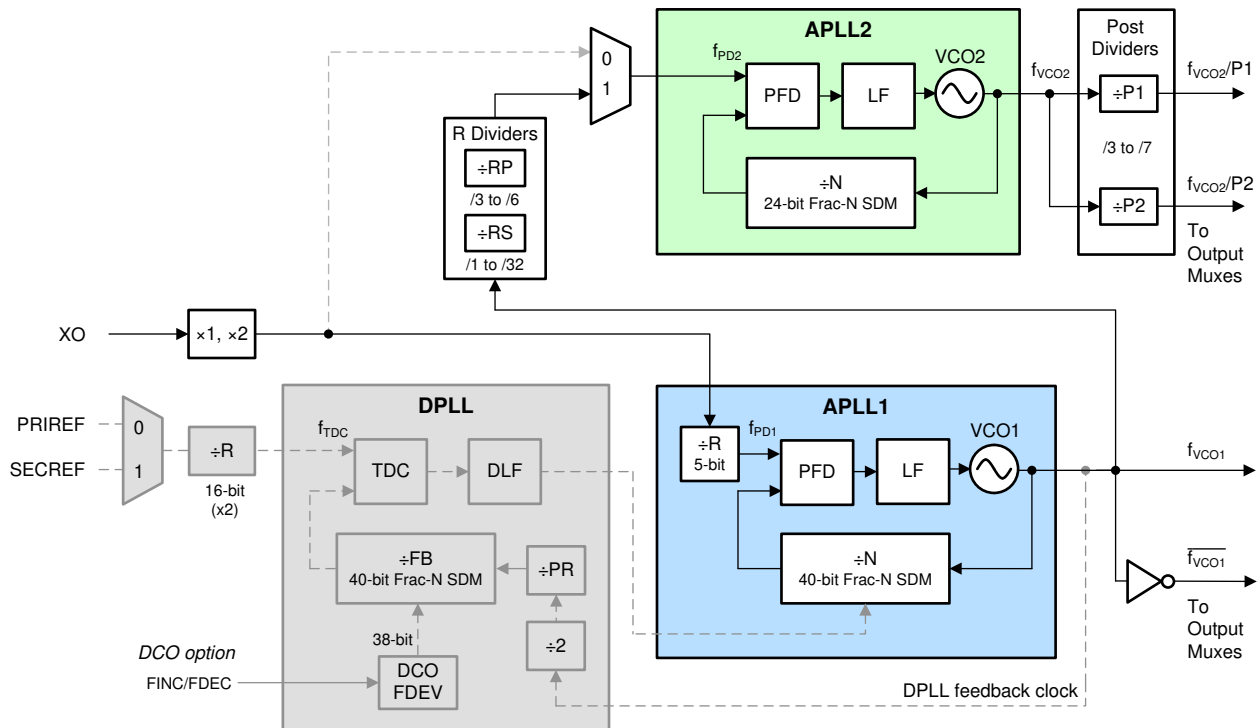


図 7-5. APLL2 をカスケード接続した APLL 専用モード

## 7.3 機能説明

以降のセクションでは、LMK05318 の機能および機能ブロックについて説明します。

### 7.3.1 発振器入力 (XO\_P/N)

XO 入力は、分数 N APLL のリファレンスクロックです。XO 入力により、フリーランまたはホールド オーバー モードでの出力周波数精度と安定性が決まります。

DPLL モードでは、APLL1 を分数モードで動作できるように、XO 周波数は VCO1 周波数と**整数以外の関係**を持つ必要があります。APLL のみのモードでは、XO 周波数は VCO1 および / または VCO2 の周波数と整数比または分数比の関係を持つことができます。

SyncE や IEEE 1588 などの DPLL モードのアプリケーションでは、XO 入力は、適用される同期規格で要求される周波数精度およびホールドオーバー安定性に適合した、低周波の TCXO、OCXO、または外部の追跡可能なクロックで駆動できます。12.8MHz、13MHz、14.4MHz、19.2MHz、19.44MHz、24MHz、24.576MHz、27MHz、30.72MHz、38.88MHz、48MHz、49.152MHz、および 54MHz の TCXO/ OCXO 周波数は一般的に入手しやすく、コスト効率のよい選択肢であり、VCO1 周波数を 2.5GHz とした場合に APLL1 を分数モードで動作させることができます。

低周波数のもの、または高い位相ジッタやノイズフロアを持つ XO/TCXO/OCXO ソースであっても、12 kHz~20MHz の積分帯域におけるジッタおよび位相ノイズは BAW VCO によって決まるため、出力ジッタ性能には影響しません。

XO 入力バッファには、[図 7-6](#) に示すように、プログラム可能な入力オンチップ終端と AC 結合入力バイアス構成があります。XO 入力は、7pF の直列容量と入力バッファ容量を通して内部的に AC 結合されています。XO\_P ピンと XO\_N ピンから観測される実効容量は、通常 2pF 未満です。バッファされた XO パスは、XO 入力監視ブロックにも供給されます。

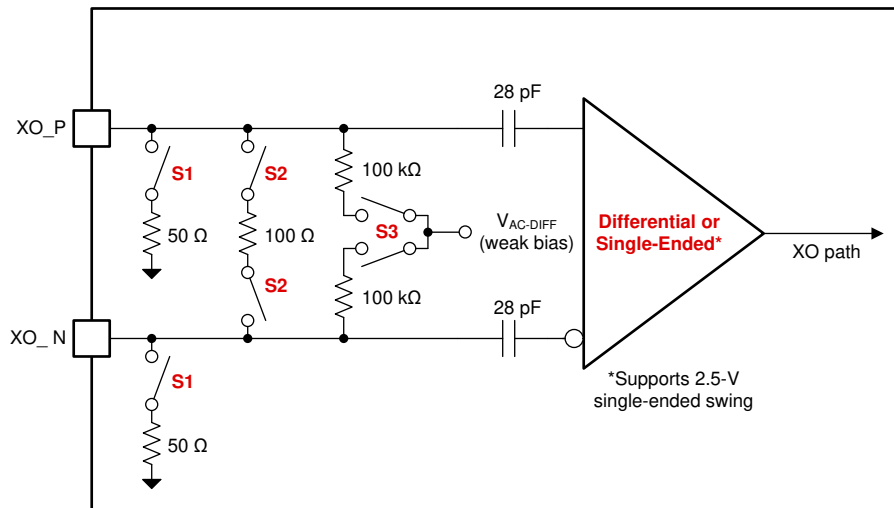


図 7-6. XO 入力バッファ

表 7-1 に、一般的なクロック インターフェイス タイプの標準的な XO 入力バッファ構成を示します。

表 7-1. XO 入力バッファ モード

| XO_TYPE<br>(R43[6:3]) | 入力タイプ                       | 内部スイッチの設定                   |                            |
|-----------------------|-----------------------------|-----------------------------|----------------------------|
|                       |                             | 内部終端(S1, S2) <sup>(1)</sup> | 内部バイアス (S3) <sup>(2)</sup> |
| 0x0                   | 差動<br>(外部 DC 結合および内部 AC 結合) | OFF                         | OFF                        |
| 0x1                   | 差動 DC<br>(結合または AC 結合)      | OFF                         | ON (1.3V)                  |

表 7-1. XO 入力バッファ モード (続き)

| XO_TYPE<br>(R43[6:3]) | 入力タイプ   | 内部スイッチの設定                   |                            |
|-----------------------|---|-----------------------------|----------------------------|
|                       |   | 内部終端(S1, S2) <sup>(1)</sup> | 内部バイアス (S3) <sup>(2)</sup> |
| 0x3                   | 差動<br>(外部 DC 結合または AC 結合、100Ω および AC 結合で内部終端) | 100 Ω                       | ON (1.3V)                  |
| 0x4                   | HCSL<br>(外部 DC 結合、50Ω および AC 結合で内部終端)         | 50 Ω                        | OFF                        |
| 0x8                   | LVC MOS<br>(外部 DC 結合、内部 AC 結合)                | OFF                         | OFF                        |
| 0xC                   | シングル エンド<br>(外部 DC 結合、50Ω および AC 結合で内部終端)     | 50 Ω                        | OFF                        |

(1) S1, S2: OFF = 外部終端を想定しています。

(2) S3: OFF = 外部入力バイアスまたは DC 結合を想定しています。

### 7.3.2 リファレンス入力 (PRIREF\_P/N と SECREF\_P/N)

リファレンス入力 (PRIREF および SECREF) は、差動クロックまたはシングルエンド クロックのいずれも受け入れることができます。図 7-7、に示すように、各入力には、プログラム可能な入力タイプ、終端、AC 結合の入力バイアス構成があります。各入力バッファは、DPLL ブロックのリファレンス入力マルチプレクサを駆動します。DPLL 入力マルチプレクサは、任意のリファレンス入力から選択できます。DPLL は、DPLL の R 分周器によって共通の周波数に分周できる場合、異なる周波数の入力間で切り替えることができます。また、リファレンス入力パスは、リファレンス入力の監視と検証のためのさまざまな検出器ブロックも駆動します。

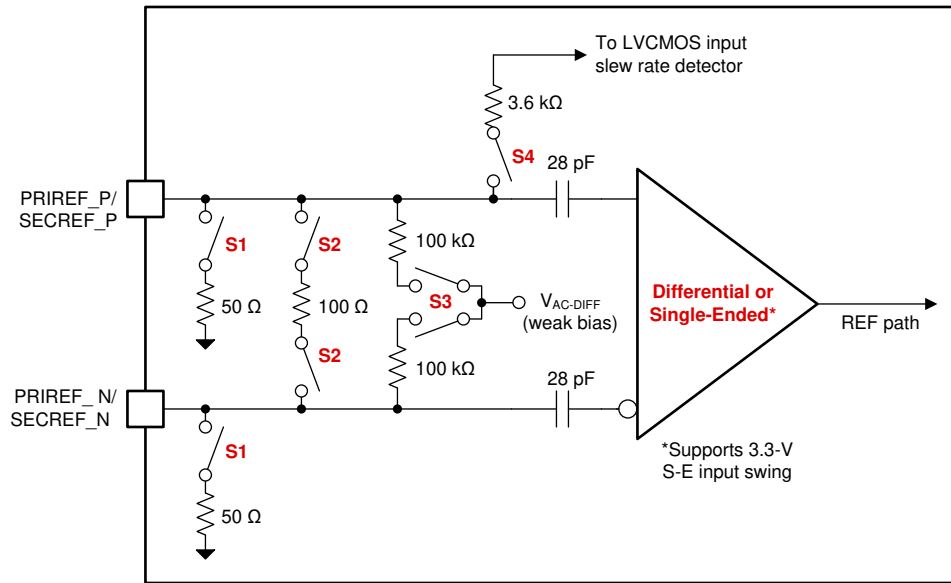


図 7-7. リファレンス入力バッファ

表 7-2 に、一般的なクロック インターフェイス タイプのリファレンス入力バッファ構成を示します。

表 7-2. リファレンス入力バッファ モード

| REFx_TYPE | 入力タイプ                           | 内部スイッチの設定                    |                            |                                       |
|-----------|---------------------------------|------------------------------|----------------------------|---------------------------------------|
|           |                                 | 内部終端 (S1, S2) <sup>(1)</sup> | 内部バイアス (S3) <sup>(2)</sup> | LVCMOS スルー レート 検出 (S4) <sup>(3)</sup> |
| 0x0       | LVDS、CML、LVPECL (DC 結合)         | OFF                          | OFF                        | OFF                                   |
| 0x1       | LVDS、CML、LVPECL (AC 結合)         | OFF                          | ON (1.3V)                  | OFF                                   |
| 0x3       | LVDS、CML、LVPECL (AC 結合、内部 100Ω) | 100 Ω                        | ON (1.3V)                  | OFF                                   |
| 0x4       | HCSL (DC 結合、内部 50Ω)             | 50 Ω                         | OFF                        | OFF                                   |
| 0x8       | LVCMOS (DC 結合)                  | OFF                          | OFF                        | オン                                    |
| 0xC       | シングル エンド (DC 結合、内部 50Ω)         | 50 Ω                         | OFF                        | オン                                    |

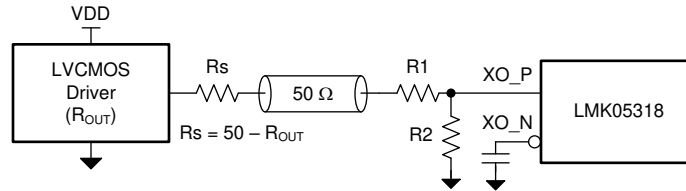
(1) S1, S2: OFF = 外部終端を想定しています。

(2) S3: OFF = 外部入力バイアスまたは DC 結合を想定しています。

(3) S4: OFF = 差動入力振幅検出器は、LVCMOS またはシングルエンドを除くすべての入力タイプで使用されます。

### 7.3.3 クロック入力インターフェイスおよび終端

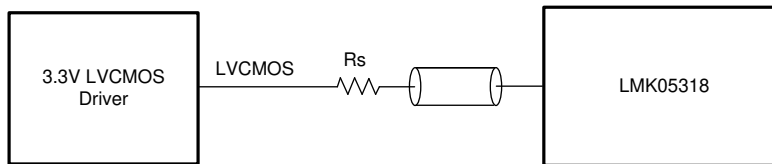
これらの図は、推奨される入力インターフェイスと終端回路を示しています。使用されていないクロック入力、フローティングのままにするか、プルダウンすることができます。



| VDD   | R1 (Ω) | R2 (Ω) |
|-------|--------|--------|
| 3.3 V | 125    | 375    |
| 2.5 V | 0      | open   |
| 1.8 V | 0      | open   |

Copyright © 2018, Texas Instruments Incorporated

図 7-8. シングル エンド LVCMOS (1.8V、2.5V、3.3V) から XO 入力 (XO)



Copyright © 2018, Texas Instruments Incorporated

図 7-9. シングル エンド LVCMOS (1.8、2.5、3.3V) からリファレンス (PRIREF\_P/SECREP\_P)

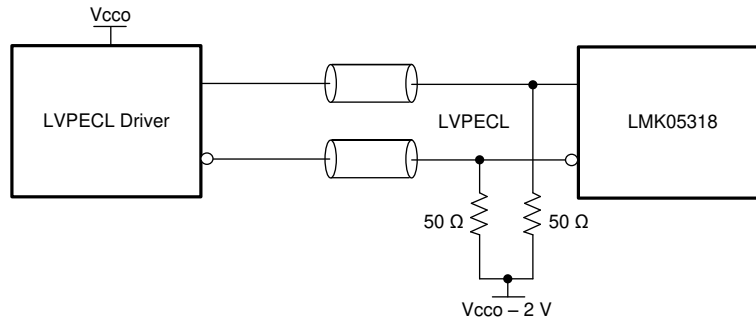
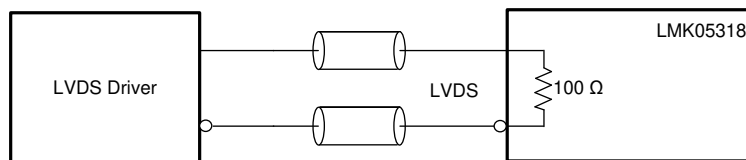
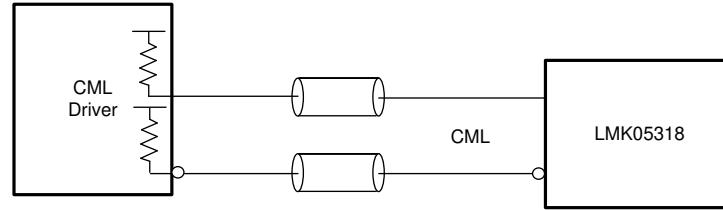


図 7-10. リファレンス (PRIREF\_P/ SECREP\_P) または XO 入力への DC 結合 LVPECL



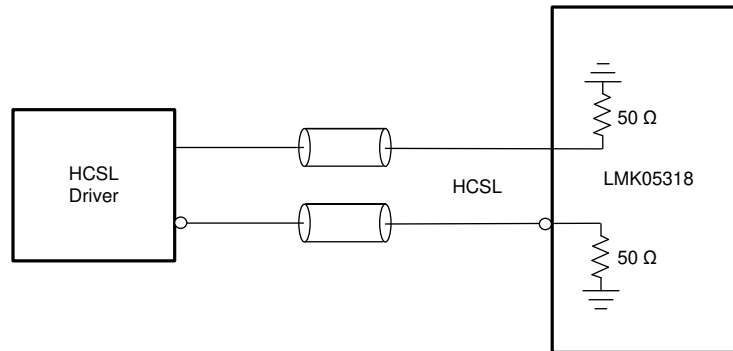
Copyright © 2018, Texas Instruments Incorporated

図 7-11. リファレンス (PRIREF/SECREP) または XO 入力への DC 結合 LVDS



Copyright © 2018, Texas Instruments Incorporated

図 7-12. リファレンス (PRIREF/ SECREF) または XO 入力への DC 結合 CML (ソース終端)

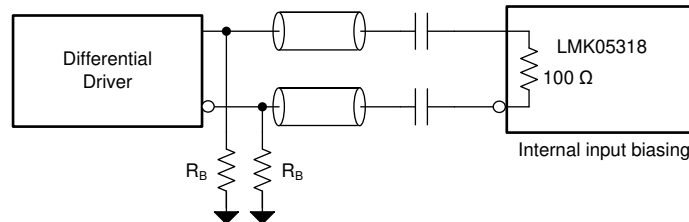


Copyright © 2018, Texas Instruments Incorporated

図 7-13. リファレンス (PRIREF/ SECREF) または XO 入力への HCSL (ロード終端)

| Driver       | $R_B$ ( $\Omega$ ) |
|--------------|--------------------|
| LVDS         | open               |
| CML*         | open               |
| 3.3-V LVPECL | 150                |
| 2.5-V LVPECL | 82                 |
| HCSL         | 50                 |

\*CML driver has 50- $\Omega$  pull-up



Copyright © 2018, Texas Instruments Incorporated

図 7-14. AC 結合差動からリファレンス (PRIREF/SECREF) または XO 入力

### 7.3.4 リファレンス入力マルチプレクサの選択

DPLL ブロックの場合、リファレンス入力マルチプレクサの選択は、設定可能な入力優先順位スキームを備えた内部ステートマシンを使用して自動的に行うか、ソフトウェアレジスタ制御またはハードウェアピン制御によって手動で行うことができます。入力マルチプレクサは、PRIREF または SECREF のいずれかを選択できます。すべての入力の優先順位はレジスタを通じて割り当てることができます。優先度は 0 ~ 2 の範囲で、0 は無視 (選択しない)、1 は第 1 優先、2 は第 2 優先を示します。両方の入力と同じ優先度に設定されている場合、PRIREF が第 1 優先として扱われます。選択された入力は、ステータスピンまたはレジスタを通じて監視できます。

#### 7.3.4.1 自動入力選択

レジスタで設定できる自動入力選択モードは 2 つあります。自動リバーティブと自動非リバーティブ。自動復帰と自動非復帰。

- **自動復帰:** このモードでは、DPLL は設定された優先度が最も高い有効な入力を自動的に選択します。優先度の高いクロックが有効になった場合、DPLL は直ちにそのクロックに自動的に切り替わります。
- **自動非復帰:** このモードでは、DPLL は有効な最も優先度の高い入力を自動的に選択します。より優先度の高い入力が有効である場合、現在選択されている入力が無効になるまで DPLL は切り替わりません。

### 7.3.4.2 手動入力選択

レジスタで設定できる手動入力選択モードは 2 つあります。自動フォールバックによる手動と自動ホールドオーバーによる手動。どちらの手動モードでも、入力の選択はレジスタ制御 (表 7-3 を参照) またはハードウェア ピン制御 (表 7-4 を参照) によって行うことができます。

- **自動フォールバックによる手動モード:** このモードでは、手動で選択されたレファレンスは、レファレンスが無効になるまでアクティブなレファレンスになります。レファレンスが無効になった場合、DPLL は自動的に、有効または適格な最高優先度の入力にフォールバックします。優先入力が有効でない場合、DPLL はホールドオーバー モード (チューニングワード履歴が有効な場合) またはフリーラン モードに入ります。選択された入力が有効になると、DPLL はホールドオーバー モードを終了します。
- **自動ホールドオーバーを使用した手動モード:** このモードでは、手動で選択されたレファレンスは、レファレンスが無効になるまでアクティブなレファレンスになります。レファレンスが無効になると、DPLL は自動的にホールドオーバー モード (チューニングワード履歴が有効な場合) またはフリーラン モードになります。選択された入力が有効になると、DPLL はホールドオーバー モードを終了します。

表 7-3. レジスタ ビットによる手動入力選択

| DPLL_REF_MAN_REG_SEL (R251[4]) | DPLL_REF_MAN_SEL (R251[5]) | 選択した入力 |
|--------------------------------|----------------------------|--------|
| 0                              | 0                          | PRIREF |
| 1                              | 0                          | SECREf |

表 7-4. ハードウェア ピンによる手動入力選択

| REFSEL (ピン 8)        | DPLL_REF_MAN_SEL (R251[5]) | 選択した入力 |
|----------------------|----------------------------|--------|
| 0                    | 1                          | PRIREF |
| フローティング ( $V_{IM}$ ) | 1                          | 自動選択   |
| 1                    | 1                          | SECREf |

レファレンス入力選択フローチャートを [図 7-15](#) に示します。

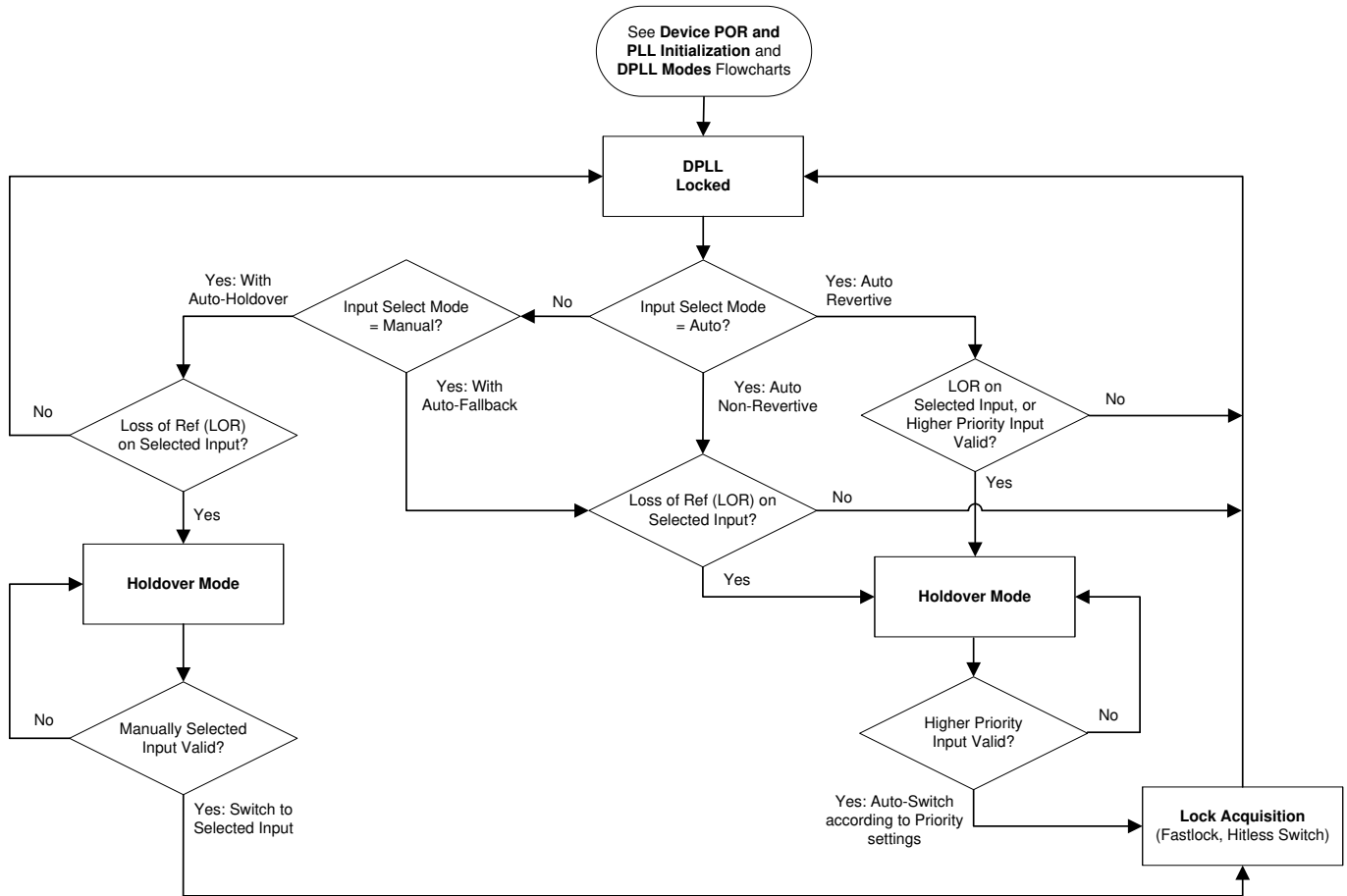


図 7-15. レファレンス入力選択フローチャート

### 7.3.5 ヒットレススイッチング

DPLL は、TI 独自の位相キャンセル方式により、ヒットレス スイッチングをサポートします。ヒットレス スイッチングが有効な場合、切り替え対象の 2 つの入力が固定の位相オフセットを持ち、かつ周波数ロックされているときに、位相過渡 (位相ヒット) が出力へ伝播するのを DPLL が防止します。入力が正確に同じ周波数 (0ppm オフセット) を持つ場合、または周波数が整数関連でそれぞれが共通の周波数に整数で分割できる場合、入力は周波数ロックされます。ヒットレス スイッチングが無効な場合、2 つの入力間の位相オフセットに相当する位相ヒットが、DPLL のファストロック帯域幅によって決まる速度で出力に伝播します。ヒットレス スイッチング仕様 ( $t_{\text{HITLESS}}$  および  $f_{\text{HITLESS}}$ ) は、ワンダのないリファレンス入力に対して有効です。2 つの入力が切り換っても周波数がロックされていない場合、出力は過渡現象が低減され、新しい周波数にスムーズに移行します。

### 7.3.6 リファレンス入力でのギャップドクロックのサポート

DPLL は、ミッシング期間を持つ入力クロックへのロックをサポートし、ギャップクロックと呼ばれます。ギャップによりクロックのジッタが大幅に増加するため、DPLL は低ジッタの周期的出力クロックを生成するために必要な高い入力ジッタ許容度と低いループ帯域幅を提供します。結果として得られる出力は、ミッシング サイクルを含む入力の平均周波数を持つ、周期的なギャップのないクロックです。ギャップクロック幅は、R デバイダ ( $R_{\text{PRI}}/\text{SECREf} / f_{\text{PRI}}/\text{SECREf}$ ) 後のリファレンスクロック周期より長くすることはできません。ロックを達成して維持するには、最悪のケースのクロックギャッピングシナリオによるフラグを回避するようにリファレンス入力モニタを構成する必要があります。ギャップのある 2 つのクロック入力間のリファレ

ンス切り替えは、どちらかの入力クロックのギャップ中に切り替えが発生した場合、ヒットレス スイッチング仕様に違反する可能性があります。

### 7.3.7 入力クロックおよび PLL 監視、ステータス、割り込み

次のセクションでは、入力クロックと PLL の監視、ステータス、および割り込み機能について説明します。

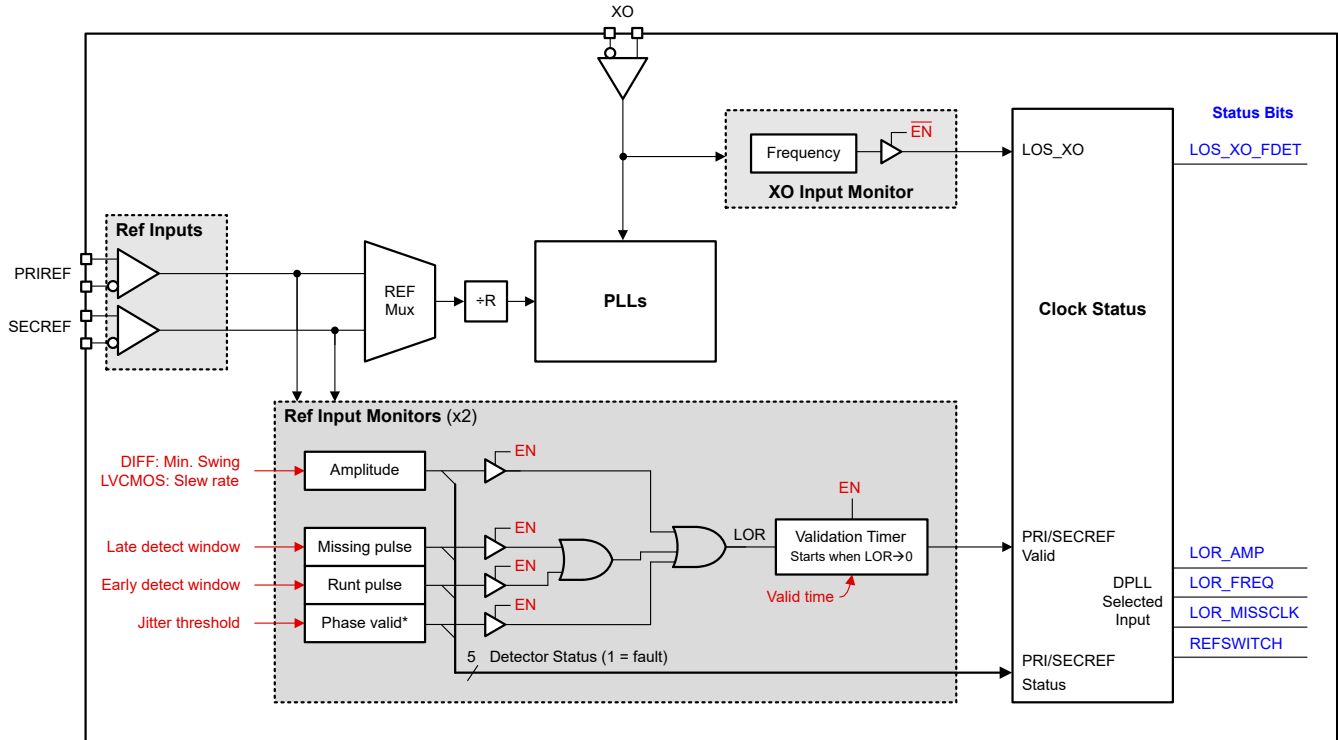


図 7-16. リファレンスおよび XO 入力用クロック モニタ

#### 7.3.7.1 XO 入力監視

XO 入力には、APLL のロックに使用する前に入力を評価するための粗周波数モニタが備わっています。

XO 周波数検出器は、入力周波数がサポート範囲である 10MHz ~ 100MHz 内にあることが検出されると、LOS\_XO\_FDET フラグをクリアします。XO 周波数モニタは RC ベースの検出器を使用しているため、外部 XO クロックの立ち上がりが遅い、または遅延する挙動を示す場合、PLL 起動時の VCO キャリブレーションが正常に行えるだけの周波数安定性が XO 入力にあるかどうかを正確に検出することはできません。詳細については「[低速または遅延 XO 起動](#)」を参照してください。

XO 周波数検出器は、XO\_FDET\_BYP ビット (図 7-16 では  $\overline{EN}$  と表示) を設定することによってバイパスすることができ、その結果、XO 入力は PLL 制御ステートマシンによって常に有効とみなされます。ユーザーは、ステータスピンとステータスビットを通して LOS\_XO\_FDET ステータス フラグを確認できます。

#### 7.3.7.2 リファレンス入力監視

各 DPLL リファレンス クロック入力は、リファレンスクロックが認定され、DPLL による選択に使用できるようになる前に、入力検証のために個別に監視されます。入力が有効と判定される前に、有効化されているすべてのリファレンス監視がフラグなしの状態を維持すべき最小時間を設定するための検証タイマも用意されています。

すべてのリファレンス モニタと検証タイマの有効化と有効なスレッシュホールドは、入力ごとにプログラム可能です。リファレンス監視および検証タイマは有効化が任意ですが、ホールドオーバーやスイッチオーバー時に信頼性の高い DPLL ロックと最適な過渡応答性能を実現するうえで重要です。リファレンス モニタと検証タイマも、信頼性の低いクロック入力または断続的なクロック入力の選択を回避するために使用されます。特定の検出器が有効になっていない場合、検出器はフラグを

設定せず、無視されます。有効な検出器のステータス フラグは、任意のリファレンス入力 (選択されているか、選択されていないか) のステータス ピンを通じて確認できます。有効になっている検出器のステータス フラグは、DPLL の選択された入力のステータス ビットを通じて読み取ることもできます。

#### 7.3.7.2.1 リファレンス検証タイマ

検証タイマは、参照が適格と判断され選択可能となるまでに、すべての有効な入力モニターから各タイマのフラグがクリアされるまでに必要な時間を設定します。検証タイマと有効化設定はプログラム可能です。

#### 7.3.7.2.2 振幅モニタ

リファレンス振幅検出器は、入力バッファの構成に応じて、入力信号が振幅に関するスレッシュホールドを満たしているかどうかを判定します。差動入力モードでは、差動入力電圧スイング (ピーク ツー ピーク) が、レジスタで選択された最小スレッシュホールド (公称 400、500、または 600mVpp) を上回ると、振幅検出器は LOR\_AMP フラグをクリアします。LVCMOS 入力モードでは、入力スルーレート検出器が、レジスタで選択されたクロック エッジ (立ち上がり、立ち下がり、または両エッジ) において、スルーレートが 0.2V/ns より速い場合に LOR\_AMP フラグをクリアします。差動入力クロックと LVCMOS 入力クロックのどちらかが指定されたスレッシュホールドを満たしていない場合、振幅検出器は LOR\_AMP フラグを設定し、入力を無効化します。

入力周波数が 5MHz を下回る場合、差動入力検出器は誤フラグを通知できます。そのため、差動入力検出器を無効にし、入力クロックを検証するために、少なくとも 1 つ以上の他の入力モニタ (周波数スレッシュホールド、またはアーリー/レイトウィンドウ) を有効にします。

#### 7.3.7.2.3 周波数監視

高精度周波数検出器は、すべての入力クロックの周波数オフセットまたは誤差 (ppm) を、周波数比較における「0ppm のリファレンスクロック」とみなされる XO 入力の周波数精度に対して測定します。有効および無効な ppm 周波数スレッシュホールドは、レジスタを通じて設定できます。相対入力周波数誤差が有効な ppm スレッシュホールドより小さい場合、モニタは LOR\_FREQ フラグをクリアします。それ以外の場合、相対入力周波数誤差が無効な ppm スレッシュホールドより大きい場合、モニタは LOR\_FREQ フラグを設定します。有効なスレッシュホールドと無効なスレッシュホールド間の ppm デルタは、入力周波数オフセットがこれらのスレッシュホールドを超えたときに LOR\_FREQ フラグが切り替わるのを防ぐヒステリシスを提供します。

測定精度 (ppm) と平均化係数は、周波数検出器レジスタ設定の計算に使用されます。測定精度が高いほど (ppm が小さいほど)、または平均化係数が高いほど、フラグを設定またはクリアするための測定遅延が長くなり、入力周波数が安定するまでの時間が長くなります。また、ドリフトやふらつきが大きい入力に対しても、測定解像度が向上します。平均化率を高くすると、設定できる最大周波数 ppm スレッシュホールドが減少することに注意してください。

#### 7.3.7.2.4 ミッシングパルス モニタ (事後検出)

ミッシングパルス モニタは、ウィンドウ検出器を使用して、公称クロック周期とプログラム可能な遅延ウィンドウ スレッシュホールド ( $T_{LATE}$ ) 以内に到達する入力クロック パルスを検証します。 $T_{LATE}$  より前に入力パルスが到達した場合、そのパルスは有効とみなされ、欠落パルスフラグはクリアされます。入力パルスが  $T_{LATE}$  より前に到達しない場合 (パルスの欠落または遅延のため)、入力を不適格とするフラグが直ちに設定されます。

通常、 $T_{LATE}$  は入力クロックの最長周期 (サイクル間ジッタを含む) よりも大きく、またはギャップ付きクロックの場合はそのギャップ幅よりも大きく設定します。ミッシングパルス モニタは、ppm 周波数検出器よりも高速に検出できる粗い周波数検出器として機能します。ミッシングパルス モニタは 2kHz から  $f_{VCO1}/12$  までの入力周波数でサポートされ、この範囲外の場合は無効にする必要があります。

ミッシングパルス モニタとラントパルス モニタは、各リファレンス入力に対して同じウィンドウ検出ブロックから動作します。これら両方のモニタのステータス フラグは、ロジック OR ゲートによって結合され、ステータス ピンを通じて観察できます。選択された DPLL 入力に対するウィンドウ検出フラグは、対応する MISSCLK ステータス ビットを通じて確認できます。

#### 7.3.7.2.5 ラントパルス モニタ (早期検出)

ラントパルス モニタは、ウィンドウ検出器を使用して、公称クロック周期からプログラム可能な早期ウィンドウしきい値 ( $T_{EARLY}$ ) を引いた値内に到着する入力クロック パルスを検証します。 $T_{EARLY}$  の後に入力パルスが到着すると、そのパル

スは有効であるとみなされ、ラントパルスフラグがクリアされます。 $T_{EARLY}$  より前に早いまたは短い入力パルスが到着すると、モニタは直ちにフラグを設定して入力を不適格とします。

通常、 $T_{EARLY}$  は入力の最短クロック周期 (サイクル間ジッタを含む) よりも低く設定する必要があります。早期パルスモニタは、ppm 周波数検出器よりも高速に検出できる粗い周波数検出器として機能します。早期パルスモニタは 2kHz から  $f_{VCO1}/12$  までの入力周波数でサポートされ、この範囲外の場合は無効にする必要があります。

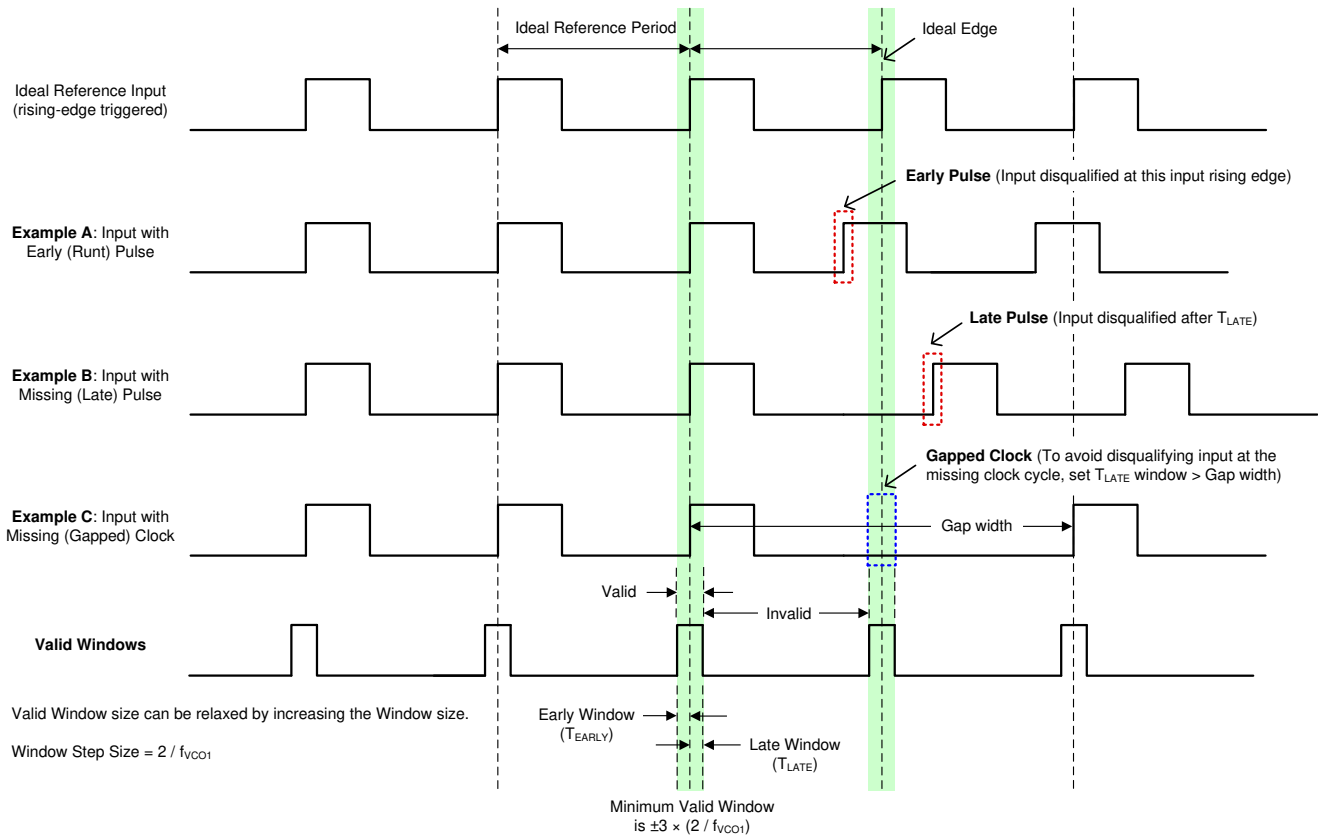


図 7-17. 早期ウィンドウ検出器と遅延ウィンドウ検出器の例

### 7.3.7.3 PLL ロック検出器

ロック損失 (LOL) ステータスは、APLL および DPLL ごとに利用できます。APLL は、周波数損失ロックについてのみ監視されます。DPLL は、周波数損失ロック (LOFL) と位相損失ロック (LOPL) の両方を監視できます。DPLL ロック スレッショルドおよびロック損失スレッショルドは、LOPF および LOFL ディテクタの両方に対してプログラム可能です。

DPLL の周波数ロック検出器は、選択されたリファレンス入力に対する DPLL の周波数誤差がロック ppm スレッショルド未満になると、LOFL フラグをクリアします。それ以外の場合、DPLL の周波数誤差がアンロック ppm スレッショルドを超えると、DPLL の周波数ロック検出器は LOFL フラグをセットします。ロック スレッショルドとロック解除スレッショルド間の ppm デルタは、DPLL 周波数エラーがこれらのスレッショルドを超えたときに LOFL フラグが切り替わるのを防ぐヒステリシスを提供します。

測定精度 (ppm) と平均化係数は、周波数ロック検出器レジスタ設定の計算に使用されます。測定精度が高いほど (ppm が小さいほど)、または平均化係数が高いほど、LOFL フラグを設定またはクリアするための測定遅延が増加します。平均化率を高くすると、ワンダの大きい入力にロックする場合や、DPLL が狭いループ帯域幅で構成されている場合に役立ちます。平均化率を高くすると、設定できる最大周波数 ppm スレッショルドが減少することに注意してください。

DPLL 位相ロック検出器は、DPLL の位相誤差が位相ロック スレッシュホールドより小さいときに LOPL フラグをクリアします。それ以外の場合、位相誤差が位相ロック解除スレッシュホールドよりも大きい場合、ロック検出器は LOPL フラグを設定します。

ユーザーは、ステータスピンとステータスビットを通じて APLL および DPLL ロック検出フラグを観察できます。

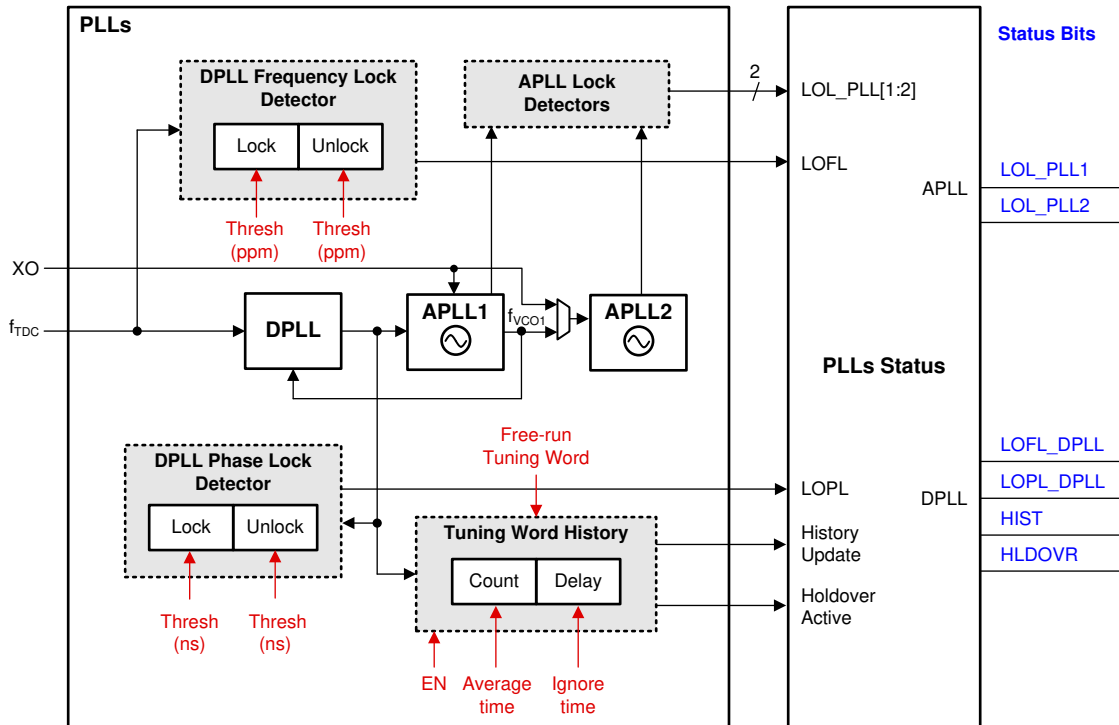


図 7-18. PLL ロック検出器と履歴モニタ

### 7.3.7.4 調整ワード履歴

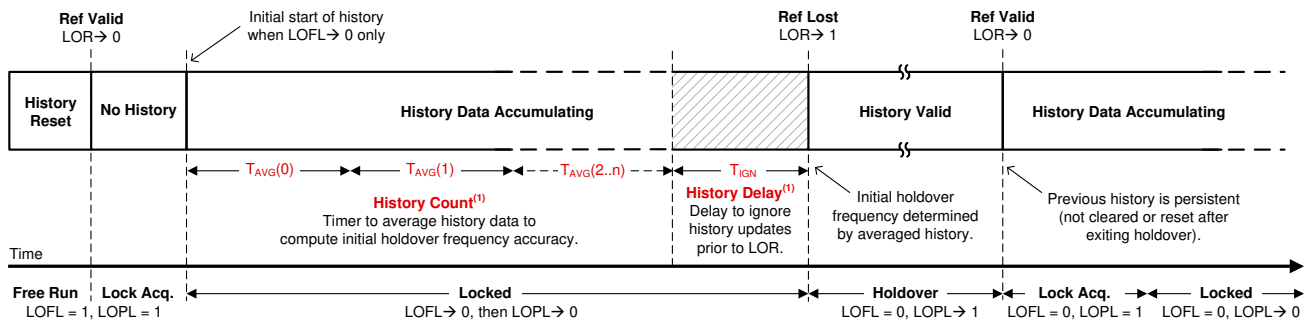
DPLL ドメインには、ホールド オーバーへの移行時の初期出力周波数精度を決定するチューニングワード履歴モニターがあります。チューニングワードは、DPLL 動作モードに応じて、次の 3 つのソースのいずれかから更新できます。

1. ロックモード: ロックされているときのデジタルループフィルタの出力から更新します
2. ホールドオーバーモード: 履歴モニタの最終出力から更新します
3. フリーランモード: フリーランチューニングワードレジスタ(ユーザー定義)から更新します

履歴モニタが有効で、かつ DPLL がロックしている場合、履歴モニタは、プログラム可能な平均化時間( $T_{AVG}$ )の間、デジタルループフィルタ出力の履歴を蓄積することで、基準入力周波数を実質的に平均化します。入力が無効になると、最終的なチューニングワード値が保存され、初期ホールドオーバー周波数の精度が決定されます。一般に、 $T_{AVG}$  時間が長いほど、初期ホールドオーバー周波数はより正確になります。0ppm の基準クロック(XO 入力)の安定性が、ホールドオーバー出力周波数の長期的な安定性および精度を決定します。

別のプログラマブル遅延タイマー ( $T_{IGN}$ ) もあり、ホールドオーバーに入る直前に破損した履歴データを無視するように設定できます。入力クロックに障害が発生している間、および入力モニタでデータが検出される前にチューニングワードの更新が発生した場合、履歴データが破損する可能性があります。 $T_{AVG}$  時間と  $T_{IGN}$  時間はどちらも、それぞれ HISTCNT および HISTDLY レジスタビットによりプログラム可能であり、TDC レートに関係します。

チューニングワード履歴は、デバイスのハードリセットまたはソフトリセット後に最初に消去されます。DPLL が新しいリファレンスにロックした後、履歴モニタは最初の  $T_{AVG}$  タイマーが期限切れになるまで待機してから、最初のチューニングワード値を保存し、履歴の蓄積を開始します。履歴モニタは、リファレンス切り替え中またはホールドオーバー終了中に以前の履歴値をクリアしません。必要に応じて、履歴有効ビット (HIST\_EN = 1 → 0 → 1) を切り替えることで、履歴を手動でクリアまたはリセットできます。



(1) 履歴カウントと遅延ウィンドウはプログラム可能です。

図 7-19. チューニングワード履歴ウィンドウ

スイッチオーバーまたはホールドオーバー イベントは、最初のチューニングワードが保存される前に発生し、 $T_{AVG}$  期間が分または時間に設定されている場合に使用できます (より正確な履歴平均頻度を得るためです)。早期スイッチオーバー イベントを克服するために、中間履歴更新オプション (HIST\_INTMD) があります。履歴がリセットされると、中間平均は  $T_{AVG}/2^K$  の間隔 ( $K = \text{HIST\_INTMD}$  から 0) で、最初の  $T_{AVG}$  期間中のみ更新できます。HIST\_INTMD = 0 の場合、中間更新はなく、最初の  $T_{AVG}$  期間後に最初の平均が保存されます。ただし、HIST\_INTMD = 4 の場合、4 つの中間平均化が  $T_{AVG}/16$ 、 $T_{AVG}/8$ 、 $T_{AVG}/4$ 、 $T_{AVG}/2$  と  $T_{AVG}$  で取得されます。最初の  $T_{AVG}$  期間の後、それ以降のすべての履歴の更新は  $T_{AVG}$  期間中に行われます。

チューニングワードの履歴が存在しない場合、フリーランのチューニングワード値(TUNING\_FREE\_RUN)が、ホールドオーバー出力周波数の初期精度を決定します。

### 7.3.7.5 ステータス出力

STATUS0 および STATUS1 ピンは、デバイスの診断やデバッグを目的として、さまざまなステータス信号や割り込みフラグを出力するように設定できます。ステータス信号、出力ドライバタイプ、および出力極性の設定はプログラム可能です。これらのピンで利用可能なステータス信号は、[Unable to auto-generate link text](#) に一覧で示されています。出力極性が反転されていない (またはアクティブ low に設定されていない) 場合、ステータス信号がアサートされると、ステータス出力は high (アクティブ high) を駆動します。

表 7-5. デバイス ブロックごとに利用可能なステータスピン信号

| 監視対象デバイスブロック            | ステータス信号 (アクティブ High)                         |
|-------------------------|--|
| XO                      | XO 信号損失 (LOS)                                |
| APLL1 および APLL2         | APLLx ロック検出 ( $\overline{\text{LOL}}$ )      |
|                         | APLLx VCO 較正がアクティブ                           |
|                         | APLLx N デバイダ、2 分周                            |
|                         | APLLx デジタルロック検出 (DLD)                        |
| APLL2R 分周器、2 分周         |  |
| EEPROM                  | EEPROM がアクティブ                                |
| すべての入力および PLL           | 割り込み (INTR)                                  |
| PRIREF と SECREF         | PRIREF/SECREF モニタ分周器出力、2 分周                  |
|                         | PRIREF/SECREF 振幅監視故障                         |
|                         | PRIREF/SECREF 周波数モニタ故障                       |
|                         | PRIREF/SECREF 欠落または早期パルス モニタ故障               |
|                         | PRIREF/SECREF 検証タイムがアクティブ                    |
| PRIREF/SECREF 位相検証モニタ故障 |  |
| DPLL                    | DPLL R デバイダ、2 分周                             |
|                         | DPLL FB デバイダ、2 分周                            |
|                         | DPLL フェーズ ロック検出 ( $\overline{\text{LOPL}}$ ) |
|                         | DPLL PRIREF/SECREF を選択                       |
|                         | DPLL ホールドオーバー アクティブ                          |
|                         | DPLL リファレンス切り替えイベント                          |
|                         | DPLL チューニング履歴の更新                             |
|                         | DPLL FastLock がアクティブ                         |
| DPLL ロック損失 (LOFL)       |  |

### 7.3.7.6 割り込み

2 つのステータス ピンのいずれかは、デバイスの割り込み出力ピンとして設定できます。割り込みロジック構成は、レジスタによって設定されます。割り込みロジックが有効な場合、割り込み出力は、XO の LOS、選択された DPLL 入力の LOR、各 APLL および DPLL の LOL、さらに DPLL のホールドオーバーおよびスイッチオーバー イベントなど、任意の組み合わせの割り込みステータス インジケータによってトリガできます。割り込み極性が High に設定されている場合、ライブ ステータスビットの立ち上がりエッジによって割り込みフラグ (スティッキー ビット) がアサートされます。それ以外の場合、極性が低く設定されていると、ライブ ステータスビットの立ち下がりエッジによって割り込みフラグがアサートされます。個々の割り込みフラグをマスクして、フラグが割り込み出力をトリガーしないようにすることができます。マスクされていない割り込みフラグは AND/OR ゲートによって結合され、どちらのステータスピンでも選択できる割り込み出力を生成します。

システム ホストがデバイスからの割り込みを検出すると、ホストは割り込みフラグまたは LMK05318 を読み取って、システムの故障状態を解決するためにどのビットがアサートされているかを識別できます。システム障害が解消された後、ホストはアサートされているスティッキー ビットに 0 を書き込むことで、割り込み出力をクリアできます。

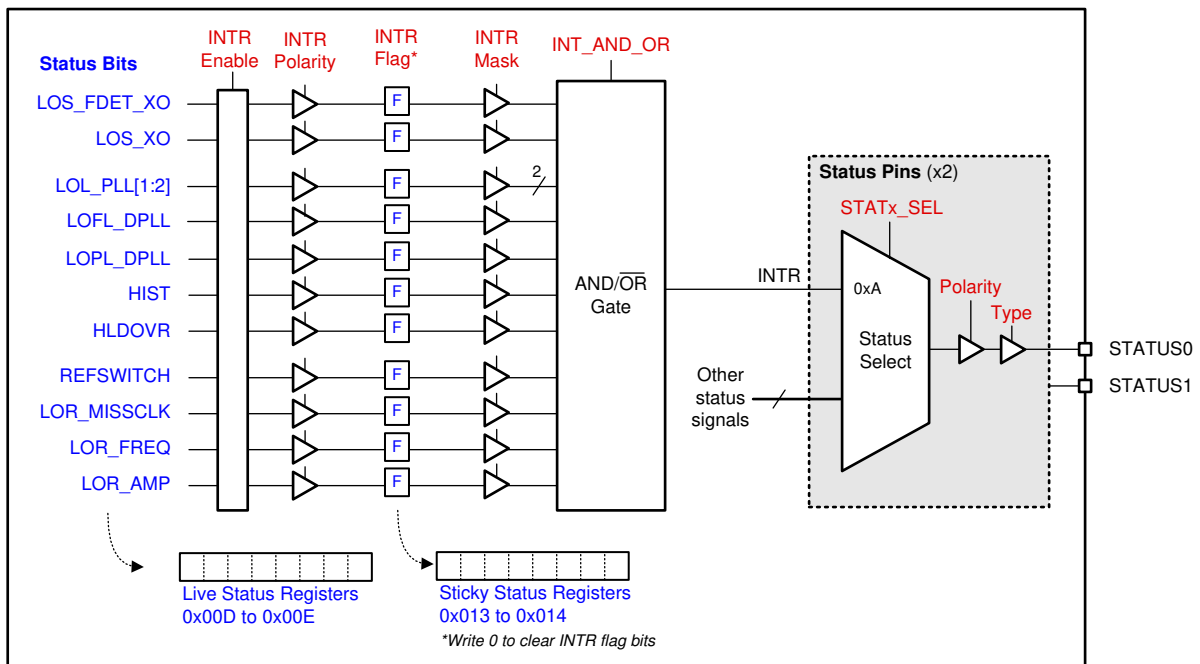


図 7-20. ステータスと割り込み

### 7.3.8 PLL の関係

図 7-21 は、LMK05318 に実装された PLL アーキテクチャを示しています。PLL は、[PLL アーキテクチャの概要](#)で説明されているように、異なる PLL モードで構成できます。

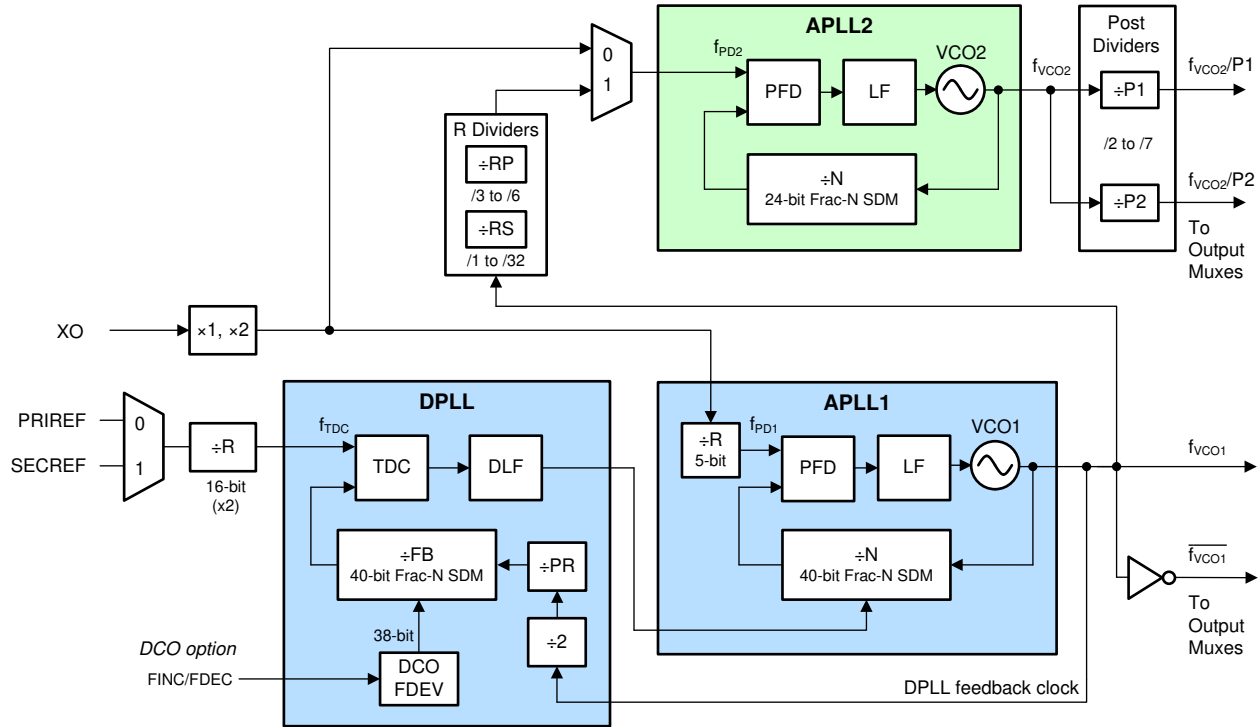


図 7-21. PLL アーキテクチャ

#### 7.3.8.1 PLL 周波数の関係

以下の式は、選択された PLL モードに応じて、閉ループ動作を実現するために必要な PLL の周波数関係を示しています。TICS Pro プログラミング ソフトウェアを使用すると、希望する周波数プラン構成および PLL モードに基づいて、有効な分周設定を生成できます。

- APLL1 をフリーラン モード (XO 入力にロック) で動作させるには、式 1 および式 2 の条件を満たす必要があります。
- APLL1 を DPLL モードで動作させるには式 1、式 2、式 3 と式 4 の条件を満たす必要があります。
- APLL2 をカスケード モードで動作させるには、式 1、式 2、式 5 および式 7 の条件を満たす必要があります。
- APLL2 を非カスケードモードで動作させるには、式 7 および式 6 の条件を満たす必要があります。

次の式内のデバイダは、プログラム可能なレジスタ値ではなく、実際の分周値 (または範囲) を参照することに注意してください。

式 1 と式 2 は APLL1 に関連しています:

$$f_{PD1} = f_{XO} \times D_{XO} / R_{XO} \quad (1)$$

ここで、

- $f_{PD1}$ : APLL1 位相検出器周波数
- $f_{XO}$ : XO 入力周波数
- $D_{XO}$ : XO 入力ダブラ (1 = 無効, 2 = 有効)
- $R_{XO}$ : APLL1 XO 入力 R デバイダ値 (1 ~ 32)

$$f_{VCO1} = f_{PD1} \times (INT_{APLL1} + NUM_{APLL1} / DEN_{APLL1}) \quad (2)$$

ここで、

- $f_{VCO1}$ : VCO1 周波数
- $INT_{APLL1}$ : APLL1N デバイダ整数値 (12 ビット、1 ~  $2^{12} - 1$ )
- $NUM_{APLL1}$ : APLL1N デバイダ分子値 (40 ビット、0 ~  $2^{40} - 1$ )
- $DEN_{APLL1}$ : APLL1N 分周器の分母値 (固定、 $2^{40}$ )
  - $0.0625 < NUM_{APLL1} / DEN_{APLL1} < 0.9375$  (DPLL モード内)

式 3 と 式 4 は DPLL に関連しています:

$$f_{TDC} = f_{PRIREF} / R_{PRIREF} = f_{SECREP} / R_{SECREP} \quad (3)$$

ここで、

- $f_{TDC}$ : DPLL TDC 入力周波数 (式 3 を参照してください)
- $f_{PRIREF}$  または  $f_{SECREP}$ : PRIREF または SECREP 入力周波数
- $R_{PRIREF}$  または  $R_{SECREP}$ : PRIREF または SECREP R デバイダ値 (16 ビット、1 ~  $2^{16} - 1$ )

$$f_{VCO1} = f_{TDC} \times 2 \times PR_{DPLL} \times (INT_{DPLL} + NUM_{DPLL} / DEN_{DPLL}) \quad (4)$$

ここで、

- $PR_{DPLL}$ : DPLL プリスケアラ デバイダ値 (2 ~ 17)
- $INT_{DPLL}$ : DPLL FB デバイダ整数値 (30 ビット、1 ~  $2^{30} - 1$ )
- $NUM_{DPLL}$ : DPLL FB デバイダ分子値 (40 ビット、0 ~  $2^{40} - 1$ )
- $DEN_{DPLL}$ : DPLL FB デバイダ分母値 (40 ビット、1 ~  $2^{40}$ )

式 5、式 6 および 式 7 は APLL2 に関連します:

$$\text{Cascaded APLL2: } f_{PD2} = f_{VCO1} / (R_{APLL2\_PRE} \times R_{APLL2\_SEC}) \quad (5)$$

ここで、

- $f_{PD2}$ : APLL2 位相検出器周波数
- $R_{APLL2\_PRE}$ : カスケード APLL2 の Pre-R デバイダ値 (3~6)
- $R_{APLL2\_SEC}$ : カスケード APLL2 のセカンダリ R 分周器値 (1~32)

$$\text{Non-Cascaded APLL2: } f_{PD2} = f_{XO} \times D_{XO} \quad (6)$$

$$f_{VCO2} = f_{PD2} \times (INT_{APLL2} + NUM_{APLL2} / DEN_{APLL2}) \quad (7)$$

ここで、

- $f_{VCO2}$ : VCO2 周波数
- $INT_{APLL2}$ : APLL2N デバイダ整数値 (9 ビット、1 ~  $2^9 - 1$ )
- $NUM_{APLL2}$ : APLL2N デバイダ分子値 (24 ビット、0 ~  $2^{24} - 1$ )
- $DEN_{APLL2}$ : APLL2N 分周器の分母値 (固定、 $2^{24}$ )

式 8、式 9、式 10、式 11 は選択した APLL クロックソースおよび出力分周器値によって決定される出力周波数に関係します:

$$\text{APLL1 selected: } f_{CHxMUX} = f_{VCO1} \quad (8)$$

$$\text{APLL2 selected: } f_{CHxMUX} = f_{VCO2} / P_{nAPLL2} \quad (9)$$

$$\text{OUT}[0:6]: f_{\text{OUT}x} = f_{\text{CH}x\text{MUX}} / \text{OD}_{\text{OUT}x} \quad (10)$$

$$\text{OUT}7: f_{\text{OUT}7} = f_{\text{CH}7\text{MUX}} / (\text{OD}_{\text{OUT}7} \times \text{OD}2) \quad (11)$$

ここで、

- $f_{\text{CH}x\text{MUX}}$ : 出力マルチプレクサ ソース周波数 (APLL1、または APLL2 ポスト デバイダ クロック)
- $Pn_{\text{APLL}2}$ : APLL2 1 次側「P1」または 2 次側「P2」ポスト分周値 (2 ~ 7)
- $f_{\text{OUT}x}$ : 出力クロック周波数 ( $x = 0 \sim 7$ )
- $\text{OD}_{\text{OUT}x}$ :  $\text{OUT}x$  出力分周器値 (8 ビット、1 ~  $2^8$ )
- $\text{OD}2$ :  $\text{OUT}7$  の 2 次出力分周器値 (24 ビット、1 ~  $2^{24}$ )
  - $\text{OD}2 > 1$  の場合、 $\text{OD}_{\text{OUT}7} \geq 6$  になります

### 7.3.8.2 アナログ PLL (APLL1、APLL2)

APLL1 は 40 ビットの分数  $N$  デバイダを備えており、APLL2 には 24 ビット分周器があり、高分解能の周波数合成と、非常に低い位相ノイズとジッタをサポートします。APLL1 は、DPLL モードにおいてシグマ デルタ モジュレータ (SDM) 制御を介して VCO1 の周波数を調整する機能を備えています。APLL2 は、VCO2 周波数を VCO1 周波数にロックする機能を備えています。

フリーラン モードでは、APLL1 は XO 入力を VCO1 の初期リファレンス クロックとして使用します。APLL1 の PFD は、フラクショナル  $N$  分周されたクロックをリファレンス クロックと比較し、制御信号を生成します。この制御信号は APLL1 のループ フィルタによってフィルタリングされ、VCO1 の制御電圧を生成して出力周波数を設定します。SDM では  $N$  分圧比を変調して、PFD 入力と VCO 出力との間で目的の分周比が得られます。APLL2 は APLL1 と同様に動作しますが、APLL2 のリファレンスは VCO1 クロックまたは XO クロックのいずれかをユーザーが選択できます。

DPLL モードでは、APLL1 のフラクショナル SDM は DPLL ループによって制御され、VCO1 の周波数を DPLL のリファレンス入力にロックさせるように引き込みます。APLL2 が VCO1 からリファレンスを生成する場合、APLL2 のフラクショナル  $N$  分周比によって合成誤差が生じない限り、VCO2 は実質的に DPLL のリファレンス入力にロックされます。

### 7.3.8.3 APLL のリファレンスの経路

#### 7.3.8.3.1 APLL の XO ダブラ

APLL の XO ダブラを有効にすると、非カスケード モードにおいて、APLL1 では PFD 周波数を最大 50 MHz まで、APLL2 では最大 150 MHz まで倍増させることができます。XO ダブラを有効にすると、ノイズが最小限に抑えられ、PFD 周波数を上げて位相ノイズ、ジッタ、および分周スプリアスを最適化するのに役立ちます。PFD 周波数を上げると、APLL 位相ノイズの平坦な部分が改善されます。

#### 7.3.8.3.2 APLL1 の XO リファレンス (R) 分周器

APLL1 には、APLL1 の PFD 周波数の最大仕様を満たすために使用できる 5 ビットの XO R デバイダが備わっています。このデバイダは、APLL1 のフラクショナル  $N$  分周比 ( $\text{NUM}/\text{DEN}$ ) を 0.0625 ~ 0.9375 の範囲に収めるためにも使用でき、この範囲に設定することで DPLL の周波数チューニング範囲をサポートすることが推奨されています。それ以外の場合は、XO R デバイダをバイパスできます (1 で割ります)。

#### 7.3.8.3.3 APLL2 リファレンス (R) 分周器

APLL2 には、カスケード APLL2 モードにおいて VCO1 クロックを分周し、APLL2 の PFD 周波数の最大仕様を満たすために、カスケード構成の一次 R デバイダ ( $\div 3 \sim \div 6$ ) と二次 R デバイダ ( $\div 1 \sim \div 32$ ) が備わっています。分周器は、APLL2 を整数モードで動作させること、または分数モードで整数に近いスプリアスを回避するためにも使用できます。

### 7.3.8.4 APLL の位相周波数検出器 (PFD) とチャージポンプ

APLL1 の PFD 周波数は最大 50 MHz まで動作可能で、式 1 によって算出できます。APLL1 には、0 ~ 1500  $\mu\text{A}$  の範囲で 100  $\mu\text{A}$  ステップのプログラマブルなチャージポンプ設定があります。APLL1 では、チャージポンプ電流を 800  $\mu\text{A}$  以上に設定することで最高の性能が得られます。

APLL2 の PFD 周波数は最大 150MHz まで動作可能で、カスケード モードでは 式 5、非カスケード モードでは 式 6 によって算出できます。APLL2 には、1.6、3.2、4.8、または 6.4mA のプログラム可能なチャージ ポンプ設定があります。

### 7.3.8.5 APLL の掃選分周器の経路

各 APLL の VCO 出力は、フラクショナル フィードバック (N) デバイダを介して PFD ブロックにフィードバックされます。DPLL モードでは、VCO1 出力も DPLL フィードバック パスにフィードバックされます。

#### 7.3.8.5.1 SDM を備えた APLL1N デバイダ

APLL1 のフラクショナル N デバイダは、12 ビットの整数部 (INT)、40 ビットの分子部 (NUM)、固定 40 ビットまたはの分母部 (DEN)、およびシグマ デルタ モジュレータで構成されています。INT と NUM はプログラム可能ですが、分母は  $2^{40}$  の範囲でプログラムでき、VCO1 クロックの非常に高い周波数分解能を実現できます。APLL1N デバイダの合計値は次のとおりです： $N = INT + NUM / 2^{40}$ 。

APLL のフリーラン モードでは、APLL1 の PFD 周波数および全体の N デバイダによって VCO1 の周波数が決まります。これは 式 2 によって計算できます。

#### 7.3.8.5.2 SDM を備えた APLL2N デバイダ

APLL2 のフラクショナル N デバイダは、9b の整数部 (INT)、24b の分子部 (NUM)、固定またはな 24b の分母部 (DEN)、およびシグマ デルタ モジュレータで構成されています。INT と NUM、ならびにはプログラム可能ですが、VCO2 クロックで高い周波数分解能を得るため、分母は  $2^{24}$  に固定されています。APLL2N デバイダの合計値は次のとおりです： $N = INT + NUM / 2^{24}$ 。

APLL2 の PFD 周波数と合計 N デバイダによって、VCO2 周波数が決まります。これは、式 7 で計算できます。

### 7.3.8.6 APLL のループフィルタ (LF1、LF2)

APLL1 は 100Hz ~ 10kHz (標準的な範囲) のプログラマブルなループ帯域幅をサポートし、APLL2 は 100kHz ~ 1MHz (標準的な範囲) のプログラマブルなループ帯域幅をサポートします。ループフィルタの各コンポーネントは、リファレンス入力周波数や位相ノイズに応じて APLL の帯域幅を最適化するようにプログラムできます。LF1 (ピン 29) および LF2 (ピン 34) は、それぞれグラウンドに接続する外付けの 2 次「C2」コンデンサを必要とします。LF1 および LF2 コンデンサの推奨値については、[ピン構成および機能](#)を参照してください。

図 7-22 は、PFD/チャージ ポンプ出力と VCO 制御入力間の APLL ループフィルタ構造を示しています。APLL1 では、ループフィルタのコンデンサ「C1」、「C3」、「C4」はそれぞれ 100pF、70pF、70pF に固定されています。APLL2 の場合、「C1」のみが 100pF に固定されており、他の部品はプログラム可能です。

PLLATINUMSIM-SW は、APLL ループフィルタ シミュレーションに使用できます。

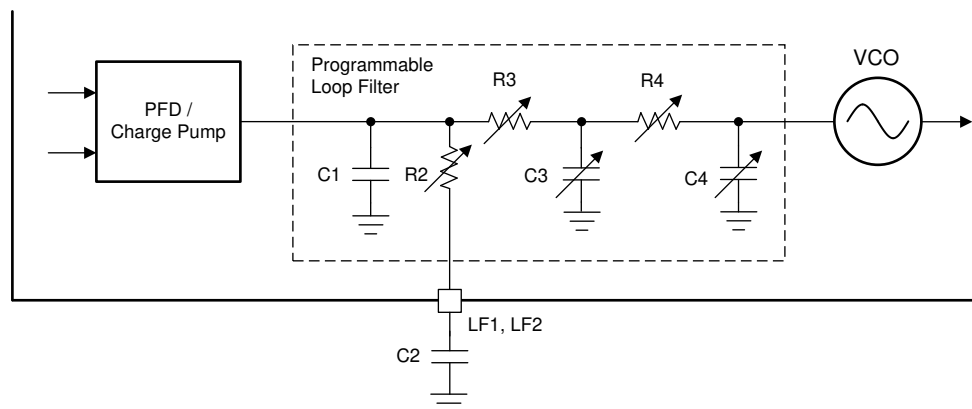


図 7-22. 各 APLL のループフィルタ構造

BAW APLL は、TICSPRO および ROM ページで、デフォルトで狭い LBW で構成されています。その結果、低ジッタ VCBO が、8kHz から約 400kHz までのキャリア オフセット範囲のクロック出力位相ノイズを支配します。

表 7-6 にリストされているデフォルトの APLL ループ フィルタ設定を使用して、各 APLL の LBW が表 7-7 にまとめられています。

デフォルト値は、TICS Pro の デフォルト構成タブにある「EVM Default」レジスタ設定に基づいています。

表 7-6. デフォルトの APLL チャージ ポンプおよびループ フィルタ コンポーネント

| 部品       | ロケーション            | タイプ     | APLL1 のデフォルト値 | APLL2 のデフォルト値 |
|----------|-------------------|---------|---------------|---------------|
| チャージ ポンプ | 内部                | プログラム可能 | 0.8μA         | 3.2mA         |
| C1       | 固定                | 固定      | 100pF         | 100pF         |
| C2       | 外部 <sup>(1)</sup> | 固定      | 470nF         | 100nF         |
| C3       | 内部                | プログラム可能 | 70pF          | 70pF          |
| C4       | 内部                | プログラム可能 | 70pF          | 70pF          |
| R2       | 内部                | プログラム可能 | 0.414kΩ       | 0.300kΩ       |
| R3       | 内部                | プログラム可能 | 0.200kΩ       | 0.200kΩ       |
| R4       | 内部                | プログラム可能 | 0.200kΩ       | 0.200kΩ       |

(1) 外部コンデンサは、対応する APLLx の LFx ピンに接続されます。

表 7-7. デフォルト APLL LBW (PFD = 96MHz)

| APLL | VCO 範囲 [MHz] | LBW [kHz] <sup>(1)</sup> |
|------|--------------|--------------------------|
| 1    | 2500         | 1.1163                   |
| 2    | 5500~6250    | 219.4426~382.9389        |

(1) APLL LBW 範囲はそれぞれ VCO 範囲に対応します。

### 7.3.8.7 APLL の電圧制御発振器 (VCO1、VCO2)

各 APLL には完全に統合された VCO が内蔵されており、ループ フィルタからの電圧を受けて、それを周波数に変換します。VCO1 は、非常に高い選択度を備えた独自の BAW 共振器技術を使用して最低の位相ジッタを実現し、2.5GHz ± 100ppm のチューニング範囲を備えています。VCO2 は、必要に応じて、5.5 ~ 6.25GHz の広いチューニング範囲を備えた高性能 LC VCO を使用して、その他の関連のないクロック周波数もカバーします。

#### 7.3.8.7.1 VCO 校正

各 APLL VCO は、PLL がロックを達成し、最適な位相ノイズ性能を提供できることを確認するためにキャリブレーションする必要があります。VCO キャリブレーションは、VCO チューニング範囲内で最適な動作ポイントを確立します。VCO キャリブレーションは、デバイスの電源投入後、ハード リセット後、またはソフト リセット後に入力モニターによって XO 入力が検出されると、PLL の初期起動時に自動的に実行されます。キャリブレーションと APLL ロックを正常に行うには、キャリブレーションの開始前に XO クロックの振幅と周波数が安定している必要があります。安定していないと、キャリブレーションが失敗し、PLL ロックと出力クロックの起動が妨げられる可能性があります。VCO キャリブレーションと APLL ロックの前に、出力ドライバは通常、スプリアス出力クロックを防止するためにミュート状態に保持されます (出力ごとに構成可能)。

ホスト プログラミングを通じて PLL パワーダウン サイクル (PLLx\_PDN ビット = 1 → 0) を切り替えることにより、単一の APLL に対して VCO キャリブレーションを手動でトリガできます。これは、APLL N 分周値 (VCO 周波数) がプログラミングを通じて動的に変更された後に必要になることがあります。

#### 7.3.8.8 APLL の VCO クロック分配の経路 (P1、P2)

APLL1 には VCO のポスト ディバイダはありません。1 次 VCO1 クロック (P1) と 2 次 VCO1 反転クロック (P2) は、すべての出力チャンネル マルチプレクサに分配されます。反転クロックはオプションですが、場合によってはクロックはスプリアス出力を低減するのに役立ちます。

APLL2 には、より柔軟なクロック周波数プランニングを可能にするため、2 つの VCO2 ポスト分周器があります。プライマリ VCO2 ポスト分周器クロック (P1) と 2 次ポスト分周器クロック (P2) は、すべての出力チャネル マルチプレクサに分配されます。どちらの VCO2 ポスト分周器も、独立してプログラマブルなデバイダ ( $\div 2 \sim \div 7$ ) をサポートしています。VCO2 のポスト分周器で 2 を選択している出力チャネル間では、出力 SYNC はサポートされない点に注意します。

TI は、APLL2 ポスト分周器の値を変更した後、PLL2 またはデバイスのソフトリセットを行って、分周器を決定論的に分周器動作に初期化することを推奨します。

### 7.3.8.9 DPLL のリファレンス (R) 分周器の経路

各リファレンス入力クロック (PRIREF および SECREF) には、それぞれ DPLL の TDC ブロックに接続された 16b の基準分周器が備わっています。選択されたリファレンス R デバイダ出力によって、TDC 入力周波数が設定されます。異なる周波数の入力間のヒットレス スイッチングをサポートするには、R デバイダを使用してクロックを DPLL TDC 入力への単一の共通周波数に分周します。

### 7.3.8.10 DPLL の時間 / デジタル コンバータ (TDC)

TDC 入力は、選択されたリファレンス入力の R デバイダ クロックと VCO1 からの DPLL フィードバック デバイダクロックの位相を比較します。TDC 出力は、DPLL ループ フィルタによって処理される位相誤差に対応するデジタル補正ワードを生成します。

DPLL TDC 入力周波数 ( $f_{TDC}$ ) は最大 26MHz まで動作でき、式 3 によって次のように計算できます。

### 7.3.8.11 DPLL のループ フィルタ (DLF)

DPLL は 10mHz  $\sim$  4kHz のプログラム可能なループ帯域幅をサポートし、0.1dB (標準) 未満のジッタ ピーキングを実現できます。DPLL のローパス ジッタ伝達特性により、ループ帯域幅を超える最大 60dB/10 倍のロールオフでリファレンス入力ノイズが減衰されます。

DPLL のループ フィルタ出力は、APLL1 のフラクショナル SDM を制御し、選択された DPLL のリファレンス入力にロックするよう VCO1 の周波数を制御します。

### 7.3.8.12 DPLL の帰還 (FB) 分周器の経路

DPLL のフィードバックパスには、固定プリスケアラ ( $\div 2$ )、プログラマブル プリスケアラ ( $\div 2 \sim \div 17$ )、およびフラクショナルフィードバック (FB) デバイダが含まれています。プログラマブルな DPLL の FB デバイダは、30 ビットの整数部 (INT)、40 ビットの分子部 (NUM)、および 40 ビットの分母部 (DEN) で構成されています。DPLL FB デバイダの合計値は次のとおりです。FB<sub>DPLL</sub> = INT + NUM / DEN と仮定すると、

DPLL モードでは、TDC の周波数、ならびに DPLL の総フィードバック デバイダおよびプリスケアラによって VCO1 の周波数が決まります。これは、式 4 によって算出できます。

## 7.3.9 出力クロックの分配

図 7-23 に示す出力クロック分配ブロックには、個の出力マルチプレクサ、個の出力デバイダ、および個のプログラマブル出力ドライバが含まれています。出力デバイダは出力同期 (SYNC) をサポートし、2 つ以上の出力チャネル間の位相同期を可能にします。

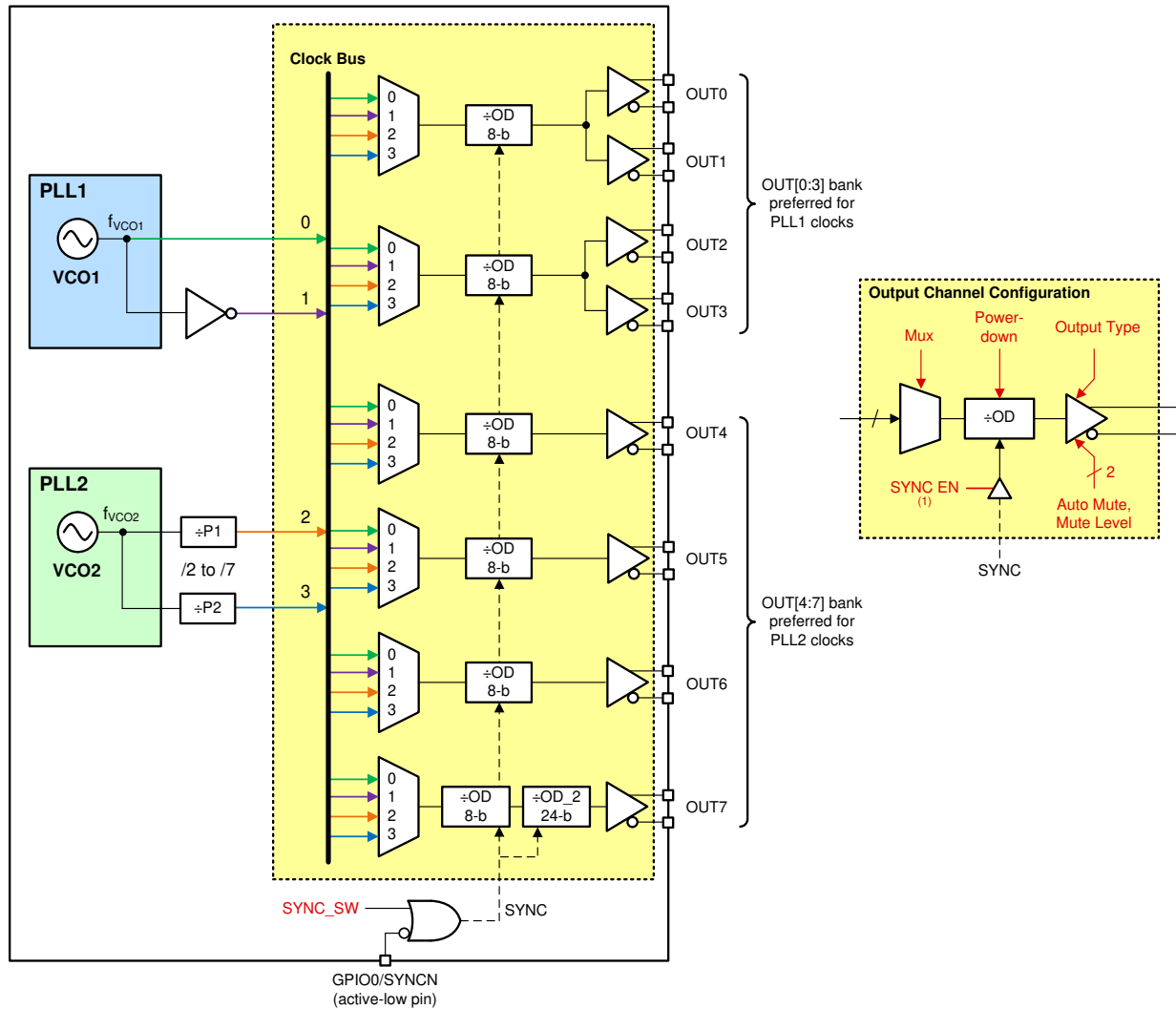


図 7-23. 出力クロックの分配

### 7.3.10 出力チャネル マルチプレクサ

それぞれ 6 つの出力チャネルのみに、出力マルチプレクサがあります。OUT0 ~ OUT7 チャネルの各出力マルチプレクサは、PLL1 VCO クロック (通常または反転) と、PLL2 VCO ポスト デバイダ クロックのいずれかを個別に選択できます。

### 7.3.11 出力分周器 (OD)

それぞれ 6 の出力チャネルには、出力マルチプレクサの後に出力分周器があります。OUT[0:1] チャネルには単一の出力分周器があり、その構成は OUT[2:3] チャネルの出力分周器と同様です。OUT[4:7] の各チャネルには、それぞれ個別の出力分周器が備わっています。出力デバイダは、出力マルチプレクサによって選択されたソースから最終的なクロック出力周波数を生成するために使用されます。

各 OUT [0:6] チャネルには 8 ビットの出力分周器(OD)があり、10~800 MHz、または選択した出力ドライバ方式で許容される最大周波数までの出力が可能です。PLL のポスト分周器および出力分周器を設定してより高いクロック周波数を実現することは可能ですが、その場合、ドライバの出力スイングが仕様外になる可能性があります。

各出力デバイダには、クロック出力ドライバに使用されるものと同じ VDDO\_x 電源から電力が供給されます。出力デバイダが使用されていない場合は、電力を節約するために電源をオフにすることができます。OUT[0:1] または OUT[2:3] の

いずれのチャンネルにおいても、両方の出力ドライバが無効化されると、出力分周器は自動的にパワーダウンされます。OUT[4:7]またはの各チャンネルでは、出力ドライバが無効化されると、出力分周器は自動的にパワーダウンされます。出力分周器が正常に機能するには、出力分周器へのクロック周波数を 3GHz 未満にする必要があります。

### 7.3.12 クロック出力 (OUT<sub>x</sub>\_P/N)

各クロック出力は個別に、差動ドライバ (AC-LVDS/CML/LVPECL)、HCSL ドライバ、または 1.8V LVCMOS ドライバ (1ペアあたり 2 本) として設定できます。使用されていないクロック出力を無効にすると、電力を節約できます。

各出力チャンネルには専用の内部 LDO レギュレータが搭載されており、優れた PSNR を提供し、電源ノイズによって誘発されるジッタとスプリアスを最小限に抑えます。OUT[0:1] チャンネル (マルチプレクサ、分周器、ドライバ) は単一の出力電源ピン (VDDO\_01) から給電され、同様に OUT[2:3] チャンネルは VDDO\_23 から給電されます。各 OUT[4:7] チャンネルには、出力電源ピン (VDDO[4:7]) があります。各出力用電源は個別に供給でき、差動出力または HCSL 出力の場合は 1.8V、2.5V、または 3.3V、LVCMOS 出力の場合は 1.8V で駆動されます。

差動ドライバおよび HCSL ドライバ モードでは、チャンネル内蔵の LDO レギュレータにより、出力スイング、位相雑音、ジッタといった出力クロック仕様は VDDO\_x 電圧に対して感度を持ちません。出力チャンネルに電源が供給されていない場合、そのチャンネルの出力はクロックを生成しません。

表 7-8. 出力ドライバ モード

| OUT <sub>x</sub> _FMT<br>(R51[5:0] / R52[5:0] / R54[5:0] / R55[5:0] /<br>R57[5:0] / R59[5:0] / R61[5:0] / R63[5:0]) | 出力フォーマット <sup>(1)</sup>  |
|---|--------------------------|
| 0x00  | 無効化 (パワーダウン)             |
| 0x10  | AC-LVDS                  |
| 0x14  | AC-CML                   |
| 0x18  | AC-LVPECL                |
| 0x2C  | HCSL (外部で 50Ω を GND に接続) |
| 0x2D  | HCSL (内部で 50Ω を GND に接続) |
| 0x30  | LVCMOS (HiZ / HiZ)       |
| 0x32  | LVCMOS (HiZ / -)         |
| 0x33  | LVCMOS (HiZ / +)         |
| 0x35  | LVCMOS (Low / Low)       |
| 0x38  | LVCMOS (- / HiZ)         |
| 0x3A  | LVCMOS (- / -)           |
| 0x3B  | LVCMOS (- / +)           |
| 0x3C  | LVCMOS (+ / HiZ)         |
| 0x3E  | LVCMOS (+ / -)           |
| 0x3F  | LVCMOS (+ / +)           |

(1) LVCMOS モードは OUT[4:7] でのみ利用可能です。

#### 7.3.12.1 AC 差動出力 (AC-DIFF)

プログラマブル差動出力ドライバは、[図 7-24](#) に示すスイッチ電流モード タイプを使用します。100 Ω の差動終端の両端で、それぞれ AC 結合 LVDS、CML、LVPECL レシーバと互換の V<sub>OD</sub> スイングを得るように 4、6、8mA (公称) のテール電流をプログラムできます。差動出力ドライバはグラウンド基準 (HCSL ドライバと同様) で、差動出力の同相電圧が低い (V<sub>Os</sub>) ことを意味します。

差動ドライバには内部バイアスがあるため、外付けプルアップ抵抗またはプルダウン抵抗は接続しないでください。外部 AC カップリングを介して差動出力を、適切な入力終端およびバイアスを備えた差動レシーバと接続します。

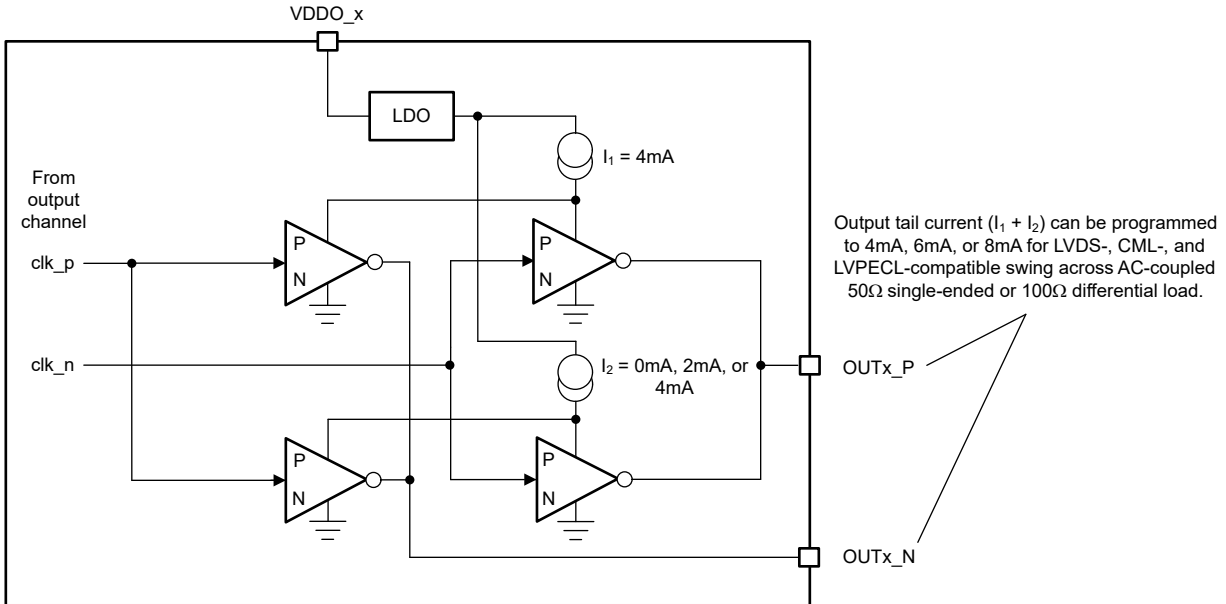


図 7-24. AC-LVDS/CML/LVPECL 出力ドライバ構造

### 7.3.12.2 HCSL 出力

HCSL 出力はオープンドレイン型の差動ドライバであり、HCSL レシーバに DC 結合できます。HCSL 出力には、レシーバ側で終端が提供されない場合に有効化できる、グラウンドへのプログラマブルな内部 50Ω 終端が備わっています。内部終端が無効な場合は、ドライバ側 (ソース終端) またはレシーバ側 (ロード終端) のいずれかで、P および N に対して外付けの 50Ω のグラウンド終端が必要です。

### 7.3.12.3 1.8V LVCMOS 出力

LVCMOS ドライバには、ペアごとに 2 つの出力があります。P および N の各出力は、通常極性、反転極性、または HiZ もしくは固定 Low レベルとして無効化するように設定できます。LVCMOS 出力の High レベル ( $V_{OH}$ ) は、レールツーレールの LVCMOS 出力電圧スイングを実現するために、1.8 V の  $VDDO_x$  電圧によって決まります。LVCMOS ドライバに 2.5V または 3.3V の  $VDDO_x$  電圧が印加された場合、チャンネルの内部 LDO レギュレータにより、出力  $V_{OH}$  レベルは  $VDDO_x$  レールまでスイングしません。

LVCMOS 出力クロックは大きな電圧スイングを持つ非平衡信号であるため、LVCMOS 出力クロックは強いアグレッサとなり、他のジッタに敏感な差動出力クロックにノイズが結合する可能性があります。出力ペアから LVCMOS クロックが必要な場合は、両方の出力を有効にして極性を反対 (+/- または -/+) にしてペアを構成し、未使用の出力はトレースを接続せずにフローティングのままにします。

### 7.3.12.4 LOL 中の出力の自動ミュート

各出力ドライバは、 $CHx\_MUTE$  ビットの設定により、選択された出力マルチプレクサのクロックソースが無効な場合に、クロックを自動的にミュートまたはスケルチできます。APLL および DPLL ミュート制御ビット ( $MUTE\_APLLx\_LOCK$ 、 $MUTE\_DPLL\_LOCK$ 、 $MUTE\_DPLL\_PHLOCK$ ) を設定することにより、各 PLL の LOL ステータスに基づいてソースを無効にすることができます。ミュートレベルは、 $CHx\_MUTE\_LVL$  ビットによって出力チャンネルごとに設定でき、ミュートレベルは設定されている出力ドライバのタイプ (差動 / HCSL または LVCMOS) に依存します。差動または HCSL ドライバのミュートレベルは、出力同相モード、差動 High、差動 Low レベルに設定できます。LVCMOS ドライバ ペアのミュートレベルは、各出力 (P と N) で個別に出力 low レベルに設定できます。自動ミュートが無効またはバイパスされている場合 ( $CHx\_MUTE = 0$  および  $CHx\_MUTE\_LVL = 0$ )、VCO キャリブレーションの前と最中に出力クロックの周波数が正しくなくなったり、不安定になったりする可能性があります。このため、ミュート バイパス モードは、診断またはデバッグのみに使用する必要があります。

### 7.3.13 出力クロックの起動時のグリッチなし

APLL 自動ミュートが有効になっている場合、デバイスの電源投入、ハードリセットの終了、ソフトリセットの終了、または出力 SYNC のデアサートのいずれかのイベント後に APLL ロックが達成されると、出力はクロック グリッチなしで同期方式で起動します (SYNC\_MUTE = 1 の場合)。

### 7.3.14 クロック出力のインターフェイスと終端

これらの図は、推奨される出力インターフェイスと終端回路を示しています。使用されていないクロック出力は、プログラミングによってフローティング状態のままにしたり、電源をオフにしたりすることができます。

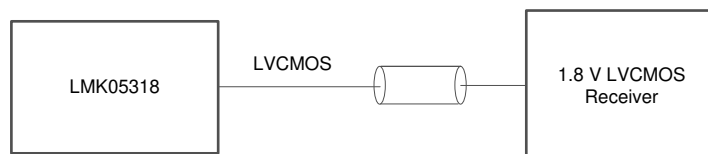
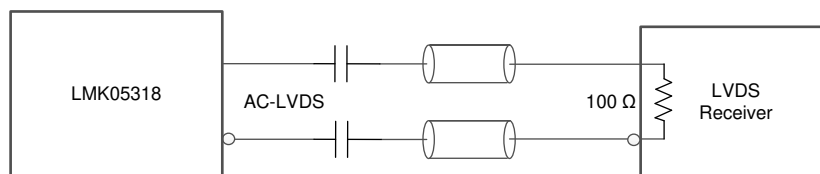
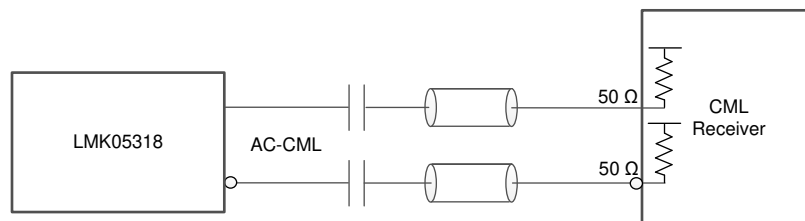


図 7-25. 1.8V LVCMOS 出力から 1.8V LVCMOS レシーバへの接続



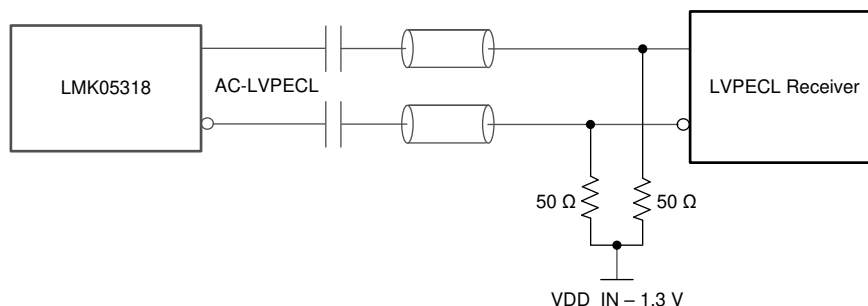
Copyright © 2018, Texas Instruments Incorporated

図 7-26. 内部終端/ バイアスを備えた LVDS レシーバへの AC-LVDS 出力接続



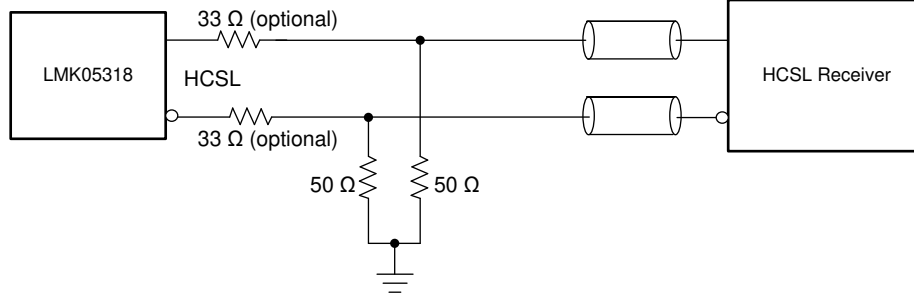
Copyright © 2018, Texas Instruments Incorporated

図 7-27. 内部終端/ バイアスを備えた CML レシーバへの AC-CML 出力接続



Copyright © 2018, Texas Instruments Incorporated

図 7-28. 外付け終端 / バイアスを備えた LVPECL レシーバへの AC-LVPECL 出力接続



Copyright © 2018, Texas Instruments Incorporated

HCSL の内部終端 (GND への 50Ω) を有効にする場合は、33Ω を短絡し、外付けの 50Ω 抵抗を取り外します。

図 7-29. 外付けソース終端を用いた HCSL レシーバへの HCSL 出力接続

### 7.3.15 出力同期 (SYNC)

出力同期を使用すると、同じ PLL 出力クロック サイクルで出力デバイダのリセットを終了させることで、共通の立ち上がりエッジに対応する 2 つ以上の出力クロックを位相整列させることができます。同じ PLL 出力を選択する出力デバイダは、ハードウェア ピンまたはソフトウェア ビットを使用して同期イベントをトリガすることで、すべて同期グループとして同期できます。

2 つ以上の出力チャンネルの同期グループを確立するには、次の要件を満たす必要があります。

- 出力デバイダでは、対応する SYNC 有効ビットが設定されています (CHx\_SYNC\_EN = 1)。
- 出力デバイダには、同じ PLL 出力を選択する出力多重化があります。
- PLL (ポスト デバイダ) 出力には、同期有効化ビットが設定されています (例: PLL1\_P1\_SYNC\_EN = 1)。

SYNC イベントは、ハードウェアの GPIO0/SYNCN ピン (アクティブ low) または SYNC\_SW レジスタ ビット (アクティブ high) によってアサートできます。SYNC がアサートされると、SYNC 有効なデバイダはリセットされ、クロック出力はミュートされます。SYNC がデアサートされると、出力は初期クロック位相が同期または整列した状態で開始されます。SYNC は、出力が構成されて下流デバイスが入力クロックを受け入れる準備が整うまで、SYNC 有効な出力をミュートし、出力クロックが下流デバイスへ分配されるのを防ぐ目的でも使用できます。

SYNC が無効 (CHx\_SYNC\_EN ビット = 0) に設定されている出力チャンネルは、SYNC イベントの影響を受けず、設定どおりに通常の出力動作を継続します。また、SYNC 中でも VCO および PLL のポスト分周器クロックは停止しないため、同期を必要としない出力チャンネルには引き続きクロックを供給できます。1 分周の出力デバイダ (デバイダ バイパス モード) は、SYNC イベント中にゲートされません。

表 7-9. 出力同期

| GPIO0/SYNCN ピン | SYNC_SW ビット | 出力デバイダおよびドライバの状態                          |
|----------------|-------------|---|
| 0              | 1           | 出力ドライバはミュートされ、出力デバイダはリセットされます             |
| 0→1            | 1→0         | SYNC グループ内の出力は、初期クロック位相が整列した状態でミュート解除されます |
| 1              | 0           | 設定された通常の出力ドライバ/デバイダの動作                    |

#### 注

VCO2 のポスト分周器を 2 に設定した PLL2 出力 (P1 または P2) を選択している出力チャンネル間では、出力 SYNC はサポートされません (出力間スキュー仕様は検証されていません)。

## 7.4 デバイスの機能モード

### 7.4.1 デバイスの起動

### 7.4.1.1 デバイス パワーオン リセット (POR)

図 7-30 は、デバイスのパワーオンリセット (POR) 構成シーケンスを示しています。POR は、PDN ピンがデアサートされてロジック igh 状態に達したときに発生します。

POR 時には、HW\_SW\_CTRL 入力ピンがデバイスの起動モードを選択し、レジスタ、シリアル インターフェイス、およびロジックピン機能の初期化に使用されるメモリ ページを決定します。詳細については、HW\_SW\_CTRL ピンの機能を参照してください。

スタートアップ モードを選択すると、内部 EEPROM から構成がレジスタ空間にロードされます。EEPROM からのロードは自動的に、起動時に毎回行われます。詳細については、EEPROM の使用を参照してください。

POR の後、選択したシリアル制御インターフェイス (I<sup>2</sup>C または SPI) はレジスタ アクセスがイネーブルになり、デバイスのステータスを監視し、必要に応じてデバイスを制御 (または再構成) します。レジスタ マップの構成は、I<sup>2</sup>C と SPI で同じです。

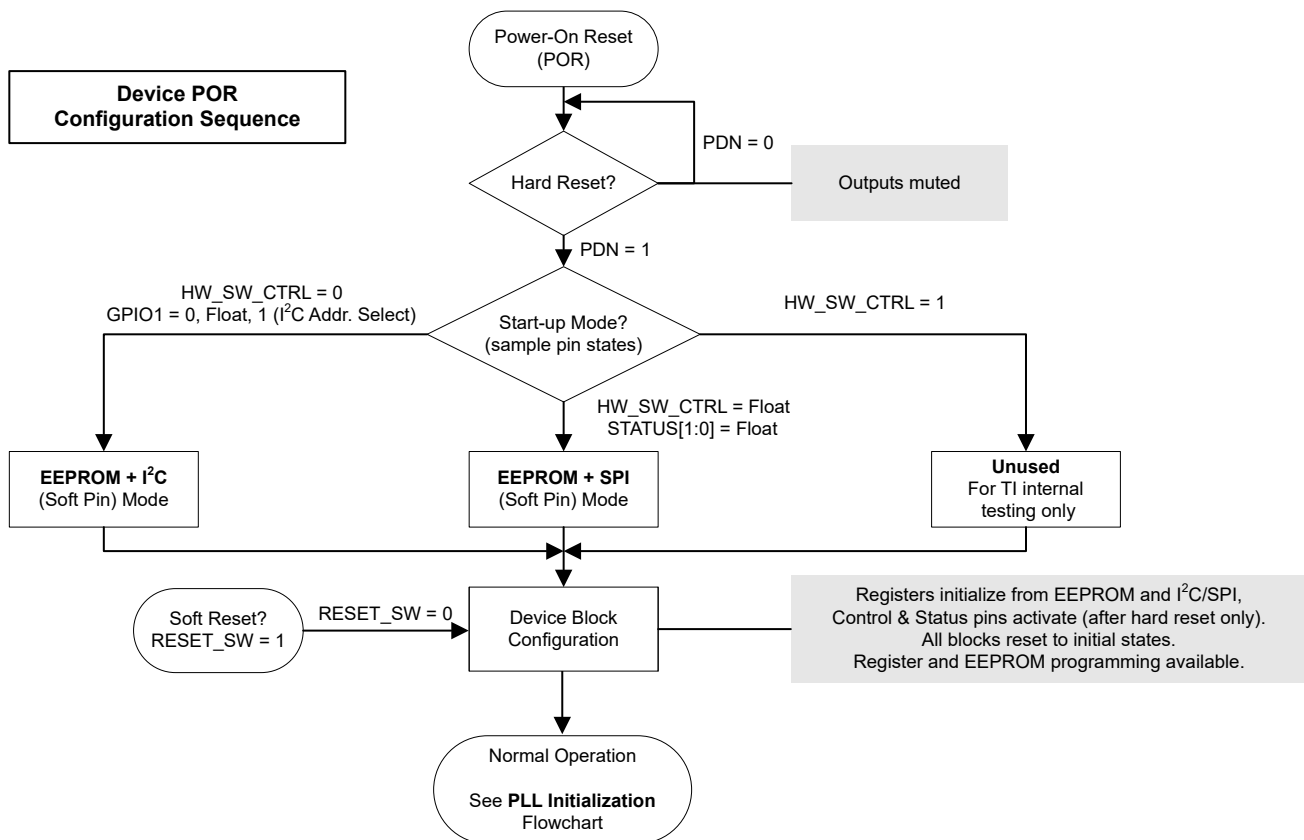


図 7-30. デバイス POR 構成シーケンス

### 7.4.1.2 PLL の起動シーケンス

以下の図は、デバイス構成後の PLL 起動における一般的なシーケンスを示しています。このシーケンスは、デバイスのソフトリセット後や、各 PLL の個別ソフトリセット後にも適用されます。適切な VCO キャリブレーションを行うには、VCO キャリブレーション開始前に外部 XO クロックの振幅および周波数が安定している必要があります。そうでない場合、VCO キャリブレーションが失敗し、PLL および出力クロックの起動が妨げられる可能性があります。

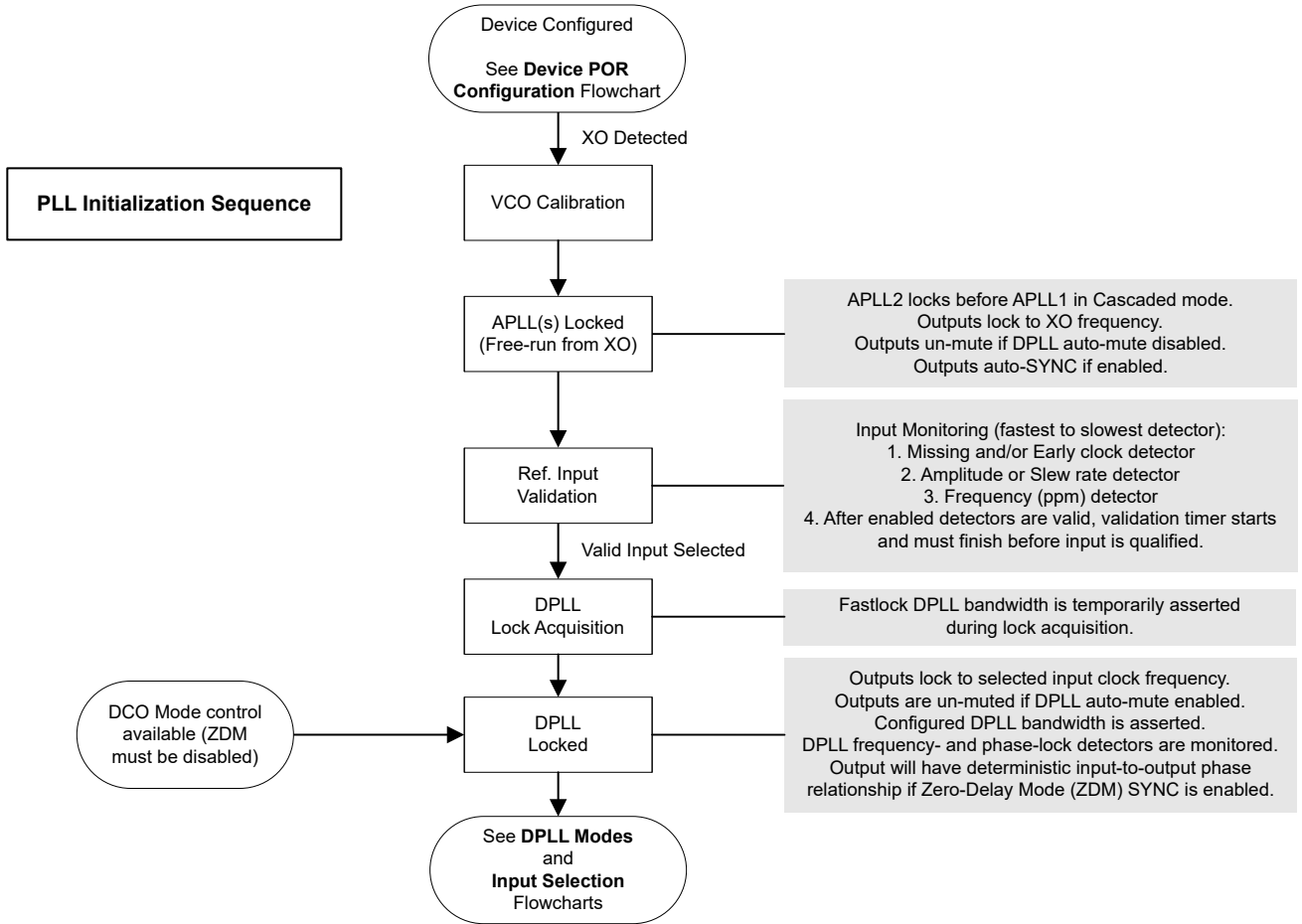


図 7-31. PLL の起動シーケンス

### 7.4.1.3 HW\_SW\_CTRL ピンの機能

LMK05318 は、パワーオンリセット (POR) 時に HW\_SW\_CTRL ピンでサンプリングされる 3 レベル入力レベルに応じて、3 つのデバイス モードのいずれかで起動できます (表 7-10 を参照)。

スタートアップ モードによって、以下の決定が行われます：

- 周波数構成を POR に設定するレジスタ設定を初期化するために使用されるメモリ バンク (EEPROM または ROM)。
- レジスタ アクセスに使用されるシリアル インターフェイス (I<sup>2</sup>C または SPI)。
- デバイスの制御とステータスのためのロジック ピンの機能。

メモリからの初期レジスタ設定によって、起動時のデバイスの周波数構成が決まります。起動後は、デバイスの監視およびプログラミングのために、シリアル インターフェイスを介してデバイス レジスタにアクセスできます。また、ロジック ピンは選択されたモードで定義されたとおりに動作します。

表 7-10. HW\_SW\_CTRL ピンに基づくスタートアップ モード

| HW_SW_CTRL<br>入力レベル <sup>(1)</sup> | 起動モード                                   | モードの説明  |
|------------------------------------|---|---|
| 0                                  | EEPROM + I <sup>2</sup> C<br>(ソフトピンモード) | <p>内蔵 EEPROM からレジスタが初期化され、I<sup>2</sup>C は有効になります。</p> <p>ロジック ピン：</p> <ul style="list-style-type: none"> <li>• <b>SDA/SDI, SCL/SCK</b>: I<sup>2</sup>C データ、I<sup>2</sup>C クロック (オープンドレイン)</li> <li>• <b>GPIO0/SYNCN</b>: 出力 SYNC 入力 (アクティブ Low)。未使用時は、外部でプルアップします。</li> <li>• <b>GPIO1/SCS <sup>(1)</sup></b>: I<sup>2</sup>C アドレス LSB 選択 (Low = 00b、フローティング = 01b、High = 10b)</li> <li>• <b>GPIO2/SDO/FINC <sup>(2)</sup></b>: DPLL DCO 周波数インクリメント (アクティブ High)</li> <li>• <b>STATUS1/FDEC <sup>(2)</sup></b>: DPLL DCO 周波数デクリメント (アクティブ High) またはステータス出力</li> </ul>          |
| フローティング<br>(V <sub>IM</sub> )      | EEPROM + SPI<br>(ソフトピンモード)              | <p>レジスタは EEPROM から初期化され、SPI はイネーブルになります。</p> <p>ロジック ピン：</p> <ul style="list-style-type: none"> <li>• <b>SDA/SDI, SCL/SCK</b>: SPI データ入力 (SDI)、SPI クロック (SCK)</li> <li>• <b>GPIO0/SYNCN</b>: 出力 SYNC 入力 (アクティブ Low)。未使用時は、外部でプルアップします。</li> <li>• <b>GPIO1/SCS</b>: SPI チップ セレクト (SCS)</li> <li>• <b>GPIO2/SDO/FINC</b>: SPI データ出力 (SDO)</li> </ul>   |
| 1                                  | I <sup>2</sup> C + ROM                  | <p>レジスタは内部 ROM から初期化され、I<sup>2</sup>C はイネーブルになります。内部 ROM には、使用できないレジスタ設定が含まれています。通常動作では、未使用の内部 ROM 状態からのロードを避けるために、HW_CTRL_PIN = 1 を設定しないでください。EEPROM のブートアップによるまれな CRC 障害が発生した場合、本デバイスは ROM からブートアップし、ユーザーは I<sup>2</sup>C を介して EEPROM を再プログラムできるようにできます。</p> <p>ロジック ピン：</p> <ul style="list-style-type: none"> <li>• <b>SDA/SDI, SCL/SCK</b>: I<sup>2</sup>C データ、I<sup>2</sup>C クロック (オープンドレイン)</li> <li>• <b>GPIO[2:0] <sup>(1)</sup></b>: POR 中に GND にプルすることで、LOW (000b) に設定</li> <li>• POR の後、GPIO2/SDO/FINC および STATUS1/FDEC ピンは HW_SW_CTRL = 0 と同じように機能できます。</li> </ul> |

(1) これらのピンの入力レベルは、POR 中のみサンプリングされます。

(2) FINC ピンと FDEC ピンは、DCO モードと GPIO ピン制御がレジスタによって有効になっている場合にのみ使用できます。

## 注

EEPROM + SPI モードへの適切な起動を確認するには、PDN ピンが High になる前に、HW\_SW\_CTRL、STATUS0、STATUS1 ピンがすべてフローティングになっているか、 $V_{IM}$  (標準値 0.8V) にバイアスされている必要があります。これら 3 つのピンは瞬間的に 3 レベル入力として動作し、PDN の Low から High への遷移でサンプリングされて、POR 中のデバイスのスタートアップ モードが決定されます。これらのピンのいずれかがシステム ホスト (MCU または FPGA) に接続されている場合は、TI は各ピンに外部バイアス抵抗 (10kΩ GND に 3.3kΩ をプルダウンして 3.3V にプルアップ) を使用して、POR 時に入力を  $V_{IM}$  に設定することを推奨します。電源オン後、STATUS ピンを LVCMOS 出力として動作させ、通常のステータス動作で外部抵抗バイアスをオーバードライブできます。

### 7.4.1.4 EEPROM の使用

POR 後、デバイスの周波数設定は内部の不揮発性 EEPROM から自動的にレジスタへロードされます。EEPROM モードの出荷時のデフォルトの起動設定 **EEPROM スタートアップ モードのデフォルト設定** をにまとめます。異なるカスタムの起動時設定が必要な場合は、選択したシリアル インターフェイスを通じて、内部 EEPROM のイメージをシステム内でプログラムできます。内部 EEPROM は最大 100 回の書き込みサイクルをサポートしており、システム レベルでの試作、デバッグ、最適化におけるクロック再構成を容易にします。

ユーザーは内蔵 EEPROM を事前にプログラムでき、インシステム プログラミングが利用できないときにスタートアップ クロックを供給できます。

内部 EEPROM イメージには、単一の周波数設定を保存できます (1 レジスタ ページ)。

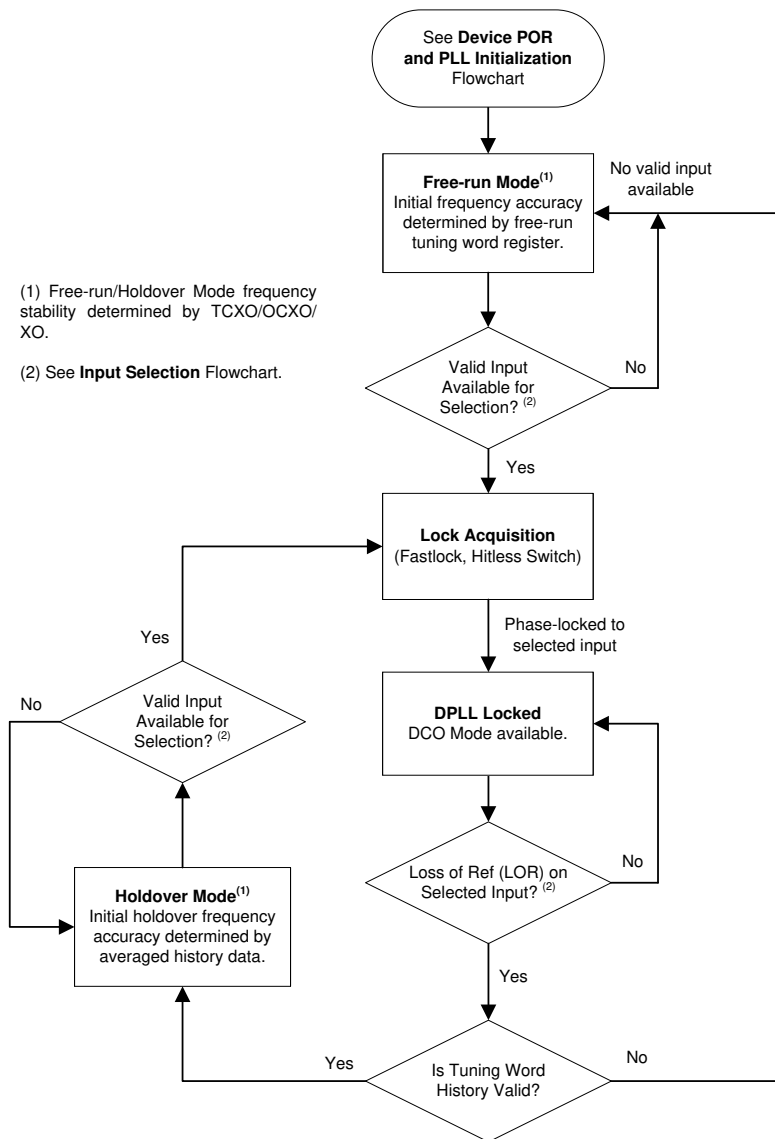
次のいずれかが該当する場合は、TI は内蔵 EEPROM の使用を提案します：

- 内蔵 EEPROM は、プリント基板 (PCB) に取り付ける前に、選択したシリアル インターフェイスを使用して、ホスト デバイス (ユーザーまたは委託製造業者) によって事前プログラミングできます。
- 内部 EEPROM は、PCB に実装された後でも、選択したシリアル インターフェイスを介してホスト デバイスからプログラムできます。EEPROM は、最初のブートアップ後に 1 回または複数回プログラムされます。

プログラミングの詳細については、**EEPROM のプログラミング フロー** を参照してください。

### 7.4.2 PLL の動作モード

次のセクションでは、[図 7-32](#) に示されている PLL の動作状態について説明します。



A. 履歴が有効でない場合にフリーラン モードへ移行するには、DPLL\_HLDOVR\_MODE ビットが 0 に設定されていることを前提とします。

図 7-32. PLL の動作モード

#### 7.4.2.1 フリーランニング モード

デバイスの POR 構成および初期化後、APLL1 入力モニタによってクロックが検出されると、APLL1 は自動的に XO クロックにロックします。次に、APLL2 は、選択された VCO1 または XO 周波数へのロックを獲得します。フリーラン モードにおける出力クロックの周波数精度および安定性は、XO 入力のものと同様です。フリーラン モード中は、リファレンス入力は無効 (不適格) のままになります。

#### 7.4.2.2 ロックの獲得

DPLL は有効な入力クロックのリファレンス入力を常に監視します。少なくとも 1 つの有効な入力クロックが検出されると、PLL1 チャンネルはフリーラン モードまたはホールドオーバー モードを終了し、DPLL を介してロック取得を開始します。このデバイスは、DPLL が一時的に広いループ帯域幅を使用してロック時間を短縮する Fastlock 機能をサポートします。ロック取得が完了すると、ループ帯域幅は通常構成されたループ帯域幅設定 ( $BW_{DPLL}$ ) に設定されます。

### 7.4.2.3 ロック モード

一度ロックされると、APLL1 の出力クロックは、選択された DPLL 入力クロックに対して周波数および位相の両方でロックされます。DPLL がロックされている間、APLL1 出力クロックは XO 入力の周波数ドリフトの影響を受けません。DPLL には、ステータス ピンまたはステータス ビットを通じて確認できる周波数ロック損失 (LOFL) および位相ロック損失 (LOPL) ステータス フラグを示すプログラム可能な周波数ロック検出器と位相ロック検出器があります。周波数ロックが検出されると (LOFL → 0)、チューニング ワード履歴モニタ (有効な場合)は、ホールドオーバー モードに入る際に初期出力周波数の精度を決定するために使用される履歴平均データの蓄積を開始します。

### 7.4.2.4 ホールドオーバー モード

リファレンス損失 (LOR) 状態が検出され、有効な入力が存在しない場合、PLL1 チャンネルはホールドオーバーモードに入ります。チューニング ワード履歴が有効な場合、ホールドオーバーに移行した直後の初期出力周波数精度は、基準喪失直前に算出された平均周波数精度へ引き寄せられます。履歴が有効でなく (履歴が存在しない)、かつ DPLL\_HLDOVR\_MODE ビットが 0 の場合、ホールドオーバー周波数精度はフリーラン チューニング ワード レジスタ (ユーザーがプログラム可能) によって決定されます。それ以外の場合、履歴が有効でなく DPLL\_HLDOVR\_MODE が 1 の場合、DPLL は最後のデジタル ループ フィルタ出力制御値を保持します (ワード履歴はチューニングされていません)。

履歴が有効な場合、初期ホールドオーバー周波数精度は DPLL ループ帯域幅と、履歴平均化に使用される経過時間によって決まります。詳細については「[調整ワード履歴](#)」を参照してください。一般に、履歴平均時間が長いほど、Oppm レファレンス クロック (XO 入力) がドリフトフリーであると仮定した場合の初期ホールドオーバー周波数はより正確になります。XO リファレンス クロックの安定性によって、ホールドオーバー出力周波数の長期的な安定性と精度が決まります。ホールドオーバーに入ると、LOPL フラグがアサートされます (LOPL → 1)。ただし、ホールドオーバー中の周波数精度が、プログラムされた周波数ロック損失のスレッシュホールドを超えてドリフトしない限り、LOFL フラグはアサートされません。選択可能な有効入力が利用可能になると、PLL1 チャンネルはホールドオーバー モードを終了し、出力にグリッチを生じさせることなく新しい入力クロックに自動的に位相ロックします。

### 7.4.3 デジタル制御発振器 (DCO) モード

IEEE 1588 の周辺クロックやその他のクロック ステアリング用途をサポートするため、DPLL は DCO モードをサポートしており、0.001ppb/ ステップ未満の非常に高精度な出力クロック周波数調整が可能です。DPLL がロックされているときは、DCO モードを有効化できます (DPLL\_FDEV\_EN = 1)。

DCO の周波数ステップ サイズは、38 ビットの周波数偏差ワード レジスタ (DPLL\_FDEV ビット) を使用してプログラムできます。DPLL\_FDEV 値は、DPLL 分周フィードバック デバイダの現在の分子値に加算または減算されるオフセットであり、VCO 出力での DCO 周波数オフセットを決定します。

DCO の周波数増分 (FINC) または周波数減分 (FDEC) の更新は、I<sup>2</sup>C モードにおいてソフトウェア制御またはピン制御で行うことができます。ソフトウェア制御による DCO の更新は、DPLL\_FDEV\_REG\_UPDATE レジスタ ビットに書き込むことで、常に I<sup>2</sup>C または SPI 経由で利用可能です。0 を書き込むと、DCO 周波数がプログラムされたステップ サイズだけインクリメントされ、1 を書き込むと DCO 周波数がステップ サイズだけデクリメントされます。SPI のレジスタ転送が速いため、SPI は I<sup>2</sup>C よりも高速な DCO 更新レートを実現できます。

I<sup>2</sup>C モードでピン制御モードがイネーブル (GPIO\_FDEV\_EN = 1) のとき、GPIO2/SDO/FINC ピンは FINC 入力として機能し、STATUS1/FDEC ピンは FDEC 入力として機能します (STATUS1 出力がディスエーブル)。FINC ピンまたは FDEC ピンに正のパルスが入力されると、それに対応した DCO の更新が DPLL に適用されます。FINC ピンまたは FDEC ピンに入力する正のパルスの最小パルス幅は、内部サンプリング クロックで捕捉されるために 100 ns を超えている必要があります。ピン制御を使用する場合、DCO の更新レートは 1MHz よりも低く制限する必要があります。

DCO モードが無効 (DPLL\_FDEV\_EN = 0) の場合、DCO の周波数オフセットはクリアされ、VCO の出力周波数は DPLL の分数帰還分周器の元の分子値によって決定されます。

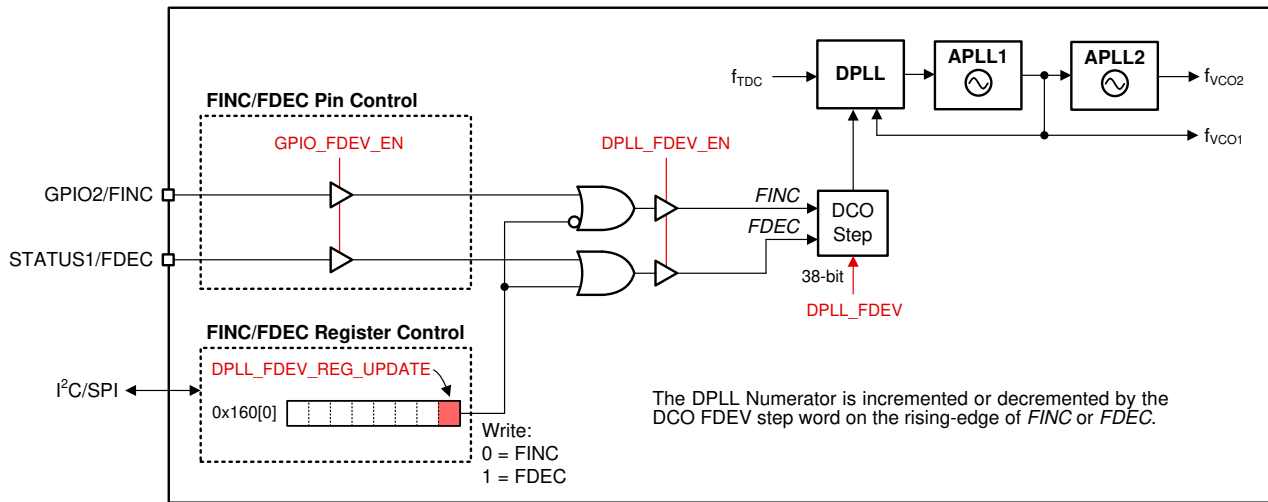


図 7-33. DCO モード制御オプション

#### 7.4.3.1 DCO の周波数ステップ サイズ

式 12 は、DPLL に対して DCO モードが有効になっている場合に、指定された DCO 周波数ステップ サイズ (ppb (10 億分の 1)) を満たすために必要な DPLL\_FDEV レジスタ値を計算する式を示します。

$$\text{DPLL\_FDEV} = (\text{Reqd\_ppb} / 10^9) \times \text{DEN}_{\text{DPLL}} \times f_{\text{VCO1}} / (2 \times \text{PR}_{\text{DPLL}}) / (f_{\text{REF}} / R_{\text{REF}}) \quad (12)$$

ここで、

- DPLL\_FDEV: 周波数偏差値 (0 ~  $2^{38} - 1$ )
- Req\_d\_ppb: 必要な DCO 周波数ステップ サイズ (ppb 単位)
- DEN<sub>DPLL</sub>: DPLL FB デバイダの分母の値 (1 ~  $2^{40}$ )
- $f_{\text{VCO1}}$ : VCO1 周波数
- PR: DPLL フィードバック プリスケーラ デバイダ値 (2 ~ 17)
- $f_{\text{REF}}$ : PRIREF または SECREf 入力周波数
- Rx: PRIREF または SECREf 入力デバイダ値 (1 ~  $2^{16} - 1$ )

#### 7.4.3.2 DCO 直接書き込みモード

DCO 周波数を更新するもう 1 つの方法は、DPLL 分数帰還分周器の現在の分子値 (DPLL\_REF\_NUM) を取得し、上記で計算した DPLL\_FDEV ステップ値を加算または減算して、調整された分子値を計算し、I<sup>2</sup>C または SPI を使用して書き込むことです。

## 7.5 プログラミング

### 7.5.1 インターフェイスと制御

システムのホスト デバイス(MCU または FPGA)は、I<sup>2</sup>C または SPI のいずれかを用いて、レジスタ、SRAM、および EEPROM のマップにアクセスできます。レジスタと EEPROM マップの構成は、I<sup>2</sup>C と SPI で同じです。デバイスは、通常動作時 (PDN がデアサートされたとき) にレジスタ アクセスにより、初期化、制御、監視できます。一部のデバイス機能は、外部ロジック制御およびステータスピンを介して制御および監視することもできます。

ホストが存在しない場合、LMK05318 は、HW\_SW\_CTRL ピンの状態に応じて、オンチップ EEPROM ページからセルフスタートできます。EEPROM ページは、デバイスの POR 時にレジスタを初期化するために使用されます。I<sup>2</sup>C または SPI により、レジスタインターフェイスを使用して、カスタム EEPROM 構成をシステム内でプログラムすることができます。

図 7-34 に、デバイスの制御ピン、レジスタ、メモリ インターフェイスを示します。矢印は、異なるブロック間の制御インターフェイスの方向を示します。

レジスタ マップには 435 データ バイトがあります。ステータス レジスタや内部テスト / 診断レジスタ (R352 より上) など、一部のレジスタは、デバイスの初期化中に書き込む必要がありません。

SRAM/EEPROM マップには、256 データ バイトの 1 つのレジスタページがあります。すべてのビット フィールドがレジスタ空間からマップされているとは限らないため、SRAM/EEPROM マップのバイト数は少なくなります。EEPROM をプログラムするには、レジスタの内容を SRAM に書き込み (内部レジスタ コミットまたは直接書き込み) する必要があり、SRAM からのレジスタの内容を使用して EEPROM をプログラムします。

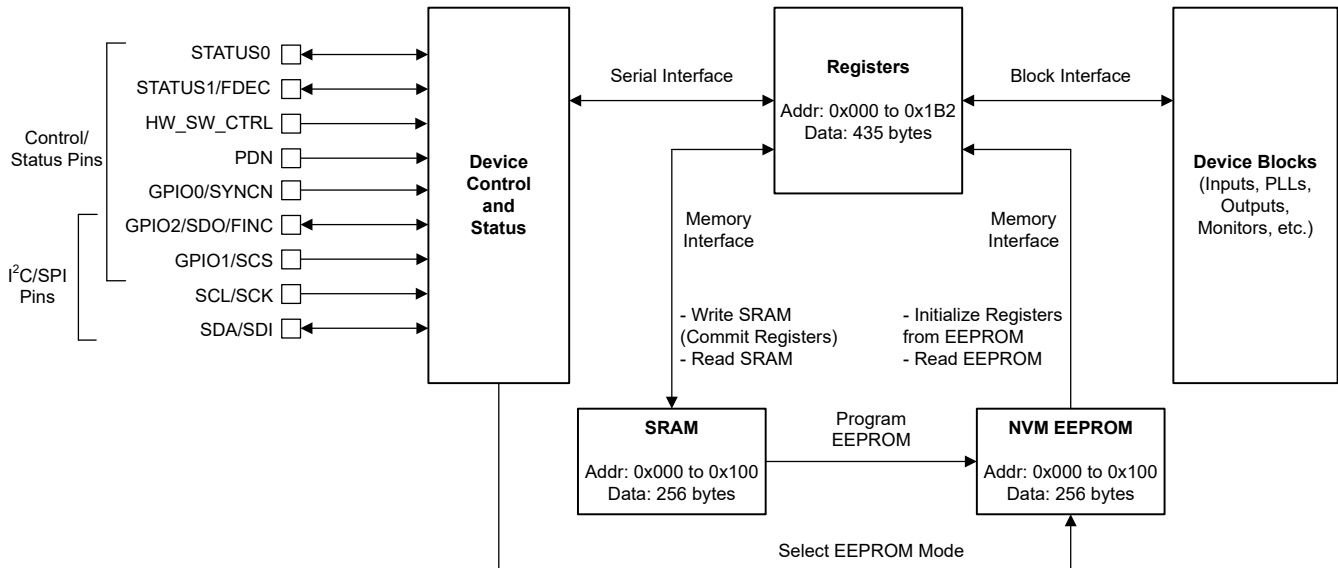


図 7-34. デバイス制御、レジスタ、およびメモリ インターフェイス

### 7.5.2 I<sup>2</sup>C シリアル通信

I<sup>2</sup>C モード (HW\_SW\_CTRL = 0) で起動した場合、LMK05318 は I<sup>2</sup>C ターゲットとして動作し、100kHz (スタンダードモード) および 400kHz (高速モード) のバス レートをサポートします。他の I<sup>2</sup>C 仕様が満たされている限り、低速のバス レートでも動作します。

EEPROM モードでは、LMK05318 は、GPIO1 のピンに応じて最大 3 つの異なる I<sup>2</sup>C アドレスをサポートできます。7 ビットの I<sup>2</sup>C アドレスは 11001xxb で、2 つの LSB はデバイス POR でサンプリングされた GPIO1 入力レベルによって決定され、5 つの MSB (11001b) は EEPROM から初期化されます。MSB 5 ビット (11001b) は、新しい EEPROM プログラミングで変更でき、より多くの I<sup>2</sup>C アドレスオプションが可能になります。

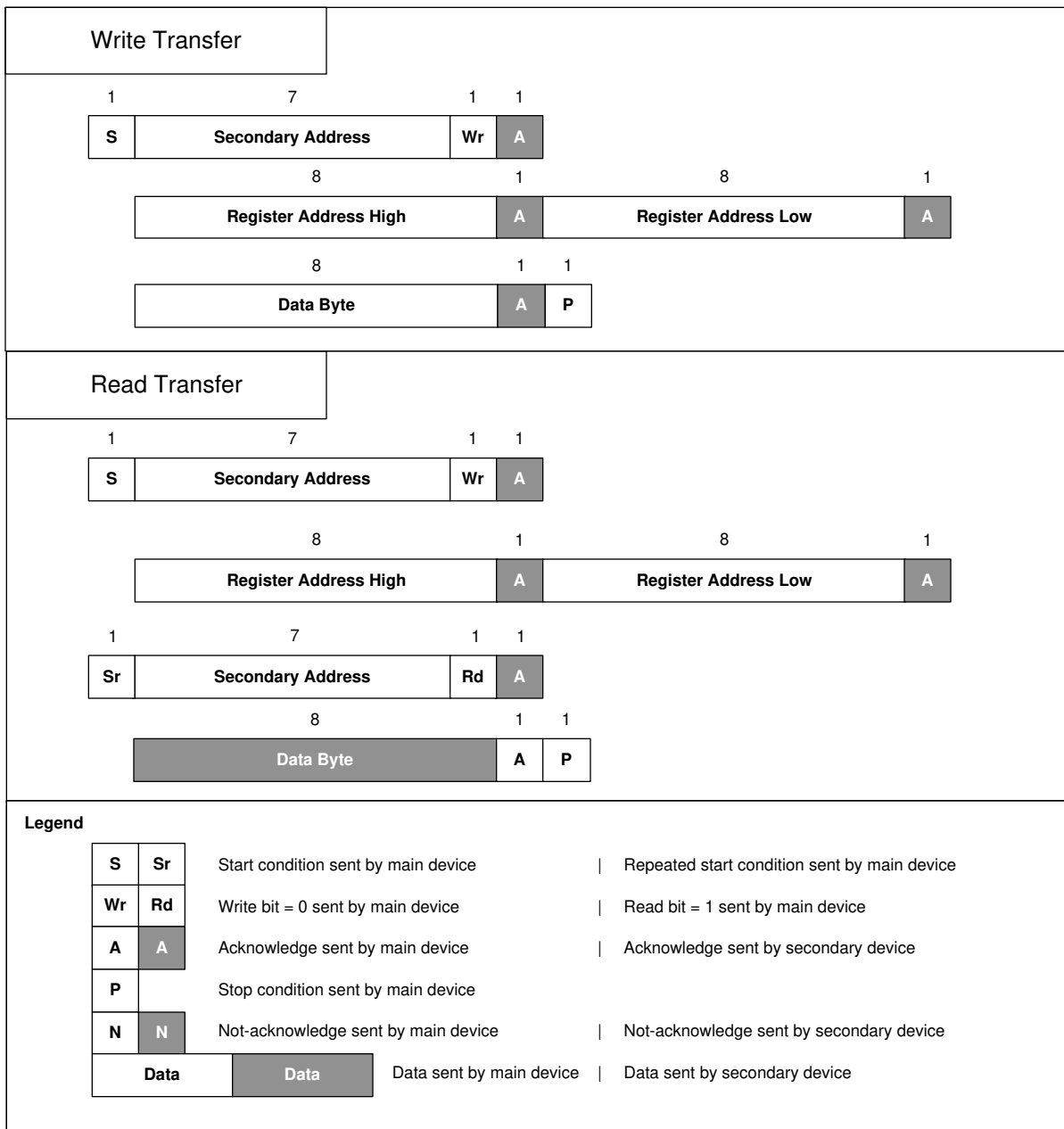


図 7-35. I<sup>2</sup>C バイト書き込みおよび読み取り転送

### 7.5.2.1 I<sup>2</sup>C ブロックのレジスタ転送

図 7-36 に示しているように、デバイスは I<sup>2</sup>C のブロック書き込みおよびブロック読み出しによるレジスタ転送をサポートしています。

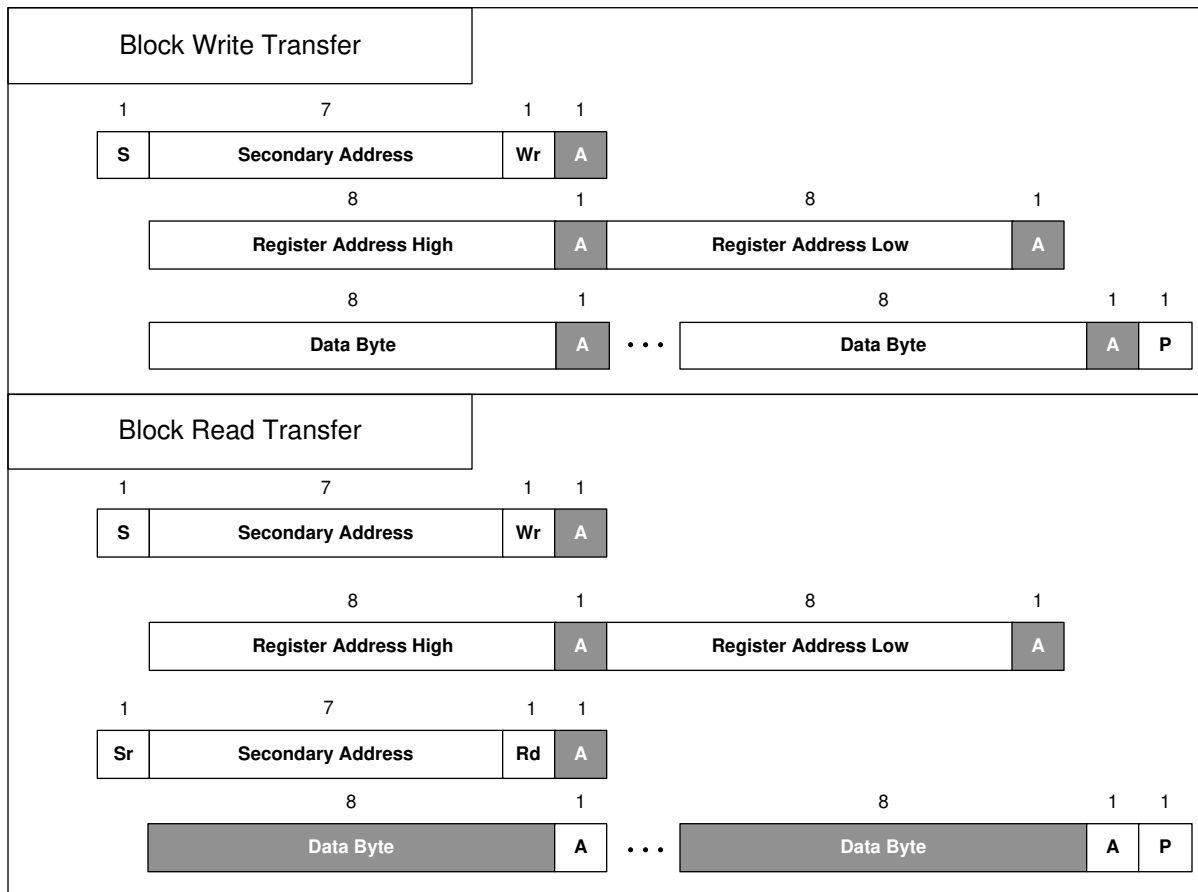


図 7-36. I<sup>2</sup>C ブロックのレジスタ転送

### 7.5.3 SPI シリアル通信

SPI モード (HW\_SW\_CTRL = Float または V<sub>IM</sub>) で開始すると、デバイスは SDI、SCK、SDO、SCS 信号で 4 線式 SPI を使用します。ホスト デバイスは最初にデバイスの MSB にデータを提供する必要があります。メッセージには、図 7-37 に示すように、転送方向ビット ( $\overline{W/R}$ )、15 ビットのアドレス フィールド (A14 ~ A0)、および 8 ビットのデータ フィールド (D7 ~ D0) が含まれます。 $\overline{W/R}$  ビットは、SPI 書き込みの場合は 0、SPI 読み取りの場合は 1 になります。

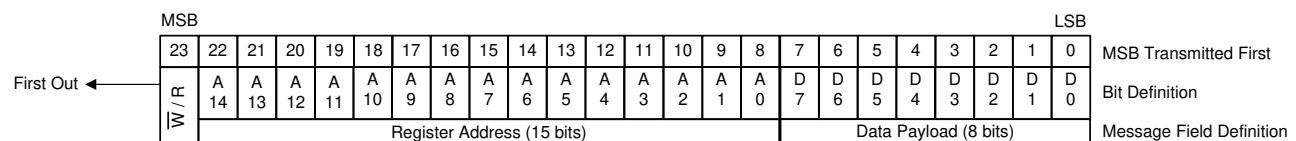


図 7-37. SPI メッセージ形式

SCS を Low にアサートすることにより、メッセージ フレームが開始されます。SCS が High にデアサートされると、フレームは終了します。最初に送信されるビットは  $\overline{W/R}$  ビットです。次の 15 ビットはレジスタ アドレス、残りの 8 ビットはデータです。書き込み転送では、最後のデータ ビット (D0) が SCK の立ち上がりエッジにクロック入力されるため、データはバイト単位でコミットされます。書き込みアクセスが 8 クロックの偶数倍でない場合、末尾のデータ ビットはコミットされません。読み取り転送では、SCK の立ち下がりエッジに応じて、データ ビットが SDO ピンから取り出されます。

### 7.5.3.1 SPI ブロックのレジスタ転送

このデバイスは、SPI ブロック書き込みおよびブロック読み取り転送をサポートしています。SPI ブロック転送は正確に (2 + N) バイト長で、N は書き込みまたは読み出しを行うデータ バイトの数です。ホスト デバイス (SPI コントローラ) は、アクセスするアドレス シーケンスの最小アドレスを指定する場合にのみ必要です。ホストが 24 ビットの初期送信シーケンスを完了した後で SCS ピンが Low のままの場合、デバイスは内部レジスタ アドレス ポインタを自動的にインクリメントします。8 ビット (データ ペイロード幅) を転送するたびに、デバイスはアドレス ポインタを自動的にインクリメントします (SCS ピンがすべてのシーケンスにわたってアクティブ Low のままである場合)。

### 7.5.4 レジスタ マップと EEPROM マップの生成

EVM プログラミング用の TICS Pro ソフトウェア ツールには、ユーザーが選択したクロック設計パラメータを入力し、周波数プランを計算し、必要な構成のデバイス レジスタ設定を生成するためのステップバイステップの設計フローが用意されています。レジスタ マップ データ (16 進形式) または SRAM/ EEPROM マップ データは、起動時にホストから LMK05318 をプログラムできるようにエクスポートできます。

必要に応じて、顧客は TICS Pro のセットアップ ファイル (.tcs) を TI に送付し、構成設定のレビューおよび最適化を依頼できます。

### 7.5.5 レジスタの一般的なプログラミング シーケンス

システム ホストを使用して起動後に LMK05318 の初期構成をプログラムするアプリケーションの場合、TICS Pro で生成およびエクスポートするレジスタ マップのデータを使用して、この一般的な手順に従うことができます：

1. デバイスに電源を投入して、I<sup>2</sup>C または SPI モードで起動します。PDN ピンはプルアップするか、High に駆動する必要があります。
2. 以下のレジスタ マスクを適用しながら、低いアドレスから高いアドレス (R0~R352) の順にレジスタ設定を書き込みます (マスクビットが 1 のビットは変更しないものとします)：
  - R12 をマスク = 0xA7 (デバイスリセット / 制御レジスタ)
  - R157 をマスク = 0xFF (NVM 制御ビットレジスタ)
  - R164 をマスク = 0xFF (NVM ロック解除ビットレジスタ)
  - R353 から R435 をマスク = 0xFF (内部テスト / 診断レジスタは書き込まないでください)
3. デバイスのソフトリセットをアサートするには、R12[7] に 1b を書き込みます。この場合、レジスタの値はリセットされません。
4. R12[7] に 0b を書き込むと、ソフトリセットを終了して PLL の起動シーケンスを開始します。
5. 次のパワーサイクルで自動起動を可能にするため、アクティブ構成を EEPROM に保存するには、[方法 1 \(レジスタのコミット\) を使用した EEPROM のプログラミング](#)を参照してください。

### 7.5.6 EEPROM のプログラミング フロー

EEPROM をプログラムする前に、メモリ制御レジスタを介して、目的の構成を SRAM にプログラムしておく必要があります。レジスタ データは、[方法 #1](#) によりアクティブなレジスタ構成を内部で転送することで SRAM に書き込むことも、[方法 #2](#) により SRAM に直接書き込むこともできます。

- [方法 1 \(レジスタ コミット\)](#) では、まずアクティブ レジスタを目的の構成にプログラムしておく必要がありますが、SRAM/ EEPROM マップの知識は不要です。
- [方法 #2 \(ダイレクト書き込み\)](#) ではアクティブ レジスタへの書き込みをすべてバイパスするため、SRAM/EEPROM のプログラム中でもデバイスは中断されることなく通常動作を継続できます。

2 つの方法のプログラミングフローは異なり、以下のように説明されています。

#### 7.5.6.1 方法 1 (レジスタのコミット) を使用した EEPROM のプログラミング

この手順に従うことで、アクティブなレジスタ構成を使用して SRAM および EEPROM をプログラムできます。

1. 必要な構成をアクティブ レジスタにプログラムします ([レジスタの一般的なプログラミング シーケンス](#)を参照)。これには、レジスタ マップ形式でレジスタ設定を行う必要があります。

- レジスタのコミットを使用した **SRAM** の書き込み。
- EEPROM** をプログラムします。

#### 7.5.6.1.1 レジスタのコミットを使用した SRAM の書き込み

SRAM アレイは、アクティブな構成レジスタの一部にマップされた揮発性のシャドウ メモリであり、EEPROM をプログラムするために使用されます。

アクティブ レジスタがプログラムされた後、単一のレジスタ トランザクションによって、そのデータを内部的に SRAM にコミットできます：

- R157 に 0x40 を書き込みます (REGCOMMIT ビット、自己クリア)。これにより、現在のレジスタのデータが内部的に SRAM にコミットされます。
- (オプション): ユーザーがプログラム可能なフィールドのいずれかを SRAM にプログラムします。詳細については「[EEPROM のユーザー プログラマブルなフィールド](#)」を参照してください。この手順は、前の手順より先に実行しません。

#### 7.5.6.1.2 EEPROM のプログラミング

EEPROM アレイは、SRAM アレイから直接マッピングされた不揮発性メモリです。

レジスタ設定が (方法 #1 または #2 のいずれかで) SRAM に書き込まれた後、以下の手順に従って EEPROM をプログラムできます：

- R164 (NVMUNLK) に 0xEA を書き込みます。これにより、EEPROM がアンロックされ、プログラミングが可能になります。
- R157 (NVM\_ERASE\_PROG ビット) に 0x03 を書き込みます。これにより、SRAM の内容全体から EEPROM がプログラムされます。総消去 / プログラム サイクルには約 230ms を要します。
  - 注: ステップ 1 と 2 は、その間に他のレジスタアクセスや I<sup>2</sup>C の割り込みを挟まず、アトミックな書き込みとして実行する必要があります。これらのステップの間で別の I<sup>2</sup>C デバイスに書き込むと、EEPROM の書き込みシーケンスが失敗します。
- R157[2] (NVMBUSY ビット) をポーリングするか、開ループ遅延を提供します。このビットがクリアされると、EEPROM のプログラミングは完了です。
- R164 に 0x00 を書き込みます。これにより、誤ったプログラミングを防止するために EEPROM がロックされます。

次の電源投入またはハードリセット時に、デバイスは新しくプログラムされた構成に基づき、EEPROM モードで自動起動できます。また、電源投入またはハードリセット後に、NVMCNT レジスタの値が 1 増加し、正常に完了した EEPROM プログラミング回数の累計を示します。

#### 7.5.6.2 方法 2 (直接書き込み) を使用した EEPROM のプログラミング

この手順に従うことで、現在のデバイス動作を中断することなく、SRAM を直接書き込んで EEPROM をプログラムできます。これには、SRAM/EEPROM マップ形式のレジスタ設定が必要です。

- 直接書き込みを使用した **SRAM** の書き込み。
- EEPROM** をプログラムします。

##### 7.5.6.2.1 直接書き込みを使用した SRAM の書き込み

この SRAM 直接書き込み方式は、デバイスの現在の動作状態を乱すことなく、異なるデバイス構成を EEPROM に保存する必要がある場合に使用できます。この方法では、SRAM/EEPROM マップ データがすでに生成されている必要があります。TICS Pro でエクスポートできます。

SRAM では、次のシーケンスでアクティブ構成レジスタを変更せずに直接書き込むことができます：

- SRAM アドレスの上位 5 ビットを R159 (MEMADR バイト 1) に書き込み、SRAM アドレスの下位 8 ビットを R160 (MEMADR バイト 0) に書き込みます。

2. 同じレジスタトランザクションで前の手順で指定されたアドレスについて、SRAM データバイトを R162 (RAMDAT バイト) に書き込みます。
  - 同一トランザクション内で追加の書き込み(または読み取り)転送を行うと、SRAM アドレス ポインタが自動的にインクリメントされ、次の SRAM アドレスに対して書き込み (または読み取り) が行われます。
  - R162 へのバイトまたはブロック書き込み転送を使用して、SRAM マップ全体をバイト 0 から 252 まで順次書き込みできます。
    - バイト 253~255 は変更または上書きしてはならず、TI の内部使用専用として予約されています。
  - あるいは、R162 に書き込む前に毎回 R159 と R160 に書き込んでメモリ アドレス ポインタを明示的に設定する方法も有効です。
  - SRAM へのアクセスは、現在の書き込みトランザクションの終了時に終了します。
  - RAMDAT レジスタを読み出すと、メモリ アドレス ポインタも自動インクリメントされることに注意してください。

#### 7.5.6.2.2 EEPROM のユーザー プログラマブルなフィールド

表 7-11 に、EEPROM のユーザーがプログラムできないいくつかのバイトのアドレスを示します。これらのバイトは、EEPROM をプログラムする前に [SRAM 直接書き込み方式](#) を使用してのみ書き込むことができます。これらのバイトはオプションで工場出荷時のデフォルト設定から変更することができます。

表 7-11. ユーザー プログラマブルなフィールド

| SRAM/EEPROM アドレス<br>バイト番号 (10 進数) | フィールド名             | 説明   |
|-----------------------------------|--------------------|--|
| 10                                | I2C_ADDR[7:0]      | <b>I<sup>2</sup>C ターゲット アドレス MSB ビット [7:3]。</b><br>ビット[7:3]に書き込むことで、7 ビットの周辺アドレスの上位 5 MSB を設定できます。ビット [2:0] には 0 を書き込む必要があります。7 ビット アドレスの下位 2 LSB は、デバイス起動時の制御ピンによって決定されます。デフォルトの I2C_ADDR[7:0] の値は 0xC8 です(7 ビット アドレスの 0x64 に対応します)。<br>SRAM 直接書き込み方式を使用して、EEPROM の値を変更します。以降の POR サイクルでは、EEPROM に格納された I2C_ADDR の値を、読み取り専用レジスタである R10 から読み出すことができます。 |
| 11                                | EEREV[7:0]         | <b>EEPROM イメージのリビジョン。</b><br>このバイトは、EEPROM イメージのリビジョン番号、または部品のトレーサビリティのための顧客固有データを設定するために書き込むことができます。<br>SRAM 直接書き込み方式を使用して、EEPROM の値を変更します。その後の POR サイクルでは、EEPROM に保存されている EEREV 値は、読み取り専用レジスタ R11 から読み取ることができます。   |
| 249                               | NVM_SPARE_BY0[7:0] | <b>NVM スペア バイト。</b><br>これらの 4 バイトは、部品のトレーサビリティのための顧客固有データを任意に書き込むことができます。  |
| 250                               | NVM_SPARE_BY1[7:0] |  |
| 251                               | NVM_SPARE_BY2[7:0] |  |
| 252                               | NVM_SPARE_BY3[7:0] | SRAM 直接書き込み方式を使用して、EEPROM の値を変更します。その後の POR サイクルでは、レジスタ アロケーションが行われなかったため、これらのバイトは EEPROM から直接読み取るのみができます ( <a href="#">EEPROM の読み取り</a> を参照)。   |

#### 7.5.7 SRAM の読み取り

SRAM の内容は、要求したアドレスから開始して、以下の手順により 1 ワードずつ読み戻すことができます。このシーケンスは、EEPROM のプログラム サイクル中に SRAM が EEPROM に転送される前に、SRAM の内容を検証するために使用できます。

1. SRAM アドレスの上位 5 ビットを R159 (MEMADR バイト 1) に書き込み、SRAM アドレスの下位 8 ビットを R160 (MEMADR バイト 0) に書き込みます。

2. R162 (RAMDAT バイト) を読み取り、同じレジスタトランザクションの前のステップで指定されたアドレスから SRAM データ バイトをフェッチします。
  - 同一トランザクション内で追加の読み取り転送を行うと、SRAM アドレスは自動的にインクリメントされ、次の SRAM アドレスに対する読み出しが行われます。
  - R162 からのバイト読み出しまたはブロック読み出し転送を使用することで、SRAM マップ全体をバイト 0 から 252 まで順次読み出すことができます。
  - SRAM へのアクセスは、現在のレジスタトランザクションの終了時に終了します。

### 7.5.8 EEPROM の読み取り

EEPROM の内容は、要求したアドレスから開始して、以下の手順により 1 ワードずつ読み戻すことができます。このシーケンスを使用して、最後のプログラム サイクルが成功した後の EEPROM の内容を検証できます。

1. EEPROM アドレスの上位 5 ビットを R159 (MEMADR バイト 1) に書き込み、EEPROM アドレスの下位 8 ビットを R160 (MEMADR バイト 0) に書き込みます。
2. R161 (NVMDAT バイト) を読み取り、同じレジスタトランザクションの前のステップで指定されたアドレスから EEPROM データ バイトをフェッチします。
  - 同一トランザクション内で追加の読み取り転送を行うと、EEPROM アドレス ポインタが自動的にインクリメントされ、次のアドレスの読み取りが行われます。
  - R161 からのバイト読み取りまたはブロック読み取り転送を使用することで、EEPROM マップ全体をバイト 0 から 252 まで順次読み出すことができます。
  - EEPROM へのアクセスは、現在のレジスタトランザクションの終了時に終了します。

### 7.5.9 EEPROM スタートアップモードのデフォルト設定

汎用 LMK05318 デバイスは、表 7-12 に示す EEPROM デフォルト構成が出荷時に事前プログラムされています。インシステムプログラミングにより、異なる起動時構成を EEPROM に保存できます。

表 7-12. LMK05318 EEPROM スタートアップのデフォルト構成

| システム クロック     | 周波数 (MHz)           | 入力タイプ            | XO ダブラ                |
|---------------|---------------------|------------------|-----------------------|
| XO            | 48.0048             | AC-DIFF (外部終端)   | ディセーブル                |
| クロック入力        | 周波数 (MHz)           | 入力タイプ            | 自動優先度                 |
| PRIREF        | 25                  | AC-DIFF (外部終端)   | 1st                   |
| SECREP        | 25                  | AC-DIFF (外部終端)   | 2nd                   |
| 入力の選択         | 入力選択モード             | 手動選択モード          | レジスタの手動選択             |
| DPLL          | 自動フォールバックによる手動モード   | ピン選択             | PRIREF                |
| クロック出力        | 周波数 (MHz)           | 出力マルチプレクサ        | 出力タイプ                 |
| OUT0          | 156.25              | PLL1             | ディセーブル                |
| OUT1          | 156.25              | PLL1             | ディセーブル                |
| OUT2          | 156.25              | PLL1             | AC-LVPECL             |
| OUT3          | 156.25              | PLL1             | AC-LVPECL             |
| OUT4          | 156.25              | PLL1             | ディセーブル                |
| OUT5          | 156.25              | PLL1             | ディセーブル                |
| OUT6          | 25                  | PLL1             | AC-LVPECL             |
| OUT7          | 100                 | PLL1             | HCSL (外部 50Ω 終端)      |
| PLL 構成        | PLL MODE            | ループ BW (Hz)      | TDC または PFD レート (MHz) |
| DPLL          | DPLL モード            | 100              | 25                    |
| APLL1         | DPLL モード            | 1000             | 24.0024               |
| APLL2         | ディセーブル              | –                | –                     |
| REF 入力モニタ (1) | 検証タイマ               | 周波数 DET 有効 (ppm) | 周波数 DET 無効 (ppm)      |
| PRIREF        | 0.1                 | –                | –                     |
| SECREP        | 0.1                 | –                | –                     |
| REF 入力モニタ (2) | 早期検出ウィンドウ (ns)      | 後期検出ウィンドウ (ns)   |                       |
| PRIREF        | 33.6                | 46.4             | –                     |
| SECREP        | 33.6                | 46.4             | –                     |
| 周波数ロック検出      | LOCK (ppm)          | UNLOCK (ppm)     | 精度 (ppm)              |
| DPLL          | 1                   | 10               | 1                     |
| DCO モード       | DCO 制御              | ステップ サイズ (PPB)   | FINC/FDEC モード         |
| DPLL          | DCO ディセーブル          | –                | レジスタビット               |
| STATUS ピン     | 信号                  | タイプ              | POLARITY              |
| STATUS0       | DPLL 周波数ロック損失       | 3.3V LVCMOS      | アクティブ HIGH            |
| STATUS1       | DPLL ホールドオーバー アクティブ | 3.3V LVCMOS      | アクティブ HIGH            |

## 8 アプリケーションと実装

---

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

---

### 8.1 アプリケーション情報

#### 8.1.1 デバイスの起動シーケンス

デバイスの起動シーケンスは、以下の図に示されています。

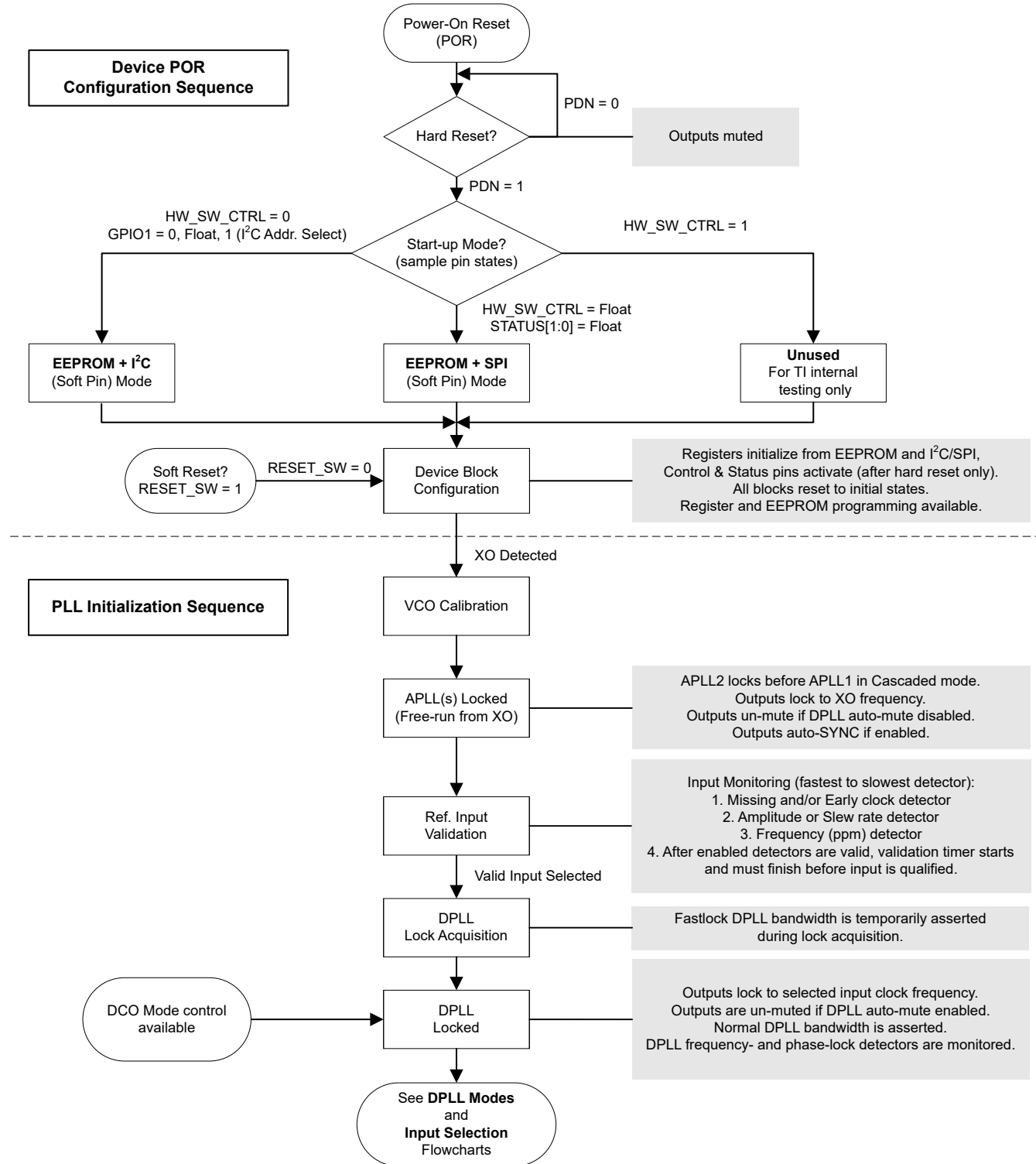


図 8-1. デバイスの起動シーケンス

### 8.1.2 電源切断 (PDN) ピン

PDN ピン (アクティブ Low) は、デバイスの電源を切るために使用したり、POR シーケンスを初期化するために使用したりできます。PDN が低く引き下げられると、デバイス全体の電源がオフになり、シリアル インターフェイスが無効になります。

す。PDN が High にプルされると、デバイスの POR シーケンスがトリガーされ、PDN 制御に示すように、デバイスの起動シーケンスと通常の動作が開始されます。PDN ピンが切り替えられて瞬間的なハードリセットが発行される場合、PDN ピンに適用される負のパルスは、内部デジタル システム クロックによってキャプチャされるために 200ns より大きくなければなりません。

表 8-1. PDN 制御

| PDN ピンの状態 | デバイス動作    |
|-----------|-----------|
| 0         | デバイスは無効です |
| 1         | 通常動作      |

### 8.1.3 電源レール シーケンシング、電源ランプレート、および混在電源ドメイン

#### 8.1.3.1 電源の混在

LMK05318 には、柔軟な電源アーキテクチャが組み込まれています。すべての VDD コア電源は同一の 3.3V レールから供給する必要がありますが、各出力電源は 1.8V、2.5V、または 3.3V の個別のレールから供給できます。これにより、すべての VDDO 出力電源を 1.8V で動作させ、消費電力を最小限に抑えることができます。

#### 8.1.3.2 パワーオン リセット (POR) 回路

LMK05318 には、以下の条件がすべて満たされるまでデバイスをリセット状態に保持するパワーオンリセット (POR) 回路が組み込まれています。

- すべての VDD コア電源が 2.72V を超えました
- PDN ピンが 1.2V (最小  $V_{IH}$ ) 以上に上昇しました

#### 8.1.3.3 単一電源レールからの電源投入

すべての VDD コア電源が同一の 3.3V 電源レールから供給され、立ち上がり時間に関係なく 0V から 3.135V まで単調にランプアップする限り、デバイスの電源投入シーケンスを外部で遅延させるために PDN ピンにコンデンサを追加する必要はありません。図 8-2 は、システムのクロック シーケンス要件を満たすために、PDN ピンをフローティング状態のままにするか、システム ホストによって駆動できることを示しています。

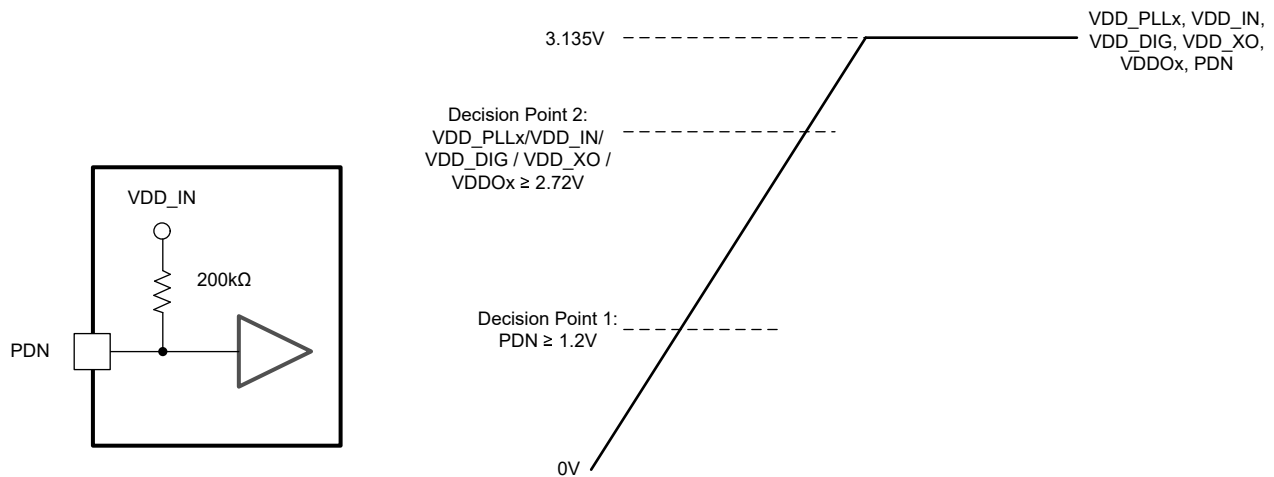


図 8-2. 単一電源レールからの電源投入に関する推奨事項

#### 8.1.3.4 分割電源レールからの電源投入

一部の VDD コア電源が異なる電源レールから供給されている場合、すべてのコア電源が 3.135 V を超えて立ち上がった後に PLL キャリブレーションを開始することを、TI は推奨しています。これは、PDN の Low から High への遷移を遅らせることによって実現できます。PDN 入力には、VDD\_IN に対する 200kΩ 抵抗が組み込まれています。図 8-3 に示すように、PDN ピンと GND の間に接続したコンデンサを使用して、内部プルアップ抵抗とともに R-C 時定数を形成できま

す。この R-C 時間定数は、すべてのコア電源が 3.135V を超えるまで PDN の Low から High への遷移を遅らせるように設計できます。

あるいは、システム ホストまたは電源管理デバイスによって PDN ピンをハイに駆動して、すべての VDD 電源が立ち上がるまでデバイスの電源投入シーケンスを遅延させることもできます。

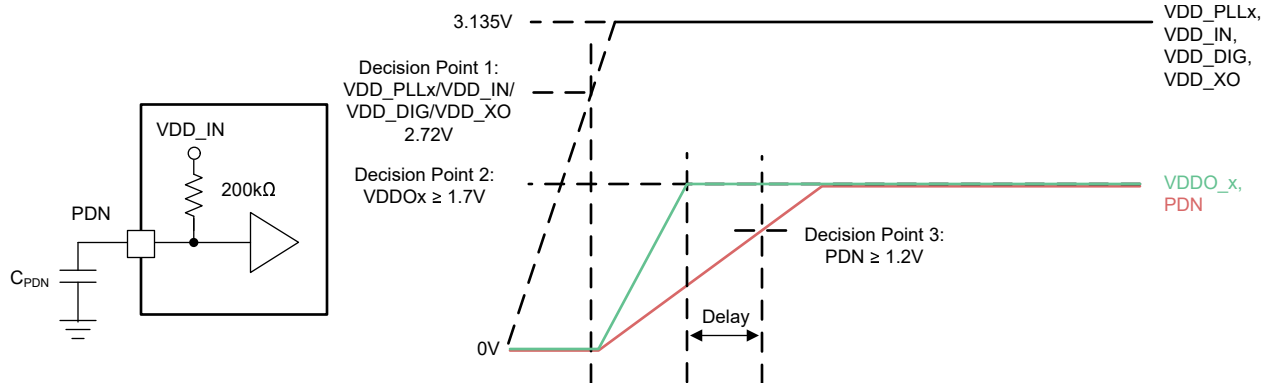


図 8-3. 分割電源レールからの電源投入に関する推奨事項

#### 8.1.3.5 非単調または低速の電源投入時上昇

VDD コア電源が非単調に上昇する場合、または 0V から 3.135V までのランプ時間が 100 ミリ秒を超える場合、TI では、すべてのコア電源が 3.135V を超えるまで VCO キャリブレーションを遅らせることを推奨します。これは、[分割電源レールからの電源投入](#)で説明されている方法の一つを使用して、PDN の Low から High への遷移を遅延させることによって実現できます。

いずれかのコア電源が PDN の Low から High 遷移前に 3.135 V を超えて立ち上がらない場合でも、すべてのコア電源が立ち上がった後にデバイスのソフトリセットを発行することで、VCO キャリブレーションおよび PLL 起動シーケンスを手動でトリガすることができます。

#### 8.1.4 低速または遅延 XO 起動

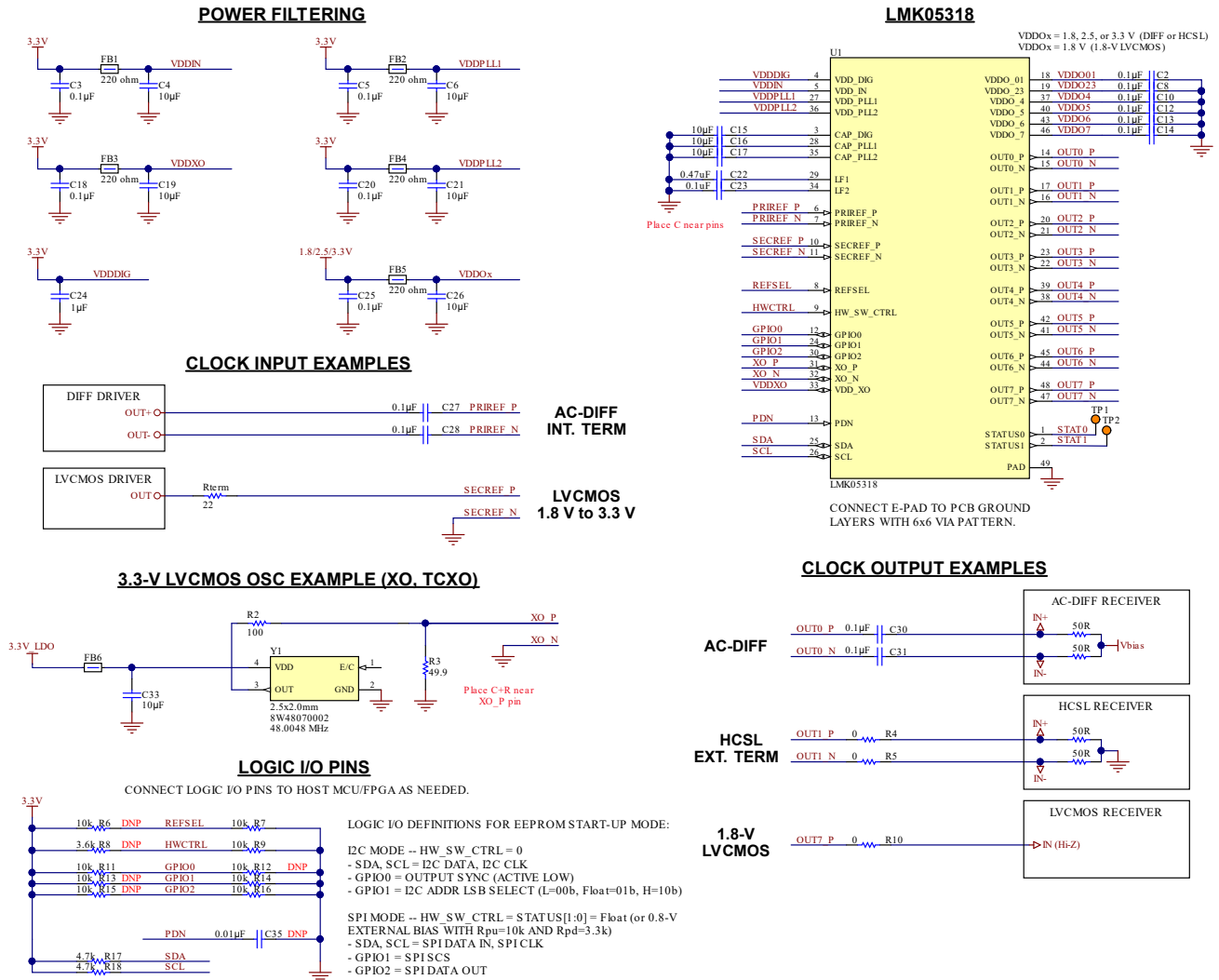
外部 XO クロック入力 は VCO キャリブレーションのリファレンス入力として使用されるため、PLL のロックおよび出力の正常な起動を確実に行うには、VCO キャリブレーション開始前に XO 入力の振幅と周波数が安定していることを確認してください。VCO キャリブレーションの前に XO クロックが安定していない場合、VCO キャリブレーションが失敗し、PLL ロックと出力クロックの起動が妨げられる可能性があります。

XO クロックの起動時間が遅い場合、または電源投入時にグリッチが発生する場合 (例: 電源ランプが遅い、または非単調である)、TI では、XO が安定するまで VCO キャリブレーションの開始を遅らせることを推奨しています。これは、[分割電源レールからの電源投入](#)で説明されているいずれかの方法を使用して、XO クロックが安定するまで PDN# の low から high への遷移を遅らせることによって実現できます。XO クロックが安定した後にデバイスのソフトリセットを発行し、VCO キャリブレーションおよび PLL の起動シーケンスを手動でトリガすることも可能です。

## 8.2 代表的なアプリケーション

図 8-4 には、デバイスの周辺回路および LMK05318 を実装するための参考となるシステム ブロック図の例を示しています。推奨される電源フィルタリング方式については、[LMK05318BEVM ユーザー ガイド](#)を参照してください。推奨される入力および出力終端については、[クロック入力のインターフェイスと終端](#)および[クロック出力のインターフェイスと終端](#)を参照してください。

図 8-4. 代表的なシステム ブロック図



### 8.2.1 設計要件

一般的なアプリケーションでは、全体的なクロック設計を実装するために、次の設計要件またはパラメータを考慮してください。

1. デバイスの初期構成: デバイスを、ホスト (MCU または FPGA) によるプログラム方式、または工場出荷時の事前プログラム方式のいずれかとして構成します。
2. デバイスのスタートアップ モードおよびシリアル インターフェイス: 通常、これは EEPROM + I<sup>2</sup>C モードまたは SPI モードです。
3. XO 周波数、信号タイプ、周波数の精度と安定性: 次のいずれかが必要な場合は、XO 入力に高安定性 TCXO または OCXO の使用を検討してください。
  - 標準準拠の周波数安定性 (SyncE、SONET/SDH、IEEE 1588 など)

- オフセット  $\leq 100\text{Hz}$  で可能な限り低い近傍位相ノイズ
  - ナロー DPLL 帯域幅  $\leq 10\text{Hz}$
4. DPLL/APLL1 ドメインについて、以下を決定します:
    - 入力クロック: 周波数、バッファ モード、優先度、入力選択モード
    - 出力クロック: 周波数、バッファ モード
    - DPLL ループ帯域幅と最大 TDC 周波数
    - DCO モードが必要な場合
  5. APLL2 ドメインについて、以下の項目を決定します:
    - APLL2 リファレンス: カスケード接続した APLL2 による同期クロック動作の場合は VCO1、非カスケード接続の APLL2 による非同期クロック動作の場合は XO を使用します
    - 出力クロック: 周波数、バッファ モード
  6. 入力クロックと PLL 監視オプション
  7. ステータス出力と割り込みフラグ
  8. 電源レール

### 8.2.2 詳細な設計手順

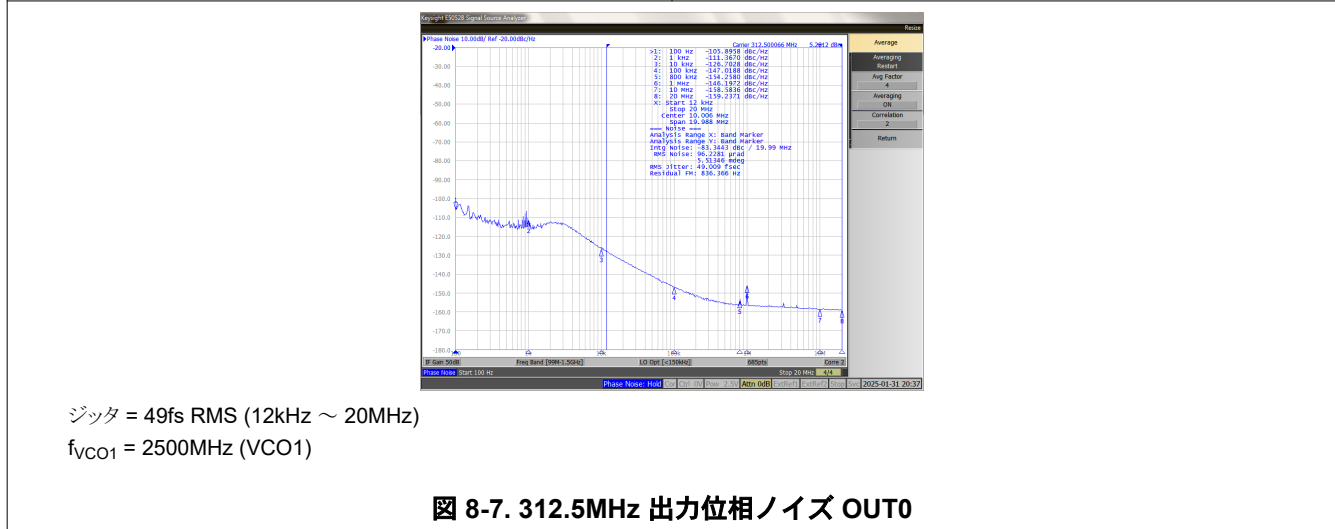
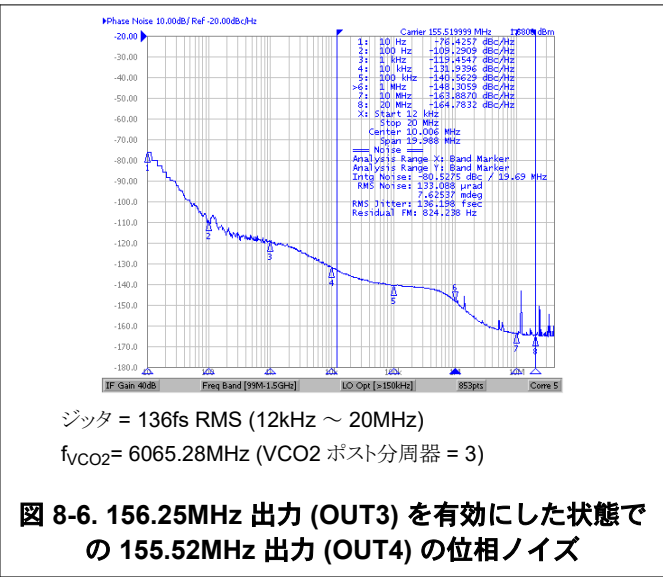
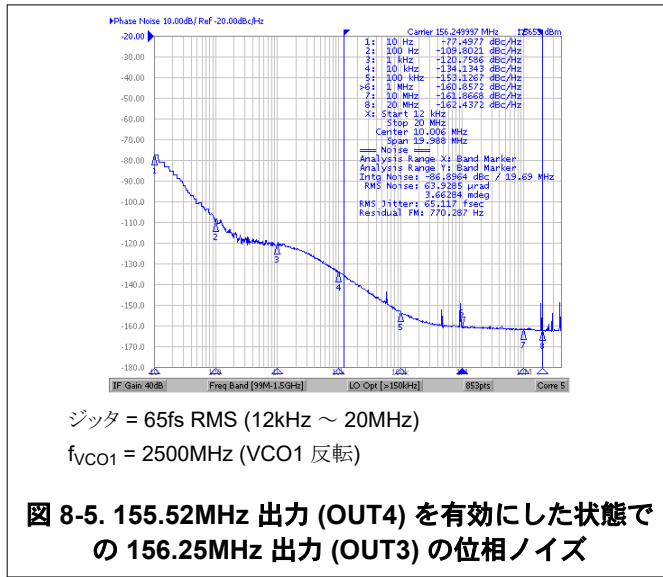
代表的なアプリケーションでは、TI は以下の手順を推奨します:

1. 設計パラメータの入力、各 PLL ドメインの周波数計画の計算、および目的の構成のレジスタ設定の生成を行うには、TICS Pro プログラミング ソフトウェアの LMK05318 GUI を使用します。ステップバイステップの設計フローを実行します。レジスタ設定は (16 進形式) エクスポートでき、ホスト プログラミングまたは出荷時の事前プログラミングを有効にすることができます。
  - 汎用 (カスタム品ではない) デバイスを使用する場合、電源投入後にホスト デバイスがシリアル インターフェイスを介してレジスタ設定をプログラムし、RESET\_SW ビットによるソフトリセットを実行することでデバイスを起動できます。また、ホストは設定を EEPROM に保存し、その後のパワーオンリセット サイクル時に、これらのレジスタ設定を使用して自動的に起動できます。
2. HW\_SW\_CTRL ピンをグラウンドに接続して EEPROM + I<sup>2</sup>C モードを選択するか、弱い内部抵抗または外部抵抗を介してピンを V<sub>IM</sub> にバイアスして EEPROM + SPI モードを選択します。制御およびステータス機能のロジック I/O ピンの割り当てを決定します。詳細については「[HW\\_SW\\_CTRL ピンの機能](#)」を参照してください。
  - I<sup>2</sup>C/SPI とロジックの I/O ピン (1.8V 互換レベル) を、適切な I/O 方向および電圧レベルでホスト デバイスのピンに接続します。
3. 詳細については、[発振器入力 \(XO\\_P/N\)](#) に従って XO 周波数を選択します。
  - フリーランまたはホールドオーバー中に出力クロックに必要な周波数安定性および精度の要件を満たす、目標の位相ジッタ性能を持つ XO を選択します。
  - 3.3V LVCMOS ドライバの場合、[セクション 7.3.3](#) の OSC クロックインターフェイスの例に従います。OSC は低ノイズの LDO レギュレータから給電するか、電源フィルタリングを最適化して、電源ノイズによる XO クロックのジッタ発生を防いでください。
  - TICS Pro: XO ドライバ インターフェイスの要件に一致するように、XO 入力バッファ モードを構成します。詳細については、[表 7-1](#) を参照してください。
4. 回路図の各 PLL ドメインのクロック I/O を配線し、TICS Pro を使用してデバイス設定を以下のように構成します。
  - リファレンス入力: [図 8-4](#) または [クロック入力インターフェイスおよび終端](#) に示されている LVCMOS クロック入力、もしくは差動クロック入力のインターフェイス例に従ってください。
    - TICS Pro: DPLL モードの場合、リファレンス クロック ドライバ インターフェイスの要件を一致させるように、リファレンス入力バッファ モードを構成します。詳細については「[表 7-2](#)」を参照してください。
    - 振幅監視がイネーブルの場合、5MHz より低い入力周波数には LVCMOS クロック入力を使用します。
  - TICS Pro: DPLL モード の場合、DPLL 入 力選択モードと入力優先度を設定します。詳細については「[リファレンス入力マルチプレクサの選択](#)」を参照してください。
  - TICS Pro: APLL2 を使用する場合は、APLL2 のリファレンスを VCO1 ドメイン (カスケード APLL2) または XO クロック (非カスケード APLL2) に設定してください。

- **TICS Pro:** 各出力に、必要なクロック周波数と PLL ドメインを設定します。TICS Pro は、PLL と出力の VCO 周波数とデバイダ設定を計算できます。クロストークとスプリアスを最小限に抑えるため、以下の出力クロック割り当てガイドラインを考慮してください。
  - PLL1 クロックには、OUT[0:3] バンクを使用することが推奨されます。
  - PLL2 クロックには、OUT[4:7] バンクを使用することが推奨されます。
  - 同一の出力周波数 (または高調波周波数) を持つ出力は隣接するチャンネルにまとめ、可能であれば単一の分周器を共有する出力ペア (例: OUT0/1 または OUT2/3) を使用することで、電力消費を最小限に抑えることができます。
  - 2 つの周波数の差 ( $|f_{OUTx} - f_{OUTy}|$ ) がジッタ積分帯域幅内にある場合 (例: 12kHz から 20MHz)、個別のクロック出力。カップリングの可能性を最小限に抑えるため、アグレッサの可能性のある出力はすべて、少なくとも 4 つの静的ピン (電源ピン、論理ピン、または無効化出力ピン) で分離する必要があります。可能であれば、最高の絶縁を実現するため、これらのクロックは互いに反対側の出力バンクに配置することで分離します。
  - LVCMOS 出力 (強いアグレッサ) を避けたり、他のジッタに敏感な差動出力クロックから分離したりすることができます。LVCMOS 出力が必要な場合、デュアル相補 LVCMOS モード ( $\pm$  または  $-/+$ ) を使い、未使用の LVCMOS 出力をフローティングのままにして、配線なしでフローティングにします。
  - アプリケーションですべての出力ペアが使用されていない場合は、テスト目的 (SMA、SMP ポートなど) のために、未使用の出力を一对の RF 同軸テスト構造に接続することを検討してください。
- **TICS Pro:** 出力ドライバを設定します。
  - レシーバ クロック入力インターフェイスの要件と一致するように出力ドライバ モードを構成します。詳細については、表 7-8 を参照してください。
  - 出力位相を同期する必要がある任意の出力同期グループを構成します。詳細については「出力同期 (SYNC)」を参照してください。
  - 出力自動ミュートモード、出力ミュートレベル、および APLL/DPLL のミュート オプションを設定してください。詳細については「LOL 中の出力の自動ミュート」を参照してください。
- クロック出力インターフェイス: 図 8-4 または クロック出力のインターフェイスと終端に示されているシングル エンド、もしくは差動クロック出力インターフェイスの例に従います。
  - 差動出力は、受信側入力において AC 結合し、終端およびバイアスを行う必要があります。
  - HCSL 出力は、内部ソース終端をプログラムで有効にしている限り、ソース側または負荷側のいずれかで GND への 50Ω 終端が必要です。
  - LVCMOS 出力には、50Ω のトレースを直接駆動するための内部ソース終端があります。LVCMOS の  $V_{OH}$  レベルは、VDDO 電圧(1.8V)によって決まります。
- **TICS Pro:** DPLL ループ帯域幅を構成します。
  - ループ帯域幅より下では、リファレンス ノイズは TDC ノイズ フロアと XO/TCXO/OCXO ノイズに追加されます。ループ帯域幅を上回ると、リファレンス ノイズはロール オフにより最大 60dB/decade まで減衰します。最適な帯域幅は、リファレンス入力と XO の間の相対位相ノイズによって決まります。APLL1 のループ帯域幅は設定可能で、APLL1 の帯域幅(通常は約 1kHz)より高い周波数領域において、リファレンス入力、TDC、および XO の位相ノイズをさらに減衰させることができます。
- **TICS Pro:** 目的の使用事例に合わせて DPLL TDC ノイズへの寄与を最適化するように、最大 TDC 周波数を構成します。
  - 優先: 最大 TDC レートは 400kHz です。このリファレンス デザインは、SyncE や狭ループ帯域幅 ( $\leq 10$ Hz) を使用する TCXO/OCXO/XO を使用する他の使用事例に対応しており、周波数安定性やワンダ性能を設定できます。
  - 無線: インバンド TDC ノイズの寄与を最小化するため、TDC の最大レートは 26MHz にプリセットされています。そのため、無線や近接位相ノイズが重要な他のユースケースにも対応できます。
  - カスタム: 最大 TDC レートは、26MHz までの任意の値に対して指定できます。
- **TICS Pro:** クロック ステアリングが必要な場合 (IEEE 1588 PTP の場合など) は、DPLL ループの DCO モードを有効にし、周波数ステップ サイズ (ppb 単位) を入力します。FDEV ステップ レジスタは、DCO の周波数ステップ サイズに従って計算されます。必要に応じて、GPIO ピン上の FINC/FDEC ピン制御を有効にします。

5. **TICS Pro:** 各リファレンス入力のリファレンス入力監視オプションを設定します。不要な場合、または入力がモニタの対応周波数範囲を超えて動作している場合は、モニタを無効にします。詳細については「[リファレンス入力監視](#)」を参照してください。
  - **振幅モニタ:** 入力信号の品質を監視するために、LVCMOS の検出スルーレート エッジ、または差動入力振幅を設定します。5MHz 未満の差動入力の場合はモニタを無効にするか、もしくは LVCMOS 入力クロックを使用します。
  - **周波数監視:** 有効なしきい値と無効なしきい値 (ppm 単位) を設定します。
  - **消失パルス モニタ:** 遅延ウィンドウ スレッシュホールド ( $T_{LATE}$ ) は、ワーストケースのサイクル間ジッタを含む、予想される最長の入力クロック期間を許容するように設定します。ギャップド クロック入力の場合は、クロック消失パルスの許容数に基づいて  $T_{LATE}$  を設定します。
  - **ラントパルス モニタ:** 早期ウィンドウ スレッシュホールド ( $T_{EARLY}$ ) は、ワーストケースのサイクル間ジッタを含む、予想される最短の入力クロック期間を許容するように設定します。
  - **検証タイム:** 入力を選択可能になるまでに、有効なすべての入力モニタによって基準入力に認定される必要がある時間を設定します。
6. **TICS Pro:** 各チャネルの DPLL ロック検出およびチューニングワード履歴監視オプションを構成します。詳細については、[PLL ロック検出器](#) と [調整ワード履歴](#) を参照してください。
  - **DPLL 調整ワード履歴:** 履歴カウント/平均化時間 ( $T_{AVG}$ )、履歴遅延/無視時間 ( $T_{IGN}$ )、および中間平均化オプションを設定します。
  - **DPLL 周波数ロックおよび位相ロック検出器:** 各検出器のロックおよびロック解除のスレッシュホールドを設定します。
7. **TICS Pro:** 必要に応じて、各ステータス出力ピンと割り込みフラグを設定します。詳細については、[ステータス出力](#) と [割り込み](#) を参照してください。
  - 目的のステータス信号の選択、ステータス極性、およびドライバ モード (3.3V LVCMOS またはオープンドレイン) を選択します。オープンドレイン には外付けプルアップ抵抗が必要です。
  - 割り込みが有効であり、ステータス出力として選択されている場合は、任意の割り込みソースのフラグ極性とマスクビット、および必要に応じて組み合わせ **AND/OR** ゲートを設定します。
8. 電源を設計するには、以下のガイドラインを考慮してください。
  - 同じ周波数または整数関連 (高調波) 周波数の出力は、フィルタリングされた共通の電源を共有できます。
    - 例: OUT[0:1]/ および OUT[2:3]/ の 156.25MHz および 312.5MHz 出力は、フィルタされた共通の VDDO 電源(グループ 1)を共有できます。、OUT[4:7]/ の 100MHz、50MHz、または 25MHz 出力は、別の VDDO 電源(グループ 2)を共有できます。
  - 消費電力を最小限に抑えるため、1.8V 電源から AC-DIFF または HCSSL 出力に電力を供給でき、出力スイングや位相ノイズの低下はありません (2.5V または 3.3V と比較)。
  - 1.8V LVCMOS 出力は、1.8V 電源から電力を供給する必要があります。
  - [電源レール シーケンシング](#)、[電源ランプレート](#)、および[混在電源ドメイン](#)を参照してください。

### 8.2.3 アプリケーション曲線



### 8.3 設計のベスト プラクティス

- 図 8-4 に示すように、適切な電源デカップリングとバイパス接続を使用してすべての VDD ピンに電力を供給します。
- レジスタを介して未使用のブロックの電源をオフにして、消費電力を最小限に抑えます。
- デバイスとの間のアクティブな信号の入力および出力クロックトレースのインピーダンスを一致させるには、適切なソースまたは負荷終端を使用します。
- 未使用のクロック出力は、レジスタ制御を通じてフローティング状態のままにして、電源をオフにしておきます。
- 使用しないクロック入力フローティングのままにしておきます。
- EEPROM + SPI モードの場合: 正しい起動を行うため、POR 中は HW\_SW\_CTRL ピンおよび STATUS[1:0] ピンをフローティング状態のままにします。これらのピンは、内部で  $V_{IM}$  に内部的にバイアスされています。
  - HW\_SW\_CTRL またはいずれかのステータスピンがシステムホスト (MCU または FPGA) に接続されている場合、 $V_{IM}$  への内部バイアスとの競合を避けるため、ホスト デバイスを高インピーダンス入力 (プルアップ抵抗またはプルダウン抵抗なし) に構成する必要があります。必要に応じて、POR 中に入力を  $V_{IM}$  にバイアスするため、各 STATUS ピンに外付けのバイアス抵抗 (3.3V への 10kΩ プルアップおよび 3.3kΩ プルダウン) を接続できます。
- デバイスのステータス出力を監視するには、各 STATUS ピンをホスト デバイスのテスト ポイントまたは高インピーダンス入力にルーティングすることを検討してください。

- 外部 XO/TCXO/OCXO ソースに電力を供給するために LDO レギュレータの使用を検討してください。
  - 発振器クロックの高ジッタとスプリアス出力は、多くの場合、電源の高スペクトル ノイズとリップルによって発生します。
- デバイスの I<sup>2</sup>C または SPI にアクセスするための専用ヘッダーと、グランド用のヘッダー ピンが含まれています。
  - これにより、TI USB2ANY インターフェイスと TICS Pro ソフトウェア ツールを使用して、デバイスの立ち上げ、プロトタイピング、および診断のためのオフボード プログラミングが可能になります。

## 8.4 電源に関する推奨事項

### 8.4.1 電源バイパス

図 8-8 は、PCB の背面またはコンポーネント側にある電源バイパス コンデンサの 2 つの一般的な配置を示しています。コンデンサを裏面に実装する場合は、コンポーネント 0402 を使用できます。部品側の実装には、0201 の本体サイズのコンデンサを使用して信号の配線を容易にします。コンポーネントの側面と裏面の配置を組み合わせて使用できます。バイパス コンデンサとデバイスの電源との間の接続はできる限り短くします。グランド プレーンへの低インピーダンス接続を使用して、コンデンサの反対側をグランドに接続します。

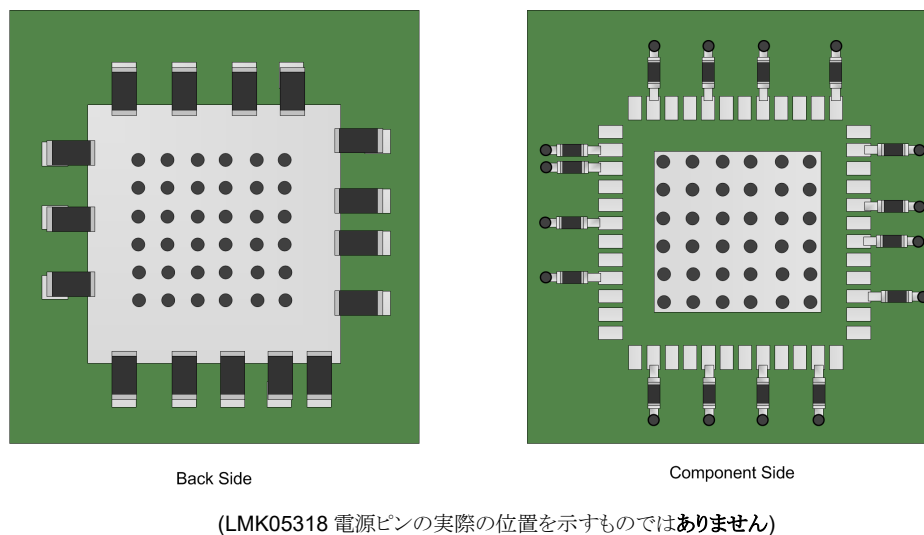


図 8-8. 電源バイパス コンデンサの一般的な配置

### 8.4.2 デバイスの電流および消費電力

デバイスの消費電力は、デバイスにプログラムされた実際の構成に依存します。電気的特性にある個別の電源ピンの消費電流値を使用して、デバイスの消費電力と電源寸法を推定できます。

#### 8.4.2.1 消費電流の計算

コア消費電流:

$$IDD\_CORE = IDD\_DIG + IDD\_IN + IDD\_XO + IDD\_PLL1 + IDD\_PLL2 \quad (13)$$

OUT[0:1] または OUT[2:3] チャンネル消費電流:

$$IDDO\_XY = IDDO\_XY\_DIVIDER + IDDO\_X\_DRIVER + IDDO\_Y\_DRIVER \quad (14)$$

OUT[4:7] チャンネル消費電流:

$$IDDO\_X = IDDO\_X\_DIVIDER + IDDO\_X\_DRIVER \quad (15)$$

出力チャンネルの分周器およびドライバが無効化されている場合、チャンネルの  $IDDO_x$  はおよそ 0mA になります。

#### 8.4.2.2 消費電力の計算

コア消費電力:

$$P_{CORE} = IDD_{CORE} \times VDD \quad (16)$$

出力消費電力:

$$P_{OUT} = (IDDO_{01} \times VDDO_{01}) + (IDDO_{23} \times VDDO_{23}) + \dots + (IDDO_7 \times VDDO_7) \quad (17)$$

合計デバイス消費電力:

$$P_{TOTAL} = P_{CORE} + P_{OUT} \quad (18)$$

#### 8.4.2.3 例

次のデバイス構成について、電流と消費電力を推定します:

- VDD = 3.3V および VDDO\_x = 1.8V
- APLL2 をカスケード接続した DPLL/APLL1 モード
- XO: 48MHz、PRIREF、SECREf: 25MHz
- OUT[0:1]: 156.25MHz AC-LVPECL (x2)、PLL1
- OUT[2:3]: 156.25MHz AC-CML (x2)、PLL1
- OUT4: 133.33MHz AC-LVDS、PLL2
- OUT5: 無効
- OUT6: 100MHz HCSL、PLL1
- OUT7: 25MHz の LVCMOS (x2)、PLL1

式 13 から:  $IDD_{CORE} = 18 + 38 + 20 + 110 + 120 = 306\text{mA}$

式 14 および 式 15 から:

- $IDDO_{01} = 70 + 16 + 16 = 102\text{mA}$
- $IDDO_{23} = 70 + 14 + 14 = 98\text{mA}$
- $IDDO_4 = 70 + 10 = 80\text{mA}$
- $IDDO_5 = 0\text{mA}$
- $IDDO_6 = 70 + 25 = 95\text{mA}$
- $IDDO_7 = 70 + 6 = 76\text{mA}$

式 16 から:  $P_{CORE} = 306\text{mA} \times 3.3\text{V} = 1.01\text{W}$

式 17 から:  $P_{OUT} = (102 + 98 + 80 + 95 + 76)\text{mA} \times 1.8\text{V} = 0.812\text{W}$

式 18 から:  $P_{TOTAL} = 1.01\text{W} + 0.812\text{W} = 1.822\text{W}$

## 8.5 レイアウト

### 8.5.1 レイアウトのガイドライン

- 入力、XO/OCXO/TCXO、および出力クロックを、異なる周波数を持つ隣接クロックやその他の近くの動的信号から分離します。
- XO/OCXO/TCXO の配置とレイアウトについては、近くの回路 (電源、FPGA、ASIC など) からの電源/グランド ノイズと熱勾配、およびシステム レベルの振動と衝撃を考慮してください。これらの要因は、発振器の周波数安定性/精度および過渡性能に影響を及ぼす可能性があります。
- クロックおよびダイナミック ロジック信号用の、インピーダンスが制御された 50Ω シングルエンド (または 100Ω 差動) トレース上のインピーダンスの不連続を回避します。
- バイパス コンデンサは、IC と同じ側の VDD ピンと VDDO ピンの近く、または PCB の反対側の IC ピンの真下に配置します。より大きな値のデカップリング コンデンサは、さらに離れた場所に配置できます。

**LMK05318**

JAJSFM4C – JUNE 2018 – REVISED MAY 2026

- 外部コンデンサを CAP\_x ピンと LFX ピンの近くに配置します。
- 可能であれば、複数のビアを使用して、幅広い電源トレースをそれぞれの電源アイランドまたはプレーンに接続します。
- IC グランド/サーマル パッドを PCB グランド プレーンに接続するには、少なくとも 5×5 のスルーホール ビア パターンを使用します。
- 機械、パッケージ、および注文に関する情報の「ランド パターンの例」、「はんだマスクの詳細」、および「はんだペーストの例」を参照してください。

### 8.5.2 レイアウト例

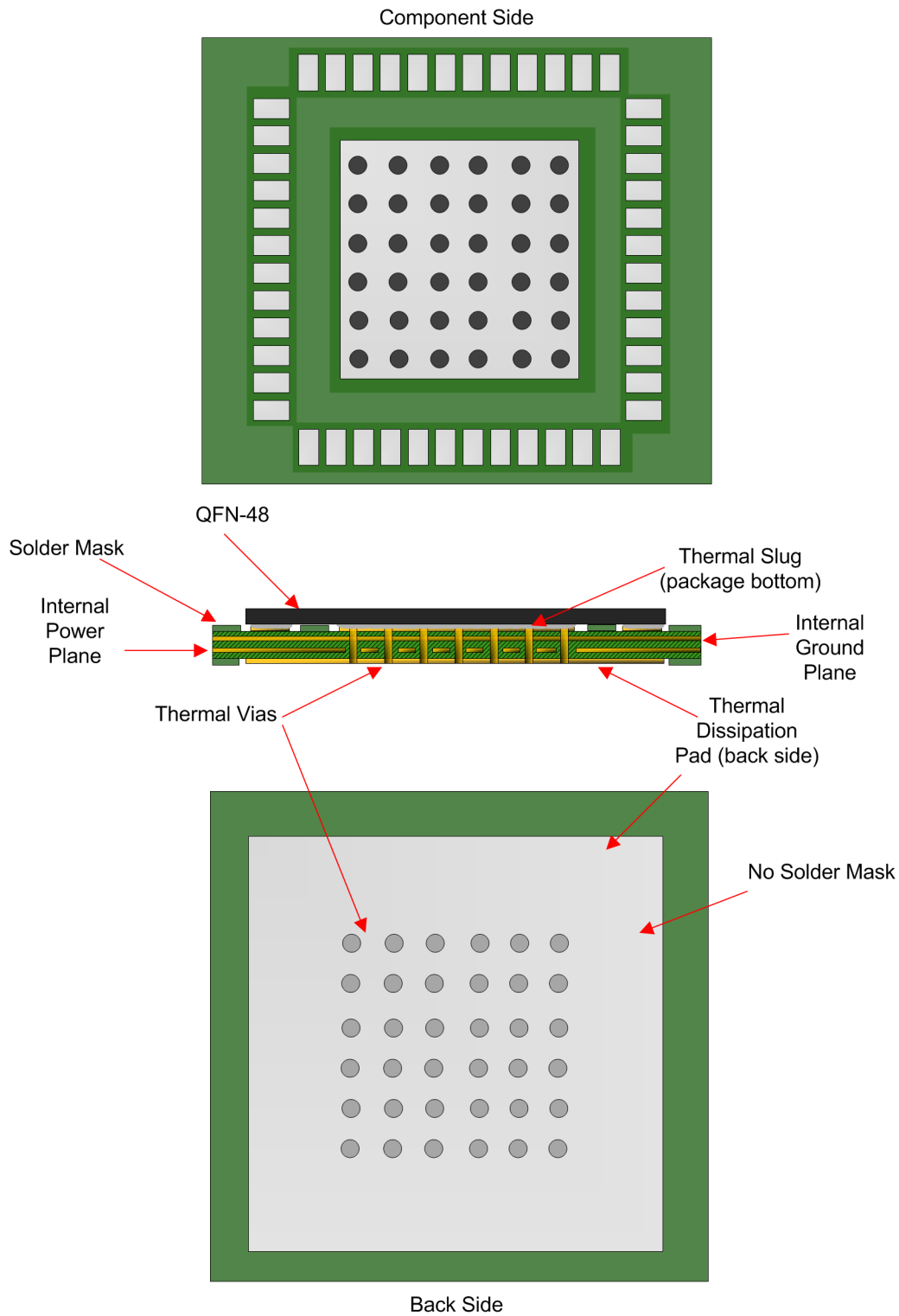


図 8-9. 熱信頼性のための一般的な PCB グランドレイアウト (8 層以上を推奨)

### 8.5.3 熱に関する信頼性

LMK05318 は高性能デバイスです。良好な電気的および熱的性能を実現するために、TI では、複数の PCB グランド層に接続された少なくとも 5×5 スルーホール スルー パターンを使用して、IC グランドまたはサーマル パッドと PCB グランド間の熱的に強化されたインターフェイスを設計することを推奨しています (図 8-9 を参照)。

#### 8.5.3.1 PCB 温度は最高 105°Cまでサポート

このデバイスは、最大基板温度 ( $T_{PCB}$ ) が 105°C の PCB 上で動作させた場合でも、推奨最大値の 125°C を下回る安全なジャンクション温度を維持できます。これは、以下の計算例で確認できます。この計算例では、すべてのブロックが有効になっている状態で、電気特性 ( $VDD = 3.3V$ ,  $VDDO = 1.8V$ ) の標準的な消費電流と、熱情報に記載されているエアフローなしの熱データを使用して、デバイスの総電力 ( $P_{TOTAL}$ ) を計算しています。

$$T_J = T_{PCB} + (\Psi_{JB} \times P_{TOTAL}) = 113.8^\circ\text{C} \quad (19)$$

ここで、

- $T_{PCB} = 105^\circ\text{C}$
- $\Psi_{JB} = 4.4^\circ\text{C/W}$
- $P_{TOTAL} = P_{CORE} + P_{OUTPUT} = 2.0 \text{ W}$ 
  - $P_{CORE} = (18 + 38 + 20 + 110 + 120)\text{mA} \times 3.3V = 1.01\text{W}$ 
    - DPLL、APLL1、APLL2、およびすべての入力がいネーブル
  - $P_{OUTPUT} = (102 + 102 + 86 + 86 + 86 + 86)\text{mA} \times 1.8V = 0.986\text{W}$ 
    - すべての出力チャンネルがいネーブルで、出力分周器値が 6 種類を超え、AC-LVPECL 出力タイプがいネーブルです

## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイス サポート

#### 9.1.1 TICS Pro

TICS Pro は、EVM プログラミングおよびレジスタ マップ生成用オフライン ソフトウェア ツールであり、個々の用途に合わせてデバイス構成をプログラミングできます。TICS Pro の場合、[www.ti.com/tool/TICSPRO-SW](http://www.ti.com/tool/TICSPRO-SW) にアクセスしてください。

### 9.2 ドキュメントのサポート

#### 9.2.1 関連資料

次の表を参照してください:

- テキサス インスツルメンツ、[LMK05318 ITU-T G.8262 準拠テスト結果](#)、アプリケーション ノート
- テキサス インスツルメンツ、[LMK05318 シリアル フラッシュ プログラミング](#)、アプリケーション ノート
- テキサス インスツルメンツ、[LMK05318 による高速 56G PAM-4 シリアル リンクのクロック供給](#)、アプリケーション ノート
- テキサス インスツルメンツ、[LMK05318BEVM ユーザー ガイド](#)、EVM ユーザー ガイド

### 9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from DECEMBER 10, 2025 to MAY 4, 2026 (from Revision B (December 2025) to Revision C (May 2026))

|   | Page |
|---|------|
| • VDD バイパス コンデンサの推奨値の変更 (0.1µF から 10µF) に合わせて「ピン機能および構成」を更新 ..... | 4    |

| Changes from Revision A (December 2018) to Revision B (December 2025)              | Page |
|--|------|
| • データシートの名称を変更.....  | 0    |
| • SPI の従来用語はすべて「コントローラ/ ペリフェラル」に、I <sup>2</sup> C の従来用語はすべて「コントローラ/ ターゲット」に変更..... | 1    |
| • 文書全体から ROM に関する記載を削除.....  | 1    |
| • ドキュメント全体を通して、出力フォーマット・タイプを LVPECL から AC-LVPECL に訂正.....                          | 1    |
| • 「特長」セクションを更新.....  | 1    |
| • アプリケーションセクションにハイパーリンクを追加.....  | 1    |
| • 入力リファレンスの最小周波数を 1Hz から 2MHz に変更.....   | 1    |
| • VDD バイパス コンデンサの推奨値を 0.1μF から 10μF に変更.....                                       | 4    |
| • XO 入力バッファモードセクションを変更し、先行ゼロを削除.....   | 25   |
| • リファレンス入力バッファ モードセクションを変更し、先頭のゼロを削除.....  | 27   |
| • 手動入力選択セクション内の表を変更.....   | 30   |
| • リファレンス周波数監視の説明を追加.....   | 33   |
| • デバイスのパワーオンリセット (POR) セクションを追加.....   | 50   |
| • デバイス スタートアップ モードをピン構成および機能セクションから HW_SW_CTRL ピンの機能に変更し、セクションを詳細説明に移動.....        | 52   |
| • HW_SW_CTRL ピンの機能セクションで ROM ブートアップを明確化.....                                       | 52   |
| • EEPROM モードセクションを変更.....  | 53   |
| • EEPROM モードセクションの名前を、EEPROM を使用するに変更.....   | 53   |
| • EEPROM の使用セクションを明確化.....   | 53   |
| • I <sup>2</sup> C の上位 5 MSB (11001b) は EEPROM にプログラム可能であることを明確化.....              | 57   |
| • GPIO1 を介して I <sup>2</sup> C アドレスの数を 4 から 3 に訂正.....                              | 57   |
| • EEPROM のプログラミング手順を明確化.....   | 61   |
| • SRAM 直接書き込み方式を必要とするレジスタを明確化.....   | 62   |
| • SLAVEADR を I2C_ADDR に変更.....   | 62   |

| Changes from Revision * (June 2018) to Revision A (December 2018) | Page |
|---|------|
| • デバイスのステータスを「事前情報」から「量産データ」に変更.....                              | 1    |

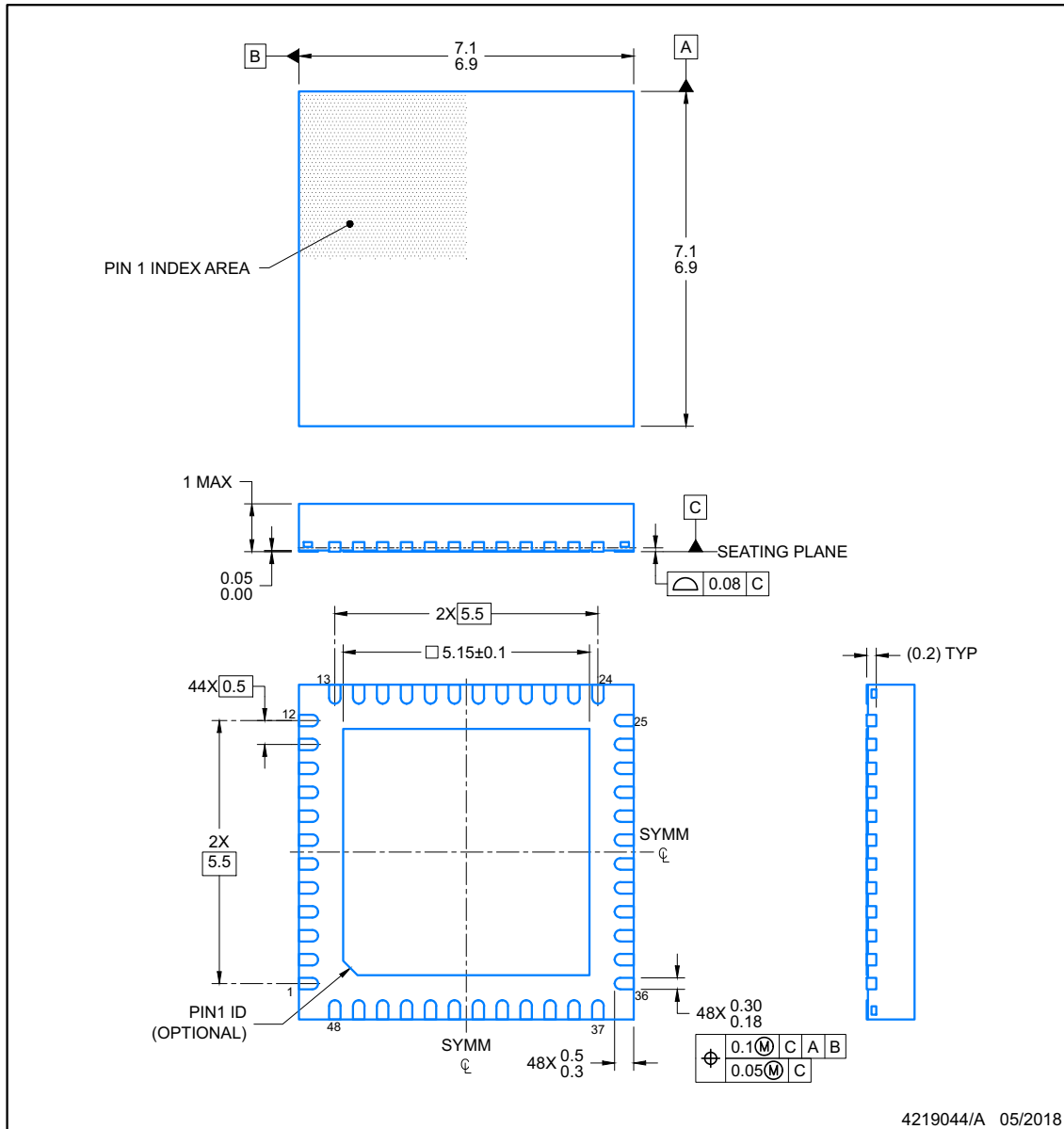
## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**RGZ0048A**

**PACKAGE OUTLINE**  
**VQFN - 1 mm max height**

PLASTIC QUADFLAT PACK- NO LEAD



NOTES:

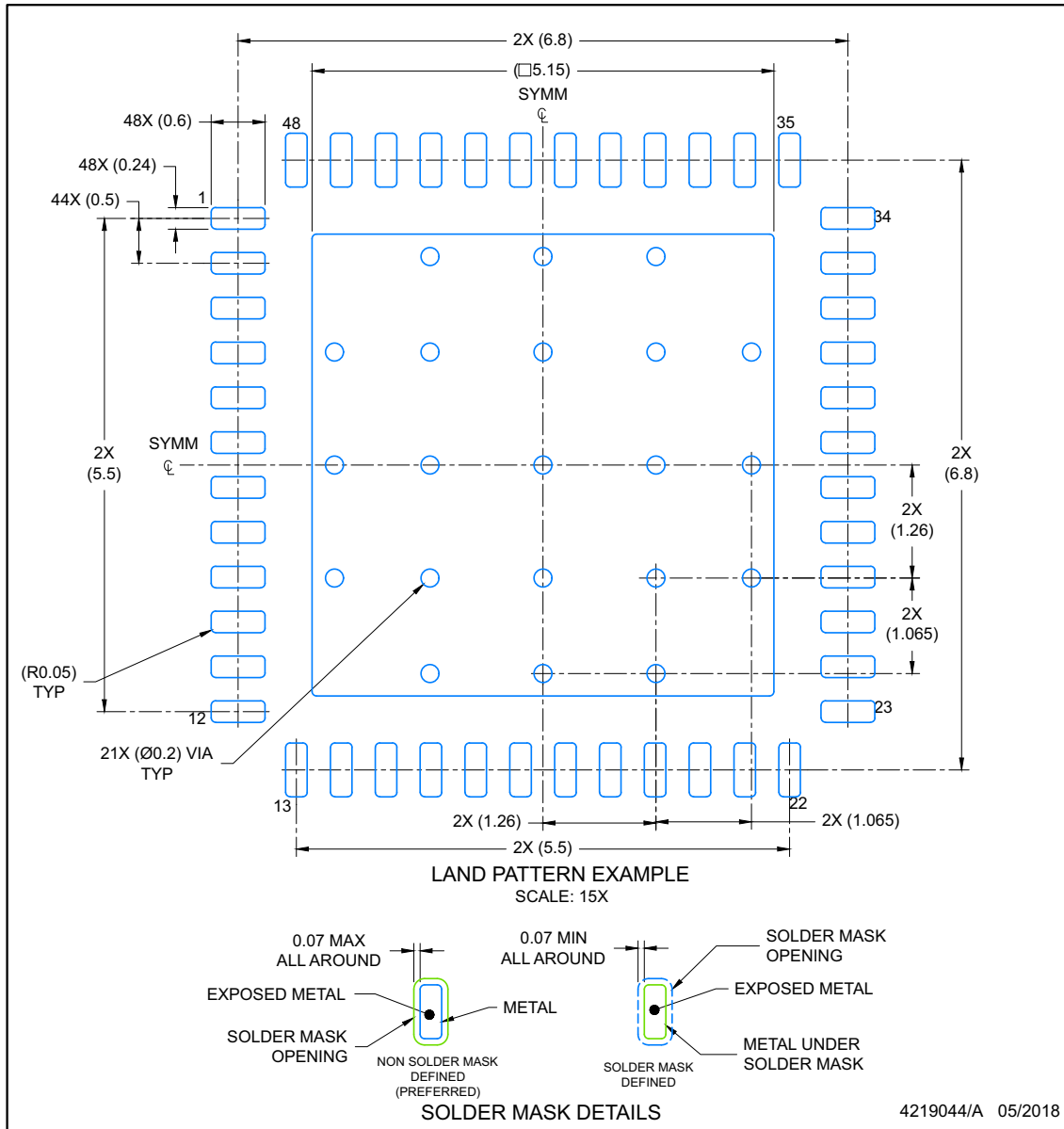
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

**EXAMPLE BOARD LAYOUT**

**VQFN - 1 mm max height**

**RGZ0048A**

PLASTIC QUADFLAT PACK- NO LEAD



NOTES: (continued)

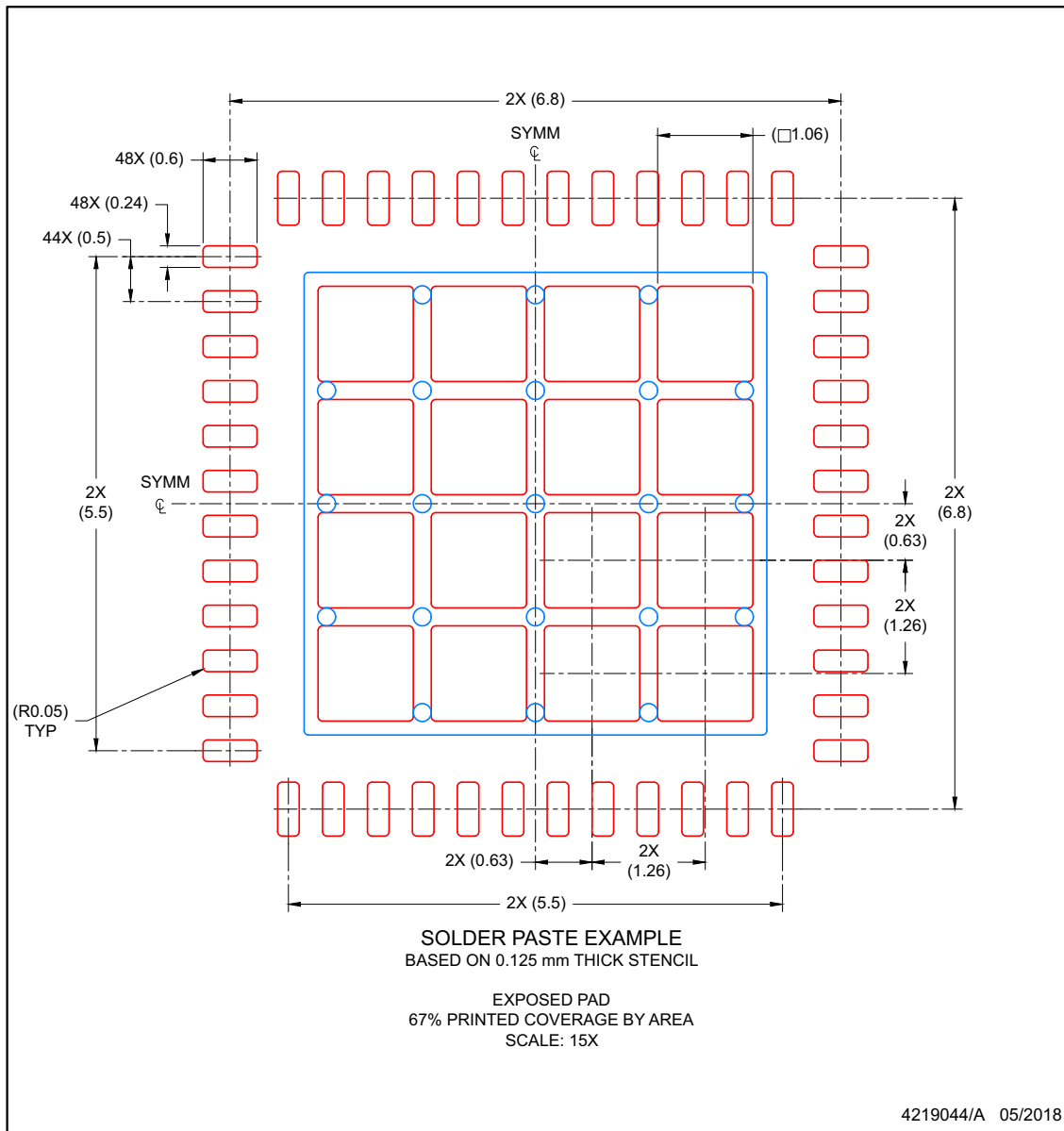
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**RGZ0048A**

**VQFN - 1 mm max height**

PLASTIC QUADFLAT PACK- NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

**PACKAGING INFORMATION**

| Orderable part number        | Status<br>(1) | Material type<br>(2) | Package   Pins  | Package qty   Carrier | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6) |
|------------------------------|---------------|----------------------|-----------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| <a href="#">LMK05318RGZR</a> | Active        | Production           | VQFN (RGZ)   48 | 2500   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 85    | K05318A3<br>2500    |
| LMK05318RGZR.A               | Active        | Production           | VQFN (RGZ)   48 | 2500   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 85    | K05318A3<br>2500    |
| LMK05318RGZRG4               | Active        | Production           | VQFN (RGZ)   48 | 2500   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 85    | K05318A3<br>2500    |
| LMK05318RGZRG4.A             | Active        | Production           | VQFN (RGZ)   48 | 2500   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 85    | K05318A3<br>2500    |
| <a href="#">LMK05318RGZT</a> | Active        | Production           | VQFN (RGZ)   48 | 250   SMALL T&R       | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 85    | K05318A3<br>2500    |
| LMK05318RGZT.A               | Active        | Production           | VQFN (RGZ)   48 | 250   SMALL T&R       | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 85    | K05318A3<br>2500    |

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

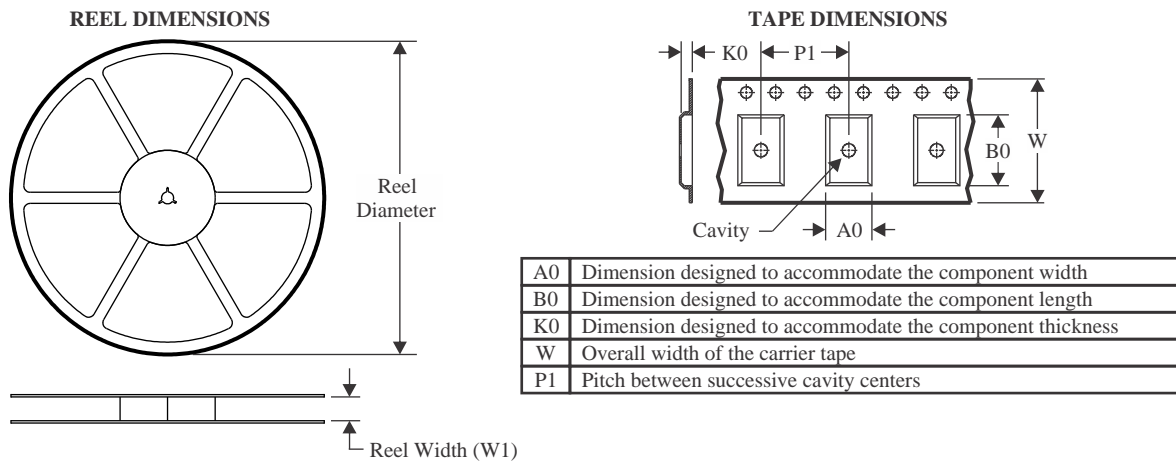
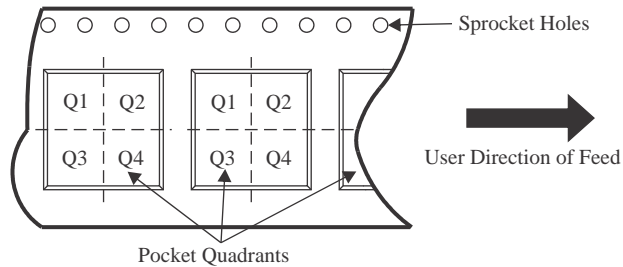
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

| Device         | Package Type | Package Drawing | Pins | SPQ  | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|----------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| LMK05318RGZR   | VQFN         | RGZ             | 48   | 2500 | 330.0              | 16.4               | 7.3     | 7.3     | 1.1     | 12.0    | 16.0   | Q2            |
| LMK05318RGZRG4 | VQFN         | RGZ             | 48   | 2500 | 330.0              | 16.4               | 7.3     | 7.3     | 1.1     | 12.0    | 16.0   | Q2            |
| LMK05318RGZT   | VQFN         | RGZ             | 48   | 250  | 180.0              | 16.4               | 7.3     | 7.3     | 1.1     | 12.0    | 16.0   | Q2            |

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

| Device         | Package Type | Package Drawing | Pins | SPQ  | Length (mm) | Width (mm) | Height (mm) |
|----------------|--------------|-----------------|------|------|-------------|------------|-------------|
| LMK05318RGZR   | VQFN         | RGZ             | 48   | 2500 | 367.0       | 367.0      | 38.0        |
| LMK05318RGZRG4 | VQFN         | RGZ             | 48   | 2500 | 367.0       | 367.0      | 38.0        |
| LMK05318RGZT   | VQFN         | RGZ             | 48   | 250  | 210.0       | 185.0      | 35.0        |

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月