

LM634x0-Q1 3V ~ 36V、4A および 6A、車載用同期整流降圧、可変スイッチング周波数、干渉およびノイズ技術 (MINT) 付き

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - デバイス温度グレード 1: -40°C ~ +125°C の動作時周囲温度
- 機能安全対応
 - 機能安全システム設計に役立つ資料を利用可能
- 多用途な同期整流降圧 DC/DC コンバータ
 - 3V ~ 36V の広い入力電圧範囲、最大 42V の負荷ダンプ過渡に対応
 - 4A と 6A のオプションが利用可能
 - 出力電圧: 精度 1% で可変 (1V から V_{IN} の 95% まで)
 - 接合部温度: 150°C (最大値)
 - RT ピンまたは SYNC 信号を使用した 200kHz ~ 2.2MHz の範囲の可変周波数
- 隣接ピン短絡テストのために最適化されたピン配置設計と空間距離により信頼性向上
- 干渉およびノイズ軽減技術 — アーキテクチャ 1 (MINT 1)
 - 強化型 HotRod™ QFN パッケージによりスイッチノードリングングを低減
 - 並列入力パスにより寄生インダクタンスを最小化
 - 拡散スペクトラム周波数変調
 - 軽負荷時に FPWM または PFM モードを選択可能
- 負荷範囲全体での高効率の実現
 - 92.5% の効率 ($V_{IN} = 13.5V$, $V_{OUT} = 5V$, 6A, 2.1MHz)
 - 入力電流 (3.3 V_{OUT} , 無負荷時): 7 μA (標準値)
 - シャットダウン時静止電流: 0.6 μA (標準値)
 - ドロップアウト (全負荷時): 0.6V (標準値)
 - 外部バイアス オプションによる効率向上
- WEBENCH® Power Designer により、LM634x0-Q1 を使用するカスタムレギュレータ設計を作成

2 アプリケーション

- 車載用インフォテインメントおよびクラスタ: ヘッドユニット、メディア ハブ、USB 充電、ディスプレイ
- 車載用 ADAS およびボディエレクトロニクス

3 説明

LM634x0-Q1 は、非常に優れた効率と非常に低い I_Q を備えた車載用同期整流降圧 DC/DC コンバータのファミリに属しています。ハイサイドおよびローサイド MOSFET を内蔵しているため、3V ~ 36V という広い入力電圧範囲にわたって最大 6A の出力電流が供給されます。42V までの負荷ダンプ過渡に対応しており、このコンバータは、ドロップアウトからのソフト回復を実装しているため、出力のオーバーシュートを除去できます。

LM634x0-Q1 は、アーキテクチャ 1 (MINT 1) を用いた干渉とノイズの低減技術を採用しており、さまざまな機能を搭載することにより非常に優れた EMI 特性を実現しています。その機能の例としては、スペクトラム拡散周波数変調、スイッチ ノードのリングングを緩和する低 EMI の Enhanced HotRod QFN パッケージ、理想的な入力コンデンサ配置に適した対称型ピン配置があります。アプリケーションの要件に基づいて効率や設計サイズを最適化すると同時に、ノイズの影響を受けやすい周波数帯を避けるため、スイッチング周波数は 200kHz ~ 2.2MHz の範囲で設定可能です。

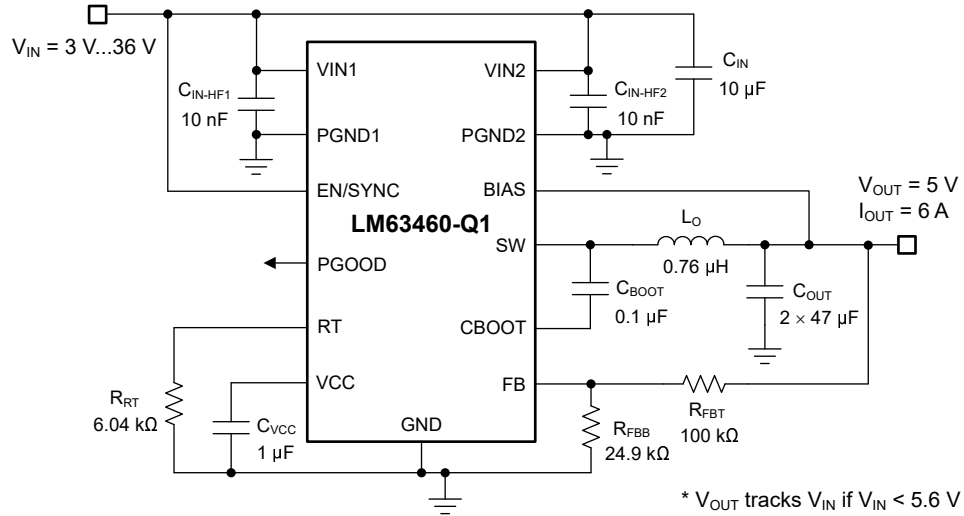
PFM モードでは、軽負荷動作時の周波数フォールドバックが可能であり、わずか 7 μA (標準値) の無負荷時消費電流、および軽負荷時の効率向上を実現できます。PWM モードと PFM モードの間のシームレスな移行、小さな MOSFET オン抵抗、外部バイアス入力により、負荷範囲全体にわたって非常に優れた効率および熱性能が得られます。パッケージには、重要な電源ピンの間に複数の NC ピンが配置されており、これによって故障モード影響解析 (FMEA) の結果が改善されます。

製品情報

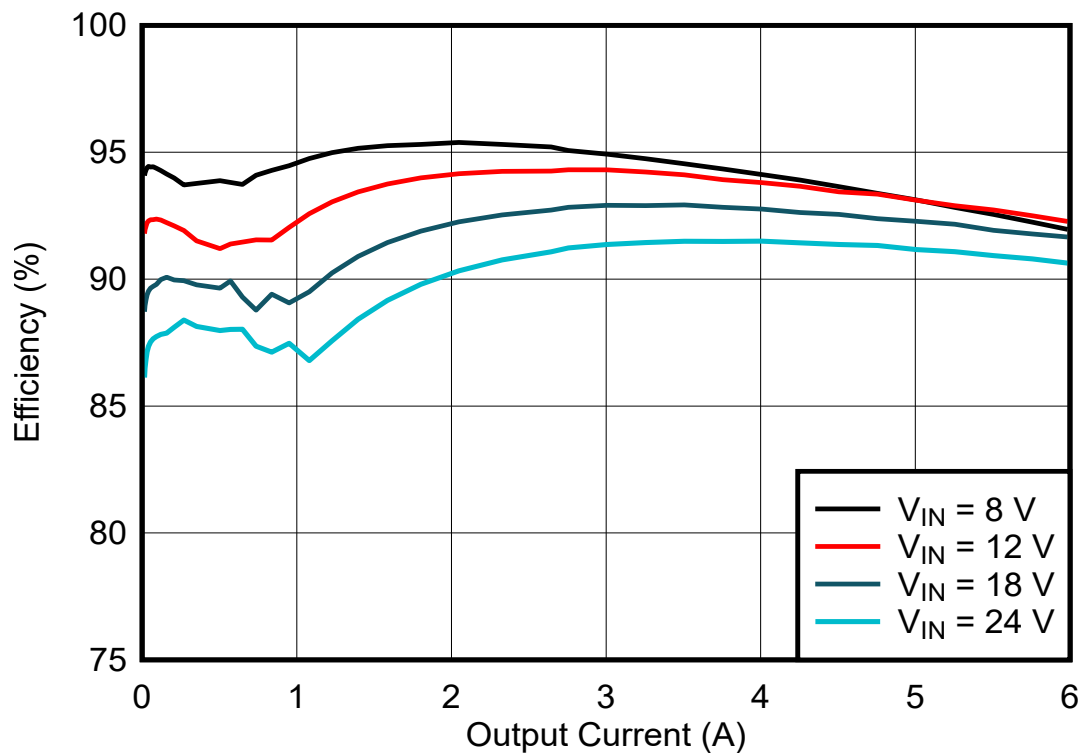
部品番号	電流 ⁽¹⁾	パッケージ ⁽²⁾
LM63460-Q1	6A	RYF (VQFN, 22)
LM63440-Q1	4A	

- (1) 「デバイス比較表」を参照してください。
 (2) 詳細については、セクション 11 を参照してください。





代表的な回路図



効率 : $V_{OUT} = 5$ V、 $f_{SW} = 2.1$ MHz、LM63460-Q1

目次

1 特長	1	7.2 機能ブロック図	16
2 アプリケーション	1	7.3 機能説明	17
3 説明	1	7.4 デバイスの機能モード	25
4 デバイス比較表	4	8 アプリケーションと実装	30
5 ピン構成および機能	5	8.1 アプリケーション情報	30
5.1 ウェットダブル フランク.....	6	8.2 代表的なアプリケーション	30
5.2 クリアランスと FMEA のピン配置設計.....	6	8.3 電源に関する推奨事項	48
6 仕様	7	8.4 レイアウト	48
6.1 絶対最大定格.....	7	9 デバイスおよびドキュメントのサポート	51
6.2 ESD 定格.....	7	9.1 デバイス サポート	51
6.3 推奨動作条件.....	7	9.2 ドキュメントのサポート	52
6.4 熱に関する情報.....	8	9.3 ドキュメントの更新通知を受け取る方法	52
6.5 電気的特性.....	8	9.4 サポート・リソース	52
6.6 タイミング特性.....	11	9.5 商標	53
6.7 システム特性.....	12	9.6 静電気放電に関する注意事項	53
6.8 代表的特性.....	13	9.7 用語集	53
7 詳細説明	15	10 改訂履歴	53
7.1 概要.....	15	11 メカニカル、パッケージ、および注文情報	53

4 デバイス比較表

デバイス	発注用製品型番	出力電圧	CURRENT	スペクトラム拡散	軽負荷モード	スイッチング周波数	温度のテスト
LM63460-Q1	LM63460AASQRYFRQ1	可変	6A	オン	自動	可変	標準
	LM63460AFSQRYFRQ1	可変	6A	オン	FPWM	可変	標準
LM64460-Q1	LM64460APPQRYFRQ1	可変	6A	ピン選択可能	ピン選択可能	2.1MHz	標準
	LM64460APPSRYFRQ1	可変	6A	ピン選択可能	ピン選択可能	2.1MHz	3 温度
	LM64460BPPQRYFRQ1	3.3V	6A	ピン選択可能	ピン選択可能	2.1MHz	標準
	LM64460CPPQRYFRQ1	5V	6A	ピン選択可能	ピン選択可能	2.1MHz	標準
LM63440-Q1	LM63440AASQRYFRQ1	可変	4A	オン	自動	可変	標準
	LM63440AFSQRYFRQ1	可変	4A	オン	FPWM	可変	標準
LM64440-Q1	LM64440APPQRYFRQ1	可変	4A	ピン選択可能	ピン選択可能	2.1MHz	標準
	LM64440BPPQRYFRQ1	3.3V	4A	ピン選択可能	ピン選択可能	2.1MHz	標準
	LM64440CPPQRYFRQ1	5V	4A	ピン選択可能	ピン選択可能	2.1MHz	標準

5 ピン構成および機能

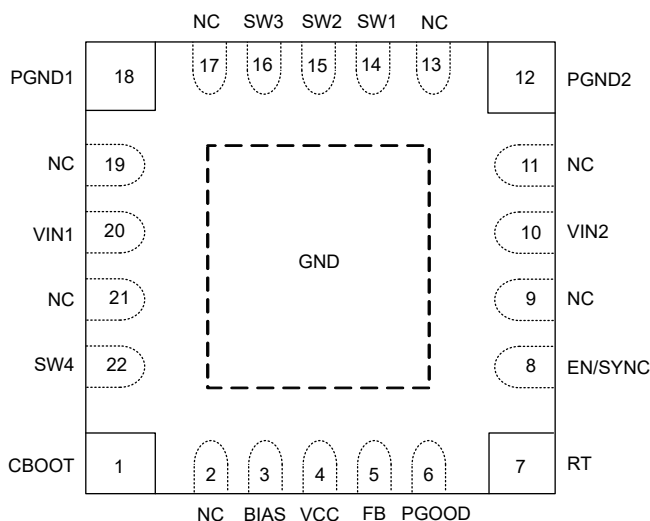


図 5-1. 22 ピン Enhanced HotRod™ QFN RYF パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
CBOOT	1	P	ハイサイドドライバの電源レール。SW と CBOOT の間に 100nF コンデンサを接続します。内部ブートストラップ ダイオードは VCC に接続されており、SW が Low のときブートストラップ コンデンサが充電されます。
NC	2	—	内部接続なし
BIAS	3	P	内部 LDO への入力。効率を向上させるため、出力電圧点に接続します。ノイズ耐性を向上させるには、このピンと GND との間に高品質の 0.1μF ~ 1μF コンデンサをオプションで接続します。出力電圧が 12V より高い場合、BIAS を GND に接続します。
VCC	4	O	内部 LDO 出力。VCC は内部制御回路に電力を供給します。いずれの外部負荷にも接続しないでください。VCC と GND との間に高品質の 1μF コンデンサを接続します。
FB	5	I	内部制御ループへの出力電圧帰還入力。固定の 3.3V または 5V 出力電圧設定の場合、出力電圧検出点に接続します。出力電圧を調整する場合、帰還分圧器のタップ ポイントに接続します。フローティング状態にすることも、GND に接続することもしないでください。
PGOOD	6	O	オープン ドレインのパワー グッド ステータス インジケータ出力。電流制限抵抗を介して、PGOOD を適切な電圧源にプルアップします。High = パワー OK、Low = フォルト。EN = Low、VIN > 1V のとき、PGOOD 出力は Low になります。
RT	7	I/O	スイッチング周波数を 200kHz ~ 2.2MHz に設定するため、5.76kΩ ~ 66.5kΩ の値の抵抗を RT と GND との間に接続します。フローティング状態にすることも、GND に接続することもしないでください。
EN/SYNC	8	I	高精度イネーブル入力。High = オン、Low = オフ。EN/SYNC は VIN に接続できます。高精度イネーブルを使うと、このピンを調整可能な入力電圧 UVLO として使用できます。 「高精度のイネーブルおよび入力電圧 UVLO (EN)」 を参照してください。フローティングにはしないでください。EN/SYNC は同期入力ピンとしても機能し、外部クロック信号の立ち上がりエッジでトリガされます。コンデンサを使用して、クロック信号を EN/SYNC に AC 結合します。外部クロックに同期した場合、コンバータは FPWM モードで動作し、PFM 軽負荷モードを無効化します。 セクション 7.3.5 を参照してください。
NC	9	—	内部接続なし
VIN2	10	P	コンバータへの入力電源。このピンと PGND2 との間に高品質のバイパス コンデンサを接続します。VIN1 と低インピーダンスで接続する必要があります。
NC	11	—	内部接続なし
PGND2	12	G	内部ローサイド MOSFET への電源グランド接続。システム グランドに接続。PGND1 と低インピーダンスで接続する必要があります。このピンと VIN2 との間に高品質のバイパス コンデンサを接続します。
NC	13	—	内部接続なし

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
SW1	14	P	コンバータのスイッチ ノード。出力インダクタに接続します。
SW2	15		
SW3	16		
NC	17	—	内部接続なし
PGND1	18	G	内部ローサイド MOSFET への電源グラウンド。システム グラウンドに接続。PGND2 と低インピーダンスで接続する必要があります。このピンと VIN1 との間に高品質のバイパス コンデンサを接続します。
NC	19	—	内部接続なし
VIN1	20	P	コンバータへの入力電源。このピンと PGND1 との間に高品質のバイパス コンデンサを接続します。VIN2 と低インピーダンスで接続する必要があります。
NC	21	—	内部接続なし
SW4	22	P	コンバータのスイッチ ノード。ブートストラップ コンデンサに接続します。
GND	—	G	パッケージの露出パッドは内部でグラウンドに接続されています。露出パッドは、熱インピーダンスを下げるため、多数のサーマル ビアを使用して PCB 内層システムのグラウンド プレーンに接続する必要があります。「レイアウトのガイドライン」を参照してください。

(1) P = 電源、G = グラウンド、I = 入力、O = 出力

5.1 ウェットブル フランク

高い信頼性と堅牢性の要件を満たすには、通常は組み立て後に 100% の自動外観検査 (AVI) を行う必要があります。標準的なクワッド フラットのリードなし (VQFN) パッケージでは、はんだ付け可能な部分や露出したピンと端子は外側から容易に視認できません。そのため、パッケージとプリント回路基板 (PCB) が確実に はんだ付けされているかどうかを視覚的に確認することは困難です。ウェットブル フランク プロセスは、鉛フリーなパッケージにおける片面ウェットの問題を解決するために開発されました。LM634x0-Q1 は、ウェットブル フランク付きの 22 ピン Enhanced HotRod QFN パッケージを使用して組み立てられており、はんだ付け可能かどうかを視覚的に示すことができます。これにより、検査時間と製造コストを削減することが可能です。

5.2 クリアランスと FMEA のピン配置設計

LM634x0-Q1 では、高電圧ピン (VIN、SW、CBOOT) と付近の低電圧ピン (PGND など) の間のクリアランスを拡大するように、ピン配置が注意深く設計されています。さらに、LM634x0-Q1 のピン配置は、より厳格な信頼性とより高い耐久性を伴う機能的安全システム設計が必要な、重要な車載アプリケーション向けに設計されています。FMEA ピン(故障モード影響の解析) の観点から見ると、検討される代表的な故障シナリオには、グラウンドへの短絡、入力電源 (VIN) への短絡、隣接ピンへの短絡、ピンの開放が含まれます。これらの故障は IC 外部に適用されると見なされ、IC レベルの信頼性障害ではなく基板レベルの障害です。このような障害の発生源の例には、ピン間の短絡を引き起こす浮遊導電性フィラメントや開放回路が生じる基板製造上の欠陥があります。

6 仕様

6.1 絶対最大定格

接合部の動作時推奨温度である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN1、VIN2 から PGND1、PGND2	-0.3	42	V
	SW に対する CBOOT	-0.3	5.5	V
	BIAS から PGND1、PGND2	-0.3	16	V
	EN/SYNC から PGND1、PGND2	-0.3	42	V
	RT から PGND1、PGND2	-0.3	5.5	V
	FB から PGND1、PGND2	-0.3	16	V
	PGOOD から PGND1、PGND2	0	20	V
出力電圧	SW から PGND1、PGND2 ⁽²⁾	-0.3	$V_{\text{IN}} + 0.3$	V
	VCC から PGND1、PGND2	-0.3	5.5	V
電流	PGOOD シンク電流		10	mA
T_J	接合部温度	-40	150	$^{\circ}\text{C}$
T_{stg}	保存温度	-40	150	$^{\circ}\text{C}$

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。セクション 6.3
- (2) このピンには、PGND より 2V 低い値から V_{IN} より 2V 高い値までの電圧を最大 200ns の間 (デューティ サイクルは 0.01% 以下) 印加できます。

6.2 ESD 定格

		値	単位
$V_{\text{(ESD)}}$	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ デバイス HBM 分類レベル 2 準拠	V
		デバイス帯電モデル (CDM)、AEC Q100-011 デバイス CDM 分類レベル C5 準拠	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

接合部の動作時推奨温度である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において (特に記述のない限り) ⁽¹⁾

		最小値	公称値	最大値	単位
入力電圧	入力電圧範囲 (起動後)	3		36	V
入力電圧	BIAS ピンの動作電圧			12	V
出力電圧	可変バージョンの出力電圧範囲 ⁽²⁾	1		$0.95 \cdot V_{\text{IN}}$	V
周波数	周波数調整範囲	200		2200	kHz
同期周波数	同期周波数範囲	200		2200	kHz
負荷電流	出力 DC 電流範囲、LM63440-Q1 ⁽³⁾	0		4	A
負荷電流	出力 DC 電流範囲、LM63460-Q1 ⁽³⁾	0		6	A
温度	動作時の接合部温度 (T_J) 範囲	-40		150	$^{\circ}\text{C}$

- (1) 推奨される動作条件は、デバイスが機能することが想定されている条件を示します。詳細な仕様と条件については、「電気的特性」表を参照してください。
- (2) いかなる条件下でも、出力電圧は 0V を下回ることはできません。
- (3) 高いスイッチング周波数と高い周囲温度のどちらかまたはその両方で動作している場合、最大連続 DC 電流はディレーティングされる場合があります。詳細については、「アプリケーション情報」を参照してください。

6.4 熱に関する情報

この表に示す $R_{\theta JA}$ の値は、その他のパッケージとの比較のためにのみに有効であり、設計目的では使用できません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これらは、実際のアプリケーションで得られた性能を表すものではありません。たとえば、このデバイスの評価基板は 23.5°C/W の $R_{\theta JA}$ を達成しています。

熱評価基準 ⁽¹⁾		LM63460-Q1、LM63440-Q1	
		RYF (VQFN)	
		22 ピン	
	単位		
$R_{\theta JA}$	接合部から周囲への熱抵抗 (LM63460-Q1 評価基板) ⁽³⁾	23.5	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗 (JESD 51-7) ⁽²⁾	38.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	30.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	8.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	8.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	8.6	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準アプリケーションレポート](#)』を参照してください。
- (2) この表に示す $R_{\theta JA}$ の値は、その他のパッケージとの比較のためにのみに有効であり、設計目的では使用できません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これらは、実際のアプリケーションで得られた性能を表すものではありません。
- (3) 基板レイアウトと追加情報については、『[LM63460-Q1 EVM ユーザー ガイド](#)』を参照してください。熱設計の情報については、『[アプリケーション情報](#)』セクションを参照してください。

6.5 電気的特性

制限値は、接合部の動作時推奨温度である -40°C ~ +150°C において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^\circ\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。 V_{IN1} が V_{IN2} に短絡 = V_{IN} 。 V_{OUT} はコンバータの出力電圧。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧および電流						
$V_{IN_OPERATE}$	入力動作電圧 ⁽¹⁾	起動するために必要な電圧	3.95			V
		動作開始後	3.0			
$V_{IN_OPERATE_H}$	ヒステリシス ⁽¹⁾			1		V
I_{Q_VIN}	動作静止電流 (スイッチングなし) ⁽²⁾	$V_{FB} = +5\%$, $V_{BIAS} = 5\text{V}$, $V_{OUT} = 5\text{V}$		9	18	μA
I_Q	動作時の静止電流 (スイッチングなし)。 V_{IN} ピンで測定 ⁽³⁾	$V_{FB} = +5\%$, $V_{BIAS} = 5\text{V}$		0.6	6	μA
I_{BIAS}	BIAS ピンに流れ込む電流 (スイッチングなし、 $T_J = 125^\circ\text{C}$ での最大値) ⁽³⁾	$V_{FB} = +5\%$, $V_{BIAS} = 5\text{V}$, 自動モード		24	31.2	μA
I_{SD}	シャットダウン時の静止電流 (V_{IN} ピンで測定)	$V_{EN} = 0\text{V}$, $T_J = 25^\circ\text{C}$		0.6	6	μA
イネーブル						
V_{EN_TH}	イネーブル入力スレッショルド電圧 (立ち上がり)			1.263		V
V_{EN_ACC}	イネーブル入力スレッショルド電圧 - 標準値からの立ち上がりの偏差		-5%		5%	
V_{EN_HYST}	イネーブル スレッショルドのヒステリシス (V_{EN_TH} (標準値) のパーセンテージで表示)		24%	28%	32%	
V_{EN_WAKE}	イネーブル ウェークアップ スレッショルド		0.4			V
I_{EN}	イネーブル ピンの入力電流	$V_{IN} = V_{EN} = 13.5\text{V}$		2.3		nA

6.5 電気的特性 (続き)

制限値は、接合部の動作時推奨温度である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。 V_{IN1} が V_{IN2} に短絡 = V_{IN} 。 V_{OUT} はコンバータの出力電圧。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{EN_SYNC_E}$	EN/SYNC ピンを使用する同期で使われるエッジの高さ	立ち上がり / 立ち下がり時間: 30ns 未満	2.4			V
LDO および VCC						
V_{CC}	内部 V_{CC} 電圧	$V_{BIAS} > 3.4\text{V}$, CCM 動作 ⁽¹⁾		3.3		V
		$V_{BIAS} = 3.1\text{V}$, 非スイッチング		3.1		
$V_{CC-UVLO}$	内部 V_{CC} 低電圧誤動作防止	V_{CC} 立ち上がり低電圧スレッシュホールド		3.6		V
$V_{CC-UVLO-HYST}$	内部 V_{CC} 低電圧誤動作防止のヒステリシス	$V_{CC-UVLO}$ 未満でのヒステリシス		1.1		V
帰還						
V_{FB_acc}	初期基準電圧精度	$V_{IN} = 3.3\text{V} \sim 36\text{V}$, $T_J = 25^{\circ}\text{C}$, FPWM モード	-1%		1%	
I_{FB}	FB から GND への入力電流	可変バージョンのみ, $V_{FB} = 1\text{V}$		1	50	nA
発振器						
f_{ADJ}	RT ピンで調整可能な最小周波数	$R_{RT} = 66.5\text{k}\Omega$	0.18	0.2	0.22	MHz
	400kHz 設定で RT ピンにより調整可能な周波数	$R_{RT} = 33.2\text{k}\Omega$	0.36	0.4	0.44	MHz
	RT ピンで調整可能な最大周波数	$R_{RT} = 5.76\text{k}\Omega$	1.98	2.2	2.42	MHz
f_{s_SS}	スペクトラム拡散動作の周波数スパン - 中心周波数からの最大偏差	スペクトラム拡散オン		2%		
f_{PSS}	スペクトラム拡散パターン周波数 ⁽¹⁾	スペクトラム拡散オン, $f_{SW} = 2.1\text{MHz}$			1.5	Hz
MOSFETS						
$R_{DS(on)HS}$	パワー スイッチの ON 抵抗	ハイサイド MOSFET の $R_{DS(on)}$		41	82	m Ω
$R_{DS(on)LS}$	パワー スイッチの ON 抵抗	ローサイド MOSFET の $R_{DS(on)}$		21	45	m Ω
$V_{BOOT-UVLO}$	ハイサイド スイッチがオフになる CBOOT ピンの電圧 (SW 基準)			2.1		V
電流制限						
I_{L-HS}	ハイサイド スイッチ電流制限値、LM63460-Q1 ⁽⁴⁾	デューティ サイクルを 0% に近付ける	8.9	10.3	11.5	A
	ハイサイド スイッチ電流制限値、LM63440-Q1 ⁽⁴⁾		6	7	8.1	
I_{L-LS}	ローサイド スイッチ電流制限値、LM63460-Q1		6.1	7.1	8.1	A
	ローサイド スイッチ電流制限値、LM63440-Q1		4.0	4.8	5.4	
I_{L-ZC}	ゼロクロスの電流制限値。正の電流の方向は、SW ピンから流れ出す電流の方向です。	自動モード、静的測定		0.25		A
I_{L-NEG}	負の電流制限。正の電流の方向は、LM63460-Q1 の SW ピンから流れ出す電流の方向です。	FPWM 動作		-3		A
	負電流制限 FPWM および同期モード。正の電流の方向は、LM63440-Q1 の SW ピンから流れ出す電流の方向です。			-2		

6.5 電気的特性 (続き)

制限値は、接合部の動作時推奨温度である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。 V_{IN1} が V_{IN2} に短絡 = V_{IN} 。 V_{OUT} はコンバータの出力電圧。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{PK_MIN_0}$	自動モードでの最小ピーク コマンド / デバイス電流定格	パルス幅 < 100ns		25%		
$I_{PK_MIN_100}$	自動モードでの最小ピーク コマンド / デバイス電流定格	パルス幅 > 1 μ s		12.5%		
V_{HICcup}	レギュレートされる前の FB 電圧に対する FB 電圧の比率	ソフト スタート中はヒカップがディセーブル		40%		
パワー グッド						
PGD_{OV}	PGOOD の上限 - 立ち上がり	V_{OUT} 設定の %	105%	107%	110%	
PGD_{UV}	PGOOD の下側スレッショルド - 立ち下がり	V_{OUT} 設定の %	92%	94%	96.5%	
PGD_{HYST}	PGOOD ヒステリシス	V_{OUT} 設定の %		1.3%		
$V_{IN(PGD-VALID)}$	PGOOD が適切に機能するための入力電圧		1.0			V
$V_{PGD(LOW)}$	Low レベル PGOOD 機能の出力電圧	PGOOD に 46 μ A のプルアップを接続、 $V_{IN} = 1\text{V}$ 、 $V_{EN} = 0\text{V}$			0.4	V
		PGOOD に 1mA のプルアップを接続、 $V_{EN} = 0\text{V}$			0.4	
		PGOOD に 2mA のプルアップを接続、 $V_{EN} = 3.3\text{V}$			0.4	
R_{PGD}	PGOOD 出力の $R_{DS(on)}$	PGOOD に 1mA のプルアップを接続、 $V_{EN} = 0\text{V}$		17	40	Ω
		PGOOD に 1mA のプルアップを接続、 $V_{EN} = 3.3\text{V}$		40	90	Ω
I_{OV}	過電圧条件での SW ノードのプルダウン電流			0.5		mA
サーマル シャットダウン						
T_{SHD}	サーマル シャットダウン立ち上がりスレッショルド (1)		158	168	180	$^{\circ}\text{C}$
$T_{SHD-HYS}$	サーマル シャットダウン ヒステリシス (1)			10		$^{\circ}\text{C}$

(1) パラメータは、設計、統計分析、相関パラメータの製造試験によって規定されています。実製品の検査は行っていない。

(2) $I_{Q_VIN} = I_Q + I_{BIAS} \times (V_{OUT}/V_{IN})$

(3) これは、スイッチングなし、開ループで、公称値 + 5% に FB をプルするという条件で、デバイスにより使用される電流です。この電流は、レギュレーション中にコンバータに流れ込む入力電流の合計を示すものではありません。

(4) ハイサイド電流制限値はデューティサイクルの関数です。ハイサイド電流制限値は、小さいデューティサイクルで大きく、大きいデューティサイクルで小さくなります。

6.6 タイミング特性

制限値は、接合部の動作時推奨温度である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
スイッチ ノード						
$t_{ON(min)}$	HS スwitchの最小オン時間	$V_{IN} = 20\text{V}, I_{OUT} = 2\text{A}$		55	70	ns
$t_{ON(max)}$	HS スwitchの最大オン時間			9		μs
$t_{OFF(min)}$	LS スwitchの最小オン時間	$V_{IN} = 4\text{V}, I_{OUT} = 1\text{A}$		65	85	ns
t_{SS}	最初の SW パルスから V_{REF} が設定点の 90% に達するまでの時間	$V_{IN} \geq 4.2\text{V}$	3.5	5	7	ms
t_{SS2}	最初の SW パルスから FPWM 誤動作防止解除までの時間 (出力がレギュレートされない場合)	$V_{IN} \geq 4.2\text{V}$	9.5	13	17	ms
t_W	短絡待機時間 (「ヒカブ」時間)			80		ms
イネーブル						
t_{EN}	ターンオン遅延 (1)	$C_{VCC} = 1\mu\text{F}$, EN High から最初の SW パルスまでの時間 (出力が 0V から開始する場合)		0.7		ms
t_B	立ち上がりまたは立ち下がりエッジの後の EN のブランキング (1)		4		28	μs
t_{SYNC_EDGE}	エッジ認識のためのエッジ後のイネーブル同期信号のホールド時間		100			ns
パワー グッド						
$t_{PGDFLT(rise)}$	PGOOD High 信号までの遅延時間		1.5	2	2.5	ms
$t_{PGDFLT(fall)}$	PGOOD 機能のグリッチ フィルタ時定数			120		μs

(1) パラメータは、設計、統計分析、相関パラメータの製造試験によって規定されています。出荷時のテストは行っていない。

6.7 システム特性

以下の値は、代表的なアプリケーション回路の部品の値が使用されるという前提で、設計によって規定されています。特に記述のない限り、各制限値は接合部温度範囲 (-40°C ~ +150°C) にわたって適用されます。最小値および最大値は、試験、設計、統計的相関を使って求められています。標準値は $T_J = 25^\circ\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。VIN1 が VIN2 に短絡 = V_{IN} 。 V_{OUT} は出力設定値。これらのパラメータについては、出荷時のテストは行っていない。

パラメータ		テスト条件	最小値	標準値	最大値	単位
効率						
η_{5V_2p1MHz}	2.1MHz (標準値) での効率	$V_{OUT} = 5V, I_{OUT} = 6A, LM63460-Q1$	92.5%			
		$V_{OUT} = 5V, I_{OUT} = 4A, LM63440-Q1$	93%			
		$V_{OUT} = 5V, I_{OUT} = 100\mu A, R_{FBT} = 1M\Omega$	73%			
η_{3p3V_2p1MHz}	2.1MHz (標準値) での効率	$V_{OUT} = 3.3V, I_{OUT} = 6A, LM63460-Q1$	90%			
		$V_{OUT} = 3.3V, I_{OUT} = 4A, LM63440-Q1$	91%			
		$V_{OUT} = 3.3V, I_{OUT} = 100\mu A, R_{FBT} = 1M\Omega$	71%			
η_{5V_400kHz}	400kHz (標準値) での効率	$V_{OUT} = 5V, I_{OUT} = 6A, LM63460-Q1$	93.6%			
		$V_{OUT} = 5V, I_{OUT} = 4A, LM63440-Q1$	95%			
		$V_{OUT} = 5V, I_{OUT} = 100\mu A, R_{FBT} = 1M\Omega$	76%			
動作範囲						
V_{VIN_MIN1}	起動後、軽負荷時に完全に機能するための V_{IN}	V_{OUT} を 3.3V に設定	3.0			V
V_{VIN_MIN2}	起動後、最大定格負荷の 100% 時に完全に機能するための V_{IN}	V_{OUT} を 3.3V に設定	3.95			V
I_{Q-VIN}	動作時静止電流 ⁽¹⁾	$V_{OUT} = 3.3V, I_{OUT} = 0A$ 、自動モード、 $R_{FBT} = 1M\Omega$	7			μA
		$V_{OUT} = 5V, I_{OUT} = 0A$ 、自動モード、 $R_{FBT} = 1M\Omega$	10			
V_{DROP1}	インダクタの DCR 電圧降下を起こさずに、レギュレーション精度を維持するための入力と出力との電圧差	$V_{OUT} = 3.3V, I_{OUT} = 4A$ 、-3% の出力精度 (25°C)	0.4			V
		$V_{OUT} = 3.3V, I_{OUT} = 4A$ 、-3% の出力精度 (125°C)	0.55			
V_{DROP2}	インダクタの DCR 電圧降下を起こさずに、 $f_{SW} \geq 1.85MHz$ を維持するための入力と出力との電圧差	$V_{OUT} = 3.3V, I_{OUT} = 4A$ 、-3% のレギュレーション精度 (25°C)	0.8			V
		$V_{OUT} = 3.3V, I_{OUT} = 4A$ 、-3% のレギュレーション精度 (125°C)	1.2			
D_{MAX}	最大デューティ サイクル	$f_{SW} = 1.85MHz$	87%			
		周波数フォールドバック中	98%			

(1) この仕様の意味と計算方法については、詳細な [入力電源電流](#) の説明を参照してください。

6.8 代表的特性

特に記述のない限り、 $V_{IN} = 13.5V$ 、 $f_{SW} = 2.1MHz$ です。

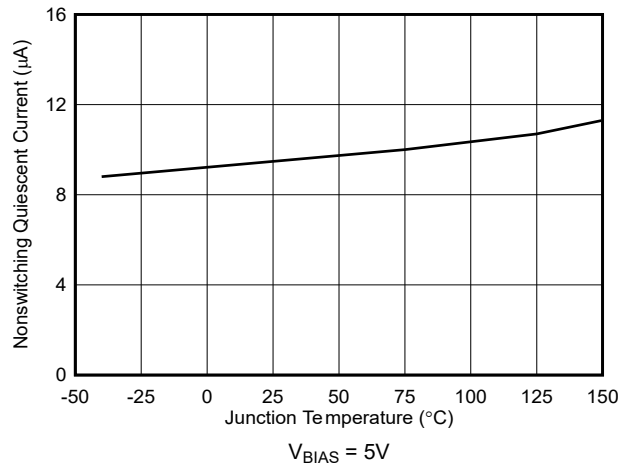


図 6-1. 非スイッチング時の入力電源電流

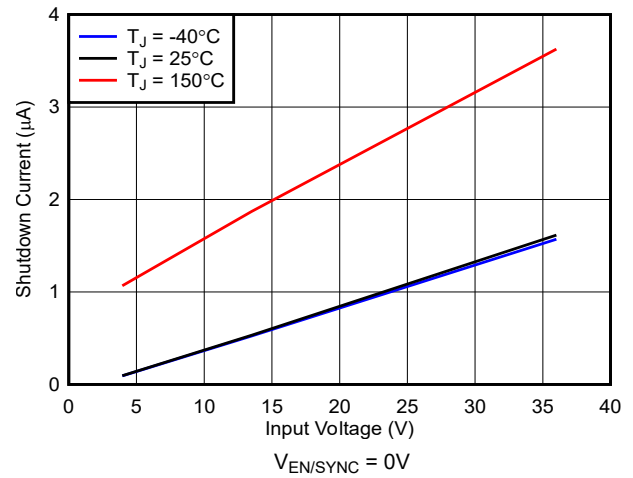


図 6-2. シャットダウン時の電源電流

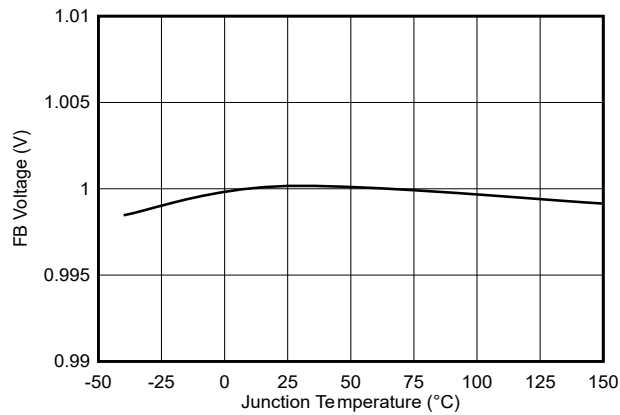


図 6-3. 帰還電圧

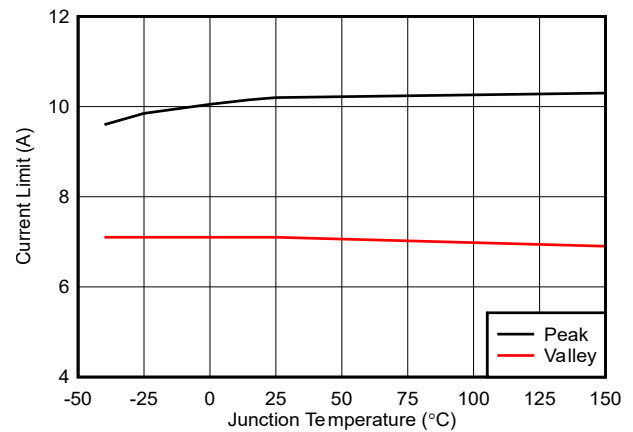


図 6-4. ハイサイドおよびローサイド電流制限

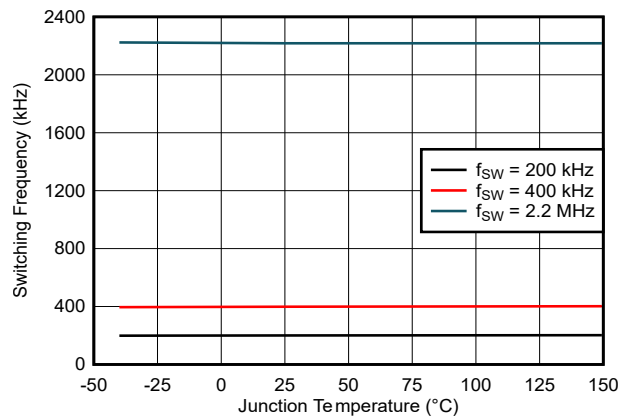


図 6-5. RT 抵抗により設定されるスイッチング周波数

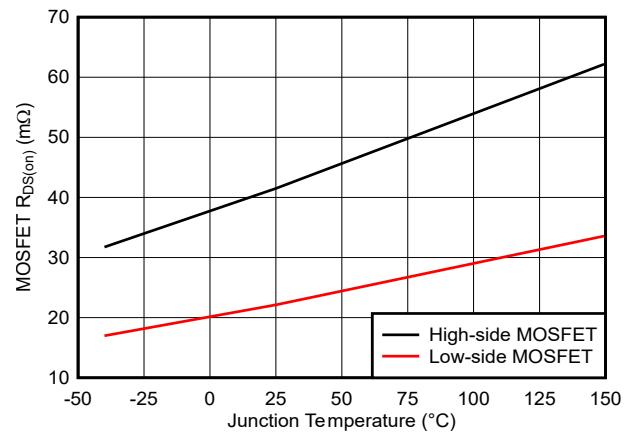


図 6-6. 下限側および上限側 MOSFET $R_{DS(on)}$

6.8 代表的特性 (続き)

特に記述のない限り、 $V_{IN} = 13.5V$ 、 $f_{SW} = 2.1MHz$ です。

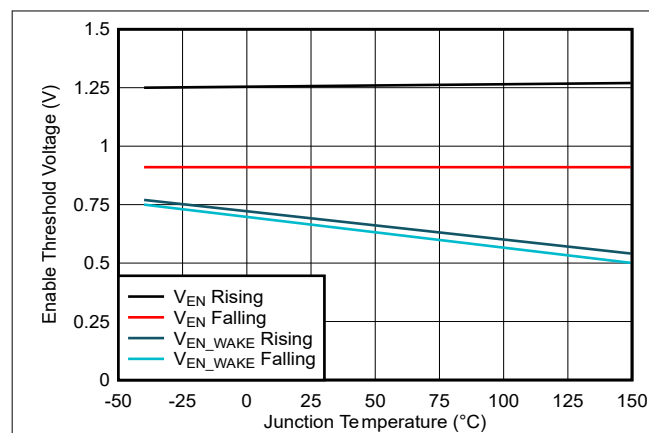


図 6-7. イネーブル スレッシュホルド

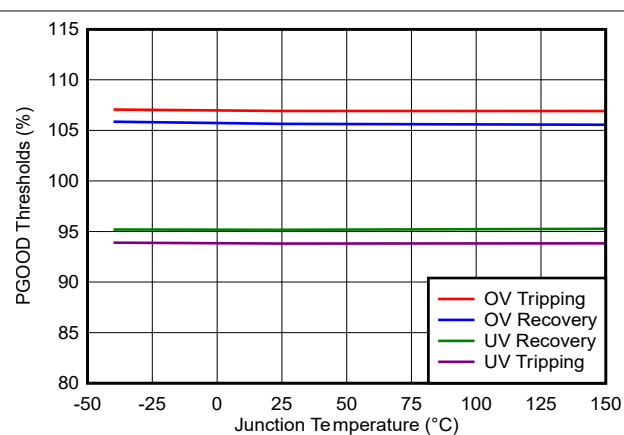


図 6-8. PGOOD スレッシュホルド

7 詳細説明

7.1 概要

LM634x0-Q1 は使いやすい同期整流降圧 DC/DC コンバータで、厳格な信頼性と低 EMI 特性が非常に重要である、さまざまな車載用アプリケーション向けに設計されています。このデバイスは 3.95V ~ 36V の入力電圧範囲で動作し、起動後は最低 3V で動作し、最高 42V の過渡電圧に対応します。非常に小さな設計サイズで、LM63460-Q1 は最大 6A DC、LM63440-Q1 は 4A DC の負荷電流を、高い変換効率と、超低入力静止電流で供給します。

LM634x0-Q1 のスイッチング周波数は、RT ピンを使用して 200kHz ~ 2.2MHz の範囲にプログラム可能です。これには、400kHz のサブ AM 帯や、AM 帯域より高い 2.1MHz 周波数帯が含まれます。このコンバータは、ノイズの影響を受けやすい車載用アプリケーションで EMI 性能を最適化するため、特に次のような機能を備えています。

- パッケージとピン配置を最適化した設計により、放射 EMI を低減するシールド付きスイッチ ノードのレイアウトが可能です。
- 対称型のコンデンサ レイアウトを採用した並列入力パスにより、寄生インダクタンス、スイッチ電圧リンギング、放射フィールド カップリングを最小限に抑えられます。
- 疑似ランダム スペクトラム拡散 (PRSS) 変調により、ピーク放射を低減します。
- 周波数同期と オプションの FPMW モード により、全負荷電流範囲にわたってスイッチング周波数を一定に維持できます。
- 強化型ゲートドライブ制御を備えたハイサイドおよびローサイドのパワー MOSFET を内蔵しているため、低ノイズの PWM スwitching が可能です。

これらの機能を組み合わせることで、EMI フィルタリング要件を大幅に低減できるため、シールドやその他の高価な EMI 軽減対策が不要になるとともに、伝導型と放射型の電磁波に関する CISPR 25 Class 5 車載用 EMI 規格への適合にも役立ちます。

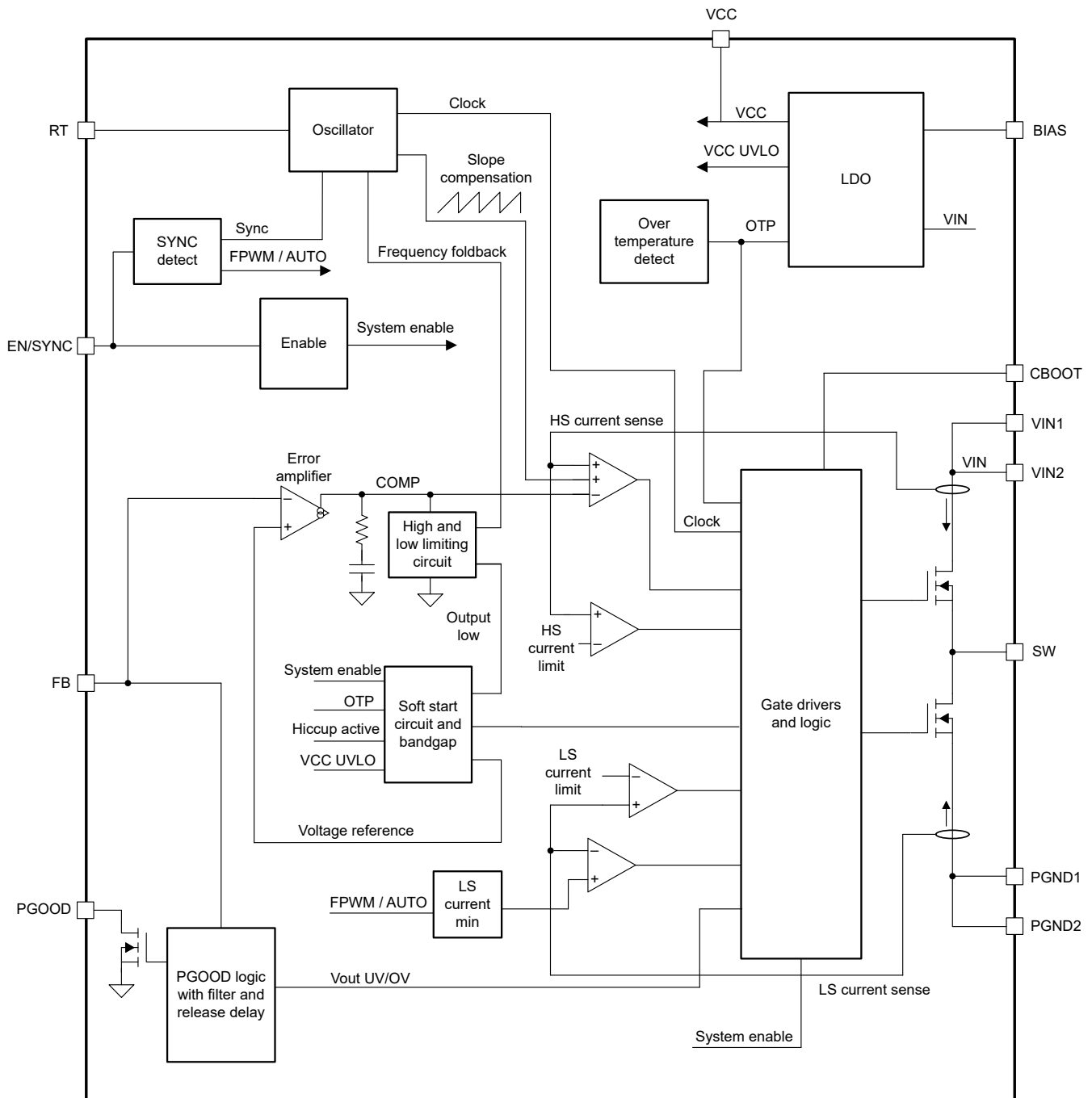
LM634x0-Q1 の拡張 HotRod QFN パッケージは、ウェットプル フランク ピン配置が注意深く設計されており、隣接する VIN、SW、または PGND の各電源ピン間に追加の空間距離を確保して、信頼性とピン FMEA が向上しています。コンバータには、包括的なシステム要件に対応するため、次のような追加機能も搭載されています。

- プログラム可能なライン低電圧誤動作防止 (UVLO) 用の、ヒステリシス付き高精度イネーブル入力
- サイクル単位のピークおよびバレー電流制限により、優れたインダクタ サイズを実現
- 電源レールのシーケンシングと障害報告用のオープンドレイン パワー グッド インジケータ
- 内部で固定された出力電圧ソフトスタート
- プリバイアス負荷への単調なスタートアップ
- 自動回復機能付きサーマル シャットダウン。

LM634x0-Q1 は AEC-Q100 グレード 1 認定済みで、150°C の最大接合部温度まで電気的特性が規定されています。以下のヘルプは、高い信頼性と耐久性を必要とする車載アプリケーション向けの優れたポイント オブ ロード レギュレータ 設計に役立ちます。

- 広い入力電圧範囲
- 低い静止電流消費
- 最適化された熱設計と高温での動作
- ピン FMEA の改善
- 小型デザイン サイズ

7.2 機能ブロック図



7.3 機能説明

7.3.1 入力電圧範囲 (VIN1, VIN2)

LM634x0-Q1 は、3V ~ 36V の定常状態入力電圧範囲に対応しており、標準的な 12V および 24V の車載用電源レールからの降圧変換を目的としています。図 7-1 の回路図に、単一の入力電源を使用して LM634x0-Q1 降圧レギュレータを実装するために必要なすべての部品を示します。

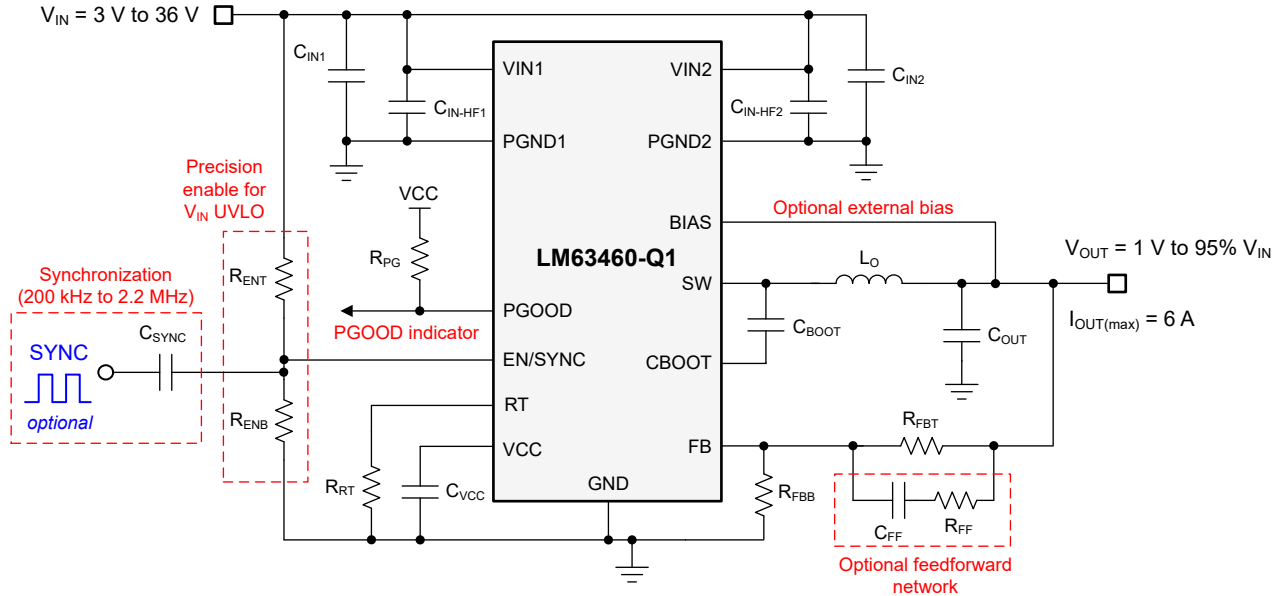


図 7-1. 入力電圧動作範囲が 3V ~ 36V の場合の LM63460-Q1 の回路図

スタートアップに必要な最低入力電圧は 3.95V です。ラインまたは負荷の過渡イベントにおいて、コンバータの VIN ピン (VIN1 および VIN2) の電圧が絶対最大定格である 42V を超過しないよう、十分な配慮が必要です。絶対最大定格を超える VIN ピンでの電圧リンギングは、IC に損傷を与える可能性があります。

7.3.2 出力電圧の設定ポイント (FB)

スイッチング周波数と負荷電流レベルによって異なりますが、LM634x0-Q1 は一般に 1V から、入力電圧をわずかに下回る最大値までの範囲の出力電圧を供給できます。図 7-1 に示すように、RFBT および RFB で指定される帰還抵抗を使用して出力電圧の設定点を定義します。

LM634X0-Q1 は 1V の基準電圧を使用し、内部のエラー アンプが FB 電圧を基準電圧と等しくなるようにレギュレートします。式 1 を使用して、目的の出力電圧の設定点と、与えられた RFBT の値について、RFB を決定します。

$$R_{FB} [k\Omega] = \left(\frac{1V}{V_{OUT} [V] - 1V} \right) \cdot R_{FBT} [k\Omega] \quad (1)$$

RFBT は一般に 10kΩ ~ 1MΩ の範囲ですが、100kΩ の値を使用するとノイズ耐性が向上し (1MΩ などの大きい抵抗値と比較して)、消費電流が減少します (小さな抵抗値と比較して)。

7.3.3 高精度のイネーブルおよび入力電圧 UVLO EN/SYNC

EN/SYNC 入力、特定用途での電源オンおよび電源オフ要件について、抵抗値によりプログラムされる可変入力低電圧誤動作防止 (UVLO) をサポートしています。外部ロジック信号を使用して EN/SYNC 入力を駆動し、出力のオン / オフを切り替え、システムのシーケンシングや保護を行うこともできます。

EN/SYNC が 0.4V を下回ると、LM634x0-Q1 は低 I_Q のシャットダウン モードに移行します。内部 LDO レギュレータの電源がオフになり、LM634x0-Q1 のバイアス電流がシャットダウンされます。EN/SYNC 電圧がハード シャットダウンと高精度イネーブル スレッショルドの間にある場合、LM634x0-Q1 は VCC 電圧がレギュレートされているスタンバイ モードで動作します。EN/SYNC の電圧が V_{EN-TH} を上回った後で、入力電圧が内部 VCC を立ち上がり UVLO スレッショルドの 3.6V (標準値) より高く駆動していれば、コンバータは通常スイッチングを開始します。

EN/SYNC ピンをフローティングのままにしておくことはできません。動作をイネーブルにする最も簡単な方法は、EN/SYNC ピンを VIN ピンに接続し、LM634x0-Q1 を自動的に起動させることです。しかし多くのアプリケーションでは、[図 7-1](#) に示すように、VIN から EN/SYNC への分割ネットワークを使用するほうが有効です。これにより、高精度の入力電圧 UVLO を実現できます。この方法はシーケンシング、長い入力ケーブルと併用した場合のデバイスの再トリガの防止、またはバッテリー電源の過放電の発生頻度低減に使用できます。高精度イネーブル スレッショルド (V_{EN-TH}) には 28% のヒステリシスがあるため、オン / オフの再トリガを防止できます。他の IC の外部ロジック出力で EN/SYNC 端子を駆動して、システム電源のシーケンシングを行うこともできます。

分圧抵抗の値は、[式 2](#) を使用して計算します。詳細については、「[入力電圧 UVLO](#)」を参照してください。

$$R_{ENT} [k\Omega] = R_{ENB} [k\Omega] \cdot \left(\frac{V_{IN(on)} [V]}{V_{EN-TH} [V]} - 1 \right) \quad (2)$$

ここで、

- $V_{IN(on)}$ は、必要な入力電圧ターンオン スレッショルドです。

EN/SYNC ピンは、外部同期クロック入力としても使用できることに留意してください。クロックのエッジが検出されると、イネーブル ロジックにブランキング時間 (t_b) が適用されます。ブランキング時間内のロジックの変化はすべて無視されます。コンバータがシャットダウン モードのとき、ブランキング時間は適用されません。ブランキング時間は 4 μ s から 28 μ s の範囲です。出力を実質的に無効化するには、EN/SYNC 入力を 28 μ s より長い間 Low に維持する必要があります。

7.3.4 周波数同期 (EN/SYNC)

LM634X0-Q1 の EN/SYNC ピンを使用して、内部発振器を 200kHz ~ 2.2MHz の範囲の外部クロック信号に同期します。正のクロック エッジを EN/SYNC に AC 結合することで、内部発振器を同期できます ([図 7-1](#) を参照)。

TI では、 R_{ENT} と R_{ENB} の並列合成値を約 100k Ω にすることを推奨します。 R_{ENT} は同期のために必要ですが、 R_{ENB} は未実装にしておくことができます。外部クロックは、適切な起動シーケンスが行われるように、起動前に必ずオフにします。

[図 7-2](#) に示すように、内部同期パルス検出器をトリップさせるには、EN/SYNC の AC 結合電圧エッジが SYNC 振幅スレッショルドの V_{EN_SYNC} を上回る必要があります。また、EN/SYNC の最小立ち上がりおよび立ち下がりパルス期間は、 t_{SYNC_EDGE} より長く、かつブランキング時間の t_b より短い必要があります。1nF のコンデンサ C_{SYNC} で結合された 3.3V 以上の振幅のパルス信号を使うことを推奨します。

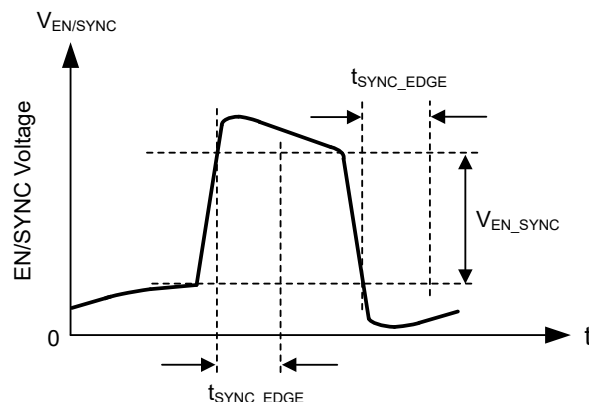
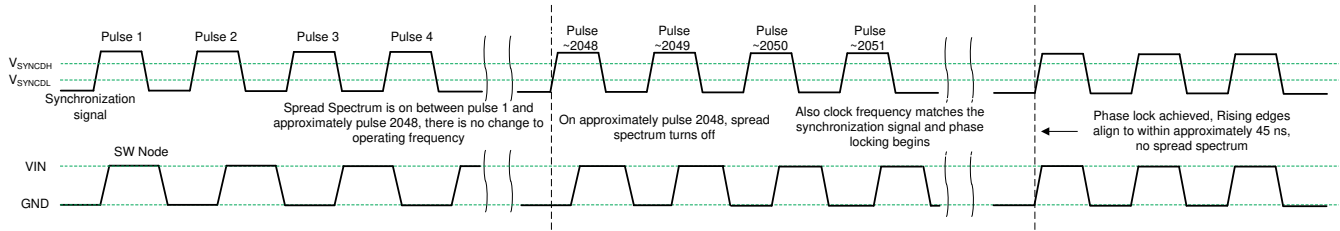


図 7-2. EN/SYNC に印加される代表的な同期波形

有効な同期信号が 2048 サイクルにわたって印加されると、印加された信号の周波数に向かってクロック周波数が急激に変化します。同期はスペクトラム拡散に優先し、スペクトラム拡散をオフにします。

7.3.5 クロックのロック

有効な同期信号が検出されると、クロックのロック手順が開始されます。LM634x0-Q1 は、EN/SYNC ピンでこの信号を受信します。約 2048 パルスの後、クロック周波数は、出力電圧を変動させることなく、同期信号の周波数へのスムーズな遷移を完了します。周波数が突然に調整されると、位相は維持されるので、デフォルトの周波数での動作と、同期周波数での動作の中間に存在するクロック サイクルは、それらの中間の長さになります。この動作により、長すぎるパルスまたは短すぎるパルスは除去されます。周波数が調整された後、立ち上がり同期エッジと立ち上がりスイッチ (SW) ノード パルスとが対応するように、数 10 サイクルかけて位相が調整されます。図 7-3 を参照してください。



同期信号は、4 つのパルスの後に検出されます。コンバータは約 2048 パルス後に同期でき、グリッチフリーの手法を使用して周波数が調整されます。その後で、位相ロックが達成されます。

図 7-3. 同期プロセス

また、同期パルスの最初のエッジの後で、LM634x0-Q1 がスペクトラム拡散をオンにすることにも留意してください。「[ピン構成および機能](#)」の EN/SYNC ピンの説明を参照してください。約 2048 番目のパルスで周波数が調整されると、スペクトラム拡散はオフになります。最後に、低い入力電圧または高い入力電圧のために、または電流制限中に、コンバータが低いスイッチング周波数で動作している場合、低周波数動作の原因となっている条件が解消されるまで、周波数はロックされません。

7.3.6 調整可能なスイッチング周波数 (RT)

RT と GND の間に抵抗を接続することで、スイッチング周波数が設定されます。抵抗値を求めるには、式 3 を使います。または図 7-4 を参照します。推奨範囲外の抵抗値を使うと本デバイスがシャットダウンする場合がありますことに注意します。これにより、RT ピンがグランドに短絡している、またはオープンのままである場合の意図しない動作を防止します。強制的に同期させる目的で、このピンにパルス信号を印加することはしないでください。外部クロックとの同期が必要な場合は、[セクション 7.3.4](#) を参照してください。

$$R_{RT} [k\Omega] = \frac{13.46}{F_{SW} [MHz]} - 0.44 \quad (3)$$

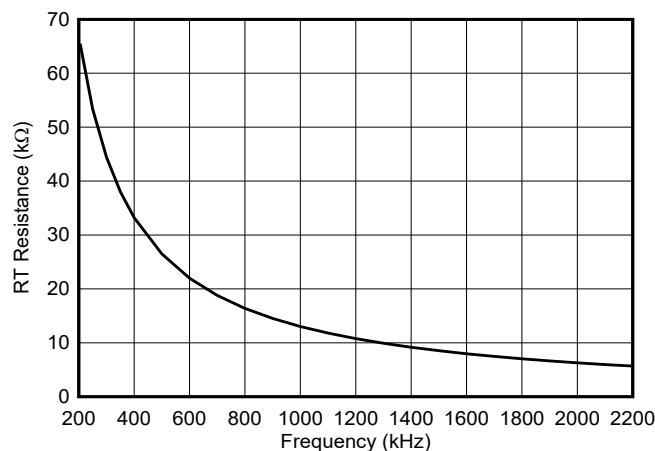


図 7-4. スイッチング周波数の設定

7.3.7 パワー グッド モニタ (PGOOD)

ディスクリートのリセット デバイスを置き換えるために PGOOD 機能が実装されているため、部品点数とコストを低減できます。帰還 (FB) 電圧が、規定された PGOOD スレッシュホールドの範囲外になると、PGOOD 電圧は Low に遷移します (図 6-8 参照)。この遷移は、電流制限中、サーマル シャットダウン中、ディセーブル中、通常の起動中に発生する可能性があります。グリッチ フィルタは、出力電圧の短時間の変動 (ラインおよび負荷過渡時など) に対するフラグの誤動作を防止します。t_{PGDFLT(fall)} よりも短い出力電圧変動では、PGOOD フラグは立ちません。PGOOD 動作について深く理解するには、図 7-5 を参照してください。

PGOOD 出力はオープンドレインの N チャネルトランジスタで構成されており、適切なロジック電源または V_{OUT} に接続した外付けプルアップ抵抗が必要です。EN が Low にプルされると、フラグ出力も Low に強制されます。EN が Low の場合、入力電圧が 1V 以上 (標準値) である限り、PGOOD は有効です。

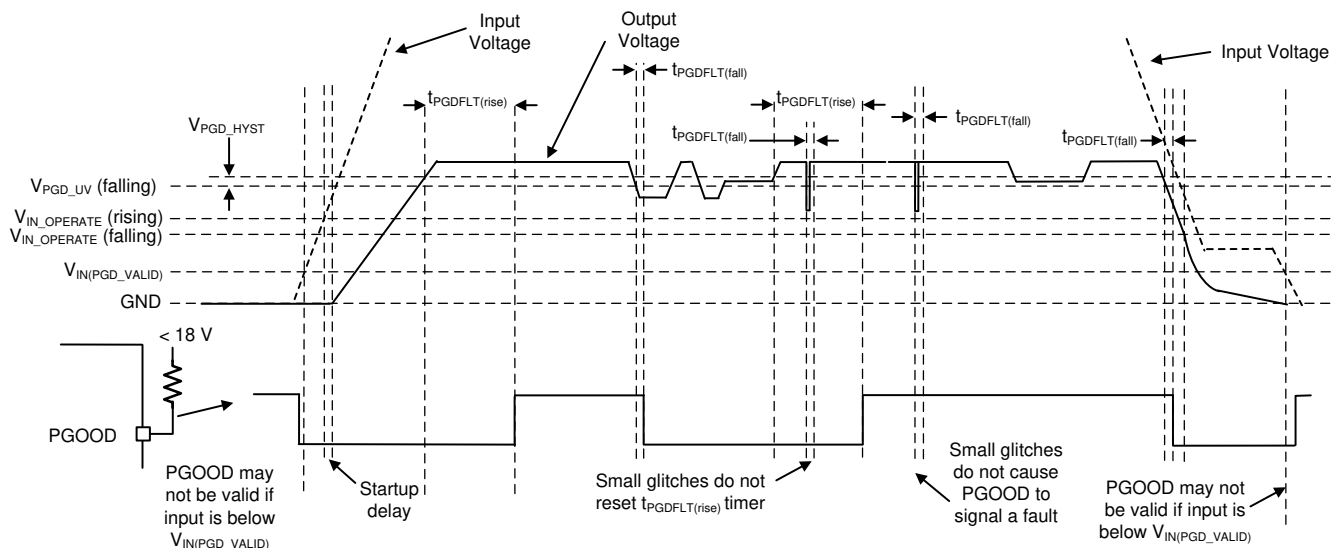


図 7-5. PGOOD のタイミング図 (OV イベントを除く)

表 7-1. PGOOD がフォルトを通知 (Low をプル) する条件

フォルト条件の開始	フォルト条件の終了 (その後、PGOOD 出力が解放される前に t _{PGDIFLT(rise)} が経過する必要があります。) ⁽¹⁾
「V _{OUT} < V _{OUT-target} × PGDI _{UV} 」かつ「t > t _{PGDIFLT(fall)} 」	出力電圧がレギュレートされている。 V _{OUT-target} × (PGDI _{UV} + PGDI _{HYST}) < V _{OUT} < V _{OUT-target} × (PGDI _{OV} - PGDI _{HYST}) (図 6-8 を参照)

表 7-1. PGOOD がフォルトを通知 (Low をプル) する条件 (続き)

フォルト条件の開始	フォルト条件の終了 (その後、PGOOD 出力が解放される前に $t_{PGDFLT(rise)}$ が経過する必要があります。) ⁽¹⁾
$V_{OUT} > V_{OUT-target} \times PGDOV$ かつ $t > t_{PGDFLT(fall)}$	出力電圧がレギュレートされている。
$T_J > T_{SHD}$	$T_J < T_{SHD-F}$ かつ出力電圧がレギュレートされている
$V_{EN} < V_{EN-TH}$ 立ち下がり	$V_{EN} > V_{EN-TH}$ 立ち上がり、かつ出力電圧がレギュレートされている
$V_{CC} < V_{CC-UVLO} - V_{CC-UVLO-HYST}$	$V_{CC} > V_{CC-UVLO}$ かつ出力電圧が統制されている

(1) 追加の動作チェックとして、ソフト スタート時間中 PGOOD は Low に維持されます。ソフト スタート時間は、出力電圧が設定点に達する時間、または開始から t_{SS2} が経過した時間 (どちらか低い方) と定義されます。

7.3.8 バイアス電源レギュレータ (VCC、BIAS)

VCC は、LM634x0-Q1 の制御回路に電力を供給するために使用される内部 LDO サプレギュレータの出力です。VCC の公称電圧は 3.3V です。BIAS ピンは内部 LDO への入力です。入力電源電流をできるだけ小さくするため、この入力を V_{OUT} に接続することもできます。BIAS 電圧が 3.1V 未満の場合、VIN1 と VIN2 は内部 LDO に直接電力を供給します。

不適切な動作を防止するため、VCC には、内部電圧が低すぎる場合にスイッチングを止める UVLO 保護機能が備わっています。「電気的特性」の $V_{CC-UVLO}$ および $V_{CC-UVLO-HYST}$ を参照してください。これらの UVLO レベルと LDO ドロップアウト電圧を使用して $V_{IN_OPERATE}$ と $V_{IN_OPERATE_H}$ の最小値が導出できることに留意してください。

7.3.9 ブートストラップ電圧と UVLO (CBOOT)

ハイサイド (HS) スwitchのゲートドライバには、 V_{IN} より高いバイアス電圧が必要です。CBOOT と SW の間に接続されたブートストラップ コンデンサ C_{BOOT} は、CBOOT ピンの電圧を SW 電圧より高い VCC のレベルに昇圧するチャージポンプとして機能します。LM634x0-Q1 は、外付け部品数を最小限に抑えるためにブートストラップ ダイオードを内蔵しています。定格 10V 以上の 100nF のブートストラップ コンデンサを使用します。 $V_{BOOT-UVLO}$ スレッシュホールド (標準値 2.1V) は、適切な HS スwitch動作を維持するように設計されています。ブートストラップ コンデンサの電圧が $V_{BOOT-UVLO}$ を下回ると、コンバータは HS スwitchのオンを試みる前に、ローサイド スwitchをオンすることで充電シーケンスを開始します。

7.3.10 スペクトラム拡散

スペクトラム拡散の目的は、特定の周波数のピーク放射をより広い範囲の周波数に拡散することで、これらのピーク放射を除去することです。LM634x0-Q1 を搭載したほとんどのシステムでは、スイッチング周波数の最初の数個の高調波からの低い周波数の伝導エミッションは、簡単にフィルタで除去できます。設計でより難しいことは、FM 周波数帯域に妨害を与えるより高い高調波での放射の低減です。これらの高調波はしばしば、スイッチ ノードとインダクタの周囲の電界によって環境と結合します。LM634x0-Q1 では、FM および TV 帯域にわたってエネルギーを滑らかに拡散でき、しかもコンバータのスイッチング周波数未満の分数調波放射を制限するのに十分な小ささである、 $\pm 2\%$ の周波数拡散を採用しています。コンバータのスイッチング周波数でのピーク放射の低減量はわずか (1dB 未満) ですが、FM 帯域内のピークは通常 6dB 以上低減されます。

LM634x0-Q1 は、線形帰還シフト レジスタ (LFSR) を使ったサイクル間周波数ホッピング方式を採用しています。このインテリジェント疑似ランダム ジェネレータは、出力リップルを制限するためにサイクル間の周波数変化を制限します。疑似ランダム パターンは、オーディオ帯域よりも低い 1.5Hz 未満で繰り返されます。

スペクトラム拡散は、LM634x0-Q1 のクロックが自然周波数でフリーランニングのときに限り利用できます。以下のいずれかの条件がスペクトラム拡散に優先する場合、スペクトラム拡散はオフになります:

- ドロップアウト中にクロック速度が低下した。
- 自動モードで軽負荷時にクロック速度が低下した。FPWM モードでは、無負荷でもスペクトラム拡散は作動します。
- 高い入力電圧から低い出力電圧への変換率で、デバイスが最小オン時間で動作しているとき、内部クロックは低速化され、スペクトラム拡散はディセーブルになります。詳細については、「タイミング特性」を参照してください。
- クロックが外部クロックに同期している。

7.3.11 ソフトスタートとドロップアウトからの回復

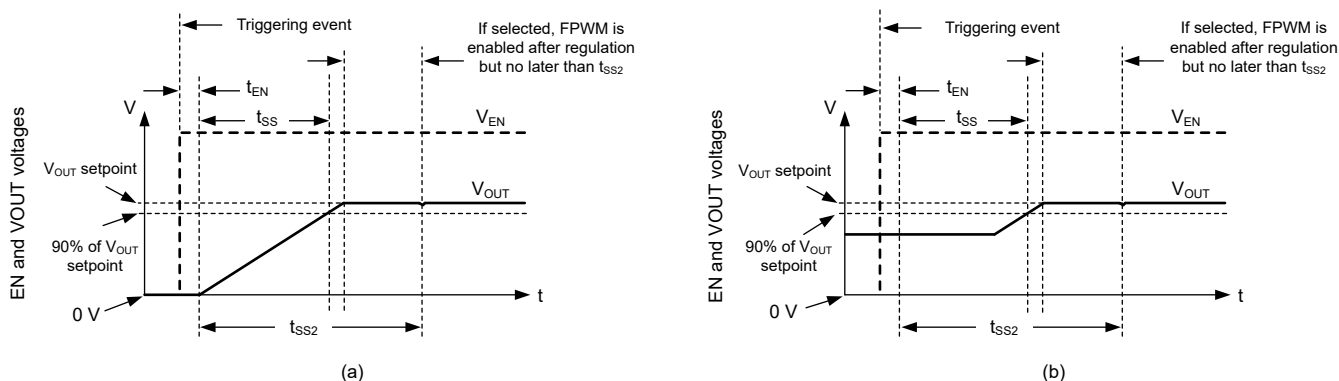
本コンバータは、起動中の出力電圧のオーバーシュートと大きな突入電流を防止するため、基準電圧を使ったソフトスタートを採用しています。ソフトスタートは、以下のいずれかの条件によってトリガされます。

- IC の VIN ピンに電力が供給され、UVLO が解除された。
- EN/SYNC ピンが High になり、デバイスがオンになった。
- ヒカップ待機期間から回復した
- サーマルシャットダウン保護からの回復

ソフトスタートがトリガされた後、本 IC は以下の動作を実行します。

- 出力電圧を制御するために本 IC が使用する基準電圧が、ゆっくりと上昇する。その結果、出力電圧が t_{SS} の時間をかけて目的の値の 90% に達します。
- 動作モードが自動的に設定され、ダイオード エミュレーションを有効化する。この動作により、電圧がすでに出力されていても、出力電圧を Low にすることなくプリバイアスで起動できます。

これらの動作を組み合わせることで、突入電流を制限しながら起動でき、また、起動時に、電流制限値に近いピーク インダクタ電流を生じさせる大きな出力コンデンサと重い負荷条件を、ヒカップをトリガすることなく使用できます。図 7-6 を参照してください。



ソフトスタートは、出力電圧が 0V から始まる場合 (a) と、すでにプリバイアスされた電圧が出力されている場合 (b) の両方で動作します。どちらの場合も、出力電圧はソフトスタート開始から t_{SS} 後、設定点との誤差が 10% 以内の範囲に達する必要があります。ソフトスタート中は FPWM とヒカップは無効化され、出力電圧がレギュレーションに達した後、または t_{SS2} の時間間隔が経過した後 (いずれか早い方) に、FPWM とヒカップは有効化されます。

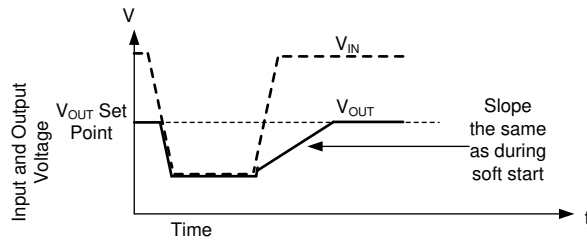
図 7-6. ソフトスタート動作

出力電圧の低下が数 % を超えると常に、出力電圧はゆっくり上昇します。この条件はドロップアウトからの回復と呼ばれ、ソフトスタートとは以下の 3 つの重要な点で異なります。

- 基準電圧は、設定済みの出力電圧を実現するために必要な値よりも約 1% 高い値に設定される。
- 出力電圧が公称の設定点の 40% 未満である場合、ヒカップが許可される。ドロップアウト レギュレーションの間、ヒカップは禁止されることに注意します。
- ドロップアウトからの回復中、FPWM モードが許可される。外部電源によって出力電圧が突然プルアップされた場合、コンバータは出力をプルダウンする場合があります。

ドロップアウトからの回復と呼ばれているにもかかわらず、出力電圧が設定点よりも数 % 低くなると常に、この機能が作動します。この動作は主に、以下の条件で発生します。

- ドロップアウト: 目的の出力電圧を維持するのに十分な入力電圧がない場合。
- 過電流: ヒカップをトリガするほどの大きさではない過電流イベントが発生した場合



出力電圧の低下が、高負荷電流と低入力電圧のどちらによるものであっても、出力がその設定点を下回る原因となっている条件が解消された後、起動時と同じ速度で出力は回復します。ドロップアウトが原因でヒカップがトリガされなかったとしても、128 クロック サイクル以上にわたって出力電圧が出力電圧設定点の 40% を下回った場合、原則として、回復中にヒカップがトリガされます。

図 7-7. ドロップアウトからの回復

7.3.12 過電流および短絡保護

このコンバータは、ハイサイド MOSFET とローサイド MOSFET の両方でサイクル毎に電流を制限することで、過電流状態からの保護を行います。ハイサイド MOSFET 過電流保護機能は、ピーク電流のモード制御の性質を利用して実装されています。HS スイッチ電流は、短いブランキング時間の後に HS スイッチがオンになると検出されます。スイッチング サイクルごとに、固定電流の設定点と、電圧レギュレーション ループ出力からスロープ補償を引いた値との、どちらか小さい方と、このスイッチ電流が比較されます。電圧ループ出力には最大値があり、スロープ補償はデューティ サイクルに対応して大きくなるため、デューティ サイクルが 35% より大きい場合、デューティ サイクルが大きくなると HS 電流制限値は下がります。図 7-8 を参照してください。

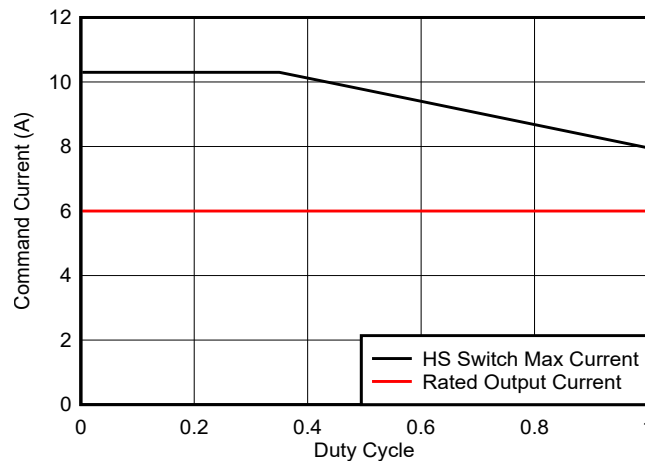


図 7-8. LM63460-Q1 の HS スイッチ最大電流はデューティ サイクルの関数

LS スイッチがオンになると、スイッチ電流もセンスされ、監視されます。LS スイッチは、HS デバイスと同様に、電圧制御ループとローサイド電流制限の指示に従ってオフになります。LS スイッチ電流がスイッチング サイクルの終わりに I_{L-LS} を上回っている場合、そのスイッチング サイクルは、LS 電流が制限値を下回るまで延長されます。LS 電流がこの制限値を下回ると、LS スイッチはオフになり、HS デバイスが最後にオンになってから 1 クロック周期以上が経過していれば、HS スイッチは再度オンになります。

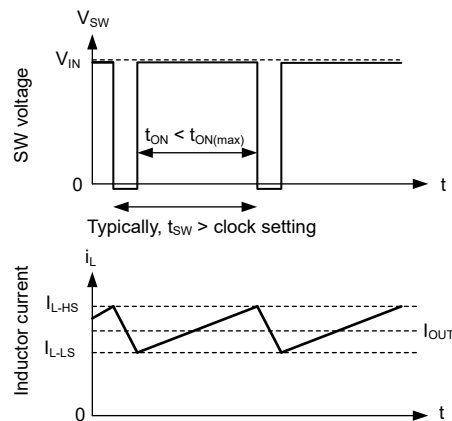


図 7-9. 電流制限波形

電流波形は I_{L-HS} と I_{L-LS} の間の値をとるため、最大出力電流はこれらの 2 つの値の平均値に非常に近い値になります。出力電圧がゼロに近づくにつれて、ヒステリシス制御が使われ、電流は増加しなくなります。

負荷が非常に重く、128 連続スイッチング サイクルの間、以下の条件が満たされた場合、コンバータはヒカップ過電流保護を使用します。

- 出力電圧が、出力電圧設定点の約 0.4 倍を下回っている。
- ソフト スタートが開始されてから、 t_{SS2} 以上経過した ([「ソフト スタートとドロップアウトからの回復」](#)を参照)。
- コンバータがドロップアウト (デューティ サイクルが最小オフ時間によって制御されている状態) で動作していない。

ヒカップモードに入ると、デバイスはシャットダウンし、 t_W 後にソフトスタートを試みます。ヒカップ モードは、過酷な過電流条件と短絡の際に本デバイスの消費電力を低減するのに役立ちます。図 7-10 を参照してください。過負荷が解消されると、本デバイスはソフトスタート中であるかのように回復します。図 7-11 を参照してください。

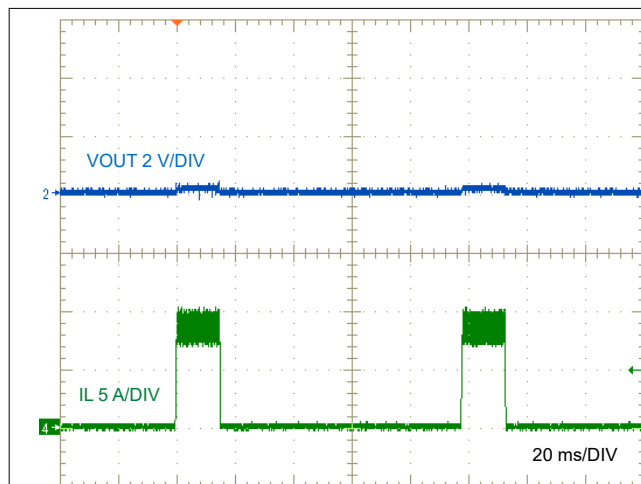


図 7-10. ヒカップ中のインダクタ電流バースト

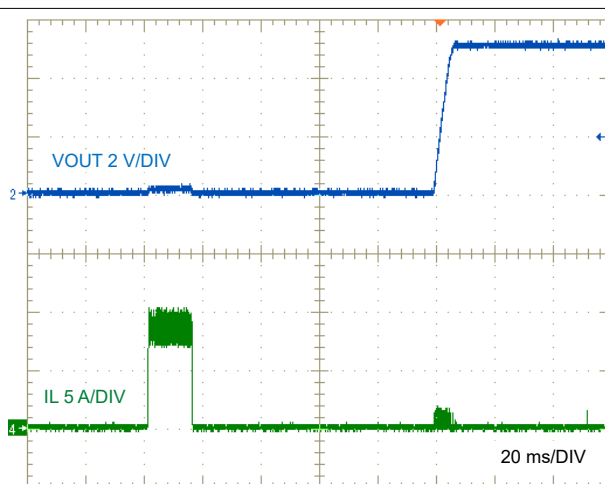


図 7-11. 短絡からの回復

7.3.13 サーマル シャットダウン

サーマル シャットダウンは、本 IC の接合部温度が 168°C (標準値) を超えると内部スイッチをオフにすることで、接合部温度が極端に上がるのを防止します。サーマル シャットダウンは 158°C 未満ではトリガされません。サーマル シャットダウンが作動した後、ヒステリシスにより、接合部温度が約 158°C に低下するまでデバイスのスイッチングが止められます。接合部温度が 158°C (標準値) を下回ると、コンバータはソフトスタートを試みます。

高い接合部温度に起因してコンバータがシャットダウンされるときでも、電力は VCC に供給され続けます。高い接合部温度のせいでコンバータが無効化されると同時に、VCC の短絡による過熱を防止するため、VCC に電力を供給する LDO の電流制限値が低減されます。サーマル シャットダウン中、VCC の電流制限値は数ミリアンペアに低減されます。

7.3.14 入力電源電流

コンバータは、軽負荷でのレギュレート時に入力電源電流が非常に小さくなるように設計されています。これは、内部回路の多くに、出力から電力を供給することで実現されています。BIAS ピンは、制御回路の大部分に電力を供給する LDO への入力です。BIAS 入力ピンをレギュレータの出力に接続することで、出力から少量の電流が BIAS ピンに流れ込みます。この電流により、入力の電流が V_{OUT}/V_{IN} の比で減少します。式 4 は、無負荷時に動作中 (スイッチング) の降圧コンバータが消費する電流を定義します。

$$I_{Q_VIN(SW)} [\mu A] = I_{Q_VIN} [\mu A] + I_{EN} [\mu A] + I_{DIV} [\mu A] \cdot \frac{V_{OUT} [V]}{V_{IN} [V] \cdot \eta_{eff}} \quad (4)$$

ここで、

- I_{Q_VIN} は VIN ピンへの電流です。「電気的特性」を参照してください。
- I_{EN} は EN/SYNC ピンに流れ込む電流です。「電気的特性」を参照してください。EN/SYNC が VIN に接続されている場合、この電流を含めます。EN/SYNC を 5V 未満の電圧に接続した場合、この電流は非常に小さい値に下がるとに留意してください。
- I_{DIV} は、出力電圧を設定するために使用される帰還分圧器に流れる電流です。
- η_{eff} は、降圧コンバータの入力電流から I_{Q_VIN} を除いた場合の降圧コンバータの軽負荷効率です。 $\eta_{eff} = 0.8$ は、通常動作条件で使用できる控えめな値です。

7.4 デバイスの機能モード

7.4.1 シャットダウンモード

EN/SYNC ピンは、本デバイスの電氣的なオン / オフ制御に使用できます。EN/SYNC 電圧が 0.4V 未満の場合、レギュレータと内部 LDO の両方から電圧が出力されません。コンバータはシャットダウン モードで、静止電流は 0.6μA (標準値) に低下します。

7.4.2 スタンバイ モード

内部 LDO のイネーブル スレッシュホールドは、コンバータの出力よりも低い値です。EN/SYNC ピンの電圧が 1.1V (最大値) より高く、高精度イネーブル スレッシュホールドより低い場合、内部 LDO は VCC 電圧を 3.3V (標準値) にレギュレートします。VCC が UVLO を上回ると、高精度イネーブル回路がオンになります。EN/SYNC の電圧が高精度イネーブル スレッシュホールドを上回らない限り、内部パワー MOSFET はオフのままです。コンバータは UVLO 保護も採用しています。VCC 電圧が UVLO レベルを下回ると、コンバータの出力はオフになります。

7.4.3 アクティブモード

EN/SYNC の電圧がスレッシュホールド電圧を上回っており、 V_{IN} が $V_{IN_OPERATE}$ を満たすのに十分高く、その他のフォルト条件が存在しない場合は常に、コンバータはアクティブ モードです。動作を可能にする最も簡単な方法は、EN/SYNC ピンを VIN に接続することです。これにより、印加された入力電圧が最小 $V_{IN_OPERATE}$ を超えると自動的に起動できます。

アクティブモードでは、負荷電流、入力電圧、出力電圧に応じて、コンバータは次の 5 つのモードのいずれかになります。

- 負荷電流がインダクタリップル電流の 1/2 より大きいときには、固定周波数の連続導通モード (CCM) になります。
- 自動モード - PFM による軽負荷動作で、非常に軽い負荷でスイッチング周波数が低下します。
- FPWM モード - 負荷範囲全体にわたってスイッチング周波数を一定に維持する軽負荷動作です。
- 最小オン時間: 高い降圧変換比 (つまり、高い入力電圧から低い出力電圧への変換) のときは、レギュレーションを維持するためスイッチング周波数が減少します。
- ドロップアウト モード: ドロップアウト電圧を最小化するため、スイッチング周波数が減少します。

7.4.3.1 CCM モード

以下に示すコンバータの動作説明は、[機能ブロック図](#)と[図 7-12](#)の波形を参照しています。CCM では、コンバータは内蔵ハイサイド (HS) およびローサイド (LS) NMOS スイッチをさまざまなデューティ サイクル (D) でオンにすることで、出力電圧のレギュレーションを実現します。HS スイッチのオン時間の間、SW ピンの電圧 V_{SW} は V_{IN} の付近までスイングし、インダクタ電流 i_L は線形的な傾きで増加します。HS スイッチは、制御ロジックによってオフにされます。HS スイッチのオフ時間 (t_{OFF}) の間、LS スイッチはオンにされます。インダクタ電流は LS スイッチを通して放電され、LS スイッチの両端の電圧降下によって V_{SW} をグランドより低い電圧まで強制的にスイングさせます。一定の出力電圧を維持するため、制御ループはデューティ サイクルを調整します。D は、HS スイッチのオン時間をスイッチング周期で割った値として次のように定義されます。

$$D = t_{ON} / t_{SW} \quad (5)$$

損失が無視される理想的な降圧コンバータでは、次のように D は出力電圧に比例し、入力電圧に反比例します。

$$D = V_{OUT} / V_{IN} \quad (6)$$

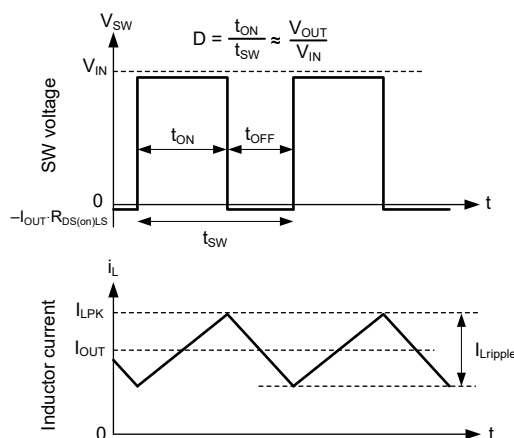


図 7-12. 連続モード (CCM) における SW 電圧とインダクタ電流の波形

7.4.3.2 AUTO モード - 軽負荷動作

軽負荷時、コンバータは 2 種類の動作を行うことができます。自動モード動作では、負荷が重い際の通常電流モードと、高効率の軽負荷動作との間を継ぎ目なく移行できます。FPWM モードと呼ばれるもう 1 つの動作では、無負荷時でも最大周波数が維持されます。コンバータがどちらのモードで動作するかは、周波数を外部クロック信号に同期させる場合、コンバータは FPWM モードで動作することに留意してください。

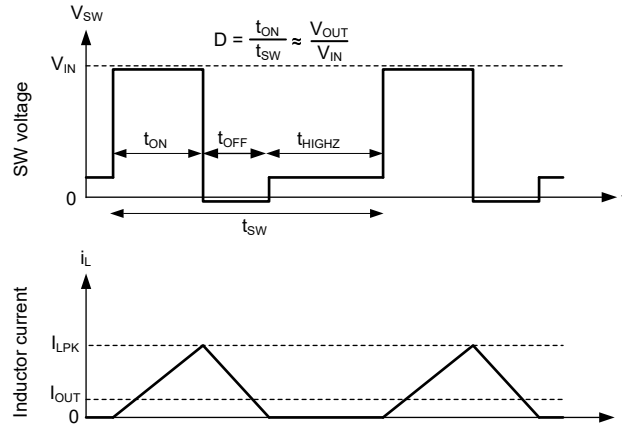
自動モードで、コンバータは軽負荷動作時の効率を向上させるため、2 つの技法を使用します。

- DCM 動作が可能なダイオード エミュレーション
- スwitchング周波数の低下

これら 2 つの機能が同時に動作することで、非常に優れた軽負荷動作を実現しますが、これらの機能は互いに独立して動作することに留意してください。

7.4.3.2.1 ダイオード エミュレーション

ダイオード エミュレーションは、インダクタを流れる逆電流を防止します。この場合、固定のピーク インダクタ電流について、レギュレーションのためにより低い周波数が必要となります。ダイオード エミュレーションは、周波数が下がった際のリップル電流も制限します。固定ピーク電流では、出力電流がゼロに向かって低下するにつれて、レギュレーションを維持するために周波数をゼロに近い値まで下げる必要があります。



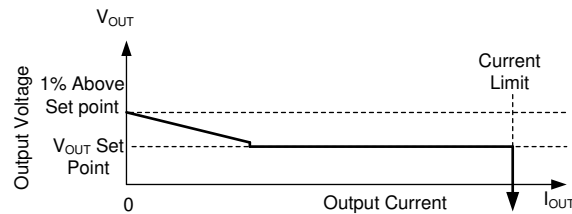
自動モードでは、インダクタ電流がゼロに近づくときローサイド MOSFET がオフになります。その結果、出力電流が CCM のインダクタリップルの 1/2 未満になると、コンバータは DCM で動作し、ダイオード エミュレーションがアクティブになります。

図 7-13. 軽負荷時の PFM モード動作

コンバータが自動モードで動作するときは、最小ピーク インダクタ電流が設定されています。入力電圧を一定にした状態で、電流値が下がっても、オン時間は一定です。その後、スイッチング周波数を調整することで、レギュレーションが達成されます。この動作モードを PFM モードレギュレーションと呼びます。

7.4.3.2.2 周波数フォールドバック

コンバータは、出力電圧が設定点より高くなると常にスイッチング周波数を下げます。この機能は、内部信号 COMP が Low で、かつ FB のレギュレーション設定点と FB に印加される電圧との間にオフセットが存在する場合、常に有効化されます。結果的に、自動モードでの軽負荷の間、通常動作の場合よりも出力インピーダンスが大きくなります。コンバータが完全に無負荷のとき、出力電圧は約 1% 高くなります。



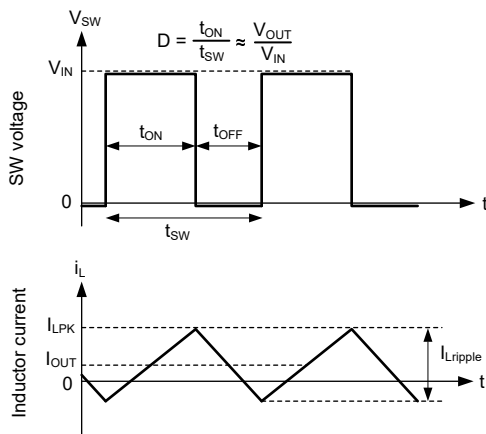
自動モードでは、コンバータの出力電流が定格電流の約 1/10 を下回ると、降圧コンバータが完全に無負荷になった際に出力電圧が 1% 高くなるように出力抵抗が増大します。

図 7-14. 定常状態の出力電圧と自動モードの出力電流との関係

PFM 動作では、PFM 検出回路を動作させるために、出力電圧に小さな正の DC オフセットが必要となります。PFM の周波数が低いほど、 V_{OUT} に必要な DC オフセットは大きくなります。 V_{OUT} での DC オフセットが許容できない場合、出力にダミー負荷を使用するか、FPWM モードを選択することで、このオフセットを低減または除去できます。

7.4.3.3 FPWM モード - 軽負荷動作

自動モード動作と同様に、FPWM モードは工場オプションとして選択されます。FPWM は同期中にデフォルトで適用されます。FPWM モードでは、軽負荷時にインダクタに負電流を流すことでスイッチング周波数が一定に維持されます。負電流は、逆電流制限回路により LM63460-Q1 では -3A、LM63440-Q1 デバイスでは -2A に制限されます。



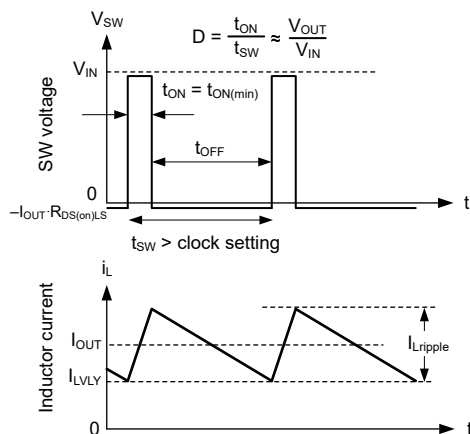
FPWM モードでは、 I_{OUT} が I_{ripple} の半分未満でも連続導通 (CCM) が可能です。

図 7-15. FPWM モード動作

FPWM モードでは、軽負荷時であっても最小オン時間を指示できるほど出力電圧が高ければ、依然として周波数を低減できるため、出力をプルアップする必要があるフォルト中も良好に動作できます。

7.4.3.4 最小オン時間 (高入力電圧) での動作

入力電圧と出力電圧の比から要求されるオン時間が、与えられたクロック設定におけるコンバータの最小オン時間より短い場合でも、コンバータは出力電圧をレギュレートし続けます。これは、図 7-16 に示すバレー電流制御を使用して実現されます。



バレー制御モードでは、インダクタのピーク電流ではなく、インダクタのバレー電流が制御されます。

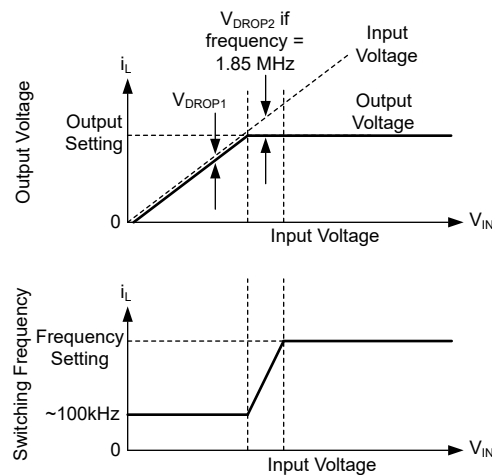
図 7-16. バレー電流動作

補償回路は常に、インダクタの最大ピーク電流とバレー電流の両方を決定します。なんらかの理由でバレー電流の設定点を超過した場合、補償回路によって決定された値をバレー電流が下回るまで、クロック サイクルが延長されます。コンバータが電流制限で動作していない場合、最大バレー電流はピーク インダクタ電流よりも高く設定され、ピーク電流のみを使ったレギュレーションに失敗しない限り、バレー制御が使われることがないようにしています。入力電圧と出力電圧の比が大きすぎる場合、補償回路で決定されるピーク値を超える電流が流れたとしても、出力電圧をレギュレートするのに十分な速さでハイサイド スイッチをオフにすることはできません。結果的に、補償回路はピーク電流とバレー電流の両方を小さくします。十分小さい電流が確立されると、バレー インダクタ電流は、補償回路で決定される電流と一致します。これらの条件では、ローサイド スイッチがオンに維持され、目的のバレー電流スレッショルドをインダクタ電流が下回るまで、次のク

ロック サイクルは遅延されます。オン時間は最小値に固定されているため、このタイプの動作は、コンスタント オンタイム (COT) 制御方式を採用したデバイスの動作と似ています。

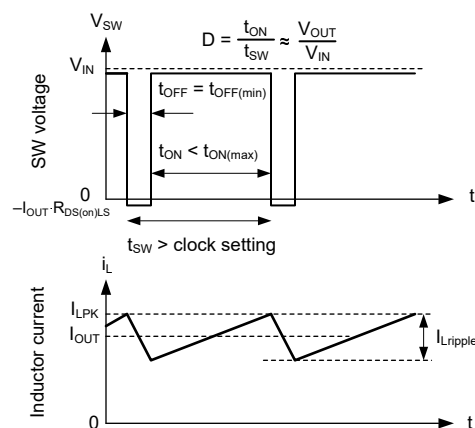
7.4.3.5 ドロップアウト

ドロップアウト動作とは、必要なデューティ サイクルを達成するためにスイッチング周波数を下げる必要があるような、入力電圧と出力電圧の比率と定義されます。与えられたクロック周波数において、デューティ サイクルはコンバータの最小オフ時間によって制限されます。この制限値に達した後、仮にクロック周波数が維持されるなら、出力電圧は低下します。コンバータは、出力電圧が下がるのを許容するのではなく、クロック サイクルが終わっても必要なピーク インダクタ電流が達成されるまでオン時間を延長します。必要なピーク インダクタ電流に達するか、または設定済みの最大オン時間 $t_{ON(max)}$ である約 $9\mu s$ が経過すると、クロックは新しいサイクルを開始できます。その結果、最小オフ時間の要件から、選択されたクロック周波数において必要なデューティ サイクルが達成できない場合、レギュレーションを維持するためにスイッチング周波数が低下します。オン時間を $t_{ON(max)}$ にしても出力電圧をレギュレートできないほど入力電圧が低い場合、出力電圧は入力電圧よりもわずかに低い値 (V_{DROP1}) に下がります。「システム特性」を参照してください。ドロップアウトからの回復の詳細については、図 7-7 を参照してください。



出力電圧およびスイッチング周波数と入力電圧との関係: 入力電圧と出力電圧の設定値との差がほとんどない場合、コンバータはレギュレーションを維持するために周波数を下げます。入力電圧が低すぎて、約 110kHz で目的の出力電圧を供給できない場合、出力電圧は入力電圧に追従します。

図 7-17. ドロップアウト時のスイッチング周波数と出力電圧



インダクタ電流は、目的のピーク値に達するのに通常のクロック周期よりも長い時間を要し、結果的にスイッチング周波数が低下してレギュレーションを維持します。この周波数の低下は、 $t_{ON(max)}$ によって制限されます。

図 7-18. ドロップアウト波形

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LM63440-Q1 および LM63460-Q1 は同期整流降圧コンバータで、わずか数個の外部部品で広い範囲の電源電圧を固定出力電圧に変換でき、最大 6A の出力電流を供給できます。包括的な LM63440-Q1 または LM63460-Q1 の [クイックスタート カリキュレータ](#) をダウンロードすると、LM63440-Q1 または LM63460-Q1 をベースとするレギュレータ回路の設計プロセスを迅速化および効率化できます。

8.2 代表的なアプリケーション

LM634x0-Q1 を使用した実装の回路図、部品表、PCB レイアウト ファイル、テスト結果については、[LM63460-Q1 EVM](#) を参照してください。

8.2.1 設計 1 - 車載用同期整流 6A 降圧レギュレータ、2.1MHz

図 8-1 は、出力電圧 5V、定格負荷電流 6A の同期整流降圧レギュレータの回路図を示しています。この例では、5V ~ 36V の範囲内の公称入力電圧 13.5V に基づき、半負荷効率と全負荷効率のターゲットはそれぞれ、94.5% と 92.5% です。スイッチング周波数は、6.04kΩ の抵抗 R_{RT} により 2.1MHz に設定されます。BIAS 入力を 5V 出力に接続することにより、IC バイアス電力の損失を低減し、効率を向上させます。

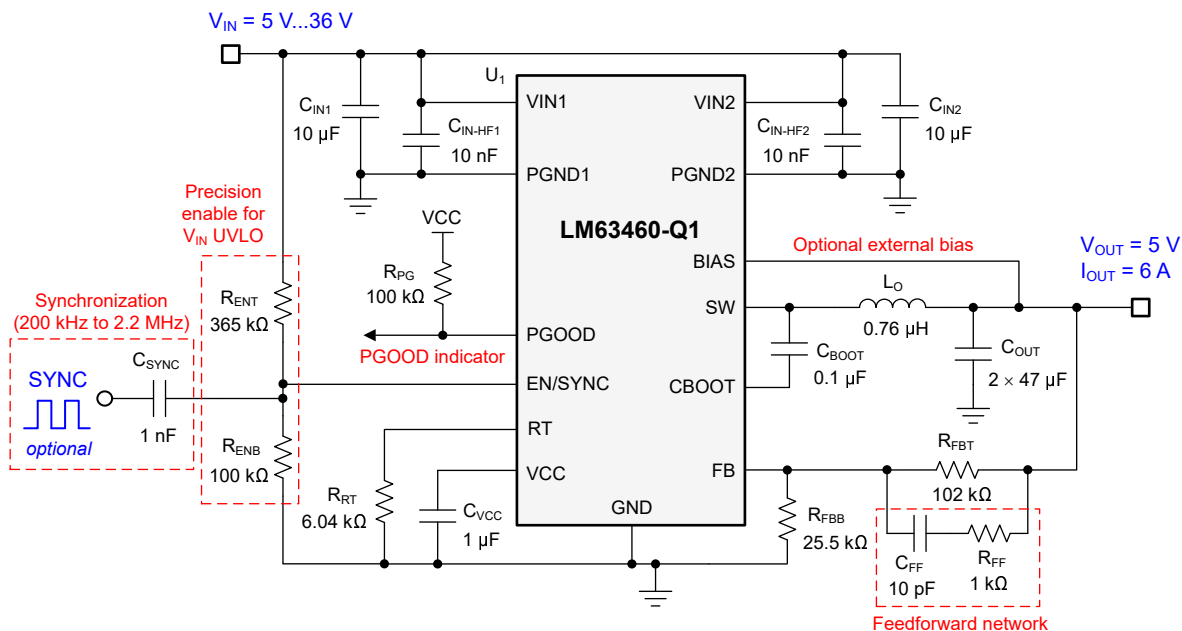


図 8-1. アプリケーション回路 1 - 5V、6A、2.1MHz

注

このアプリケーション例では、いくつかの異なる実装シナリオで LM63460-Q1 降圧コンバータを紹介します。入力電源バスのソース インピーダンスによっては、特に低入力電圧と高出力電流の動作条件における安定性を確保するために、入力に電解コンデンサが必要になることがあります。詳細については、「[電源に関する推奨事項](#)」セクションを参照してください。

8.2.1.1 設計要件

このアプリケーション例の入力、出力、性能のパラメータを、表 8-1 に示します。入力電圧が 5V まで低下し、出力電圧が 5V の設定ポイントをわずかに下回ると、コンバータはコールド クランク中にドロップアウトで動作します。

表 8-1. 設計パラメータ

設計パラメータ	値
入力電圧範囲 (一定の f_{sw} について)	6V ~ 18V
最小過渡入力電圧、コールド クランク	5V
最大過渡入力電圧、負荷ダンブ	36V
出力電圧と全負荷電流	5 V, 6 A
スイッチング周波数	2.1MHz
出力電圧レギュレーション	±1%
IC 入力電流、無負荷	10μA 未満
IC シャットダウン電流	1μA 未満

表 8-2 には、選択した降圧コンバータの電力部品と、複数のベンダの在庫状況が示されています。この設計には、低 DCR のインダクタと、全セラミックの出力コンデンサが実装されています。

表 8-2. アプリケーション回路 1 の部品表

参照記号	数量	仕様	メーカー ⁽¹⁾	部品番号
C _{IN}	2	10μF, 50V, X7R, 1206, セラミック, AEC-Q200	Samsung	CL31Y106KBKVPNE
			TDK	CGA5L1X7R1H106K
		10μF, 50V, X7S, 1210, セラミック, AEC-Q200	Murata (村田製作所)	GCM32EC71H106KA03
			TDK	CGA6P3X7S1H106M
C _{OUT}	2	47μF, 6.3V, X7R, 1210, セラミック, AEC-Q200	Murata (村田製作所)	GCM32ER70J476KE19L
		47μF, 10V, X7S, 1210, セラミック, AEC-Q200	TDK	CGA6P1X7S1A476M
			Murata (村田製作所)	GCM32EC71A476KE02
	3	22μF, 16V, X7R, 1210, セラミック, AEC-Q200	TDK	CGA6P1X7R1C226M
L _O	1	0.76μH, 4.9mΩ, 11.8A, 4.0mm × 4.0mm × 3.1mm, AEC-Q200	Coilcraft	XGL4030-761MEC
		1μH, 9.1mΩ, 7.9A, 4.2mm × 4.0mm × 2.1mm, AEC-Q200	Cyntec	VCHA042A-1R0M
		1μH, 9.6mΩ, 14.7A, 5.3mm × 5.1mm × 3.0mm, AEC-Q200	TDK	SPM5030VT-1R0M-D
		1μH, 12mΩ, 11.6A, 4.1mm × 4.1mm × 3.1mm, AEC-Q200	Würth Elektronik	74438357010
U ₁	1	LM63460-Q1 同期整流降圧コンバータ, AEC-Q100	テキサス・インスツルメンツ	LM63460AASQRYFRQ1

(1) 「サードパーティー製品に関する免責事項」をご覧ください。

一般的に、LM63460-Q1 コンバータは、幅広い外付け部品とシステム パラメータで動作するように設計されています。しかし統合ループ補償は、特定の範囲の降圧インダクタンスおよび出力容量に対して最適化されています。出発点として、表 8-3 にはいくつかの一般的なアプリケーション構成に対する代表的な部品の値が示されています。

表 8-3. 外付け部品の代表的な値

f_{sw} (kHz)	V _{OUT} (V)	L _O (μH)	C _{OUT-EFF(min)} (μF)	代表的な C _{OUT} 部品 (1210, X7R)	R _{FBT} (kΩ)	R _{FBB} (kΩ)	C _{FF} (pF)	R _{FF} (kΩ)
2100	3.3	0.68	50	3 × 47μF, 6.3V または 4 × 22μF, 16V	100	43.2	10	1
2100	5	0.76	30	2 × 47μF, 10V または 3 × 22μF, 16V	100	24.9	10	1
400	1.8	2.2	120	3 × 100μF, 4V	80.6	100	22	1
400	3.3	3.3	70	3 × 47μF, 6.3V または 5 × 22μF, 16V	100	43.2	15	1
400	5	4.7	50	3 × 47μF, 10V または 4 × 22μF, 16V	100	24.9	15	1

表 8-3. 外付け部品の代表的な値 (続き)

f_{sw} (kHz)	V_{OUT} (V)	L_O (μ H)	$C_{OUT-EFF(min)}$ (μ F)	代表的な C_{OUT} 部品 (1210, X7R)	R_{FBT} (k Ω)	R_{FBB} (k Ω)	C_{FF} (pF)	R_{FF} (k Ω)
400	12	6.8	20	$3 \times 22\mu$ F, 25V	100	9.09	4.7	1

表 8-3 に記載されている最小出力容量は、DC バイアス電圧および温度に対してディレーティングされたセラミック コンデンサの実効値を表していることに留意してください。

8.2.2 設計 2 - 車載用同期整流 4A 降圧レギュレータ、2.1MHz

図 8-2 は、出力電圧 5V、定格負荷電流 4A の同期整流降圧レギュレータの回路図を示しています。この例では、5V ~ 36V の範囲内の公称入力電圧 13.5V に基づき、半負荷効率と全負荷効率のターゲットはそれぞれ、94.25% と 94% です。スイッチング周波数は、6.04k Ω の抵抗 R_{RT} により 2.1MHz に設定されます。BIAS 入力を 5V 出力に接続することにより、IC バイアス電力の損失を低減し、効率を向上させます。

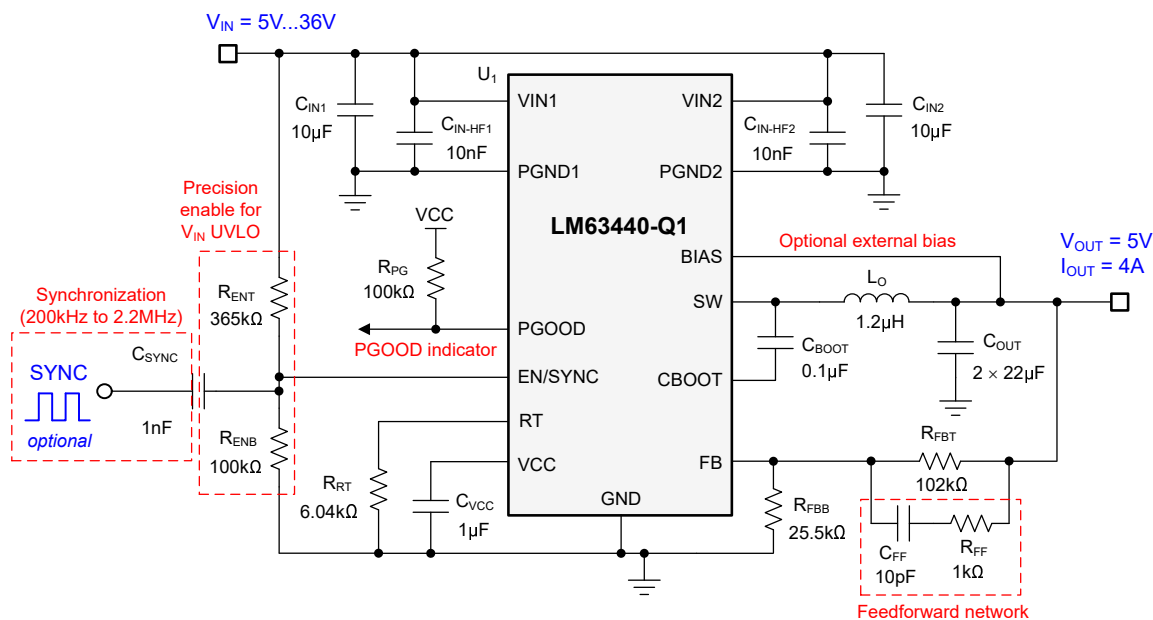


図 8-2. アプリケーション回路 2 - 5V、4A、2.1MHz

注

このアプリケーション例では、いくつかの異なる実装シナリオで LM63440-Q1 降圧コンバータを紹介します。入力電源バスのソース インピーダンスによっては、特に低入力電圧と高出力電流の動作条件における安定性を確保するために、入力に電解コンデンサが必要になることがあります。詳細については、「[電源に関する推奨事項](#)」セクションを参照してください。

8.2.2.1 設計要件

このアプリケーション例の意図した入力、出力、性能のパラメータを、以下の表に示します。入力電圧が 5V まで低下し、出力電圧が 5V の設定ポイントをわずかに下回ると、コンバータはコールド クランク中にドロップアウトで動作します。

表 8-4. 設計パラメータ

設計パラメータ	値
入力電圧範囲 (一定の f_{sw} について)	6V ~ 18V
最小過渡入力電圧、コールド クランク	5V
最大過渡入力電圧、負荷ダンブ	36V
出力電圧と全負荷電流	5 V、4 A

表 8-4. 設計パラメータ (続き)

設計パラメータ	値
スイッチング周波数	2.1MHz
出力電圧レギュレーション	±1%
IC 入力電流、無負荷	10µA 未満
IC シャットダウン電流	1µA 未満

次の表には、選択した降圧コンバータの電力段部品と、複数のベンダの在庫状況が示されています。この設計には、低 DCR のインダクタと、全セラミックの出力コンデンサが実装されています。

表 8-5. アプリケーション回路 2 の部品表

参照記号	数量	仕様	メーカー ⁽¹⁾	部品番号
C _{IN}	2	10µF、50V、X7R、1206、セラミック、AEC-Q200	Samsung	CL31Y106KBKVPNE
			TDK	CGA5L1X7R1H106K
		10µF、50V、X7S、1210、セラミック、AEC-Q200	Murata (村田製作所)	GCM32EC71H106KA03
			TDK	CGA6P3X7S1H106M
C _{OUT}	1	47µF、10V、X7S、1210、セラミック、AEC-Q200	Murata (村田製作所)	GCM32EC71A476KE02
			TDK	CGA6P1X7S1A476M
	2	22µF、16V、X7S、1206、セラミック、AEC-Q200	Murata (村田製作所)	GCM31CC71C226ME36
L _O	1	1.2µH、8.7mΩ、8.2A、4.0mm × 4.0mm × 2.5mm、AEC-Q200	Coilcraft	XGL4025-122MEC
		1.5µH、13.4mΩ、6.2A、4.2mm × 4.0mm × 2.1mm、AEC-Q200	Cyntec	VCHA042A-1R5MS62M
		1.5µH、14.1mΩ、12.7A、5.3mm × 5.1mm × 3.0mm、AEC-Q200	TDK	SPM5030VT-1R5M-D
		1.2µH、13.4mΩ、11.6A、4.1mm × 4.1mm × 3.1mm、AEC-Q200	Würth Elektronik	74438357012
U ₁	1	LM63440-Q1 同期整流降圧コンバータ、AEC-Q100	テキサス・インスツルメンツ	LM63440AASQRYFRQ1

(1) 「サードパーティ製品に関する免責事項」をご覧ください。

一般的に、LM63440-Q1 コンバータは、幅広い外付け部品とシステム パラメータで動作するように設計されています。しかし統合ループ補償は、特定の範囲の降圧インダクタンスおよび出力容量に対して最適化されています。出発点として、次の表にはいくつかの一般的なアプリケーション構成に対する代表的な部品の値が示されています。

表 8-6. 外付け部品の代表的な値

f _{SW} (kHz)	V _{OUT} (V)	L _O (µH)	C _{OUT-EFF(min)} (µF)	代表的な C _{OUT} 部品 (1210)	R _{FBT} (kΩ)	R _{FBB} (kΩ)	C _{FF} (pF)	R _{FF} (kΩ)
2100	3.3	0.68	30	2 × 22µF、10V (X7R) または 1 × 47µF、10V (X7S)	100	43.2	10	1
2100	5	0.82	20	1 × 47µF、10V (X7S)	100	24.9	10	1
400	1.8	3.3	150	4 × 100µF、4V (X7R)	80.6	100	47	1
400	3.3	4.7	75	2 × 47µF、10V (X7S) または 4 × 22µF、10V (X7R)	100	43.2	33	1
400	5	6.8	40	2 × 47µF、10V (X7S) または 3 × 22µF、16V (X7S)	100	24.9	22	1
400	12	8.2	20	2 × 22µF、25V (X7S)	100	9.09	15	1

表 8-6 に記載されている最小出力容量は、DC バイアス電圧および温度に対してディレーティングされたセラミック コンデンサの実効値を表していることに留意してください。

8.2.2.2 詳細な設計手順

以下の設計手順は、図 8-1 または図 8-2 の回路図に適用されます。

8.2.2.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH® Power Designer により、LM63440-Q1 または LM63460-Q1 コンバータを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電氣的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握します。
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力します。
- 設計のレポートを PDF で印刷し、同僚と設計を共有する。

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2.2.2.2 出力電圧の設定

LM63440-Q1 または LM63460-Q1 は、帰還分圧回路を使用して出力電圧を設定します。分圧回路は、それぞれ R_{FBT} および R_{FBB} と呼ばれる上側と下側の帰還抵抗で構成されています。帰還分圧器の抵抗値は、ノイズの過剰な混入と静止電流の消費との折り合いを付けることで決定します。抵抗値を小さくすると、ノイズの感度は小さくなりますが、軽負荷効率にも影響します。 R_{FBT} の推奨値は 100k Ω (最大値は 1M Ω) です。 R_{FBT} に 1M Ω を選択する場合、フィードフォワードコンデンサを並列に使用し、十分なループ位相マージンを確保します。式 1 を使用して、与えられた R_{FBT} の値に対する R_{FBB} を求めることができます。 R_{FBT} と R_{FBB} の値としてそれぞれ 102k Ω と 25.5k Ω を選択すると、出力電圧が正確に 5V に設定されます。

8.2.2.2.3 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数が低いとスイッチング損失は減少し、システム効率が高くなって、コンバータの消費電力が小さくなります。一方、スイッチング周波数を高くすると、より小型のインダクタとコンデンサを使用できるため、より小型の設計が可能となります。

多くの車載アプリケーションでは、AM ラジオ帯域を厳格に回避する必要があります。このようなアプリケーションは、AM 帯域より高い 2.1MHz、または AM 帯域より低い 400kHz のどちらかで動作する傾向があります。設計サイズを小型化するたる、このアプリケーションの場合 LM63440-Q1 または LM63460-Q1 のスイッチング周波数を 2.1MHz に設定するため、6.04k Ω の抵抗を RT と GND の間に取り付けします。

8.2.2.2.4 インダクタの選択

インダクタを選択するためのパラメータはインダクタンスと飽和電流です。目的のピーク ツー ピークリップル電流が、最大出力電流の 20% ~ 40% の範囲になるように、インダクタを選択します。経験上、固定入力電圧のシステムでは、インダクタのリップル電流の最適値は最大負荷電流の 30% です。12V の車載バッテリーなどの可変入力電圧を使用するシステムでは、25% が一般的に使用されています。

デバイスから利用可能な最大電流よりも最大負荷が小さいアプリケーションのリップル電流を選択する場合でも、依然としてデバイスの最大電流を利用する必要があります。4A デバイスの場合、式 7 を使用してインダクタンスの値を決定します。定数 K は、定格出力電流に対するピークツーピークのインダクタ電流リップルのパーセンテージです。この 5V、4A、2.1MHz の例で K = 0.3 を選択すると、インダクタンスは約 1.2 μ H になります。

$$L_o [\mu H] = \frac{V_{IN} [V] - V_{OUT} [V]}{f_{SW} [MHz] \cdot K \cdot I_{OUT(max)} [A]} \cdot \frac{V_{OUT} [V]}{V_{IN} [V]} = \frac{13.5V - 5V}{2.1MHz \cdot 0.3 \cdot 4A} \cdot \frac{5V}{13.5V} = 1.25\mu H \quad (7)$$

6A デバイスの場合、式 8 を使用してインダクタンスの値を決定します。定数 K は、定格出力電流に対するピークツーピークのインダクタ電流リップルのパーセンテージです。この 5V、6A、2.1MHz の例で K = 0.3 を選択すると、インダクタンスは約 0.8 μ H になります。

$$L_o [\mu H] = \frac{V_{IN} [V] - V_{OUT} [V]}{f_{SW} [MHz] \cdot K \cdot I_{OUT(max)} [A]} \cdot \frac{V_{OUT} [V]}{V_{IN} [V]} = \frac{13.5V - 5V}{2.1MHz \cdot 0.3 \cdot 6A} \cdot \frac{5V}{13.5V} = 0.83\mu H \quad (8)$$

インダクタの飽和電流定格は、ハイサイド スイッチの電流制限値 I_{L-HS} より高くする必要があります (「電氣的特性」を参照)。これらの要件により、出力が過負荷状態時にインダクタの飽和が防止されます。出力短絡状態により LM63440-Q1

または LM63460-Q1 がヒカップ モードに移行しますが、過負荷状態ではヒカップをトリガすることなく出力電流が電流制限値に保持されることがあります。インダクタのコア材が飽和すると、インダクタンスが小さい値に低下して、インダクタ電流が急増する可能性があります。バレー電流制限値 I_{L-LS} は電流の暴走のリスクを減らしますが、インダクタが飽和することで瞬間的に電流値が急増する可能性があります。これにより部品が損傷するおそれがあるため、インダクタを飽和させないようにすることが重要です。

フェライト コア材を採用したインダクタは飽和特性が非常に急峻ですが、コア損失は通常、鉄粉コアよりも小さいです。圧粉コアは穏やかな飽和特性を示すため、インダクタの電流定格をある程度緩和できます。ただし、鉄粉コアは一般的に 1MHz を超える周波数でコア損失が大きくなります。

分数調波発振を防止するため、インダクタンス値が式 9 で与えられる値よりも小さくならないようにする必要があります。最大インダクタンスは、電流モード制御を正しく行うために必要な最小電流リップルによって制限されます。目安として、インダクタの最小リップル電流は、公称条件でのコンバータの最大定格電流の約 10% 以上とする必要があります。

$$L_O [\mu H] \geq 0.32 \cdot \frac{V_{OUT} [V]}{f_{SW} [MHz]} \quad (9)$$

式 9 では、ドロップアウトに近い入力電圧、またはドロップアウトに入った入力電圧でこの設計が動作するものと仮定しています。特定の設計の最小入力電圧が、デューティ サイクルを 40% 未満に制限するため十分に高い場合は、代わりに式 10 を使用します。

$$L_O [\mu H] \geq 0.2 \cdot \frac{V_{OUT} [V]}{f_{SW} [MHz]} \quad (10)$$

8.2.2.2.5 出力コンデンサの選択

出力コンデンサの値、および ESR により、出力電圧リップルと負荷過渡性能が決まります。出力コンデンサは通常、出力電圧リップルではなく負荷過渡および安定性の要件によって決定されます。LM63440-Q1 の場合は表 8-7 を、LM63460-Q1 の場合は表 8-8 を使用して、いくつかの一般的なアプリケーションについて、出力容量と C_{FF} フィードフォワード容量の値を選択します。1k Ω の R_{FF} を C_{FF} と直列に接続することで、ノイズ性能をさらに高めることができます。

表 8-7. LM63440-Q1 の出力コンデンサと C_{FF} の推奨値

構成	3.3V OUTPUT		5V OUTPUT	
	C_{OUT}	C_{FF}	C_{OUT}	C_{FF}
2.1MHz - セラミック	3 × 22 μ F, 16V セラミック	10pF	2 × 47 μ F, 10V セラミック	10pF
2.1MHz - 代替製品	2 × 22 μ F, 16V セラミック + 47 μ F, 10m Ω 電解	–	2 × 47 μ F, 10V セラミック + 47 μ F, 10m Ω 電解	–
400kHz - セラミック	4 × 22 μ F, 16V セラミック	33pF	2 × 47 μ F, 10V セラミック	22pF
400kHz - 代替製品	1 × 22 μ F, 16V セラミック + 100 μ F, 10m Ω 電解	15pF	1 × 47 μ F, 10V セラミック + 47 μ F, 10m Ω 電解	10pF

表 8-8. LM63460-Q1 の出力コンデンサと C_{FF} の推奨値

構成	3.3V OUTPUT		5V OUTPUT	
	C_{OUT}	C_{FF}	C_{OUT}	C_{FF}
2.1MHz - セラミック	4 × 22 μ F, 16V セラミック	10pF	2 × 47 μ F, 10V セラミック	10pF
2.1MHz - 代替製品	2 × 22 μ F, 16V セラミック + 100 μ F, 10m Ω 電解	–	2 × 47 μ F, 10V セラミック + 100 μ F, 10m Ω 電解	–
400kHz - セラミック	5 × 22 μ F, 16V セラミック	15pF	3 × 47 μ F, 10V セラミック	15pF
400kHz - 代替製品	2 × 22 μ F, 16V セラミック + 100 μ F, 10m Ω 電解	–	1 × 47 μ F, 10V セラミック + 100 μ F, 10m Ω 電解	–

注

ほとんどのセラミック コンデンサの実効的な容量は、表示されたそのコンデンサの定格値よりも小さい値です。選択したコンデンサの初期精度、温度ディレーティング、そして特に電圧ディレーティングを必ず確認してください。表 8-7 と表 8-8 は、X7R 誘電体コンデンサの代表的なディレーティングを想定しています。より低い電圧、より低い温度の定格のコンデンサを使う場合、表に記載されているコンデンサよりも大きいコンデンサが必要になる可能性があります。

さらに便利な方法として、式 11 で特定のアプリケーションに必要な実効セラミック容量を計算できます。

$$C_{OUT} [\mu F] \approx \frac{14000}{F_C [\text{kHz}] \cdot V_{OUT} [V]} \quad (11)$$

ここで、 F_C は目的のループ クロスオーバー周波数 (単位: kHz) で、スイッチング周波数の 10% ~ 15%、最大 100kHz に設定できます。

この例では、過渡性能を改善する必要があり、出力容量として 2 個の 47μF、10V、X7R セラミック、 C_{FF} に 10pF が必要です。代替構成として、低 ESR の電解コンデンサを、小さなセラミックの容量と並列に使用できます。

8.2.2.2.6 入力コンデンサの選択

入力コンデンサは、スイッチング周波数の AC 電流により、コンバータへの入力リップル電圧を制限する必要があります。テキサス・インスツルメンツは、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現するセラミック コンデンサの使用を推奨しています。式 12 に、入力コンデンサの RMS 電流を示します。ここで、 $D = V_{OUT}/V_{IN}$ はコンバータのデューティ サイクルです。入力コンデンサの RMS 電流の最大値は $D = 0.5$ のときに発生します。この時点で、コンデンサの RMS 電流定格は出力電流の半分を超えています。

$$I_{CIN,rms} = \sqrt{D \cdot \left(I_{OUT}^2 \cdot (1-D) + \frac{\Delta I_L^2}{12} \right)} \quad (12)$$

理想的には、降圧段への入力電流の DC 成分と AC 成分は、それぞれ入力電圧源と入力コンデンサによって供給されます。インダクタリップル電流を無視すると、入力コンデンサは、D 間隔の間に振幅 ($I_{OUT} - I_{IN}$) の電流をソースし、 $1 - D$ 間隔の間に I_{IN} をシンクします。そのため、入力コンデンサは、出力電流に等しいピーク ツー ピーク振幅の方形波電流を導通します。この結果、AC リップル電圧の合成容量成分は三角波になります。ESR 関連のリップル成分だけでなく、式 13 にピーク ツー ピークリップル電圧の振幅を示します。

$$\Delta V_{IN} = \frac{I_{OUT} \cdot D \cdot (1-D)}{F_{SW} \cdot C_{IN}} + I_{OUT} \cdot R_{ESR} \quad (13)$$

式 14 に、特定の負荷電流に必要な入力容量を示します。

$$C_{IN} \geq \frac{D \cdot (1-D) \cdot I_{OUT}}{F_{SW} \cdot (\Delta V_{IN} - R_{ESR} \cdot I_{OUT})} \quad (14)$$

ここで、

- ΔV_{IN} は、入力電圧リップルの仕様です。

LM63440-Q1 と LM63460-Q1 の Enhanced HotRod QFN パッケージは、パッケージの両側に 2 つの入力電圧ピンと 2 つの電源グランド ピンを備えています。これにより、入力コンデンサを分割して、内部パワー MOSFET に対して最適に配置することができ、入力のバイパスの効果を高めることができます。コンバータには、4.7μF のセラミック入力コンデンサが 2 個以上必要です。X7R または X7S 誘電体の使用と、占有面積は 1206 または 1210 を推奨します。この例では、コ

ンバータに隣接する対称的なレイアウトに、10 μ F、50V のセラミック コンデンサを 2 個配置します。各入力からグランド ピン ペアに 1 個ずつ、[VIN1, PGND1] と [VIN2, PGND2] です。

CISPR 25 Class 5 (150kHz ~ 108MHz の周波数範囲全体にわたって EMI を制限) などの伝導型 EMI 仕様を満たすよう、車載アプリケーション向けに追加コンデンサを取り付けます。たとえば、入力からグランドへの各ピン ペアに、コンバータに隣接して、10nF、0402 のセラミック コンデンサを配置します。これらのコンデンサは、スイッチング ループ内の寄生インダクタンスを最小限に抑え、スイッチ ノード電圧のオーバーシュートとリンギングを抑制し、高周波 EMI を低減できます。図 8-1 または図 8-2 で C_{IN-HF1} および C_{IN-HF2} として指定されている 2 つの 10nF コンデンサは、X7R 以上の誘電体を使用した 50V 定格とする必要があります。

セクション 8.3 で説明したように、入力にセラミックと並列に中 ESR の電解バルク コンデンサ (68 μ F ~ 100 μ F) を使用すると、低周波数のフィルタリングと並列ダンピングを実現し、低 ESR、高 Q のセラミック入力コンデンサでの入力寄生インダクタンスの共振の影響を緩和できます。これは、長い配線またはパターンを使って入力電源をコンバータに接続する場合に特に当てはまります。

8.2.2.2.7 ブートストラップ コンデンサ

LM63440-Q1 および LM63460-Q1 では、CBOOT と SW ピンの間にブートストラップ コンデンサを接続する必要があります。このコンデンサは、内蔵ハイサイド パワー MOSFET のゲートドライバに電力を供給するために使用されるエネルギーを蓄積します。10V 以上の定格を持つ 100nF の X7R 誘電体セラミック コンデンサを使用します。

8.2.2.2.8 VCC コンデンサ

VCC ピンは、コンバータの制御回路に電力を供給するために使用される内部 LDO サプレギュレータの出力です。正しい動作のため、VCC と AGND との間に 1 μ F、16V のセラミック コンデンサを接続します。通常、いかなる外部回路によっても、VCC に負荷をかけることは避けます。ただし、VCC は PGOOD インジケータのプルアップ電源として使用できます。この場合、100k Ω のプルアップ抵抗が適しています。 $V_{EN-WAKE} < V_{EN} < V_{EN-TH}$ の場合、VCC は High に維持されることに留意してください。VCC の公称電圧は 3.3V です。VCC をグランドに短絡したり、外部電圧に接続したりしないでください。

8.2.2.2.9 BIAS 電源の接続

この設計では出力電圧が 5V であるため、VCC LDO の電力損失を低減するために BIAS ピンを V_{OUT} に接続します。入力電圧の代わりに、出力電圧が LDO 電流を供給するようになります。節約される電力は $I_{VCC} \times (V_{IN} - V_{OUT})$ です。 V_{IN} が V_{OUT} よりはるかに高く、高い周波数で動作する場合、より多くの電力を節約できます。出力電圧ノイズと過渡が BIAS と結合することを防止するため、 V_{OUT} と BIAS の間に 1 Ω ~ 10 Ω の直列抵抗を追加します。また、ノイズをフィルタリングするため、BIAS ピンの近くに 1 μ F 以上の値のバイパス コンデンサを追加します。BIAS ピンの最大許容電圧は 16V であることに留意してください。

8.2.2.2.10 フィードフォワード ネットワーク

低 ESR の出力コンデンサを使用するコンバータ回路の位相マージンと過渡応答を改善するため、フィードフォワード コンデンサ C_{FF} を使用します。このコンデンサは、回路の出力から IC の FB ノードに直接ノイズを導く可能性があるため、図 8-1 または図 8-2 で R_{FF} に指定されている 1k Ω の抵抗を C_{FF} と直列に接続します。出力コンデンサの ESR ゼロが 200kHz 未満なら、フィードフォワード ネットワーク部品は必要ありません。

出力電圧が 2.5V 未満の場合はコンデンサ C_{FF} の影響がほとんどないため、 C_{FF} は省略できます。出力電圧の設定点が 14V を超える場合、 C_{FF} は高い周波数でゲインが大きくなりすぎるため、 C_{FF} を使用しないでください。LM63440-Q1 または LM63460-Q1 クイックスタート カリキュレータを使用して、出力容量とフィードフォワード容量の与えられた組み合わせに対するボード線図の性能を確認します。

8.2.2.2.11 入力電圧 UVLO

場合によっては、デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要なことがあります。図 8-1 または図 8-2 に示す回路に基づいて、 $V_{IN(on)}$ と $V_{IN(off)}$ は、コンバータがそれぞれオン / オフする入力電圧スレッショルドを指定します。最初に、10k Ω ~ 100k Ω の範囲で小さな抵抗 R_{ENB} の値を選択します。次に、式 15 を使用して、目標の入力電圧ターンオン スレッショルド 5.9V に基づく上側抵抗 R_{ENT} を計算します。

$$R_{\text{ENT}} [\text{k}\Omega] = R_{\text{ENB}} [\text{k}\Omega] \cdot \left(\frac{V_{\text{IN(on)}} [\text{V}]}{V_{\text{EN-TH}} [\text{V}]} - 1 \right) = 100\text{k}\Omega \cdot \left(\frac{5.9\text{V}}{1.263\text{V}} - 1 \right) = 367\text{k}\Omega \quad (15)$$

365kΩ と 100kΩ の上側抵抗と下側抵抗を選択すると、入力電圧のターンオンおよびターンオフスレッシュホールドはそれぞれ 5.87V と 4.23V になります。

8.2.2.3 アプリケーション曲線

特に記述のない限り、 $V_{IN} = 13.5V$ 、 $V_{OUT} = 5V$ 、 $I_{OUT} = 6A$ 、 $f_{SW} = 2.1MHz$ 、自動モード、 $T_A = 25^\circ C$ です。表 8-2 に記載されている関連 BOM 部品を含む回路図を、図 8-1 に示します。

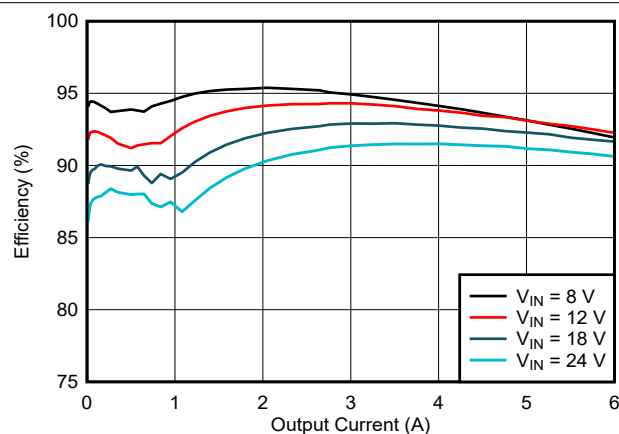


図 8-3. LM634x0-Q1 の効率

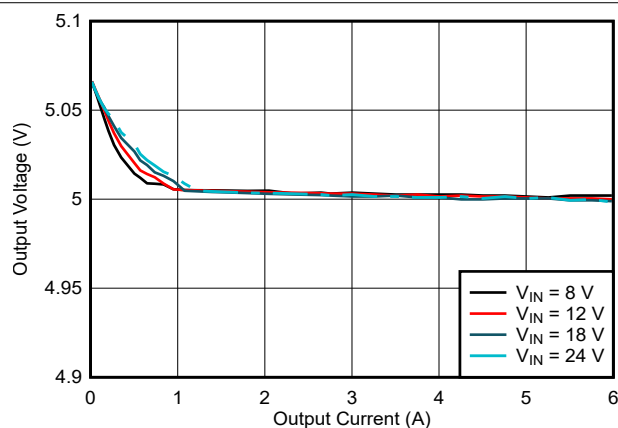


図 8-4. LM634x0-Q1 の負荷およびライン レギュレーション

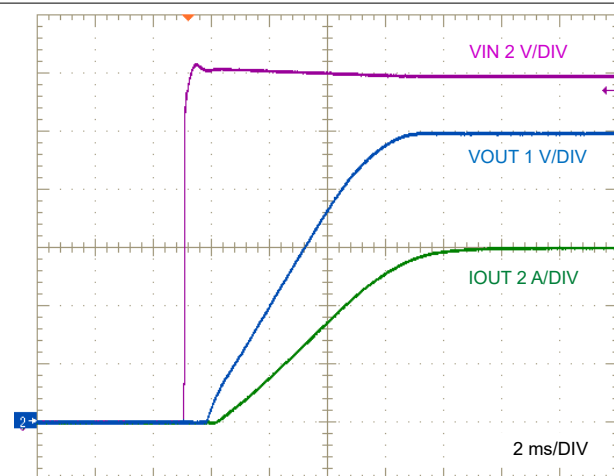


図 8-5. LM634x0-Q1 の起動
、6A の抵抗性負荷

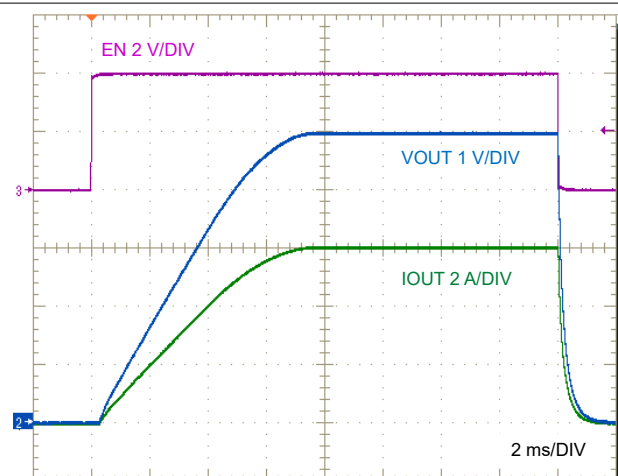


図 8-6. LM634x0-Q1 イネーブルのオン / オフ、
6A の抵抗性負荷

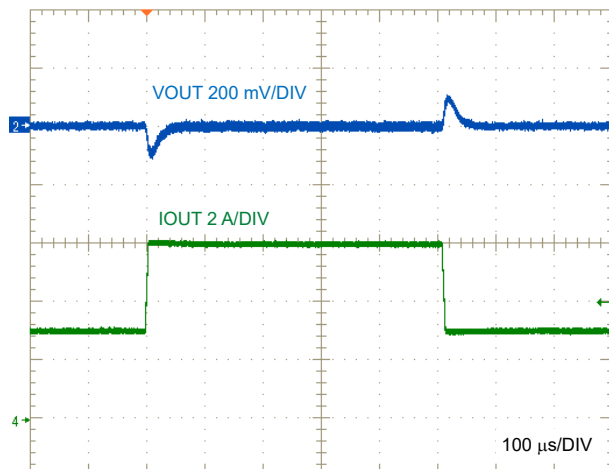


図 8-7. LM634x0-Q1 の負荷過渡、
 $I_{OUT} = 3A \sim 6A$

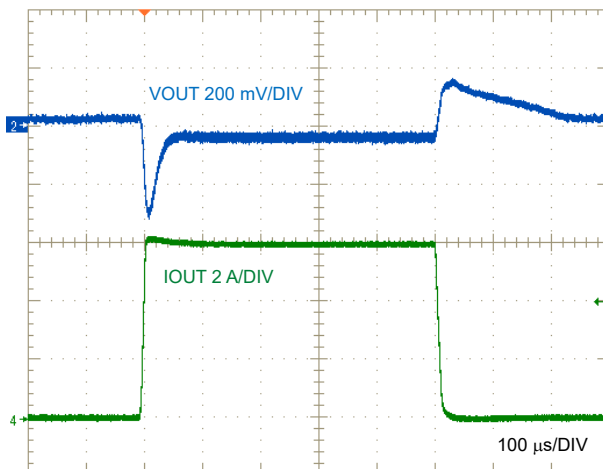


図 8-8. LM634x0-Q1 の負荷過渡、
 $I_{OUT} = 0A \sim 6A$

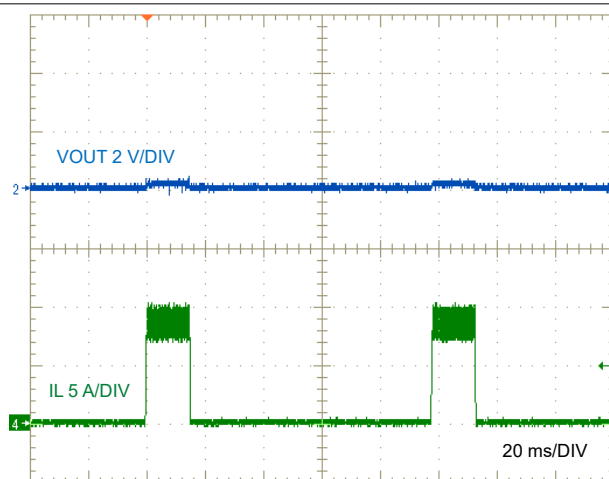


図 8-9. LM634x0-Q1 の短絡ヒカッ

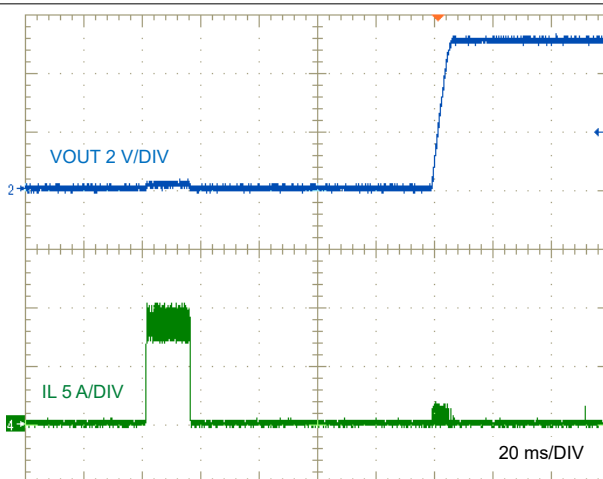


図 8-10. LM634x0-Q1 の短絡から無負荷への回復

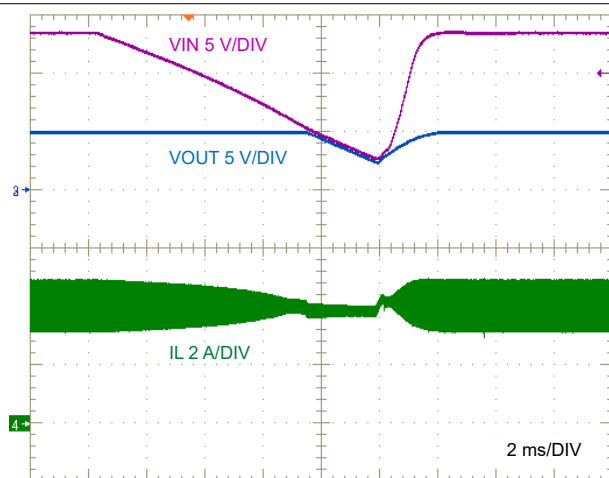


図 8-11. LM634x0-Q1 のライン過渡とドロップアウト
からの回復

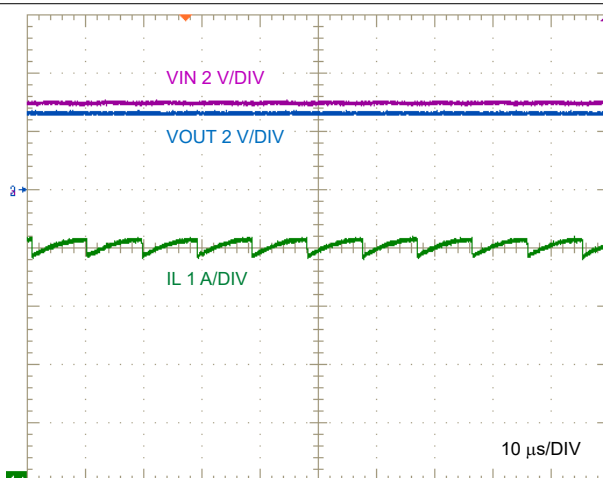
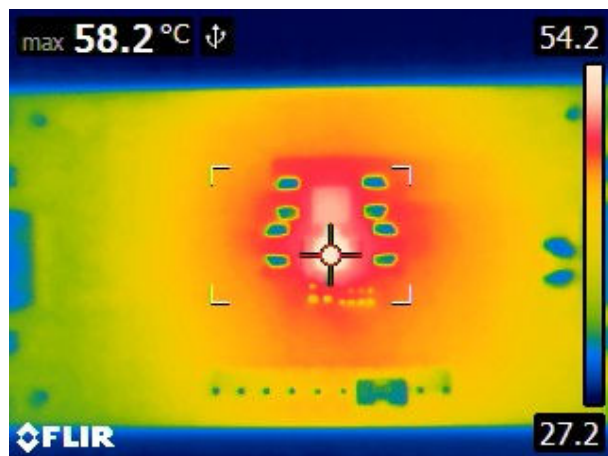
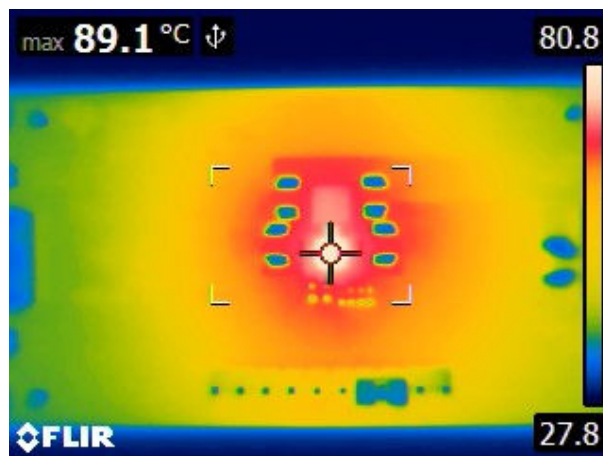


図 8-12. ドロップアウト時の LM634x0-Q1 の周波数フ
ォールドバック、 $V_{IN} = 3V$



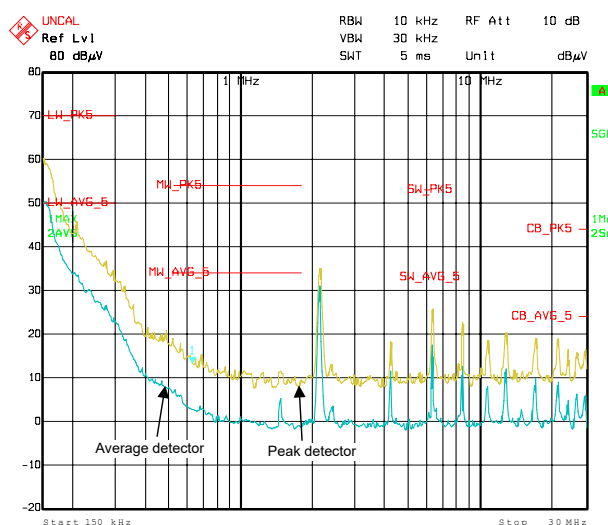
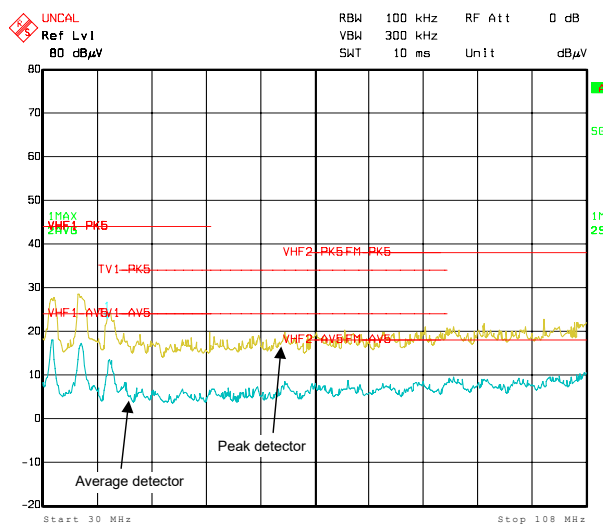
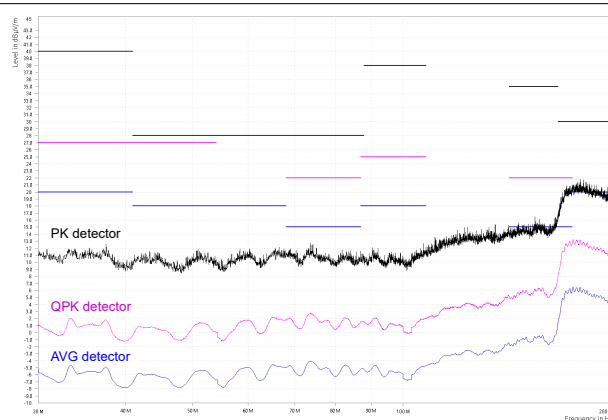
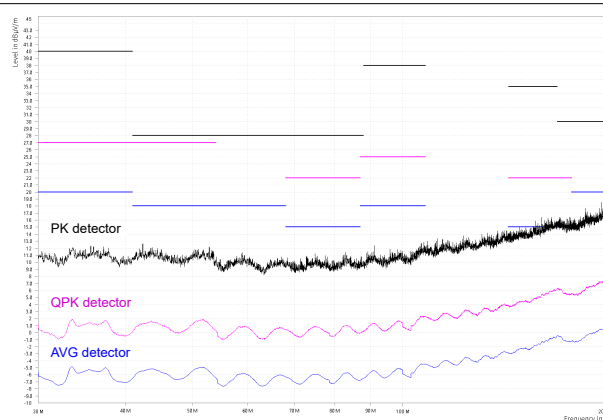
76mm × 38mm、4 層 PCB

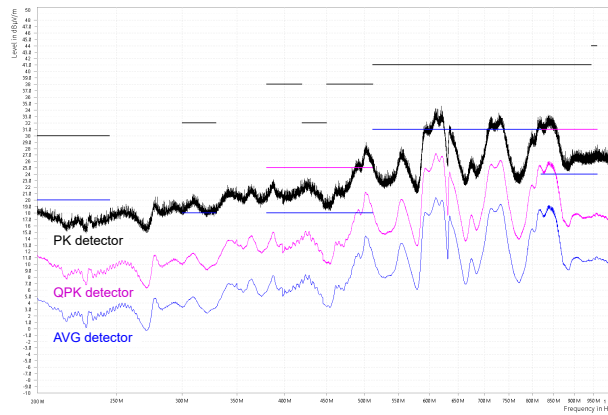
図 8-13. 放熱性能 (4A 負荷)



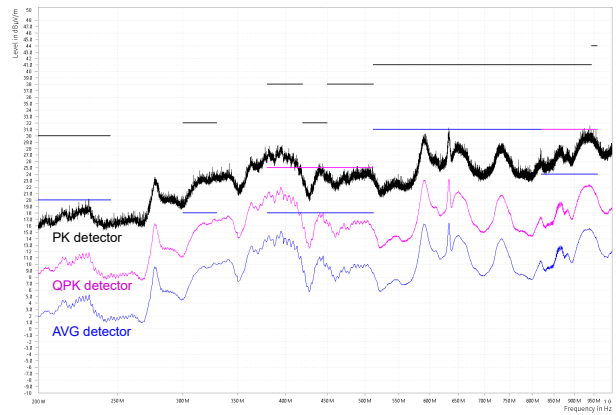
76mm × 38mm、4 層 PCB

図 8-14. 放熱性能 (6A 負荷)

図 8-15. CISPR 25 Class 5 伝導 EMI、
150kHz ~ 30MHz図 8-16. CISPR 25 Class 5 伝導 EMI、
30MHz ~ 108MHz図 8-17. CISPR 25 Class 5 放射 EMI、
バイコニカル アンテナ、水平偏波、
30MHz ~ 200MHz図 8-18. CISPR 25 Class 5 放射 EMI、
バイコニカル アンテナ、垂直偏波、
30MHz ~ 200MHz



**図 8-19. CISPR 25 Class 5 放射 EMI、
ログ アンテナ、水平偏波、
200MHz ~ 1GHz**



**図 8-20. CISPR 25 Class 5 放射 EMI、
ログ アンテナ、垂直偏波、
200MHz ~ 1GHz**

8.2.3 設計 3 - 車載用同期整流 6A 降圧レギュレータ、400kHz

図 8-21 は、出力電圧 3.3V、定格負荷電流 6A の同期整流降圧レギュレータの回路図を示しています。33.2kΩ の抵抗 RT により、スイッチング周波数が 400kHz に設定されます。

この例では、4V ~ 36V の範囲内の公称入力電圧 12V に基づき、半負荷効率と全負荷効率のターゲットはそれぞれ、94.5% と 91.5% です。スイッチング周波数は、400kHz に設定されています。BIAS 入力を 3.3V 出力に接続することにより、IC バイアス電力の損失を低減し、効率を向上させます。

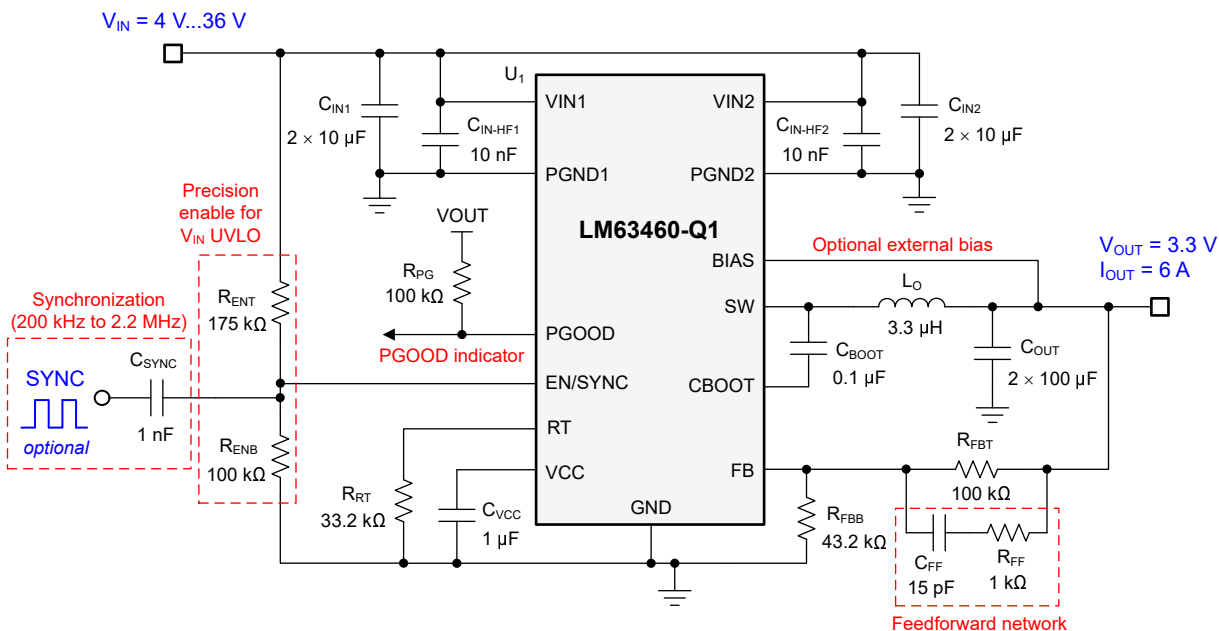


図 8-21. アプリケーション回路 3 - 3.3V、6A、400kHz

注

入力電源バスのソース インピーダンスによっては、特に低入力電圧と高出力電流の動作条件における安定性を確保するために、入力に電解コンデンサが必要になることがあります。詳細については、「[電源に関する推奨事項](#)」セクションを参照してください。

8.2.3.1 設計要件

このアプリケーション例の入力、出力、性能のパラメータを、表 8-9 に示します。コールド クランク動作中、入力電圧が 4V まで低下した場合、コンバータはドロップアウト付近で動作しますが、出力電圧は 3.3V の設定ポイントに維持されることに留意してください。

表 8-9. 設計パラメータ

設計パラメータ	値
入力電圧範囲、定常状態	4V ~ 36V
最大過渡入力電圧、負荷ダンブ	42V
出力電圧と全負荷電流	3.3V、6A
スイッチング周波数	400kHz
出力電圧レギュレーション	±1%
IC 入力電流、無負荷	10µA 未満
IC シャットダウン電流	1µA 未満

表 8-10 には、選択した降圧コンバータの電力段部品と、複数のベンダの在庫状況が示されています。この設計には、低 DCR のインダクタと、全セラミックの出力コンデンサが実装されています。

表 8-10. アプリケーション回路 3 の部品表

参照記号	数量	仕様	メーカー (1)	部品番号
C _{IN}	4	10μF、50V、X7R、1210、セラミック、AEC-Q200	AVX	12105C106K4T2A
			TDK	CNA6P1X7R1H106K
		10μF、50V、X7S、1210、セラミック、AEC-Q200	Murata (村田製作所)	GCM32EC71H106KA03
			TDK	CGA6P3X7S1H106M
C _{OUT}	2	100μF、6.3V、X7S、1210、セラミック、AEC-Q200	Murata (村田製作所)	GRT32EC70J107ME13
	3	47μF、6.3V、X7R、1210、セラミック、AEC-Q200	Murata (村田製作所)	GCM32ER70J476KE19L
			Taiyo Yuden	JMK325B7476KMHTR
L _O	1	3.3μH、13.3mΩ、8.4A、5.0mm × 5.0mm × 3.1mm、AEC-Q200	Coilcraft	XGL5030-332MEC
		3.3μH、10mΩ、8.6A、5.5mm × 5.3mm × 5.1mm、AEC-Q200	Coilcraft	XGL5050-332MEC
		3.3μH、22.5mΩ、8.3A、6.9mm × 6.8mm × 2.8mm、AEC-Q200	Cyntec	VCMT063T-3R3MN5TM
		3.3μH、19mΩ、16.6A、7.3mm × 6.6mm × 4.8mm、AEC-Q200	Würth Elektronik	74437349033
		3.3μH、17.1mΩ、7.6A、7.0mm × 6.5mm × 4.5mm、AEC-Q200	TDK	SPM6545VT-3R3M-D
U ₁	1	LM63460-Q1 同期整流降圧コンバータ、AEC-Q100	自動	LM63460AASQRYFRQ1
			FPWM	LM63460AFSQRVFRQ1

(1) 「セクション 9.1.1」を参照してください。

8.2.3.2 詳細な設計手順

この 400kHz 設計の部品選択の詳細については、セクション 8.2.2.2 を参照してください。

8.2.3.3 アプリケーション曲線

特に記述のない限り、 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、 $I_{OUT} = 6A$ 、 $f_{SW} = 400kHz$ 、自動モード、 $T_A = 25^\circ C$ です。表 8-10 に記載されている関連 BOM 部品を含む回路図を、図 8-21 に示します。

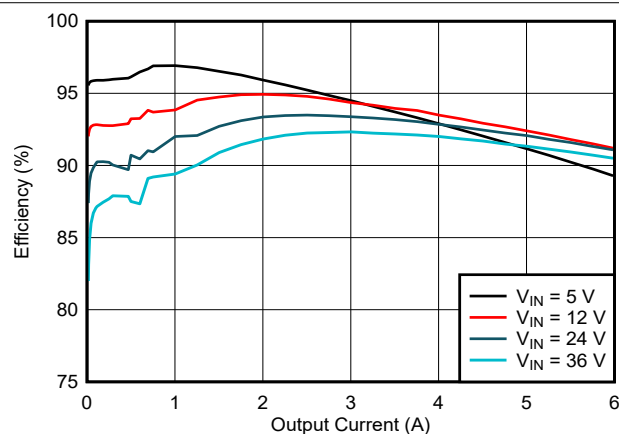


図 8-22. LM634x0-Q1 の効率

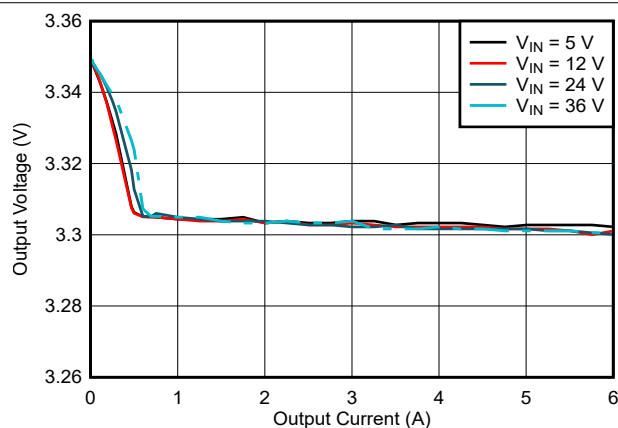


図 8-23. LM634x0-Q1 の負荷およびラインレギュレーション

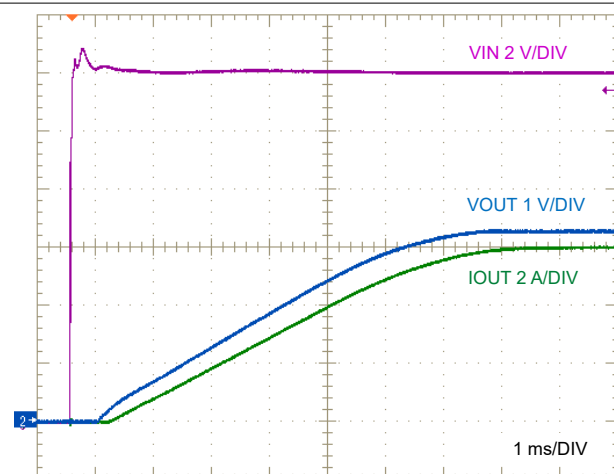


図 8-24. LM634x0-Q1 の起動、6A の抵抗性負荷

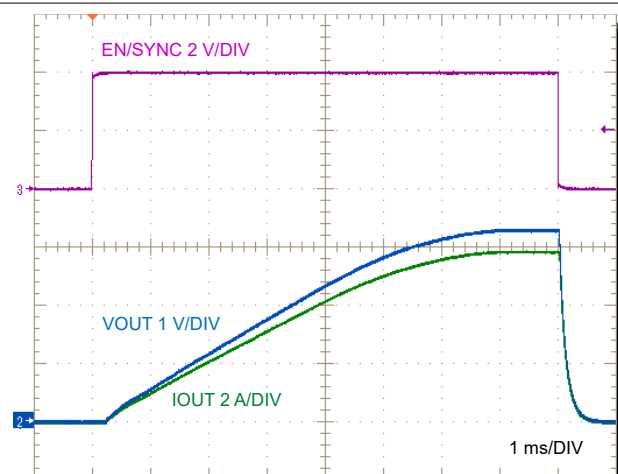


図 8-25. LM634x0-Q1 イネーブルのオン / オフ、6A の抵抗性負荷

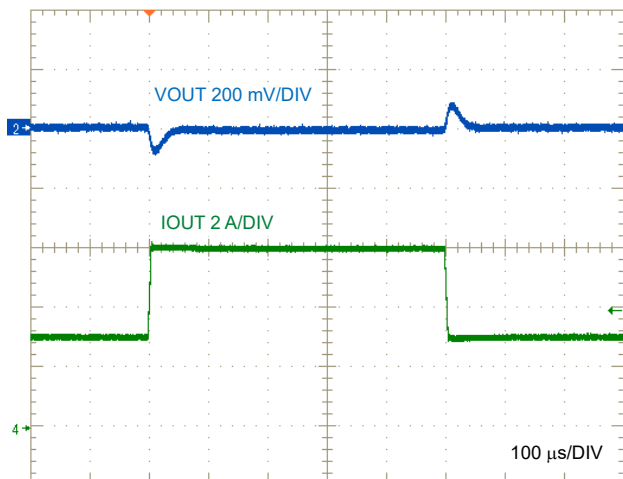


図 8-26. LM634x0-Q1 の負荷過渡、
 $I_{OUT} = 3A \sim 6A$

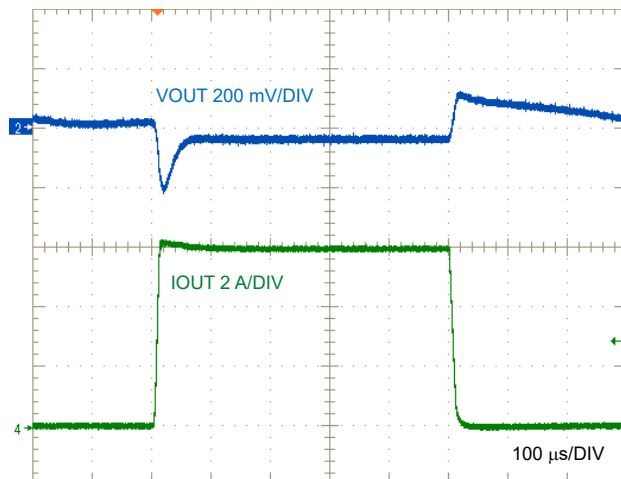


図 8-27. LM634x0-Q1 の負荷過渡、
 $I_{OUT} = 0A \sim 6A$

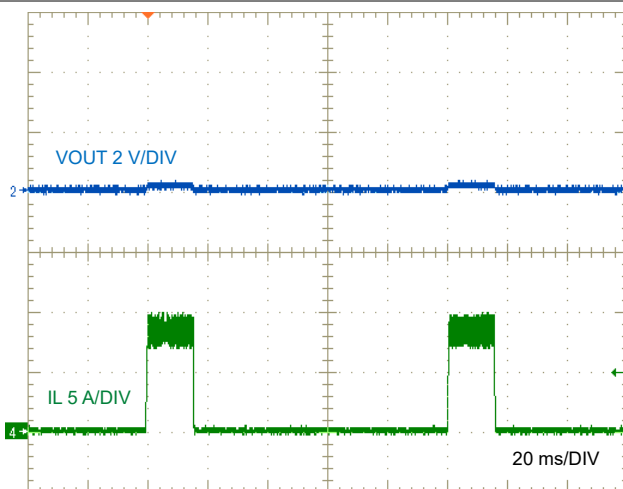


図 8-28. LM634x0-Q1 の短絡ヒカッ

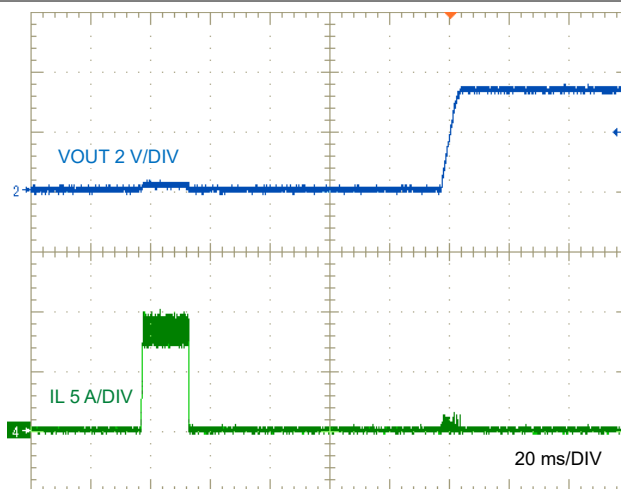


図 8-29. LM634x0-Q1 の短絡
から無負荷への回復

8.3 電源に関する推奨事項

入力電源の特性は、このデータシートの**絶対最大定格**と**推奨動作条件**に適合していなければなりません。また、入力電源は、負荷時のコンバータに必要な入力電流を供給できる必要があります。**式 16** を使用して平均入力電流を推定します。

$$I_{IN} = \frac{V_{OUT} \cdot I_{OUT}}{V_{IN} \cdot \eta} \quad (16)$$

ここで、

- η は効率です。

コンバータが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR のセラミック入力コンデンサの組み合わせにより、低減衰の共振回路が形成され、入力電源のオン / オフが繰り返されるたびに不安定または電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。コンバータが最小入力電圧に近い値で動作している場合、この低下によって UVLO が誤ってトリガされ、システムがリセットされる可能性があります。

こうした問題を解決する最善策は、入力電源からコンバータまでの距離を短くして、電解入力コンデンサをセラミックと並列に使用することです。中程度の ESR を持つ電解コンデンサは、入力共振回路の振動を減衰させ、入力のすべてのオーバーシュートまたはアンダーシュートを低減するのに役立ちます。通常、入力並列ダンピングには 47 μ F ~ 100 μ F の静電容量で十分であり、大きな負荷トランジェント(負荷過渡)のときも入力電圧を安定した状態に保持に寄与します。ESR が 0.1 Ω ~ 0.4 Ω であれば、ほとんどの入力回路構成で十分な減衰を実現します。

入力電圧が突発的に出力電圧を下回らないようにします。このような状況、たとえば短絡入力テストのときには、出力コンデンサは内部のハイサイド パワー MOSFET のボディ ダイオードを通して放電されます。この状況での電流は実質的に制御不能で、デバイスが損傷する可能性があります。このシナリオが想定される場合は、出力と入力電源との間にショットキー バイパス ダイオードを接続します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

信頼性の高いデバイス動作と設計の堅牢性を実現するために、大電流、高速の(大電流で電圧スルーレートが大きい)スイッチング コンバータ回路では、適切な PCB 設計とレイアウトが重要です。さらに、コンバータの EMI 性能は、PCB レイアウトによって大きく異なります。

図 8-30 は、LM63440-Q1 または LM63460-Q1 電力段の高周波数スイッチング電力ループを示しています。降圧コンバータのトポロジカル アーキテクチャは、パワー MOSFET や入力コンデンサに di/dt が特に大きな電流が流れることを意味し、この実効電力ループ面積を最小化して、寄生インダクタンスを低減することが必須となります。LM63440-Q1 と LM63460-Q1 の両方について、IC パッケージのそれぞれの側に配置されている VIN および PGND ピンに基づく入力コンデンサのデュアル配置と対称配置に注意してください。高周波電流は 2 つに分割され、関連する磁界の寄与が互いに打ち消し合うように効果的に逆方向に流れ、EMI 性能が向上します。

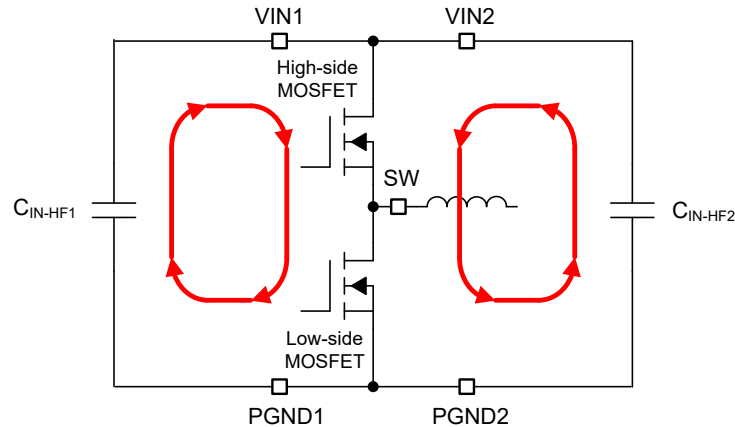


図 8-30. 入力電流ループ

次のリストは、熱および EMI の特性を含めて DC/DC モジュールの性能を最適化するための、PCB レイアウトと部品の配置に関する重要なガイドラインを要約したものです。図 8-31 は、LM63440-Q1 または LM63460-Q1 のいずれかの推奨レイアウトで、電力段と小信号部品の配置と配線が最適化されているものです。

- 入力コンデンサは、入力ピンのペア [VIN1, PGND1] と [VIN2, PGND2] のできるだけ近くに配置します:それぞれの VIN ピンと PGND ピンのペアは互いに近接しているため (クリアランスを広げるため、中間に NC ピンが配置されています)、入力コンデンサを簡単に配置できます。Enhanced HotRod QFN パッケージは、パッケージのどちらの側にも VIN ピンと PGND ピンがあるため、スイッチング ノイズと EMI を最小限に抑える対称的なレイアウトが可能です。
 - VIN1 と PGND1 の間、および VIN2 と PGND2 の間には、X7R または X7S 誘電体を使用した低 ESR のセラミックコンデンサを使用します。図 8-31 に示すように、高周波バイパスのため、各ピンのペアの近くに 0402 コンデンサを配置します。バルク容量のため、それぞれの側に隣接して 1206 または 1210 のコンデンサを使用します。
 - 入力コンデンサと出力コンデンサのグランドリターンパスはいずれも、PGND1 ピンと PGND2 ピンに接続される局所的な最上面プレーンで構成される必要があります。
 - 下側の PCB 層で広いポリゴンプレーンを使用して、VIN1 と VIN2 を互いに接続し、入力電源に接続します。
- IC の上層の下にある PCB 層のソリッドグランドプレーンを使用します:このプレーンは、ノイズシールドと放熱経路として機能します。IC の直下にある PCB 層を使用すると、スイッチングループ内の電流に関連する磁界が最小化され、寄生インダクタンスと、スイッチ電圧のオーバーシュートとリングングが低減されます。内部のグランドプレーンへのヒートシンクのため、PGND1 と PGND2 の近くに多数のサーマルビアを使用します。
- VIN、VOUT、および GND バスの接続は、できる限り広い幅にします:コンバータの入力または出力経路ですべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広く、かつ直線的にする必要があります。
- 降圧インダクタは、SW1、SW2、SW3 ピンの近くに配置します:コンバータの SW ピンからインダクタまでは、短く幅の広い接続パターンを使用します。同時に、この高 dv/dt 表面の長さ (と面積) を最小化して、容量性結合と放射 EMI を低減します。インダクタの点線付きの端子を SW ピンに接続します。
- VCC および BOOT コンデンサは対応するピンの近くに配置します:VCC および BOOT コンデンサは、それぞれ内部のローサイドおよびハイサイド MOSFET ゲートドライバの電源を表し、高周波電流を伝送します。C_{VCC} は VCC ピンの近くに配置し、リターン端子に GND ビアを配置して GND プレーンに接続し、露出パッドで IC GND に戻します。C_{BOOT} は、CBOOT および SW4 ピンのできるだけ近くに接続します。
- 帰還分圧器は FB ピンのできるだけ近くに配置します:分圧抵抗を負荷の近くではなく FB ピンの近くに配置することで、出力電圧帰還パスのノイズへの感度を低くします。この配置により、FB パターンの長さと、それに関連するノイズ結合が減少します。FB ピンは電圧ループエラーアンプへの入力で、ノイズの影響を受けやすい高インピーダンスノードを表します。V_{OUT} への接続は、多少長くなってもかまいません。ただし、この後者のパターンは、コンバータの帰還パスに静電容量結合する可能性がある、いかなるノイズ源 (スイッチ ノードなど) の近くにも配線しないでください。
- 適切な放熱のために十分な PCB 面積を確保します:十分な銅面積を使用して、最大負荷電流および周囲温度条件において、低い熱インピーダンスを実現します。接合部温度を 150°C 未満に維持するために、LM63440-Q1 または LM63460-Q1 は十分な放熱を行えるようにします。全定格負荷で動作する場合、上面のグランドプレーンは重要な放熱面積になります。ヒートシンクビアのアレイを使用して、パッケージの露出したパッド (GND) を PCB グランドプレーンに接続します。

ーンに接続します。PCB に複数の銅層がある場合は、これらのサーマル ビアを内部層のグランド プレーンに接続します。PCB 層の上部と下部は 2 オンスの銅厚 (最低でも 1 オンス以上) を推奨します。

8.4.1.1 熱設計およびレイアウト

DC/DC コンバータを特定の温度範囲で使用できるようにするには、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。LM63440-Q1 および LM63460-Q1 コンバータは、小型の 3.5mm × 4mm 22 ピン Enhanced HotRod QFN (RYF) パッケージで供給され、幅広いアプリケーション要件に対応します。「[熱に関する情報](#)」の表には、このパッケージの熱指標が要約されています。また、『[半導体および IC パッケージの熱指標アプリケーションレポート](#)』には関連する詳細情報が記載されています。

22 ピン Enhanced HotRod QFN パッケージでは、パッケージの基部にある露出熱パッドを介して、半導体のダイから熱が除去されます。パッケージの露出パッドは、LM63440-Q1 または LM63460-Q1 デバイスの基板 (グランド) に熱的に接続されます。これによって放熱が大幅に改善されますが、熱除去サブシステムを完成させるには、PCB の設計にサーマル ランド、サーマル ビア、1 つ以上のグランド プレーンを入れることが必須となります。LM63440-Q1 または LM63460-Q1 の露出パッドは、PCB 上でデバイス パッケージの真下にある、グランドに接続された銅ランドにはんだ付けされているため、IC の熱抵抗は非常に小さくなります。

可能なら、すべての層に 2oz の銅厚の 4 層基板を使用して、低インピーダンス、適切なシールド、低い熱抵抗を実現することを推奨します。サーマル ランド (および、PGND1 と PGND2 ピンの周囲の部分) から内部とはんだ側のグランド プレーンに接続される直径 0.3mm の大量のビアは、熱伝導の促進に不可欠です。多層 PCB 設計では、通常は電源段部品の下の PCB 層にソリッドなグランド プレーンを配置します。このプレーンの配置には、電力段の電流を流すためだけでなく、熱を生成するデバイスから熱伝導経路を離す役割もあります。

8.4.2 レイアウト例

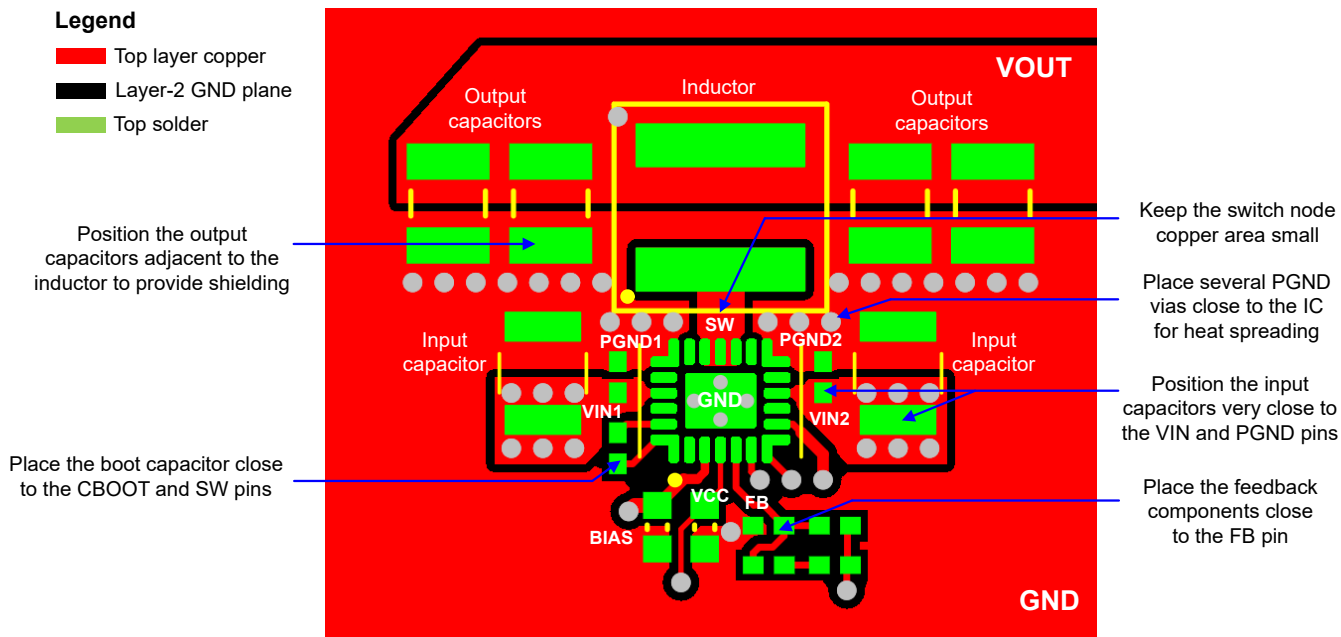


図 8-31. PCB のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 開発サポート

表 9-1 で規定されている最低 3V、最大 36V の入力動作電圧において、TI の LM6k-Q1 ファミリの車載用同期整流降圧コンバータは、幅広いアプリケーションに対応できる柔軟性、スケーラビリティ、最適化された設計サイズを実現します。これらのコンバータを使用すると、高密度、低 EMI で高い柔軟性を持つ DC/DC 設計を実現できます。利用可能な EMI 低減機能には、疑似ランダム スペクトラム拡散 (PRSS)、内蔵入力バイパス コンデンサ、RBOOT 構成のスイッチ ノード スルーレート制御、スイッチ ノードの小さい銅領域をシールドする対称型 VIN および PGND ピンを備えた最適化されたパッケージ設計が含まれます。すべてのコンバータは最大動作接合部温度 150°C の定格で、AEC-Q100 グレード 1 認証を受けており、機能安全に対応しています。

表 9-1. 車載用同期整流降圧 DC/DC コンバータ ファミリ

DC/DC コンバータ	定格 I _{OUT}	パッケージ	特長	EMI 軽減
LM60430-Q1, LM60440-Q1	3A, 4A	WQFN (13)	400kHz 固定 f _{SW} , 3mm × 2mm パッケージ	シールド付きスイッチ ノード
LM63610-Q1, LM63615-Q1, LM63625-Q1, LM63635-Q1	1A, 1.5A, 2.5A, 3.25A	WSOP (12), HTSSOP (16)	RT で調整可能な f _{SW} , MODE/SYNC	PRSS
LM61430-Q1, LM61435-Q1, LM61440-Q1, LM61460-Q1	3A, 3.5A, 4A, 6A	VQFN-HR (14)	RT で調整可能な f _{SW} , EN/SYNC	PRSS, RBOOT
LM62435-Q1, LM62440-Q1	3.5A, 4A		2.1MHz のデフォルト f _{SW} , MODE/SYNC	
LMQ61460-Q1	6A		RT で調整可能な f _{SW} , EN/SYNC	PRSS, RBOOT, コン デンサ内蔵
LMQ62440-Q1	4A		2.1MHz のデフォルト f _{SW} , MODE/SYNC	
LM62460-Q1, LM61480-Q1, LM61495-Q1	6A, 8A, 10A	VQFN-HR (16)	RT で調整可能な f _{SW} , MODE/SYNC	DRSS, RBOOT
LM63440-Q1, LM63460-Q1	4A, 6A	VQFN-FCRLF (22)	RT 可変 f _{SW} , EN/SYNC, ピン FMEA	PRSS
LM64440-Q1, LM64460-Q1			2.1MHz デフォルト f _{SW} , MODE/SYNC, ピン FMEA	

開発サポートについては、以下を参照してください。

- LM634x0-Q1 [EVM ユーザー ガイド](#)】
- LM634x0-Q1 [クイックスタート カリキュレータ](#)】
- LM63460-Q1 [シミュレーション モデル](#)
- LM634x0-Q1 [EVM Altium レイアウト ファイル](#)
- TI のリファレンスデザインライブラリについては、[TI Designs](#) を参照してください。
- TI の WEBENCH 設計環境については、[WEBENCH® 設計センター](#)をご覧ください。
- 低 EMI の電源を設計するには、TI の包括的な [EMI トレーニング シリーズ](#)をご覧ください。
- TI のリファレンス デザイン。
 - 「[車載用デュアル USB Type-C® 充電ポート向け 30W 電源のリファレンス デザイン](#)」
 - 「[高効率、低ノイズ、5V/3.3V/1.8V/1.1V 車載用ディスプレイのリファレンス デザイン](#)」
- 技術関連ブログ記事:
 - 「[デバイスレベルの特長とパッケージ オプションを活用して車載設計で EMI \(電磁干渉\) を最小化する方法](#)」
 - 「[車載設計におけるフリップ チップ IC の放熱性能の最適化](#)」
 - 「[自律性の電力供給レベル: SAE 自律性レベル用 DC/DC ソリューションのクイック ガイド](#)」
 - 「[将来のインフォテインメント システムの電力供給](#)」

- この製品の関連デバイスについては、[LM64460-Q1](#) 6A コンバータおよび [TPSM63606](#) 6A 電源モジュールを参照してください。

9.1.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH® Power Designer により、LM63440-Q1 または LM63460-Q1 コンバータを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電氣的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握します。
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力します。
- 設計のレポートを PDF で印刷し、同僚と設計を共有する。

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[『An Engineer's Guide To EMI In DC/DC Regulators』](#)e-book (英語)
- テキサス・インスツルメンツ、[『Enhanced HotRod™ QFN Package: Achieving Low EMI Performance in Industry's Smallest 4-A Converter』](#)アプリケーションレポート (英語)
- テキサス・インスツルメンツ、[『Designing High Performance, Low-EMI, Automotive Power Supplies』](#)アプリケーションレポート (英語)
- テキサス・インスツルメンツ、[『EMI Filter Components And Their Nonidealities For Automotive DC/DC Regulators』](#)テクニカル ブリーフ (英語)
- テキサス・インスツルメンツ、[『AN-2020 Thermal Design By Insight, Not Hindsight』](#)アプリケーション レポート (英語)
- テキサス・インスツルメンツ、[『AN-2162 Simple Success With Conducted EMI From DC/DC Converters』](#)アプリケーション レポート (英語)
- テキサス・インスツルメンツ、[『Practical Thermal Design With DC/DC Power Modules』](#)アプリケーション レポート (英語)

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (October 2025) to Revision E (July 2026)	Page
• データシートのタイトルの ZEN 1 命名規則を MINT 1 に変更.....	1
• 「特長」セクションの ZEN 1 命名規則を MINT 1 に変更	1
• 「説明」セクションの ZEN 1 命名規則を MINT 1 に変更	1

Changes from Revision C (August 2024) to Revision D (October 2025)	Page
• データシートのタイトルに ZEN 1 命名規則を追加.....	1
• 「特長」セクションに ZEN 1 命名規則を追加	1
• 「説明」セクションに ZEN 1 命名規則を追加	1

Changes from Revision B (October 2023) to Revision C (August 2024)	Page
• データシート全体に LM63440-Q1 とサポート情報を追加.....	1
• 「デバイス比較表」を更新して 4A デバイスを追加.....	4
• LM63440-Q1 の推奨動作電流を追加し、LM63460-Q1 の動作電流の説明に GPN を追加。.....	7
• 「熱に関する情報」表のヘッダーに LM63440-Q1 を追加。.....	8
• LM63440-Q1 のハイサイド、ローサイド、負の電流制限を追加し、LM63460-Q1 の電流制限の説明に GPN を追加。.....	8
• LM63440-Q1 の効率仕様を追加し、LM63460-Q1 の効率仕様のテスト条件に GPN を追加。.....	12
• 「代表的なアプリケーション」セクションに LM63440-Q1 アプリケーション回路を追加.....	32
• LM63440-Q1 と LM64440-Q1 を含めるように「開発サポート」を更新.....	51

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月