

ADS981x アナログ フロント エンド内蔵、18 ビット、2MSPS/チャンネル、デュアル同時サンプリング ADC

1 特長

- 8 チャンネル、18 ビット、アナログ フロントエンド内蔵 ADC:
 - デュアル同時サンプリング: 4×1 チャンネル
 - $1\text{M}\Omega$ 固定入力インピーダンスのフロントエンド
- プログラム可能なアナログ入力範囲:
 - $\pm 12\text{V}$ 、 $\pm 10\text{V}$ 、 $\pm 7\text{V}$ 、 $\pm 5\text{V}$ 、 $\pm 3.5\text{V}$ 、 $\pm 2.5\text{V}$
 - シングルエンドおよび差動入力
 - $\pm 12\text{V}$ の同相電圧範囲
 - 入力過電圧保護: 最大 $\pm 18\text{V}$
- アナログ入力帯域幅をユーザーが選択可能:
 - 21kHz と 400kHz
- 低ドリフトの高精度リファレンスを内蔵
 - ADC リファレンス: 4.096V
 - 外部回路用の 2.5V リファレンス出力
- フル スループットでの非常に優れた AC および DC 性能:
 - DNL: $\pm 0.5\text{LSB}$ 、INL: $\pm 0.8\text{LSB}$
 - 信号対雑音比: 92dB 、THD: -113dB
- 電源:
 - アナログおよびデジタル: 5V および 1.8V
 - デジタル インターフェイス: $1.2\text{V} \sim 1.8\text{V}$
- 温度範囲: $-40^\circ\text{C} \sim +125^\circ\text{C}$

2 アプリケーション

- パラメトリック測定ユニット (PMU)
- バッテリー セル形成とテスト機器
- データ アクイジション (DAQ)

3 概要

ADS981x は、デュアル同時サンプリング、18 ビットの逐次比較型 (SAR) A/D コンバータ (ADC) を使用した 8 チャンネルのデータ アクイジション (DAQ) システムです。ADS981x は、入力クランプ保護回路、 $1\text{M}\Omega$ の入力インピーダンス、帯域幅をユーザーが選択可能なプログラマブル ゲイン アンプ (PGA) を持つ完全なアナログ フロントエンドを各チャンネルに備えています。入力インピーダンスが高いため、センサや変圧器と直接接続でき、外付けのドライバ回路が必要ありません。ADS981x は、最大 $\pm 12\text{V}$ の入力同相電圧でユニポーラ入力またはバイポーラ入力を受け入れるように構成できます。

このデバイスは、ADC 用の 4.096V リファレンスと、外部回路で使用するための 2.5V リファレンス出力も備えています。 $1.2\text{V} \sim 1.8\text{V}$ での動作をサポートするデジタル インターフェイスにより、ADS981x は外部電圧レベル変換なしで使用できます。

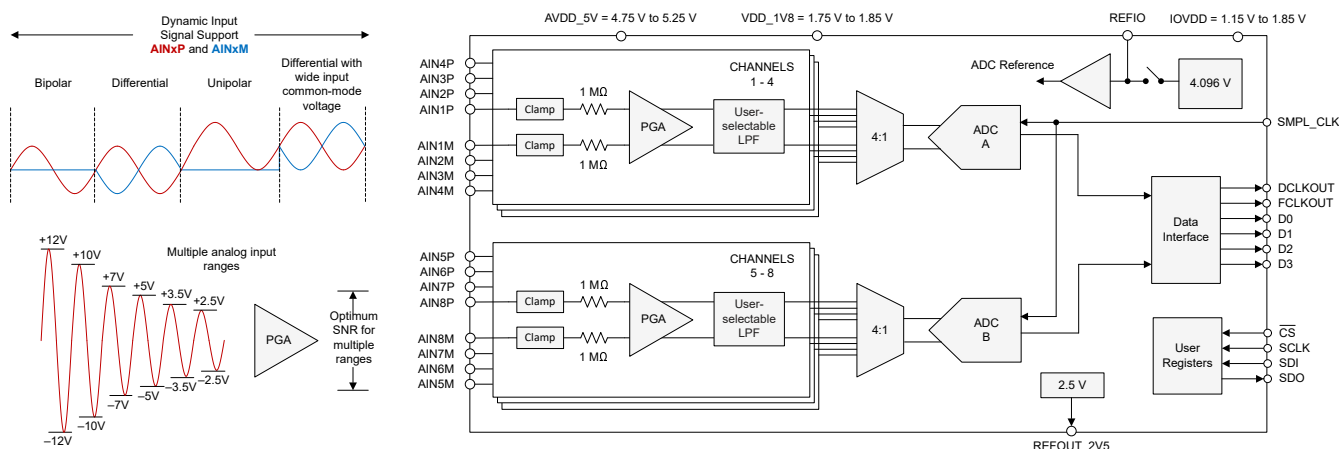
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
ADS981x	RSH (VQFN, 56)	$7\text{mm} \times 7\text{mm}$

- 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- パッケージ サイズ (長さ $\times$ 幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号	SPEED	総電力
ADS9817	2MSPS / チャンネル	232 mW
ADS9815	1MSPS / チャンネル	165 mW



デバイスのブロック図



目次

1 特長	1	6.5 プログラミング	32
2 アプリケーション	1	7 レジスタ マップ	37
3 概要	1	7.1 レジスタ バンク 0.....	37
4 ピン構成および機能	3	7.2 レジスタ バンク 1.....	40
5 仕様	5	7.3 レジスタ バンク 2.....	54
5.1 絶対最大定格.....	5	8 アプリケーションと実装	56
5.2 ESD 定格.....	5	8.1 アプリケーション情報.....	56
5.3 推奨動作条件.....	6	8.2 代表的なアプリケーション.....	56
5.4 熱に関する情報.....	6	8.3 電源に関する推奨事項.....	60
5.5 電気的特性.....	7	8.4 レイアウト.....	60
5.6 タイミング要件.....	10	9 デバイスおよびドキュメントのサポート	62
5.7 スイッチング特性.....	11	9.1 ドキュメントの更新通知を受け取る方法.....	62
5.8 タイミング図.....	11	9.2 サポート・リソース.....	62
5.9 代表的特性.....	14	9.3 商標.....	62
6 詳細説明	21	9.4 静電気放電に関する注意事項.....	62
6.1 概要.....	21	9.5 用語集.....	62
6.2 機能ブロック図.....	21	10 改訂履歴	63
6.3 機能説明.....	22	11 メカニカル、パッケージ、および注文情報	63
6.4 デバイスの機能モード.....	31		

4 ピン構成および機能

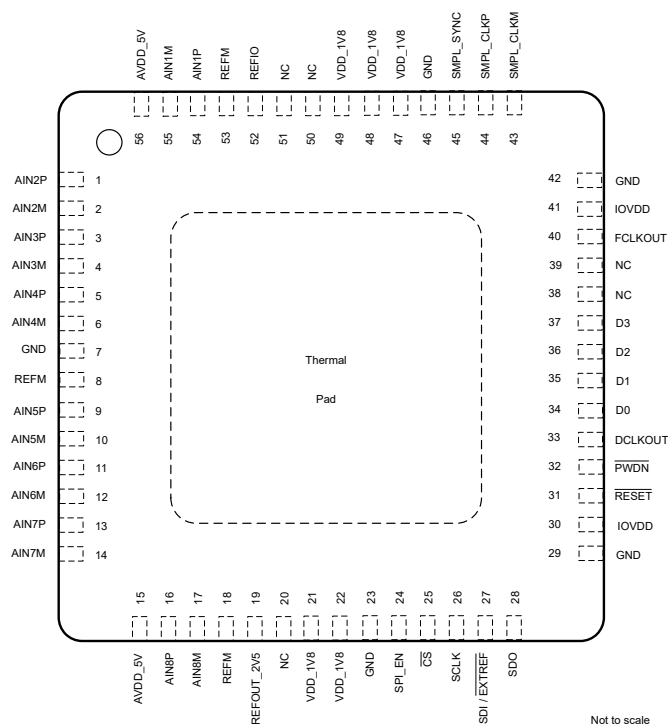


図 4-1. RSH パッケージ、56 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
AIN1M	55	AI	アナログ入力チャネル 1、負入力。
AIN1P	54	AI	アナログ入力チャネル 1、正入力。
AIN2M	2	AI	アナログ入力チャネル 2、負入力。
AIN2P	1	AI	アナログ入力チャネル 2、正入力。
AIN3M	4	AI	アナログ入力チャネル 3、負入力。
AIN3P	3	AI	アナログ入力チャネル 3、正入力。
AIN4M	6	AI	アナログ入力チャネル 4、負入力。
AIN4P	5	AI	アナログ入力チャネル 4、正入力。
AIN5M	10	AI	アナログ入力チャネル 5、負入力。
AIN5P	9	AI	アナログ入力チャネル 5、正入力。
AIN6M	12	AI	アナログ入力チャネル 6、負入力。
AIN6P	11	AI	アナログ入力チャネル 6、正入力。
AIN7M	14	AI	アナログ入力チャネル 7、負入力。
AIN7P	13	AI	アナログ入力チャネル 7、正入力。
AIN8M	17	AI	アナログ入力チャネル 8、負入力。
AIN8P	16	AI	アナログ入力チャネル 8、正入力。
AVDD_5V	15、56	P	5V アナログ電源。1 μ F と 0.1 μ F のデカップリング コンデンサを GND に接続します。
CS	25	DI	インターフェイス構成用のチップ セレクト入力、アクティブ "Low"。このピンには、IOVDD に接続された内部の 100k Ω プルアップ抵抗が搭載されています。
D0	34	DO	シリアル出力データレーン 0。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
D1	35	DO	シリアル データ出力レーン 1。
D2	36	DO	シリアル データ出力レーン 2。
D3	37	DO	シリアル データ出力レーン 3。
DCLKOUT	33	DO	データ インターフェイスのクロック出力。
FCLKOUT	40	DO	データ インターフェイスのフレーム同期出力。
GND	7、23、29、42、46	P	グランド。
IOVDD	30、41	P	データ インターフェイスのデジタル I/O 電源。1 μ F と 0.1 μ F のデカップリング コンデンサを GND に接続します。
NC	20、38、39、50、51	—	接続なし。外部接続なし。
PWDN	32	DI	パワーダウン制御、アクティブ Low。P $\overline{\text{WDN}}$ には、デジタル インターフェイス電源への 100k Ω プルアップ抵抗が内蔵されています。
REFIO	52	AI/AO	REFIO は、内部リファレンスがイネーブルになっている場合に内部リファレンス出力として機能します。内部リファレンスがディスエーブルのとき、REFIO は外部リファレンスの入力ピンとして機能します。10 μ F のデカップリング コンデンサを REF $\overline{\text{FM}}$ ピンに接続します。
REF $\overline{\text{M}}$	8、18、53	AI	リファレンスグランド電位。GND に接続。
REFOUT_2V5	19	AO	2.5V リファレンス出力。デカップリング 10 μ F コンデンサを REF $\overline{\text{M}}$ ピンに接続します。
RESET	31	DI	デバイスのリセット入力、アクティブ Low。R $\overline{\text{ESET}}$ には、デジタル インターフェイス電源への 100k Ω プルアップ抵抗が内蔵されています。
SCLK	26	DI	構成インターフェイスのシリアル クロック入力。SCLK には、デジタル インターフェイスのグランドへの 100k Ω プルダウン抵抗があります。
SDI	27	DI	SDI は、マルチファンクション ロジック入力です。ピンの機能は SPI_EN ピンで決定されます。SDI には、GND への 100k Ω 内部プルダウン抵抗があります。 SPI_EN = 0b: SDI は、内部リファレンスと外部リファレンスのいずれかを選択するためのロジック入力です。外部リファレンスの場合は、SDI を GND に接続します。内部リファレンスの場合は、SDI を IOVDD に接続します。 SPI_EN = 1b: 構成インターフェイスのシリアル データ入力。
SDO	28	DO	構成インターフェイスのシリアル データ出力。
SMPL_CLKP	44	DI	シングルエンド ADC サンプリング クロック入力。SMPL_CLKP は、ADC の差動サンプリング クロック入力への正の入力です。
SMPL_CLKM	43	DI	シングルエンド ADC サンプリング クロック入力の場合は、SMPL_CLKM を GND に接続します。SMPL_CLKM は、ADC の差動サンプリング クロック入力の負入力です。
SMPL_SYNC	45	DI	同期入力。SMPL_SYNC ピンの使用方法については、 サンプル同期 セクションを参照してください。
SPI_EN	24	DI	インターフェイス構成 (CS、SCLK、SDI、SDO) を有効にするロジック入力。SPI_EN には、デジタル インターフェイス電源に対して内部に 100k Ω のプルアップ抵抗が搭載されています。
VDD_1V8	21、22、47、48、49	P	1.8V 電源。1 μ F と 0.1 μ F のデカップリング コンデンサを GND に接続します。
サーマル パッド	—	P	露出しているサーマル パッド、GND に接続します。デバイスを動作させるには、グランドへの接続が必要です。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、「D」はデジタル、「A」はアナログを指し、P = 電源。

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
AVDD_5V から GND	-0.3	6	V
VDD_1V8 から GND	-0.3	2.1	V
IOVDD から GND へ	-0.3	2.1	V
AINxP および AINxM から GND へ	-18	18	V
REFIO から REFM へ	REFM - 0.3	AVDD_5V + 0.3	V
REFM から GND へ	GND - 0.3	GND + 0.3	V
デジタル入力から GND へ	GND - 0.3	2.1	V
電源ピンを除く任意のピンへの入力電流 ⁽²⁾	-10	10	mA
接合部温度、T _J	-40	150	°C
保管温度、T _{stg}	-60	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用了場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) ピン電流は 10 mA 以下に制限する必要があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
AVDD_5V	アナログ電源	AVDD_5V から GND へ、5V	4.75	5	5.25	V
VDD_1V8	アナログ電源	VDD_1V8 から GND へ、1.8V	1.75	1.8	1.85	V
IOVDD	デジタル インターフェイス電源	IOVDD から GND へ	1.15	1.8	1.85	V
基準電圧						
V _{REF}	ADC へのリファレンス電圧	外部リファレンス	4.092	4.096	4.100	V
アナログ入力						
V _{FSR}	フルスケール入力レンジ	RANGE_CHx = 0010b	-2.5		2.5	V
		RANGE_CHx = 0001b	-3.5		3.5	
		RANGE_CHx = 0000b	-5		5	
		RANGE_CHx = 0011b	-7		7	
		RANGE_CHx = 0100b	-10		10	
		RANGE_CHx = 0101b	-12		12	
AINxP	動作入力電圧、正入力		-17		17	V
AINxM	動作入力電圧、負入力		-17		17	V
温度範囲						
T _A	周辺温度		-40	25	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ADS981x	単位
		RSH (VQFN)	
		56 ピン	
R _{θJA}	接合部から周囲への熱抵抗	23.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	10.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	6.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	6.0	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	0.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

AVDD_5V = 4.75V ~ 5.25V, VDD_1V8 = 1.75V ~ 1.85V, IOVDD = 1.15V ~ 1.85V, V_{REF} = 4.096V (内部または外部)、アナログ入力範囲 $\pm 2.5V$, $\pm 3.5V$, $\pm 5V$ の広い同相モードをディスエーブル、アナログ入力範囲 $\pm 7V$, $\pm 10V$, $\pm 12V$ および最大スレープットの広い同相モードをイネーブル (特に記述のない限り)、T_A = -40°C ~ +125°C での最小値および最大値、T_A = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
R _{IN}	入力インピーダンス	すべての入力範囲	0.85	1	1.15	MΩ
	入力インピーダンスの熱ドリフト	すべての入力範囲		10	25	ppm/°C
	入力容量			10		pF
アナログ入力フィルタ						
BW _(-3 dB)	アナログ入力 LPF 帯域幅 - 3dB	すべての入力範囲、低帯域幅フィルタ		21		kHz
		RANGE = ±2.5V、広帯域幅フィルタ		182		
		RANGE = ±3.5V、広帯域幅フィルタ		240		
		RANGE = ±5V、広帯域幅フィルタ		320		
		RANGE = ±7V、広帯域幅フィルタ		400		
		RANGE = ±10V、広帯域幅フィルタ		385		
		RANGE = ±12V、広帯域幅フィルタ		375		
DC 特性						
	分解能	ミッシング コードなし	18			ビット
DNL	微分非直線性 ⁽³⁾	すべての範囲、広い CM がイネーブルおよびデ イスエーブル	-0.99	±0.5	0.99	LSB
INL	積分非直線性	すべての範囲、広い CM がイネーブルおよびデ イスエーブル、 T _A = 0°C ~ 70°C	-4	±0.8	4	LSB
		すべての範囲、広い CM がイネーブルおよびデ イスエーブル、 T _A = -40°C ~ 125°C	-4.5	±0.8	4.5	LSB
	オフセット誤差 ⁽²⁾⁽⁵⁾	範囲 = ±2.5V	-175	±90	175	LSB
		RANGE = ±2.5V、広い CM がイネーブル		±120		
		範囲 = ±3.5V	-100	±60	100	
		RANGE = ±3.5V、広い CM がイネーブル		±80		
		範囲 = ±5V	-50	±10	50	
		RANGE = ±5V、広い CM がイネーブル		±60		
		範囲 = ±7V	-100	±35	100	
		範囲 = ±10V	-50	±10	50	
		範囲 = ±12V	-75	±15	75	
	オフセット誤差の温度ドリフト ⁽²⁾⁽⁴⁾	すべての範囲、広い CM がイネーブルおよびデ イスエーブル		0.5	1.5	ppm/°C
ゲイン誤差 ⁽²⁾⁽⁵⁾	RANGE = ±2.5V、±3.5V、および ±5V	-0.05	±0.02	0.05	%FSR	
	RANGE = ±2.5V、±3.5V、および ±5V、 広い CM がイネーブル		±0.04			
	RANGE = ±7V、±10V、±12V	-0.05	±0.02	0.05		
	ゲイン誤差の温度ドリフト ⁽²⁾⁽⁴⁾	広い CM がイネーブル / ディスエーブル、すべて の範囲		0.7	3	ppm/°C
AC 特性						

5.5 電気的特性 (続き)

AVDD_5V = 4.75V ~ 5.25V、VDD_1V8 = 1.75V ~ 1.85V、IOVDD = 1.15V ~ 1.85V、V_{REF} = 4.096V (内部または外部)、アナログ入力範囲 $\pm 2.5V$ 、 $\pm 3.5V$ 、 $\pm 5V$ の広い同相モードをディスエーブル、アナログ入力範囲 $\pm 7V$ 、 $\pm 10V$ 、 $\pm 12V$ および最大スループットの広い同相モードをイネーブル (特に記述のない限り)、T_A = -40°C ~ +125°C での最小値および最大値、T_A = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
SNR	信号対雑音比、 低ノイズ フィルタ	RANGE = $\pm 2.5V$, f _{IN} = 2kHz	86.7	89.5		dBFS
		RANGE = $\pm 3.5V$, f _{IN} = 2kHz	87.8	90.5		
		RANGE = $\pm 5V$, f _{IN} = 2kHz	88.5	91.4		
		RANGE = $\pm 7V$, f _{IN} = 2kHz	89.3	91.3		
		RANGE = $\pm 10V$, f _{IN} = 2kHz	89.9	91.8		
		RANGE = $\pm 12V$, f _{IN} = 2kHz	90	92		
	信号対雑音比、 広帯域幅フィルタ	RANGE = $\pm 2.5V$, f _{IN} = 2kHz	79	82.5		
		RANGE = $\pm 3.5V$, f _{IN} = 2kHz	80	83.5		
		RANGE = $\pm 5V$, f _{IN} = 2kHz	80.5	84.5		
		RANGE = $\pm 7V$, f _{IN} = 2kHz	81.5	83.5		
		RANGE = $\pm 10V$, f _{IN} = 2kHz	83	85		
		RANGE = $\pm 12V$, f _{IN} = 2kHz	83.5	85.5		
SINAD	信号対雑音比 + 歪み比、 低ノイズ フィルタ	RANGE = $\pm 2.5V$, f _{IN} = 2kHz	85.7	88.9		dB
		RANGE = $\pm 3.5V$, f _{IN} = 2kHz	86.7	89.9		
		RANGE = $\pm 5V$, f _{IN} = 2kHz	87.3	90.7		
		RANGE = $\pm 7V$, f _{IN} = 2kHz	88.0	90.6		
		RANGE = $\pm 10V$, f _{IN} = 2kHz	88.5	91.1		
		RANGE = $\pm 12V$, f _{IN} = 2kHz	88.6	91.3		
	信号対雑音比 + 歪み比、 広帯域幅フィルタ	RANGE = $\pm 2.5V$, f _{IN} = 2kHz	78.6	82.2		
		RANGE = $\pm 3.5V$, f _{IN} = 2kHz	79.5	83.2		
		RANGE = $\pm 5V$, f _{IN} = 2kHz	80.0	84.2		
		RANGE = $\pm 7V$, f _{IN} = 2kHz	80.9	83.2		
		RANGE = $\pm 10V$, f _{IN} = 2kHz	82.3	84.7		
		RANGE = $\pm 12V$, f _{IN} = 2kHz	82.8	85.1		
THD	全高調波歪	すべての範囲、低ノイズ フィルタ、f _{IN} = 2kHz		-113		dB
		すべての範囲、広帯域フィルタ、f _{IN} = 2kHz		-113		
SFDR	スプリアスフリー ダイナミック レンジ	すべての範囲、f _{IN} = 2kHz		113		dB
	CMRR	DC 時		-70		dB
	絶縁クロストーク	DC 時		-100		dB
内部リファレンス						
V _{REF} ⁽¹⁾	REFIO ピンの電圧 (出力として構成)	REFIO ピンの 1μF コンデンサ、T _A = 25°C	4.092	4.096	4.1	V
	基準温度ドリフト ⁽⁴⁾			10	25	ppm/°C

5.5 電気的特性 (続き)

AVDD_5V = 4.75V ~ 5.25V、VDD_1V8 = 1.75V ~ 1.85V、IOVDD = 1.15V ~ 1.85V、V_{REF} = 4.096V (内部または外部)、アナログ入力範囲 ±2.5V、±3.5V、±5V の広い同相モードをディスエーブル、アナログ入力範囲 ±7V、±10V、±12V および最大スループットの広い同相モードをイネーブル (特に記述のない限り)、T_A = -40°C ~ +125°C での最小値および最大値、T_A = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタル入力						
V _{IL}	入力 Low ロジック レベル		-0.3	0.3 IOVDD		V
V _{IH}	入力 High ロジック レベル		0.7 IOVDD	IOVDD		V
	入力電流			0.1		μA
	入力容量			6		pF
LVDS サンプリング クロック入力						
V _{TH}	High レベル入力電圧	AC 結合	100			mV
		DC 結合	300			
V _{TL}	Low レベル入力電圧	AC 結合			-100	mV
		DC 結合			-300	
V _{ICM}	入力同相電圧		0.3	1.2	1.4	V
デジタル出力						
V _{OL}	出力 Low ロジック レベル	I _{OL} = 500μA シンク	0	0.2 IOVDD		V
V _{OH}	出力 High ロジック レベル	I _{OH} = 500μA ソース	0.8 IOVDD	IOVDD		V
電源 - ADS9817						
	全消費電力	最大スループット		232	304	mW
I _{AVDD_5V}	AVDD_5V からの電源電流	最大スループット、内部リファレンス		26	32	mA
		パワーダウン		0.2	2	
I _{VDD_1V8}	VDD_1V8 からの電源電流	最大スループット、内部リファレンス		50	70	mA
		パワーダウン		0.2	8	
I _{IOVDD}	IOVDD からの消費電流	最大スループット		7	10	mA
		パワーダウン		0.1	3	
電源 - ADS9815						
	全消費電力	最大スループット		165	215	mW
I _{AVDD_5V}	AVDD_5V からの電源電流	最大スループット、内部リファレンス		19	25	mA
		パワーダウン		0.2	2	
I _{VDD_1V8}	VDD_1V8 からの電源電流	最大スループット、内部リファレンス		35	43	mA
		パワーダウン		0.2	8	
I _{IOVDD}	IOVDD からの消費電流	最大スループット		4	7	mA
		パワーダウン		0.1	3	

- (1) 半田シフトの影響による電圧の変動は含まれていません。
- (2) これらの仕様は全動作温度範囲での変動を想定していますが、誤差が内部リファレンスから寄与するものではありません。『[シングルエンド入力の広い同相モード構成](#)』で説明しているように、シングルエンド入力で測定
- (3) ワイド CM は、アナログ入力におけるワイドな同相モ電圧を指します。詳細については、[セクション 6.3.1.3](#) セクションを参照してください。
- (4) 熱ドリフトは、温度範囲内で測定された最大誤差と最小誤差の差を、温度範囲で割った値です。
- (5) 低帯域幅フィルタ設定には、最小および最大の仕様が適用されます。

5.6 タイミング要件

AVDD_5V = 4.75V~5.25V、VDD_1V8 = 1.75V~1.85V、IOVDD = 1.15V~1.85V、および最大スループット (特に記述のない限り)、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ における最小値と最大値、 $T_A = 25^{\circ}\text{C}$ における標準値

			最小値	最大値	単位
変換サイクル					
$f_{\text{SMPL_CLK}}$	サンプリング周波数	ADS9817	3.9	8.1	MHz
$f_{\text{SMPL_CLK}}$	サンプリング周波数	ADS9815	3.9	4.1	MHz
$t_{\text{SMPL_CLK}}$	サンプリング時間間隔		$1 / f_{\text{SMPL_CLK}}$		ns
$t_{\text{PL_SMPL_CLK}}$	SMPL_CLK Low 時間		$0.45 t_{\text{SMPL_CLK}}$	$0.55 t_{\text{SMPL_CLK}}$	ns
$t_{\text{PH_SMPL_CLK}}$	SMPL_CLK High 時間		$0.45 t_{\text{SMPL_CLK}}$	$0.55 t_{\text{SMPL_CLK}}$	ns
SPI インターフェイスのタイミング (構成インターフェイス)					
f_{SCLK}	SCLK の最大周波数			20	MHz
$t_{\text{PH_CK}}$	SCLK High 時間		0.48	0.52	t_{CLK}
$t_{\text{PL_CK}}$	SCLK Low 時間		0.48	0.52	t_{CLK}
$t_{\text{hi_CS}}$	パルス幅 $\overline{\text{CS}}$ high		220		ns
$t_{\text{d_CSCK}}$	遅延時間: $\overline{\text{CS}}$ 立ち下がりから最初の SCLK キャプチャ エッジ		20		ns
$t_{\text{su_CKDI}}$	セットアップ時間: SDI データが有効になってから SCLK の立ち上がりエッジまでの時間		10		ns
$t_{\text{ht_CKDI}}$	ホールド時間: SCLK の立ち上がりエッジから SDI データ有効までの時間		5		ns
$t_{\text{D_CKCS}}$	遅延時間: 最後の SCLK 立ち下がりエッジから $\overline{\text{CS}}$ 立ち上がりまで		5		ns
CMOS データ インターフェイス					
$t_{\text{su_SS}}$	セットアップ時間: SMPL_SYNC 立ち上がりエッジから SMPL_CLK 立ち下がりエッジまで		10		ns
$t_{\text{ht_SS}}$	ホールド時間: SMPL_CLK 立ち下がりエッジから SMPL_SYNC High まで		10		ns

5.7 スイッチング特性

AVDD_5V = 4.75V~5.25V、VDD_1V8 = 1.75V~1.85V、IOVDD = 1.15V~1.85V、および最大スループット (特に記述のない限り)、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ における最小値と最大値、 $T_A = 25^{\circ}\text{C}$ における標準値

パラメータ		テスト条件	最小値	最大値	単位
リセット					
t _{PU}	デバイスのパワーアップ時間			25	ms
SPI インターフェイスのタイミング (構成インターフェイス)					
t _{den_CKDO}	遅延時間:8 回目の SCLK 立ち上がりエッジからデータ有効化まで			22	ns
t _{dz_CKDO}	遅延時間:24 回目の SCLK 立ち上がりエッジから SDO がハイ インピーダンスになるまで			50	ns
t _{d_CKDO}	遅延時間:SCLK 立ち下がりエッジから SDO での対応するデータ有効まで			16	ns
t _{ht_CKDO}	遅延時間:SCLK の立ち下がりエッジから前データが SDO で有効になるまでの時間		2		ns
CMOS データ インターフェイス					
t _{DCLK}	データ クロック出力	DDR モード	10		ns
		SDR モード	20		
	クロック デューティ サイクル		45	55	%
t _{off_DCLKDO_r}	時間オフセット:DCLK 立ち上がりから対応するデータ有効まで	DDR モード	t _{DCLK} / 4 − 1.5	t _{DCLK} / 4 + 1.5	ns
t _{off_DCLKDO_f}	時間オフセット:DCLK 立ち下がりから対応するデータ有効まで	DDR モード	t _{DCLK} / 4 − 1.5	t _{DCLK} / 4 + 1.5	ns
t _{d_DCLKDO}	時間遅延:DCLK 立ち上がりから対応するデータ有効まで	SDR モード	-1	1	ns
t _{d_SYNC_FCLK}	時間遅延:SYNC 信号を伴う SMPL_CLK の立ち下がりエッジから、それに対応する FCLKOUT の立ち上がりエッジまで		3	4	t _{SMPL_CLK}

5.8 タイミング図

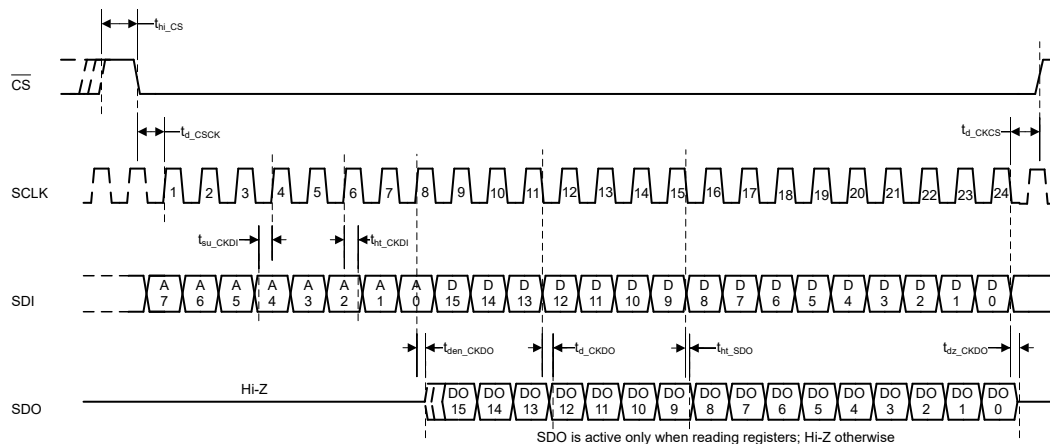


図 5-1. SPI 構成インターフェイス

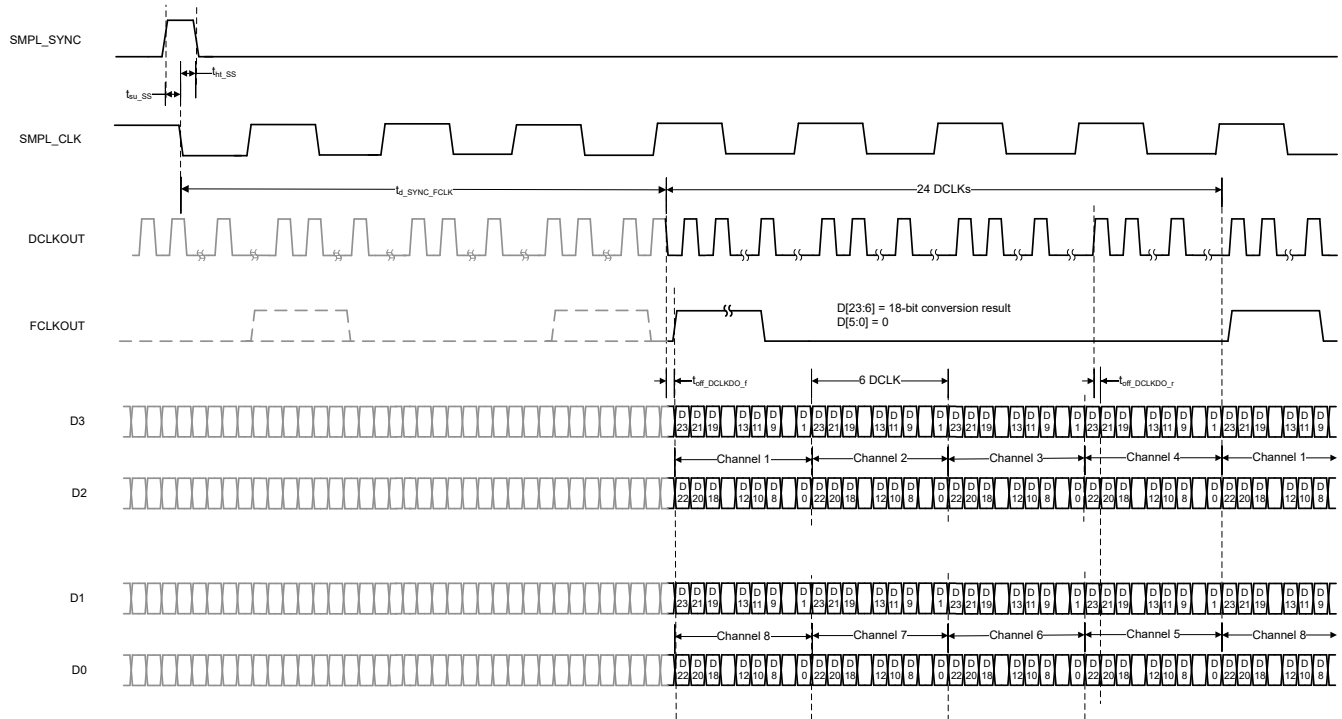


図 5-2. 4-SDO DDR CMOS データ インターフェイス

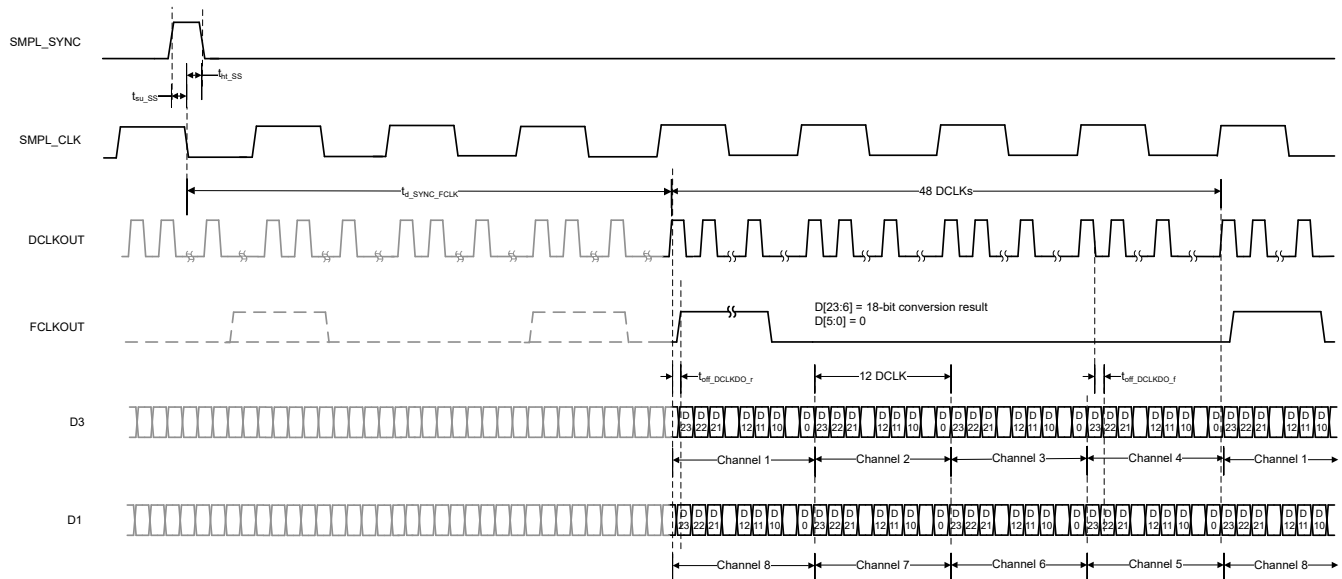


図 5-3. 2-SDO DDR CMOS データ インターフェイス

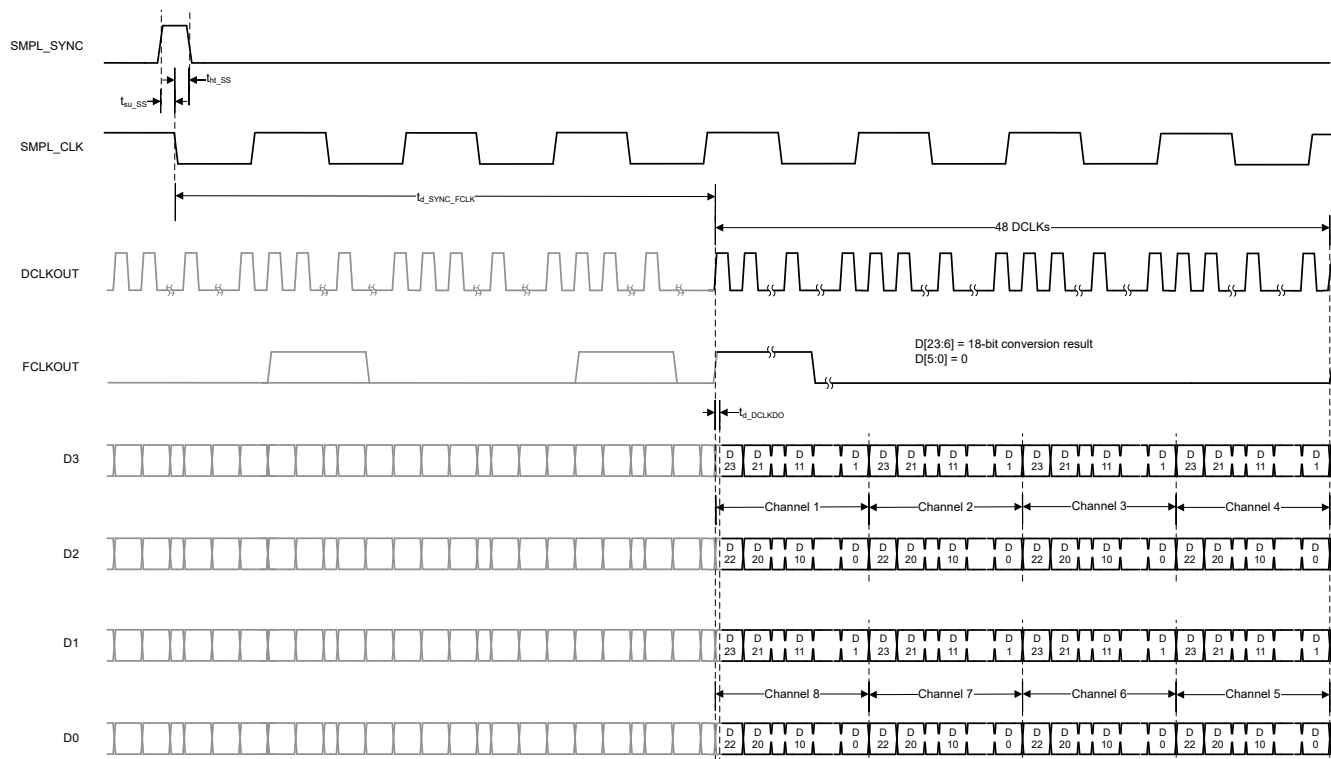


図 5-4. 4-SDO SDR CMOS データ インターフェイス

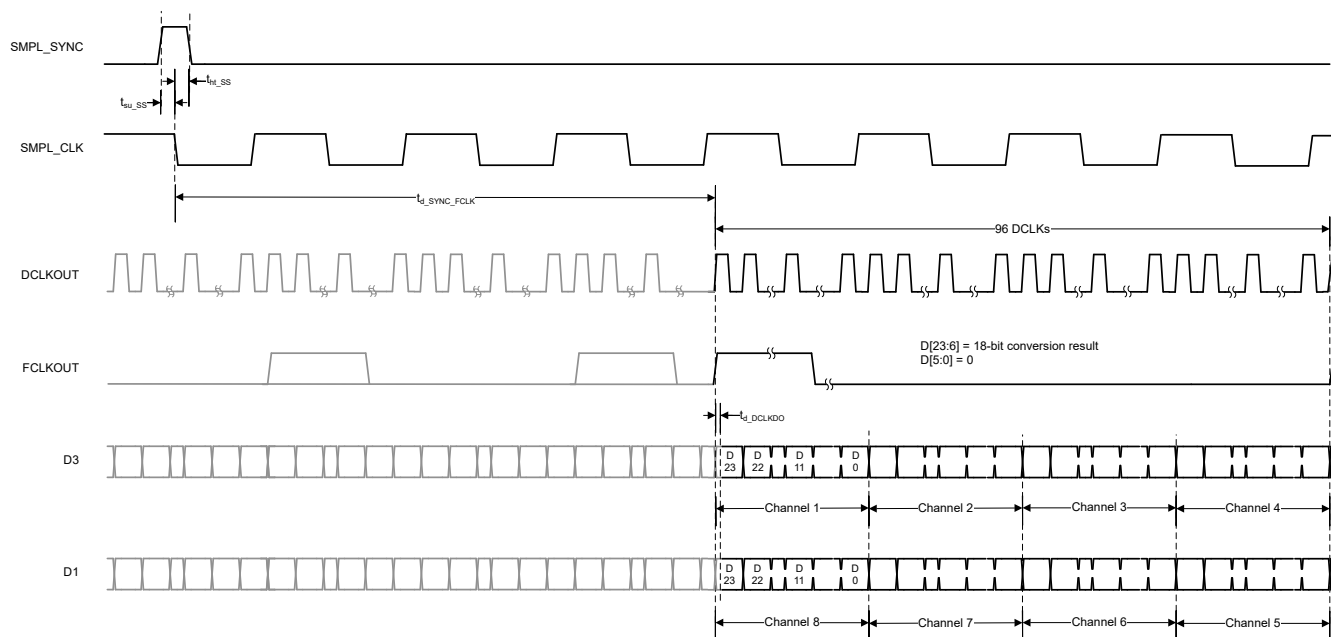


図 5-5. 2-SDO SDR CMOS データ インターフェイス

5.9 代表的特性

$T_A = 25^\circ\text{C}$ 、 $AVDD_5V = 5V$ 、 $VDD_1V8 = 1.8V$ 、内部 $V_{REF} = 4.096V$ 、 $\pm 5V$ アナログ入力範囲、最大スループット (特に記述のない限り)

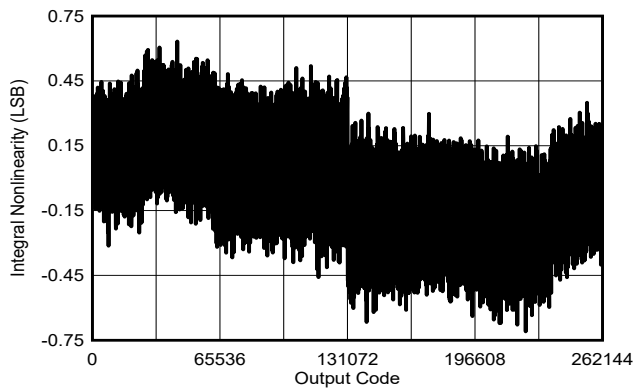


図 5-6. 低帯域幅 LPF を使用した標準的な INL

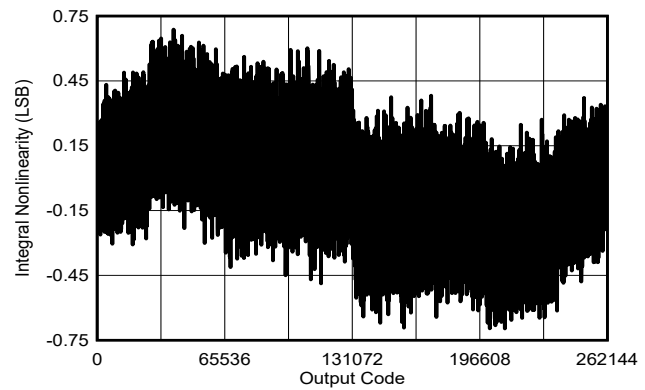


図 5-7. 広帯域幅 LPF を使用した標準的な INL

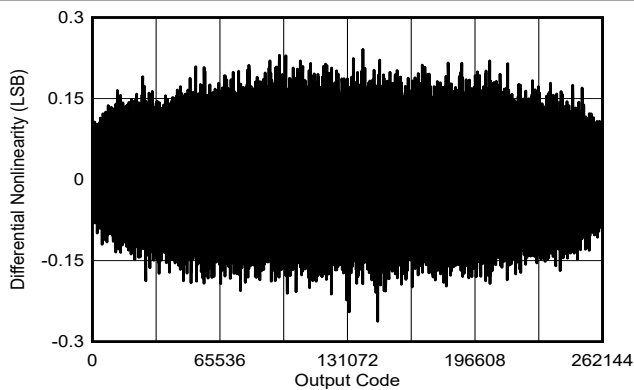


図 5-8. 低ノイズ LPF を使用した標準的な DNL

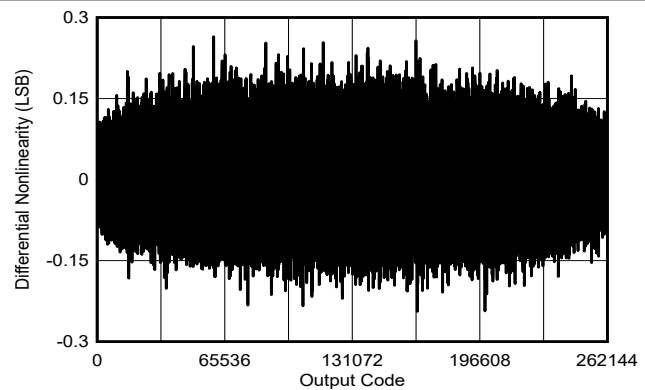


図 5-9. 広帯域幅 LPF を使用した標準的な DNL

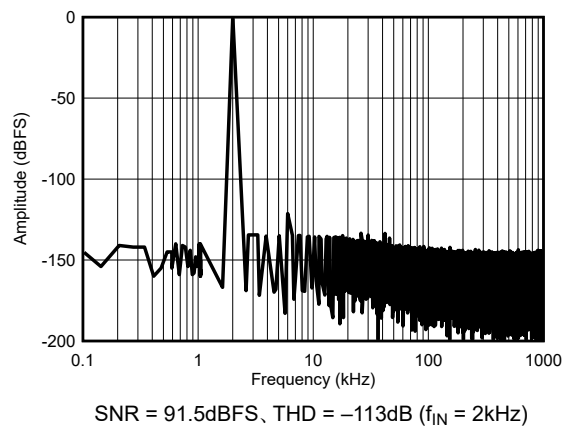


図 5-10. 低帯域幅 LPF を使用した標準的な FFT、
RANGE = $\pm 5V$

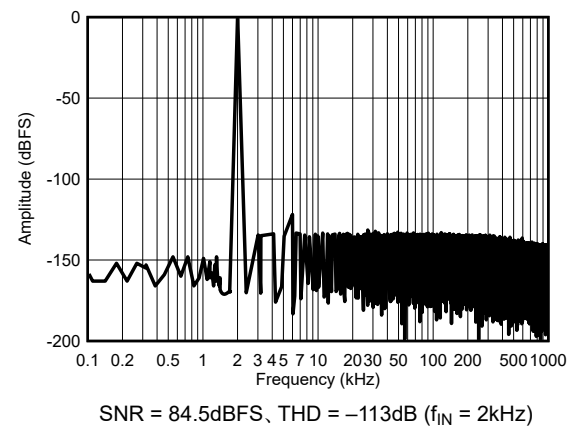


図 5-11. 広帯域幅 LPF を使用した標準的な FFT、
RANGE = $\pm 5V$

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD_5V = 5V$ 、 $VDD_1V8 = 1.8V$ 、内部 $V_{REF} = 4.096V$ 、 $\pm 5V$ アナログ入力範囲、最大スループット (特に記述のない限り)

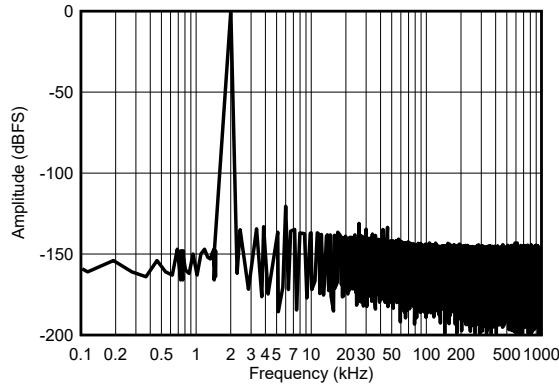


図 5-12. 低帯域幅 LPF を使用した標準的な FFT、
RANGE = $\pm 10V$

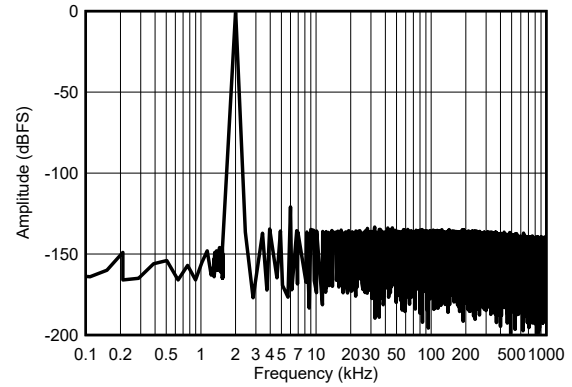


図 5-13. 広帯域幅 LPF を使用した標準的な FFT、
RANGE = $\pm 10V$

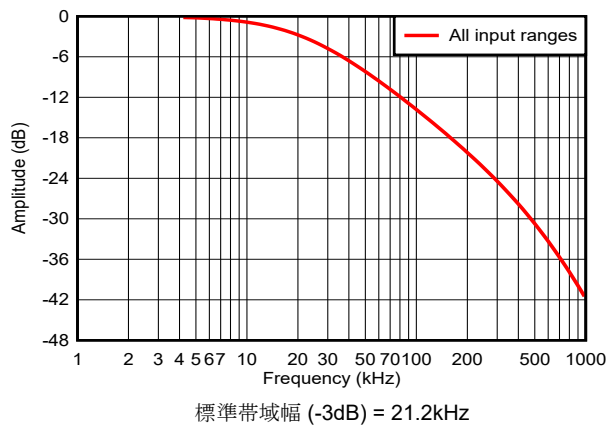


図 5-14. 入力範囲全体における低帯域幅 LPF の周波数応答

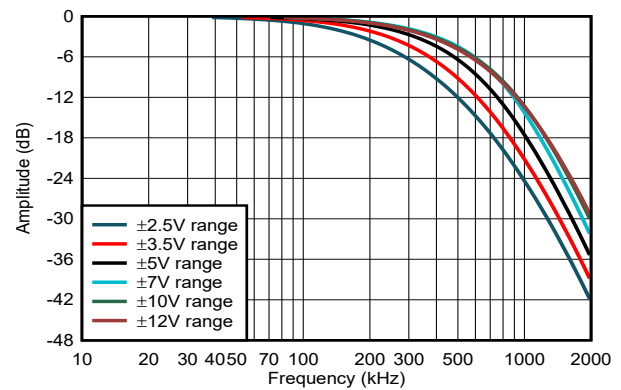


図 5-15. 入力範囲全体における広帯域幅 LPF の周波数応答

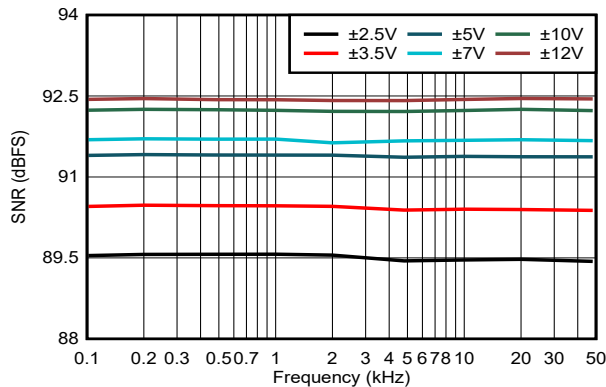


図 5-16. 低帯域幅 LPF を使用した入力範囲における入力信号周波数
と SNR の関係

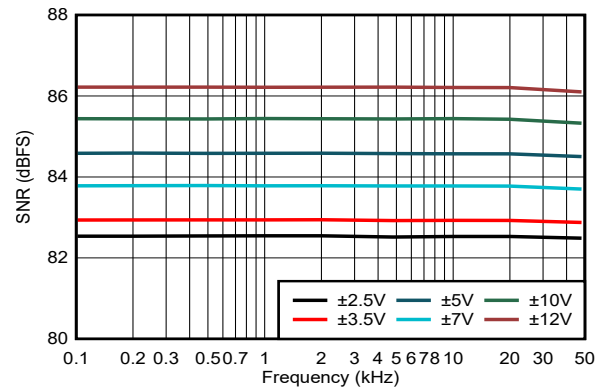


図 5-17. 広帯域幅 LPF を使用した入力範囲における入力信号周波数
と SNR の関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD_5V = 5V$ 、 $VDD_1V8 = 1.8V$ 、内部 $V_{REF} = 4.096V$ 、 $\pm 5V$ アナログ入力範囲、最大スループット (特に記述のない限り)

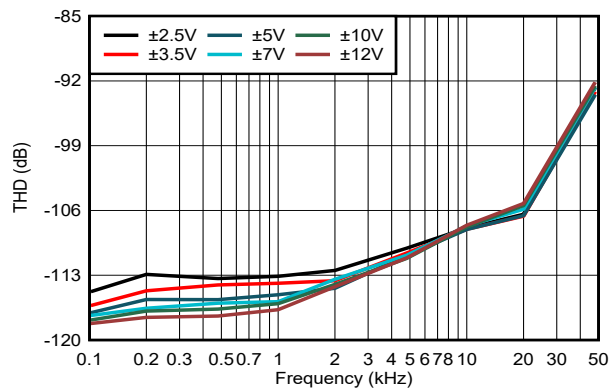


図 5-18. 低帯域幅 LPF を使用した入力範囲における入力信号周波数と THD の関係

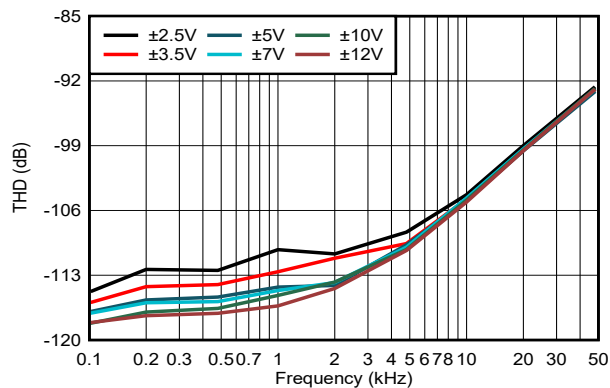


図 5-19. 広帯域幅 LPF を使用した入力範囲における入力信号周波数と THD の関係

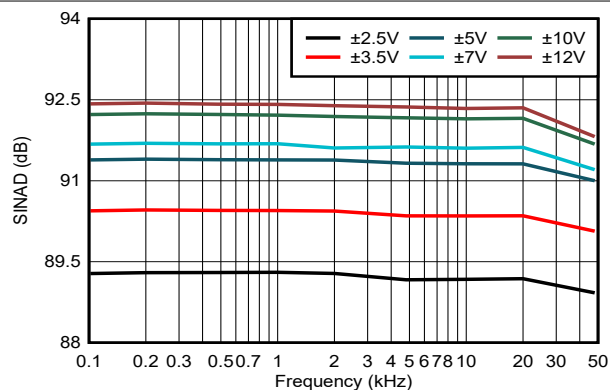


図 5-20. 低帯域幅 LPF を使用した入力範囲における入力信号周波数と SINAD の関係

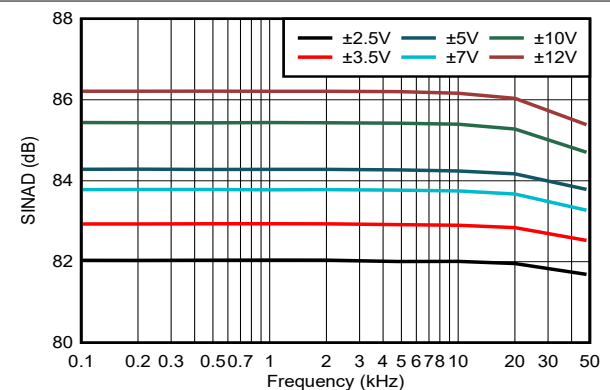


図 5-21. 広帯域幅 LPF を使用した入力範囲における入力信号周波数と SINAD の関係

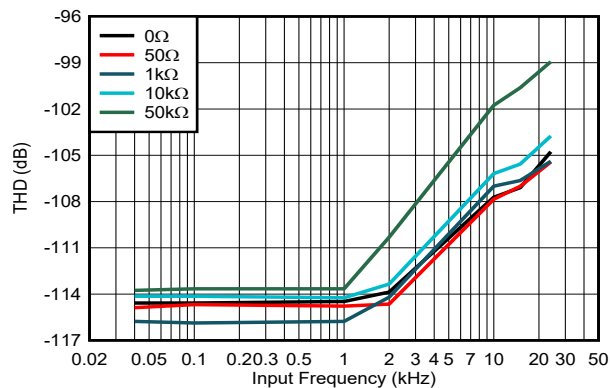


図 5-22. THD と入力周波数との関係、低 BW モード、
RANGE = $\pm 5V$ 、ADS9817

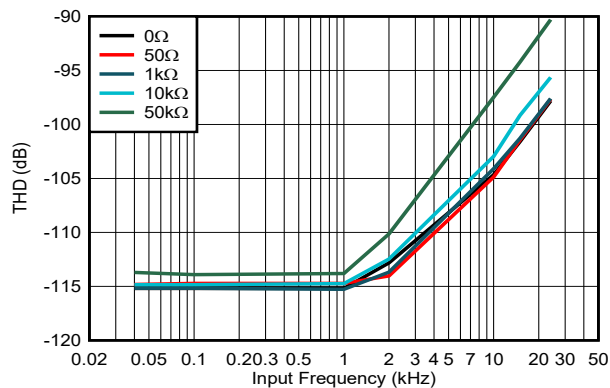


図 5-23. THD と入力周波数との関係、高 BW モード、
RANGE = $\pm 5V$ 、ADS9817

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD_5V = 5V$ 、 $VDD_1V8 = 1.8V$ 、内部 $V_{REF} = 4.096V$ 、 $\pm 5V$ アナログ入力範囲、最大スループット (特に記述のない限り)

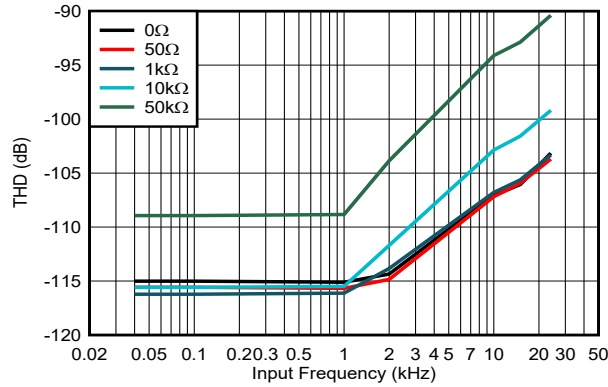


図 5-24. THD と入力周波数との関係、低 BW モード、
RANGE = $\pm 10V$ 、ADS9817

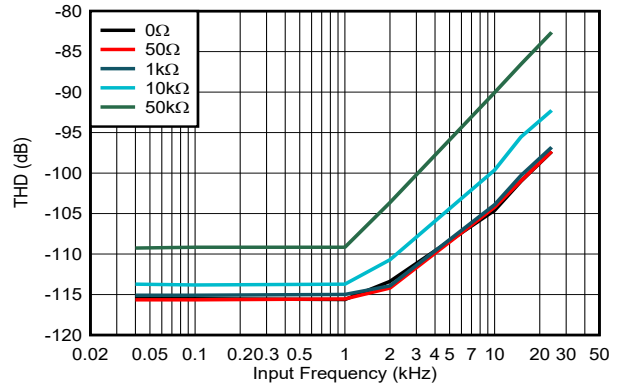


図 5-25. THD と入力周波数との関係、高 BW モード、
RANGE = $\pm 10V$ 、ADS9817

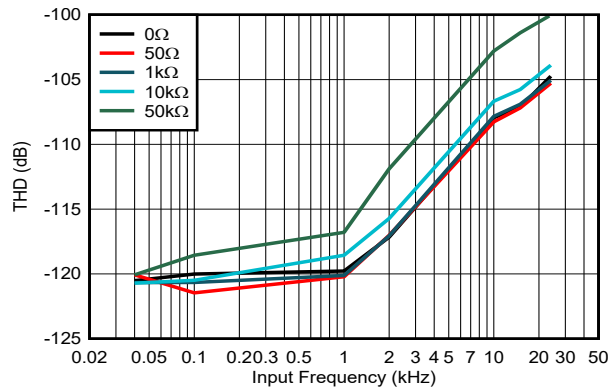


図 5-26. THD と入力周波数との関係、低 BW モード、
RANGE = $\pm 5V$ 、ADS9815

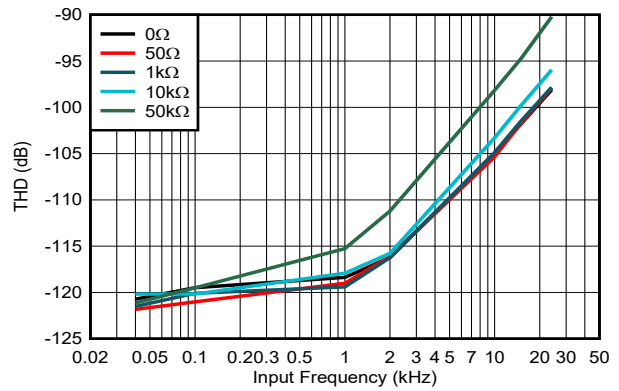


図 5-27. THD と入力周波数との関係、高 BW モード、
RANGE = $\pm 5V$ 、ADS9815

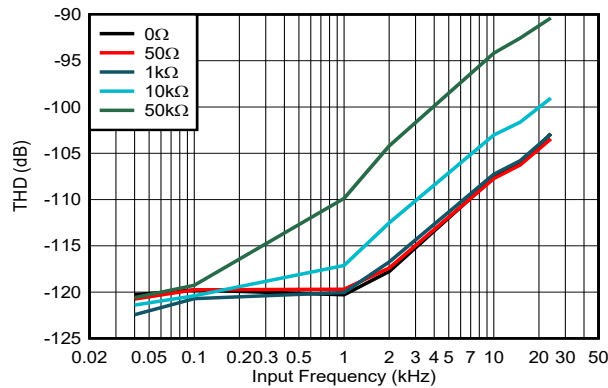


図 5-28. THD と入力周波数との関係、低 BW モード、
RANGE = $\pm 10V$ 、ADS9815

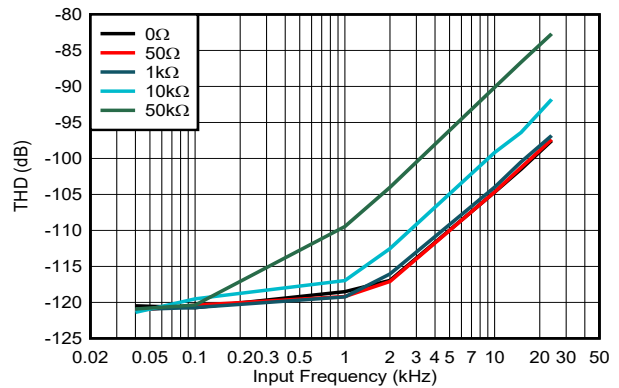


図 5-29. THD と入力周波数との関係、高 BW モード、
RANGE = $\pm 10V$ 、ADS9815

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD_5V = 5V$ 、 $VDD_1V8 = 1.8V$ 、内部 $V_{REF} = 4.096V$ 、 $\pm 5V$ アナログ入力範囲、最大スループット (特に記述のない限り)

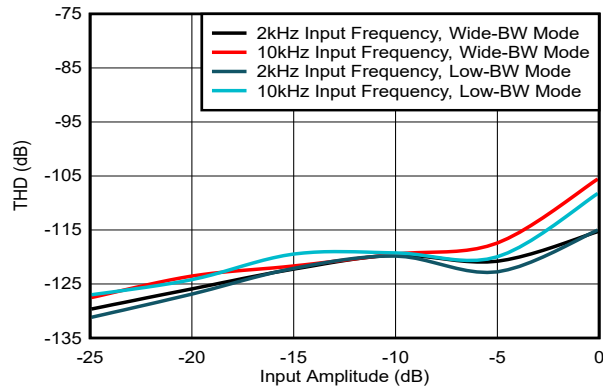


図 5-30. THD と入力振幅との関係、RANGE = $\pm 5V$

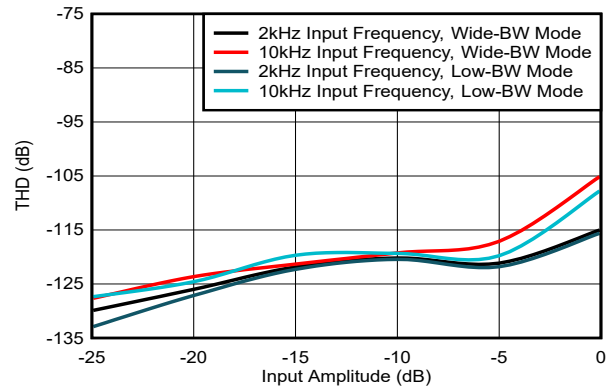


図 5-31. THD と入力振幅との関係、RANGE = $\pm 10V$

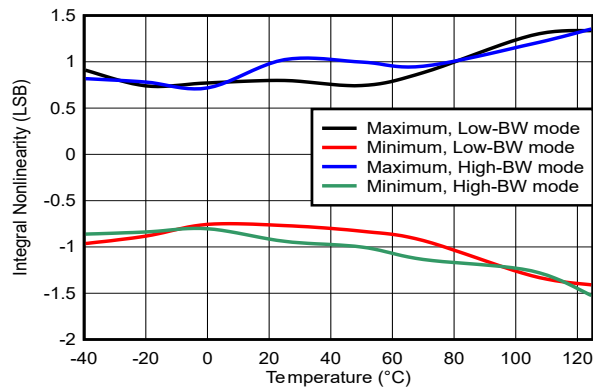


図 5-32. INL と温度との関係

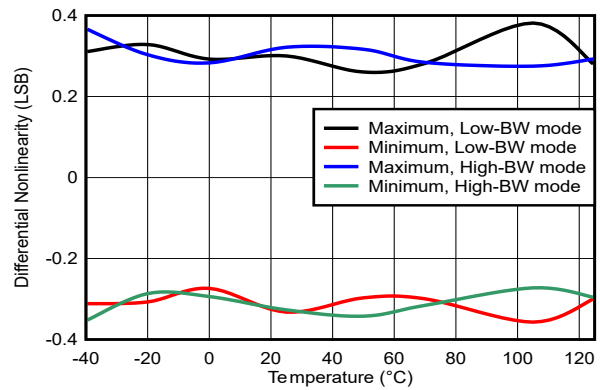


図 5-33. DNL と温度との関係

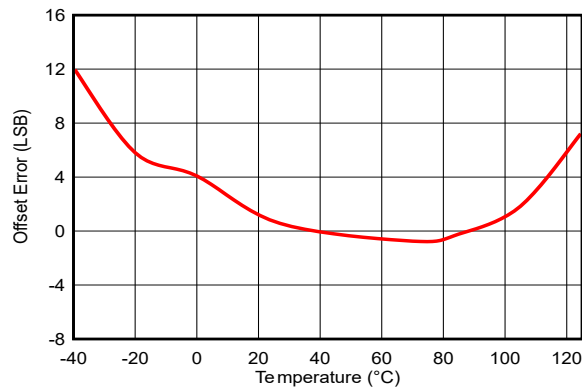


図 5-34. オフセット誤差と温度との関係、範囲 = $\pm 5V$

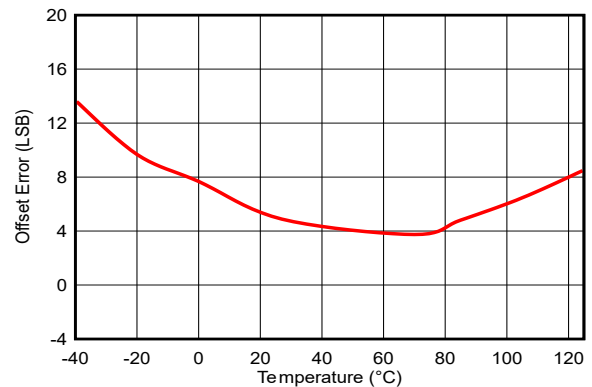


図 5-35. オフセット誤差と温度との関係、範囲 = $\pm 10V$

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD_5V = 5V$ 、 $VDD_1V8 = 1.8V$ 、内部 $V_{REF} = 4.096V$ 、 $\pm 5V$ アナログ入力範囲、最大スループット (特に記述のない限り)

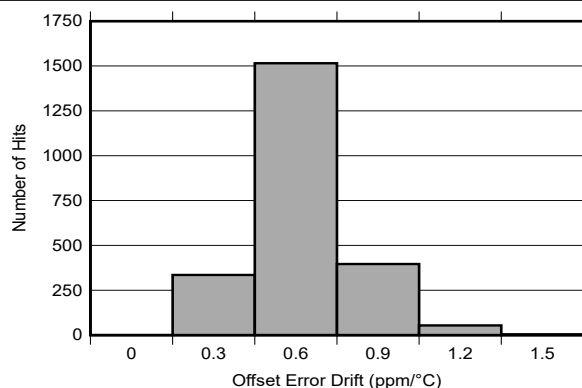


図 5-36. オフセット誤差ドリフトのヒストグラム

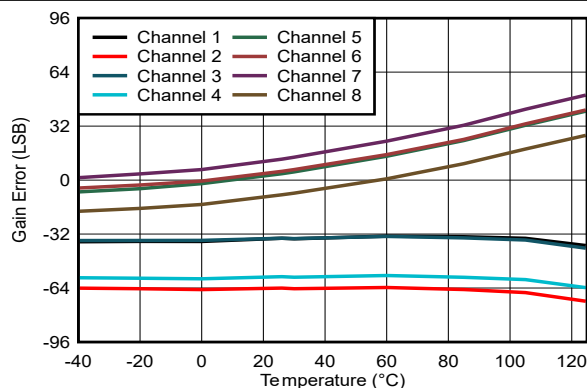


図 5-37. ゲイン誤差と温度との関係、温度 = $\pm 5V$

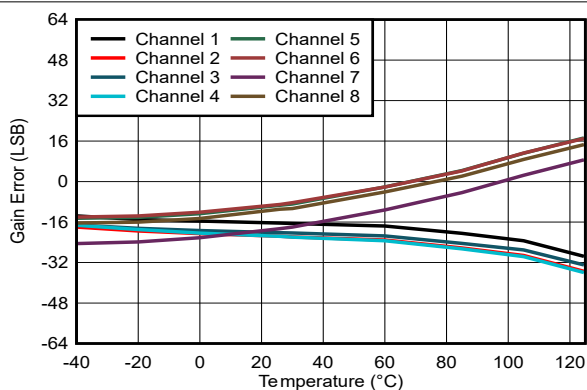


図 5-38. ゲイン誤差と温度との関係、温度 = $\pm 10V$

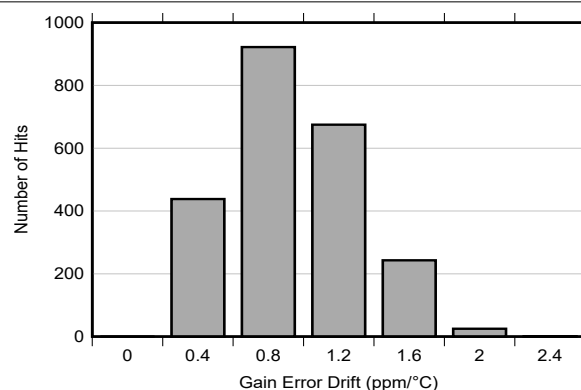
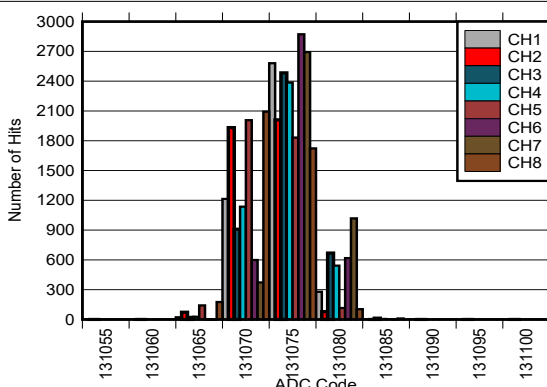
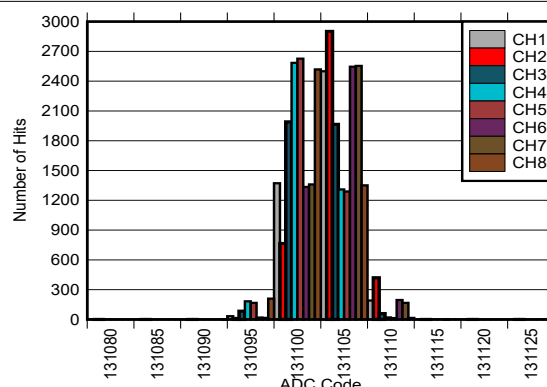


図 5-39. ゲイン誤差ドリフトのヒストグラム



平均 = 131073.8LSB、標準偏差 = 2.45LSB、ヒット数 = 4096

図 5-40. $AINxP = AINxM = GND$ 、低 BW モード、 $RANGE = \pm 5V$ におけるコードの DC ヒストグラム

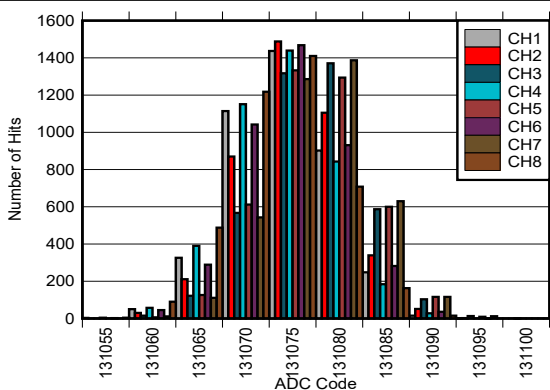


平均 = 131103.5LSB、標準偏差 = 2.49LSB、ヒット数 = 4096

図 5-41. $V_{IN} = 1mV$ 、低 BW モード、 $RANGE = \pm 5V$ におけるコードの DC ヒストグラム

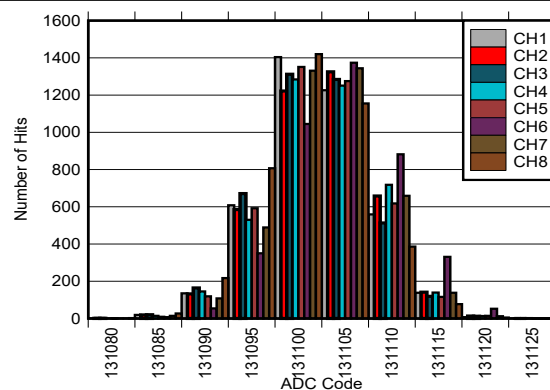
5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD_5V = 5V$ 、 $VDD_1V8 = 1.8V$ 、内部 $V_{REF} = 4.096V$ 、 $\pm 5V$ アナログ入力範囲、最大スループット (特に記述のない限り)



平均 = 131074.4LSB、標準偏差 = 5.47LSB、ヒット数 = 4096

図 5-42. $AINxP = AINxM = GND$ 、広 BW モード、 $RANGE = \pm 5V$ におけるコードの DC ヒストグラム



平均 = 131102.3LSB、標準偏差 = 5.68LSB、ヒット数 = 4096

図 5-43. $V_{IN} = 1mV$ 、広 BW モード、 $RANGE = \pm 5V$ におけるコードの DC ヒストグラム

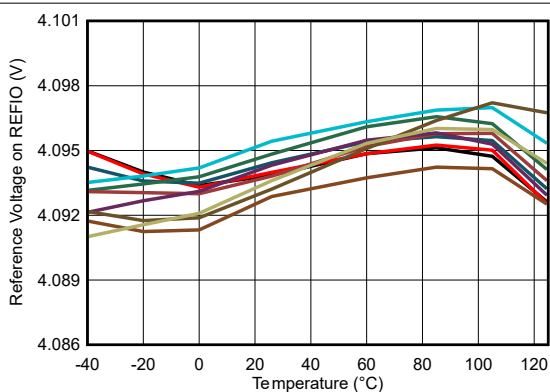


図 5-44. REFIO と温度との関係

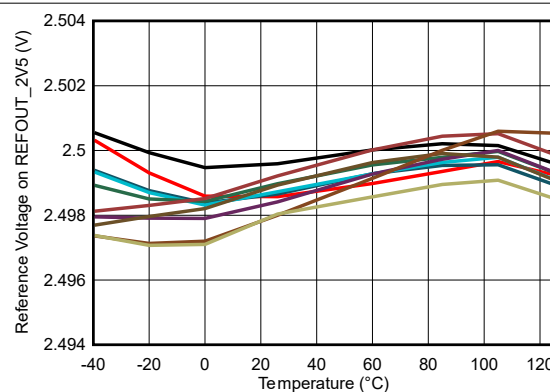


図 5-45. REFOUT_2V5 と温度との関係

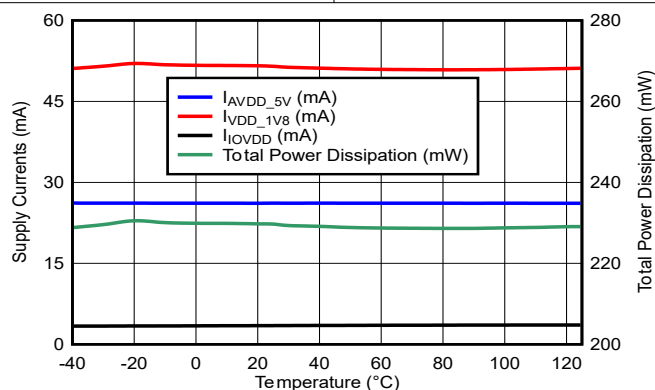


図 5-46. 電源電流および全消費電力と温度との関係

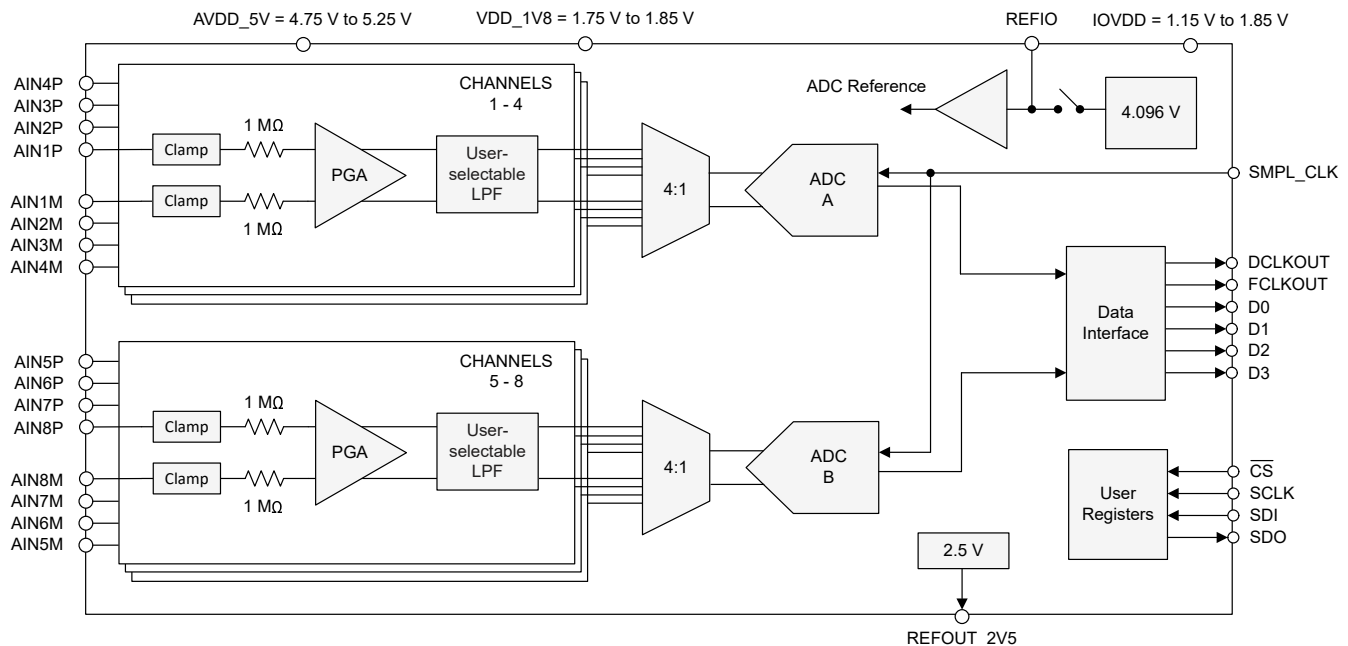
6 詳細説明

6.1 概要

ADS981x は 18 ビット データ アクイジション (DAQ) システムで、8 チャンネルのアナログ入力を備えており、シングルエンドまたは差動に構成できます。各アナログ入力チャンネルは、入力クランプ保護回路およびユーザー選択可能な帯域幅オプションを備えたプログラマブル ゲイン アンプ (PGA) で構成されています。入力信号は、逐次比較型 (SAR) アーキテクチャに基づいて、18 ビットの A/D コンバータ (ADC) でデジタル化されます。このシステム全体で、すべてのチャンネルで、チャンネルあたり最大 2MSPS のスループットを実現できます。このデバイスには、高速セトリング バッファ付きの 4.096V 内部リファレンスが搭載されています。

このデバイスは 5V および 1.8V のアナログ電源で動作し、真のバイポーラ入力信号に対応できます。入力クランプ保護回路は、最大 $\pm 18V$ の電圧に耐えられます。このデバイスは、サンプリング周波数や選択された入力レンジに関係なく、一定の 1M Ω の抵抗性入力インピーダンスを提供します。ADS981x は、外部の高電圧バイポーラ電源や複雑なドライバ回路を必要とせず、簡素化された最終設計を実現します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 アナログ入力

ADS981x には、同時サンプリング可能な 18 ビット逐次比較型 (SAR) A/D コンバータ (ADC) が 2 つ組み込まれています。各 ADC は、マルチプレクサ経由で、4 つのアナログ入力チャンネルに接続されます。このデバイスには、合計 8 つのアナログ入力ペアがあります。ADC は、アナログ入力ペア $AINxP$ - $AINxM$ の電圧差をデジタル化します。図 6-1 は、各アナログ入力チャンネルの簡略化した回路図を示しており、入力クランプ保護回路、PGA、ローパス フィルタ、マルチプレクサ、高速 ADC ドライバ、および高精度な 18 ビット逐次比較型 ADC を含みます。

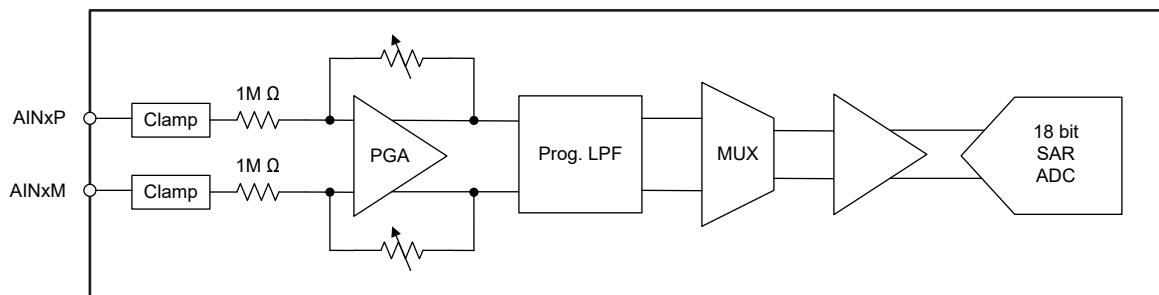


図 6-1. 選択したアナログ入力チャンネルのフロントエンド回路図

6.3.1.1 入力クランプ保護回路

ADS981x は、8 つのアナログ入力チャンネルそれぞれに内部クランプ保護回路を備えています (図 6-1 参照)。入力クランプ保護回路により、各アナログ入力は最大 $\pm 18V$ までスイングできます。入力電圧が $\pm 18V$ を超えると、入力クランプ回路がオンになり、単一の 5V 電源で引き続き動作します。図 6-2 に、入力クランプの電流と電圧特性の代表的な曲線を示します。

クランプ スレッシュホールドを超える入力電圧に対しては、入力電流が $\pm 10mA$ を超えないことを確認します。アナログ入力に直列に配置された抵抗は、入力電流を制限する効果的な方法です。入力電流を制限するだけでなく、直列抵抗はコンデンサと組み合わせることで、アンチエイリアス機能を備えたローパス フィルタ (LPF) としても機能します。 $AINxP$ および $AINxM$ ピンにおける外部ソース インピーダンスを一致させることで、追加のオフセット誤差が相殺されます。

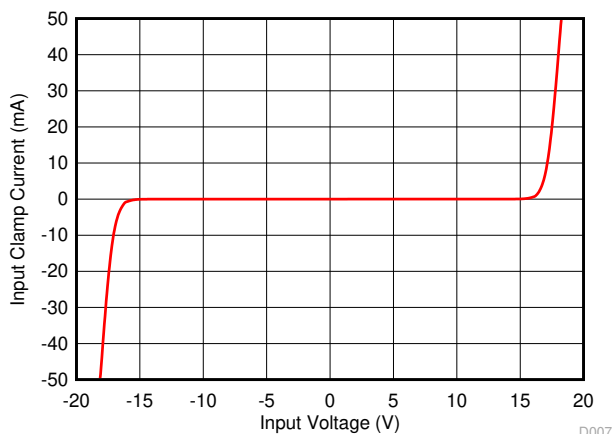


図 6-2. 入力保護クランプ プロファイル、入力クランプ電流とソース電圧との関係

6.3.1.2 プログラマブル ゲイン アンプ (PGA)

ADS981x は、すべてのアナログ入力チャンネルに PGA を備えています。PGA は、シングルエンド入力および差動入力の両方に対応しており、バイポーラ信号スイングをサポートします。表 6-1 に、サポートされているアナログ入力範囲を示します。各チャンネルのアナログ入力範囲は、アドレス $0xC2$ および $0xC3$ にある $RANGE_CHx$ レジスタ フィールドを使用して個別に設定できます。

表 6-1. アナログ入力範囲

差動入力	シングルエンド入力	RANGE_CHx 構成
±12V	±12V	5
±10V	±10V	4
±7V	±7V	3
±5V	±5V	0
±3.5V	±3.5V	1
±2.5V	±2.5V	2

各アナログ入力チャネルには、PGA の出力にアンチエイリアス用のローパスフィルタ (LPF) が備わっています。表 6-2 に、アナログ入力範囲に対応する ADS981x で使用可能な各種のプログラマブル LPF オプションを示します。図 5-14 および図 5-15 に、低帯域幅および広帯域幅の LPF 構成の周波数応答を示します。8 つのアナログ入力チャネルのアナログ入力帯域幅は、レジスタバンク 1 のアドレス 0xC0 にある ANA_BW[7:0] ビットを使用して選択します。

表 6-2. ローパスフィルタのコーナー周波数

LPF	アナログ入力電圧範囲	コーナー周波数 (-3dB)
低帯域幅	すべての入力範囲	21kHz
広い帯域幅	±12V	375kHz
	±10V	385kHz
	±7V	400kHz
	±5V	320kHz
	±3.5V	240kHz
	±2.5V	182kHz

6.3.1.3 広い同相電圧除去回路

ADS981x は、最大 ±12V の CM 電圧をサポートするアナログ入力の同相モード (CM) 除去回路を備えています。差動入力の CM 電圧は式 1 で求められます。起動時またはリセット後、アナログ入力チャネルの同相電圧範囲は ±12V です (CM_CTRL_EN = 0b の場合)。アナログ入力の電圧はいずれの場合も、絶対最大定格の範囲内である必要があります。

$$\text{Common mode voltage} = \frac{(\text{Voltage on AINP}) + (\text{Voltage on AINM})}{2} \quad (1)$$

次の表で説明しているように、差動入力のさまざまな CM 電圧に対して CM 電圧除去回路を最適化します。

表 6-3. 差動入力向けの広い同相モード構成

同相モード (CM) 範囲	CM_CTRL_EN	ADC A (ANALOG INPUT CHANNELS 1 ~ 4)		ADC B (ANALOG INPUT CHANNELS 5 ~ 8)	
		CM_EN_CH[4:1]	CM_RNG_CH[4:1]	CM_EN_CH[8:5]	CM_RNG_CH[8:5]
CM ≤ ±1V	1	0	未使用	0	未使用
CM ≤ ±RANGE / 2		1	0	1	0
CM ≤ ±6V			1		1
CM ≤ ±12V			2		2

シングルエンド入力を使用する場合も、CM 電圧除去回路は PGA のアナログ入力範囲に応じて構成される必要があります。次の表には、さまざまなアナログ入力電圧範囲に対するシングルエンド入力の推奨設定が示されています。

表 6-4. シングルエンド入力用の広い同相モード構成

PGA アナログ入力範囲	CM_CTRL_EN	ADC A (ANALOG INPUT CHANNELS 1 ~ 4)		ADC B (ANALOG INPUT CHANNELS 5 ~ 8)	
		CM_EN_CH[4:1]	CM_RNG_CH[4:1]	CM_EN_CH[8:5]	CM_RNG_CH[8:5]
±2.5V、±3.5V、±5V	1	0	未使用	0	未使用
±7V、±10V、±12V		1	0	1	0

6.3.1.4 ゲイン誤差のキャリブレーション

ADS981x は、アナログ入力からのゲイン誤差を最小限に抑えるためにキャリブレーション ロジックを備えています。最小ゲイン誤差のキャリブレーションを有効にします。ゲイン誤差のキャリブレーションは、GE_CAL_EN1 (アドレス = 0xD)、GE_CAL_EN2、GE_CAL_EN3 (アドレス = 0x33)、GE_CAL_EN4 (アドレス = 0x34) を設定することにより有効にできます。

表 6-5 に示すように、ゲイン誤差のキャリブレーションが有効でない場合、フルスケール アナログ入力範囲は 1.024 倍に増加します。

表 6-5. アナログ入力範囲とゲイン誤差のキャリブレーションとの関係

RANGE_CHx 構成	キャリブレーションありのアナログ入力範囲	キャリブレーションなしのアナログ入力範囲
5	±12V	±12.288V
4	±10V	±10.24V
3	±7V	±7.168V
0	±5V	±5.12V
1	±3.5V	±3.584V
2	±2.5V	±2.56V

6.3.2 ADC の伝達関数

ADS981x は、18 ビットの変換データを、ストレート バイナリ形式またはバイナリ 2 の補数形式のいずれかで出力します。出力コードの形式は、すべてのアナログ チャネルで同じです。出力コードの形式は、レジスタ バンク 1 のアドレス 0xD の DATA_FORMAT フィールドを使用して選択できます。図 6-3 および表 6-6 は、ADS981x の転送特性を示します。LSB サイズは、選択したアナログ入力範囲、ゲイン誤差キャリブレーション、システム ゲイン誤差キャリブレーションによって決まります (式 2 を参照)。

$$LSB = \frac{\text{Analog input range}}{2^{18}} \times (1 + G \times 0.024) \quad (2)$$

ここで

- ゲイン誤差キャリブレーションの有効時、G は 0 です。それ以外の場合は G は 1 です。ゲイン誤差のキャリブレーション セクションを参照してください

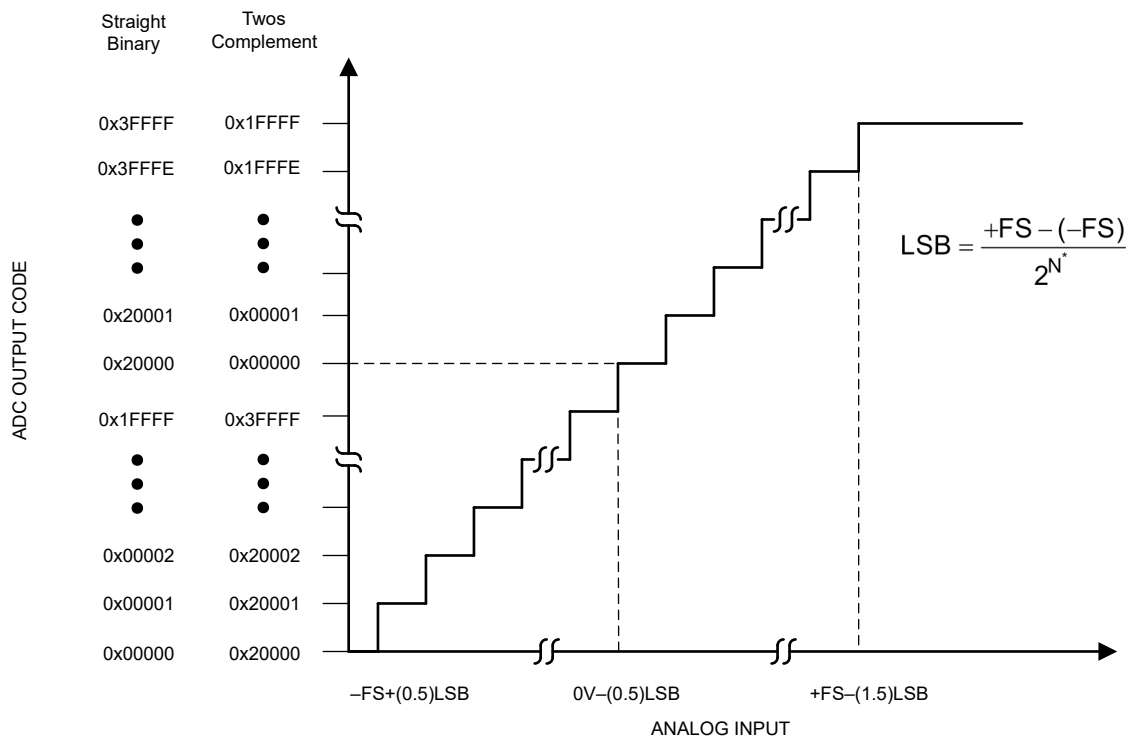


図 6-3. 伝達特性

表 6-6. ADC のフルスケール レンジと LSB サイズ

RANGE	+FS	ミッドスケール	-FS	LSB
±2.5V	2.5V	0V	-2.5V	19.07μV
±3.5V	3.5V	0V	-3.5V	26.70μV
±5V	5V	0V	-5V	38.15μV
±7V	7V	0V	-7V	53.41μV
±10V	10V	0V	-10V	76.29μV
±12V	12V	0V	-12V	91.55μV

6.3.3 ADC サンプリングクロック入力

信号対雑音比の性能を最大限に高めるには、スループートの高い低ジッタの外部クロックを使用します。ADS981x は、差動クロック入力またはシングルエンド クロック入力で作動できます。クロック振幅は ADC のアパーチャ ジッタに影響し、結果として信号対雑音比にも影響を与えます。最大限の信号対雑音比の性能を得るため、IOVDD レベルと GND レベル間のスイングを最大化する高速スループートのクロック信号を提供します。

サンプリング クロックは、フリーランニングの連続クロックである必要があります。ADC はフリーランニング サンプリング クロックが印加された後で、有効な出力データ、データ クロック、フレーム クロックを生成します。サンプリング クロックが停止すると、ADC はパワーダウンして、出力データ、データ クロック、フレーム クロックは無効になります。

図 6-4 に、差動サンプリング クロック入力の図が示されています。この構成では、差動サンプリング クロック入力を SMPL_CLKP ピンおよび SMPL_CLKM ピンに接続します。図 6-5 に、シングルエンド サンプリング クロック入力の図が示されています。この構成では、シングルエンド サンプリング クロックを SMPL_CLKP に接続し、SMPL_CLKM を接地します。

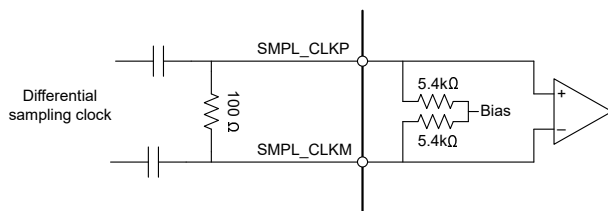


図 6-4. AC 結合差動サンプリング クロック

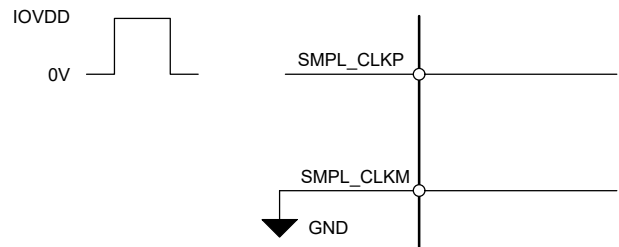


図 6-5. シングルエンド サンプリング クロック

6.3.4 リファレンス

ADS981x は、高精度で低ドリフトの電圧リファレンスをデバイスに内蔵しています。最高の性能を得るため、10μF セラミック バイパス コンデンサを REFIO ピンに接続して、内部リファレンス ノイズをフィルタします。外部リファレンスは REFIO ピンに接続することもできます。レジスタ バンク 1 のアドレス 0xC1 に PD_REF = 1b を書き込むことで、内部リファレンス電圧をディスエーブルにできます。

6.3.4.1 内部リファレンス電圧

ADS981x には、公称出力電圧 4.096V の内部リファレンス電圧が備わっています。パワーアップ時に、内部リファレンスはデフォルトで有効化されます。図 6-6 に示すとおり、REFIO ピンと REFM ピンの間に、最小 10μF のデカップリング コンデンサを配置します。

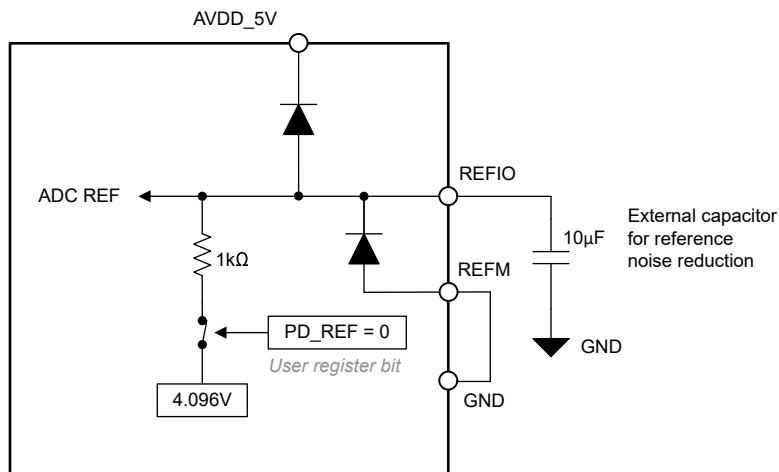


図 6-6. 内部リファレンス電圧

6.3.4.2 外部基準電圧

図 6-7 に示すとおり、外部の 4.096V リファレンス電圧は、REFIO ピンと REFM ピンの間に適切なデカップリング コンデンサを配置して、REFIO ピンに接続できます。熱ドリフト性能を向上させるために、REF7040 を使用することを推奨します。内部リファレンスを無効にするには、レジスタ バンク 1 のアドレス 0xC1 で PD_REF = 1b に設定します。REFIO ピンには ESD 保護ダイオードがあり、AVDD_5V ピンと REFM ピンに接続されています。

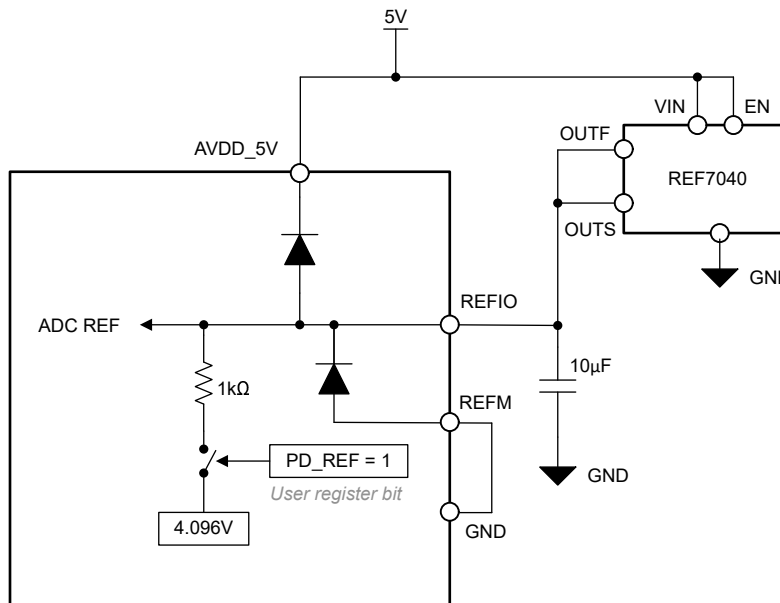


図 6-7. 外部基準電圧

6.3.5 サンプル同期

単一デバイスであっても、パワーアップ時、またはサンプリング クロックのリセット後に、FCLKOUT の立ち上がりエッジをチャネル 1 のデータ出力と同期させるため、SYNC パルスは必要不可欠です。図 5-2、図 5-3、図 5-4 およびに示すように図 5-5、SYNC は FCLKOUT 信号をデータ フレームに整列します。SYNC 信号が与えられない場合、アナログ チャネル選択と FCLKOUT は同期せず、フレーム内のチャネル出力データのシーケンスが不適切になる可能性があります。リセットの除去に対しては、最小 5μs の遅延後に SYNC パルスを印加する必要があります。

システム内に複数の ADS981x デバイスが存在する場合は、以下の手順に従って、デバイス間の同時サンプリングを確認してください。

1. すべての ADS981x デバイスは、同一の SMPL_CLK 信号と SMPL_SYNC 信号を共有する必要があり、これらの信号は ADC 外部において同一の遅延を持ちます。
2. SMPL_SYNC ピンの正のパルスは SMPL_CLK 信号の立ち下がりエッジを中心にしてすべての ADC を同期します。

6.3.6 データ インターフェイス

ADS981x は、2 レーンおよび 4 レーン モードをサポートしており、シングル データ レート (SDR) とダブル データ レート (DDR) のインターフェース モードに対応します。データ インターフェイスは、表 6-7 で説明されている構成 SPI を使用して選択できます。ADC は、SMPL_CLK 入力ピンに与えられるサンプリング クロック信号に応答して、データ (D[3:0])、データ クロック (DCLKOUT)、およびフレーム クロック (FCLKOUT) を生成します。18 ビットの ADC 変換結果は、24 ビットのデータ パケット内で MSB から順に出力され、最後の 6 ビットはゼロになります。

データ インターフェイス信号は次のように説明されています。

- D[3:0]: ADC からのデータ出力。4 レーン モードでは 4 本すべてのレーンが使用されますが、2 レーン モードでは D3 と D1 が ADC データの出力に使用されます。
- DCLKOUT: ADC からのデータ クロック出力。
- FCLKOUT: ADC からのフレーム クロック出力により、8 つチャネル データを区切ります。[サンプル同期](#) セクションで説明されているように、電源投入時またはデバイス リセット後に、FCLKOUT の立ち上がりエッジをチャネル 1 のデータ出力と同期させるため、SYNC パルスが必要です。

表 6-7 のレジスタを使用して、データ インターフェイスを構成します。

表 6-7. インターフェイス モード用のレジスタ構成

インターフェイス モード	図	DATA_RATE (アドレス = 0xC1)	DATA_LANES (アドレス = 0xC1)
4 レーン、DDR	図 5-2	0	0
2 レーン、DDR	図 5-3	0	1
4 レーン、SDR	図 5-4	1	0
2 レーン、SDR	図 5-5	1	1

6.3.6.1 データ クロック出力

ADS981x にはソース同期データ インターフェイスがあり、ADC は出力データとクロックを供給してデータをキャプチャします。データをキャプチャするためのクロックは DCLKOUT ピンに出力されます。クロック周波数は、サンプリング クロック速度、データ レート (SDR または DDR)、出力レーン数 (4 レーンまたは 2 レーン) に依存し、[式 3](#) で与えられます。フレームクロック周波数は [式 4](#) で求められます。

$$\text{Data clock frequency} = \frac{24 \text{ bits/channel} \times 8 \text{ channels}}{\text{Number of data lanes} \times \text{Data rate (SDR} = 1, \text{DDR} = 2)} \times \text{Frame clock frequency} \quad (3)$$

$$\text{Frame clock frequency} = \frac{\text{Sampling clock frequency}}{4} \quad (4)$$

[表 6-8](#) には、さまざまなインターフェイス モードにおける ADS9817 および ADS9815 の最大サンプリング レートに対応するデータ クロック周波数が示されています。

表 6-8. インターフェイス モードのデータ クロック周波数

インターフェイス モード	ADS9815 (f _{SMPL_CLK} = 4MHz)	ADS9817 (f _{SMPL_CLK} = 8MHz)
4 レーン、DDR	24MHz	48MHz
2 レーン、DDR	48MHz	96MHz
4 レーン、SDR	48MHz	96MHz
2 レーン、SDR	96MHz	非対応

6.3.6.2 ADC 出力データ ランダマイザー

[図 6-8](#) に示すように、ADS981x には、データ出力ランダマイザーがあります。これが有効である場合、ADC 変換結果は、変換結果の LSB ビットとビット単位で排他 OR (XOR) されます。ADC 変換結果の LSB は、1 または 0 の確率が同じです。XOR 動作の結果、ADS981x からのデータ出力はランダム化されます。データ インターフェイス上でランダム化された結果を送信することにより発生するグラウンド バウンスは、アナログ入力電圧とは関連していません。この無相関転送により、PCB レイアウトでグラウンド バウンスが最小限に抑えられないときに、データ転送と ADC のアナログ性能との間の干渉を最小限に抑えることができます。

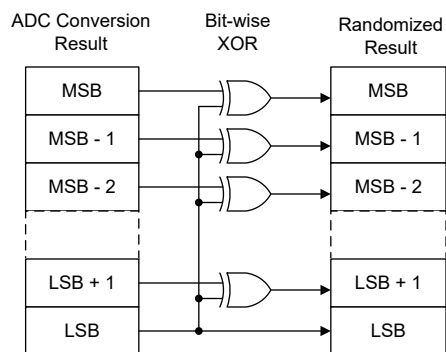


図 6-8. ビット単位の XOR 動作

6.3.6.3 データ インターフェイスのテスト パターン

図 6-9 に示されているとおり、ADS981x は、データ インターフェイスのデバッグと検証のためにホストで使用するテストパターンを備えています。テスト パターンは、ADC 出力データを事前定義済みデジタル データに置き換えます。バンク 1 の対応するレジスタ アドレス 0x13 ~ 0x1B を構成することで、テスト パターンを有効にします。

表 6-9 に、ADS981x でサポートされているテスト パターンが示されています。

Register Address	Bit 15	Bit 8	Bit 7	Bit 0	
0x13	CH[4:1] Test Pattern Control Register				Test Patterns for CH[4:1] • Fixed Pattern {TP0} • Digital ramp • Alternating {TP0, TP1}
0x14	TP0_A LSB				
0x15	TP1_A LSB	MSB		TP0_A	
0x16	MSB TP1_A				Test Patterns for CH[8:5] • Fixed Pattern {TP0} • Digital ramp • Alternating {TP0, TP1}
0x18	CH[8:5] Test Pattern Control Register				
0x19	TP0_B LSB				
0x1A	TP1_B LSB	MSB		TP0_B	
0x1B	MSB TP1_B				

図 6-9. テスト パターンのレジスタ バンク

表 6-9. テスト パターン構成

ADC 出力	TP_EN_CH[4:1] TP_EN_CH[8:5]	TP_MODE_CH[4:1] TP_MODE_CH[8:5]	セクション	結果 ⁽¹⁾
ADC 変換結果	0			
固定パターン	1	0 または 1	固定パターン	CH[4:1] = TP0_A CH[8:5] = TP0_B
デジタル ランプ	1	2	デジタル ランプ	CH[4:1] = デジタル ランプ CH[8:5] = デジタル ランプ
テスト パターンの交互配置	1	3	交互テスト パターン	CH[4:1] = TP0_A, TP1_A CH[8:5] = TP0_B, TP1_B

(1) 2 つの独立したチャネル グループ CH[4:1] と CH[8:5] のテスト パターンを設定します。

6.3.6.3.1 固定パターン

ADC は、CH[4:1] および CH[8:5] のデータの代わりに、TP0_A レジスタおよび TP0_B レジスタで定義された固定パターンをそれぞれ出力します。

- TP0_A と TP0_B のテスト パターンを構成します
- TP_EN_CH[4:1] = 1、TP_MODE_CH[4:1] = 0 (アドレス = 0x13)、TP_EN_CH[8:5] = 1、および TP_MODE_CH[8:5] = 0 (アドレス = 0x18)

6.3.6.3.2 デジタル ランプ

ADC は、CH[4:1] データおよび CH[8:5] データの代わりに、それぞれ RAMP_INC_A レジスタおよび RAMP_INC_B レジスタで指定された増分を持つデジタル ランプ値を出力します。

- RAMP_INC_A (アドレス = 0x13) および RAMP_INC_B (アドレス = 0x18) レジスタのデジタル ランプの 2 つの連続する手順間のインクリメント値をそれぞれ構成します。デジタル ランプは N+1 だけインクリメントします。ここで、N はこれらのレジスタで構成された値です。
- TP_EN_CH[4:1] = 1、TP_MODE_CH[4:1] = 2 (アドレス = 0x13)、TP_EN_CH[8:5] = 1、および TP_MODE_CH[8:5] = 2 (アドレス = 0x18)

6.3.6.3.3 交互テスト パターン

ADC は、CH[4:1] データおよび CH[8:5] データの代わりに、それぞれ TP0_A、TP1_A レジスタおよび TP0_B、TP1_B レジスタで定義された交互のテスト パターンを出力します。

- TP0_A、TP1_A、TP0_B、TP1_B のテスト パターンを構成します
- TP_EN_CH[4:1] = 1、TP_MODE_CH[4:1] = 3 (アドレス = 0x13)、TP_EN_CH[8:5] = 1、および TP_MODE_CH[8:5] = 3 (アドレス = 0x18)

6.4 デバイスの機能モード

6.4.1 パワーダウン

ADS981x は、 $\overline{\text{PWDN}}$ ピンをロジック 0 にするか、またはレジスタ バンク 1 のアドレス 0xC0 にある PD_CH フィールドに 11b を書き込むことによって、パワーダウンされます。デバイス レジスタの設定は保持されます。

6.4.2 リセット

ADS981x は、 $\overline{\text{RESET}}$ ピンをロジック 0 にするか、またはレジスタ バンク 0 のアドレス 0x00 にある RESET フィールドに 1b を書き込むことによって、パワーダウンおよびリセットされます。デバイスのレジスタは、リセット後にデフォルト値へ初期化され、その後、一連のレジスタ書き込み操作によってデバイスが初期化される必要があります。[初期化シーケンス](#) セクションをご覧ください。

リセットを削除した後、レジスタ書き込みまたは SYNC パルスが印加される前に、5 μ s 待機時間が必要です。ただし、リセット後の有効データ出力については、パワーアップ時間制約が適用されます (t_{pu})

6.4.3 初期化シーケンス

[表 6-10](#) に示すように、ADS981x は、デバイスのパワーアップまたはリセット後に、レジスタ書き込みシーケンスを使用して初期化する必要があります。初期化シーケンスを実行する前に、フリーランニングのサンプリング クロックを ADC に接続する必要があります。初期化シーケンスの完了後、ADS981x のレジスタはデフォルト値で初期化されます。

表 6-10. ADS981x の初期化シーケンス

手順番号	レジスタ			備考
	バンク	アドレス	VALUE[15:0]	
1	0	0x03	0x0002	レジスタ バンク 1 を選択
2	1	0xF6	0x0002	INIT_2 = 1
3	0	0x04	0x000B	INIT_1 = 1011b
4	0	0x03	0x0010	レジスタ バンク 2 を選択
5	2	0x12	0x0040	INIT_3 = 1
6	2	0x13	0x8000	INIT_4 = 1
7	2	0x0A	0x4000	INIT_5 = 1
8	10 μ s (最小値) を待機			
9	2	0x0A	0x0000	INIT_5 = 0
10	0	0x03	0x0002	レジスタ バンク 1 を選択
11	1	0xF6	0x0000	INIT_2 = 0
12	0	0x03	0x0010	レジスタ バンク 2 を選択
13	2	0x13	0x0000	INIT_5 = 0
14	2	0x12	0x0000	INIT_4 = 0
15	0	0x04	0x0000	INIT_1 = 0
16	0	0x03	0x0002	レジスタ バンク 1 を選択
17	1	0x33	0x0030	INIT_KEY を書き込み
18	1	0xF4	0x0000	INIT = 0
19	1	0xF4	0x0002	INIT = 1
20	1ms (最小値) を待機			
21	1	0xF4	0x0000	INIT = 0
22	1ms (最小値) を待機			
23	1	0x33	0x0000	INIT_KEY = 0
24	1	0x0D	<user-defined>	ゲイン誤差の較正を有効にし、ADC 出力データフォーマットを選択します
25	1	0x33	0x2040	ゲイン誤差の較正を有効にします

表 6-10. ADS981x の初期化シーケンス (続き)

手順番号	レジスタ			備考
	バンク	アドレス	VALUE[15:0]	
26	1	0x34	0x0010	ゲイン誤差の較正を有効にします

表 6-11 に示すように、ADS981x のデフォルト設定をユーザー定義構成に変更できます。

- アナログ入力: アナログ入力範囲、帯域幅、同相電圧範囲
- データ インターフェイス: 出力レーン数、シングルまたはダブル データ レート

表 6-11. ADS981x ユーザー構成

ステップ	レジスタ			備考
	バンク	アドレス	VALUE[15:0]	
1	1	0xC1	<user-defined>	データ インターフェイス (データ レート、レーン数) を構成し、内部または外部リファレンスを選択する
2	1	0xC2, 0xC3	<user-defined>	アナログ入力範囲を選択します。表 6-1 を参照してください。
3	1	0xC0	<user-defined>	アナログ入力帯域幅を選択します。表 6-2 を参照してください。
4	1	0xC4, 0xC5	<user-defined>	アナログ入力の同相範囲を選択します。表 6-3 と表 6-4 を参照してください。

6.4.4 通常動作

ADS981x が初期化されると (表 6-10 参照)、ADS981x はアナログ入力電圧をデジタル出力に変換します。通常のデバイス動作には、フリーランニング サンプリング クロックが必要です。ADC サンプリング クロック入力 セクションを参照してください。

フレームを適切に整列させるには、パワーアップ時、サンプリング クロックの再起動後、またはリセット後に同期パルスを提供する必要があります。セクション 6.3.5 セクションを参照してください。

6.5 プログラミング

6.5.1 レジスタ書き込み

レジスタ書き込みアクセスは、SPI_RD_EN = 0b を設定することで有効化されます。16 ビットの構成レジスタは 3 つのレジスタ バンクにグループ化されており、8 ビットのレジスタ アドレスでアドレス指定されます。REG_BANK_SEL ビットを構成することで、レジスタ バンク 1 とレジスタ バンク 2 が読み出しまたは書き込み動作のために選択されます。バンク 0 のレジスタは、REG_BANK_SEL ビットに関係なく、常にアクセスできます。バンク 0 のレジスタ アドレスは固有であり、レジスタ バンク 1 および 2 では使用されません。

図 6-10 に示されているように、レジスタに書き込む手順は以下の通りです。

- フレーム 1: 次のレジスタ書き込みのためにレジスタ バンク 1 またはバンク 2 を選択するには、レジスタ バンク 0 のレジスタ アドレス 0x03 に書き込みます。バンク 0 のレジスタに書き込む場合、このフレームは影響を与えません。
- フレーム 2: フレーム 1 で選択されたバンクのレジスタに書き込みます。同じレジスタ バンク内の複数のレジスタに書き込む場合は、この手順を繰り返します。

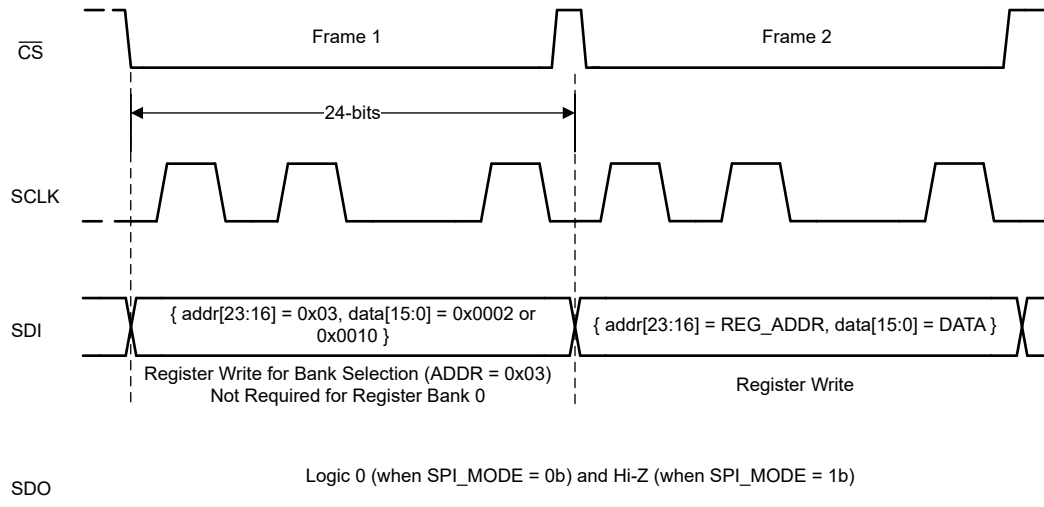


図 6-10. レジスタ書き込み

6.5.2 レジスタ読み出し

レジスタ バンク 0 のレジスタ アドレス 0x03 に書き込み、目的のレジスタ バンクを選択します。レジスタ読み出しアクセスは、レジスタ バンク 0 で SPI_RD_EN = 1b および SPI_MODE = 1b を設定することで有効化されます。図 6-11 に示されているように、SPI_RD_EN および SPI_MODE が設定された後、2 つの 24 ビット SPI フレームを使ってレジスタを読み出すことができます。最初の SPI フレームでレジスタ バンクが選択されます。ADC は、8 ビットのレジスタ アドレスに対応する 2 番目の SPI フレームで 16 ビットのレジスタ値を返します。

図 6-11 に示されているように、レジスタを読み出す手順は以下の通りです。

1. フレーム 1: SPI_RD_EN = 0b の場合、レジスタ バンク 0 のレジスタ アドレス 0x03 に書き込み、読み出し対象のレジスタ バンクを選択します。
2. フレーム 2: レジスタ バンク 0 のレジスタ アドレス 0x00 で SPI_RD_EN = 1b、SPI_MODE = 1b に設定します。
3. フレーム 3: 目的のレジスタ アドレスを含む 24 ビットの SPI フレームを使用して、選択されたバンクのいずれかのレジスタを読み出します。選択したバンクのいずれかのレジスタのアドレスで、対応するレジスタを読み出し、この手順を繰り返します。
4. フレーム 4: SPI_RD_EN を 0 に設定すると、レジスタ読み出しが無効になり、レジスタ書き込みが再度有効になります。
5. 手順 1 ~ 4 を繰り返して、別のバンクのレジスタを読み出します。

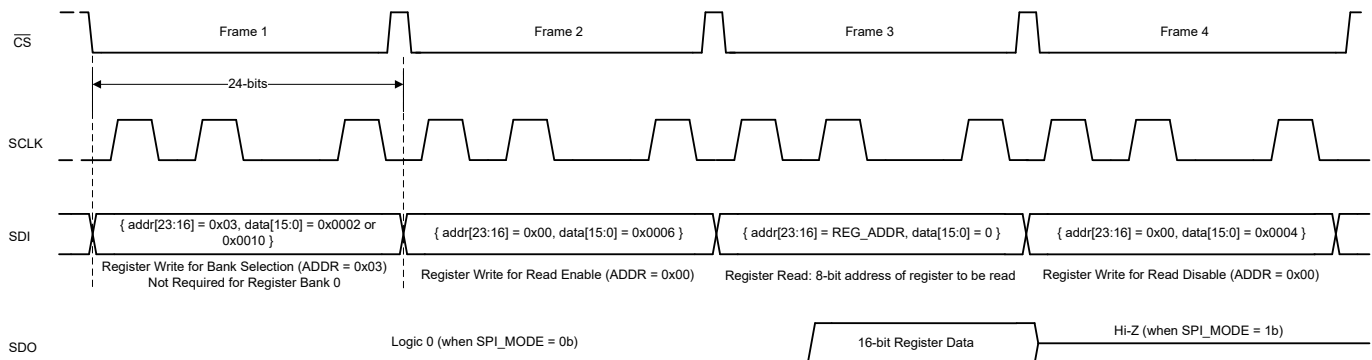


図 6-11. レジスタ読み出し

6.5.3 複数のデバイス : SPI 構成のデイジーチェーン トポロジ

図 6-12 にデイジーチェーン トポロジで複数のデバイスを使用した一般的な接続を示します。

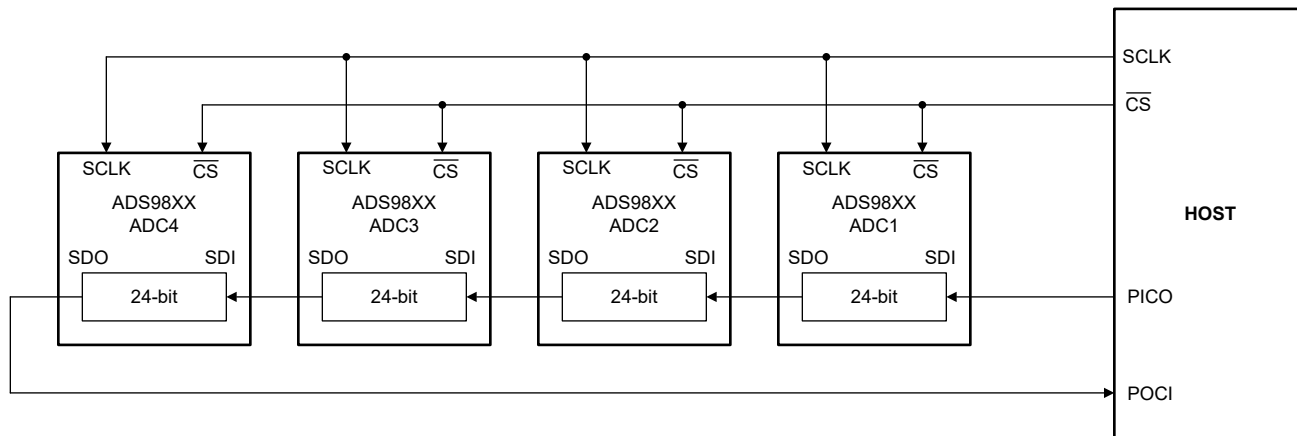


図 6-12. SPI 構成のデイジーチェーン接続

すべての ADC の $\overline{CS}$ および SCLK 入力はい互いに接続され、それぞれコントローラの単一の $\overline{CS}$ および SCLK ピンによって制御されます。チェーン内の最初の ADC (ADC1) の SDI 入力ピンはコントローラの PICO (ペリフェラル IN コントローラ OUT) ピンに接続され、ADC1 の SDO 出力ピンは ADC2 の SDI 入力ピンに接続されます。以降の ADC も同様に接続されます。チェーン内の最後の ADC の SDO 出力ピン (ADC4) は、コントローラのペリフェラル出力コントローラ入力 (POCI) ピンに接続されます。PICO ピンのデータは、 $\overline{CS}$ がアクティブである限り、24 SCLK の遅延で ADC1 を通過します。

パワーアップ後またはデバイスのリセット後に、デイジーチェーン モードを有効にする必要があります。デイジーチェーン モードを有効にするには、DAISY_CHAIN_LEN レジスタのデイジーチェーンの長さを設定します。デイジーチェーンの長さは、ADC1 を除くチェーン内の ADC の数です。図 6-12 では、DAISY_CHAIN_LEN = 3 です。

6.5.3.1 デイジーチェーンでのレジスタ書き込み

デイジーチェーン構成でレジスタに書き込むには、1 つの SPI フレームで $N \times 24$ SCLK が必要です。図 6-13 に示されているように、4 つの ADC を含むデイジーチェーンでのレジスタ書き込みには 96 の SCLK が必要です。

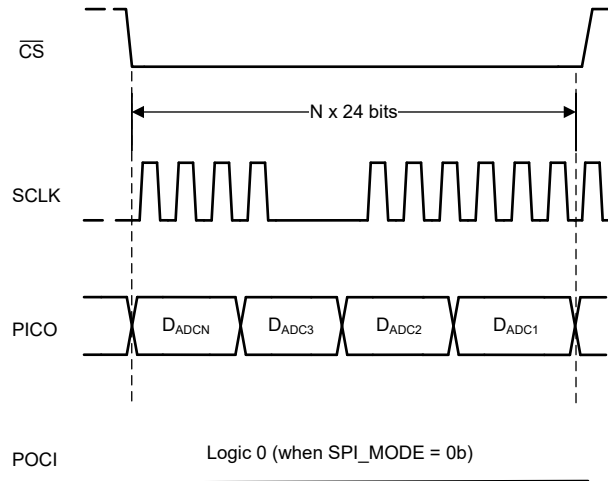


図 6-13. デイジーチェーンでのレジスタ書き込み

デイジーチェーン モードは、パワーアップ時またはデバイスのリセット後に有効になります。DAISY_CHAIN_LEN フィールドを構成して、デイジーチェーン モードを有効にします。図 6-13 に示す波形は N 回繰り返す必要があります。ここで、 N はデイジーチェーン内の ADC の数です。図 6-14 に、 N ADC のデイジーチェーン モードを有効にするための N SPI フレームを含む SPI 波形が示されています。

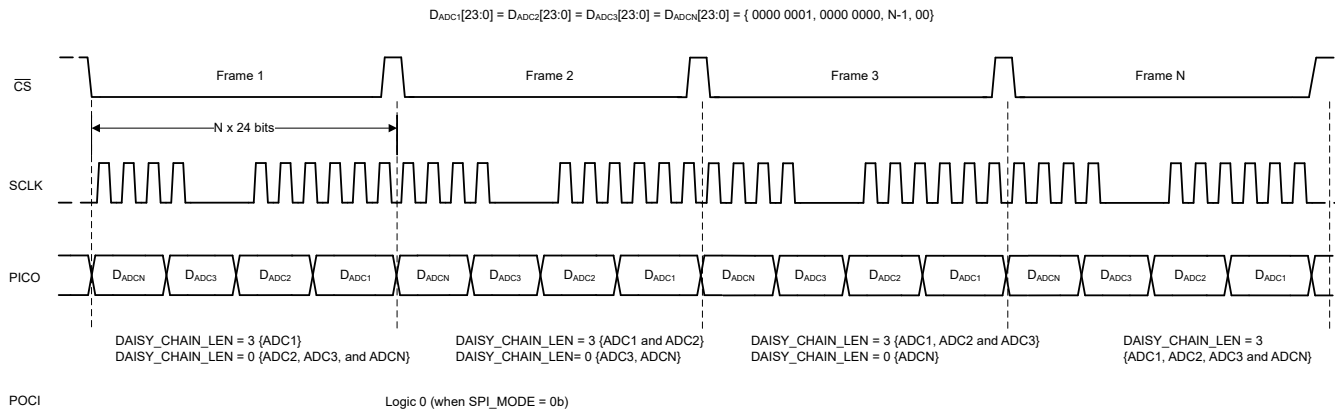


図 6-14. デイジーチェーンの長さを構成するためのレジスタ書き込み

6.5.3.2 デイジーチェーンでのレジスタ読み出し

図 6-15 に、デイジーチェーン構成のレジスタを読み出すための SPI 波形が示されています。デイジーチェーン接続された N 個の ADC からレジスタを読み出す手順は以下のとおりです。

- レジスタ読み出しは、[デイジーチェーンでのレジスタ書き込み](#) を使って次のレジスタに書き込むことで有効になります。
 - PAGE_SEL に書き込み、目的のレジスタ バンクを選択します。
 - SPI_RD_EN = 0b および SPI_MODE = 0b を書き込み、レジスタ読み出しを有効にします (パワーアップ時のデフォルト)。
- レジスタ バンクが選択され、コントローラは次の 2 手順でレジスタ データを読み出せます。

- a. 読み出し対象の 8 ビットレジスタアドレスを含む $N \times 24$ ビット SPI フレーム: N 回繰 {0xFE, 0x00, 8 ビットレジスタアドレス}
- b. レジスタデータを読み出すための $N \times 24$ ビット SPI フレーム: N 回 {0xFF, 0xFF, 0xFF}

手順 2a の 0xFE は、指定された 8 ビットアドレスからのレジスタ読み出しのための ADC を構成します。手順 2a が終了すると、ADC の出力シフトレジスタにレジスタのデータがロードされます。ADC は、8 ビットのレジスタアドレス、およびそれに対応する 16 ビットのレジスタデータを手順 2b で返します。

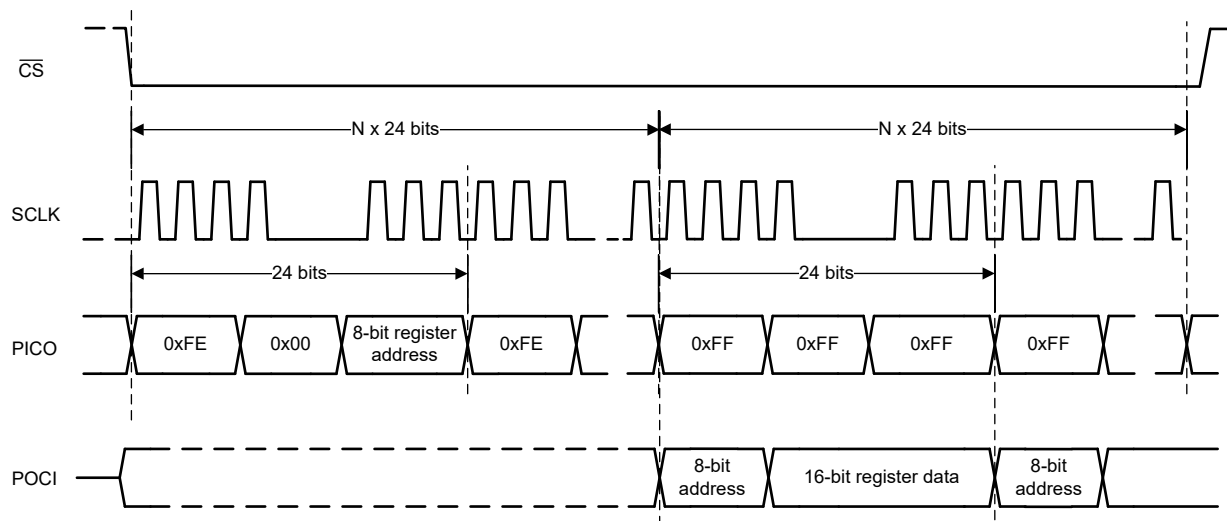


図 6-15. デイジーチェーンでのレジスタ読み出し

7 レジスタ マップ

7.1 レジスタ バンク 0

図 7-1. レジスタ バンク 0 マップ

追加	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00h	予約済み													SPI_MODE	SPI_RD_EN	リセット
01h	予約済み									DAISY_CHAIN_LEN					予約済み	
03h	予約済み								REG_BANK_SEL							
04h	予約済み													INIT_1		
06h	REG_00H_READBACK															

表 7-1. レジスタ セクション / ブロック アクセス タイプ コード

アクセス タイプ	コード	説明
R	R	読み出し
W	W	書き込み
R/W	R/W	読み出しまたは書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.1.1 レジスタ 00h (オフセット = 0h) [リセット = 0h]

図 7-2. レジスタ 00h

15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み					SPI_MODE	SPI_RD_EN	リセット
W-0h					W-0h	W-0h	W-0h

図 7-3. レジスタ 00h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	予約済み	W	0h	予約済み。デフォルトのリセット値から変更しないでください。
2	SPI_MODE	W	0h	レジスタ アクセスの構成インターフェイスとして、従来の SPI モードとデジタイザーチェーン SPI モードのどちらかを選択します。 0: デジタイザーチェーン SPI モード 1: レガシー SPI モード
1	SPI_RD_EN	W	0h	レガシー SPI モードでレジスタ読み出しアクセスを有効にします。このビットは、デジタイザーチェーン SPI モードでは無効です。 0: レジスタ読み出しは無効化 1: レジスタ読み出しは有効化
0	リセット	W	0h	ADC リセット制御。 0: 通常のデバイス動作 1: ADC とすべてのレジスタのリセット

7.1.2 レジスタ 01h (オフセット = 1h) [リセット = 0h]

図 7-4. レジスタ 01h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み	DAISY_CHAIN_LEN					予約済み	
R/W-0h	R/W-0h					R/W-0h	

図 7-5. レジスタ 01h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
6-2	DAISY_CHAIN_LEN	R/W	0h	SPI 構成のために、デジタイザチェーン接続された ADC の数を構成します。 0:1 ADC 1:2 ADC 31:32 ADC
1-0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.1.3 レジスタ 03h (オフセット = 3h) [リセット = 2h]

図 7-6. レジスタ 03h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
REG_BANK_SEL							
R/W-2h							

図 7-7. レジスタ 03h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
7-0	REG_BANK_SEL	R/W	2h	読み出しおよび書き込み動作のレジスタバンクの選択。 0:レジスタ バンク 0 を選択 2:レジスタ バンク 1 を選択 16:レジスタ バンク 2 を選択

7.1.4 レジスタ 04h (オフセット = 4h) [リセット = 0h]

図 7-8. レジスタ 04h

15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				INIT_1			
R/W-0h							

図 7-9. レジスタ 04h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
3-0	INIT_1	R/W	0h	デバイス初期化の INIT_1 フィールド。初期化シーケンスの間に 1011b を書き込みます。通常動作の場合は 0000b を書き込みます。

7.1.5 レジスタ 06h (オフセット = 6h) [リセット = 2h]

図 7-10. レジスタ 06h

15	14	13	12	11	10	9	8
REG_00H_READBACK							
R-0h							
7	6	5	4	3	2	1	0
REG_00H_READBACK							
R-5h							

図 7-11. レジスタ 06h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	REG_00H_READBACK	R	2h	このレジスタは、読み戻しのためのレジスタ アドレス 0x00 のコピーです。レジスタ アドレス 0x00 は書き込み専用です。レジスタ 読み出しには、アドレス 0x00 の SPI_RD_EN を 1 に設定する必要があるため、デフォルトの読み戻し値は 2h です。

7.2 レジスタ バンク 1

図 7-12. レジスタ バンク 1 マップ

追加	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0Dh	予約済み		DATA_F ORMAT	予約済み				GE_CAL_EN1		予約済み						
12h	予約済み												XOR_EN	予約済み		
13h	予約済み								RAMP_INC_A				TP_MODE_CH[4:1]		TP_EN_CH[4:1]	予約済み
14h	TP0_A															
15h	TP1_A								TP0_A							
16h	TP1_A															
18h	予約済み								RAMP_INC_B				TP_MODE_CH[8:5]		TP_EN_CH[8:5]	予約済み
19h	TP0_B															
1Ah	TP1_B								TP0_B							
1Bh	TP1_B															
1Ch	予約済み	USER_BITS_CH[8:5]							予約済み		USER_BITS_CH[4:1]					
33h	予約済み	GE_CAL_EN3	予約済み						GE_CAL_EN2	INIT_KEY		予約済み				
34h	予約済み											GE_CAL_EN4	予約済み			
C0h	予約済み						ANA_BW								PD_CH	
C1h	予約済み				PD_REF	予約済み	DATA_LANES	DATA_RATE	予約済み							
C2h	RANGE_CH4				RANGE_CH3				RANGE_CH2				RANGE_CH1			
C3h	RANGE_CH8				RANGE_CH7				RANGE_CH6				RANGE_CH5			
C4h	予約済み						CM_RNG_CH[8:5]		CM_RNG_CH[4:1]		予約済み		CM_EN_CH[8:5]	CM_EN_CH[4:1]	予約済み	PD_CHIP
C5h	予約済み											CM_CTL_EN	予約済み			
F4h	予約済み														INIT	予約済み
F6h	予約済み														INIT_2	予約済み

表 7-2. レジスタ セクション / ブロック アクセス タイプ コード

アクセス タイプ	コード	説明
R	R	読み出し
W	W	書き込み
R/W	R/W	読み出しまたは書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.2.1 レジスタ 0Dh (オフセット = Dh) [リセット = 2002h]

図 7-13. レジスタ 0Dh

15	14	13	12	11	10	9	8
予約済み		DATA_FORMAT	予約済み				GE_CAL_EN1
R/W-0h		R/W-1h	R/W-0h				R/W-0h
7	6	5	4	3	2	1	0
GE_CAL_EN1		予約済み					
R/W-0h		R/W-2h					

図 7-14. レジスタ 0Dh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
13	DATA_FORMAT	R/W	1h	ADC 変換結果のデータ フォーマットを選択します。 0: ストレート バイナリ形式 1: 2 の補数形式
12-9	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
8-7	GE_CAL_EN1	R/W	0h	ゲイン誤差校正のグローバル制御。 0: すべてのチャンネルでゲイン誤差の校正は無効化 3: すべてのチャンネルでゲイン誤差の校正は有効化
6-0	予約済み	R/W	2h	予約済み。デフォルトのリセット値から変更しないでください。

7.2.2 レジスタ 12h (オフセット = 12h) [リセット = 2h]

図 7-15. レジスタ 12h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み				XOR_EN	予約済み		
R/W-0h				R/W-0h	R/W-2h		

図 7-16. レジスタ 12h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
3	XOR_EN	R/W	0h	ADC 変換結果で XOR 動作を有効にします。 0: XOR 動作はディスエーブルです 1: ADC 変換結果は、ADC 変換結果の LSB ビットとビット単位で XOR されます
2-0	予約済み	R/W	2h	予約済み。デフォルトのリセット値から変更しないでください。

7.2.3 レジスタ 13h (オフセット = 13h) [リセット = 0h]

図 7-17. レジスタ 13h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
RAMP_INC_A				TP_MODE_CH[4:1]		TP_EN_CH[4:1]	予約済み
R/W-0h				R/W-0h		R/W-0h	R/W-0h

図 7-18. レジスタ 13h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
7-4	RAMP_INC_A	R/W	0h	ランプ パターン出力のインクリメント値。出力ランプは N+1 だけインクリメントします。ここで、N はこのレジスタに構成されている値です。
3-2	TP_MODE_CH[4:1]	R/W	0h	アナログ入力チャネル 1、2、3、および 4 に対するデジタル テスト パターンを選択します。 0: TP0_A レジスタからの固定パターン 1: TP0_A レジスタからの固定パターン 2: デジタル ランプ出力 3: TP0_A および TP1_A レジスタからの代替固定パターン出力
1	TP_EN_CH[4:1]	R/W	0h	アナログ入力チャネル 1、2、3、および 4 に対するデータのデジタル テスト パターンをイネーブルにします。 0: データ出力は ADC 変換結果です。 1: データ出力はデジタル テスト パターンです
0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.2.4 レジスタ 14h (オフセット = 14h) [リセット = 0h]

図 7-19. レジスタ 14h

15	14	13	12	11	10	9	8
TP0_A[15:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_A[15:0]							
R/W-0h							

図 7-20. レジスタ 14h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TP0_A[15:0]	R/W	0h	テスト パターン 0 の下位 16 ビット

7.2.5 レジスタ 15h (オフセット = 15h) [リセット = 0h]

図 7-21. レジスタ 15h

15	14	13	12	11	10	9	8
TP1_A[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_A[23:16]							
R/W-0h							

図 7-22. レジスタ 15h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TP1_A[7:0]	R/W	0h	テスト パターン 1 の下位 8 ビット
7-0	TP0_A[23:16]	R/W	0h	テスト パターン 0 の上位 8 ビット

7.2.6 レジスタ 16h (オフセット = 16h) [リセット = 0h]

図 7-23. レジスタ 16h

15	14	13	12	11	10	9	8
TP1_A[23:8]							
R/W-0h							
7	6	5	4	3	2	1	0
TP1_A[23:8]							
R/W-0h							

図 7-24. レジスタ 16h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TP1_A[23:8]	R/W	0h	テスト パターン 1 の上位 16 ビット

7.2.7 レジスタ 18h (オフセット = 18h) [リセット = 0h]

図 7-25. レジスタ 18h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
RAMP_INC_B				TP_MODE_B		TP_EN_B	予約済み
R/W-0h				R/W-0h		R/W-0h	R/W-0h

図 7-26. レジスタ 18h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
7-4	RAMP_INC_B	R/W	0h	ランプ パターン出力のインクリメント値。出力ランプは N+1 だけインクリメントします。ここで、N はこのレジスタに構成されている値です。
3-2	TP_MODE_CH[8:5]	R/W	0h	アナログ入力チャネル 5、6、7、および 8 に対するデジタル テスト パターンを選択します。 0: TP0_B レジスタからの固定パターン 1: TP0_B レジスタからの固定パターン 2: デジタル ランプ出力 3: TP0_B および TP1_B レジスタからの代替固定パターン出力
1	TP_EN_CH[8:5]	R/W	0h	アナログ入力チャネル 5、6、7、および 8 に対するデータのデジタル テスト パターンをイネーブルにします。 0: データ出力は ADC 変換結果です。 1: データ出力はデジタル テスト パターンです
0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.2.8 レジスタ 19h (オフセット = 19h) [リセット = 0h]

図 7-27. レジスタ 19h

15	14	13	12	11	10	9	8
TP0_B[15:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_B[15:0]							
R/W-0h							

図 7-28. レジスタ 19h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TP0_B[15:0]	R/W	0h	テスト パターン 0 の下位 16 ビット

7.2.9 レジスタ 1Ah (オフセット = 1Ah) [リセット = 0h]

図 7-29. レジスタ 1Ah

15	14	13	12	11	10	9	8
TP1_B[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_B[23:16]							
R/W-0h							

図 7-30. レジスタ 1Ah のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TP1_B[7:0]	R/W	0h	テスト パターン 1 の下位 8 ビット
7-0	TP0_B[23:16]	R/W	0h	テスト パターン 0 の上位 8 ビット

7.2.10 レジスタ 1Bh (オフセット = 1Bh) [リセット = 0h]

図 7-31. レジスタ 1Bh

15	14	13	12	11	10	9	8
TP1_B[23:8]							
R/W-0h							
7	6	5	4	3	2	1	0
TP1_B[23:8]							
R/W-0h							

図 7-32. レジスタ 1Bh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TP1_B[23:8]	R/W	0h	テスト パターン 1 の上位 16 ビット

レジスタ 1Ch (オフセット = 1Ch) [リセット = 0h]

図 7-33. レジスタ 1Ch

15	14	13	12	11	10	9	8
予約済み		USER_BITS_CH[8:5]					
R/W-0h		R/W-0h					
7	6	5	4	3	2	1	0
予約済み		USER_BITS_CH[4:1]					
R/W-0h		R/W-0h					

図 7-34. レジスタ 1Ch のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	USER_BITS_CH[8:5]	R/W	0h	アナログ入力チャネル 5、6、7、および 8 の ADC 変換結果にユーザー定義ビットが付加されます。
7-0	USER_BITS_CH[4:1]	R/W	0h	アナログ入力チャネル 1、2、3、および 4 の ADC 変換結果にユーザー定義ビットが付加されます。

7.2.11 レジスタ 33h (オフセット = 33h) [リセット = 0h]

図 7-35. レジスタ 33h

15	14	13	12	11	10	9	8
----	----	----	----	----	----	---	---

図 7-35. レジスタ 33h (続き)

予約済み		GE_CAL_EN3	予約済み				
R/W-0h		R/W-0h	R/W-0h				
7	6	5	4	3	2	1	0
予約済み		GE_CAL_EN2	INIT_KEY		予約済み		
R/W-0h		R/W-0h	R/W-0h		R/W-0h		

図 7-36. レジスタ 33h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
13	GE_CAL_EN3	R/W	0h	ゲイン誤差校正のグローバル制御。 0: すべてのチャンネルでゲイン誤差の校正は無効化 1: すべてのチャンネルでゲイン誤差の校正は有効化
12-7	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
6	GE_CAL_EN2	R/W	0h	ゲイン誤差校正のグローバル制御。 0: すべてのチャンネルでゲイン誤差の校正は無効化 1: すべてのチャンネルでゲイン誤差の校正は有効化
5-4	INIT_KEY	R/W	0h	デバイス初期化シーケンス アクセス キー。デバイス初期化シーケンスにアクセスするには、11b を書き込みます。通常動作の場合は 00b を書き込みます。
3-0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.2.12 レジスタ 34h (オフセット = 34h) [リセット = 0h]

図 7-37. レジスタ 34h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み			GE_CAL_EN4	予約済み			
R/W-0h			R/W-0h	R/W-0h			

図 7-38. レジスタ 34h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
4	GE_CAL_EN4	R/W	0h	ゲイン誤差校正のグローバル制御。 0: すべてのチャンネルでゲイン誤差の校正は無効化 1: すべてのチャンネルでゲイン誤差の校正は有効化
3-0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.2.13 レジスタ C0h (オフセット = C0h) [リセット = 0h]

図 7-39. レジスタ C0h

15	14	13	12	11	10	9	8
予約済み						ANA_BW	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
ANA_BW						PD_CH	
R/W-0h						R/W-0h	

図 7-40. レジスタ C0h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
9-2	ANA_BW	R/W	0h	対応するアナログ入力チャンネルのアナログ入力帯域幅を選択します。 チャンネル 8 の MSB = BW 制御 LSB = チャンネル 1 の BW 制御。 0: 低ノイズ モード 1: 広帯域幅モード
1-0	PD_CH	R/W	0h	アナログ入力チャンネルのパワーダウン制御。 0: 通常動作 1: アナログ入力チャンネル 5、6、7、および 8 はパワー ダウン 2: アナログ入力チャンネル 1、2、3、および 4 はパワー ダウン 3: すべてのチャンネルをパワー ダウンします

7.2.14 レジスタ C1h (オフセット = C1h) [リセット = 0h]

図 7-41. レジスタ C1h

15	14	13	12	11	10	9	8
予約済み				PD_REF	予約済み	DATA_LANES	DATA_RATE
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み							
R/W-0h							

図 7-42. レジスタ C1h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
11	PD_REF	R/W	0h	ADC リファレンス電圧源の選択。 0: 内部リファレンスは有効化。 1: 内部リファレンスは無効化。外部リファレンス電圧を REFIO ピンに接続します。
10	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
9	DATA_LANES	R/W	0h	ADC チャンネルごとの出力データレーン数を選択します。 0: 4 レーン モード。CH[4:1] のデータは D3 および D2 ピンから出力されます。CH[8:5] のデータは D1 および D0 ピンから出力されます。 1: 2 レーン モード。CH[4:1] のデータは D3 ピンから出力されます。CH[8:5] のデータは D1 ピンから出力されます。
8	DATA_RATE	R/W	0h	データ インターフェイスのデータ レートを選択します。 0: デュアル データ レート (DDR) 1: シングル データ レート (SDR)
7-0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.2.15 レジスタ C2h (オフセット = C2h) [リセット = 0h]

図 7-43. レジスタ C2h

15	14	13	12	11	10	9	8
RANGE_CH4				RANGE_CH3			
R/W-0h				R/W-0h			
7	6	5	4	3	2	1	0
RANGE_CH2				RANGE_CH1			
R/W-0h				R/W-0h			

図 7-44. レジスタ C2h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	RANGE_CH4	R/W	0h	各 ADC チャンネルの入力電圧範囲を選択します。 0:±5V 1:±3.5V 2:±2.5V 3:±7V 4:±10V 5:±12V
11-8	RANGE_CH3	R/W	0h	
7-4	RANGE_CH2	R/W	0h	
3-0	RANGE_CH1	R/W	0h	

7.2.16 レジスタ C3h (オフセット = C3h) [リセット = 0h]

図 7-45. レジスタ C3h

15	14	13	12	11	10	9	8
RANGE_CH8				RANGE_CH7			
R/W-0h				R/W-0h			
7	6	5	4	3	2	1	0
RANGE_CH6				RANGE_CH5			
R/W-0h				R/W-0h			

図 7-46. レジスタ C3h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	RANGE_CH8	R/W	0h	各 ADC チャンネルの入力電圧範囲を選択します。 0:±5V 1:±3.5V 2:±2.5V 3:±7V 4:±10V 5:±12V
11-8	RANGE_CH7	R/W	0h	
7-4	RANGE_CH6	R/W	0h	
3-0	RANGE_CH5	R/W	0h	

7.2.17 レジスタ C4h (オフセット = C4h) [リセット = 0h]

図 7-47. レジスタ C4h

15	14	13	12	11	10	9	8
予約済み						CM_RNG_CH[8:5]	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
CM_RNG_CH[4:1]		予約済み		CM_EN_CH[8:5]	CM_EN_CH[4:1]	予約済み	PD_CHIP
R/W-0h		R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h

図 7-48. レジスタ C4h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
9-8	CM_RNG_CH[8:5]	R/W	0h	CM_RNG_CH[8:5] はアナログ入力チャネル 5、6、7、および 8 の同相電圧範囲を設定。 CM_RNG_CH[4:1] はアナログ入力チャネル 1、2、3、および 4 の同相電圧範囲を設定 0: CM 範囲は $\pm \text{RANGE} / 2$ と同等 1: CM 範囲は $\pm 6V$ と同等 2: CM 範囲は $\pm 12V$ と同等
7-6	CM_RNG_CH[4:1]	R/W	0h	
5-4	予約済み	R/W	0h	
3	CM_EN_CH[8:5]	R/W	0h	CM_EN_CH[8:5] はアナログ入力チャネル 5、6、7、および 8 の同相モード範囲制御をイネーブル。 CM_EN_CH[4:1] はアナログ入力チャネル 1、2、3、および 4 の同相モード範囲制御をイネーブル 0: 広い同相モード範囲制御をディスエーブル 1: 広い同相モード範囲制御をイネーブル
2	CM_EN_CH[4:1]	R/W	0h	
1	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
0	PD_CHIP	R/W	0h	フル チップ パワーダウン制御。 0: 通常のデバイス動作 1: フル デバイス パワーダウン

7.2.18 レジスタ C5h (オフセット = C5h) [リセット = 0h]

図 7-49. レジスタ C5h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み			CM_CTRL_EN	予約済み			
R/W-0h			R/W-0h	R/W-0h			

図 7-50. レジスタ C5h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
4	CM_CTRL_EN	R/W	0h	すべてのアナログ入力チャネルについて、広い同相モード範囲制御をイネーブルにします。 0: すべてのアナログ入力チャネルの CM 範囲は $\pm 12V$ です 1: CM 範囲は CM_EN_CH[8:5]、CM_EN_CH[8:5]、CM_RNG_CH[4:1]、および CM_RNG_CH[8:5] レジスタでユーザー定義されています
3-0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.2.19 レジスタ F4h (オフセット = F4h) [リセット = 0h]

図 7-51. レジスタ F4h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み						INIT	予約済み
R/W-0h						R/W-0h	R/W-0h

図 7-52. レジスタ F4h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
1	INIT	R/W	0h	デバイス初期化の INIT フィールド。初期化シーケンスの間に 1b を書き込みます。通常動作の場合は 0b を書き込みます。
0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.2.20 レジスタ F6h (オフセット = F6h) [リセット = 0h]

図 7-53. レジスタ F6h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み						INIT_2	予約済み
R/W-0h						R/W-0h	R/W-0h

図 7-54. レジスタ F6h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
1	INIT_2	R/W	0h	デバイス初期化の INIT_2 フィールド。初期化シーケンスの間に 1b を書き込みます。通常動作の場合は 0b を書き込みます。
0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.3 レジスタ バンク 2

図 7-55. レジスタ バンク 2 マップ

追加	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
0Ah	予約済み	INIT_5	予約済み														
12h	予約済み									INIT_3		予約済み					
13h	INIT_4		予約済み														

表 7-3. レジスタ セクション/ブロック アクセス タイプ コード

アクセス タイプ	コード	説明
R	R	読み出し
W	W	書き込み
R/W	R/W	読み出しまたは書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.3.1 レジスタ 0Ah (オフセット = 0Ah) [リセット = 0h]

図 7-56. レジスタ 0Ah

15	14	13	12	11	10	9	8
予約済み	INIT_5	予約済み					
R/W-0h	R/W-0h						
7	6	5	4	3	2	1	0
予約済み							
R/W-0h							

図 7-57. レジスタ 0A のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
14	INIT_5	R/W	0h	デバイス初期化の INIT_5 フィールド。初期化シーケンスの間に 1b を書き込みます。通常動作の場合は 0b を書き込みます。詳細については、 初期化シーケンス を参照してください。
13-0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.3.2 レジスタ 12h (オフセット = 12h) [リセット = 0h]

図 7-58. レジスタ 12h

15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み	INIT_3	予約済み					
R/W-0h	R/W-0h	R/W-0h					

図 7-59. レジスタ 12 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

図 7-59. レジスタ 12 のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-6	INIT_3	R/W	0h	デバイス初期化の INIT_3 フィールド。初期化シーケンスの間に 1b を書き込みます。通常動作の場合は 0b を書き込みます。詳細については、 初期化シーケンス を参照してください。
5-0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

7.3.3 レジスタ 13h (オフセット = 13h) [リセット = 0h]

図 7-60. レジスタ 13h

15	14	13	12	11	10	9	8
INIT_4	予約済み						
R/W-0h	R/W-0h						
7	6	5	4	3	2	1	0
予約済み							
R/W-0h							

図 7-61. レジスタ 13 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-15	INIT_4	R/W	0h	デバイス初期化の INIT_4 フィールド。初期化シーケンスの間に 1b を書き込みます。通常動作の場合は 0b を書き込みます。詳細については、 初期化シーケンス を参照してください。
14-0	予約済み	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

ADS981x は、最大 8 チャンネルのアナログ信号を高精度に測定できます。次のセクションでは、ADS981x を自動テスト装置 (ATE) システムで使用する際の、アプリケーション回路例と推奨事項を示します。

8.2 代表的なアプリケーション

8.2.1 パラメトリック測定ユニット (PMU)

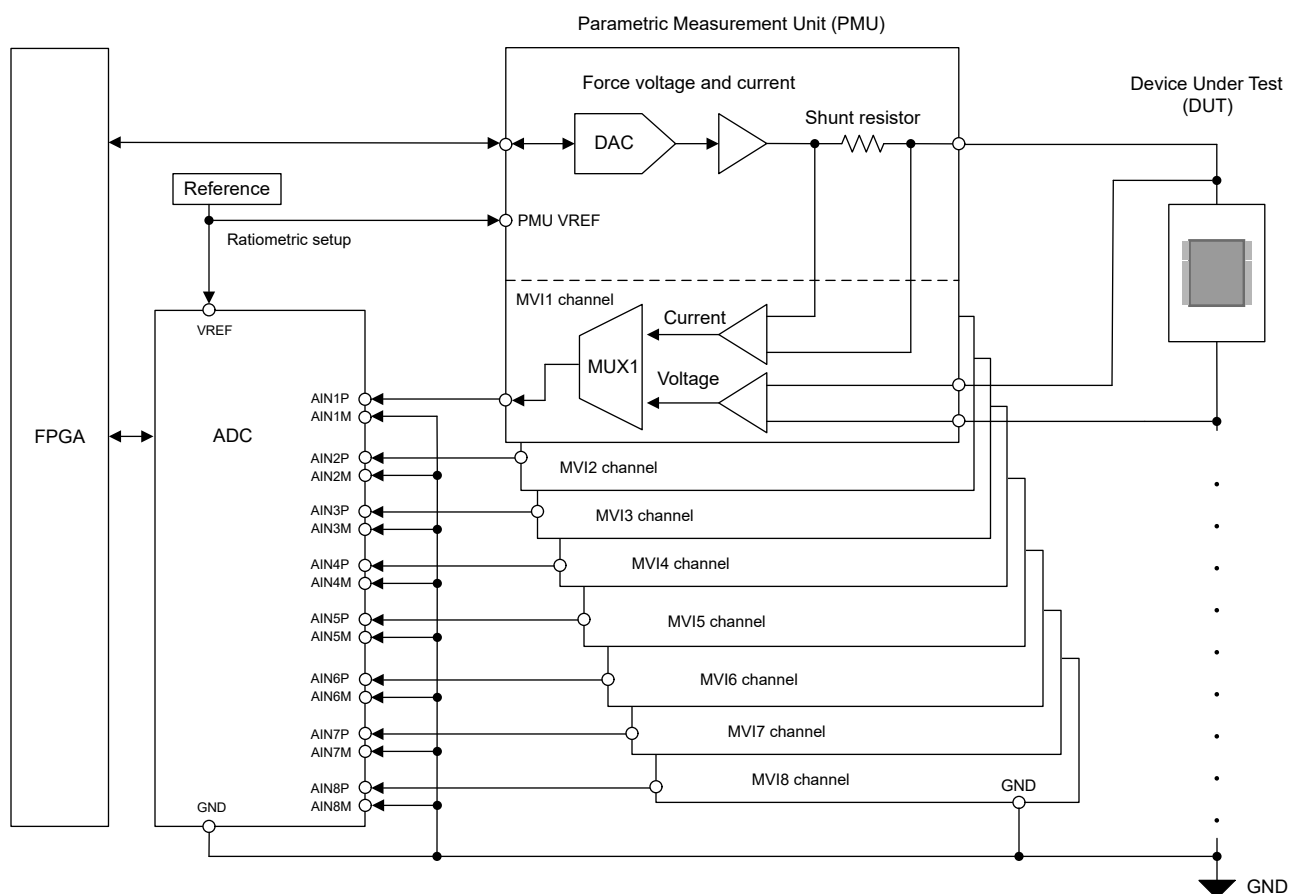


図 8-1. 標準 PMU

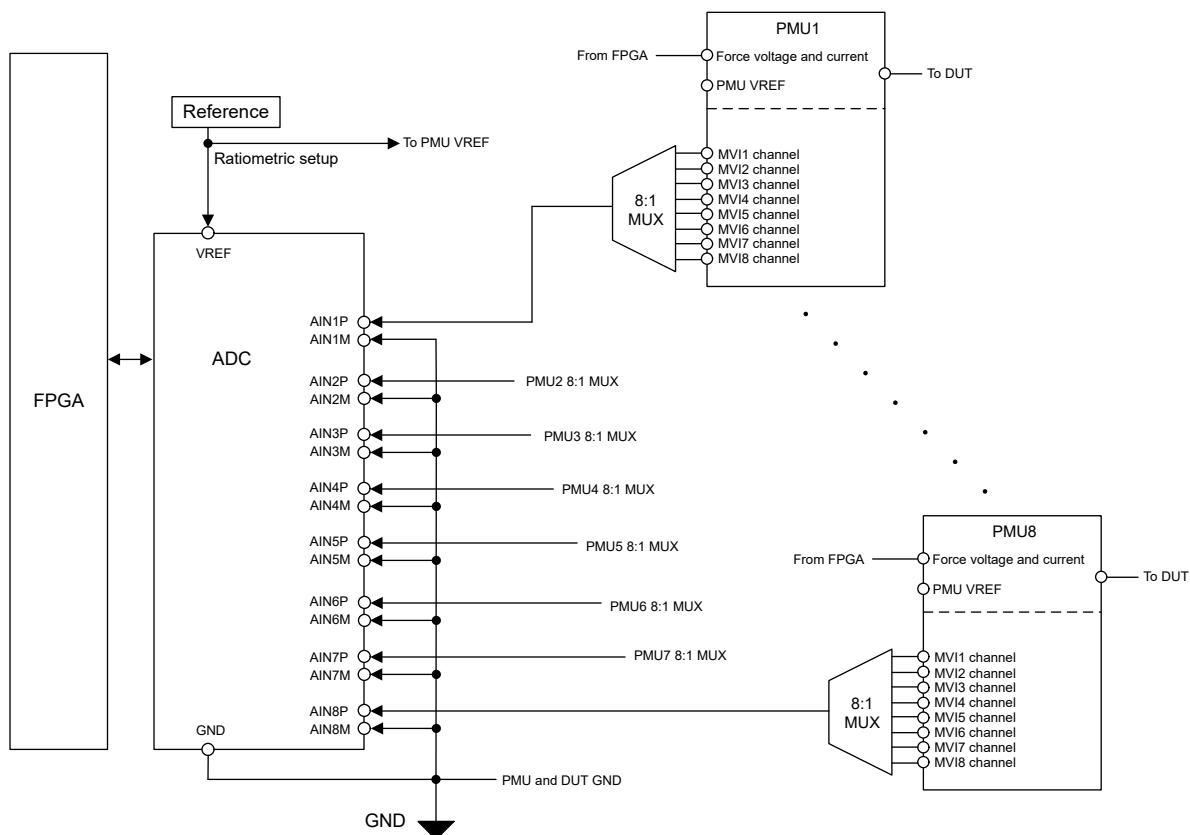


図 8-2. マルチプレクサ搭載 PMU

8.2.2 設計要件

このアプリケーションの目的は、ATE アプリケーション向けに ADC を選定することです。表 8-1 には、この設計例のパラメータが示されています。

表 8-1. 設計パラメータ

パラメータ	値
サンプリング レート	最大 2MSPS/チャンネル
25°C ±5°C における総未調整誤差 (TUE)	キャリブレーション時 < 0.01%
外部スイッチまたはマルチプレクサをサポート	フルスケール ステップが <1.8μs でフルスケールの 99.99% に収束

8.2.3 詳細な設計手順

ADS981x は 8 チャンネル、18 ビット、2MSPS のデータ アクイジション (DAQ) システムです。このデバイスにはアナログ フロントエンドが内蔵されており、ATE の信号チェーン設計を容易にし、精度も高めます。

ADC の精度は総合未調整誤差 (TUE) に基づいています。これは INL、オフセット、およびゲイン誤差を組み合わせたものです。指定された温度と電源電圧で、外部システムのオフセット誤差とゲイン誤差をキャリブレーションします。キャリブレーションされている場合 (表 8-2 で説明)、INL、サーマル オフセットのドリフト、サーマル ゲインのドリフトのみが TUE に寄与します。ADS981x は、25°C ±5°C の条件でキャリブレーション後に TUE が 0.0016% となり、設計誤差要件を満たしています。

表 8-2. T_A = 25°C における TUE の計算

CALIBRATION (キャリブレーション)	INL (ppm)	オフセット誤差 (ppm)	ゲイン誤差 (ppm)	TUE (ppm)	エラー (%)
キャリブレーションなし	15.26	495.9	183.1	528.8	0.053
キャリブレーション後	15.26	0	0	15.3	0.0015
キャリブレーション ±5°C	15.26	2.5	3.5	15.9	0.0016

ピン エレクトロニクス サブシステムは、PMU 出力を管理します。このサブシステムは、各 PMU 出力を個別の ADC チャンネルに接続する (図 8-1) か、またはマルチプレクサを使用して複数の PMU 出力を 1 つの ADC チャンネルに接続します (図 8-2)。このサブシステムにより、カード上のピン エレクトロニクス チャンネルの数を増やすことができます。ADC は、PMU チャンネルをスイッチングするときに高速なセトリングを実現するため、マルチプレクサ (表 8-3) により広い帯域幅を必要とします。ADS981x には 2 つの帯域幅モードがあります: 低ノイズ (最大 21kHz) と広帯域幅 (最大 400kHz)。表 8-3 に記載されているように、広帯域幅モードはマルチプレクシングされた PMU 信号をサンプリングし、最終値 6μs の 99.99% にセトリングします。

表 8-3. RANGE = ±5V、±4.096V ステップでのステップ セトリング性能

アナログ入力帯域幅	セトリング タイム (最終値の 99.99%)	SNR
低 BW (21kHz)	70μs	91.4
広い BW (320kHz)	6μs	84.5

8.2.4 アプリケーション曲線

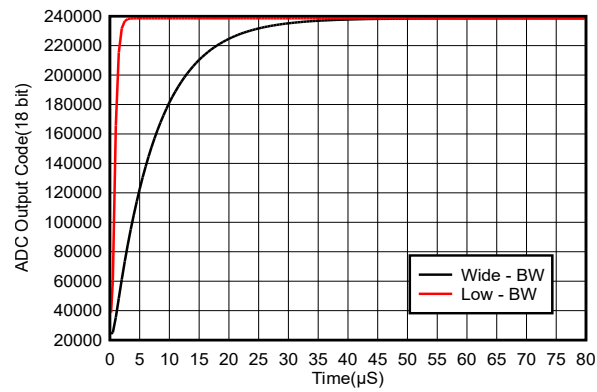


図 8-3. ステップ セトリング性能

8.3 電源に関する推奨事項

ADS981x には、次の三つの電源が必要です。AVDD_5V、VDD_1V8 および IOVDD。特定の電源オンシーケンス要件はありません。データおよび構成デジタル インターフェイスには、IOVDD から電力が供給されます。共通の 1.8V 電源で VDD_1V8 ピンと IOVDD ピンに電力を供給します。図 8-4 に、それぞれの電源のデカップリングコンデンサの接続を示します。各電源ピンには、それぞれ個別のデカップリング コンデンサがあることを確認します。

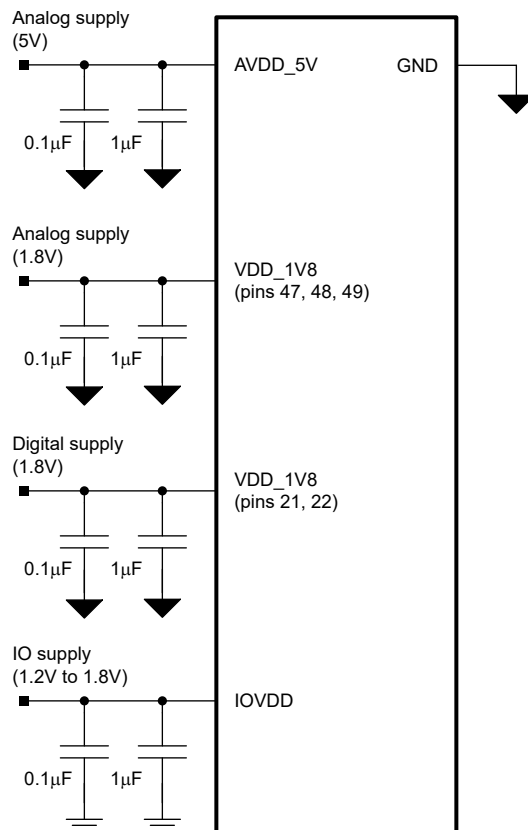


図 8-4. 電源のデカップリング

8.4 レイアウト

8.4.1 レイアウトのガイドライン

図 8-5 に、ADS981x の基板レイアウト例を示します。デジタル ラインはアナログ信号パスで交差することを避け、アナログ入力信号と基準信号はノイズ源から遠ざけます。

AVDD_5V、VDD_1V8、および IOVDD 電源ピンの近くに 0.1µF のセラミック バイパス コンデンサを配置して使用してください。電源ピンとバイパス コンデンサの間にビアを配置しないでください。

リファレンス デカップリング コンデンサをデバイスの REFIO ピンと REFM ピンの近くに配置します。REFIO ピンとバイパス コンデンサの間にビアを配置しないでください。GND ピン、REFM ピン、および GND ピンを短い低インピーダンスのパスを使用してグラウンド プレーンに接続します。

8.4.2 レイアウト例

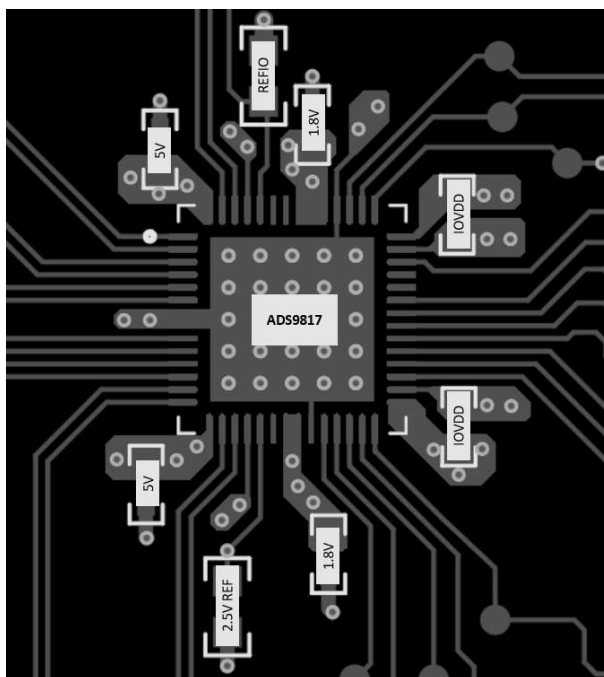


図 8-5. レイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2024) to Revision C (September 2026)	Page
• 「ピンの機能表」のサーマル パッドの説明に、「デバイスの動作にはグラウンド接続が必要」というテキストを追加.....	3
• 「サンプル同期」セクションを更新.....	27
• 「リセット」セクションを更新.....	31
• 「通常動作」セクションを更新.....	32
• 「 <i>詳細な設計手順</i> 」セクションを更新.....	58
• 「ステップ セtring性能」の図を更新.....	59

Changes from Revision A (December 2023) to Revision B (October 2024)	Page
• ドキュメント全体を通して INL 値を $\pm 1.5\text{LSB}$ から $\pm 0.8\text{LSB}$ に変更	1
• ドキュメント全体を通して「DAISY_CHAN_LENGTH」を「DAISY_CHAN_LENGTH」に変更.....	1
• 「ピンの機能」表で、SCLK ピンの説明からプルダウン抵抗の説明を削除.....	3
• オフセット誤差マッチングの仕様を削除.....	7
• ゲイン誤差仕様の単位を LSB から %FSR に変更.....	7
• ゲイン誤差マッチング仕様を削除.....	7
• ADS9817 の最大パワーダウン電流を IOVDD から変更.....	7
• 「代表的特性」セクションを更新.....	14
• 「ローパス フィルタのコーナー周波数」表で、低帯域幅のコーナー周波数を 21.1kHz から 21kHz に、広帯域幅のコーナー周波数を 185kHz から 182kHz に変更.....	22
• 「データ インターフェイスのテスト パターン」セクションを更新.....	29
• 「デイズチェーンを使用したレジスタ読み出し」セクションの手順 1b と 2 を更新.....	35
• 「レジスタ バンク 1」セクションを更新.....	40
• 「アプリケーション情報」セクションを更新.....	56
• 「代表的なアプリケーション」セクションを更新.....	56

Changes from Revision * (January 2023) to Revision A (December 2023)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS9815RSHR	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9815
ADS9815RSHR.A	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9815
ADS9817RSHR	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9817
ADS9817RSHR.A	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9817
ADS9817RSHT	Active	Production	VQFN (RSH) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9817
ADS9817RSHT.A	Active	Production	VQFN (RSH) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9817
PADS9815RSHT	Active	Preproduction	VQFN (RSH) 56	250 SMALL T&R	-	Call TI	Call TI	-40 to 125	
PADS9815RSHT.A	Active	Preproduction	VQFN (RSH) 56	250 SMALL T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

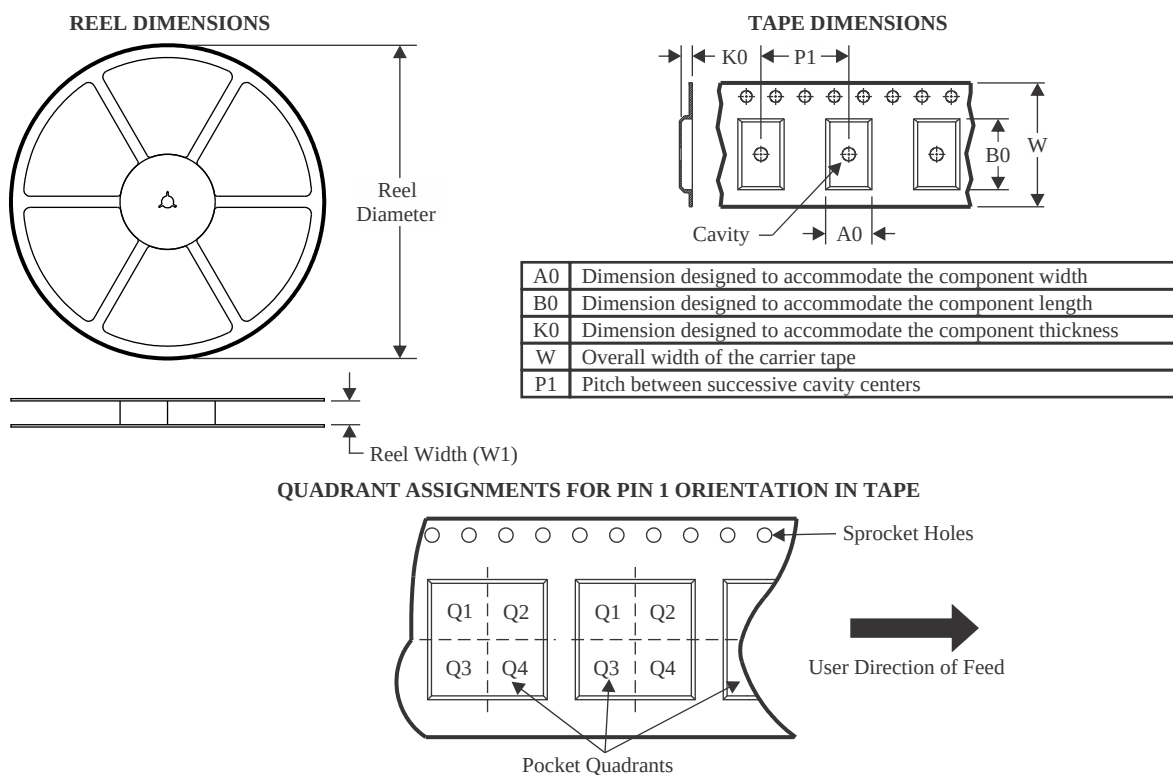
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

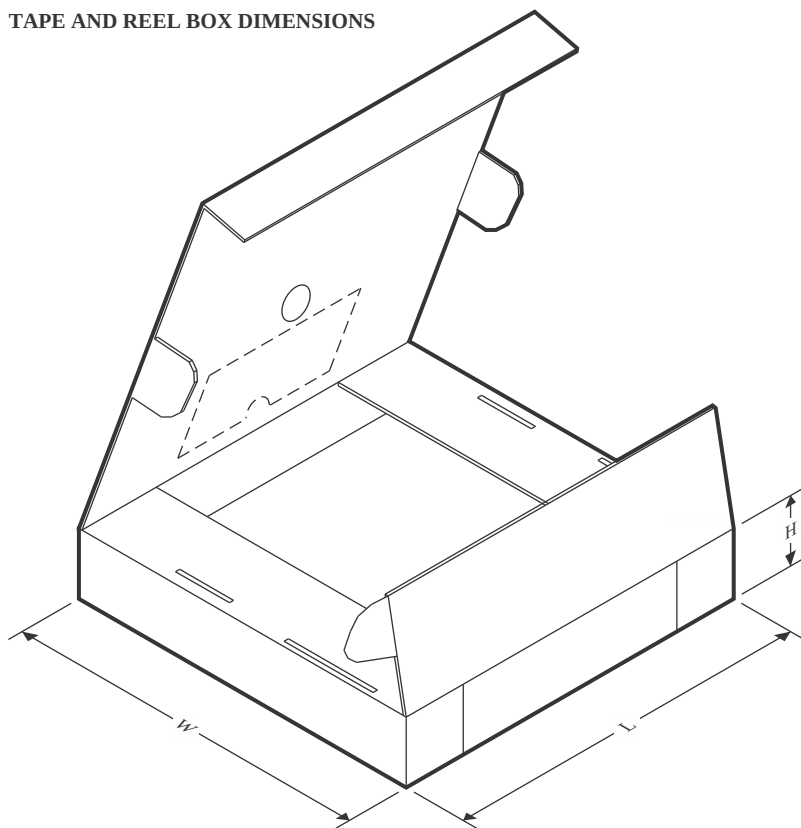
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS9815RSHR	VQFN	RSH	56	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
ADS9817RSHR	VQFN	RSH	56	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
ADS9817RSHT	VQFN	RSH	56	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

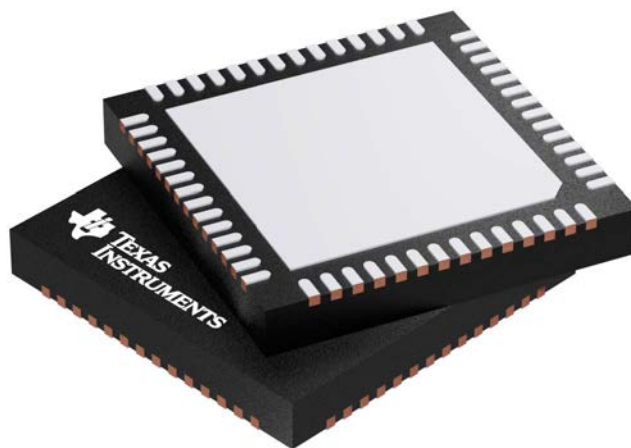
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS9815RSHR	VQFN	RSH	56	2500	360.0	360.0	36.0
ADS9817RSHR	VQFN	RSH	56	2500	360.0	360.0	36.0
ADS9817RSHT	VQFN	RSH	56	250	210.0	185.0	35.0

RSH 56

GENERIC PACKAGE VIEW

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

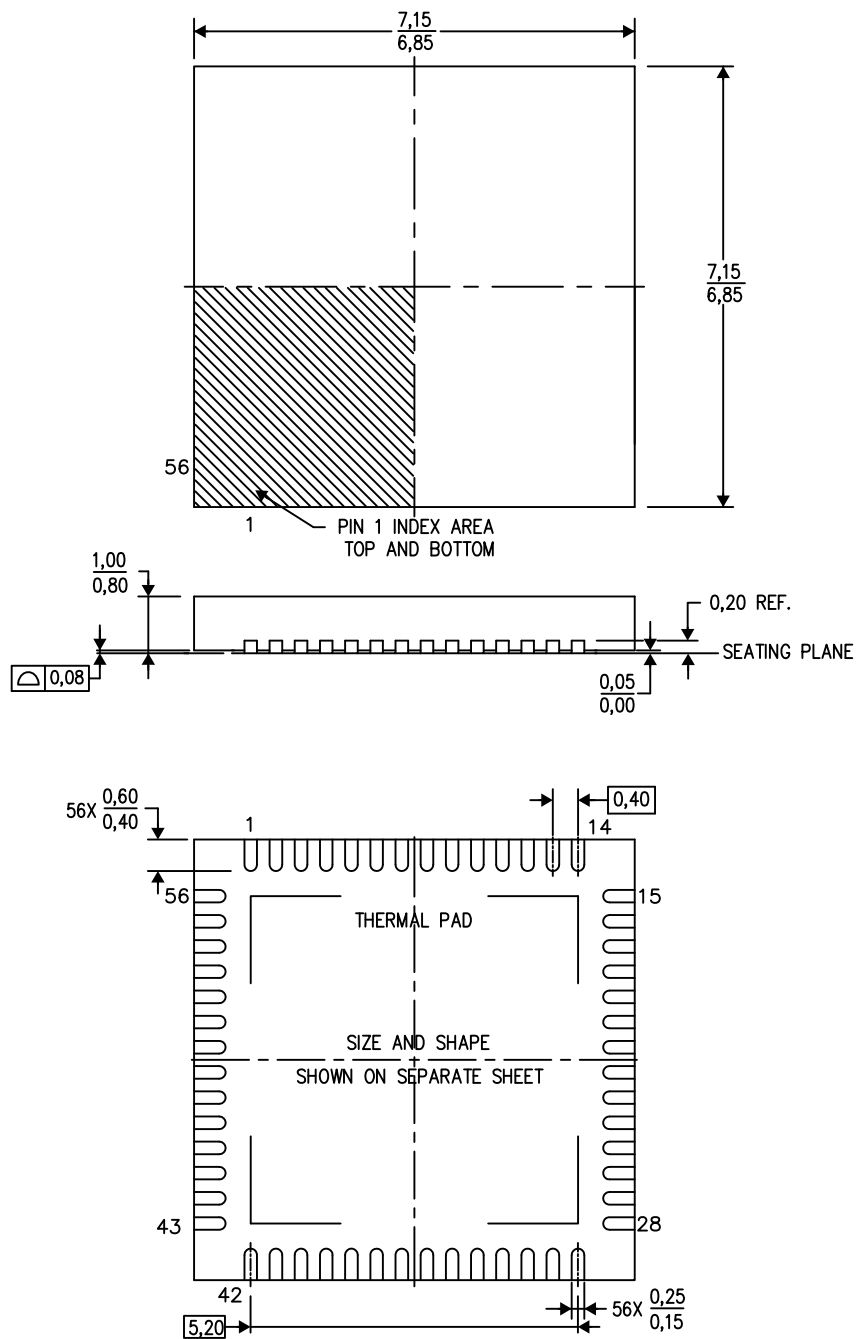


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4207513/D

RSH (S-PVQFN-N56)

PLASTIC QUAD FLATPACK NO-LEAD



4207513/C 03/13

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Quad Flatpack, No-leads (QFN) package configuration.
 - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

RSH (S-PVQFN-N56)

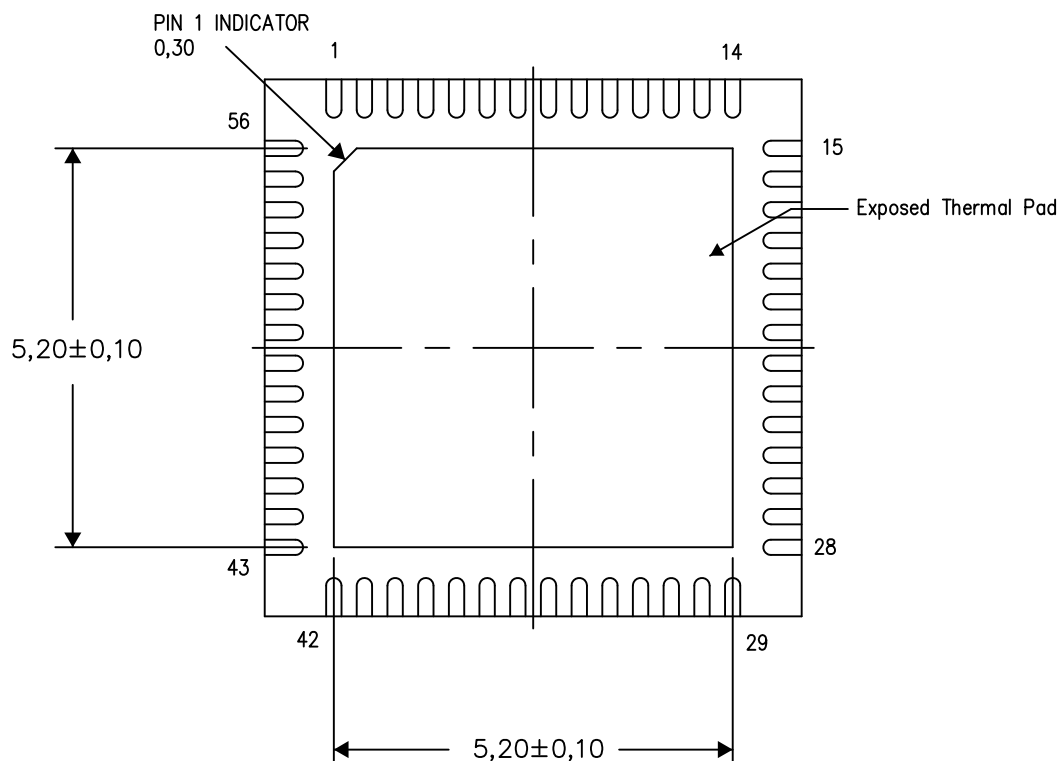
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

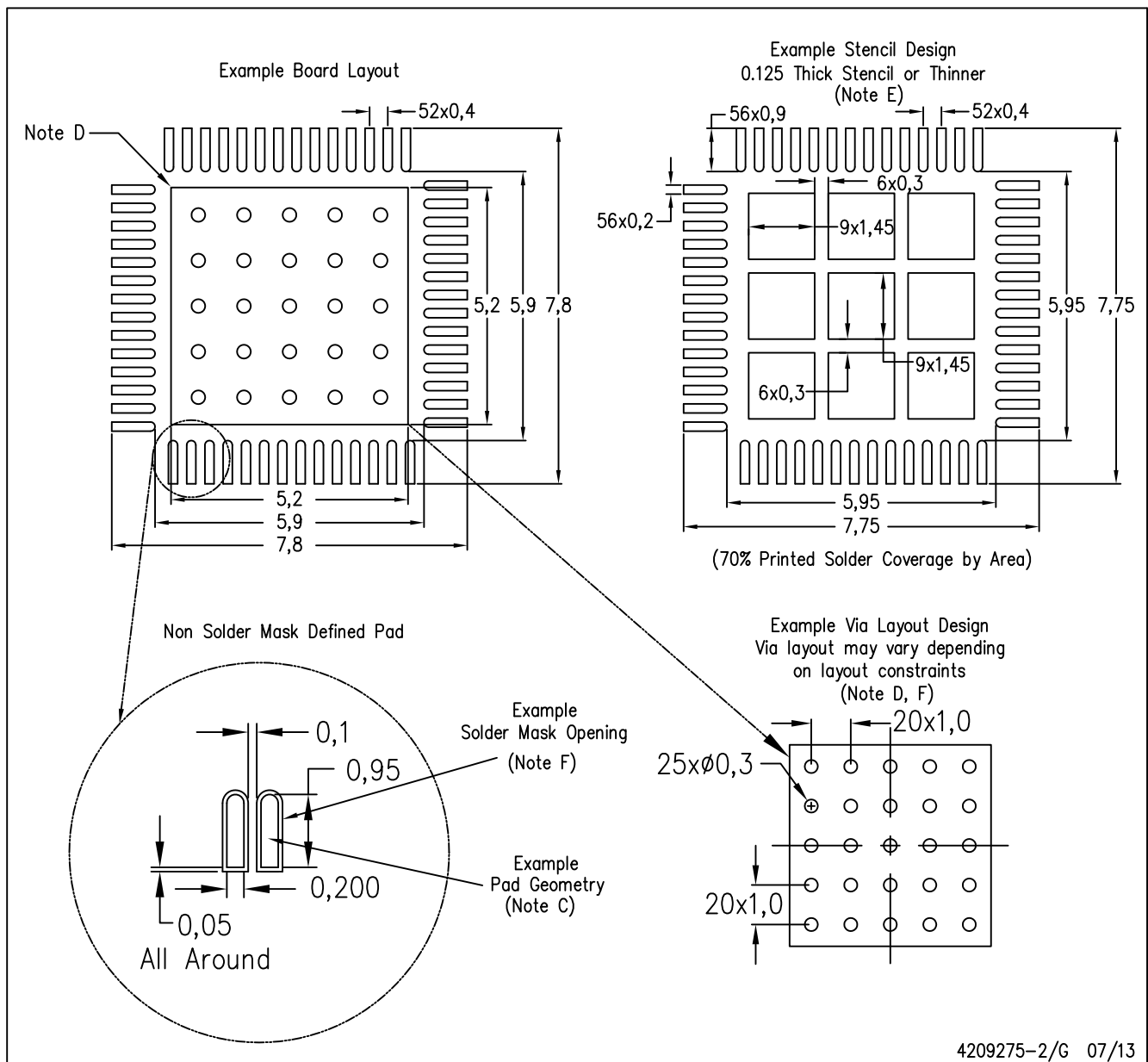
Exposed Thermal Pad Dimensions

4207553-2/1 07/13

NOTE: All linear dimensions are in millimeters

RSH (S-PVQFN-N56)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月