

## AM64x Sitara™ プロセッサ

### 1 特長

#### プロセッサ コア:

- 最高 1.0GHz、1 つのデュアル 64 ビット Arm® Cortex®-A53 マイクロプロセッサ サブシステム
  - SECEDED ECC 付き 256KB L2 共有キャッシュを搭載したデュアル コア Cortex-A53 クラスタ
  - 各 A53 コアには、SECEDED ECC を備えた 32KB L1 D キャッシュおよびパリティ保護を備えた 32KB L1 I キャッシュを搭載
- リアルタイム処理向けに統合された、最高 800MHz、最大 2 つのデュアル コア Arm® Cortex®-R5F MCU サブシステム
  - デュアル コア Arm® Cortex®-R5F により、デュアル コアおよびシングル コア モードをサポート
  - 各 R5F コアごとに 32KB I キャッシュ、32KB D キャッシュ、64KB TCM を搭載、すべてのメモリに SECEDED ECC 付きで合計 256KB の TCM 搭載
- 最高 400MHz、1 つのシングル コア Arm® Cortex®-M4F MCU
  - 256KB の SRAM (SECEDED ECC 付き)

#### 産業用サブシステム:

- 2 つのギガビット産業用通信サブシステム (PRU\_ICSSG)
  - Profinet IRT、Profinet RT、Ethernet/IP、EtherCAT、Time-Sensitive Networking (TSN)、その他をサポート
  - 10/100Mb PRU\_ICSS と下位互換
  - 各 PRU\_ICSSG は以下を内蔵:
    - に 2 つのイーサネット ポートを搭載
      - MII (10/100)
      - RGMII (10/100/1000)
    - 各 PRU\_ICSSG に 6 つの PRU RISC コアを搭載、各コアに以下を内蔵:
      - 命令 RAM (ECC 付き)
      - ブロードサイド RAM
      - アキュムレータ付き乗算器 (MAC)
      - CRC16/32 ハードウェア アクセラレータ
      - バイト スワップによるビッグ / リトル エンディアン変換
      - SUM32 ハードウェア アクセラレータによる UDP チェックサム
      - タスク マネージャによるプリエンブションのサポート
  - 3 つのデータ RAM (ECC 付き)

- 8 バンクの 30 × 32 ビットレジスタ スクラッチパッド メモリ
- 割り込みコントローラとタスク マネージャ
- 2 つの 64 ビット産業用イーサネット ペリフェラル (IEP) によるタイム スタンプ機能とその他の時間同期機能
- 18 個のシグマ デルタ フィルタ
  - 短絡ロジック
  - 過電流ロジック
- 6 つのマルチプロトコル位置エンコーダ インターフェイス
- 1 つの拡張キャプチャ モジュール (ECAP)
- 16550 互換 UART、専用の 192MHz クロックによる 12Mbps PROFIBUS のサポート

#### メモリ サブシステム:

- 最大 2MB のオンチップ RAM (OCSRAM) (SECEDED ECC 付き):
  - 256KB 単位で小さいバンクに分割し、最大 8 つの独立したメモリ バンクを構成可能
  - ソフトウェア タスクの分割を容易にするため、各メモリ バンクを 1 つのコアに割り当て可能
- DDR サブシステム (DDRSS)
  - LPDDR4、DDR4 メモリ タイプをサポート
  - インライン ECC 付きの 16 ビット データ バス
  - 最大 1600MT/s の速度をサポート
- 1 つの汎用メモリ コントローラ (GPMC)
  - 133MHz クロックの 16 ビット パラレル バスまたは
  - 100MHz クロックの 32 ビット パラレル バス
  - エラー特定モジュール (ELM) のサポート

#### システム オン チップ (SoC) サービス:

- デバイス管理セキュリティ コントローラ (DMSC-L)
  - 集中 SoC システム コントローラ
  - 初期ブート、セキュリティ、クロック / リセット / 電源管理を含むシステム サービスを管理
  - メッセージ マネージャを介したさまざまな処理ユニットとの通信
  - シンプルなインターフェイスにより未使用ペリフェラルを最適化
- データ移動サブシステム (DMSS: Data Movement Subsystem)
  - ブロック コピー DMA (BCDMA)
  - パケット DMA (PKTDMA)
  - セキュア プロキシ (SEC\_PROXY)
  - リング アクセラレータ (RINGACC)

#### セキュリティ:



- セキュア ブート対応
  - ハードウェアで強化された RoT (Root-of-Trust: 信頼の基点)
  - バックアップ キーによる RoT の切り替えをサポート
  - テイクオーバー保護、IP 保護、ロールバック禁止保護のサポート
- 信頼できる実行環境 (TEE) に対応
  - Arm TrustZone® をベースとする TEE
  - セキュアなウォッチドッグ / タイマ / IPC
  - 分離用の広範なファイアウォール サポート
  - セキュアなストレージのサポート
  - リプレイ保護メモリ ブロック (RPMB) のサポート
- セキュリティ コプロセッサ (DMSC-L) によりキーおよびセキュリティ管理を実現、専用のデバイス レベル インターコネクタによりセキュリティを確保
- 暗号化アクセラレーションに対応
  - 受信データ ストリームに基づいてキーマテリアルを自動的に切り替えできるセッション認識暗号化エンジン
    - 暗号化コアをサポート
  - AES - 128/192/256 ビットのキー サイズ
  - SHA2 - 224/256/384/512 ビットのキー サイズ
  - DRBG と真性乱数発生器
  - セキュア ブート対応のため PKA (公開鍵アクセラレータ) により RSA/ECC 処理を支援
- デバッグのセキュリティ
  - ソフトウェア制御によるセキュアなデバッグ アクセス
  - セキュリティ対応のデバッグ

#### 高速インターフェイス:

- 以下をサポートする 1 つの統合型イーサネット スイッチ (CPSW3G):
  - 最大 2 つのイーサネット ポート
    - RMII (10/100)
    - RGMII (10/100/1000)
  - IEEE 1588 (2008 Annex D, Annex E, Annex F) と 802.1AS PTP
  - Clause 45 MDIO PHY 管理
  - 省電力イーサネット (802.3az)
- 1 つの PCI-Express® Gen2 コントローラ (PCIE)
  - Gen2 動作をサポート
  - シングル レーン動作をサポート
- 1 つの USB 3.1 デュアルロール デバイス (DRD) サブシステム (USBSS)
  - USB ホスト、USB デバイス、または USB デュアルロール デバイスとして構成可能なポート
  - USB デバイス: 高速 (480Mbps)、フルスピード (12Mbps)

- USB ホスト: SuperSpeed Gen 1 (5Gbps)、高速 (480Mbps)、フルスピード (12Mbps)、低速 (1.5Mbps)

#### 一般的な接続機能:

- 6 つの I2C (Inter-Integrated Circuit) ポート
- 9 つの構成可能な UART (Universal Asynchronous Receiver/Transmitter) モジュール
- オクタル SPI (OSPI) フラッシュ インターフェイスまたは 1 つのクワッド SPI (QSPI) として構成可能な 1 つのフラッシュ サブシステム (FSS)
- 1 つの 12 ビット アナログ/デジタル コンバータ (ADC)
  - 最大 4MSPS
  - 8 つの多重アナログ入力
- 7 つのマルチチャネル シリアル ペリフェラル インターフェイス (MCSPI) コントローラ
- 6 つの高速シリアル インターフェイス レシーバ (FSI\_RX) コア
- 2 つの高速シリアル インターフェイス トランスミッタ (FSI\_TX) コア
- 3 つの汎用 I/O (GPIO) モジュール

#### 制御インターフェイス:

- 9 つの拡張パルス幅変調器 (EPWM) モジュール
- 3 つの拡張キャプチャ (ECAP) モジュール
- 3 つの拡張直交エンコーダ パルス (EQEP) モジュール
- CAN-FD をフルサポートする 2 つのモジュラー コントローラ エリア ネットワーク (MCAN) モジュール

#### メディアおよびデータ ストレージ:

- 2 つのマルチメディア カード / セキュア デジタル (MMC/SD/SDIO) インターフェイス
  - 1 つの 4 ビット インターフェイス (SD/SDIO 用)
  - 1 つの 8 ビット インターフェイス (eMMC 用)
  - 高速カードの電圧切り替え (3.3V、1.8V) のための内蔵アナログ スイッチ

#### パワー マネージメント:

- シンプルな電源シーケンスで
- 内蔵 SDIO LDO により SD インターフェイスでの自動電圧遷移に対応
- 内蔵の電圧スーパーバイザによる過電圧 / 低電圧状態の安全監視
- 内蔵の電源グリッチ検出器により高速電源過渡を検出

#### 機能安全:

- **機能安全準拠**
  - 機能安全アプリケーション向けに開発

- IEC 61508 機能安全システム設計を支援するドキュメントを提供
- SIL 3 までの決定論的対応能力
- SIL 2 までのハードウェア整合性
- 安全関連の認証
  - TÜV SÜD による IEC 61508 認定
- 機能安全関連の特徴
  - 演算上特に重要なメモリの ECC またはパリティ
  - 一部の内部バス インターコネクットの ECC とパリティ
  - CPU とオンチップ RAM の内蔵セルフテスト (BIST)
  - エラー ピン付きのエラー シグナリング モジュール (ESM)
  - ランタイム安全診断、電圧 / 温度 / クロックの監視、ウィンドウ付きウォッチドッグ タイマ、CRC エンジンによるメモリ整合性チェック
  - FFI (Freedom From Interference) 機能により SoC 全体から分離できる、専用 MCU ドメイン メモリ、インターフェイス、M4F コア

- 独立したインターコネク
- ファイアウォールとタイムアウト ガスケット
- 専用 PLL
- 専用 I/O 電源
- 独立したリセット

#### SoC アーキテクチャ:

- UART、I2C、OSPI/QSPI フラッシュ、SPI フラッシュ、パラレル NOR フラッシュ、パラレル NAND フラッシュ、SD、eMMC、USB、PCIe、イーサネット インターフェイスからの 1 次ブートをサポート
- 16nm FinFET テクノロジ
- 17.2mm × 17.2mm、0.8mm ピッチ、441 ピン BGA パッケージ

## 2 アプリケーション

- プログラマブル ロジック コントローラ (PLC)
- モーター ドライブ
- リモート I/O
- 産業用ロボット
- 状況監視ゲートウェイ

### 3 概要

AM64x は、Sitara™ 産業用グレード ファミリーを拡張したヘテロジニアス Arm® プロセッサです。AM64x は、リアルタイムの処理とアプリケーション処理を伴う通信との独自の組み合わせが求められる、モーター ドライブやプログラマブル ロジック コントローラ (PLC) のような産業用アプリケーション向けに構築されています。AM64x は、Sitara デバイスのギガビット TSN 対応 PRU-ICSSG を 2 インスタンス搭載し、さらに最大 2 つの Arm® Cortex®-A53 コア、最大 4 つの Cortex-R5F MCU、1 つの Cortex-M4F MCU を搭載しています。

AM64x は、高性能 R5F、密結合メモリ バンク、構成可能な SRAM パーティショニング、SoC 内外の高速データ移動を可能にする対ペリフェラル専用の低レイテンシ パスを使用して、リアルタイム性能を発揮するように設計されています。この決定論的アーキテクチャは、サーボ ドライブに見られる厳密な制御ループを AM64x が処理することを可能にし、AM64x のペリフェラル (例: FSI、GPMC、PWM、シグマ デルタ デシメーション フィルタ、アブソリュート エンコーダ インターフェイス) は、これらのシステムに見られる各種アーキテクチャを実現するのに役立ちます。

Cortex-A53 は、Linux アプリケーションに必要な強力なコンピューティング エLEMENTを提供します。Linux およびリアルタイム (RT) Linux は、TI のプロセッサ SDK Linux を通じて提供されており、最新の長期サポート (LTS) Linux カーネル、ブートローダ、Yocto ファイル システムに毎年更新されます。AM64x は、構成可能なメモリ パーティション分割により、Linux アプリケーションとリアルタイム ストリーム間の分離を実現することで、Linux の世界とリアルタイムの世界を橋渡しします。Cortex-A53 は 厳密に Linux 用 DDR から動作するように割り当てることができます。また、内蔵 SRAM は、さまざまなサイズに分割して、Cortex-R5F がまとめて使用したり、または個別に使用したりできます。

AM64x は、EtherCAT サブデバイス、PROFINET デバイス、EtherNet/IP アダプタ、IO-Link マスタのためのフル プロトコル スタックなどフレキシブルな産業用通信機能を提供します。PRU\_ICSSG は、ギガビットおよび TSN ベースのプロトコルの機能を提供します。また、PRU-ICSSG を使うと、シグマ デルタ デシメーション フィルタ、アブソリュート エンコーダ インターフェイスなどのインターフェイスも SoC に追加できます。

機能安全のための機能は、内蔵の Cortex-M4F と専用ペリフェラルによって実現されます。このペリフェラルは、SoC のその他の部分から完全に分離できます。AM64x はセキュア ブートもサポートしています。

#### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
AM6442	ALV (FCBGA, 441)	17.2mm × 17.2mm
AM6441	ALV (FCBGA, 441)	17.2mm × 17.2mm
AM6422	ALV (FCBGA, 441)	17.2mm × 17.2mm
AM6421	ALV (FCBGA, 441)	17.2mm × 17.2mm
AM6412	ALV (FCBGA, 441)	17.2mm × 17.2mm
AM6411	ALV (FCBGA, 441)	17.2mm × 17.2mm

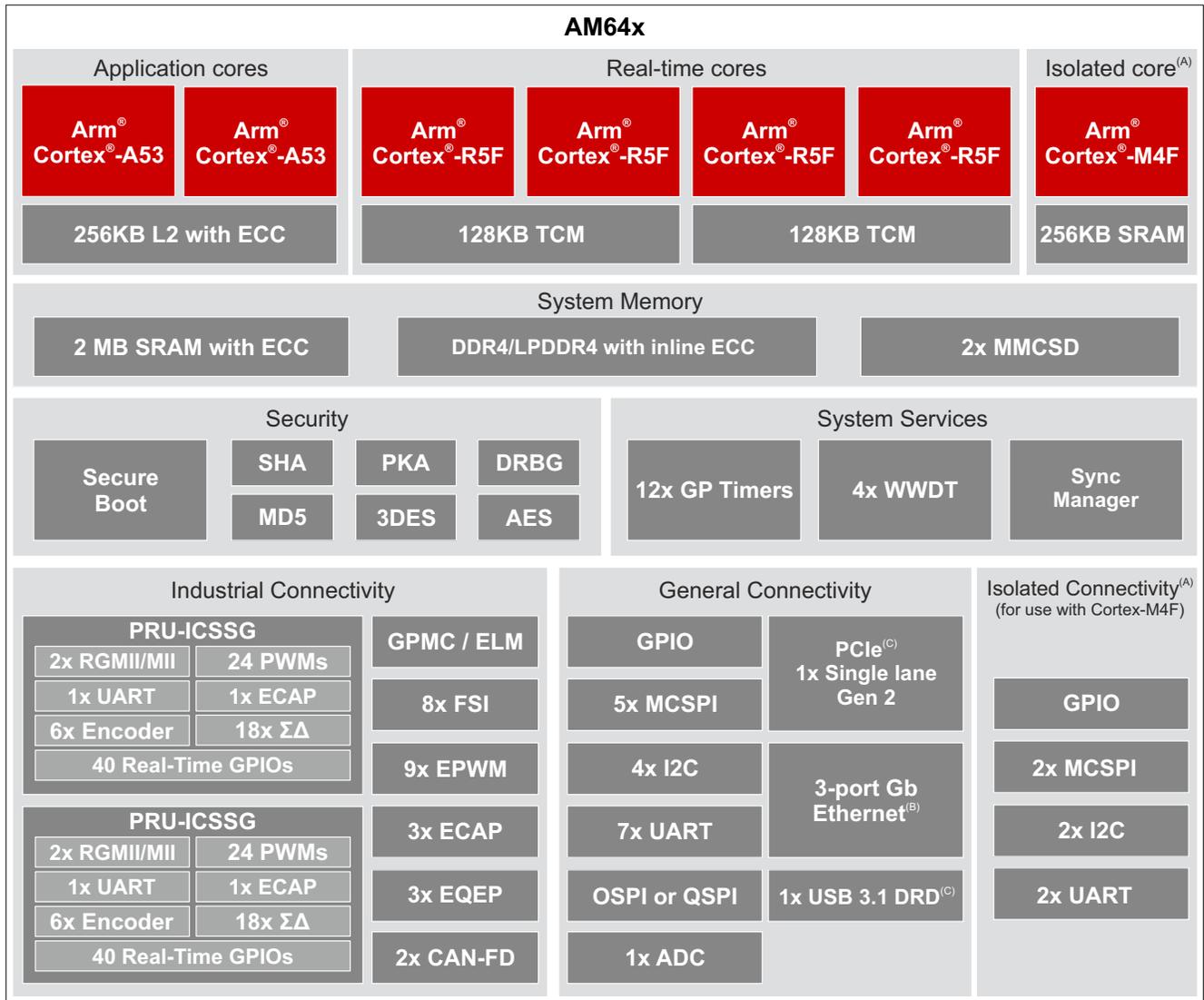
- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。  
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

### 3.1 機能ブロック図

図 3-1 は、デバイスの機能ブロック図です。

#### 注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能を理解するには、[Processor-SDK-AM64x](#) にある「ダウンロード」タブ オプションの AM64x ソフトウェア ビルド シートを検索してください。



- A. ペリフェラルと M4F コアの分離は任意の機能です。
- B. ポートの 1 つは内部接続のみで、どのピンにも接続されていません。
- C. USB SuperSpeed と PCIe は共通の SerDes レーンを共有します。したがって、PCIe に SerDes PHY を使用する場合、USB は SuperSpeed 以外のモードに制限されます。

図 3-1. 機能ブロック図

## 目次

<b>1 特長</b> .....	1	6.10 温度センサの特性.....	113
<b>2 アプリケーション</b> .....	3	6.11 タイミングおよびスイッチング特性.....	114
<b>3 概要</b> .....	4	<b>7 詳細説明</b> .....	242
3.1 機能ブロック図	5	7.1 概要	242
<b>4 デバイスの比較</b> .....	7	7.2 プロセッサ サブシステム	243
4.1 関連製品	9	7.3 アクセラレータとコプロセッサ	245
<b>5 端子構成および機能</b> .....	10	7.4 その他のサブシステム	245
5.1 ピン配置図	10	<b>8 アプリケーション、実装、およびレイアウト</b> .....	253
5.2 ピン属性	11	8.1 デバイスの接続およびレイアウトの基礎	253
5.3 信号の説明	56	8.2 ペリフェラルおよびインターフェイス固有の設計情報	254
5.4 ピン接続要件	94	8.3 クロック配線のガイドライン	261
<b>6 仕様</b> .....	99	<b>9 デバイスおよびドキュメントのサポート</b> .....	262
6.1 絶対最大定格	99	9.1 デバイスの命名規則	262
6.2 ESD 定格	101	9.2 ツールとソフトウェア	265
6.3 電源投入時間 (POH)	101	9.3 ドキュメントのサポート	265
6.4 推奨動作条件	102	9.4 サポート・リソース	265
6.5 動作性能ポイント	103	9.5 商標	266
6.6 消費電力の概略	103	9.6 静電気放電に関する注意事項	266
6.7 電気的特性	104	9.7 用語集	266
6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様	111	<b>10 改訂履歴</b> .....	267
6.9 熱抵抗特性	112	<b>11 メカニカル、パッケージ、および注文情報</b> .....	270
		11.1 パッケージ情報	270

## 4 デバイスの比較

表 4-1 に、デバイス間の比較を相違点を強調して示します。

### 注

多くの機能に関連付けられている IO 信号は限られた数のピンに多重化されるため、この表に記載されている機能が利用できるかどうかは、共有 IO ピンの使用状況によります。信号機能をピンに割り当てるには、SysConfig ツールを使用する必要があります。これにより、ピン多重化に関連する制限をよりよく理解できます。

### 注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能を理解するには、Processor-SDK-AM64x にある「ダウンロード」タブ オプションの AM64x ソフトウェア ビルド シートを検索してください。

表 4-1. デバイスの比較

特長	参照名	AM6442	AM6441	AM6422	AM6421	AM6412	AM6411
<b>MAIN_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] <sup>(1)</sup></b>							
デバイスの「特長」コードごとのレジスタビット値 (デバイスの特長の詳細については、「命名規則の説明」表を参照)							
	C:	–	–	–	–	0x19403	0x19203
	D:	0x19464	0x19264	0x19424	0x19224	–	–
	E:	0x19465	0x19265	–	0x19225	–	–
	F:	0x19466	0x19266	–	0x19226	–	–
<b>プロセッサおよびアクセラレータ</b>							
速度グレード (表 6-1 を参照)		S				S, K	
Arm Cortex-A53 マイクロプロセッサ サブシステム	Arm A53	デュアルコア	シングルコア	デュアルコア	シングルコア	デュアルコア	シングルコア
ARM Cortex-R5F	Arm R5F	2 × デュアルコア R5FSS0_CORE0 R5FSS0_CORE1 R5FSS1_CORE0 R5FSS1_CORE1		2 × シングルコア R5FSS0_CORE0 R5FSS1_CORE0		1 × シングルコア R5FSS0_CORE0	
ARM Cortex-M4F	Arm M4F	シングルコア 機能安全はオプション <sup>(4)</sup>				シングルコア	
デバイス管理セキュリティコントローラ	DMSC-L					あり	
暗号化アクセラレータ	セキュリティ					あり	
<b>プログラムおよびデータ ストレージ</b>							
MAIN ドメインのオンチップ共有メモリ (RAM)	OCSRAM	2MB					
R5F 密結合メモリ (TCM)	TCM	4 x 64KB		2 x 128KB		1 x 128KB	
M4F ドメインのオンチップ共有メモリ (RAM)	MCU_MSRAM	256KB					
DDR4/LPDDR4 DDR サブシステム	DDRSS	最大 2GB (16 ビット データ)、インライン ECC 付き					
汎用メモリコントローラ	GPMC	最大 128MB、ECC 付き					
<b>ペリフェラル</b>							
モジュラー コントローラ エリア ネットワーク インターフェイス	MCAN	2					
CAN-FD をフルサポート <sup>(2)</sup>	MCAN	オプション	オプション	なし	オプション	なし	なし
汎用 I/O	GPIO	最大 198					
集積回路間インターフェイス	I2C	6					
A/D コンバータ	ADC	1				なし	
マルチチャネル シリアル ペリフェラル インターフェイス	MCSPi	7					
マルチメディア カード / セキュア デジタル インターフェイス	MMCSd0	eMMC (8 ビット)					
	MMCSd1	SD/SDIO (4 ビット)					

表 4-1. デバイスの比較 (続き)

特長	参照名	AM6442	AM6441	AM6422	AM6421	AM6412	AM6411
高速シリアル インターフェイス	FSI_TX				2		
	FSI_RX				6		
フラッシュ サブシステム (FSS) <sup>(3)</sup>	OSPI0/QSPI0				あり		
SerDes PHY 内蔵 PCI Express ポート	PCIE0				シングルレーン <sup>(7)</sup>		
プログラマブル リアルタイム ユニット サブシステム <sup>(5)</sup>	PRU_ICSSG				2		
PRU_ICSSG 産業用通信をサポート <sup>(6)</sup>	PRU_ICSSG		あり			なし	なし
ギガビット イーサネット インターフェイス	CPSW3G				あり		
汎用タイマー	TIMER				16 (MCU チャンネル内に 4 個)		
拡張パルス幅変調器モジュール	EPWM				9		
拡張キャプチャ モジュール	ECAP				3		
拡張直交エンコーダ パルス モジュール	EQEP				3		
汎用非同期レシーバ/トランスミッタ	UART				9		
ユニバーサル シリアル バス (USB3.1 Gen1) スーパースピード デュアル ロール デバイス (DRD) ポート、SS SerDes PHY および USB 2.0 PHY 付き	USB0				あり <sup>(7)</sup>		

- (1) MAIN\_CTRL\_MMR\_CFG0\_JTAG\_USER\_ID レジスタおよび DEVICE\_ID ビット フィールドの詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。
- (2) 完全な CAN-FD サポートは、機能コード E または F を含む注文可能な部品番号を選択した場合に利用できます。機能コードの定義については、「命名規則の説明」表を参照してください。
- (3) 1 つのフラッシュ インターフェイスを OSPI0 または QSPI0 として構成。
- (4) 機能安全は、機能コード F を含む注文用型番を選択した場合に使用できます。機能コードの定義については、「命名規則の説明」表を参照してください。
- (5) 産業用通信以外の使用事例向けに、PRU\_ICSSG を使用し、機能コード C をサポートする注文可能な部品番号。機能コードの定義については、「命名規則の説明」表を参照してください。
- (6) PRU\_ICSSG 産業用通信には、イーサネット ネットワーク (MII/RGMII、MDIO)、シグマ デルタ (SD) デジメーション、3 チャンネル パリフェラル インターフェイス (EnDat 2.2 と BiSS) が含まれます。PRU\_ICSSG 産業用通信サポートは、機能コード D、E、F を含む注文可能な部品番号を選択した場合に利用できます。機能コードの定義については、「命名規則の説明」表を参照してください。
- (7) USB SuperSpeed と PCIe は共通の SerDes レーンを共有します。したがって、PCIe に SerDes PHY を使用する場合、USB は SuperSpeed 以外のモードに制限されます。

## 4.1 関連製品

**Sitara™ プロセッサ** Arm® Cortex®-A コアをベースとするスケーラブルなプロセッサで構成された幅広いファミリーは、フレキシブルなアクセラレータやペリフェラル、接続性に比べ、統合ソフトウェアのサポートにより、センサからサーバーまでさまざまな用途に対応します。Sitara プロセッサは、産業用アプリケーションで必要とされる信頼性を実現します。

**AM64x Sitara™ プロセッサ** AM6x プロセッサは、ギガビットの産業用イーサネット ネットワーク、拡張 ECC 対応メモリによる堅牢な動作、セキュリティ強化機能を実現します。

**Sitara™ プロセッサ — アプリケーション** Sitara™ プロセッサは、HMI やゲートウェイから、ドライブ、サブステーション オートメーション機器などの複雑な機器にいたるまで、広範なアプリケーション向けにスケーラブルなソリューションを提供します。また、Sitara プロセッサは EtherCAT®, Ethernet/IP、Profinet などの産業用通信プロトコルでのマルチプロトコルもサポートします。

設計を完成させるための追加の製品:

- [イーサネット PHY](#)
- [電源ソリューション](#)
- [パワー・マネージメント](#)
- [クロック/タイミング](#)
- [パワー スイッチ](#)
- [CAN トランシーバ](#)
- [ESD 保護](#)

これらのデバイスをシステム設計で実装する方法の詳細と、推奨される特定の部品番号の部品表 (BOM) については、AM64x EVM の回路図を参照してください。

## 5 端子構成および機能

### 5.1 ピン配置図

**注**

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

図 5-1 に、441 ボール フリップ チップ ボール グリッド アレイ (FCBGA) パッケージのボールの位置を示します。ここで、HTML バージョンでは、ボールの上にカーソルを置くと追加情報が表示されます。この図は、表 5-1～表 5-80 (「ピン属性」表、「信号説明」表、「ピン接続要件」表) とともに使用します。

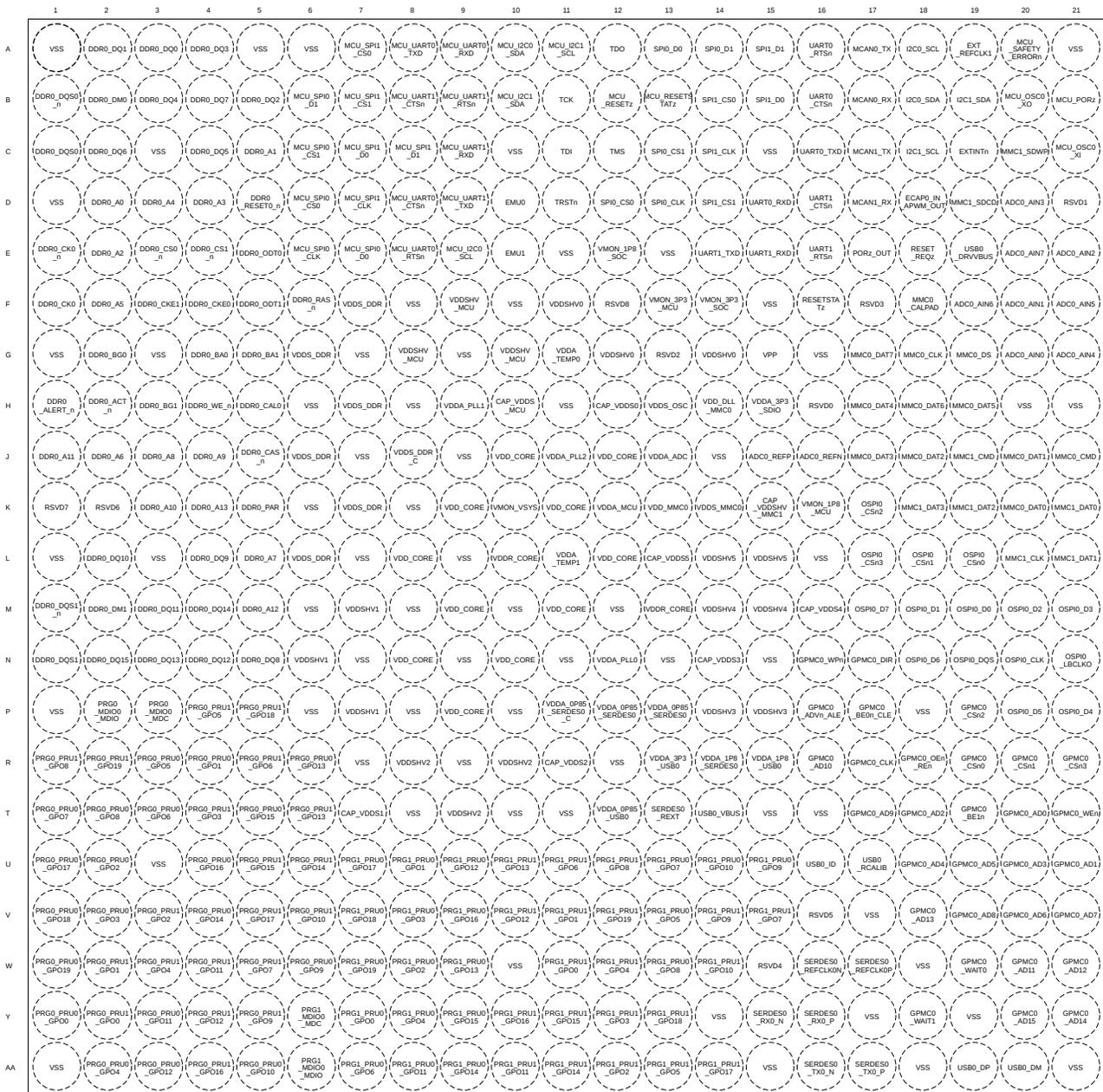


図 5-1. ALV FCBGA-N441 のピン配置図 (上面図)

## 5.2 ピン属性

次のリストに、表 5-1「ピン属性 (ALV パッケージ)」の各列の内容を示します。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能からつけた名前)。
3. **信号名:**ボールに関連付けられているすべての専用およびピン多重化信号機能の信号名。

---

### 注

多くのデバイスピンは複数の信号機能をサポートしています。一部の信号機能は、ピンに関連付けられた単一層のマルチプレクサで選択されます。他の信号機能は 2 層以上のマルチプレクサで選択され、ある層はピンに関連付けられ、他の層はペリフェラル ロジック機能に関連付けられます。

表 5-1「ピン属性 (ALV パッケージ)」では、ピンでの信号多重化のみが定義されています。ピンでの信号多重化の詳細については、デバイスのテクニカルリファレンス マニュアルで「デバイス構成」の章にある「パッド構成 レジスタ」セクションを参照してください。ペリフェラル信号多重化の詳細については、デバイスのテクニカルリファレンス マニュアルで該当するペリフェラルの章を参照してください。

4. **多重化モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:
  - a. MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。

---

### 注

「リセット後の MUX モード」列の値は、MCU\_PORz がアサート解除されたときに選択されるデフォルトのピン多重化信号機能を定義します。

- b. ピン多重化信号機能には、MUXMODE の値 1~15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化信号機能として定義された値のみです。MUXMODE の有効な値のみを使用する必要があります。
- c. ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz\_OUT の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
- d. 空欄は該当しないことを意味します。

---

### 注

デバイスを適切に動作させるには、以下の MUXMODE の構成を避ける必要があります。

- 複数のピンを同じピン多重化信号機能への入力として動作するように構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。
- ピンを未定義のピン多重化モードに設定すると、ピンの動作が未定義になります。

5. **タイプ:**信号の種類と方向:
- I = 入力
  - O = 出力
  - OD = 出力、オープンドレイン出力機能付き
  - IO = 入力、出力、または同時に入力と出力
  - IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
  - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
  - OZ = 出力、3 ステート出力機能付き
  - A = アナログ
  - PWR = 電源
  - GND = グランド
  - CAP = LDO コンデンサ。
6. **DSIS:** 選択解除入力状態 (DSIS) は、MUXMODE によってピン多重化信号機能が選択されていないとき、サブシステム入力 (ロジック「0」、ロジック「1」、または「パッド」レベル) に駆動される状態を示します。
- 0: ロジック 0 がサブシステム入力に駆動されます。
  - 1: ロジック 1 がサブシステム入力に駆動されます。
  - パッド: パッドのロジック状態がサブシステム入力に駆動されます。
  - 空欄は該当しないことを意味します。
7. **リセット時のボールの状態 (RX/TX/PULL):** MCU\_PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
    - オフ: 入力バッファは無効です。
    - オン: 入力バッファは有効です。
  - TX (出力バッファ)
    - オフ: 出力バッファは無効です。
    - Low: 出力バッファは有効であり、 $V_{OL}$  を駆動します。
    - High: 出力バッファは有効であり、 $V_{OH}$  を駆動します。
  - PULL (内部プル抵抗)
    - オフ: 内部プル抵抗はターンオフされています。
    - アップ: 内部プルアップ抵抗はターンオンされています。
    - ダウン: 内部プルダウン抵抗はターンオンされています。
    - NA: 該当なし。
  - 空欄は該当しないことを意味します。
8. **リセット後のボールの状態 (RX/TX/PULL):** MCU\_PORz がアサート解除された後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
    - オフ: 入力バッファは無効です。
    - オン: 入力バッファは有効です。
  - TX (出力バッファ)
    - オフ: 出力バッファは無効です。
    - SS: MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
  - PULL (内部プル抵抗)
    - オフ: 内部プル抵抗はターンオフされています。
    - アップ: 内部プルアップ抵抗はターンオンされています。
    - ダウン: 内部プルダウン抵抗はターンオンされています。
    - NA: 該当なし。
  - 空欄は該当しないことを意味します。

9. **リセット後の多重化モード:**この列の値は、MCU\_PORz がデアサートされた後のデフォルトのピン多重化信号機能を定義します。  
空欄は該当しないことを意味します。
10. **I/O 動作電圧:**この列は、それぞれの電源の I/O 動作電圧オプションについて説明します (該当する場合)。  
空欄は該当しないことを意味します。  
詳細については、[セクション 6.4](#)「推奨動作条件」で各電源に定義されている有効な動作電圧範囲を参照してください。
11. **電源:**関連付けられている I/O の電源 (該当する場合)。  
空欄は該当しないことを意味します。
12. **HYS:**この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
  - あり:ヒステリシス付き
  - なし:ヒステリシスなし
  - 空欄は該当しないことを意味します。詳細については、[セクション 6.7](#)「電気的特性」のヒステリシスの値を参照してください。
13. **バッファのタイプ:**この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、適用可能な電気的特性の表を決定できます。  
空欄は該当しないことを意味します。  
電気的特性については、[セクション 6.7](#)「電気的特性」の適切なバッファタイプの表を参照してください。
14. **プルアップ / ダウン タイプ:**内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
  - PU:内部プルアップ
  - PD:内部プルダウン
  - PU/PD:内部プルアップおよびプルダウン
  - 空欄は内部プル抵抗がないことを意味します。
15. **PADCONFIG レジスタ:**ボールに関連付けられた IO パッド構成レジスタの名前。
16. **PADCONFIG アドレス:**ボールに関連付けられた IO パッド構成レジスタの物理アドレス。

表 5-1. ピン属性 (ALV パッケージ)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
J16	ADC0_REFN	ADC0_REFN		A					1.8V	VDDA_ADC0		ADC12B	
J15	ADC0_REFP	ADC0_REFP		A					1.8V	VDDA_ADC0		ADC12B	
G20	ADC0_AIN0	ADC0_AIN0		A					1.8V	VDDA_ADC0	あり	ADC12B	
F20	ADC0_AIN1	ADC0_AIN1		A					1.8V	VDDA_ADC0	あり	ADC12B	
E21	ADC0_AIN2	ADC0_AIN2		A					1.8V	VDDA_ADC0	あり	ADC12B	
D20	ADC0_AIN3	ADC0_AIN3		A					1.8V	VDDA_ADC0	あり	ADC12B	
G21	ADC0_AIN4	ADC0_AIN4		A					1.8V	VDDA_ADC0	あり	ADC12B	
F21	ADC0_AIN5	ADC0_AIN5		A					1.8V	VDDA_ADC0	あり	ADC12B	
F19	ADC0_AIN6	ADC0_AIN6		A					1.8V	VDDA_ADC0	あり	ADC12B	
E20	ADC0_AIN7	ADC0_AIN7		A					1.8V	VDDA_ADC0	あり	ADC12B	
H12	CAP_VDDS0	CAP_VDDS0		CAP									
T7	CAP_VDDS1	CAP_VDDS1		CAP									
R11	CAP_VDDS2	CAP_VDDS2		CAP									
N14	CAP_VDDS3	CAP_VDDS3		CAP									
M16	CAP_VDDS4	CAP_VDDS4		CAP									
L13	CAP_VDDS5	CAP_VDDS5		CAP									
K15	CAP_VDDSHV_MMC1	CAP_VDDSHV_MMC1		CAP									
H10	CAP_VDDS_MCU	CAP_VDDS_MCU		CAP									
H2	DDR0_ACT_n	DDR0_ACT_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
H1	DDR0_ALERT_n	DDR0_ALERT_n		IO					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
J5	DDR0_CAS_n	DDR0_CAS_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
K5	DDR0_PAR	DDR0_PAR		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
F6	DDR0_RAS_n	DDR0_RAS_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
H4	DDR0_WE_n	DDR0_WE_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
D2	DDR0_A0	DDR0_A0		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
C5	DDR0_A1	DDR0_A1		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
E2	DDR0_A2	DDR0_A2		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
D4	DDR0_A3	DDR0_A3		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
D3	DDR0_A4	DDR0_A4		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	ブル アップ/ダウ ン タイプ [14]
F2	DDR0_A5	DDR0_A5		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
J2	DDR0_A6	DDR0_A6		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
L5	DDR0_A7	DDR0_A7		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
J3	DDR0_A8	DDR0_A8		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
J4	DDR0_A9	DDR0_A9		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
K3	DDR0_A10	DDR0_A10		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
J1	DDR0_A11	DDR0_A11		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
M5	DDR0_A12	DDR0_A12		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
K4	DDR0_A13	DDR0_A13		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
G4	DDR0_BA0	DDR0_BA0		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
G5	DDR0_BA1	DDR0_BA1		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
G2	DDR0_BG0	DDR0_BG0		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
H3	DDR0_BG1	DDR0_BG1		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
H5	DDR0_CAL0	DDR0_CAL0		A					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
F1	DDR0_CK0	DDR0_CK0		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
E1	DDR0_CK0_n	DDR0_CK0_n		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
F4	DDR0_CKE0	DDR0_CKE0		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
F3	DDR0_CKE1	DDR0_CKE1		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
E3	DDR0_CS0_n	DDR0_CS0_n		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
E4	DDR0_CS1_n	DDR0_CS1_n		O					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
B2	DDR0_DM0	DDR0_DM0		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	パッファ タイプ [13]	ブル アップ/ダウ ン タイプ [14]
M2	DDR0_DM1	DDR0_DM1		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
A3	DDR0_DQ0	DDR0_DQ0		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
A2	DDR0_DQ1	DDR0_DQ1		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
B5	DDR0_DQ2	DDR0_DQ2		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
A4	DDR0_DQ3	DDR0_DQ3		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
B3	DDR0_DQ4	DDR0_DQ4		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
C4	DDR0_DQ5	DDR0_DQ5		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
C2	DDR0_DQ6	DDR0_DQ6		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
B4	DDR0_DQ7	DDR0_DQ7		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
N5	DDR0_DQ8	DDR0_DQ8		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
L4	DDR0_DQ9	DDR0_DQ9		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
L2	DDR0_DQ10	DDR0_DQ10		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
M3	DDR0_DQ11	DDR0_DQ11		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
N4	DDR0_DQ12	DDR0_DQ12		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
N3	DDR0_DQ13	DDR0_DQ13		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
M4	DDR0_DQ14	DDR0_DQ14		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
N2	DDR0_DQ15	DDR0_DQ15		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
C1	DDR0_DQS0	DDR0_DQS0		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
B1	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
N1	DDR0_DQS1	DDR0_DQS1		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	
M1	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1V/1.2V	VDDS_DDR, VDDS_DDR_C		DDR	

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
E5		DDR0_ODT0		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
F5		DDR0_ODT1		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
D5		DDR0_RESET0_n		O					1.1V/1.2V	VDDS_DDR、 VDDS_DDR_C		DDR	
D18	ECAP0_IN_APWM_OUT PADCONFIG: PADCONFIG156 0x000F4270	ECAP0_IN_APWM_OUT	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SYNC0_OUT	1	O									
		CPTS0_RFT_CLK	2	I	0								
		CP_GEMAC_CPTS0_RFT_CLK	5	I	0								
		SPI4_CS3	6	IO	1								
GPIO1_68	7	IO	バンド										
D10	EMU0 PADCONFIG: MCU_PADCONFIG31 0x0408407C	EMU0	0	IO	1	オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
E10	EMU1 PADCONFIG: MCU_PADCONFIG32 0x04084080	EMU1	0	IO	1	オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_OBSCLK0	15	O									
C19	EXTINTn PADCONFIG: PADCONFIG158 0x000F4278	EXTINTn	0	I	1	オフ/オフ/NA	オフ/オフ/NA	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS	
		GPIO1_70	7	IOD	バンド								
A19	EXT_REFCLK1 PADCONFIG: PADCONFIG157 0x000F4274	EXT_REFCLK1	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SYNC1_OUT	1	O									
		SPI2_CS3	2	IO	1								
		CLKOUT0	5	O									
		GPIO1_69	7	IO	バンド								
P16	GPMC0_ADVn_ALE PADCONFIG: PADCONFIG33 0x000F4084	GPMC0_ADVn_ALE	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX5_CLK	1	I	0								
		UART5_RXD	2	I	1								
		EHRPWM_TZn_IN3	3	I	0								
		TRC_DATA15	6	O									
		GPIO0_32	7	IO	バンド								
		PRG0_PWM3_TZ_IN	9	I	0								

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
R17	GPMC0_CLK PADCONFIG: PADCONFIG31 0x000F407C	GPMC0_CLK	0	O	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX4_CLK	1	I	0								
		UART4_RTSn	2	O									
		EHRPWM3_SYNCO	3	O									
		GPMC0_FCLK_MUX	4	O									
		TRC_DATA14	6	O									
		GPIO0_31	7	IO	バンド								
N17	GPMC0_DIR PADCONFIG: PADCONFIG41 0x000F40A4	GPMC0_DIR	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		EQEP0_B	3	I	0								
		GPIO0_40	7	IO	バンド								
		EHRPWM6_B	8	IO	0								
R18	GPMC0_OEn_REn PADCONFIG: PADCONFIG34 0x000F4088	GPMC0_OEn_REn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX5_D0	1	I	0								
		UART5_TXD	2	O									
		EHRPWM4_A	3	IO	0								
		TRC_DATA16	6	O									
		GPIO0_33	7	IO	バンド								
T21	GPMC0_WEn PADCONFIG: PADCONFIG35 0x000F408C	GPMC0_WEn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX5_D1	1	I	0								
		UART5_RTSn	2	O									
		EHRPWM4_B	3	IO	0								
		TRC_DATA17	6	O									
		GPIO0_34	7	IO	バンド								
N16	GPMC0_WPn PADCONFIG: PADCONFIG40 0x000F40A0	GPMC0_WPn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_TX1_CLK	1	O									
		EQEP0_A	3	I	0								
		GPMC0_A22	4	OZ									
		TRC_DATA22	6	O									
		GPIO0_39	7	IO	バンド								
		EHRPWM6_A	8	IO	0								
PRG1_PWM2_A0	9	IO	0										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
T20	GPMC0_AD0 PADCONFIG: PADCONFIG15 0x000F403C	GPMC0_AD0	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX2_CLK	1	I	0								
		UART2_RXD	2	I	1								
		EHRPWM0_SYNCI	3	I	0								
		TRC_CLK	6	O									
		GPIO0_15	7	IO	バンド								
		BOOTMODE00	ブートス ラップ	I									
U21	GPMC0_AD1 PADCONFIG: PADCONFIG16 0x000F4040	GPMC0_AD1	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX2_D0	1	I	0								
		UART2_TXD	2	O									
		EHRPWM0_SYNCO	3	O									
		TRC_CTL	6	O									
		GPIO0_16	7	IO	バンド								
		PRG0_PWM2_TZ_OUT	9	O									
BOOTMODE01	ブートス ラップ	I											
T18	GPMC0_AD2 PADCONFIG: PADCONFIG17 0x000F4044	GPMC0_AD2	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX2_D1	1	I	0								
		UART2_RTSn	2	O									
		EHRPWM_TZn_IN0	3	I	0								
		TRC_DATA0	6	O									
		GPIO0_17	7	IO	バンド								
		PRG0_PWM2_TZ_IN	9	I	0								
BOOTMODE02	ブートス ラップ	I											
U20	GPMC0_AD3 PADCONFIG: PADCONFIG18 0x000F4048	GPMC0_AD3	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX3_CLK	1	I	0								
		UART3_RXD	2	I	1								
		EHRPWM0_A	3	IO	0								
		TRC_DATA1	6	O									
		GPIO0_18	7	IO	バンド								
		PRG0_PWM2_A0	9	IO	0								
BOOTMODE03	ブートス ラップ	I											

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
U18	GPMC0_AD4 PADCONFIG: PADCONFIG19 0x000F404C	GPMC0_AD4	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX3_D0	1	I	0								
		UART3_TXD	2	O									
		EHRPWM0_B	3	IO	0								
		TRC_DATA2	6	O									
		GPIO0_82	7	IO	バンド								
		PRG0_PWM2_B0	9	IO	1								
BOOTMODE04	ブートスト ラップ	I											
U19	GPMC0_AD5 PADCONFIG: PADCONFIG20 0x000F4050	GPMC0_AD5	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX3_D1	1	I	0								
		UART3_RTSn	2	O									
		EHRPWM1_A	3	IO	0								
		TRC_DATA3	6	O									
		GPIO0_83	7	IO	バンド								
		PRG0_PWM2_A1	9	IO	0								
BOOTMODE05	ブートスト ラップ	I											
V20	GPMC0_AD6 PADCONFIG: PADCONFIG21 0x000F4054	GPMC0_AD6	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX4_D0	1	I	0								
		UART4_RXD	2	I	1								
		EHRPWM1_B	3	IO	0								
		TRC_DATA4	6	O									
		GPIO0_21	7	IO	バンド								
		PRG0_PWM2_B1	9	IO	1								
BOOTMODE06	ブートスト ラップ	I											
V21	GPMC0_AD7 PADCONFIG: PADCONFIG22 0x000F4058	GPMC0_AD7	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX4_D1	1	I	0								
		UART4_TXD	2	O									
		EHRPWM_TZn_IN1	3	I	0								
		EHRPWM8_A	4	IO	0								
		TRC_DATA5	6	O									
		GPIO0_22	7	IO	バンド								
PRG1_PWM2_A2	9	IO	0										
BOOTMODE07	ブートスト ラップ	I											

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
V19	GPMC0_AD8 PADCONFIG: PADCONFIG23 0x000F405C	GPMC0_AD8	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX0_CLK	1	I	0								
		UART2_CTSn	2	I	1								
		EHRPWM2_A	3	IO	0								
		TRC_DATA6	6	O									
		GPIO0_23	7	IO	バンド								
		PRG0_PWM2_A2	9	IO	0								
		BOOTMODE08	ブートス ラップ	I									
T17	GPMC0_AD9 PADCONFIG: PADCONFIG24 0x000F4060	GPMC0_AD9	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX0_D0	1	I	0								
		UART3_CTSn	2	I	1								
		EHRPWM2_B	3	IO	0								
		TRC_DATA7	6	O									
		GPIO0_24	7	IO	バンド								
		PRG0_PWM2_B2	9	IO	1								
		BOOTMODE09	ブートス ラップ	I									
R16	GPMC0_AD10 PADCONFIG: PADCONFIG25 0x000F4064	GPMC0_AD10	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX0_D1	1	I	0								
		UART4_CTSn	2	I	1								
		EHRPWM_TZn_IN2	3	I	0								
		EHRPWM8_B	4	IO	0								
		TRC_DATA8	6	O									
		GPIO0_25	7	IO	バンド								
		PRG1_PWM2_B2	9	IO	1								
BOOTMODE10	ブートス ラップ	I											
W20	GPMC0_AD11 PADCONFIG: PADCONFIG26 0x000F4068	GPMC0_AD11	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX1_CLK	1	I	0								
		UART5_CTSn	2	I	1								
		EQEP1_A	3	I	0								
		TRC_DATA9	6	O									
		GPIO0_26	7	IO	バンド								
		EHRPWM7_A	8	IO	0								
		BOOTMODE11	ブートス ラップ	I									

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
W21	GPMC0_AD12 PADCONFIG: PADCONFIG27 0x000F406C	GPMC0_AD12	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX1_D0	1	I	0								
		UART6_CTSn	2	I	1								
		EQEP1_B	3	I	0								
		TRC_DATA10	6	O									
		GPIO0_27	7	IO	バンド								
		EHRPWM7_B	8	IO	0								
BOOTMODE12	ブートス ラップ	I											
V18	GPMC0_AD13 PADCONFIG: PADCONFIG28 0x000F4070	GPMC0_AD13	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_RX1_D1	1	I	0								
		EHRPWM3_A	3	IO	0								
		TRC_DATA11	6	O									
		GPIO0_28	7	IO	バンド								
		PRG0_PWM3_A0	9	IO	0								
BOOTMODE13	ブートス ラップ	I											
Y21	GPMC0_AD14 PADCONFIG: PADCONFIG29 0x000F4074	GPMC0_AD14	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_TX0_D0	1	O									
		UART6_RXD	2	I	1								
		EHRPWM3_B	3	IO	0								
		TRC_DATA12	6	O									
		GPIO0_29	7	IO	バンド								
		PRG0_PWM3_B0	9	IO	1								
BOOTMODE14	ブートス ラップ	I											
Y20	GPMC0_AD15 PADCONFIG: PADCONFIG30 0x000F4078	GPMC0_AD15	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_TX0_D1	1	O									
		UART6_TXD	2	O									
		EHRPWM3_SYNCI	3	I	0								
		TRC_DATA13	6	O									
		GPIO0_30	7	IO	バンド								
		BOOTMODE15	ブートス ラップ	I									

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
P17	GPMC0_BE0n_CLE PADCONFIG: PADCONFIG36 0x000F4090	GPMC0_BE0n_CLE	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_TX1_D0	1	O									
		UART6_RTSn	2	O									
		EHRPWM_TZn_IN4	3	I	0								
		EHRPWM7_A	5	IO	0								
		TRC_DATA18	6	O									
		GPIO0_35	7	IO	バンド								
PRG1_PWM2_A1	9	IO	0										
T19	GPMC0_BE1n PADCONFIG: PADCONFIG37 0x000F4094	GPMC0_BE1n	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSI_TX0_CLK	1	O									
		EHRPWM5_A	3	IO	0								
		TRC_DATA19	6	O									
		GPIO0_36	7	IO	バンド								
PRG0_PWM3_A2	9	IO	0										
R19	GPMC0_CSn0 PADCONFIG: PADCONFIG42 0x000F40A8	GPMC0_CSn0	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		EQEP0_S	3	IO	0								
		TRC_DATA23	6	O									
		GPIO0_41	7	IO	バンド								
EHRPWM6_SYNCI	8	I	0										
R20	GPMC0_CSn1 PADCONFIG: PADCONFIG43 0x000F40AC	GPMC0_CSn1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		EQEP0_I	3	IO	0								
		EHRPWM_TZn_IN2	5	I	0								
		GPIO0_42	7	IO	バンド								
		EHRPWM6_SYNCO	8	O									
		PRG1_PWM2_TZ_OUT	9	O									
P19	GPMC0_CSn2 PADCONFIG: PADCONFIG44 0x000F40B0	GPMC0_CSn2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		TIMER_IO8	2	IO	0								
		EQEP1_S	3	IO	0								
		EHRPWM_TZn_IN4	5	I	0								
		GPIO0_43	7	IO	バンド								
PRG1_PWM2_TZ_IN	9	I	0										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	パッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
R21	GPMC0_CSn3 PADCONFIG: PADCONFIG45 0x000F40B4	GPMC0_CSn3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C2_SDA	1	IOD	1								
		TIMER_IO9	2	IO	0								
		EQEP1_I	3	IO	0								
		GPMC0_A20	4	OZ									
		EHRPWM_TZn_IN5	5	I	0								
W19	GPMC0_WAIT0 PADCONFIG: PADCONFIG38 0x000F4098	GPMC0_WAIT0	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		EHRPWM5_B	3	IO	0								
		TRC_DATA20	6	O									
		GPIO0_37	7	IO	バンド								
Y18	GPMC0_WAIT1 PADCONFIG: PADCONFIG39 0x000F409C	GPMC0_WAIT1	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		FSL_TX1_D1	1	O									
		EHRPWM_TZn_IN5	3	I	0								
		GPMC0_A21	4	OZ									
		EHRPWM7_B	5	IO	0								
		TRC_DATA21	6	O									
		GPIO0_38	7	IO	バンド								
A18	I2C0_SCL PADCONFIG: PADCONFIG152 0x000F4260	I2C0_SCL	0	IOD	1	オフ/オフ/NA	オン/SS/NA	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS	
		GPIO1_64	7	IOD	バンド								
B18	I2C0_SDA PADCONFIG: PADCONFIG153 0x000F4264	I2C0_SDA	0	IOD	1	オフ/オフ/NA	オン/SS/NA	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS	
		GPIO1_65	7	IOD	バンド								
C18	I2C1_SCL PADCONFIG: PADCONFIG154 0x000F4268	I2C1_SCL	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CPTS0_HW1TSPUSH	1	I	0								
		TIMER_IO0	2	IO	0								
		SPI2_CS1	3	IO	1								
B19	I2C1_SDA PADCONFIG: PADCONFIG155 0x000F426C	GPIO1_66	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		I2C1_SDA	0	IOD	1								
		CPTS0_HW2TSPUSH	1	I	0								
		TIMER_IO1	2	IO	0								
		SPI2_CS2	3	IO	1								
GPIO1_67	7	IO	バンド										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
B17	MCAN0_RX PADCONFIG: PADCONFIG149 0x000F4254	MCAN0_RX	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART4_TXD	1	O	0								
		TIMER_IO3	2	IO	0								
		SYNC3_OUT	3	O									
		SPI4_CS2	6	IO	1								
		GPIO1_61	7	IO	バンド								
		EQEP2_S	8	IO	0								
UART0_RIn	9	I	1										
A17	MCAN0_TX PADCONFIG: PADCONFIG148 0x000F4250	MCAN0_TX	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART4_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		SYNC2_OUT	3	O									
		SPI4_CS1	6	IO	1								
		GPIO1_60	7	IO	バンド								
		EQEP2_I	8	IO	0								
UART0_DTRn	9	O											
D17	MCAN1_RX PADCONFIG: PADCONFIG151 0x000F425C	MCAN1_RX	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		I2C3_SDA	1	IOD	1								
		ECAP2_IN_APWM_OUT	2	IO	0								
		OBCLK0	3	O									
		TIMER_IO5	4	IO	0								
		UART5_TXD	5	O									
		EHRPWM_SOCB	6	O									
		GPIO1_63	7	IO	バンド								
		EQEP2_B	8	I	0								
		UART0_DSRn	9	I	1								
OBCLK0	15	O											

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
C17	MCAN1_TX PADCONFIG: PADCONFIG150 0x000F4258	MCAN1_TX	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		I2C3_SCL	1	IOD	1								
		ECAP1_IN_APWM_OUT	2	IO	0								
		SYSCLKOUT0	3	O									
		TIMER_IO4	4	IO	0								
		UART5_RXD	5	I	1								
		EHRPWM_SOC_A	6	O									
		GPIO1_62	7	IO	バンド								
		EQEP2_A	8	I	0								
UART0_DCDn	9	I	1										
E9	MCU_I2C0_SCL PADCONFIG: MCU_PADCONFIG18 0x04084048	MCU_I2C0_SCL	0	IOD	1	オフ / オフ / NA	オン / SS / NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C OD FS	
		MCU_GPIO0_18	7	IOD	バンド								
A10	MCU_I2C0_SDA PADCONFIG: MCU_PADCONFIG19 0x0408404C	MCU_I2C0_SDA	0	IOD	1	オフ / オフ / NA	オン / SS / NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C OD FS	
		MCU_GPIO0_19	7	IOD	バンド								
A11	MCU_I2C1_SCL PADCONFIG: MCU_PADCONFIG20 0x04084050	MCU_I2C1_SCL	0	IOD	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_20	7	IO	バンド								
B10	MCU_I2C1_SDA PADCONFIG: MCU_PADCONFIG21 0x04084054	MCU_I2C1_SDA	0	IOD	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_21	7	IO	バンド								
C21	MCU_OSC0_XI	MCU_OSC0_XI		I					1.8V	VDDS_OSC	あり	HFOSC	
B20	MCU_OSC0_XO	MCU_OSC0_XO		O					1.8V	VDDS_OSC	あり	HFOSC	
B21	MCU_PORz PADCONFIG: MCU_PADCONFIG23 0x0408405C	MCU_PORz	0	I				0	1.8V	VDDS_OSC	あり	FS RESET	
B13	MCU_RESETSTATz PADCONFIG: MCU_PADCONFIG24 0x04084060	MCU_RESETSTATz	0	O		オフ / Low / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_22	7	IO	バンド								
B12	MCU_RESETz PADCONFIG: MCU_PADCONFIG22 0x04084058	MCU_RESETz	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	I/O動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
A20	MCU_SAFETY_ERRORn PADCONFIG: MCU_PADCONFIG25 0x04084064	MCU_SAFETY_ERRORn	0	IO		オフ/オフ/ダウン	オン/SS/ダウン	0	1.8V	VDDS_OSC	あり	LVC MOS	PU/PD
E6	MCU_SPI0_CLK PADCONFIG: MCU_PADCONFIG2 0x04084008	MCU_SPI0_CLK	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_GPIO0_11	7	IO	バンド								
D7	MCU_SPI1_CLK PADCONFIG: MCU_PADCONFIG7 0x0408401C	MCU_SPI1_CLK	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_GPIO0_7	7	IO	バンド								
D6	MCU_SPI0_CS0 PADCONFIG: MCU_PADCONFIG0 0x04084000	MCU_SPI0_CS0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_GPIO0_13	7	IO	バンド								
C6	MCU_SPI0_CS1 PADCONFIG: MCU_PADCONFIG1 0x04084004	MCU_SPI0_CS1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_OBSCLK0	1	O									
		MCU_SYSCLKOUT0	2	O									
		MCU_GPIO0_12	7	IO	バンド								
E7	MCU_SPI0_D0 PADCONFIG: MCU_PADCONFIG3 0x0408400C	MCU_SPI0_D0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_GPIO0_10	7	IO	バンド								
B6	MCU_SPI0_D1 PADCONFIG: MCU_PADCONFIG4 0x04084010	MCU_SPI0_D1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_GPIO0_4	7	IO	バンド								
A7	MCU_SPI1_CS0 PADCONFIG: MCU_PADCONFIG5 0x04084014	MCU_SPI1_CS0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_GPIO0_5	7	IO	バンド								
B7	MCU_SPI1_CS1 PADCONFIG: MCU_PADCONFIG6 0x04084018	MCU_SPI1_CS1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_EXT_REFCLK0	1	I	0								
		MCU_GPIO0_6	7	IO	バンド								
C7	MCU_SPI1_D0 PADCONFIG: MCU_PADCONFIG8 0x04084020	MCU_SPI1_D0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_GPIO0_8	7	IO	バンド								
C8	MCU_SPI1_D1 PADCONFIG: MCU_PADCONFIG9 0x04084024	MCU_SPI1_D1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVC MOS	PU/PD
		MCU_GPIO0_9	7	IO	バンド								

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
D8	MCU_UART0_CTSn PADCONFIG: MCU_PADCONFIG12 0x04084030	MCU_UART0_CTSn	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0								
		MCU_SPI0_CS2	2	IO	1								
		MCU_GPIO0_1	7	IO	バンド								
E8	MCU_UART0_RTSn PADCONFIG: MCU_PADCONFIG13 0x04084034	MCU_UART0_RTSn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_TIMER_IO1	1	IO	0								
		MCU_SPI1_CS2	2	IO	1								
		MCU_GPIO0_0	7	IO	バンド								
A9	MCU_UART0_RXD PADCONFIG: MCU_PADCONFIG10 0x04084028	MCU_UART0_RXD	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_3	7	IO	バンド								
A8	MCU_UART0_TXD PADCONFIG: MCU_PADCONFIG11 0x0408402C	MCU_UART0_TXD	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_2	7	IO	バンド								
B8	MCU_UART1_CTSn PADCONFIG: MCU_PADCONFIG16 0x04084040	MCU_UART1_CTSn	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_TIMER_IO2	1	IO	0								
		MCU_SPI0_CS3	2	IO	1								
		MCU_GPIO0_16	7	IO	バンド								
B9	MCU_UART1_RTSn PADCONFIG: MCU_PADCONFIG17 0x04084044	MCU_UART1_RTSn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_TIMER_IO3	1	IO	0								
		MCU_SPI1_CS3	2	IO	1								
		MCU_GPIO0_17	7	IO	バンド								
C9	MCU_UART1_RXD PADCONFIG: MCU_PADCONFIG14 0x04084038	MCU_UART1_RXD	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_14	7	IO	バンド								
D9	MCU_UART1_TXD PADCONFIG: MCU_PADCONFIG15 0x0408403C	MCU_UART1_TXD	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_15	7	IO	バンド								
F18	MMC0_CALPAD	MMC0_CALPAD		A					1.8V	VDDSD_MMC0		eMMC PHY	
G18	MMC0_CLK	MMC0_CLK		IO		オン/Low/オフ	オン/SS/オフ		1.8V	VDDSD_MMC0		eMMC PHY	PU/PD
J21	MMC0_CMD	MMC0_CMD		IO		オン/ハイ/アップ	オン/SS/アップ		1.8V	VDDSD_MMC0		eMMC PHY	PU/PD
G19	MMC0_DS	MMC0_DS		IO		オン/オフ/ダウン	オン/オフ/ダウン		1.8V	VDDSD_MMC0		eMMC PHY	PU/PD

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	I/O動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
L20	MMC1_CLK PADCONFIG: PADCONFIG163 0x000F428C	MMC1_CLK	0	IO		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART2_CTSn	1	I	1								
		TIMER_IO4	2	IO	0								
		UART4_RXD	3	I	1								
		GPIO1_75	7	IO	バンド								
J19	MMC1_CMD PADCONFIG: PADCONFIG165 0x000F4294	MMC1_CMD	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART2_RTSn	1	O									
		TIMER_IO5	2	IO	0								
		UART4_TXD	3	O									
		GPIO1_76	7	IO	バンド								
D19	MMC1_SDCD PADCONFIG: PADCONFIG166 0x000F4298	MMC1_SDCD	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART3_CTSn	1	I	1								
		TIMER_IO6	2	IO	0								
		UART5_RXD	3	I	1								
		GPIO1_77	7	IO	バンド								
C20	MMC1_SDWP PADCONFIG: PADCONFIG167 0x000F429C	MMC1_SDWP	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART3_RTSn	1	O									
		TIMER_IO7	2	IO	0								
		UART5_TXD	3	O									
		GPIO1_78	7	IO	バンド								
K20	MMC0_DAT0	MMC0_DAT0		IO		オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMC PHY	PU/PD
J20	MMC0_DAT1	MMC0_DAT1		IO		オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMC PHY	PU/PD
J18	MMC0_DAT2	MMC0_DAT2		IO		オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMC PHY	PU/PD
J17	MMC0_DAT3	MMC0_DAT3		IO		オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMC PHY	PU/PD
H17	MMC0_DAT4	MMC0_DAT4		IO		オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMC PHY	PU/PD
H19	MMC0_DAT5	MMC0_DAT5		IO		オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMC PHY	PU/PD
H18	MMC0_DAT6	MMC0_DAT6		IO		オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMC PHY	PU/PD
G17	MMC0_DAT7	MMC0_DAT7		IO		オン/オフ/アップ	オン/SS/アップ		1.8V	VDD5_MMC0		eMMC PHY	PU/PD
K21	MMC1_DAT0 PADCONFIG: PADCONFIG162 0x000F4288	MMC1_DAT0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		TIMER_IO3	2	IO	0								
		UART3_TXD	3	O									
		GPIO1_74	7	IO	バンド								

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
L21	MMC1_DAT1 PADCONFIG: PADCONFIG161 0x000F4284	MMC1_DAT1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		TIMER_IO2	2	IO	0								
		UART3_RXD	3	I	1								
		GPIO1_73	7	IO	バンド								
K19	MMC1_DAT2 PADCONFIG: PADCONFIG160 0x000F4280	MMC1_DAT2	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		TIMER_IO1	2	IO	0								
		UART2_TXD	3	O									
		GPIO1_72	7	IO	バンド								
K18	MMC1_DAT3 PADCONFIG: PADCONFIG159 0x000F427C	MMC1_DAT3	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		TIMER_IO0	2	IO	0								
		UART2_RXD	3	I	1								
		GPIO1_71	7	IO	バンド								
N20	OSPI0_CLK PADCONFIG: PADCONFIG0 0x000F4000	OSPI0_CLK	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_0	7	IO	バンド								
N19	OSPI0_DQS PADCONFIG: PADCONFIG2 0x000F4008	OSPI0_DQS	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_2	7	IO	バンド								
N21	OSPI0_LBCLK0 PADCONFIG: PADCONFIG1 0x000F4004	OSPI0_LBCLK0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_1	7	IO	バンド								
L19	OSPI0_CSn0 PADCONFIG: PADCONFIG11 0x000F402C	OSPI0_CSn0	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_11	7	IO	バンド								
L18	OSPI0_CSn1 PADCONFIG: PADCONFIG12 0x000F4030	OSPI0_CSn1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_12	7	IO	バンド								
K17	OSPI0_CSn2 PADCONFIG: PADCONFIG13 0x000F4034	OSPI0_CSn2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		OSPI0_RESET_OUT1	2	O									
		GPIO0_13	7	IO	バンド								

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	I/O動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
L17	OSPI0_CSn3 PADCONFIG: PADCONFIG14 0x000F4038	OSPI0_CSn3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		OSPI0_RESET_OUT0	1	O									
		OSPI0_ECC_FAIL	2	I	1								
		GPIO0_14	7	IO	バンド								
M19	OSPI0_D0 PADCONFIG: PADCONFIG3 0x000F400C	OSPI0_D0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_3	7	IO	バンド								
M18	OSPI0_D1 PADCONFIG: PADCONFIG4 0x000F4010	OSPI0_D1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_4	7	IO	バンド								
M20	OSPI0_D2 PADCONFIG: PADCONFIG5 0x000F4014	OSPI0_D2	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_5	7	IO	バンド								
M21	OSPI0_D3 PADCONFIG: PADCONFIG6 0x000F4018	OSPI0_D3	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_6	7	IO	バンド								
P21	OSPI0_D4 PADCONFIG: PADCONFIG7 0x000F401C	OSPI0_D4	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_7	7	IO	バンド								
P20	OSPI0_D5 PADCONFIG: PADCONFIG8 0x000F4020	OSPI0_D5	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_8	7	IO	バンド								
N18	OSPI0_D6 PADCONFIG: PADCONFIG9 0x000F4024	OSPI0_D6	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_9	7	IO	バンド								
M17	OSPI0_D7 PADCONFIG: PADCONFIG10 0x000F4028	OSPI0_D7	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		GPIO0_10	7	IO	バンド								
E17	PORz_OUT PADCONFIG: PADCONFIG171 0x000F42AC	PORz_OUT	0	O		オフ/Low/オフ	オフ/SS/オフ	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
P3	PRG0_MDIO0_MDC PADCONFIG: PADCONFIG129 0x000F4204	PRG0_MDIO0_MDC	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO1_41	7	IO	バンド								
		GPMC0_A13	9	OZ									

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
P2	PRG0_MDIO0_MDIO PADCONFIG: PADCONFIG128 0x000F4200	PRG0_MDIO0_MDIO	0	IO	0								
		GPIO1_40	7	IO	パッド	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCNOS	PU/PD
		GPMC0_A12	9	OZ									
Y1	PRG0_PRU0_GPO0 PADCONFIG: PADCONFIG88 0x000F4160	PRG0_PRU0_GPO0	0	IO	0								
		PRG0_PRU0_GPIO	1	I	0								
		PRG0_RGMII1_RD0	2	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCNOS	PU/PD
		PRG0_PWM3_A0	3	IO	0								
		GPIO1_0	7	IO	パッド								
		UART2_CTSn	10	I	1								
R4	PRG0_PRU0_GPO1 PADCONFIG: PADCONFIG89 0x000F4164	PRG0_PRU0_GPO1	0	IO	0								
		PRG0_PRU0_GPI1	1	I	0								
		PRG0_RGMII1_RD1	2	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCNOS	PU/PD
		PRG0_PWM3_B0	3	IO	1								
		GPIO1_1	7	IO	パッド								
		UART2_TXD	10	O									
U2	PRG0_PRU0_GPO2 PADCONFIG: PADCONFIG90 0x000F4168	PRG0_PRU0_GPO2	0	IO	0								
		PRG0_PRU0_GPI2	1	I	0								
		PRG0_RGMII1_RD2	2	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCNOS	PU/PD
		PRG0_PWM2_A0	3	IO	0								
		GPIO1_2	7	IO	パッド								
		GPMC0_A0	9	OZ									
		UART2_RTSn	10	O									
V2	PRG0_PRU0_GPO3 PADCONFIG: PADCONFIG91 0x000F416C	PRG0_PRU0_GPO3	0	IO	0								
		PRG0_PRU0_GPI3	1	I	0								
		PRG0_RGMII1_RD3	2	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCNOS	PU/PD
		PRG0_PWM3_A2	3	IO	0								
		GPIO1_3	7	IO	パッド								
		UART3_CTSn	10	I	1								
AA2	PRG0_PRU0_GPO4 PADCONFIG: PADCONFIG92 0x000F4170	PRG0_PRU0_GPO4	0	IO	0								
		PRG0_PRU0_GPI4	1	I	0								
		PRG0_RGMII1_RX_CTL	2	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCNOS	PU/PD
		PRG0_PWM2_B0	3	IO	1								
		GPIO1_4	7	IO	パッド								
		GPMC0_A1	9	OZ									
		UART3_TXD	10	O									

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
R3	PRG0_PRU0_GPO5 PADCONFIG: PADCONFIG93 0x000F4174	PRG0_PRU0_GPO5	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI5	1	I	0								
		PRG0_PWM3_B2	3	IO	1								
		GPIO1_5	7	IO	バンド								
		UART3_RTSn	10	O									
T3	PRG0_PRU0_GPO6 PADCONFIG: PADCONFIG94 0x000F4178	PRG0_PRU0_GPO6	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI6	1	I	0								
		PRG0_RGMII1_RXC	2	I	0								
		PRG0_PWM3_A1	3	IO	0								
		GPIO1_6	7	IO	バンド								
		UART4_CTSn	10	I	1								
T1	PRG0_PRU0_GPO7 PADCONFIG: PADCONFIG95 0x000F417C	PRG0_PRU0_GPO7	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI7	1	I	0								
		PRG0_IEP0_EDC_LATCH_IN1	2	I	0								
		PRG0_PWM3_B1	3	IO	1								
		CPTS0_HW2TSPUSH	4	I	0								
		CP_GEMAC_CPTS0_HW2TSPUSH	5	I	0								
		TIMER_IO6	6	IO	0								
		GPIO1_7	7	IO	バンド								
UART4_TXD	10	O											
T2	PRG0_PRU0_GPO8 PADCONFIG: PADCONFIG96 0x000F4180	PRG0_PRU0_GPO8	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI8	1	I	0								
		PRG0_PWM2_A1	3	IO	0								
		GPIO1_8	7	IO	バンド								
		GPMC0_A2	9	OZ									
		UART4_RTSn	10	O									
W6	PRG0_PRU0_GPO9 PADCONFIG: PADCONFIG97 0x000F4184	PRG0_PRU0_GPO9	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI9	1	I	0								
		PRG0_UART0_CTSn	2	I	1								
		PRG0_PWM3_TZ_IN	3	I	0								
		RGMII1_RX_CTL	4	I	0								
		RMII1_RX_ER	5	I	0								
		PRG0_IEP0_EDIO_DATA_IN_OUT28	6	IO	0								
		GPIO1_9	7	IO	バンド								
UART2_RXD	10	I	1										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AA5	PRG0_PRU0_GPO10 PADCONFIG: PADCONFIG98 0x000F4188	PRG0_PRU0_GPO10	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI10	1	I	0								
		PRG0_UART0_RTSn	2	O									
		PRG0_PWM2_B1	3	IO	1								
		RGMII1_RXC	4	I	0								
		RMII_REF_CLK	5	I	0								
		PRG0_IEP0_EDIO_DATA_IN_OUT29	6	IO	0								
		GPIO1_10	7	IO	バンド								
UART3_RXD	10	I	1										
Y3	PRG0_PRU0_GPO11 PADCONFIG: PADCONFIG99 0x000F418C	PRG0_PRU0_GPO11	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI11	1	I	0								
		PRG0_RGMII1_TD0	2	O									
		PRG0_PWM3_TZ_OUT	3	O									
		GPIO1_11	7	IO	バンド								
UART4_RXD	10	I	1										
AA3	PRG0_PRU0_GPO12 PADCONFIG: PADCONFIG100 0x000F4190	PRG0_PRU0_GPO12	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI12	1	I	0								
		PRG0_RGMII1_TD1	2	O									
		PRG0_PWM0_A0	3	IO	0								
		GPIO1_12	7	IO	バンド								
GPMC0_A14	9	OZ											
R6	PRG0_PRU0_GPO13 PADCONFIG: PADCONFIG101 0x000F4194	PRG0_PRU0_GPO13	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI13	1	I	0								
		PRG0_RGMII1_TD2	2	O									
		PRG0_PWM0_B0	3	IO	1								
		SPI3_D0	6	IO	0								
		GPIO1_13	7	IO	バンド								
		GPMC0_A15	9	OZ									
V4	PRG0_PRU0_GPO14 PADCONFIG: PADCONFIG102 0x000F4198	PRG0_PRU0_GPO14	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI14	1	I	0								
		PRG0_RGMII1_TD3	2	O									
		PRG0_PWM0_A1	3	IO	0								
		SPI3_D1	6	IO	0								
		GPIO1_14	7	IO	バンド								
		GPMC0_A3	9	OZ									

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
T5	PRG0_PRU0_GPO15 PADCONFIG: PADCONFIG103 0x000F419C	PRG0_PRU0_GPO15	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI15	1	I	0								
		PRG0_RGMII1_TX_CTL	2	O									
		PRG0_PWM0_B1	3	IO	1								
		SPI3_CS1	6	IO	1								
		GPIO1_15	7	IO	バンド								
		GPMC0_A16	9	OZ									
U4	PRG0_PRU0_GPO16 PADCONFIG: PADCONFIG104 0x000F41A0	PRG0_PRU0_GPO16	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI16	1	I	0								
		PRG0_RGMII1_TXC	2	IO	0								
		PRG0_PWM0_A2	3	IO	0								
		SPI3_CLK	6	IO	0								
		GPIO1_16	7	IO	バンド								
		GPMC0_A4	9	OZ									
U1	PRG0_PRU0_GPO17 PADCONFIG: PADCONFIG105 0x000F41A4	PRG0_PRU0_GPO17	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI17	1	I	0								
		PRG0_IEP0_EDC_SYNC_OUT1	2	O									
		PRG0_PWM0_B2	3	IO	1								
		CPTS0_TS_SYNC	4	O									
		CP_GEMAC_CPTS0_TS_SYNC	5	O									
		SPI3_CS0	6	IO	1								
		GPIO1_17	7	IO	バンド								
		TIMER_IO11	8	IO	0								
		GPMC0_A17	9	OZ									
V1	PRG0_PRU0_GPO18 PADCONFIG: PADCONFIG106 0x000F41A8	PRG0_PRU0_GPO18	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI18	1	I	0								
		PRG0_IEP0_EDC_LATCH_IN0	2	I	0								
		PRG0_PWM0_TZ_IN	3	I	0								
		CPTS0_HW1TSPUSH	4	I	0								
		CP_GEMAC_CPTS0_HW1TSPUSH	5	I	0								
		EHRPWM8_A	6	IO	0								
		GPIO1_18	7	IO	バンド								
		UART4_CTSn	8	I	1								
		GPMC0_A5	9	OZ									
		UART2_RXD	10	I	1								

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
W1	PRG0_PRU0_GPO19 PADCONFIG: PADCONFIG107 0x000F41AC	PRG0_PRU0_GPO19	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU0_GPI19	1	I	0								
		PRG0_IEP0_EDC_SYNC_OUT0	2	O									
		PRG0_PWM0_TZ_OUT	3	O									
		CPTS0_TS_COMP	4	O									
		CP_GEMAC_CPTS0_TS_COMP	5	O									
		EHRPWM8_B	6	IO	0								
		GPIO1_19	7	IO	バンド								
		UART4_RTSn	8	O									
		GPMC0_A6	9	OZ									
Y2	PRG0_PRU1_GPO0 PADCONFIG: PADCONFIG108 0x000F41B0	PRG0_PRU1_GPO0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI0	1	I	0								
		PRG0_RGMII2_RD0	2	I	0								
		GPIO1_20	7	IO	バンド								
		EQEP0_A	8	I	0								
W2	PRG0_PRU1_GPO1 PADCONFIG: PADCONFIG109 0x000F41B4	PRG0_PRU1_GPO1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI1	1	I	0								
		PRG0_RGMII2_RD1	2	I	0								
		GPIO1_21	7	IO	バンド								
		EQEP0_B	8	I	0								
V3	PRG0_PRU1_GPO2 PADCONFIG: PADCONFIG110 0x000F41B8	PRG0_PRU1_GPO2	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI2	1	I	0								
		PRG0_RGMII2_RD2	2	I	0								
		PRG0_PWM2_A2	3	IO	0								
		GPIO1_22	7	IO	バンド								
		EQEP0_S	8	IO	0								
		UART5_RTSn	10	O									

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
T4	PRG0_PRU1_GPO3 PADCONFIG: PADCONFIG111 0x000F41BC	PRG0_PRU1_GPO3	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI3	1	I	0								
		PRG0_RGMII2_RD3	2	I	0								
		GPIO1_23	7	IO	パッド								
		EQEP1_A	8	I	0								
		GPMC0_A18	9	OZ									
		UART6_CTSn	10	I	1								
W3	PRG0_PRU1_GPO4 PADCONFIG: PADCONFIG112 0x000F41C0	PRG0_PRU1_GPO4	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI4	1	I	0								
		PRG0_RGMII2_RX_CTL	2	I	0								
		PRG0_PWM2_B2	3	IO	1								
		GPIO1_24	7	IO	パッド								
		EQEP1_B	8	I	0								
		UART6_TXD	10	O									
P4	PRG0_PRU1_GPO5 PADCONFIG: PADCONFIG113 0x000F41C4	PRG0_PRU1_GPO5	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI5	1	I	0								
		GPIO1_25	7	IO	パッド								
		EQEP1_S	8	IO	0								
		UART6_RTSn	10	O									
R5	PRG0_PRU1_GPO6 PADCONFIG: PADCONFIG114 0x000F41C8	PRG0_PRU1_GPO6	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI6	1	I	0								
		PRG0_RGMII2_RXC	2	I	0								
		GPIO1_26	7	IO	パッド								
		EQEP2_A	8	I	0								
		GPMC0_A19	9	OZ									
		UART4_CTSn	10	I	1								
W5	PRG0_PRU1_GPO7 PADCONFIG: PADCONFIG115 0x000F41CC	PRG0_PRU1_GPO7	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI7	1	I	0								
		PRG0_IEP1_EDC_LATCH_IN1	2	I	0								
		RGMII1_RD0	4	I	0								
		RMII1_RXD0	5	I	0								
		GPIO1_27	7	IO	パッド								
		EQEP2_B	8	I	0								
		UART4_TXD	10	O									

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
R1	PRG0_PRU1_GPO8 PADCONFIG: PADCONFIG116 0x000F41D0	PRG0_PRU1_GPO8	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI8	1	I	0								
		PRG0_PWM2_TZ_OUT	3	O									
		GPIO1_28	7	IO	ノバッド								
		EQEP2_S	8	IO	0								
UART4_RTSn	10	O											
Y5	PRG0_PRU1_GPO9 PADCONFIG: PADCONFIG117 0x000F41D4	PRG0_PRU1_GPO9	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI9	1	I	0								
		PRG0_UART0_RXD	2	I	1								
		RGMI1_RD1	4	I	0								
		RMII1_RXD1	5	I	0								
		PRG0_IEP0_EDIO_DATA_IN_OUT30	6	IO	0								
		GPIO1_29	7	IO	ノバッド								
		EQEP0_I	8	IO	0								
UART5_RXD	10	I	1										
V6	PRG0_PRU1_GPO10 PADCONFIG: PADCONFIG118 0x000F41D8	PRG0_PRU1_GPO10	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI10	1	I	0								
		PRG0_UART0_TXD	2	O									
		PRG0_PWM2_TZ_IN	3	I	0								
		RGMI1_RD2	4	I	0								
		RMII1_TXD0	5	O									
		PRG0_IEP0_EDIO_DATA_IN_OUT31	6	IO	0								
		GPIO1_30	7	IO	ノバッド								
		EQEP1_I	8	IO	0								
UART6_RXD	10	I	1										
W4	PRG0_PRU1_GPO11 PADCONFIG: PADCONFIG119 0x000F41DC	PRG0_PRU1_GPO11	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI11	1	I	0								
		PRG0_RGMII2_TD0	2	O									
		GPIO1_31	7	IO	ノバッド								
		EQEP2_I	8	IO	0								
UART4_RXD	10	I	1										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
Y4	PRG0_PRU1_GPO12 PADCONFIG: PADCONFIG120 0x000F41E0	PRG0_PRU1_GPO12	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI12	1	I	0								
		PRG0_RGMII2_TD1	2	O									
		PRG0_PWM1_A0	3	IO	0								
		GPIO1_32	7	IO	バンド								
		EQEP2_B	8	I	0								
		GPMC0_A7	9	OZ									
UART4_TXD	10	O											
T6	PRG0_PRU1_GPO13 PADCONFIG: PADCONFIG121 0x000F41E4	PRG0_PRU1_GPO13	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI13	1	I	0								
		PRG0_RGMII2_TD2	2	O									
		PRG0_PWM1_B0	3	IO	1								
		GPIO1_33	7	IO	バンド								
		EQEP0_I	8	IO	0								
		GPMC0_A8	9	OZ									
UART5_RXD	10	I	1										
U6	PRG0_PRU1_GPO14 PADCONFIG: PADCONFIG122 0x000F41E8	PRG0_PRU1_GPO14	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI14	1	I	0								
		PRG0_RGMII2_TD3	2	O									
		PRG0_PWM1_A1	3	IO	0								
		GPIO1_34	7	IO	バンド								
		EQEP1_I	8	IO	0								
		GPMC0_A9	9	OZ									
UART6_RXD	10	I	1										
U5	PRG0_PRU1_GPO15 PADCONFIG: PADCONFIG123 0x000F41EC	PRG0_PRU1_GPO15	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI15	1	I	0								
		PRG0_RGMII2_TX_CTL	2	O									
		PRG0_PWM1_B1	3	IO	1								
		GPIO1_35	7	IO	バンド								
		GPMC0_A10	9	OZ									
		PRG0_ECAP0_IN_APWM_OUT	10	IO	0								

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AA4	PRG0_PRU1_GPO16 PADCONFIG: PADCONFIG124 0x000F41F0	PRG0_PRU1_GPO16	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI16	1	I	0								
		PRG0_RGMII2_TXC	2	IO	0								
		PRG0_PWM1_A2	3	IO	0								
		GPIO1_36	7	IO	バンド								
		GPMC0_A11	9	OZ									
V5	PRG0_PRU1_GPO17 PADCONFIG: PADCONFIG125 0x000F41F4	PRG0_PRU1_GPO17	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI17	1	I	0								
		PRG0_IEP1_EDC_SYNC_OUT1	2	O									
		PRG0_PWM1_B2	3	IO	1								
		RGMI1_RD3	4	I	0								
		RMII1_TXD1	5	O									
		GPIO1_37	7	IO	バンド								
		PRG0_ECAP0_SYNC_OUT	8	O									
P5	PRG0_PRU1_GPO18 PADCONFIG: PADCONFIG126 0x000F41F8	PRG0_PRU1_GPO18	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI18	1	I	0								
		PRG0_IEP1_EDC_LATCH_IN0	2	I	0								
		PRG0_PWM1_TZ_IN	3	I	0								
		MDIO0_MDIO	4	IO	0								
		RMII1_TX_EN	5	O									
		EHRPWM7_A	6	IO	0								
		GPIO1_38	7	IO	バンド								
R2	PRG0_PRU1_GPO19 PADCONFIG: PADCONFIG127 0x000F41FC	PRG0_PRU1_GPO19	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		PRG0_PRU1_GPI19	1	I	0								
		PRG0_IEP1_EDC_SYNC_OUT0	2	O									
		PRG0_PWM1_TZ_OUT	3	O									
		MDIO0_MDC	4	O									
		RMII1_CRS_DV	5	I	0								
		EHRPWM7_B	6	IO	0								
		GPIO1_39	7	IO	バンド								
PRG0_ECAP0_IN_APWM_OUT	8	IO	0										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
Y6	PRG1_MDIO0_MDC PADCONFIG: PADCONFIG87 0x000F415C	PRG1_MDIO0_MDC	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		MDIO0_MDC	4	O									
		GPIO0_86	7	IO	バンド								
AA6	PRG1_MDIO0_MDIO PADCONFIG: PADCONFIG86 0x000F4158	PRG1_MDIO0_MDIO	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		MDIO0_MDIO	4	IO	0								
		GPIO0_85	7	IO	バンド								
Y7	PRG1_PRU0_GPO0 PADCONFIG: PADCONFIG46 0x000F40B8	PRG1_PRU0_GPO0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI0	1	I	0								
		PRG1_RGMII1_RD0	2	I	0								
		PRG1_PWM3_A0	3	IO	0								
		GPIO0_45	7	IO	バンド								
		GPMC0_AD16	8	IO	0								
U8	PRG1_PRU0_GPO1 PADCONFIG: PADCONFIG47 0x000F40BC	PRG1_PRU0_GPO1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI1	1	I	0								
		PRG1_RGMII1_RD1	2	I	0								
		PRG1_PWM3_B0	3	IO	1								
		GPIO0_46	7	IO	バンド								
W8	PRG1_PRU0_GPO2 PADCONFIG: PADCONFIG48 0x000F40C0	PRG1_PRU0_GPO2	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI2	1	I	0								
		PRG1_RGMII1_RD2	2	I	0								
		PRG1_PWM2_A0	3	IO	0								
		GPIO0_47	7	IO	バンド								
V8	PRG1_PRU0_GPO3 PADCONFIG: PADCONFIG49 0x000F40C4	PRG1_PRU0_GPO3	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI3	1	I	0								
		PRG1_RGMII1_RD3	2	I	0								
		PRG1_PWM3_A2	3	IO	0								
		GPIO0_48	7	IO	バンド								
Y8	PRG1_PRU0_GPO4 PADCONFIG: PADCONFIG50 0x000F40C8	PRG1_PRU0_GPO4	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI4	1	I	0								
		PRG1_RGMII1_RX_CTL	2	I	0								
		PRG1_PWM2_B0	3	IO	1								
		GPIO0_49	7	IO	バンド								
GPMC0_AD20	8	IO	0										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
V13	PRG1_PRU0_GPO5  PADCONFIG: PADCONFIG51 0x000F40CC	PRG1_PRU0_GPO5	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI5	1	I	0								
		PRG1_PWM3_B2	3	IO	1								
		RGMII1_RX_CTL	4	I	0								
		GPIO0_50	7	IO	バンド								
		GPMC0_AD21	8	IO	0								
AA7	PRG1_PRU0_GPO6  PADCONFIG: PADCONFIG52 0x000F40D0	PRG1_PRU0_GPO6	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI6	1	I	0								
		PRG1_RGMII1_RXC	2	I	0								
		PRG1_PWM3_A1	3	IO	0								
		GPIO0_51	7	IO	バンド								
		GPMC0_AD22	8	IO	0								
U13	PRG1_PRU0_GPO7  PADCONFIG: PADCONFIG53 0x000F40D4	PRG1_PRU0_GPO7	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI7	1	I	0								
		PRG1_IEP0_EDC_LATCH_IN1	2	I	0								
		PRG1_PWM3_B1	3	IO	1								
		CPTS0_HW2TSPUSH	4	I	0								
		CLKOUT0	5	O									
		TIMER_IO10	6	IO	0								
		GPIO0_52	7	IO	バンド								
		GPMC0_AD23	8	IO	0								
W13	PRG1_PRU0_GPO8  PADCONFIG: PADCONFIG54 0x000F40D8	PRG1_PRU0_GPO8	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI8	1	I	0								
		PRG1_PWM2_A1	3	IO	0								
		RGMII1_RXC	4	I	0								
		GPIO0_53	7	IO	バンド								
		GPMC0_AD24	8	IO	0								
U15	PRG1_PRU0_GPO9  PADCONFIG: PADCONFIG55 0x000F40DC	PRG1_PRU0_GPO9	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI9	1	I	0								
		PRG1_UART0_CTSn	2	I	1								
		PRG1_PWM3_TZ_IN	3	I	0								
		RGMII1_TX_CTL	4	O									
		RMII1_RX_ER	5	I	0								
		PRG1_IEP0_EDIO_DATA_IN_OUT28	6	IO	0								
		GPIO0_54	7	IO	バンド								
		GPMC0_AD25	8	IO	0								

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
U14	PRG1_PRU0_GPO10 PADCONFIG: PADCONFIG56 0x000F40E0	PRG1_PRU0_GPO10	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI10	1	I	0								
		PRG1_UART0_RTSn	2	O									
		PRG1_PWM2_B1	3	IO	1								
		RGMI11_TXC	4	IO	0								
		RMI1_REF_CLK	5	I	0								
		PRG1_IEP0_EDIO_DATA_IN_OUT29	6	IO	0								
		GPIO0_55	7	IO	バンド								
GPMC0_AD26	8	IO	0										
AA8	PRG1_PRU0_GPO11 PADCONFIG: PADCONFIG57 0x000F40E4	PRG1_PRU0_GPO11	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI11	1	I	0								
		PRG1_RGMII1_TD0	2	O									
		PRG1_PWM3_TZ_OUT	3	O									
		GPIO0_56	7	IO	バンド								
GPMC0_AD27	8	IO	0										
U9	PRG1_PRU0_GPO12 PADCONFIG: PADCONFIG58 0x000F40E8	PRG1_PRU0_GPO12	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI12	1	I	0								
		PRG1_RGMII1_TD1	2	O									
		PRG1_PWM0_A0	3	IO	0								
		GPIO0_57	7	IO	バンド								
GPMC0_AD28	8	IO	0										
W9	PRG1_PRU0_GPO13 PADCONFIG: PADCONFIG59 0x000F40EC	PRG1_PRU0_GPO13	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI13	1	I	0								
		PRG1_RGMII1_TD2	2	O									
		PRG1_PWM0_B0	3	IO	1								
		GPIO0_58	7	IO	バンド								
GPMC0_AD29	8	IO	0										
AA9	PRG1_PRU0_GPO14 PADCONFIG: PADCONFIG60 0x000F40F0	PRG1_PRU0_GPO14	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI14	1	I	0								
		PRG1_RGMII1_TD3	2	O									
		PRG1_PWM0_A1	3	IO	0								
		GPIO0_59	7	IO	バンド								
GPMC0_AD30	8	IO	0										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
Y9	PRG1_PRU0_GPO15 PADCONFIG: PADCONFIG61 0x000F40F4	PRG1_PRU0_GPO15	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI15	1	I	0								
		PRG1_RGMII1_TX_CTL	2	O									
		PRG1_PWM0_B1	3	IO	1								
		GPIO0_60	7	IO	バンド								
	GPMC0_AD31	8	IO	0									
V9	PRG1_PRU0_GPO16 PADCONFIG: PADCONFIG62 0x000F40F8	PRG1_PRU0_GPO16	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI16	1	I	0								
		PRG1_RGMII1_TXC	2	IO	0								
		PRG1_PWM0_A2	3	IO	0								
		GPIO0_61	7	IO	バンド								
	GPMC0_BE2n	8	O										
U7	PRG1_PRU0_GPO17 PADCONFIG: PADCONFIG63 0x000F40FC	PRG1_PRU0_GPO17	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI17	1	I	0								
		PRG1_IEP0_EDC_SYNC_OUT1	2	O									
		PRG1_PWM0_B2	3	IO	1								
		CPTS0_TS_SYNC	4	O									
		TIMER_IO7	6	IO	0								
		GPIO0_62	7	IO	バンド								
	GPMC0_A0	8	OZ										
V7	PRG1_PRU0_GPO18 PADCONFIG: PADCONFIG64 0x000F4100	PRG1_PRU0_GPO18	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI18	1	I	0								
		PRG1_IEP0_EDC_LATCH_IN0	2	I	0								
		PRG1_PWM0_TZ_IN	3	I	0								
		CPTS0_HW1TSPUSH	4	I	0								
		TIMER_IO8	6	IO	0								
		GPIO0_63	7	IO	バンド								
			GPMC0_A1	8	OZ								
W7	PRG1_PRU0_GPO19 PADCONFIG: PADCONFIG65 0x000F4104	PRG1_PRU0_GPO19	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU0_GPI19	1	I	0								
		PRG1_IEP0_EDC_SYNC_OUT0	2	O									
		PRG1_PWM0_TZ_OUT	3	O									
		CPTS0_TS_COMP	4	O									
		TIMER_IO9	6	IO	0								
		GPIO0_64	7	IO	バンド								
	GPMC0_A2	8	OZ										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
W11	PRG1_PRU1_GPO0 PADCONFIG: PADCONFIG66 0x000F4108	PRG1_PRU1_GPO0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI0	1	I	0								
		PRG1_RGMII2_RD0	2	I	0								
		RGMII2_RD0	4	I	0								
		RMII2_RXD0	5	I	0								
		GPIO0_65	7	IO	バンド								
		GPMC0_A3	8	OZ									
V11	PRG1_PRU1_GPO1 PADCONFIG: PADCONFIG67 0x000F410C	PRG1_PRU1_GPO1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI1	1	I	0								
		PRG1_RGMII2_RD1	2	I	0								
		RGMII2_RD1	4	I	0								
		RMII2_RXD1	5	I	0								
		GPIO0_66	7	IO	バンド								
		GPMC0_A4	8	OZ									
AA12	PRG1_PRU1_GPO2 PADCONFIG: PADCONFIG68 0x000F4110	PRG1_PRU1_GPO2	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI2	1	I	0								
		PRG1_RGMII2_RD2	2	I	0								
		PRG1_PWM2_A2	3	IO	0								
		RGMII2_RD2	4	I	0								
		GPIO0_67	7	IO	バンド								
		GPMC0_A5	8	OZ									
Y12	PRG1_PRU1_GPO3 PADCONFIG: PADCONFIG69 0x000F4114	PRG1_PRU1_GPO3	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI3	1	I	0								
		PRG1_RGMII2_RD3	2	I	0								
		RGMII2_RD3	4	I	0								
		GPIO0_68	7	IO	バンド								
		GPMC0_A6	8	OZ									
		W12	PRG1_PRU1_GPO4 PADCONFIG: PADCONFIG70 0x000F4118	PRG1_PRU1_GPO4	0								
PRG1_PRU1_GPI4	1			I	0								
PRG1_RGMII2_RX_CTL	2			I	0								
PRG1_PWM2_B2	3			IO	1								
RGMII2_RX_CTL	4			I	0								
RMII2_RX_ER	5			I	0								
GPIO0_69	7			IO	バンド								
GPMC0_A7	8			OZ									

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AA13	PRG1_PRU1_GPO5 PADCONFIG: PADCONFIG71 0x000F411C	PRG1_PRU1_GPO5	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI5	1	I	0								
		RGMII1_RD0	4	I	0								
		GPIO0_70	7	IO	バンド								
U11	PRG1_PRU1_GPO6 PADCONFIG: PADCONFIG72 0x000F4120	PRG1_PRU1_GPO6	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI6	1	I	0								
		PRG1_RGMII2_RXC	2	I	0								
		RGMII2_RXC	4	I	0								
		GPIO0_71	7	IO	バンド								
V15	PRG1_PRU1_GPO7 PADCONFIG: PADCONFIG73 0x000F4124	PRG1_PRU1_GPO7	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI7	1	I	0								
		PRG1_IEP1_EDC_LATCH_IN1	2	I	0								
		RGMII1_TD0	4	O									
		RMII1_RXD0	5	I	0								
		SPI3_CS3	6	IO	1								
		GPIO0_72	7	IO	バンド								
GPMC0_A10	8	OZ											
U12	PRG1_PRU1_GPO8 PADCONFIG: PADCONFIG74 0x000F4128	PRG1_PRU1_GPO8	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI8	1	I	0								
		PRG1_PWM2_TZ_OUT	3	O									
		RGMII1_RD1	4	I	0								
		GPIO0_73	7	IO	バンド								
GPMC0_A11	8	OZ											
V14	PRG1_PRU1_GPO9 PADCONFIG: PADCONFIG75 0x000F412C	PRG1_PRU1_GPO9	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI9	1	I	0								
		PRG1_UART0_RXD	2	I	1								
		RGMII1_TD1	4	O									
		RMII1_RXD1	5	I	0								
		PRG1_IEP0_EDIO_DATA_IN_OUT30	6	IO	0								
		GPIO0_74	7	IO	バンド								
GPMC0_A12	8	OZ											

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
W14	PRG1_PRU1_GPO10 PADCONFIG: PADCONFIG76 0x000F4130	PRG1_PRU1_GPO10	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI10	1	I	0								
		PRG1_UART0_TXD	2	O									
		PRG1_PWM2_TZ_IN	3	I	0								
		RGMI1_TD2	4	O									
		RMII1_TXD0	5	O									
		PRG1_IEP0_EDIO_DATA_IN_OUT31	6	IO	0								
		GPIO0_75	7	IO	バンド								
GPMC0_A13	8	OZ											
AA10	PRG1_PRU1_GPO11 PADCONFIG: PADCONFIG77 0x000F4134	PRG1_PRU1_GPO11	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI11	1	I	0								
		PRG1_RGMII2_TD0	2	O									
		RGMI2_TD0	4	O									
		RMII2_TXD0	5	O									
		GPIO0_76	7	IO	バンド								
GPMC0_A14	8	OZ											
V10	PRG1_PRU1_GPO12 PADCONFIG: PADCONFIG78 0x000F4138	PRG1_PRU1_GPO12	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI12	1	I	0								
		PRG1_RGMII2_TD1	2	O									
		PRG1_PWM1_A0	3	IO	0								
		RGMI2_TD1	4	O									
		RMII2_TXD1	5	O									
		GPIO0_77	7	IO	バンド								
GPMC0_A15	8	OZ											
U10	PRG1_PRU1_GPO13 PADCONFIG: PADCONFIG79 0x000F413C	PRG1_PRU1_GPO13	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI13	1	I	0								
		PRG1_RGMII2_TD2	2	O									
		PRG1_PWM1_B0	3	IO	1								
		RGMI2_TD2	4	O									
		RMII2_CRS_DV	5	I	0								
		GPIO0_78	7	IO	バンド								
GPMC0_A16	8	OZ											

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AA11	PRG1_PRU1_GPO14 PADCONFIG: PADCONFIG80 0x000F4140	PRG1_PRU1_GPO14	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI14	1	I	0								
		PRG1_RGMII2_TD3	2	O									
		PRG1_PWM1_A1	3	IO	0								
		RGMII2_TD3	4	O									
		GPIO0_79	7	IO	バンド								
		GPMC0_A17	8	OZ									
Y11	PRG1_PRU1_GPO15 PADCONFIG: PADCONFIG81 0x000F4144	PRG1_PRU1_GPO15	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI15	1	I	0								
		PRG1_RGMII2_TX_CTL	2	O									
		PRG1_PWM1_B1	3	IO	1								
		RGMII2_TX_CTL	4	O									
		RMI2_TX_EN	5	O									
		GPIO0_80	7	IO	バンド								
GPMC0_A18	8	OZ											
Y10	PRG1_PRU1_GPO16 PADCONFIG: PADCONFIG82 0x000F4148	PRG1_PRU1_GPO16	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI16	1	I	0								
		PRG1_RGMII2_TXC	2	IO	0								
		PRG1_PWM1_A2	3	IO	0								
		RGMII2_TXC	4	IO	0								
		GPIO0_81	7	IO	バンド								
		GPMC0_A19	8	OZ									
AA14	PRG1_PRU1_GPO17 PADCONFIG: PADCONFIG83 0x000F414C	PRG1_PRU1_GPO17	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI17	1	I	0								
		PRG1_IEP1_EDC_SYNC_OUT1	2	O									
		PRG1_PWM1_B2	3	IO	1								
		RGMII1_TD3	4	O									
		RMI1_TXD1	5	O									
		GPIO0_19	7	IO	バンド								
		GPMC0_BE3n	8	O									
PRG1_ECAP0_SYNC_OUT	9	O											

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
Y13	PRG1_PRU1_GPO18 PADCONFIG: PADCONFIG84 0x000F4150	PRG1_PRU1_GPO18	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI18	1	I	0								
		PRG1_IEP1_EDC_LATCH_IN0	2	I	0								
		PRG1_PWM1_TZ_IN	3	I	0								
		RGMI1_RD2	4	I	0								
		RMI1_TX_EN	5	O									
		GPIO0_20	7	IO	パッド								
		UART5_CTSn	8	I	1								
		PRG1_ECAP0_SYNC_IN	9	I	0								
V12	PRG1_PRU1_GPO19 PADCONFIG: PADCONFIG85 0x000F4154	PRG1_PRU1_GPO19	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		PRG1_PRU1_GPI19	1	I	0								
		PRG1_IEP1_EDC_SYNC_OUT0	2	O									
		PRG1_PWM1_TZ_OUT	3	O									
		RGMI1_RD3	4	I	0								
		RMI1_CRS_DV	5	I	0								
		SPI3_CS2	6	IO	1								
		GPIO0_84	7	IO	パッド								
		UART5_RTSn	8	O									
PRG1_ECAP0_IN_APWM_OUT	9	IO	0										
F16	RESETSTATz PADCONFIG: PADCONFIG169 0x000F42A4	RESETSTATz	0	O		オフ/Low/オフ	オフ/SS/オフ	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
E18	RESET_REQz PADCONFIG: PADCONFIG168 0x000F42A0	RESET_REQz	0	I		オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
H16	RSVD0	RSVD0											
D21	RSVD1	RSVD1											
G13	RSVD2	RSVD2											
F17	RSVD3	RSVD3											
W15	RSVD4	RSVD4											
V16	RSVD5	RSVD5											
K2	RSVD6	RSVD6											
K1	RSVD7	RSVD7											
F12	RSVD8	RSVD8											
T13	SERDES0_REXT	SERDES0_REXT		A					1.8V	VDDA_1P8_SERDES0		SERDES	
W16	SERDES0_REFCLK0N	SERDES0_REFCLK0N		IO					1.8V	VDDA_1P8_SERDES0		SERDES	

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
W17	SERDES0_REFCLK0P	SERDES0_REFCLK0P		IO					1.8V	VDDA_1P8_SERDES0		SERDES	
Y15	SERDES0_RX0_N	SERDES0_RX0_N		I					1.8V	VDDA_1P8_SERDES0		SERDES	
Y16	SERDES0_RX0_P	SERDES0_RX0_P		I					1.8V	VDDA_1P8_SERDES0		SERDES	
AA16	SERDES0_TX0_N	SERDES0_TX0_N		O					1.8V	VDDA_1P8_SERDES0		SERDES	
AA17	SERDES0_TX0_P	SERDES0_TX0_P		O					1.8V	VDDA_1P8_SERDES0		SERDES	
D13	SPI0_CLK PADCONFIG: PADCONFIG132 0x000F4210	SPI0_CLK	0	IO	0				1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO1_44	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7					
C14	SPI1_CLK PADCONFIG: PADCONFIG137 0x000F4224	SPI1_CLK	0	IO	0				1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EHRPWM6_SYNCI	3	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7					
		GPIO1_49	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7					
D12	SPI0_CS0 PADCONFIG: PADCONFIG130 0x000F4208	SPI0_CS0	0	IO	1				1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO1_42	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7					
C13	SPI0_CS1 PADCONFIG: PADCONFIG131 0x000F420C	SPI0_CS1	0	IO	1				1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CPTS0_TS_COMP	1	O		オフ/オフ/オフ	オフ/オフ/オフ	7					
		I2C2_SCL	2	IOD	1								
		TIMER_IO10	3	IO	0								
		PRG0_IEP0_EDIO_OUTVALID	4	O									
		UART6_RXD	5	I	1								
		ADC_EXT_TRIGGER0	6	I	0								
GPIO1_43	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7							
A13	SPI0_D0 PADCONFIG: PADCONFIG133 0x000F4214	SPI0_D0	0	IO	0				1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO1_45	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7					
A14	SPI0_D1 PADCONFIG: PADCONFIG134 0x000F4218	SPI0_D1	0	IO	0				1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO1_46	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7					
B14	SPI1_CS0 PADCONFIG: PADCONFIG135 0x000F421C	SPI1_CS0	0	IO	1				1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EHRPWM6_A	3	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7					
		GPIO1_47	7	IO	バンド	オフ/オフ/オフ	オフ/オフ/オフ	7					

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	I/O動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
D14	SPI1_CS1 PADCONFIG: PADCONFIG136 0x000F4220	SPI1_CS1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CPTS0_TS_SYNC	1	O									
		I2C2_SDA	2	IOD	1								
		PRG1_IEP0_EDIO_OUTVALID	4	O									
		UART6_TXD	5	O									
		ADC_EXT_TRIGGER1	6	I	0								
		GPIO1_48	7	IO	バンド								
		TIMER_IO11	8	IO	0								
B15	SPI1_D0 PADCONFIG: PADCONFIG138 0x000F4228	SPI1_D0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EHRPWM6_SYNC0	3	O									
		GPIO1_50	7	IO	バンド								
A15	SPI1_D1 PADCONFIG: PADCONFIG139 0x000F422C	SPI1_D1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EHRPWM6_B	3	IO	0								
		GPIO1_51	7	IO	バンド								
B11	TCK PADCONFIG: MCU_PADCONFIG26 0x04084068	TCK	0	I		オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
C11	TDI PADCONFIG: MCU_PADCONFIG28 0x04084070	TDI	0	I		オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
A12	TDO PADCONFIG: MCU_PADCONFIG29 0x04084074	TDO	0	OZ		オフ/オフ/アップ	オフ/SS/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
C12	TMS PADCONFIG: MCU_PADCONFIG30 0x04084078	TMS	0	I		オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
D11	TRSTn PADCONFIG: MCU_PADCONFIG27 0x0408406C	TRSTn	0	I		オン/オフ/ダウン	オン/オフ/ダウン	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
B16	UART0_CTSn PADCONFIG: PADCONFIG142 0x000F4238	UART0_CTSn	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI0_CS2	1	IO	1								
		ADC_EXT_TRIGGER0	2	I	0								
		UART2_RXD	3	I	1								
		TIMER_IO6	4	IO	0								
		SPI4_CLK	6	IO	0								
		GPIO1_54	7	IO	バンド								
		EQEP0_S	8	IO	0								
		CP_GEMAC_CPTS0_TS_SYNC	9	O									
A16	UART0_RTSn PADCONFIG: PADCONFIG143 0x000F423C	UART0_RTSn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI0_CS3	1	IO	1								
		UART2_TXD	3	O									
		TIMER_IO7	4	IO	0								
		SPI4_D0	6	IO	0								
		GPIO1_55	7	IO	バンド								
		EQEP0_I	8	IO	0								
D15	UART0_RXD PADCONFIG: PADCONFIG140 0x000F4230	UART0_RXD	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_D0	2	IO	0								
		GPIO1_52	7	IO	バンド								
		EQEP0_A	8	I	0								
C16	UART0_TXD PADCONFIG: PADCONFIG141 0x000F4234	UART0_TXD	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_D1	2	IO	0								
		GPIO1_53	7	IO	バンド								
		EQEP0_B	8	I	0								
D16	UART1_CTSn PADCONFIG: PADCONFIG146 0x000F4248	UART1_CTSn	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI1_CS2	1	IO	1								
		ADC_EXT_TRIGGER1	2	I	0								
		PCIE0_CLKREQn	3	IO	0								
		UART3_RXD	4	I	1								
		CP_GEMAC_CPTS0_TS_SYNC	5	O									
		SPI4_D1	6	IO	0								
		GPIO1_58	7	IO	バンド								
EQEP1_S	8	IO	0										

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	I/O動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
E16	UART1_RTSn PADCONFIG: PADCONFIG147 0x000F424C	UART1_RTSn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI1_CS3	1	IO	1								
		UART3_TXD	4	O									
		CP_GEMAC_CPTS0_HW2TSPUSH	5	I	0								
		SPI4_CS0	6	IO	1								
		GPIO1_59	7	IO	バンド								
		EQEP1_I	8	IO	0								
E15	UART1_RXD PADCONFIG: PADCONFIG144 0x000F4240	UART1_RXD	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS0	2	IO	1								
		CP_GEMAC_CPTS0_TS_COMP	5	O									
		GPIO1_56	7	IO	バンド								
		EQEP1_A	8	I	0								
E14	UART1_TXD PADCONFIG: PADCONFIG145 0x000F4244	UART1_TXD	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CLK	2	IO	0								
		CP_GEMAC_CPTS0_HW1TSPUSH	5	I	0								
		GPIO1_57	7	IO	バンド								
		EQEP1_B	8	I	0								
AA20	USB0_DM	USB0_DM		IO					1.8V/3.3V	VDDA_3P3_USB0, VDDA_1P8_USB0		USB2PHY	
AA19	USB0_DP	USB0_DP		IO					1.8V/3.3V	VDDA_3P3_USB0, VDDA_1P8_USB0		USB2PHY	
E19	USB0_DRVVBUS PADCONFIG: PADCONFIG170 0x000F42A8	USB0_DRVVBUS	0	O		オフ/オフ/ダウン	オフ/オフ/ダウン	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO1_79	7	IO	バンド								
U16	USB0_ID	USB0_ID		A					1.8V/3.3V	VDDA_3P3_USB0, VDDA_1P8_USB0		USB2PHY	
U17	USB0_RCALIB	USB0_RCALIB		A					1.8V/3.3V	VDDA_3P3_USB0, VDDA_1P8_USB0		USB2PHY	
T14	USB0_VBUS	USB0_VBUS		A					1.8V/3.3V	VDDA_3P3_USB0, VDDA_1P8_USB0		USB2PHY	
P12、P13	VDDA_0P85_SERDES0	VDDA_0P85_SERDES0		PWR									
P11	VDDA_0P85_SERDES0_C	VDDA_0P85_SERDES0_C		PWR									
T12	VDDA_0P85_USB0	VDDA_0P85_USB0		PWR									
R14	VDDA_1P8_SERDES0	VDDA_1P8_SERDES0		PWR									
R15	VDDA_1P8_USB0	VDDA_1P8_USB0		PWR									
H15	VDDA_3P3_SDIO	VDDA_3P3_SDIO		PWR									
R13	VDDA_3P3_USB0	VDDA_3P3_USB0		PWR									
J13	VDDA_ADC	VDDA_ADC		PWR									

**表 5-1. ピン属性 (ALV パッケージ) (続き)**

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 RX/TX/PULL [7]	リセット 後の ボール の状態 RX/TX/PULL [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	ブル アップ/ダウ ン タイプ [14]
K12	VDDA_MCU	VDDA_MCU		PWR									
N12	VDDA_PLL0	VDDA_PLL0		PWR									
H9	VDDA_PLL1	VDDA_PLL1		PWR									
J11	VDDA_PLL2	VDDA_PLL2		PWR									
G11	VDDA_TEMP0	VDDA_TEMP0		PWR									
L11	VDDA_TEMP1	VDDA_TEMP1		PWR									
L10, M13	VDDR_CORE	VDDR_CORE		PWR									
F11, G12, G14	VDDSHV0	VDDSHV0		PWR									
M7, N6, P7	VDDSHV1	VDDSHV1		PWR									
R10, R8, T9	VDDSHV2	VDDSHV2		PWR									
P14, P15	VDDSHV3	VDDSHV3		PWR									
M14, M15	VDDSHV4	VDDSHV4		PWR									
L14, L15	VDDSHV5	VDDSHV5		PWR									
F9, G10, G8	VDDSHV_MCU	VDDSHV_MCU		PWR									
F7, G6, H7, J6, K7, L6	VDDS_DDR	VDDS_DDR		PWR									
J8	VDDS_DDR_C	VDDS_DDR_C		PWR									
K14	VDDS_MMC0	VDDS_MMC0		PWR									
H13	VDDS_OSC	VDDS_OSC		PWR									
J10, J12, K11, K9, L12, L8, M11, M9, N10, N8, P9	VDD_CORE	VDD_CORE		PWR									
H14	VDD_DLL_MMC0	VDD_DLL_MMC0		PWR									
K13	VDD_MMC0	VDD_MMC0		PWR									
K16	VMON_1P8_MCU	VMON_1P8_MCU		A									
E12	VMON_1P8_SOC	VMON_1P8_SOC		A									
F13	VMON_3P3_MCU	VMON_3P3_MCU		A									
F14	VMON_3P3_SOC	VMON_3P3_SOC		A									
K10	VMON_VSYS	VMON_VSYS		A									
G15	VPP	VPP		PWR									

表 5-1. ピン属性 (ALV パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
A1, A21, A5, A6, AA1, AA15, AA18, AA21, C10, C15, C3, D1, E11, E13, F10, F15, F8, G1, G16, G3, G7, G9, H11, H20, H21, H6, H8, J14, J7, J9, K6, K8, L1, L16, L3, L7, L9, M10, M12, M6, M8, N11, N13, N15, N7, N9, P1, P10, P18, P6, P8, R12, R7, R9, T10, T11, T15, T16, T8, U3, V17, W10, W18, Y14, Y17, Y19	VSS	VSS		GND									

## 5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次に列ヘッダーについて説明します。

### 1. 信号名: ピンを通過する信号の名前。

#### 注

それぞれの「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されたピン多重化信号機能を表しています。一部のデバイス サブシステムは、これらの表に記載されていない信号機能用に、多重化の追加レイヤを提供します。2 次多重化信号機能の詳細については、デバイスのテクニカルリファレンス マニュアルで該当するペリフェラルの章を参照してください。

### 2. 信号の種類: 信号の方向と種類:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- PWR = 電源
- GND = グランド
- CAP = LDO コンデンサ

### 3. 説明: 信号の説明

### 4. ボール: 信号に関連付けられているボール番号

IO セル構成の詳細については、デバイスのテクニカルリファレンス マニュアルで「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

### 5.3.1 ADC

#### 注

この ADC は、8 つの汎用デジタル入力として動作するように構成できます。詳細については、デバイスのテクニカルリファレンス マニュアルで「ペリフェラル」の章にある「A/D コンバータ (ADC)」セクションを参照してください。

#### 5.3.1.1 メインドメイン

表 5-2. ADC0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
ADC0_REFN <sup>(5)</sup>	A	ADC0 負基準電圧	J16
ADC0_REFP <sup>(5)</sup>	A	ADC0 正基準電圧	J15
ADC0_AIN0 <sup>(2) (3) (4)</sup>	A	ADC アナログ入力 0 / GPIO1_80 (入力のみ)	G20
ADC0_AIN1 <sup>(2) (3) (4)</sup>	A	ADC アナログ入力 1 / GPIO1_81 (入力のみ)	F20
ADC0_AIN2 <sup>(2) (3) (4)</sup>	A	ADC アナログ入力 2 / GPIO1_82 (入力のみ)	E21

表 5-2. ADC0 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
ADC0_AIN3 (2) (3) (4)	A	ADC アナログ入力 3 / GPIO1_83 (入力のみ)	D20
ADC0_AIN4 (2) (3) (4)	A	ADC アナログ入力 4 / GPIO1_84 (入力のみ)	G21
ADC0_AIN5 (2) (3) (4)	A	ADC アナログ入力 5 / GPIO1_85 (入力のみ)	F21
ADC0_AIN6 (2) (3) (4)	A	ADC アナログ入力 6 / GPIO1_86 (入力のみ)	F19
ADC0_AIN7 (2) (3) (4)	A	ADC アナログ入力 7 / GPIO1_87 (入力のみ)	E20
ADC_EXT_TRIGGER0 (1)	I	ADC トリガ入力	B16, C13
ADC_EXT_TRIGGER1 (1)	I	ADC トリガ入力	D14, D16

- (1) この ADC トリガ入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。
- (2) ADC0 が GPI モードで動作するように構成されている場合、この ADC0\_AIN 入力に対応する汎用入力信号にはデバウンス機能があります。GPI モードで動作するように ADC0 を構成する方法の詳細については、ペリフェラル章の TRM A/D コンバータ (ADC) セクションを参照してください。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。
- (3) ADC0 が GPI モードで動作するように構成されている場合のみ、ADC0\_AIN[7:0] 入力はヒステリシスを持ちます。
- (4) VDDA\_ADC が電源に接続されている場合、未使用のすべての ADC0\_AIN 入力は、抵抗を介して VSS にプルダウンするか、VSS に直接接続する必要があります。
- (5) ADC0\_REFP および ADC0\_REFN リファレンス入力はアナログ入力であり、高過渡電源レールのように扱う必要があります。この場合、ADC0\_REFN は、他のすべての VSS ピンとともに PCB のグランド プレーンに直接接続することが想定されており、ADC0\_REFP は、少なくとも 4mA の電流を供給できる電源に接続する必要があります。電源の電圧許容誤差が ADC の基準電圧として許容可能な精度である場合、ADC0\_REFP を VDDA\_ADC0 と同じ電源に接続できます。ADC0\_REFP と ADC0\_REFN の間には、高周波デカップリング コンデンサを直接接続する必要があります。高周波デカップリング コンデンサは、PCB 裏面のボール アレイに配置し、ビアで ADC0\_REFP および ADC0\_REFN ピンに直接接続する必要があります。ADC0 を使用せず、VDDA\_ADC0 が VSS に接続されている場合、ADC0\_REFP を VSS に接続できません。ADC0 を使用せず、ADC0\_REFP を VSS に接続する場合、上記で説明した高周波デカップリング コンデンサは不要です。ADC0 の接続に関する詳細については、ピン接続要件セクションを参照してください。

### 5.3.2 CPSW3G

#### 5.3.2.1 メインドメイン

表 5-3. CPSW3G0 RGMII1 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
RGMII1_RXC	I	RGMII 受信クロック	AA5, W13
RGMII1_RX_CTL	I	RGMII 受信制御	V13, W6
RGMII1_TXC	IO	RGMII 送信クロック	U14
RGMII1_TX_CTL	O	RGMII 送信制御	U15
RGMII1_RD0	I	RGMII 受信データ 0	AA13, W5
RGMII1_RD1	I	RGMII 受信データ 1	U12, Y5
RGMII1_RD2	I	RGMII 受信データ 2	V6, Y13
RGMII1_RD3	I	RGMII 受信データ 3	V12, V5
RGMII1_TD0	O	RGMII 送信データ 0	V15
RGMII1_TD1	O	RGMII 送信データ 1	V14
RGMII1_TD2	O	RGMII 送信データ 2	W14
RGMII1_TD3	O	RGMII 送信データ 3	AA14

表 5-4. CPSW3G0 RGMII2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
RGMII2_RXC	I	RGMII 受信クロック	U11
RGMII2_RX_CTL	I	RGMII 受信制御	W12

表 5-4. CPSW3G0 RGMII2 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
RGMII2_TXC	IO	RGMII 送信クロック	Y10
RGMII2_TX_CTL	O	RGMII 送信制御	Y11
RGMII2_RD0	I	RGMII 受信データ 0	W11
RGMII2_RD1	I	RGMII 受信データ 1	V11
RGMII2_RD2	I	RGMII 受信データ 2	AA12
RGMII2_RD3	I	RGMII 受信データ 3	Y12
RGMII2_TD0	O	RGMII 送信データ 0	AA10
RGMII2_TD1	O	RGMII 送信データ 1	V10
RGMII2_TD2	O	RGMII 送信データ 2	U10
RGMII2_TD3	O	RGMII 送信データ 3	AA11

表 5-5. CPSW3G0 RMII1 および RMII2 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
RMII1_CRS_DV	I	RMII キャリア センス / データ有効	R2、V12
RMII1_RX_ER	I	RMII 受信データ エラー	U15、W6
RMII1_TX_EN	O	RMII 送信イネーブル	P5、Y13
RMII2_CRS_DV	I	RMII キャリア センス / データ有効	U10
RMII2_RX_ER	I	RMII 受信データ エラー	W12
RMII2_TX_EN	O	RMII 送信イネーブル	Y11
RMII1_RXD0	I	RMII 受信データ 0	V15、W5
RMII1_RXD1	I	RMII 受信データ 1	V14、Y5
RMII1_TXD0	O	RMII 送信データ 0	V6、W14
RMII1_TXD1	O	RMII 送信データ 1	AA14、V5
RMII2_RXD0	I	RMII 受信データ 0	W11
RMII2_RXD1	I	RMII 受信データ 1	V11
RMII2_TXD0	O	RMII 送信データ 0	AA10
RMII2_TXD1	O	RMII 送信データ 1	V10
RMII_REF_CLK <sup>(1)</sup>	I	RMII 基準クロック	AA5、U14

(1) RMII\_REF\_CLK は、RMII1 と RMII2 の両方に共通です。

### 5.3.3 CPTS

#### 5.3.3.1 メイン ドメイン

表 5-6. CP GEMAC CPTS0 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPSW3G0 CPTS への CPTS 基準クロック入力	D18
CP_GEMAC_CPTS0_TS_COMP	O	CPSW3G0 CPTS からの CPTS タイム スタンプ カウンタ比較出力	E15、K18、W1
CP_GEMAC_CPTS0_TS_SYNC	O	CPSW3G0 CPTS からの CPTS タイム スタンプ カウンタビット出力	B16、D16、K19、U1
CP_GEMAC_CPTS0_HW1TSPUSH	I	CPSW3G0 CPTS への CPTS ハードウェア タイム スタンプ プッシュ入力	E14、L21、V1

**表 5-6. CP GEMAC CPTS0 信号の説明 (続き)**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
CP_GEMAC_CPTS0_HW2TSPUSH	I	CPSW3G0 CPTS への CPTS ハードウェア タイム スタンプ プッシュ入力	E16、K21、T1

**表 5-7. CPTS0 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
CPTS0_RFT_CLK	I	CPTS 基準クロック入力	D18
CPTS0_TS_COMP	O	CPTS タイム スタンプ カウンタ比較出力	C13、W1、W7
CPTS0_TS_SYNC	O	CPTS タイム スタンプ カウンタビット出力	D14、U1、U7
CPTS0_HW1TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	C18、V1、V7
CPTS0_HW2TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	B19、T1、U13
SYNC0_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータビット 0 出力	D18
SYNC1_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータビット 1 出力	A19
SYNC2_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータビット 2 出力	A17
SYNC3_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータビット 3 出力	B17

### 5.3.4 DDRSS

#### 5.3.4.1 メイン ドメイン

**表 5-8. DDRSS0 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
DDR0_ACT_n	O	DDRSS アクティブ化コマンド	H2
DDR0_ALERT_n	IO	DDRSS アラート	H1
DDR0_CAS_n	O	DDRSS 列アドレス ストローブ	J5
DDR0_PAR	O	DDRSS コマンドおよびアドレス パリティ	K5
DDR0_RAS_n	O	DDRSS 行アドレス ストローブ	F6
DDR0_WE_n	O	DDRSS 書き込みイネーブル	H4
DDR0_A0	O	DDRSS アドレス バス	D2
DDR0_A1	O	DDRSS アドレス バス	C5
DDR0_A2	O	DDRSS アドレス バス	E2
DDR0_A3	O	DDRSS アドレス バス	D4
DDR0_A4	O	DDRSS アドレス バス	D3
DDR0_A5	O	DDRSS アドレス バス	F2
DDR0_A6	O	DDRSS アドレス バス	J2
DDR0_A7	O	DDRSS アドレス バス	L5
DDR0_A8	O	DDRSS アドレス バス	J3
DDR0_A9	O	DDRSS アドレス バス	J4
DDR0_A10	O	DDRSS アドレス バス	K3
DDR0_A11	O	DDRSS アドレス バス	J1

表 5-8. DDRSS0 信号の説明 (続き)

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
DDR0_A12	O	DDRSS アドレス バス	M5
DDR0_A13	O	DDRSS アドレス バス	K4
DDR0_BA0	O	DDRSS バンク アドレス	G4
DDR0_BA1	O	DDRSS バンク アドレス	G5
DDR0_BG0	O	DDRSS バンク グループ	G2
DDR0_BG1	O	DDRSS バンク グループ	H3
DDR0_CAL0 (1)	A	IO パッド較正抵抗	H5
DDR0_CK0	O	DDRSS クロック	F1
DDR0_CK0_n	O	DDRSS 負のクロック	E1
DDR0_CKE0	O	DDRSS クロック イネーブル	F4
DDR0_CKE1	O	DDRSS クロック イネーブル	F3
DDR0_CS0_n	O	DDRSS チップ セレクト 0	E3
DDR0_CS1_n	O	DDRSS チップ セレクト 1	E4
DDR0_DM0	IO	DDRSS データ マスク	B2
DDR0_DM1	IO	DDRSS データ マスク	M2
DDR0_DQ0	IO	DDRSS データ	A3
DDR0_DQ1	IO	DDRSS データ	A2
DDR0_DQ2	IO	DDRSS データ	B5
DDR0_DQ3	IO	DDRSS データ	A4
DDR0_DQ4	IO	DDRSS データ	B3
DDR0_DQ5	IO	DDRSS データ	C4
DDR0_DQ6	IO	DDRSS データ	C2
DDR0_DQ7	IO	DDRSS データ	B4
DDR0_DQ8	IO	DDRSS データ	N5
DDR0_DQ9	IO	DDRSS データ	L4
DDR0_DQ10	IO	DDRSS データ	L2
DDR0_DQ11	IO	DDRSS データ	M3
DDR0_DQ12	IO	DDRSS データ	N4
DDR0_DQ13	IO	DDRSS データ	N3
DDR0_DQ14	IO	DDRSS データ	M4
DDR0_DQ15	IO	DDRSS データ	N2
DDR0_DQS0	IO	DDRSS データ ストローブ 0	C1
DDR0_DQS0_n	IO	DDRSS 相補データ ストローブ 0	B1
DDR0_DQS1	IO	DDRSS データ ストローブ 1	N1
DDR0_DQS1_n	IO	DDRSS 相補データ ストローブ 1	M1
DDR0_ODT0	O	DDRSS チップ セレクト 0 のオンダイ終端	E5
DDR0_ODT1	O	DDRSS チップ セレクト 1 のオンダイ終端	F5
DDR0_RESET0_n	O	DDRSS のリセット	D5

(1) このピンと VSS の間に  $240\Omega \pm 1\%$  の外付け抵抗を接続する必要があります。この抵抗の最大消費電力は 5.2mW です。このピンに外部電圧を印加しないでください。

### 5.3.5 ECAP

#### 5.3.5.1 メイン ドメイン

**表 5-9. ECAP0 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
ECAP0_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	D18

**表 5-10. ECAP1 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
ECAP1_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	C17

**表 5-11. ECAP2 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
ECAP2_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	D17

### 5.3.6 エミュレーションおよびデバッグ

#### 5.3.6.1 メイン ドメイン

**表 5-12. トレース信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
TRC_CLK	O	トレース クロック	T20
TRC_CTL	O	トレース制御	U21
TRC_DATA0	O	トレース データ 0	T18
TRC_DATA1	O	トレース データ 1	U20
TRC_DATA2	O	トレース データ 2	U18
TRC_DATA3	O	トレース データ 3	U19
TRC_DATA4	O	トレース データ 4	V20
TRC_DATA5	O	トレース データ 5	V21
TRC_DATA6	O	トレース データ 6	V19
TRC_DATA7	O	トレース データ 7	T17
TRC_DATA8	O	トレース データ 8	R16
TRC_DATA9	O	トレース データ 9	W20
TRC_DATA10	O	トレース データ 10	W21
TRC_DATA11	O	トレース データ 11	V18
TRC_DATA12	O	トレース データ 12	Y21
TRC_DATA13	O	トレース データ 13	Y20
TRC_DATA14	O	トレース データ 14	R17
TRC_DATA15	O	トレース データ 15	P16
TRC_DATA16	O	トレース データ 16	R18
TRC_DATA17	O	トレース データ 17	T21
TRC_DATA18	O	トレース データ 18	P17

表 5-12. トレース信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
TRC_DATA19	O	トレース データ 19	T19
TRC_DATA20	O	トレース データ 20	W19
TRC_DATA21	O	トレース データ 21	Y18
TRC_DATA22	O	トレース データ 22	N16
TRC_DATA23	O	トレース データ 23	R19

### 5.3.6.2 MCU ドメイン

表 5-13. JTAG 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
EMU0	IO	エミュレーション制御 0	D10
EMU1	IO	エミュレーション制御 1	E10
TCK	I	JTAG テスト クロック入力	B11
TDI	I	JTAG テスト データ入力	C11
TDO	OZ	JTAG テスト データ出力	A12
TMS	I	JTAG テスト モード選択入力	C12
TRSTn	I	JTAG のリセット	D11

### 5.3.7 EPWM

#### 5.3.7.1 メイン ドメイン

表 5-14. EPWM 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EHRPWM_SOCA	O	EPWM 変換開始 A	C17
EHRPWM_SOCB	O	EPWM 変換開始 B	D17
EHRPWM_TZn_IN0	I	EPWMトリップ ゾーン入力 0 (アクティブ Low)	T18
EHRPWM_TZn_IN1	I	EPWMトリップ ゾーン入力 1 (アクティブ Low)	V21
EHRPWM_TZn_IN2	I	EPWMトリップ ゾーン入力 2 (アクティブ Low)	R16、R20
EHRPWM_TZn_IN3	I	EPWMトリップ ゾーン入力 3 (アクティブ Low)	P16
EHRPWM_TZn_IN4	I	EPWMトリップ ゾーン入力 4 (アクティブ Low)	P17、P19
EHRPWM_TZn_IN5	I	EPWMトリップ ゾーン入力 5 (アクティブ Low)	R21、Y18

表 5-15. EPWM0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EHRPWM0_A	IO	EPWM 出力 A	U20
EHRPWM0_B	IO	EPWM 出力 B	U18
EHRPWM0_SYNCI	I	外部ピンから EPWM モジュールへの同期入力	T20
EHRPWM0_SYNCO	O	EPWM モジュールから外部ピンへの同期出力	U21

**表 5-16. EPWM1 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EHRPWM1_A	IO	EPWM 出力 A	U19
EHRPWM1_B	IO	EPWM 出力 B	V20

**表 5-17. EPWM2 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EHRPWM2_A	IO	EPWM 出力 A	V19
EHRPWM2_B	IO	EPWM 出力 B	T17

**表 5-18. EPWM3 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
EHRPWM3_A	IO	EPWM 出力 A	V18
EHRPWM3_B	IO	EPWM 出力 B	Y21
EHRPWM3_SYNCI	I	外部ピンから EPWM モジュールへの同期入力	Y20
EHRPWM3_SYNCO	O	EPWM モジュールから外部ピンへの同期出力	R17

**表 5-19. EPWM4 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
EHRPWM4_A	IO	EPWM 出力 A	R18
EHRPWM4_B	IO	EPWM 出力 B	T21

**表 5-20. EPWM5 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EHRPWM5_A	IO	EPWM 出力 A	T19
EHRPWM5_B	IO	EPWM 出力 B	W19

**表 5-21. EPWM6 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EHRPWM6_A	IO	EPWM 出力 A	B14、N16
EHRPWM6_B	IO	EPWM 出力 B	A15、N17
EHRPWM6_SYNCI	I	外部ピンから EPWM モジュールへの同期入力	C14、R19
EHRPWM6_SYNCO	O	EPWM モジュールから外部ピンへの同期出力	B15、R20

**表 5-22. EPWM7 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EHRPWM7_A	IO	EPWM 出力 A	P17、P5、W20
EHRPWM7_B	IO	EPWM 出力 B	R2、W21、Y18

**表 5-23. EPWM8 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EHRPWM8_A	IO	EPWM 出力 A	V1、V21
EHRPWM8_B	IO	EPWM 出力 B	R16、W1

### 5.3.8 EQEP

#### 5.3.8.1 メインドメイン

**表 5-24. EQEP0 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EQEP0_A <sup>(1)</sup>	I	EQEP 直交入力 A	D15、N16、Y2
EQEP0_B <sup>(1)</sup>	I	EQEP 直交入力 B	C16、N17、W2
EQEP0_I <sup>(1)</sup>	IO	EQEP インデックス	A16、R20、T6、Y5
EQEP0_S <sup>(1)</sup>	IO	EQEP ストロープ	B16、R19、V3

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカルリファレンスマニュアルの「デバイス構成」の章を参照してください。

**表 5-25. EQEP1 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EQEP1_A <sup>(1)</sup>	I	EQEP 直交入力 A	E15、T4、W20
EQEP1_B <sup>(1)</sup>	I	EQEP 直交入力 B	E14、W21、W3
EQEP1_I <sup>(1)</sup>	IO	EQEP インデックス	E16、R21、U6、V6
EQEP1_S <sup>(1)</sup>	IO	EQEP ストロープ	D16、P19、P4

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカルリファレンスマニュアルの「デバイス構成」の章を参照してください。

**表 5-26. EQEP2 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
EQEP2_A <sup>(1)</sup>	I	EQEP 直交入力 A	C17、R5
EQEP2_B <sup>(1)</sup>	I	EQEP 直交入力 B	D17、W5、Y4
EQEP2_I <sup>(1)</sup>	IO	EQEP インデックス	A17、W4
EQEP2_S <sup>(1)</sup>	IO	EQEP ストロープ	B17、R1

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカルリファレンスマニュアルの「デバイス構成」の章を参照してください。

### 5.3.9 FSI

#### 5.3.9.1 メインドメイン

**表 5-27. FSI0 RX 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
FSI_RX0_CLK	I	FSI クロック	V19
FSI_RX0_D0	I	FSI データ	T17

**表 5-27. FSI0 RX 信号の説明 (続き)**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
FSI_RX0_D1	I	FSI データ	R16

**表 5-28. FSI0 TX 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
FSI_TX0_CLK	O	FSI クロック	T19
FSI_TX0_D0	O	FSI データ	Y21
FSI_TX0_D1	O	FSI データ	Y20

**表 5-29. FSI1 RX 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
FSI_RX1_CLK	I	FSI クロック	W20
FSI_RX1_D0	I	FSI データ	W21
FSI_RX1_D1	I	FSI データ	V18

**表 5-30. FSI1 TX 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
FSI_TX1_CLK	O	FSI クロック	N16
FSI_TX1_D0	O	FSI データ	P17
FSI_TX1_D1	O	FSI データ	Y18

**表 5-31. FSI2 RX 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
FSI_RX2_CLK	I	FSI クロック	T20
FSI_RX2_D0	I	FSI データ	U21
FSI_RX2_D1	I	FSI データ	T18

**表 5-32. FSI3 RX 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
FSI_RX3_CLK	I	FSI クロック	U20
FSI_RX3_D0	I	FSI データ	U18
FSI_RX3_D1	I	FSI データ	U19

**表 5-33. FSI4 RX 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
FSI_RX4_CLK	I	FSI クロック	R17
FSI_RX4_D0	I	FSI データ	V20
FSI_RX4_D1	I	FSI データ	V21

**表 5-34. FSI5 RX 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
FSI_RX5_CLK	I	FSI クロック	P16
FSI_RX5_D0	I	FSI データ	R18
FSI_RX5_D1	I	FSI データ	T21

### 5.3.10 GPIO

#### 5.3.10.1 メイン ドメイン

**表 5-35. GPIO0 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
GPIO0_0	IO	汎用入出力	N20
GPIO0_1	IO	汎用入出力	N21
GPIO0_2	IO	汎用入出力	N19
GPIO0_3	IO	汎用入出力	M19
GPIO0_4	IO	汎用入出力	M18
GPIO0_5	IO	汎用入出力	M20
GPIO0_6	IO	汎用入出力	M21
GPIO0_7	IO	汎用入出力	P21
GPIO0_8	IO	汎用入出力	P20
GPIO0_9	IO	汎用入出力	N18
GPIO0_10	IO	汎用入出力	M17
GPIO0_11	IO	汎用入出力	L19
GPIO0_12	IO	汎用入出力	L18
GPIO0_13	IO	汎用入出力	K17
GPIO0_14	IO	汎用入出力	L17
GPIO0_15	IO	汎用入出力	T20
GPIO0_16	IO	汎用入出力	U21
GPIO0_17	IO	汎用入出力	T18
GPIO0_18	IO	汎用入出力	U20
GPIO0_19	IO	汎用入出力	AA14
GPIO0_20	IO	汎用入出力	Y13
GPIO0_21	IO	汎用入出力	V20
GPIO0_22	IO	汎用入出力	V21
GPIO0_23	IO	汎用入出力	V19
GPIO0_24	IO	汎用入出力	T17
GPIO0_25	IO	汎用入出力	R16
GPIO0_26	IO	汎用入出力	W20
GPIO0_27	IO	汎用入出力	W21
GPIO0_28	IO	汎用入出力	V18
GPIO0_29	IO	汎用入出力	Y21
GPIO0_30	IO	汎用入出力	Y20
GPIO0_31	IO	汎用入出力	R17
GPIO0_32	IO	汎用入出力	P16
GPIO0_33	IO	汎用入出力	R18
GPIO0_34	IO	汎用入出力	T21

**表 5-35. GPIO0 信号の説明 (続き)**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
GPIO0_35	IO	汎用入出力	P17
GPIO0_36	IO	汎用入出力	T19
GPIO0_37	IO	汎用入出力	W19
GPIO0_38	IO	汎用入出力	Y18
GPIO0_39	IO	汎用入出力	N16
GPIO0_40	IO	汎用入出力	N17
GPIO0_41	IO	汎用入出力	R19
GPIO0_42	IO	汎用入出力	R20
GPIO0_43 <sup>(1)</sup>	IO	汎用入出力	P19
GPIO0_44 <sup>(1)</sup>	IO	汎用入出力	R21
GPIO0_45	IO	汎用入出力	Y7
GPIO0_46	IO	汎用入出力	U8
GPIO0_47	IO	汎用入出力	W8
GPIO0_48	IO	汎用入出力	V8
GPIO0_49	IO	汎用入出力	Y8
GPIO0_50	IO	汎用入出力	V13
GPIO0_51	IO	汎用入出力	AA7
GPIO0_52	IO	汎用入出力	U13
GPIO0_53	IO	汎用入出力	W13
GPIO0_54	IO	汎用入出力	U15
GPIO0_55	IO	汎用入出力	U14
GPIO0_56	IO	汎用入出力	AA8
GPIO0_57	IO	汎用入出力	U9
GPIO0_58	IO	汎用入出力	W9
GPIO0_59	IO	汎用入出力	AA9
GPIO0_60	IO	汎用入出力	Y9
GPIO0_61	IO	汎用入出力	V9
GPIO0_62	IO	汎用入出力	U7
GPIO0_63	IO	汎用入出力	V7
GPIO0_64	IO	汎用入出力	W7
GPIO0_65	IO	汎用入出力	W11
GPIO0_66	IO	汎用入出力	V11
GPIO0_67	IO	汎用入出力	AA12
GPIO0_68	IO	汎用入出力	Y12
GPIO0_69	IO	汎用入出力	W12
GPIO0_70	IO	汎用入出力	AA13
GPIO0_71	IO	汎用入出力	U11
GPIO0_72	IO	汎用入出力	V15
GPIO0_73	IO	汎用入出力	U12
GPIO0_74	IO	汎用入出力	V14
GPIO0_75	IO	汎用入出力	W14
GPIO0_76	IO	汎用入出力	AA10
GPIO0_77	IO	汎用入出力	V10
GPIO0_78	IO	汎用入出力	U10

**表 5-35. GPIO0 信号の説明 (続き)**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
GPIO0_79	IO	汎用入出力	AA11
GPIO0_80	IO	汎用入出力	Y11
GPIO0_81	IO	汎用入出力	Y10
GPIO0_82	IO	汎用入出力	U18
GPIO0_83	IO	汎用入出力	U19
GPIO0_84	IO	汎用入出力	V12
GPIO0_85	IO	汎用入出力	AA6
GPIO0_86	IO	汎用入出力	Y6

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカルリファレンス マニュアルの「デバイス構成」の章を参照してください。

**表 5-36. GPIO1 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
GPIO1_0	IO	汎用入出力	Y1
GPIO1_1	IO	汎用入出力	R4
GPIO1_2	IO	汎用入出力	U2
GPIO1_3	IO	汎用入出力	V2
GPIO1_4	IO	汎用入出力	AA2
GPIO1_5	IO	汎用入出力	R3
GPIO1_6	IO	汎用入出力	T3
GPIO1_7	IO	汎用入出力	T1
GPIO1_8	IO	汎用入出力	T2
GPIO1_9	IO	汎用入出力	W6
GPIO1_10	IO	汎用入出力	AA5
GPIO1_11	IO	汎用入出力	Y3
GPIO1_12	IO	汎用入出力	AA3
GPIO1_13	IO	汎用入出力	R6
GPIO1_14	IO	汎用入出力	V4
GPIO1_15	IO	汎用入出力	T5
GPIO1_16	IO	汎用入出力	U4
GPIO1_17	IO	汎用入出力	U1
GPIO1_18	IO	汎用入出力	V1
GPIO1_19	IO	汎用入出力	W1
GPIO1_20	IO	汎用入出力	Y2
GPIO1_21	IO	汎用入出力	W2
GPIO1_22	IO	汎用入出力	V3
GPIO1_23	IO	汎用入出力	T4
GPIO1_24	IO	汎用入出力	W3
GPIO1_25	IO	汎用入出力	P4
GPIO1_26	IO	汎用入出力	R5
GPIO1_27	IO	汎用入出力	W5
GPIO1_28	IO	汎用入出力	R1
GPIO1_29	IO	汎用入出力	Y5

**表 5-36. GPIO1 信号の説明 (続き)**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
GPIO1_30	IO	汎用入出力	V6
GPIO1_31	IO	汎用入出力	W4
GPIO1_32	IO	汎用入出力	Y4
GPIO1_33	IO	汎用入出力	T6
GPIO1_34	IO	汎用入出力	U6
GPIO1_35	IO	汎用入出力	U5
GPIO1_36	IO	汎用入出力	AA4
GPIO1_37	IO	汎用入出力	V5
GPIO1_38	IO	汎用入出力	P5
GPIO1_39	IO	汎用入出力	R2
GPIO1_40	IO	汎用入出力	P2
GPIO1_41	IO	汎用入出力	P3
GPIO1_42	IO	汎用入出力	D12
GPIO1_43	IO	汎用入出力	C13
GPIO1_44	IO	汎用入出力	D13
GPIO1_45	IO	汎用入出力	A13
GPIO1_46	IO	汎用入出力	A14
GPIO1_47	IO	汎用入出力	B14
GPIO1_48	IO	汎用入出力	D14
GPIO1_49	IO	汎用入出力	C14
GPIO1_50	IO	汎用入出力	B15
GPIO1_51	IO	汎用入出力	A15
GPIO1_52	IO	汎用入出力	D15
GPIO1_53	IO	汎用入出力	C16
GPIO1_54	IO	汎用入出力	B16
GPIO1_55	IO	汎用入出力	A16
GPIO1_56	IO	汎用入出力	E15
GPIO1_57	IO	汎用入出力	E14
GPIO1_58	IO	汎用入出力	D16
GPIO1_59	IO	汎用入出力	E16
GPIO1_60	IO	汎用入出力	A17
GPIO1_61	IO	汎用入出力	B17
GPIO1_62	IO	汎用入出力	C17
GPIO1_63	IO	汎用入出力	D17
GPIO1_64	IOD	汎用入出力	A18
GPIO1_65	IOD	汎用入出力	B18
GPIO1_66	IO	汎用入出力	C18
GPIO1_67	IO	汎用入出力	B19
GPIO1_68 <sup>(1)</sup>	IO	汎用入出力	D18
GPIO1_69	IO	汎用入出力	A19
GPIO1_70 <sup>(1)</sup>	IOD	汎用入出力	C19
GPIO1_71 <sup>(1)</sup>	IO	汎用入出力	K18
GPIO1_72 <sup>(1)</sup>	IO	汎用入出力	K19
GPIO1_73 <sup>(1)</sup>	IO	汎用入出力	L21

**表 5-36. GPIO1 信号の説明 (続き)**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
GPIO1_74 <sup>(1)</sup>	IO	汎用入出力	K21
GPIO1_75 <sup>(1)</sup>	IO	汎用入出力	L20
GPIO1_76 <sup>(1)</sup>	IO	汎用入出力	J19
GPIO1_77 <sup>(1)</sup>	IO	汎用入出力	D19
GPIO1_78 <sup>(1)</sup>	IO	汎用入出力	C20
GPIO1_79	IO	汎用入出力	E19

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

### 5.3.10.2 MCU ドメイン

**表 5-37. MCU\_GPIO0 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
MCU_GPIO0_0 <sup>(1)</sup>	IO	汎用入出力	E8
MCU_GPIO0_1 <sup>(1)</sup>	IO	汎用入出力	D8
MCU_GPIO0_2	IO	汎用入出力	A8
MCU_GPIO0_3	IO	汎用入出力	A9
MCU_GPIO0_4	IO	汎用入出力	B6
MCU_GPIO0_5 <sup>(1)</sup>	IO	汎用入出力	A7
MCU_GPIO0_6 <sup>(1)</sup>	IO	汎用入出力	B7
MCU_GPIO0_7	IO	汎用入出力	D7
MCU_GPIO0_8	IO	汎用入出力	C7
MCU_GPIO0_9	IO	汎用入出力	C8
MCU_GPIO0_10	IO	汎用入出力	E7
MCU_GPIO0_11	IO	汎用入出力	E6
MCU_GPIO0_12 <sup>(1)</sup>	IO	汎用入出力	C6
MCU_GPIO0_13 <sup>(1)</sup>	IO	汎用入出力	D6
MCU_GPIO0_14	IO	汎用入出力	C9
MCU_GPIO0_15	IO	汎用入出力	D9
MCU_GPIO0_16 <sup>(1)</sup>	IO	汎用入出力	B8
MCU_GPIO0_17 <sup>(1)</sup>	IO	汎用入出力	B9
MCU_GPIO0_18	IOD	汎用入出力	E9
MCU_GPIO0_19	IOD	汎用入出力	A10
MCU_GPIO0_20 <sup>(1)</sup>	IO	汎用入出力	A11
MCU_GPIO0_21 <sup>(1)</sup>	IO	汎用入出力	B10
MCU_GPIO0_22	IO	汎用入出力	B13

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

### 5.3.11 GPMC

#### 5.3.11.1 メイン ドメイン

**表 5-38. GPMC0 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
GPMC0_ADVn_ALE	O	GPMC アドレス有効 (アクティブ Low) またはアドレスラッチイネーブル	P16
GPMC0_CLK	O	GPMC クロック	R17
GPMC0_DIR	O	GPMC データバス信号方向制御	N17
GPMC0_FCLK_MUX	O	MUX ロジックで選択された GPMC 機能クロック出力	R17
GPMC0_OEn_REn	O	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	R18
GPMC0_WEn	O	GPMC 書き込みイネーブル (アクティブ Low)	T21
GPMC0_WPn	O	GPMC フラッシュ書き込み保護 (アクティブ Low)	N16
GPMC0_A0	OZ	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	U2、U7
GPMC0_A1	OZ	GPMC アドレス 1 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) 出力	AA2、V7
GPMC0_A2	OZ	GPMC アドレス 2 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) 出力	T2、W7
GPMC0_A3	OZ	GPMC アドレス 3 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) 出力	V4、W11
GPMC0_A4	OZ	GPMC アドレス 4 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) 出力	U4、V11
GPMC0_A5	OZ	GPMC アドレス 5 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) 出力	AA12、V1
GPMC0_A6	OZ	GPMC アドレス 6 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) 出力	W1、Y12
GPMC0_A7	OZ	GPMC アドレス 7 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード) 出力	W12、Y4
GPMC0_A8	OZ	GPMC アドレス 8 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード) 出力	AA13、T6
GPMC0_A9	OZ	GPMC アドレス 9 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード) 出力	U11、U6
GPMC0_A10	OZ	GPMC アドレス 10 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード) 出力	U5、V15
GPMC0_A11	OZ	GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA4、U12
GPMC0_A12	OZ	GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	P2、V14
GPMC0_A13	OZ	GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	P3、W14
GPMC0_A14	OZ	GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA10、AA3
GPMC0_A15	OZ	GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	R6、V10
GPMC0_A16	OZ	GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	T5、U10
GPMC0_A17	OZ	GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA11、U1

**表 5-38. GPMC0 信号の説明 (続き)**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
GPMC0_A18	OZ	GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	T4、Y11
GPMC0_A19	OZ	GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	R5、Y10
GPMC0_A20	OZ	GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	R21
GPMC0_A21	OZ	GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	Y18
GPMC0_A22	OZ	GPMC アドレス 22 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	N16
GPMC0_AD0	IO	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	T20
GPMC0_AD1	IO	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	U21
GPMC0_AD2	IO	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	T18
GPMC0_AD3	IO	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 4 出力 (A/D 多重化モード)	U20
GPMC0_AD4	IO	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 5 出力 (A/D 多重化モード)	U18
GPMC0_AD5	IO	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 6 出力 (A/D 多重化モード)	U19
GPMC0_AD6	IO	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 7 出力 (A/D 多重化モード)	V20
GPMC0_AD7	IO	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 8 出力 (A/D 多重化モード)	V21
GPMC0_AD8	IO	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 9 出力 (A/D 多重化モード)	V19
GPMC0_AD9	IO	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 10 出力 (A/D 多重化モード)	T17
GPMC0_AD10	IO	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	R16
GPMC0_AD11	IO	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	W20
GPMC0_AD12	IO	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	W21
GPMC0_AD13	IO	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	V18
GPMC0_AD14	IO	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	Y21
GPMC0_AD15	IO	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	Y20
GPMC0_AD16	IO	GPMC データ 16 入出力 (A/D 非多重化モード) および追加アドレス 17 出力 (A/D 多重化モード)	Y7
GPMC0_AD17	IO	GPMC データ 17 入出力 (A/D 非多重化モード) および追加アドレス 18 出力 (A/D 多重化モード)	U8
GPMC0_AD18	IO	GPMC データ 18 入出力 (A/D 非多重化モード) および追加アドレス 19 出力 (A/D 多重化モード)	W8

**表 5-38. GPMC0 信号の説明 (続き)**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
GPMC0_AD19	IO	GPMC データ 19 入出力 (A/D 非多重化モード) および追加アドレス 20 出力 (A/D 多重化モード)	V8
GPMC0_AD20	IO	GPMC データ 20 入出力 (A/D 非多重化モード) および追加アドレス 21 出力 (A/D 多重化モード)	Y8
GPMC0_AD21	IO	GPMC データ 21 入出力 (A/D 非多重化モード) および追加アドレス 22 出力 (A/D 多重化モード)	V13
GPMC0_AD22	IO	GPMC データ 22 入出力 (A/D 非多重化モード) および追加アドレス 23 出力 (A/D 多重化モード)	AA7
GPMC0_AD23	IO	GPMC データ 23 入出力 (A/D 非多重化モード) および追加アドレス 24 出力 (A/D 多重化モード)	U13
GPMC0_AD24	IO	GPMC データ 24 入出力 (A/D 非多重化モード) および追加アドレス 25 出力 (A/D 多重化モード)	W13
GPMC0_AD25	IO	GPMC データ 25 入出力 (A/D 非多重化モード) および追加アドレス 26 出力 (A/D 多重化モード)	U15
GPMC0_AD26	IO	GPMC データ 26 入出力 (A/D 非多重化モード) および追加アドレス 27 出力 (A/D 多重化モード)	U14
GPMC0_AD27	IO	GPMC データ 27 入出力 (A/D 非多重化モード) および追加アドレス 28 出力 (A/D 多重化モード)	AA8
GPMC0_AD28	IO	GPMC データ 28 入出力 (A/D 非多重化モード) および追加アドレス 29 出力 (A/D 多重化モード)	U9
GPMC0_AD29	IO	GPMC データ 29 入出力 (A/D 非多重化モード) および追加アドレス 30 出力 (A/D 多重化モード)	W9
GPMC0_AD30	IO	GPMC データ 30 入出力 (A/D 非多重化モード) および追加アドレス 31 出力 (A/D 多重化モード)	AA9
GPMC0_AD31	IO	GPMC データ 31 入出力 (A/D 非多重化モード) および追加アドレス 0 出力 (A/D 多重化モード)	Y9
GPMC0_BE0n_CLE	O	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンドラッチ イネーブル	P17
GPMC0_BE1n	O	GPMC 上位バイト イネーブル (アクティブ Low)	T19
GPMC0_BE2n	O	GPMC 上位バイト イネーブル (アクティブ Low)	V9
GPMC0_BE3n	O	GPMC 上位バイト イネーブル (アクティブ Low)	AA14
GPMC0_CS0n	O	GPMC チップ セレクト 0 (アクティブ Low)	R19
GPMC0_CS1n	O	GPMC チップ セレクト 1 (アクティブ Low)	R20
GPMC0_CS2n	O	GPMC チップ セレクト 2 (アクティブ Low)	P19
GPMC0_CS3n	O	GPMC チップ セレクト 3 (アクティブ Low)	R21
GPMC0_WAIT0	I	GPMC ウェイト外部表示	W19
GPMC0_WAIT1	I	GPMC ウェイト外部表示	Y18

### 5.3.12 I2C

#### 5.3.12.1 メイン ドメイン

**表 5-39. I2C0 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
I2C0_SCL	IOD	I2C クロック	A18
I2C0_SDA	IOD	I2C データ	B18

**表 5-40. I2C1 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
I2C1_SCL	IOD	I2C クロック	C18
I2C1_SDA	IOD	I2C データ	B19

**表 5-41. I2C2 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
I2C2_SCL	IOD	I2C クロック	C13, P19
I2C2_SDA	IOD	I2C データ	D14, R21

**表 5-42. I2C3 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
I2C3_SCL	IOD	I2C クロック	C17
I2C3_SDA	IOD	I2C データ	D17

### 5.3.12.2 MCU ドメイン

**表 5-43. MCU\_I2C0 信号の説明**

信号名 [1]	信号 の種類 [2]	説明 [3]	ALV ピン [4]
MCU_I2C0_SCL	IOD	I2C クロック	E9
MCU_I2C0_SDA	IOD	I2C データ	A10

**表 5-44. MCU\_I2C1 信号の説明**

信号名 [1]	信号 の種類 [2]	説明 [3]	ALV ピン [4]
MCU_I2C1_SCL	IOD	I2C クロック	A11
MCU_I2C1_SDA	IOD	I2C データ	B10

### 5.3.13 MCAN

#### 5.3.13.1 メイン ドメイン

**表 5-45. MCAN0 信号の説明**

信号名 [1]	信号 の種類 [2]	説明 [3]	ALV ピン [4]
MCAN0_RX	I	MCAN 受信データ	B17
MCAN0_TX	O	MCAN 送信データ	A17

**表 5-46. MCAN1 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
MCAN1_RX	I	MCAN 受信データ	D17
MCAN1_TX	O	MCAN 送信データ	C17

### 5.3.14 MCSPI

#### 5.3.14.1 メイン ドメイン

**表 5-47. MCSPI0 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
SPI0_CLK	IO	SPI クロック	D13
SPI0_CS0	IO	SPI チップ セレクト 0	D12
SPI0_CS1	IO	SPI チップ セレクト 1	C13
SPI0_CS2	IO	SPI チップ セレクト 2	B16
SPI0_CS3	IO	SPI チップ セレクト 3	A16
SPI0_D0	IO	SPI データ 0	A13
SPI0_D1	IO	SPI データ 1	A14

**表 5-48. MCSPI1 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
SPI1_CLK	IO	SPI クロック	C14
SPI1_CS0	IO	SPI チップ セレクト 0	B14
SPI1_CS1	IO	SPI チップ セレクト 1	D14
SPI1_CS2	IO	SPI チップ セレクト 2	D16
SPI1_CS3	IO	SPI チップ セレクト 3	E16
SPI1_D0	IO	SPI データ 0	B15
SPI1_D1	IO	SPI データ 1	A15

**表 5-49. MCSPI2 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
SPI2_CLK	IO	SPI クロック	E14
SPI2_CS0	IO	SPI チップ セレクト 0	E15
SPI2_CS1	IO	SPI チップ セレクト 1	C18
SPI2_CS2	IO	SPI チップ セレクト 2	B19
SPI2_CS3	IO	SPI チップ セレクト 3	A19
SPI2_D0	IO	SPI データ 0	D15
SPI2_D1	IO	SPI データ 1	C16

**表 5-50. MCSPI3 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
SPI3_CLK	IO	SPI クロック	U4
SPI3_CS0	IO	SPI チップ セレクト 0	U1
SPI3_CS1	IO	SPI チップ セレクト 1	T5
SPI3_CS2	IO	SPI チップ セレクト 2	V12
SPI3_CS3	IO	SPI チップ セレクト 3	V15
SPI3_D0	IO	SPI データ 0	R6
SPI3_D1	IO	SPI データ 1	V4

**表 5-51. MCSPI4 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
SPI4_CLK	IO	SPI クロック	B16
SPI4_CS0	IO	SPI チップ セレクト 0	E16
SPI4_CS1	IO	SPI チップ セレクト 1	A17
SPI4_CS2	IO	SPI チップ セレクト 2	B17
SPI4_CS3	IO	SPI チップ セレクト 3	D18
SPI4_D0	IO	SPI データ 0	A16
SPI4_D1	IO	SPI データ 1	D16

### 5.3.14.2 MCU ドメイン

**表 5-52. MCU\_MCSPI0 信号の説明**

信号名 [1]	信号の 種類 [2]	説明 [3]	ALV ピン [4]
MCU_SPI0_CLK	IO	SPI クロック	E6
MCU_SPI0_CS0	IO	SPI チップ セレクト 0	D6
MCU_SPI0_CS1	IO	SPI チップ セレクト 1	C6
MCU_SPI0_CS2	IO	SPI チップ セレクト 2	D8
MCU_SPI0_CS3	IO	SPI チップ セレクト 3	B8
MCU_SPI0_D0	IO	SPI データ 0	E7
MCU_SPI0_D1	IO	SPI データ 1	B6

**表 5-53. MCU\_MCSPI1 信号の説明**

信号名 [1]	信号の 種類 [2]	説明 [3]	ALV ピン [4]
MCU_SPI1_CLK	IO	SPI クロック	D7
MCU_SPI1_CS0	IO	SPI チップ セレクト 0	A7
MCU_SPI1_CS1	IO	SPI チップ セレクト 1	B7
MCU_SPI1_CS2	IO	SPI チップ セレクト 2	E8
MCU_SPI1_CS3	IO	SPI チップ セレクト 3	B9
MCU_SPI1_D0	IO	SPI データ 0	C7
MCU_SPI1_D1	IO	SPI データ 1	C8

### 5.3.15 MDIO

#### 5.3.15.1 メイン ドメイン

**表 5-54. MDIO0 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
MDIO0_MDC	O	MDIO クロック	R2, Y6
MDIO0_MDIO	IO	MDIO データ	AA6, P5

### 5.3.16 MMC

#### 5.3.16.1 メイン ドメイン

**表 5-55. MMC0 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
MMC0_CALPAD <sup>(1)</sup>	A	MMC/SD/SDIO 較正抵抗	F18
MMC0_CLK	IO	MMC/SD/SDIO クロック	G18
MMC0_CMD	IO	MMC/SD/SDIO コマンド	J21
MMC0_DS	IO	MMC データ ストローブ	G19
MMC0_DAT0	IO	MMC/SD/SDIO データ	K20
MMC0_DAT1	IO	MMC/SD/SDIO データ	J20
MMC0_DAT2	IO	MMC/SD/SDIO データ	J18
MMC0_DAT3	IO	MMC/SD/SDIO データ	J17
MMC0_DAT4	IO	MMC/SD/SDIO データ	H17
MMC0_DAT5	IO	MMC/SD/SDIO データ	H19
MMC0_DAT6	IO	MMC/SD/SDIO データ	H18
MMC0_DAT7	IO	MMC/SD/SDIO データ	G17

(1) このピンと VSS の間に 10kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

**表 5-56. MMC1 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
MMC1_CLK	IO	MMC/SD/SDIO クロック	L20
MMC1_CMD	IO	MMC/SD/SDIO コマンド	J19
MMC1_SDCD	I	SD カード検出	D19
MMC1_SDWP	I	SD 書き込み保護	C20
MMC1_DAT0	IO	MMC/SD/SDIO データ	K21
MMC1_DAT1	IO	MMC/SD/SDIO データ	L21
MMC1_DAT2	IO	MMC/SD/SDIO データ	K19
MMC1_DAT3	IO	MMC/SD/SDIO データ	K18

### 5.3.17 OSPI

#### 5.3.17.1 メイン ドメイン

**表 5-57. OSPI0 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
OSPI0_CLK	O	OSPI クロック出力	N20
OSPI0_DQS	I	OSPI データ ストローブ (DQS) またはループバック クロック入力	N19
OSPI0_ECC_FAIL	I	OSPI ECC ステータス	L17
OSPI0_LBCLKO	IO	OSPI ループバック クロック出力	N21
OSPI0_CSn0	O	OSPI チップ セレクト 0 (アクティブ Low)	L19
OSPI0_CSn1	O	OSPI チップ セレクト 1 (アクティブ Low)	L18
OSPI0_CSn2	O	OSPI チップ セレクト 2 (アクティブ Low)	K17
OSPI0_CSn3	O	OSPI チップ セレクト 3 (アクティブ Low)	L17

**表 5-57. OSPI0 信号の説明 (続き)**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
OSPI0_D0	IO	OSPI データ 0	M19
OSPI0_D1	IO	OSPI データ 1	M18
OSPI0_D2	IO	OSPI データ 2	M20
OSPI0_D3	IO	OSPI データ 3	M21
OSPI0_D4	IO	OSPI データ 4	P21
OSPI0_D5	IO	OSPI データ 5	P20
OSPI0_D6	IO	OSPI データ 6	N18
OSPI0_D7	IO	OSPI データ 7	M17
OSPI0_RESET_OUT0	O	OSPI リセット出力	L17
OSPI0_RESET_OUT1	O	OSPI リセット出力	K17

### 5.3.18 電源

**表 5-58. 電源信号の説明**

信号名 [1]	信号の 種類 [2]	説明 [3]	ALV ピン [4]
CAP_VDDSD0 <sup>(1)</sup>	CAP	IO グループ 0 の外部コンデンサ接続	H12
CAP_VDDSD1 <sup>(1)</sup>	CAP	IO グループ 1 の外部コンデンサ接続	T7
CAP_VDDSD2 <sup>(1)</sup>	CAP	IO グループ 2 の外部コンデンサ接続	R11
CAP_VDDSD3 <sup>(1)</sup>	CAP	IO グループ 3 の外部コンデンサ接続	N14
CAP_VDDSD4 <sup>(1)</sup>	CAP	IO グループ 4 の外部コンデンサ接続	M16
CAP_VDDSD5 <sup>(1)</sup>	CAP	IO グループ 5 の外部コンデンサ接続	L13
CAP_VDDSHV_MMC1 <sup>(2)</sup>	CAP	SDIO_LDO の外部コンデンサ接続	K15
CAP_VDDSD_MCU <sup>(1)</sup>	CAP	IO MCU の外部コンデンサ接続	H10
VDDA_0P85_SERDES0	PWR	SERDES0 0.85V アナログ電源	P12、P13
VDDA_0P85_SERDES0_C	PWR	SERDES0 クロック 0.85V アナログ電源	P11
VDDA_0P85_USB0	PWR	USB0 0.85V アナログ電源	T12
VDDA_1P8_SERDES0	PWR	SERDES0 1.8V アナログ電源	R14
VDDA_1P8_USB0	PWR	USB0 1.8V アナログ電源	R15
VDDA_3P3_SDIO	PWR	SDIO_LDO 3.3V アナログ電源	H15
VDDA_3P3_USB0	PWR	USB0 3.3V アナログ電源	R13
VDDA_ADC	PWR	ADC0 アナログ電源	J13
VDDA_MCU	PWR	RCOSC、POR、POK、MCU_PLL0 アナログ電源	K12
VDDA_PLL0	PWR	MAIN_PLL0、MAIN_PLL2、MAIN_PLL14 アナログ電源	N12
VDDA_PLL1	PWR	MAIN_PLL8 および MAIN_PLL12 アナログ電源	H9
VDDA_PLL2	PWR	MAIN_PLL1 アナログ電源	J11
VDDA_TEMP0	PWR	TEMP0 アナログ電源	G11
VDDA_TEMP1	PWR	TEMP1 アナログ電源	L11
VDDR_CORE	PWR	RAM 電源	L10、M13
VDDSHV0	PWR	IO グループ 0 の IO 電源	F11、G12、G14
VDDSHV1	PWR	IO グループ 1 の IO 電源	M7、N6、P7
VDDSHV2	PWR	IO グループ 2 の IO 電源	R10、R8、T9
VDDSHV3	PWR	IO グループ 3 の IO 電源	P14、P15

**表 5-58. 電源信号の説明 (続き)**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
VDDSHV4	PWR	IO グループ 4 の IO 電源	M14, M15
VDDSHV5	PWR	IO グループ 5 の IO 電源	L14, L15
VDDSHV_MCU	PWR	IO MCU の IO 電源	F9, G10, G8
VDDS_DDR	PWR	DDR PHY IO 電源	F7, G6, H7, J6, K7, L6
VDDS_DDR_C	PWR	DDR クロック IO 電源	J8
VDDS_MMC0	PWR	MMC0 PHY IO 電源	K14
VDDS_OSC	PWR	MCU_OSC0 電源	H13
VDD_CORE	PWR	コア電源	J10, J12, K11, K9, L12, L8, M11, M9, N10, N8, P9
VDD_DLL_MMC0	PWR	MMC0 PLL アナログ電源	H14
VDD_MMC0	PWR	MMC0 PHY コア電源	K13
VPP	PWR	eFuse ROM プログラミング電源	G15
VSS	GND	グラウンド	A1, A21, A5, A6, AA1, AA15, AA18, AA21, C10, C15, C3, D1, E11, E13, F10, F15, F8, G1, G16, G3, G7, G9, H11, H20, H21, H6, H8, J14, J7, J9, K6, K8, L1, L16, L3, L7, L9, M10, M12, M6, M8, N11, N13, N15, N7, N9, P1, P10, P18, P6, P8, R12, R7, R9, T10, T11, T15, T16, T8, U3, V17, W10, W18, Y14, Y17, Y19

- 各 VDDSHVx ピンが 3.3V で動作している場合、このピンは必ず 6.3V 以上、0.8 $\mu$ F~1.5 $\mu$ F のコンデンサを介して VSS に接続する必要があります。選択したコンデンサは、DC バイアス、動作温度、経年変化の影響に対応するようにディレーティングされた後、定義された範囲内の容量を提供する必要があります。各 VDDSHVx ピンが 1.8V でのみ動作している場合は、3 つの接続オプションがあります。このピンは、3.3V での動作に必要なものと同じデカップリング コンデンサに接続できます。未接続のままにしておくことも、各 VDDSHVx ピンと同じ 1.8V 電源に接続することもできます。
- SDIO\_LDO が VDDSHV5 のソースとして使用される場合、このピンは常に 6.3V 以上、3.3 $\mu$ F  $\pm$ 20% のコンデンサを介して VSS に接続されなければなりません。選択したコンデンサは、DC バイアス、動作温度、経年変化の影響に対応するようにディレーティングされた後、定義された範囲内の容量を提供する必要があります。それ以外の場合、VDDA\_3P3\_SDIO ピンが VSS に直接接続されている場合、このピンを VSS に直接接続することができます。

### 5.3.19 PRU\_ICSSG

#### 注

PRU\_ICSSG には、多重化の第 2 層が含まれており、PRU GPO および GPI 信号の機能を追加できます。この内部ラッパー多重化については、デバイス テクニカル リファレンス マニュアルの「PRU\_ICSSG」の章に記載されています。

#### 5.3.19.1 メイン ドメイン

表 5-59. PRU\_ICSSG0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
PRG0_ECAP0_IN_APWM_OUT	IO	PRU-ICSSG 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	R2、U5
PRG0_ECAP0_SYNC_IN	I	PRU-ICSSG ECAP 同期入力	P5、V5
PRG0_ECAP0_SYNC_OUT	O	PRU-ICSSG ECAP 同期出力	AA4、V5
PRG0_IEP0_EDIO_OUTVALID	O	PRU_ICSSG 産業用イーサネット デジタル I/O 出力有効	C13
PRG0_IEP0_EDC_LATCH_IN0	I	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	V1
PRG0_IEP0_EDC_LATCH_IN1	I	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	T1
PRG0_IEP0_EDC_SYNC_OUT0	O	PRU_ICSSG 産業用イーサネット分散クロック同期出力	W1
PRG0_IEP0_EDC_SYNC_OUT1	O	PRU_ICSSG 産業用イーサネット分散クロック同期出力	U1
PRG0_IEP0_EDIO_DATA_IN_OUT28	IO	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	W6
PRG0_IEP0_EDIO_DATA_IN_OUT29	IO	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	AA5
PRG0_IEP0_EDIO_DATA_IN_OUT30	IO	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	Y5
PRG0_IEP0_EDIO_DATA_IN_OUT31	IO	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	V6
PRG0_IEP1_EDC_LATCH_IN0	I	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	P5
PRG0_IEP1_EDC_LATCH_IN1	I	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	W5
PRG0_IEP1_EDC_SYNC_OUT0	O	PRU_ICSSG 産業用イーサネット分散クロック同期出力	R2
PRG0_IEP1_EDC_SYNC_OUT1	O	PRU_ICSSG 産業用イーサネット分散クロック同期出力	V5
PRG0_MDIO0_MDC	O	PRU-ICSSG MDIO クロック	P3
PRG0_MDIO0_MDIO	IO	PRU-ICSSG MDIO データ	P2
PRG0_PRU0_GPI0	I	PRU-ICSSG PRU データ入力	Y1
PRG0_PRU0_GPI1	I	PRU-ICSSG PRU データ入力	R4
PRG0_PRU0_GPI2	I	PRU-ICSSG PRU データ入力	U2
PRG0_PRU0_GPI3	I	PRU-ICSSG PRU データ入力	V2
PRG0_PRU0_GPI4	I	PRU-ICSSG PRU データ入力	AA2
PRG0_PRU0_GPI5	I	PRU-ICSSG PRU データ入力	R3
PRG0_PRU0_GPI6	I	PRU-ICSSG PRU データ入力	T3
PRG0_PRU0_GPI7	I	PRU-ICSSG PRU データ入力	T1
PRG0_PRU0_GPI8	I	PRU-ICSSG PRU データ入力	T2
PRG0_PRU0_GPI9	I	PRU-ICSSG PRU データ入力	W6
PRG0_PRU0_GPI10	I	PRU-ICSSG PRU データ入力	AA5
PRG0_PRU0_GPI11	I	PRU-ICSSG PRU データ入力	Y3
PRG0_PRU0_GPI12	I	PRU-ICSSG PRU データ入力	AA3
PRG0_PRU0_GPI13	I	PRU-ICSSG PRU データ入力	R6
PRG0_PRU0_GPI14	I	PRU-ICSSG PRU データ入力	V4

**表 5-59. PRU\_ICSSG0 信号の説明 (続き)**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
PRG0_PRU0_GPI15	I	PRU-ICSSG PRU データ入力	T5
PRG0_PRU0_GPI16	I	PRU-ICSSG PRU データ入力	U4
PRG0_PRU0_GPI17	I	PRU-ICSSG PRU データ入力	U1
PRG0_PRU0_GPI18	I	PRU-ICSSG PRU データ入力	V1
PRG0_PRU0_GPI19	I	PRU-ICSSG PRU データ入力	W1
PRG0_PRU0_GPO0	IO	PRU-ICSSG PRU データ出力	Y1
PRG0_PRU0_GPO1	IO	PRU-ICSSG PRU データ出力	R4
PRG0_PRU0_GPO2	IO	PRU-ICSSG PRU データ出力	U2
PRG0_PRU0_GPO3	IO	PRU-ICSSG PRU データ出力	V2
PRG0_PRU0_GPO4	IO	PRU-ICSSG PRU データ出力	AA2
PRG0_PRU0_GPO5	IO	PRU-ICSSG PRU データ出力	R3
PRG0_PRU0_GPO6	IO	PRU-ICSSG PRU データ出力	T3
PRG0_PRU0_GPO7	IO	PRU-ICSSG PRU データ出力	T1
PRG0_PRU0_GPO8	IO	PRU-ICSSG PRU データ出力	T2
PRG0_PRU0_GPO9	IO	PRU-ICSSG PRU データ出力	W6
PRG0_PRU0_GPO10	IO	PRU-ICSSG PRU データ出力	AA5
PRG0_PRU0_GPO11	IO	PRU-ICSSG PRU データ出力	Y3
PRG0_PRU0_GPO12	IO	PRU-ICSSG PRU データ出力	AA3
PRG0_PRU0_GPO13	IO	PRU-ICSSG PRU データ出力	R6
PRG0_PRU0_GPO14	IO	PRU-ICSSG PRU データ出力	V4
PRG0_PRU0_GPO15	IO	PRU-ICSSG PRU データ出力	T5
PRG0_PRU0_GPO16	IO	PRU-ICSSG PRU データ出力	U4
PRG0_PRU0_GPO17	IO	PRU-ICSSG PRU データ出力	U1
PRG0_PRU0_GPO18	IO	PRU-ICSSG PRU データ出力	V1
PRG0_PRU0_GPO19	IO	PRU-ICSSG PRU データ出力	W1
PRG0_PRU1_GPI0	I	PRU-ICSSG PRU データ入力	Y2
PRG0_PRU1_GPI1	I	PRU-ICSSG PRU データ入力	W2
PRG0_PRU1_GPI2	I	PRU-ICSSG PRU データ入力	V3
PRG0_PRU1_GPI3	I	PRU-ICSSG PRU データ入力	T4
PRG0_PRU1_GPI4	I	PRU-ICSSG PRU データ入力	W3
PRG0_PRU1_GPI5	I	PRU-ICSSG PRU データ入力	P4
PRG0_PRU1_GPI6	I	PRU-ICSSG PRU データ入力	R5
PRG0_PRU1_GPI7	I	PRU-ICSSG PRU データ入力	W5
PRG0_PRU1_GPI8	I	PRU-ICSSG PRU データ入力	R1
PRG0_PRU1_GPI9	I	PRU-ICSSG PRU データ入力	Y5
PRG0_PRU1_GPI10	I	PRU-ICSSG PRU データ入力	V6
PRG0_PRU1_GPI11	I	PRU-ICSSG PRU データ入力	W4
PRG0_PRU1_GPI12	I	PRU-ICSSG PRU データ入力	Y4
PRG0_PRU1_GPI13	I	PRU-ICSSG PRU データ入力	T6
PRG0_PRU1_GPI14	I	PRU-ICSSG PRU データ入力	U6
PRG0_PRU1_GPI15	I	PRU-ICSSG PRU データ入力	U5
PRG0_PRU1_GPI16	I	PRU-ICSSG PRU データ入力	AA4

表 5-59. PRU\_ICSSG0 信号の説明 (続き)

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
PRG0_PRU1_GPI17	I	PRU-ICSSG PRU データ入力	V5
PRG0_PRU1_GPI18	I	PRU-ICSSG PRU データ入力	P5
PRG0_PRU1_GPI19	I	PRU-ICSSG PRU データ入力	R2
PRG0_PRU1_GPO0	IO	PRU-ICSSG PRU データ出力	Y2
PRG0_PRU1_GPO1	IO	PRU-ICSSG PRU データ出力	W2
PRG0_PRU1_GPO2	IO	PRU-ICSSG PRU データ出力	V3
PRG0_PRU1_GPO3	IO	PRU-ICSSG PRU データ出力	T4
PRG0_PRU1_GPO4	IO	PRU-ICSSG PRU データ出力	W3
PRG0_PRU1_GPO5	IO	PRU-ICSSG PRU データ出力	P4
PRG0_PRU1_GPO6	IO	PRU-ICSSG PRU データ出力	R5
PRG0_PRU1_GPO7	IO	PRU-ICSSG PRU データ出力	W5
PRG0_PRU1_GPO8	IO	PRU-ICSSG PRU データ出力	R1
PRG0_PRU1_GPO9	IO	PRU-ICSSG PRU データ出力	Y5
PRG0_PRU1_GPO10	IO	PRU-ICSSG PRU データ出力	V6
PRG0_PRU1_GPO11	IO	PRU-ICSSG PRU データ出力	W4
PRG0_PRU1_GPO12	IO	PRU-ICSSG PRU データ出力	Y4
PRG0_PRU1_GPO13	IO	PRU-ICSSG PRU データ出力	T6
PRG0_PRU1_GPO14	IO	PRU-ICSSG PRU データ出力	U6
PRG0_PRU1_GPO15	IO	PRU-ICSSG PRU データ出力	U5
PRG0_PRU1_GPO16	IO	PRU-ICSSG PRU データ出力	AA4
PRG0_PRU1_GPO17	IO	PRU-ICSSG PRU データ出力	V5
PRG0_PRU1_GPO18	IO	PRU-ICSSG PRU データ出力	P5
PRG0_PRU1_GPO19	IO	PRU-ICSSG PRU データ出力	R2
PRG0_PWM0_TZ_IN	I	PRU_ICSSG PWMトリップゾーン入力	V1
PRG0_PWM0_TZ_OUT	O	PRU_ICSSG PWMトリップゾーン出力	W1
PRG0_PWM1_TZ_IN	I	PRU_ICSSG PWMトリップゾーン入力	P5
PRG0_PWM1_TZ_OUT	O	PRU_ICSSG PWMトリップゾーン出力	R2
PRG0_PWM2_TZ_IN	I	PRU_ICSSG PWMトリップゾーン入力	T18、V6
PRG0_PWM2_TZ_OUT	O	PRU_ICSSG PWMトリップゾーン出力	R1、U21
PRG0_PWM3_TZ_IN	I	PRU_ICSSG PWMトリップゾーン入力	P16、W6
PRG0_PWM3_TZ_OUT	O	PRU_ICSSG PWMトリップゾーン出力	R17、Y3
PRG0_PWM0_A0	IO	PRU_ICSSG PWM 出力 A	AA3
PRG0_PWM0_A1	IO	PRU_ICSSG PWM 出力 A	V4
PRG0_PWM0_A2	IO	PRU_ICSSG PWM 出力 A	U4
PRG0_PWM0_B0	IO	PRU_ICSSG PWM 出力 B	R6
PRG0_PWM0_B1	IO	PRU_ICSSG PWM 出力 B	T5
PRG0_PWM0_B2	IO	PRU_ICSSG PWM 出力 B	U1
PRG0_PWM1_A0	IO	PRU_ICSSG PWM 出力 A	Y4
PRG0_PWM1_A1	IO	PRU_ICSSG PWM 出力 A	U6
PRG0_PWM1_A2	IO	PRU_ICSSG PWM 出力 A	AA4
PRG0_PWM1_B0	IO	PRU_ICSSG PWM 出力 B	T6
PRG0_PWM1_B1	IO	PRU_ICSSG PWM 出力 B	U5

**表 5-59. PRU\_ICSSG0 信号の説明 (続き)**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
PRG0_PWM1_B2	IO	PRU_ICSSG PWM 出力 B	V5
PRG0_PWM2_A0	IO	PRU_ICSSG PWM 出力 A	U2、U20
PRG0_PWM2_A1	IO	PRU_ICSSG PWM 出力 A	T2、U19
PRG0_PWM2_A2	IO	PRU_ICSSG PWM 出力 A	V19、V3
PRG0_PWM2_B0	IO	PRU_ICSSG PWM 出力 B	AA2、U18
PRG0_PWM2_B1	IO	PRU_ICSSG PWM 出力 B	AA5、V20
PRG0_PWM2_B2	IO	PRU_ICSSG PWM 出力 B	T17、W3
PRG0_PWM3_A0	IO	PRU_ICSSG PWM 出力 A	V18、Y1
PRG0_PWM3_A1	IO	PRU_ICSSG PWM 出力 A	R18、T3
PRG0_PWM3_A2	IO	PRU_ICSSG PWM 出力 A	T19、V2
PRG0_PWM3_B0	IO	PRU_ICSSG PWM 出力 B	R4、Y21
PRG0_PWM3_B1	IO	PRU_ICSSG PWM 出力 B	T1、T21
PRG0_PWM3_B2	IO	PRU_ICSSG PWM 出力 B	R3、W19
PRG0_RGMII1_RXC	I	PRU_ICSSG RGMII 受信クロック	T3
PRG0_RGMII1_RX_CTL	I	PRU_ICSSG RGMII 受信制御	AA2
PRG0_RGMII1_TXC	IO	PRU_ICSSG RGMII 送信クロック	U4
PRG0_RGMII1_TX_CTL	O	PRU_ICSSG RGMII 送信制御	T5
PRG0_RGMII2_RXC	I	PRU_ICSSG RGMII 受信クロック	R5
PRG0_RGMII2_RX_CTL	I	PRU_ICSSG RGMII 受信制御	W3
PRG0_RGMII2_TXC	IO	PRU_ICSSG RGMII 送信クロック	AA4
PRG0_RGMII2_TX_CTL	O	PRU_ICSSG RGMII 送信制御	U5
PRG0_RGMII1_RD0	I	PRU_ICSSG RGMII 受信データ	Y1
PRG0_RGMII1_RD1	I	PRU_ICSSG RGMII 受信データ	R4
PRG0_RGMII1_RD2	I	PRU_ICSSG RGMII 受信データ	U2
PRG0_RGMII1_RD3	I	PRU_ICSSG RGMII 受信データ	V2
PRG0_RGMII1_TD0	O	PRU_ICSSG RGMII 送信データ	Y3
PRG0_RGMII1_TD1	O	PRU_ICSSG RGMII 送信データ	AA3
PRG0_RGMII1_TD2	O	PRU_ICSSG RGMII 送信データ	R6
PRG0_RGMII1_TD3	O	PRU_ICSSG RGMII 送信データ	V4
PRG0_RGMII2_RD0	I	PRU_ICSSG RGMII 受信データ	Y2
PRG0_RGMII2_RD1	I	PRU_ICSSG RGMII 受信データ	W2
PRG0_RGMII2_RD2	I	PRU_ICSSG RGMII 受信データ	V3
PRG0_RGMII2_RD3	I	PRU_ICSSG RGMII 受信データ	T4
PRG0_RGMII2_TD0	O	PRU_ICSSG RGMII 送信データ	W4
PRG0_RGMII2_TD1	O	PRU_ICSSG RGMII 送信データ	Y4
PRG0_RGMII2_TD2	O	PRU_ICSSG RGMII 送信データ	T6
PRG0_RGMII2_TD3	O	PRU_ICSSG RGMII 送信データ	U6
PRG0_UART0_CTSn	I	PRU-ICSSG UART Clear to Send (アクティブ Low)	W6
PRG0_UART0_RTSn	O	PRU-ICSSG UART Request to Send (アクティブ Low)	AA5
PRG0_UART0_RXD	I	PRU-ICSSG UART 受信データ	Y5
PRG0_UART0_TXD	O	PRU-ICSSG UART 送信データ	V6

**表 5-60. PRU\_ICSSG1 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
PRG1_ECAP0_IN_APWM_OUT	IO	PRU-ICSSG 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	V12
PRG1_ECAP0_SYNC_IN	I	PRU-ICSSG ECAP 同期入力	Y13
PRG1_ECAP0_SYNC_OUT	O	PRU-ICSSG ECAP 同期出力	AA14
PRG1_IEP0_EDIO_OUTVALID	O	PRU_ICSSG 産業用イーサネット デジタル I/O 出力有効	D14
PRG1_IEP0_EDC_LATCH_IN0	I	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	V7
PRG1_IEP0_EDC_LATCH_IN1	I	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	U13
PRG1_IEP0_EDC_SYNC_OUT0	O	PRU_ICSSG 産業用イーサネット分散クロック同期出力	W7
PRG1_IEP0_EDC_SYNC_OUT1	O	PRU_ICSSG 産業用イーサネット分散クロック同期出力	U7
PRG1_IEP0_EDIO_DATA_IN_OUT28	IO	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	U15
PRG1_IEP0_EDIO_DATA_IN_OUT29	IO	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	U14
PRG1_IEP0_EDIO_DATA_IN_OUT30	IO	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	V14
PRG1_IEP0_EDIO_DATA_IN_OUT31	IO	PRU_ICSSG 産業用イーサネット デジタル I/O データ入出力	W14
PRG1_IEP1_EDC_LATCH_IN0	I	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	Y13
PRG1_IEP1_EDC_LATCH_IN1	I	PRU_ICSSG 産業用イーサネット分散クロック ラッチ入力	V15
PRG1_IEP1_EDC_SYNC_OUT0	O	PRU_ICSSG 産業用イーサネット分散クロック同期出力	V12
PRG1_IEP1_EDC_SYNC_OUT1	O	PRU_ICSSG 産業用イーサネット分散クロック同期出力	AA14
PRG1_MDIO0_MDC	O	PRU-ICSSG MDIO クロック	Y6
PRG1_MDIO0_MDIO	IO	PRU-ICSSG MDIO データ	AA6
PRG1_PRU0_GPI0	I	PRU-ICSSG PRU データ入力	Y7
PRG1_PRU0_GPI1	I	PRU-ICSSG PRU データ入力	U8
PRG1_PRU0_GPI2	I	PRU-ICSSG PRU データ入力	W8
PRG1_PRU0_GPI3	I	PRU-ICSSG PRU データ入力	V8
PRG1_PRU0_GPI4	I	PRU-ICSSG PRU データ入力	Y8
PRG1_PRU0_GPI5	I	PRU-ICSSG PRU データ入力	V13
PRG1_PRU0_GPI6	I	PRU-ICSSG PRU データ入力	AA7
PRG1_PRU0_GPI7	I	PRU-ICSSG PRU データ入力	U13
PRG1_PRU0_GPI8	I	PRU-ICSSG PRU データ入力	W13
PRG1_PRU0_GPI9	I	PRU-ICSSG PRU データ入力	U15
PRG1_PRU0_GPI10	I	PRU-ICSSG PRU データ入力	U14
PRG1_PRU0_GPI11	I	PRU-ICSSG PRU データ入力	AA8
PRG1_PRU0_GPI12	I	PRU-ICSSG PRU データ入力	U9
PRG1_PRU0_GPI13	I	PRU-ICSSG PRU データ入力	W9
PRG1_PRU0_GPI14	I	PRU-ICSSG PRU データ入力	AA9
PRG1_PRU0_GPI15	I	PRU-ICSSG PRU データ入力	Y9
PRG1_PRU0_GPI16	I	PRU-ICSSG PRU データ入力	V9
PRG1_PRU0_GPI17	I	PRU-ICSSG PRU データ入力	U7
PRG1_PRU0_GPI18	I	PRU-ICSSG PRU データ入力	V7
PRG1_PRU0_GPI19	I	PRU-ICSSG PRU データ入力	W7
PRG1_PRU0_GPO0	IO	PRU-ICSSG PRU データ出力	Y7
PRG1_PRU0_GPO1	IO	PRU-ICSSG PRU データ出力	U8
PRG1_PRU0_GPO2	IO	PRU-ICSSG PRU データ出力	W8

**表 5-60. PRU\_ICSSG1 信号の説明 (続き)**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
PRG1_PRU0_GPO3	IO	PRU-ICSSG PRU データ出力	V8
PRG1_PRU0_GPO4	IO	PRU-ICSSG PRU データ出力	Y8
PRG1_PRU0_GPO5	IO	PRU-ICSSG PRU データ出力	V13
PRG1_PRU0_GPO6	IO	PRU-ICSSG PRU データ出力	AA7
PRG1_PRU0_GPO7	IO	PRU-ICSSG PRU データ出力	U13
PRG1_PRU0_GPO8	IO	PRU-ICSSG PRU データ出力	W13
PRG1_PRU0_GPO9	IO	PRU-ICSSG PRU データ出力	U15
PRG1_PRU0_GPO10	IO	PRU-ICSSG PRU データ出力	U14
PRG1_PRU0_GPO11	IO	PRU-ICSSG PRU データ出力	AA8
PRG1_PRU0_GPO12	IO	PRU-ICSSG PRU データ出力	U9
PRG1_PRU0_GPO13	IO	PRU-ICSSG PRU データ出力	W9
PRG1_PRU0_GPO14	IO	PRU-ICSSG PRU データ出力	AA9
PRG1_PRU0_GPO15	IO	PRU-ICSSG PRU データ出力	Y9
PRG1_PRU0_GPO16	IO	PRU-ICSSG PRU データ出力	V9
PRG1_PRU0_GPO17	IO	PRU-ICSSG PRU データ出力	U7
PRG1_PRU0_GPO18	IO	PRU-ICSSG PRU データ出力	V7
PRG1_PRU0_GPO19	IO	PRU-ICSSG PRU データ出力	W7
PRG1_PRU1_GPI0	I	PRU-ICSSG PRU データ入力	W11
PRG1_PRU1_GPI1	I	PRU-ICSSG PRU データ入力	V11
PRG1_PRU1_GPI2	I	PRU-ICSSG PRU データ入力	AA12
PRG1_PRU1_GPI3	I	PRU-ICSSG PRU データ入力	Y12
PRG1_PRU1_GPI4	I	PRU-ICSSG PRU データ入力	W12
PRG1_PRU1_GPI5	I	PRU-ICSSG PRU データ入力	AA13
PRG1_PRU1_GPI6	I	PRU-ICSSG PRU データ入力	U11
PRG1_PRU1_GPI7	I	PRU-ICSSG PRU データ入力	V15
PRG1_PRU1_GPI8	I	PRU-ICSSG PRU データ入力	U12
PRG1_PRU1_GPI9	I	PRU-ICSSG PRU データ入力	V14
PRG1_PRU1_GPI10	I	PRU-ICSSG PRU データ入力	W14
PRG1_PRU1_GPI11	I	PRU-ICSSG PRU データ入力	AA10
PRG1_PRU1_GPI12	I	PRU-ICSSG PRU データ入力	V10
PRG1_PRU1_GPI13	I	PRU-ICSSG PRU データ入力	U10
PRG1_PRU1_GPI14	I	PRU-ICSSG PRU データ入力	AA11
PRG1_PRU1_GPI15	I	PRU-ICSSG PRU データ入力	Y11
PRG1_PRU1_GPI16	I	PRU-ICSSG PRU データ入力	Y10
PRG1_PRU1_GPI17	I	PRU-ICSSG PRU データ入力	AA14
PRG1_PRU1_GPI18	I	PRU-ICSSG PRU データ入力	Y13
PRG1_PRU1_GPI19	I	PRU-ICSSG PRU データ入力	V12
PRG1_PRU1_GPO0	IO	PRU-ICSSG PRU データ出力	W11
PRG1_PRU1_GPO1	IO	PRU-ICSSG PRU データ出力	V11
PRG1_PRU1_GPO2	IO	PRU-ICSSG PRU データ出力	AA12
PRG1_PRU1_GPO3	IO	PRU-ICSSG PRU データ出力	Y12
PRG1_PRU1_GPO4	IO	PRU-ICSSG PRU データ出力	W12

表 5-60. PRU\_ICSSG1 信号の説明 (続き)

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
PRG1_PRU1_GPO5	IO	PRU-ICSSG PRU データ出力	AA13
PRG1_PRU1_GPO6	IO	PRU-ICSSG PRU データ出力	U11
PRG1_PRU1_GPO7	IO	PRU-ICSSG PRU データ出力	V15
PRG1_PRU1_GPO8	IO	PRU-ICSSG PRU データ出力	U12
PRG1_PRU1_GPO9	IO	PRU-ICSSG PRU データ出力	V14
PRG1_PRU1_GPO10	IO	PRU-ICSSG PRU データ出力	W14
PRG1_PRU1_GPO11	IO	PRU-ICSSG PRU データ出力	AA10
PRG1_PRU1_GPO12	IO	PRU-ICSSG PRU データ出力	V10
PRG1_PRU1_GPO13	IO	PRU-ICSSG PRU データ出力	U10
PRG1_PRU1_GPO14	IO	PRU-ICSSG PRU データ出力	AA11
PRG1_PRU1_GPO15	IO	PRU-ICSSG PRU データ出力	Y11
PRG1_PRU1_GPO16	IO	PRU-ICSSG PRU データ出力	Y10
PRG1_PRU1_GPO17	IO	PRU-ICSSG PRU データ出力	AA14
PRG1_PRU1_GPO18	IO	PRU-ICSSG PRU データ出力	Y13
PRG1_PRU1_GPO19	IO	PRU-ICSSG PRU データ出力	V12
PRG1_PWM0_TZ_IN	I	PRU_ICSSG PWMトリップゾーン入力	V7
PRG1_PWM0_TZ_OUT	O	PRU_ICSSG PWMトリップゾーン出力	W7
PRG1_PWM1_TZ_IN	I	PRU_ICSSG PWMトリップゾーン入力	Y13
PRG1_PWM1_TZ_OUT	O	PRU_ICSSG PWMトリップゾーン出力	V12
PRG1_PWM2_TZ_IN	I	PRU_ICSSG PWMトリップゾーン入力	P19、W14
PRG1_PWM2_TZ_OUT	O	PRU_ICSSG PWMトリップゾーン出力	R20、U12
PRG1_PWM3_TZ_IN	I	PRU_ICSSG PWMトリップゾーン入力	U15
PRG1_PWM3_TZ_OUT	O	PRU_ICSSG PWMトリップゾーン出力	AA8
PRG1_PWM0_A0	IO	PRU_ICSSG PWM 出力 A	U9
PRG1_PWM0_A1	IO	PRU_ICSSG PWM 出力 A	AA9
PRG1_PWM0_A2	IO	PRU_ICSSG PWM 出力 A	V9
PRG1_PWM0_B0	IO	PRU_ICSSG PWM 出力 B	W9
PRG1_PWM0_B1	IO	PRU_ICSSG PWM 出力 B	Y9
PRG1_PWM0_B2	IO	PRU_ICSSG PWM 出力 B	U7
PRG1_PWM1_A0	IO	PRU_ICSSG PWM 出力 A	V10
PRG1_PWM1_A1	IO	PRU_ICSSG PWM 出力 A	AA11
PRG1_PWM1_A2	IO	PRU_ICSSG PWM 出力 A	Y10
PRG1_PWM1_B0	IO	PRU_ICSSG PWM 出力 B	U10
PRG1_PWM1_B1	IO	PRU_ICSSG PWM 出力 B	Y11
PRG1_PWM1_B2	IO	PRU_ICSSG PWM 出力 B	AA14
PRG1_PWM2_A0	IO	PRU_ICSSG PWM 出力 A	N16、W8
PRG1_PWM2_A1	IO	PRU_ICSSG PWM 出力 A	P17、W13
PRG1_PWM2_A2	IO	PRU_ICSSG PWM 出力 A	AA12、V21
PRG1_PWM2_B0	IO	PRU_ICSSG PWM 出力 B	N17、Y8
PRG1_PWM2_B1	IO	PRU_ICSSG PWM 出力 B	U14、Y18
PRG1_PWM2_B2	IO	PRU_ICSSG PWM 出力 B	R16、W12
PRG1_PWM3_A0	IO	PRU_ICSSG PWM 出力 A	Y7

**表 5-60. PRU\_ICSSG1 信号の説明 (続き)**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
PRG1_PWM3_A1	IO	PRU_ICSSG PWM 出力 A	AA7
PRG1_PWM3_A2	IO	PRU_ICSSG PWM 出力 A	V8
PRG1_PWM3_B0	IO	PRU_ICSSG PWM 出力 B	U8
PRG1_PWM3_B1	IO	PRU_ICSSG PWM 出力 B	U13
PRG1_PWM3_B2	IO	PRU_ICSSG PWM 出力 B	V13
PRG1_RGMII1_RXC	I	PRU_ICSSG RGMII 受信クロック	AA7
PRG1_RGMII1_RX_CTL	I	PRU_ICSSG RGMII 受信制御	Y8
PRG1_RGMII1_TXC	IO	PRU_ICSSG RGMII 送信クロック	V9
PRG1_RGMII1_TX_CTL	O	PRU_ICSSG RGMII 送信制御	Y9
PRG1_RGMII2_RXC	I	PRU_ICSSG RGMII 受信クロック	U11
PRG1_RGMII2_RX_CTL	I	PRU_ICSSG RGMII 受信制御	W12
PRG1_RGMII2_TXC	IO	PRU_ICSSG RGMII 送信クロック	Y10
PRG1_RGMII2_TX_CTL	O	PRU_ICSSG RGMII 送信制御	Y11
PRG1_RGMII1_RD0	I	PRU_ICSSG RGMII 受信データ	Y7
PRG1_RGMII1_RD1	I	PRU_ICSSG RGMII 受信データ	U8
PRG1_RGMII1_RD2	I	PRU_ICSSG RGMII 受信データ	W8
PRG1_RGMII1_RD3	I	PRU_ICSSG RGMII 受信データ	V8
PRG1_RGMII1_TD0	O	PRU_ICSSG RGMII 送信データ	AA8
PRG1_RGMII1_TD1	O	PRU_ICSSG RGMII 送信データ	U9
PRG1_RGMII1_TD2	O	PRU_ICSSG RGMII 送信データ	W9
PRG1_RGMII1_TD3	O	PRU_ICSSG RGMII 送信データ	AA9
PRG1_RGMII2_RD0	I	PRU_ICSSG RGMII 受信データ	W11
PRG1_RGMII2_RD1	I	PRU_ICSSG RGMII 受信データ	V11
PRG1_RGMII2_RD2	I	PRU_ICSSG RGMII 受信データ	AA12
PRG1_RGMII2_RD3	I	PRU_ICSSG RGMII 受信データ	Y12
PRG1_RGMII2_TD0	O	PRU_ICSSG RGMII 送信データ	AA10
PRG1_RGMII2_TD1	O	PRU_ICSSG RGMII 送信データ	V10
PRG1_RGMII2_TD2	O	PRU_ICSSG RGMII 送信データ	U10
PRG1_RGMII2_TD3	O	PRU_ICSSG RGMII 送信データ	AA11
PRG1_UART0_CTSn	I	PRU-ICSSG UART Clear to Send (アクティブ Low)	U15
PRG1_UART0_RTSn	O	PRU-ICSSG UART Request to Send (アクティブ Low)	U14
PRG1_UART0_RXD	I	PRU-ICSSG UART 受信データ	V14
PRG1_UART0_TXD	O	PRU-ICSSG UART 送信データ	W14

### 5.3.20 予約済み

**表 5-61. 予約済み信号の説明**

信号名 [1]	信号 の種類 [2]	説明 [3]	ALV ピン [4]
RSVD0	該当なし	予約済み、未接続のままにする必要あり	H16
RSVD1	該当なし	予約済み、未接続のままにする必要あり	D21
RSVD2	該当なし	予約済み、未接続のままにする必要あり	G13
RSVD3	該当なし	予約済み、未接続のままにする必要あり	F17

**表 5-61. 予約済み信号の説明 (続き)**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
RSVD4	該当なし	予約済み、未接続のままにする必要あり	W15
RSVD5	該当なし	予約済み、未接続のままにする必要あり	V16
RSVD6	該当なし	予約済み、未接続のままにする必要あり	K2
RSVD7	該当なし	予約済み、未接続のままにする必要あり	K1
RSVD8	該当なし	予約済み、未接続のままにする必要あり	F12

### 5.3.21 SERDES

#### 5.3.21.1 メイン ドメイン

**表 5-62. SERDES0 信号の説明**

信号名 [1] (2)	信号のタイプ [2]	説明 [3]	ALV ピン [4]
PCIE0_CLKREQn	IO	PCIE クロック要求信号	D16
SERDES0_REXT (1)	A	外部 SerDes PHY 較正抵抗	T13
SERDES0_REFCLK0N	IO	SerDes PHY 基準クロック入出力 (負)	W16
SERDES0_REFCLK0P	IO	SerDes PHY 基準クロック入出力 (正)	W17
SERDES0_RX0_N	I	SerDes PHY 差動受信データ (負)	Y15
SERDES0_RX0_P	I	SerDes PHY 差動受信データ (正)	Y16
SERDES0_TX0_N	O	SerDes PHY 差動送信データ (負)	AA16
SERDES0_TX0_P	O	SerDes PHY 差動送信データ (正)	AA17

(1) このピンと VSS の間に 3.01kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

(2) これらのピンの機能は、SERDES0\_LN0\_CTRL\_LANE\_FUNC\_SEL によって制御されます。

### 5.3.22 システム、その他

#### 5.3.22.1 ブート モードの構成

##### 5.3.22.1.1 メイン ドメイン

**表 5-63. Sysboot 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
BOOTMODE00	I	ブートモード ピン 0	T20
BOOTMODE01	I	ブートモード ピン 1	U21
BOOTMODE02	I	ブートモード ピン 2	T18
BOOTMODE03	I	ブートモード ピン 3	U20
BOOTMODE04	I	ブートモード ピン 4	U18
BOOTMODE05	I	ブートモード ピン 5	U19
BOOTMODE06	I	ブートモード ピン 6	V20
BOOTMODE07	I	ブートモード ピン 7	V21
BOOTMODE08	I	ブートモード ピン 8	V19
BOOTMODE09	I	ブートモード ピン 9	T17
BOOTMODE10	I	ブートモード ピン 10	R16
BOOTMODE11	I	ブートモード ピン 11	W20
BOOTMODE12	I	ブートモード ピン 12	W21
BOOTMODE13	I	ブートモード ピン 13	V18
BOOTMODE14	I	ブートモード ピン 14	Y21

**表 5-63. Sysboot 信号の説明 (続き)**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
BOOTMODE15	I	ブートモード ピン 15	Y20

### 5.3.22.2 クロック

#### 5.3.22.2.1 MCU ドメイン

**表 5-64. MCU クロック信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
MCU_OSC0_XI	I	高周波数発振器入力	C21
MCU_OSC0_XO	O	高周波数発振器出力	B20

### 5.3.22.3 システム

#### 5.3.22.3.1 メイン ドメイン

**表 5-65. システム信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
CLKOUT0	O	RMII クロック出力 (50MHz)。このピンは外部 PHY へのクロック源に使われ、本デバイスを適切に動作させるには、RMII_REF_CLK ピンに接続する必要があります。	A19、U13
EXTINTn	I	外部割り込み	C19
EXT_REFCLK1	I	メインドメインへの外部クロック入力	A19
OBSCLK0	O	監視クロック出力は、テストとデバッグのみを目的としています。	D17
PORz_OUT	O	メインドメインの POR ステータス出力	E17
RESETSTATz	O	メインドメインのウォームリセット ステータス出力	F16
RESET_REQz	I	メインドメインの外部ウォームリセット要求入力	E18
SYSCLKOUT0	O	メイン PLL コントローラからの SYSCLK0 出力 (6 分周、テストおよびデバッグ専用)	C17

#### 5.3.22.3.2 MCU ドメイン

**表 5-66. MCU システム信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
MCU_EXT_REFCLK0	I	外部システムクロック入力	B7
MCU_OBSCLK0	O	監視クロック出力は、テストとデバッグのみを目的としています。	C6、E10
MCU_PORz	I	MCU とメインドメインのコールドリセット	B21
MCU_RESETSTATz	O	MCU ドメイン ウォームリセット ステータス出力	B13
MCU_RESETz	I	MCU ドメイン ウォームリセット	B12
MCU_SAFETY_ERRORn	IO	MCU ドメイン ESM からのエラー信号出力	A20
MCU_SYSCLKOUT0	O	テストおよびデバッグ専用 MCU ドメイン システム クロック出力	C6

### 5.3.22.4 VMON

**表 5-67. VMON 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
VMON_1P8_MCU	A	1.8V MCU 電源用電圧モニタ入力	K16

表 5-67. VMON 信号の説明 (続き)

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
VMON_1P8_SOC	A	1.8V SoC 電源用電圧モニタ入力	E12
VMON_3P3_MCU	A	3.3V MCU 電源用電圧モニタ入力	F13
VMON_3P3_SOC	A	3.3V SoC 電源用電圧モニタ入力	F14
VMON_VSYS	A	電圧モニタ入力、固定 0.45V (±3%) スレッショルド。PMIC 入力電源などのより高い電圧レールを監視するには、外付けの高精度分圧器と組み合わせて使用します。	K10

### 5.3.23 TIMER

#### 5.3.23.1 メイン ドメイン

表 5-68. TIMER 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C18, K18
TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B19, K19
TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A17, L21
TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B17, K21
TIMER_IO4	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C17, L20
TIMER_IO5	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	D17, J19
TIMER_IO6	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B16, D19, T1
TIMER_IO7	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A16, C20, U7
TIMER_IO8	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	P19, V7
TIMER_IO9	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	R21, W7
TIMER_IO10	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C13, U13
TIMER_IO11	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	D14, U1

#### 5.3.23.2 MCU ドメイン

表 5-69. MCU\_TIMER 信号の説明

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
MCU_TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	D8
MCU_TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	E8
MCU_TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B8

**表 5-69. MCU\_TIMER 信号の説明 (続き)**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
MCU_TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B9

### 5.3.24 UART

#### 5.3.24.1 メイン ドメイン

**表 5-70. UART0 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B16
UART0_DCDn	I	UART DCD (Data Carrier Detect) (アクティブ Low)	C17
UART0_DSRn	I	UART DSR (Data Set Ready) (アクティブ Low)	D17
UART0_DTRn	O	UART DTR (Data Terminal Ready) (アクティブ Low)	A17
UART0_RIn	I	UART リング インジケータ	B17
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A16
UART0_RXD	I	UART 受信データ	D15
UART0_TXD	O	UART 送信データ	C16

**表 5-71. UART1 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D16
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	E16
UART1_RXD	I	UART 受信データ	E15
UART1_TXD	O	UART 送信データ	E14

**表 5-72. UART2 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	L20、V19、Y1
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	J19、T18、U2
UART2_RXD	I	UART 受信データ	B16、K18、T20、V1、W6
UART2_TXD	O	UART 送信データ	A16、K19、R4、U21

**表 5-73. UART3 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D19、T17、V2
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C20、R3、U19
UART3_RXD	I	UART 受信データ	AA5、D16、L21、U20、W1
UART3_TXD	O	UART 送信データ	AA2、E16、K21、U18

**表 5-74. UART4 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	R16、R5、T3、V1
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	R1、R17、T2、W1
UART4_RXD	I	UART 受信データ	A17、L20、V20、W4、Y3
UART4_TXD	O	UART 送信データ	B17、J19、T1、V21、W5、Y4

**表 5-75. UART5 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	W20、Y13、Y2
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	T21、V12、V3
UART5_RXD	I	UART 受信データ	C17、D19、P16、T6、Y5
UART5_TXD	O	UART 送信データ	C20、D17、R18、W2

**表 5-76. UART6 信号の説明**

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV ピン [4]
UART6_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	T4、W21
UART6_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	P17、P4
UART6_RXD	I	UART 受信データ	C13、U6、V6、Y21
UART6_TXD	O	UART 送信データ	D14、W3、Y20

### 5.3.24.2 MCU ドメイン

**表 5-77. MCU\_UART0 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
MCU_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D8
MCU_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	E8
MCU_UART0_RXD	I	UART 受信データ	A9
MCU_UART0_TXD	O	UART 送信データ	A8

**表 5-78. MCU\_UART1 信号の説明**

信号名 [1]	信号の種類 [2]	説明 [3]	ALV ピン [4]
MCU_UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B8
MCU_UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B9
MCU_UART1_RXD	I	UART 受信データ	C9
MCU_UART1_TXD	O	UART 送信データ	D9

### 5.3.25 USB

#### 5.3.25.1 メイン ドメイン

**表 5-79. USB0 信号の説明**

信号名 [1]	信号の タイプ [2]	説明 [3]	ALV ピン [4]
USB0_DM	IO	USB 2.0 差動データ (負)	AA20
USB0_DP	IO	USB 2.0 差動データ (正)	AA19
USB0_DRVVBUS	O	USB VBUS 制御出力 (アクティブ High)	E19
USB0_ID	A	USB 2.0 デュアルロール デバイス (DRD) ロール選択	U16
USB0_RCALIB <sup>(1)</sup>	A	キャリブレーション抵抗に接続するピン	U17
USB0_VBUS <sup>(2)</sup>	A	USB レベルシフト VBUS 入力	T14

- (1) このピンと VSS の間に  $499\Omega \pm 1\%$  の外付け抵抗を接続する必要があります。この抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.2.3](#)「USB VBUS の設計ガイドライン」を参照してください。

## 5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

### 注

特に記述のない限り、すべての電源ボールには「推奨動作条件」セクションで規定されている電圧を供給する必要があります。

### 注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

**表 5-80. 接続要件**

ボール番号	ボール名	接続要件
A20 D11	MCU_SAFETY_ERRORn TRSTn	PCB 信号トレースが接続されていて、接続されたデバイスでアクティブに駆動されていない場合、これらのボールに関連付けられている入力がある有効なロジック Low レベルに保持されるように、各ボールを個別の外付けブル抵抗を介して VSS に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部ブルダウンを使用して有効なロジック Low レベルを保持できます。
D10 E10 B12 E18 B11 C11 C12	EMU0 EMU1 MCU_RESETz RESET_REQz TCK TDI TMS	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールに関連付けられた入力がある有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けブル抵抗を介して対応する電源 <sup>(1)</sup> に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部ブルアップを使用して有効なロジック High レベルを保持できます。
A18 B18 E9 A10	I2C0_SCL I2C0_SDA MCU_I2C0_SCL MCU_I2C0_SDA	これらのボールに関連付けられた入力、選択した信号機能に適した有効なロジック High または Low レベルに保持されるように、これらの各ボールを個別の外付けブル抵抗を介して対応する電源 <sup>(1)</sup> または VSS に接続する必要があります。
T20 U21 T18 U20 U18 U19 V20 V21 V19 T17 R16 W20 W21 V18 Y21 Y20	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11 GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	目的のデバイスのブートモードを選択するため、これらのボールに関連付けられた入力が適切に有効なロジック High または Low レベルに保持されるように、これらの各ボールを個別の外付けブル抵抗を介して対応する電源 <sup>(1)</sup> または VSS に接続する必要があります。
J13 G20 F20 E21, D20 G21 F21 F19 E20 J15 J16	VDDA_ADC ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3 ADC0_AIN4 ADC0_AIN5 ADC0_AIN6 ADC0_AIN7 ADC0_REFP ADC0_REFN	ADC0 全体を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。

**表 5-80. 接続要件 (続き)**

ボール番号	ボール名	接続要件
G20 F20 E21 D20 G21 F21 F19 E20	ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3 ADC0_AIN4 ADC0_AIN5 ADC0_AIN6 ADC0_AIN7	VDDA_ADC が電源に接続されている場合、未使用のすべての ADC0_AIN[7:0] ボールは、抵抗を介して VSS にプルするか、VSS に直接接続する必要があります。
F7 G6 H7 J6, K7 L6 J8	VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR_C	DDRSS0 を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。

表 5-80. 接続要件 (続き)

ボール番号	ボール名	接続要件
H2 H1 J5 K5 F6 H4 D2 C5 E2 D4 D3 F2 J2 L5 J3 J4 K3 J1 M5 K4 G4 G5 G2 H3 H5 F1 E1 F4 F3 E3 E4 B2 M2 A3 A2 B5 A4 B3 C4 C2 B4 N5 L4 L2 M3 N4 N3 M4 N2 C1 B1 N1 M1 E5 F5 D5	DDR0_ACT_n DDR0_ALERT_n DDR0_CAS_n DDR0_PAR DDR0_RAS_n DDR0_WE_n DDR0_A0 DDR0_A1 DDR0_A2 DDR0_A3 DDR0_A4 DDR0_A5 DDR0_A6 DDR0_A7 DDR0_A8 DDR0_A9 DDR0_A10 DDR0_A11 DDR0_A12 DDR0_A13 DDR0_BA0 DDR0_BA1 DDR0_BG0 DDR0_BG1 DDR0_CAL0 DDR0_CK0 DDR0_CK0_n DDR0_CKE0 DDR0_CKE1 DDR0_CS0_n DDR0_CS1_n DDR0_DM0 DDR0_DM1 DDR0_DQ0 DDR0_DQ1 DDR0_DQ2 DDR0_DQ3 DDR0_DQ4 DDR0_DQ5 DDR0_DQ6 DDR0_DQ7 DDR0_DQ8 DDR0_DQ9 DDR0_DQ10 DDR0_DQ11 DDR0_DQ12 DDR0_DQ13 DDR0_DQ14 DDR0_DQ15 DDR0_DQS0 DDR0_DQS0_n DDR0_DQS1 DDR0_DQS1_n DDR0_ODT0 DDR0_ODT1 DDR0_RESET0_n	DDRSS0 を使用しない場合、未接続のままにします。  注: このリストの DDR0 ピンは、VDDS_DDR および VDDS_DDR_C が VSS に接続されている場合のみ未接続のままにできます。VDDS_DDR と VDDS_DDR_C を電源に接続する場合、『AM64xAM243x DDR 基板の設計およびレイアウトのガイドライン』の定義に従って DDR0 ピンを接続する必要があります。
K13 H14	VDD_MMC0 VDD_DLL_MMC0	MMC0 を使用しない場合、これらの各ボールを VDD_CORE と同じ電源に接続する必要があります。
K14	VDDS_MMC0	MMC0 を使用しない場合、これらの各ボールを、デバイス電源シーケンス要件に違反しない任意の 1.8V 電源に接続する必要があります。

表 5-80. 接続要件 (続き)

ボール番号	ボール名	接続要件
F18 G18 J21 G19 K20 J20 J18 J17 H17 H19 H18 G17	MMC0_CALPAD MMC0_CLK MMC0_CMD MMC0_DS MMC0_DAT0 MMC0_DAT1 MMC0_DAT2 MMC0_DAT3 MMC0_DAT4 MMC0_DAT5 MMC0_DAT6 MMC0_DAT7	MMC0 を使用しない場合、これらの各ボールを未接続のままにする必要があります。
H15 K15	VDDA_3P3_SDIO CAP_VDDSHV_MMC1	SDIO_LDO が VDDSHV5 に電力を供給するのに使用されない場合、これらの各ボールを VSS に直接接続する必要があります。
P12 P13 P11 R14	VDDA_0P85_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C VDDA_1P8_SERDES0	SERDES0 を使用せず、デバイスのバウンダリ スキャン機能が必要な場合は、これらの各ボールを有効な電源に接続する必要があります。  SERDES0 を使用せず、デバイスのバウンダリ スキャン機能が不要な場合は、これらのボールをそれぞれ VSS に直接接続することもできます。
T13 W16 W17 Y15 Y16 AA16 AA17	SERDES0_REXT SERDES0_REFCLK0N SERDES0_REFCLK0P SERDES0_RX0_N SERDES0_RX0_P SERDES0_TX0_N SERDES0_TX0_P	SERDES0 を使用しない場合、未接続のままにします。  注: VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDDA_1P8_SERDES0 が VSS に接続されている場合にのみ、SERDES0_REXT ピンを未接続のままにできます。VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDDA_1P8_SERDES0 が電源に接続されている場合、適切な外付け抵抗を介して SERDES0_REXT ピンを VSS に接続する必要があります。
T12 R15 R13	VDDA_0P85_USB0 VDDA_1P8_USB0 VDDA_3P3_USB0	USB0 を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。
AA20 AA19 U16 U17 T14	USB0_DM USB0_DP USB0_ID USB0_RCALIB USB0_VBUS	USB0 を使用しない場合、未接続のままにします。  注: VDDA_0P85_USB0、VDDA_1P8_USB0、VDDA_3P3_USB0 が VSS に接続されている場合にのみ、USB0_RCALIB ピンを未接続のままにできます。VDDA_0P85_USB0、VDDA_1P8_USB0、VDDA_3P3_USB0 が電源に接続される場合、適切な外付け抵抗を介して USB0_RCALIB ピンを VSS に接続する必要があります。
K10	VMON_VSYS	VMON_VSYS を使用しない場合、このボールを VSS に直接接続する必要があります。
E12	VMON_1P8_SOC	VMON_1P8_SOC を使用して SOC 電源レールの監視を行わない場合、このボールは 1.8V 電源レールに接続したままにする必要があります。
K16 F13 F14	VMON_1P8_MCU VMON_3P3_MCU VMON_3P3_SOC	MCU および SOC の電源レールの監視に VMON_1P8_MCU、VMON_3P3_MCU、VMON_3P3_SOC を使用しない場合でも、これらのボールをそれぞれの 1.8V および 3.3V 電源レールに接続したままにするか、直接 VSS に接続する必要があります。

(1) IO にどの電源が関連付けられているかを確認するには、「ピン属性」表を参照してください。

---

### 注

内部プル抵抗は駆動力が弱い場合、動作条件によっては有効なロジックレベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジックレベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジックレベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外付けプル抵抗を使って、ボールの有効なロジックレベルを保持することを推奨します。

デバイス IO の多くはデフォルトでオフになっているため、ソフトウェアで各 IO が初期化されるまで、接続されているすべてのデバイスの入力を有効なロジック状態に保持するために、外部プル抵抗が必要になる場合があります。構成可能なデバイス IO の状態は、「ピン属性」表の「リセット時のボールの状態 (RX/TX/PULL)」と「リセット後のボールの状態 (RX/TX/PULL)」列に定義されています。入力バッファ (RX) がオフになっている IO は、フローティング状態にしても、本デバイスに損傷を与えません。ただし、入力バッファ (RX) がオンになっている IO は、 $V_{ILSS}$  と  $V_{IHSS}$  の間の電位にフローティングさせることはできません。入力をこれらのレベルの間の電位にフローティングさせた場合、入力バッファが大電流状態に入ることがあり、IO セルが損傷する可能性があります。

---

## 6 仕様

### 6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) <sup>(1) (2)</sup>

パラメータ		最小値	最大値	単位
VDD_CORE	コア電源	-0.3	1.05	V
VDDR_CORE	RAM 電源	-0.3	1.05	V
VDD_MMC0	MMC0 PHY コア電源	-0.3	1.05	V
VDD_DLL_MMC0	MMC0 PLL アナログ電源	-0.3	1.05	V
VDDA_0P85_SERDES0	SERDES0 0.85V アナログ電源	-0.3	1.05	V
VDDA_0P85_SERDES0_C	SERDES0 クロック 0.85V アナログ電源	-0.3	1.05	V
VDDA_0P85_USB0	USB0 0.85V アナログ電源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 電源	-0.3	1.57	V
VDDS_DDR_C	DDR クロック IO 電源	-0.3	1.57	V
VDDS_MMC0	MMC0 PHY IO 電源	-0.3	1.98	V
VDDS_OSC	MCU_OSC0 電源	-0.3	1.98	V
VDDA_MCU	RCOSC、POR、POK、MCU_PLL0 アナログ電源	-0.3	1.98	V
VDDA_ADC0	ADC0 アナログ電源	-0.3	1.98	V
VDDA_PLL0	MAIN_PLL0、MAIN_PLL2、MAIN_PLL14 アナログ電源	-0.3	1.98	V
VDDA_PLL1	MAIN_PLL8 および MAIN_PLL12 アナログ電源	-0.3	1.98	V
VDDA_PLL2	MAIN_PLL1 アナログ電源	-0.3	1.98	V
VDDA_1P8_SERDES0	SERDES0 1.8V アナログ電源	-0.3	1.98	V
VDDA_1P8_USB0	USB0 1.8V アナログ電源	-0.3	1.98	V
VDDA_TEMP0	TEMP0 アナログ電源	-0.3	1.98	V
VDDA_TEMP1	TEMP1 アナログ電源	-0.3	1.98	V
VPP	eFuse ROM プログラミング電源	-0.3	1.98	V
VDDSHV_MCU	IO MCU の IO 電源	-0.3	3.63	V
VDDSHV0	IO グループ 0 の IO 電源	-0.3	3.63	V
VDDSHV1	IO グループ 1 の IO 電源	-0.3	3.63	V
VDDSHV2	IO グループ 2 の IO 電源	-0.3	3.63	V
VDDSHV3	IO グループ 3 の IO 電源	-0.3	3.63	V
VDDSHV4	IO グループ 4 の IO 電源	-0.3	3.63	V
VDDSHV5	IO グループ 5 の IO 電源	-0.3	3.63	V
VDDA_3P3_USB0	USB0 3.3V アナログ電源	-0.3	3.63	V
VDDA_3P3_SDIO	SDIO 3.3V アナログ電源	-0.3	3.63	V

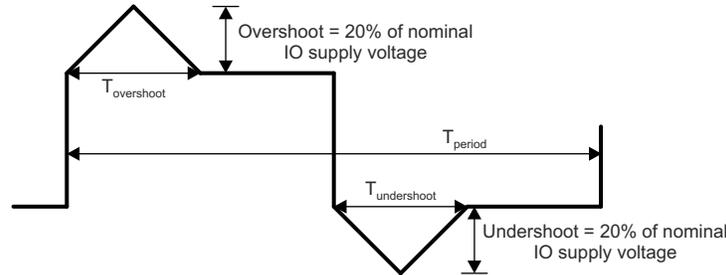
接合部動作温度範囲内 (特に記述のない限り) <sup>(1) (2)</sup>

パラメータ		最小値	最大値	単位
すべてのフェイルセーフ IO ピンの定常状態の最大電圧	MCU_PORz	-0.3	3.63	V
	1.8V で動作する場合、MCU_I2C0_SCL、MCU_I2C0_SDA、I2C0_SCL、I2C0_SDA、EXTINTn	-0.3	1.98 <sup>(3)</sup>	V
	3.3V で動作する場合、MCU_I2C0_SCL、MCU_I2C0_SDA、I2C0_SCL、I2C0_SDA、EXTINTn	-0.3	3.63 <sup>(3)</sup>	V
	VMON_1P8_MCU および VMON_1P8_SOC	-0.3	1.98	V
	VMON_3P3_MCU および VMON_3P3_SOC	-0.3	3.63	V
	VMON_VSYS <sup>(4)</sup>	-0.3	1.98	V
他のすべての IO ピンの定常状態の最大電圧 <sup>(5)</sup>	USB0_VBUS <sup>(6)</sup>	-0.3	3.6	V
	USB0_ID <sup>(7)</sup>	-0.3	3.6	V
	その他のすべての IO ピン	-0.3	IO 電源電圧 + 0.3	V
IO ピンの過渡オーバーシュートおよびアンダーシュート	信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1、「IO 過渡電圧範囲」を参照)		0.2 × VDD <sup>(8)</sup>	V
ラッチアップ性能	I 試験 <sup>(9)</sup>	-100	+100	mA
	過電圧 (OV) 試験 <sup>(10)</sup>		1.5 × VDD <sup>(8)</sup>	V
T <sub>STG</sub>	保存温度	-55	+150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。セクション 6.4 の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) これらのフェイルセーフピンの絶対最大定格は、それらの IO 電源動作電圧に左右されます。したがって、この値は、セクション 6.7.1 の「I2C オープンドレインおよびフェイルセーフ (I2C OD FS) の電気的特性」に記載されている最大 V<sub>IH</sub> 値によっても規定され、この電気的特性表では 1.8V モードと 3.3V モードに別々のパラメータ値があります。
- (4) VMON\_VSYS ピンは、システム電源の監視に使用できます。詳細については、「システム電源監視設計ガイドライン」セクション 8.2.4 を参照してください。
- (5) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V ~ +0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
- (6) このデバイスピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「USB 設計ガイドライン」セクション 8.2.3 を参照してください。
- (7) USB0\_ID ピンは、USB0 PHY のアナログ回路に接続されます。このアナログ回路は、抵抗を経由して VSS に接続されていれば、電圧測定時に既知の電流を供給し、抵抗値 (RID) を決定します。このピンは、USB ホスト動作の場合は VSS に接続し、USB デバイス動作の場合は未接続とする必要があります。そして、外部電源には絶対に接続しないでください。
- (8) VDD は、IO の対応する電源ピンの電圧です。
- (9) 電流パルス注入 (I-Test) の場合：
  - JEDEC JESD78 (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧に合格しました。
- (10) 過電圧性能 (過電圧 (OV) 試験) の場合：
  - JEDEC JESD78 (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電源を接続できます。

MCU\_I2C0\_SCL、MCU\_I2C0\_SDA、I2C0\_SCL、I2C0\_SDA、EXTINTn、VMON\_1P8\_MCU、VMON\_1P8\_SOC、VMON\_3P3\_MCU、VMON\_3P3\_SOC、VMON\_VSYS、MCU\_PORz のみがフェイルセーフ IO 端子です。それ以外の IO 端子はどれもフェイルセーフではなく、それらに印加される電圧は、[セクション 6.1](#) の絶対最大定格の「他のすべての IO ピンの定常状態の最大電圧」パラメータで定義されている値に制限する必要があります。



A.  $T_{overshoot} + T_{undershoot} < T_{period}$  の 20%

図 6-1. IO 過渡電圧範囲

## 6.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±1000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	±250
			V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。  
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

## 6.3 電源投入時間 (POH)

パワー オン時間 (POH) <sup>(1) (2) (3)</sup>		
接合部温度範囲 ( $T_j$ )		寿命 (POH)
産業用拡張	-40°C ~ 105°C	100000
125°C 産業用および車載用 <sup>(4)</sup>	-40°C ~ 105°C	100000
	-40°C ~ 125°C	20000 <sup>(5)</sup>

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。  
(2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。  
(3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH が低減します。  
(4) -40°C ~ 105°C または -40°C ~ 125°C プロファイルを選択し、アプリケーションの寿命期間全体にわたって適用する必要があります。温度や POH を拡張する目的でこれらのプロファイルを混合させると、信頼性故障リスクが高まる可能性があります。そのため、これを行うことは推奨されません。  
(5) -40°C ~ 125°C プロファイルは、以下のように接合部温度に応じて 20000 時間の電源オン時間として定義されます。5%@-40°C、65%@70°C、20%@110°C、10%@125°C。

## 6.4 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明	最小値 <sup>(1)</sup>	公称値	最大値 <sup>(1)</sup>	単位	
VDD_CORE	コア電源	0.75V 動作	0.715	0.75	0.79	V
		0.85V 動作	0.81	0.85	0.895	V
VDDR_CORE	RAM 電源	0.81	0.85	0.895	V	
VDD_MMC0 <sup>(2)</sup>	MMC0 PHY コア電源	0.81	0.85	0.895	V	
VDD_DLL_MMC0 <sup>(2)</sup>	MMC0 PLL アナログ電源	0.81	0.85	0.895	V	
VDDA_0P85_SERDES0	SERDES0 0.85V アナログ電源	0.81	0.85	0.895	V	
VDDA_0P85_SERDES0_C	SERDES0 クロック 0.85V アナログ電源	0.81	0.85	0.895	V	
VDDA_0P85_USB0	USB0 0.85V アナログ電源	0.81	0.85	0.895	V	
VDDS_DDR <sup>(3)</sup> VDDS_DDR_C <sup>(3)</sup>	DDR PHY IO 電源 DDR クロック IO 電源	1.1V 動作	1.06	1.1	1.17	V
		1.2V 動作	1.14	1.2	1.26	V
VDDS_MMC0	MMC0 PHY IO 電源	1.71	1.8	1.89	V	
VDDS_OSC	MCU_OSC0 電源	1.71	1.8	1.89	V	
VDDA_MCU	RCOSC、POR、POK、MCU_PLL0 アナログ電源	1.71	1.8	1.89	V	
VDDA_ADC0	ADC0 アナログ電源	1.71	1.8	1.89	V	
VDDA_PLL0	MAIN_PLL0、MAIN_PLL2、MAIN_PLL14 アナログ電源	1.71	1.8	1.89	V	
VDDA_PLL1	MAIN_PLL8 および MAIN_PLL12 アナログ電源	1.71	1.8	1.89	V	
VDDA_PLL2	MAIN_PLL1 アナログ電源	1.71	1.8	1.89	V	
VDDA_1P8_SERDES0	SERDES0 1.8V アナログ電源	1.71	1.8	1.89	V	
VDDA_1P8_USB0	USB0 1.8V アナログ電源	1.71	1.8	1.89	V	
VDDA_TEMP0	TEMP0 アナログ電源	1.71	1.8	1.89	V	
VDDA_TEMP1	TEMP1 アナログ電源	1.71	1.8	1.89	V	
VPP	eFuse ROM プログラミング電源	(4)を参照	(4)を参照	(4)を参照	V	
VMON_1P8_MCU	1.8V MCU 電源用電圧モニタ	1.71	1.8	1.89	V	
VMON_1P8_SOC	1.8V SoC 電源用電圧モニタ	1.71	1.8	1.89	V	
VDDA_3P3_USB0	USB0 3.3V アナログ電源	3.135	3.3	3.465	V	
VDDA_3P3_SDIO	SDIO 3.3V アナログ電源	3.135	3.3	3.465	V	
VMON_3P3_MCU	3.3V MCU 電源用電圧モニタ	3.135	3.3	3.465	V	
VMON_3P3_SOC	3.3V SoC 電源用電圧モニタ	3.135	3.3	3.465	V	
VMON_VSYS	電圧モニタピン	0 (5)を参照		1	V	
USB0_VBUS	USB レベル シフト VBUS 入力	0 (6)を参照		3.465	V	
USB0_ID	RID 検出用の USB0 アナログ I/O		(7)を参照		V	
VDDSHV_MCU	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV0	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV1	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV2	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明	最小値 <sup>(1)</sup>	公称値	最大値 <sup>(1)</sup>	単位	
VDDSHV3	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV4	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV5	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
T <sub>J</sub>	動作ジャンクション温度範囲	125°C産業用および車載用	-40		125	°C
		産業用拡張	-40		105	

- (1) デバイス ボールの電圧は、通常のデバイス動作中、常に最小電圧を下回ったり、最大電圧を上回ったりしないようにしてください。
- (2) MMC0 を使用する場合、VDD\_MMC0 と VDD\_DLL\_MMC0 は同じ 0.85V 電源に接続する必要があります。MMC0 を使用しない場合は、VDD\_CORE と同じ電源に接続する必要があります。MMC0 を使用しない場合、VDD\_MMC0 と VDD\_DLL\_MMC0 は公称電圧 0.75 または 0.85 で動作させることができます。
- (3) VDDS\_DDR と VDDS\_DDR\_C は、同じ電源から給電するものとします。
- (4) eFuse の使用に基づく VPP 電源電圧については、「[OTP eFuse プログラミングの推奨動作条件](#)」表を参照してください。
- (5) VMON\_VSYS ピンは、システム電源の監視に使用できます。詳細については、「[システム電源監視設計ガイドライン](#)」[セクション 8.2.4](#) を参照してください。
- (6) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「[USB 設計ガイドライン](#)」[セクション 8.2.3](#) を参照してください。
- (7) USB0\_ID ピンは、USB0 PHY のアナログ回路に接続されています。このアナログ回路は、抵抗を経由して VSS に接続されていれば、電圧測定時に既知の電流を供給し、抵抗値 (RID) を決定します。このピンは、USB ホスト動作の場合は VSS に接続し、USB デバイス動作の場合は未接続とする必要があります。そして、外部電圧源には絶対に接続しないでください。

## 6.5 動作性能ポイント

このセクションでは、デバイスの動作条件について説明します。また、プロセッサ クロックとデバイス コア クロックの各動作性能の特長 (OPP) についても説明します。

[表 6-1](#) に、デバイスの速度グレードごとにサポートされる最大周波数を示します。

**表 6-1. 速度グレードの最大周波数**

デバイス	最大周波数 (MHz)								
	速度 グレード	A53SS	R5FSS	M4FSS	CBASS0	ICSSG	DMSC-L	DDR4 <sup>(1)</sup>	LPDDR4 <sup>(1)</sup>
AM64x	S	1000	800	400	250	333	250	800 (DDR-1600)	800 (LPDDR-1600)
AM64x	K	800	400	400	250	333	250	800 (DDR-1600)	800 (LPDDR-1600)

- (1) 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『[AM64x/AM234x DDR 基板の設計およびレイアウトのガイドライン](#)』を参照してください。

## 6.6 消費電力の概略

デバイスの消費電力の詳細については、「[AM64x/AM234x 電力推定ツール](#)」アプリケーション ノートを参照してください。

## 6.7 電気的特性

### 注

セクション 6.7.1～セクション 6.7.10 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

### 6.7.1 I2C オープン ドレインおよびフェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>1.8V モード</b>						
V <sub>IL</sub>	入力 Low 電圧				0.3 × VDD <sup>(1)</sup>	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.3 × VDD <sup>(1)</sup>	V
V <sub>IH</sub>	入力 High 電圧		0.7 × VDD <sup>(1)</sup>		1.98 <sup>(2)</sup>	V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		0.7 × VDD <sup>(1)</sup>			V
V <sub>HYS</sub>	入力ヒステリシス電圧		0.1 × VDD <sup>(1)</sup>			mV
I <sub>IN</sub> <sup>(3)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8V			10	μA
		V <sub>I</sub> = 0V			-10	μA
V <sub>OL</sub>	出力 LOW 電圧				0.2 × VDD <sup>(1)</sup>	V
I <sub>OL</sub> <sup>(4)</sup>	LOW レベル出力電流	V <sub>OL(MAX)</sub>	10			mA
SR <sub>I</sub> <sup>(6)</sup>	入力スルーレート		18f <sup>(5)</sup> または 1.8E+6			V/s
<b>3.3V モード<sup>(7)</sup></b>						
V <sub>IL</sub>	入力 Low 電圧				0.3 × VDD <sup>(1)</sup>	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.25 × VDD <sup>(1)</sup>	V
V <sub>IH</sub>	入力 High 電圧		0.7 × VDD <sup>(1)</sup>		3.63 <sup>(2)</sup>	V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		0.7 × VDD <sup>(1)</sup>			V
V <sub>HYS</sub>	入力ヒステリシス電圧		0.05 × VDD <sup>(1)</sup>			mV
I <sub>IN</sub> <sup>(3)</sup>	入力リーク電流。	V <sub>I</sub> = 3.3V			10	μA
		V <sub>I</sub> = 0V			-10	μA
V <sub>OL</sub>	出力 LOW 電圧				0.4	V
I <sub>OL</sub> <sup>(4)</sup>	LOW レベル出力電流	V <sub>OL(MAX)</sub>	10			mA
SR <sub>I</sub> <sup>(6)</sup>	入力スルーレート		33f <sup>(5)</sup> または 3.3E+6		8E+7	V/s

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、ピン属性 表の「電源」の欄を参照してください。

(2) この値は、その IO の絶対最大定格値も定義します。

(3) このパラメータは、入力、非駆動出力、または入力と非駆動出力の両方として端子が動作している際のリーク電流を規定します。

(4) I<sub>OL</sub> パラメータは、指定された V<sub>OL</sub> 値をデバイスが維持できる最小 Low レベル出力電流を規定します。このパラメータで規定される値は、接続された部品の V<sub>OL</sub> 仕様値を維持する必要があるシステム実装が利用可能な最大電流と見なす必要があります。

(5) f = 入力信号のトグル周波数 (Hz)。

(6) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

(7) IO を 3.3V モードで動作させる場合、I2C ハイスピード モードはサポートされません。

### 6.7.2 フェイルセーフ リセット (FS RESET) の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>IL</sub>	入力 Low 電圧				0.3 × VDD <sub>OSC</sub>	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.3 × VDD <sub>OSC</sub>	V
V <sub>IH</sub>	入力 High 電圧		0.7 × VDD <sub>OSC</sub>			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		0.7 × VDD <sub>OSC</sub>			V
V <sub>HYS</sub>	入力ヒステリシス電圧		200			mV
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8V			10	μA
		V <sub>I</sub> = 0V			-10	μA
SR <sub>I</sub> <sup>(3)</sup>	入力スルーレート		18f <sup>(2)</sup> または 1.8E+6			V/s

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

(2) f = 入力信号のトグル周波数 (Hz)。

(3) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.7.3 高周波発振器 (HFOSC) の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>IL</sub>	入力 Low 電圧				0.35 × VDD <sub>OSC</sub>	V
V <sub>IH</sub>	入力 High 電圧		0.65 × VDD <sub>OSC</sub>			V
V <sub>HYS</sub>	入力ヒステリシス電圧			49		mV
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8V			10	μA
		V <sub>I</sub> = 0V			-10	μA

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

### 6.7.4 eMMCPHY の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>IL</sub>	入力 Low 電圧				0.35 × VDD5_MMC0	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.20	V
V <sub>IH</sub>	入力 High 電圧		0.65 × VDD5_MMC0			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		1.4			V
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8 V			10	μA
		V <sub>I</sub> = 0 V			-10	μA
R <sub>PU</sub>	プルアップ抵抗		15	20	25	kΩ
R <sub>PD</sub>	プルダウン抵抗		15	20	25	kΩ
V <sub>OL</sub>	出力 LOW 電圧	I <sub>OL</sub> = 2mA			0.30	V
V <sub>OH</sub>	出力 HIGH 電圧	I <sub>OH</sub> = -2mA	VDD5_MMC0 ~0.30			V
SR <sub>I</sub>	入力スルーレート		5E+8			V/s

(1) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。

### 6.7.5 SDIO の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>1.8V モード</b>						
V <sub>IL</sub>	入力 Low 電圧				0.58	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.58	V
V <sub>IH</sub>	入力 High 電圧		1.27			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		1.7			V
V <sub>HYS</sub>	入力ヒステリシス電圧		150			mV
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8V			10	μA
		V <sub>I</sub> = 0V			-10	μA
R <sub>PU</sub>	プルアップ抵抗		40	50	60	kΩ
R <sub>PD</sub>	プルダウン抵抗		40	50	60	kΩ
V <sub>OL</sub>	出力 LOW 電圧				0.45	V
V <sub>OH</sub>	出力 HIGH 電圧		VDD <sup>(2)</sup> - 0.45			V
I <sub>OL</sub> <sup>(3)</sup>	LOW レベル出力電流	V <sub>OL(MAX)</sub>	4			mA
I <sub>OH</sub> <sup>(3)</sup>	High レベル出力電流	V <sub>OH(MIN)</sub>	4			mA
SR <sub>I</sub> <sup>(5)</sup>	入力スループレート		18f <sup>(4)</sup> または 1.8E+6			V/s
<b>3.3V モード</b>						
V <sub>IL</sub>	入力 Low 電圧				0.25 × VDD <sup>(2)</sup>	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.15 × VDD <sup>(2)</sup>	V
V <sub>IH</sub>	入力 High 電圧		0.625 × VDD <sup>(2)</sup>			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		0.625 × VDD <sup>(2)</sup>			V
V <sub>HYS</sub>	入力ヒステリシス電圧		150			mV
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 3.3V			10	μA
		V <sub>I</sub> = 0V			-10	μA
R <sub>PU</sub>	プルアップ抵抗		40	50	60	kΩ
R <sub>PD</sub>	プルダウン抵抗		40	50	60	kΩ
V <sub>OL</sub>	出力 LOW 電圧				0.125 × VDD <sup>(2)</sup>	V
V <sub>OH</sub>	出力 HIGH 電圧		0.75 × VDD <sup>(2)</sup>			V
I <sub>OL</sub> <sup>(3)</sup>	LOW レベル出力電流	V <sub>OL(MAX)</sub>	6			mA
I <sub>OH</sub> <sup>(3)</sup>	High レベル出力電流	V <sub>OH(MIN)</sub>	10			mA
SR <sub>I</sub> <sup>(5)</sup>	入力スループレート		33f <sup>(4)</sup> または 3.3E+6			V/s

- (1) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (2) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (3) I<sub>OL</sub> および I<sub>OH</sub> パラメータは、デバイスが指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.7.6 LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>1.8V モード</b>						
$V_{IL}$	入力 Low 電圧			$0.35 \times V_{DD}^{(1)}$		V
$V_{ILSS}$	入力 Low 電圧 (定常状態)			$0.3 \times V_{DD}^{(1)}$		V
$V_{IH}$	入力 High 電圧		$0.65 \times V_{DD}^{(1)}$			V
$V_{IHSS}$	入力 High 電圧 (定常状態)		$0.85 \times V_{DD}^{(1)}$			V
$V_{HYS}$	入力ヒステリシス電圧		150			mV
$I_{IN}^{(2)}$	入力リーク電流。	$V_I = 1.8\text{ V}$			10	$\mu\text{A}$
		$V_I = 0\text{ V}$			-10	$\mu\text{A}$
$R_{PU}$	プルアップ抵抗		15	22	30	k $\Omega$
$R_{PD}$	プルダウン抵抗		15	22	30	k $\Omega$
$V_{OL}$	出力 LOW 電圧				0.45	V
$V_{OH}$	出力 HIGH 電圧		$V_{DD}^{(1)} - 0.45$			V
$I_{OL}^{(3)}$	LOW レベル出力電流	$V_{OL(MAX)}$	3			mA
$I_{OH}^{(3)}$	High レベル出力電流	$V_{OH(MIN)}$	3			mA
$SR_I^{(5)}$	入力スルーレート		$18f^{(4)}$ または $1.8E+6$			V/s
<b>3.3V モード</b>						
$V_{IL}$	入力 Low 電圧				0.8	V
$V_{ILSS}$	入力 Low 電圧 (定常状態)				0.6	V
$V_{IH}$	入力 High 電圧		2.0			V
$V_{IHSS}$	入力 High 電圧 (定常状態)		2.0			V
$V_{HYS}$	入力ヒステリシス電圧		150			mV
$I_{IN}^{(2)}$	入力リーク電流。	$V_I = 3.3\text{ V}$			10	$\mu\text{A}$
		$V_I = 0\text{ V}$			-10	$\mu\text{A}$
$R_{PU}$	プルアップ抵抗		15	22	30	k $\Omega$
$R_{PD}$	プルダウン抵抗		15	22	30	k $\Omega$
$V_{OL}$	出力 LOW 電圧				0.4	V
$V_{OH}$	出力 HIGH 電圧		2.4			V
$I_{OL}^{(3)}$	LOW レベル出力電流	$V_{OL(MAX)}$	5			mA
$I_{OH}^{(3)}$	High レベル出力電流	$V_{OH(MIN)}$	9			mA
$SR_I^{(5)}$	入力スルーレート		$33f^{(4)}$ または $3.3E+6$			V/s

- (1)  $V_{DD}$  は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (3)  $I_{OL}$  および  $I_{OH}$  パラメータは、デバイスが指定された  $V_{OL}$  および  $V_{OH}$  の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された  $V_{OL}$  および  $V_{OH}$  の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4)  $f$  = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.7.7 ADC12B の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{ADC0\_VREFP}$ (1)	正の基準電圧、 ADC0_VREFP		1.71		1.89	V
$V_{ADC0\_VREFN}$ (1)	負の基準電圧、 ADC0_VREFN			VSS		V
$V_{ADC\_AIN[7:0]}$	アナログ入力電圧、 ADC_AIN[7:0]、フルスケール		VSS	VDDA_ADC0		V
DNL	微分非直線性		> -1		+1	LSB
INL	積分非直線性		-2		+2	LSB
LSB <sub>GAIN-ERROR</sub>	ゲイン誤差			±10		LSB
LSB <sub>OFFSET-ERROR</sub>	オフセット誤差			±5		LSB
SNR	信号対雑音比	入力信号: -0.5dB フルスケールで 200kHz の正弦波		70		dB
THD	全高調波歪み	入力信号: -0.5dB フルスケールで 200kHz の正弦波		-75		dB
$Z_{ADC\_AIN[0:7]}$	アナログ入力インピーダンス、 ADC0_AIN[7:0]			(2)		Ω
$I_{IN}$	入力リーク電流			±10		μA
$C_{SMPL}$	サンプリング容量			5.5		pF
<b>サンプリング動特性</b>						
$F_{SMPL\_CLK}$	ADC0 SMPL_CLK 周波数			60		MHz
$t_C$	変換時間			13		ADC0 SMPL_CLK サイクル
$t_{ACQ}$	アキュジション時間		2		257	ADC0 SMPL_CLK サイクル
$T_R$	サンプリング レート	ADC0 SMPL_CLK = 60MHz			4	MSPS
<b>汎用入出力モード (3)</b>						
$V_{IL}$	入力 Low 電圧				$0.35 \times$ VDDA_ADC0	V
$V_{ILSS}$	入力 Low 電圧 (定常状態)				$0.35 \times$ VDDA_ADC0	V
$V_{IH}$	入力 High 電圧		$0.65 \times$ VDDA_ADC0			V
$V_{IHSS}$	入力 High 電圧 (定常状態)		$0.65 \times$ VDDA_ADC0			V
$V_{HYS}$	入力ヒステリシス電圧		200			mV
$I_I$ (4)	入力リーク電流	ADC0_AIN[7:0] = VDDA_ADC0			10	μA
		ADC0_AIN[7:0] = VSS			-10	μA

(1) ADC0\_REFP および ADC0\_REFN リファレンス入力、高過渡電源レールとして扱う必要があるアナログ入力です。ADC0\_REFN は、その他のすべての VSS ピンとともに PCB のグランド プレーンに直接接続する必要があり、ADC0\_REFP は、4mA 以上の電流を供給できる電源に接続する必要があります。電源の電圧許容誤差が ADC の基準電圧として許容可能な精度である場合、ADC0\_REFP を VDDA\_ADC0 と同じ電源に接続できます。高周波数デカップリング コンデンサを ADC0\_REFP および ADC0\_REFN ピンにビアで直接接続し、PCB 裏面のボール アレイ内に配置する必要があります。

- (2) アクイジション時間とアクイジション周波数をユーザーが設定できるように、ADC0\_AIN ピンは内部サンプリング コンデンサに接続されています。ADC0\_AIN ピンの入力インピーダンスはサンプリング容量の関数で、アクイジション時間とアクイジション周波数はユーザーが構成可能です。設計者は、各 ADC0\_AIN ピンのソース インピーダンスが内部サンプリング コンデンサを充電するのに必要とする時間を理解する必要があります。アクイジション時間は、内部サンプリング コンデンサが 14 ビットを超える精度でセトリングするのに十分な長さに設定する必要があります。
- (3) ADC0 は汎用入力モードで動作するように構成できます。この場合、すべての ADC0\_AIN[7:0] 入力は、デジタル入力として動作するように、ADC0\_CTRL レジスタ (gpi\_mode\_en = 1) によってグローバルに有効化されます。
- (4) このパラメータは、端子が汎用入力として動作しているときのリーク電流を定義します。

### 6.7.8 USB2PHY の電気的特性

---

#### 注

USB0 インターフェイスは、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

---

### 6.7.9 SerDes PHY の電気的特性

---

#### 注

PCIe インターフェイスは、『PCI Express® 基本仕様リビジョン 4.0』(2014 年 2 月 19 日) に規定された電気的パラメータに準拠しています。

---



---

#### 注

USB0 インスタンスは、『ユニバーサル シリアル バス 3.1 仕様リビジョン 1.0』(2013 年 7 月 26 日) で定義された USB3.1 SuperSpeed トランスミッタおよびレシーバの標準電気的パラメータに準拠しています。

---

### 6.7.10 DDR の電気的特性

---

#### 注

DDR インターフェイスは、**JESD79-4B 規格準拠**の DDR4 デバイスや、**JESD209-4B 規格準拠**の LPDDR4 デバイスと互換性があります

---

## 6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しています。

### 6.8.1 OTP eFuse プログラミングの推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作時のコアドメイン電源電圧範囲	推奨動作条件を参照			V
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし)	NC <sup>(1)</sup>			V
	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり)	0			V
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 <sup>(2)</sup>	1.71	1.8	1.89	V
I <sub>(VPP)</sub>	VPP 電流				400 mA
SR <sub>(VPP)</sub>	VPP パワーアップ スルーレート				6E+4 V/s
T <sub>J</sub>	eFuse ROM プログラミング時の動作時接合部温度範囲	0	25	85	°C

(1) NC は「接続なし」を表します。

(2) 電源電圧範囲には、DC 誤差およびピーク ツー ピーク ノイズが含まれます。

### 6.8.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、[セクション 6.11.2](#)「電源シーケンス」を参照してください)。

### 6.8.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンスに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- [セクション 6.8.1](#) に示す仕様に従って、VPP 端子に電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

### 6.8.4 ハードウェア保証への影響

お客様は、セキュリティ キーにより TI ツのデバイスに eFusing を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、eFuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、TI のデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、TI のデバイスが動作不能になることがあり、TI ツは eFuse を試行する前に、TI のデバイスがそのデバイス仕様に準拠していることを確認できなくなります。このため、お客様によって eFuse が誤って実行された TI のデバイスについて、TI は一切の責任 (保証またはその他の責任) を負いません。

## 6.9 熱抵抗特性

動作および信頼性上の懸念から、本デバイスの最大接合部温度は、「推奨動作条件」に示された  $T_J$  値以下にする必要があります。

### 注

熱パラメータは、JEDEC 規格の JESD51x に従って生成されており、設計パラメータではありません。より正確な熱表現が必要な場合は、プロセッサの熱モデルをダウンロードし、PCB デザインを熱シミュレーション環境にインポートします。熱実装ガイドラインの詳細については、「[熱ソリューションガイドランス](#)」セクションを参照してください。

### 6.9.1 熱抵抗特性

表 6-2. 熱抵抗特性

テキサス・インスツルメンツは、ワーストケースのデバイス消費電力を使ってシステムレベルの熱シミュレーションを実行することを推奨します。

番号	パラメータ	説明	ALV パッケージ °C/W <sup>(1) (2)</sup>	空気流 (m/s) <sup>(3)</sup>
T1	$R\theta_{JC}$	接合部とケースとの間	0.98	該当なし
T2	$R\theta_{JB}$	接合部と基板との間	3.87	該当なし
T3	$R\theta_{JA}$	接合部と自由空気との間	12.8	0
T4	$R\theta_{JA}$	接合部と空気流との間	9.2	1
T5			8.2	2
T6			7.6	3
T7	$\Psi_{JT}$	接合部とパッケージ上面との間	0.53	0
T8			0.55	1
T9			0.57	2
T10	$\Psi_{JB}$	接合部と基板との間	0.58	3
T11			3.74	0
T12			3.5	1
T13			3.4	2
T14			3.3	3

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [ $R\theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化することがあります。詳細については、EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) °C/W = 摂氏温度 / ワット。

(3) m/s = メートル/秒。

## 6.10 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

動作および信頼性上の懸念から、本デバイスの最大接合部温度は、「推奨動作条件」に示された  $T_J$  値以下にする必要があります。

**表 6-3. VTM ダイ温度センサの特性**

パラメータ		テスト 条件	最小値	標準値	最大値	単位
$T_{acc}$	VTM 温度センサ精度	-40°C ~ 125°C	-5		5	°C

## 6.11 タイミングおよびスイッチング特性

このセクションでは、本デバイスのタイミングパラメータとスイッチング特性について説明します。

### 注

特に記述のない限り、タイミング仕様に確実に準拠するため、出力スルーレートや駆動強度のデフォルトの PADCONFIG 設定を使用する必要があります。これらの設定を変更すると、シグナルインテグリティとタイミング性能に影響を及ぼす可能性があります。

サポートされている PADCONFIG オプションの詳細については、デバイス TRM で「パッド構成レジスタ」セクションを参照してください。

### 6.11.1 タイミングパラメータおよび情報

「タイミングおよびスイッチング特性」セクションで使用されるタイミングパラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を表 6-4 に示すように短縮しました。

表 6-4. タイミングパラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタートビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドントケアのレベル
F	立ち下がり時間
H	高
L	低
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

## 6.11.2 電源要件

このセクションでは、デバイスが適切に動作するために必要な電源要件について説明します。

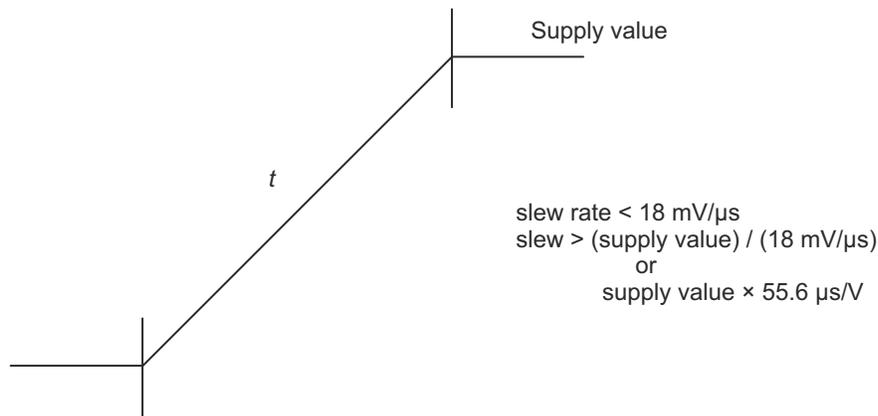
### 注

「信号説明」と「ピン接続要件」に特に記述のない限り、すべての電源ボールは、「推奨動作条件」に規定された電圧で供給する必要があります。

### 6.11.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するため、電源の最大スルーレートを  $18 \text{ mV}/\mu\text{s}$  未満に制限することを推奨します。たとえば、[図 6-2](#) に示すように、 $1.8\text{V}$  電源については、ランプ スルーが  $100\mu\text{s}$  を超えるものを使用することを推奨します。

[図 6-2](#) に、デバイスの電源スルー レートの要件を示します。



SPRT740\_ELCH\_06

図 6-2. 電源のスルーおよびスルーレート

### 6.11.2.2 電源シーケンス

このセクションでは、電源シーケンスの図と関連する注を使用して、電源シーケンス要件について説明します。各電源シーケンスの図は、デバイスの各電源レールに必要な順序を表しており、それをデバイスの各電源レールを 1 つまたは複数の波形に割り当てることによって示しています。デュアル電圧電源レールは複数の波形に関連付けられている場合があり、どの波形が該当するかは関連する注に記載されています。各波形は、関連する電源レールの遷移領域を定義し、他の電源レールの遷移領域との順序関係を示しています。電源シーケンスの図に関連する注に、これらの要件の詳細が記載されています。パワーアップ要件の詳細については「パワーアップ シーケンス」セクション、パワーダウン要件の詳細については「パワーダウン シーケンス」セクションを参照してください。

電源シーケンスの図を簡素化するため、2 種類の電源遷移領域が使用されています。図 6-3 および図 6-4 の凡例と説明に、各遷移領域が何を表しているかが明記されています。

図 6-3 は、複数の電源または 1 つの電源から給電される複数の電源レールの遷移領域を定義しています。遷移領域内に示されている遷移は、この波形に関連する電源レールに給電するために複数の電源が使用されている使用事例を表しています。これらの電源には相対的なシーケンス要件はないため、領域内で異なる時間に立ち上げることが可能です。

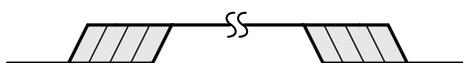


図 6-3. 複数の電源遷移の凡例

図 6-4 は、1 つの共通電源から給電する必要がある 1 つ以上の電源レールの遷移領域を定義しています。遷移領域内で 1 つの立ち上がりを表すため、領域内に遷移は示されていません。

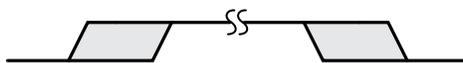


図 6-4. 1 つの共通電源遷移の凡例

### 6.11.2.2.1 パワーアップシーケンシング

表 6-5 および図 6-5 に、本デバイスのパワーダウン シーケンスを示します。

#### 注

「推奨動作条件」に定義された最小値を電源レールが下回ったときは必ず、新たにパワーアップ シーケンスを開始する前に、すべての電源レールをオフにし、300mV を下回るまで減衰させる必要があります。

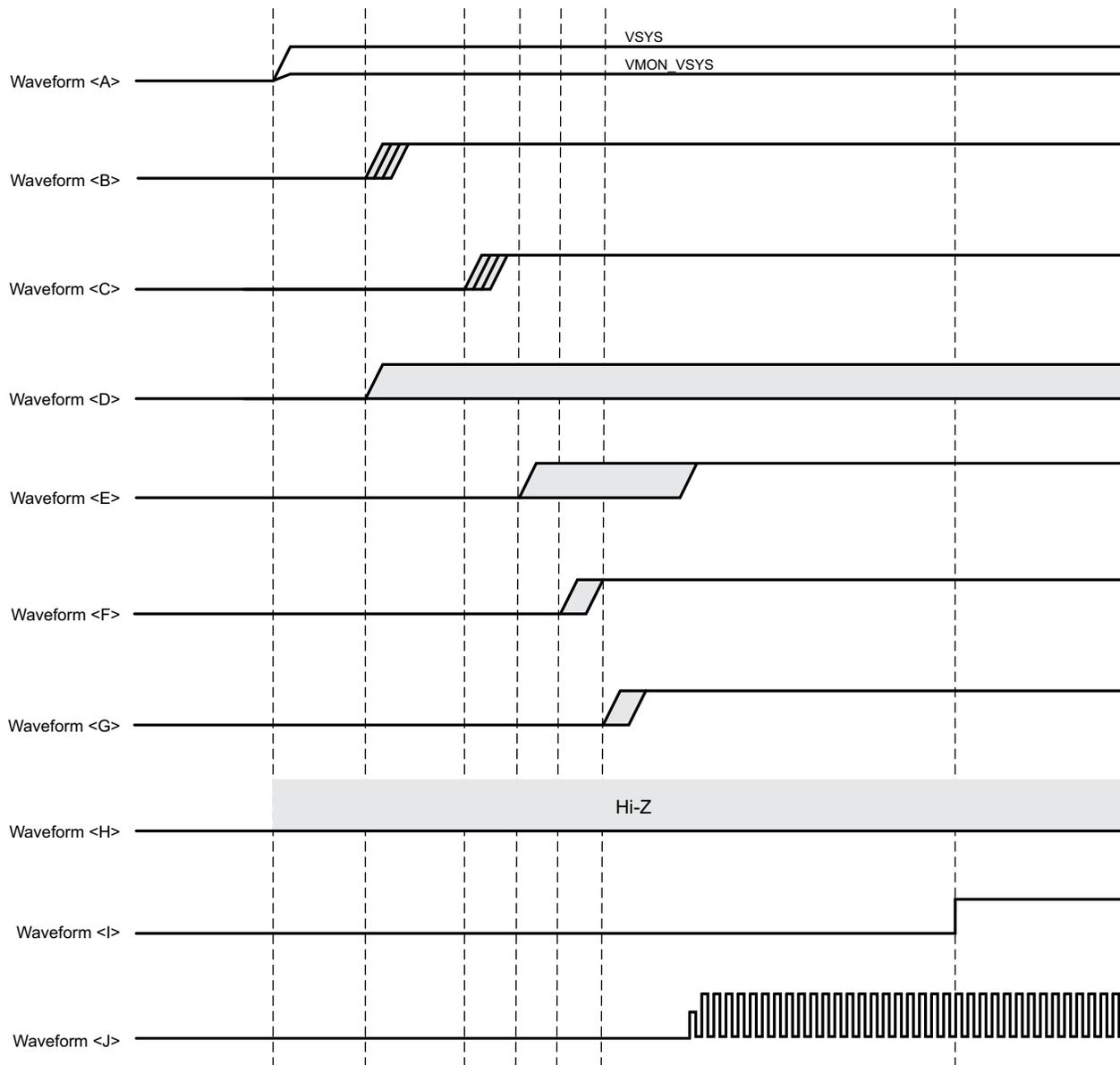
表 6-5. パワーアップ シーケンス - 電源 / 信号の割り当て

図 6-5 を参照

波形	電源 / 信号名
A	VSYS <sup>(1)</sup> 、VMON_VSYS <sup>(2)</sup>
B	VDDSHV_MCU <sup>(3)</sup> 、VDDSHV0 <sup>(3)</sup> 、VDDSHV1 <sup>(3)</sup> 、VDDSHV2 <sup>(3)</sup> 、VDDSHV3 <sup>(3)</sup> 、VDDSHV4 <sup>(3)</sup> 、VDDA_3P3_USB0、VMON_3P3_SOC <sup>(4)</sup> 、VMON_3P3_MCU <sup>(4)</sup>
C	VDDSHV_MCU <sup>(5)</sup> 、VDDSHV0 <sup>(5)</sup> 、VDDSHV1 <sup>(5)</sup> 、VDDSHV2 <sup>(5)</sup> 、VDDSHV3 <sup>(5)</sup> 、VDDSHV4 <sup>(5)</sup> 、VDDA_MCU、VDDS_OSC、VDDA_ADC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_SERDES0、VDDA_1P8_USB0、VMON_1P8_SOC <sup>(6)</sup> 、VMON_1P8_MCU <sup>(6)</sup> 、VDDA_TEMP0、VDDA_TEMP1、VDDS_MMC0
D	VDDA_3P3_SDIO <sup>(7) (8)</sup> 、VDDSHV5 <sup>(7)</sup>
E	VDDS_DDR <sup>(9)</sup> 、VDDS_DDR_C <sup>(9)</sup>
F	VDD_CORE <sup>(10) (12)</sup>
G	VDD_CORE <sup>(11) (12)</sup> 、VDDA_0P85_USB0 <sup>(13)</sup> 、VDDA_0P85_SERDES0 <sup>(13)</sup> 、VDDA_0P85_SERDES0_C <sup>(13)</sup> 、VDD_MMC0 <sup>(13)</sup> 、VDDA_DLL_MMC0 <sup>(13)</sup> 、VDDR_CORE <sup>(12) (13)</sup>
H	VPP <sup>(14)</sup>
I	MCU_PORz
J	MCU_OSC0_XI、MCU_OSC0_XO

- VSYS は、システム全体に電力を供給する電源の名前を表します。この電源は、その他のすべての電源に電力を供給するパワー マネージメント デバイスに給電するあらかじめ安定化された電源である必要があります。
- VMON\_VSYS 入力、外付け抵抗分圧回路を使って VSYS を監視するために使用されます。詳細については、「システム電源監視設計ガイド ライン」セクション 8.2.4 を参照してください。
- VDDSHV\_MCU および VDDSHVx [x=0 ~ 4] はデュアル電圧 IO 電源であり、アプリケーション要件に応じて 1.8V または 3.3V で動作できます。  
VDDSHV\_MCU または VDDSHVx [x=0 ~ 4] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中に、他の 3.3V 電源でこれらをランプアップする必要があります。
- VMON\_3P3\_MCU および VMON\_3P3\_SOC 入力は、電源電圧を監視するために使います。これらの入力は、それぞれの 3.3V 電源に接続します。
- VDDSHV\_MCU および VDDSHVx [x=0 ~ 4] はデュアル電圧 IO 電源であり、アプリケーション要件に応じて 1.8V または 3.3V で動作できます。  
VDDSHV\_MCU または VDDSHVx [x=0 ~ 4] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中に、他の 1.8V 電源でこれらをランプアップする必要があります。
- VMON\_1P8\_MCU および VMON\_1P8\_SOC 入力は、電源電圧を監視するために使います。これらの入力は、それぞれの 1.8V 電源に接続します。
- VDDA\_3P3\_SDIO は、その他の電源レールに依存せずに、パワーアップ、パワーダウンをサポートするように設計されています。VDDSHV5 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、動的電圧変化をサポートするように設計されたデュアル電圧 IO 電源です。この機能は、UHS-I SD カードをサポートするために必要です。
- VDDA\_3P3\_SDIO は、内部 SDIO\_LDO の 3.3V 電源レールです。この電源レールには、MMC1 に接続された UHS-I SD カードに電力を供給する同じ 3.3V 電源から電力を供給する必要があります。これにより、SD カードの電源がオフになって SD カードをリセットするときに、MMC1 IO と SD カード IO は同時にパワーアップとパワーダウンを行うことができます。この使用事例では、SDIO\_LDO 出力 (CAP\_VDDSHV\_MMC1) を使用して VDDSHV5 IO 電源レールに電力を供給し、VDDA\_3P3\_SDIO 電源レールと同様にランプアップおよびランプダウンします。
- VDDS\_DDR と VDDS\_DDR\_C は、電圧が一緒に上昇するように、同じ電源から給電する必要があります。
- VDD\_CORE は、0.75V または 0.85V で動作できます。VDD\_CORE が 0.75V で動作している場合、VDDA\_0P85\_USB0、VDDA\_0P85\_SERDES0、VDDA\_0P85\_SERDES0\_C、VDD\_MMC0、VDDA\_DLL\_MMC0、VDDR\_CORE に電力を供給するために使用される 0.85V の電源よりも前に、電圧をランプアップする必要があります。
- VDD\_CORE は、0.75V または 0.85V で動作できます。VDD\_CORE が 0.85V で動作している場合、VDDA\_0P85\_USB0、VDDA\_0P85\_SERDES0、VDDA\_0P85\_SERDES0\_C、VDD\_MMC0、VDDA\_DLL\_MMC0、VDDR\_CORE に電力を供給するために使用されるのと同じ 0.85V の電源に接続する必要があります。

- (12) パワーアップ時またはパワーダウン時に、VDDR\_CORE に印加される電位が VDD\_CORE に印加される電位に 0.18V を加えた電位を超えないようにしてください。これを満たすには、VDD\_CORE が 0.75V で動作している場合、VDD\_CORE の電圧を VDDR\_CORE よりも先に上昇させ、VDDR\_CORE よりも後に下降させる必要があります。VDD\_CORE には、VDDR\_CORE に定義されたランプ要件以外のランプ要件はありません。
- VDD\_CORE が 0.85V で動作している場合、VDD\_CORE と VDDR\_CORE は、電圧と一緒に上昇するように、同じ電源から給電する必要があります。
- (13) VDDA\_0P85\_USB0, VDDA\_0P85\_SERDES0, VDDA\_0P85\_SERDES0\_C, VDD\_MMC0, VDDA\_DLL\_MMC0, VDDR\_CORE には、同じ 0.85V の電源から給電する必要があります。
- (14) VPP は 1.8V eFuse プログラミング電源であり、パワーアップ / ダウン シーケンス中および通常のデバイス動作中は、フローティング (HiZ) のままにするか、グランドに接続する必要があります。この電源には、eFuse のプログラミング中にのみ電力を供給します。



AM64x\_ELCH\_01

図 6-5. パワーアップ シーケンス

### 6.11.2.2.2 パワーダウン シーケンス

表 6-6 および図 6-6 に、このデバイスのパワーダウン シーケンスを示します。

#### 注

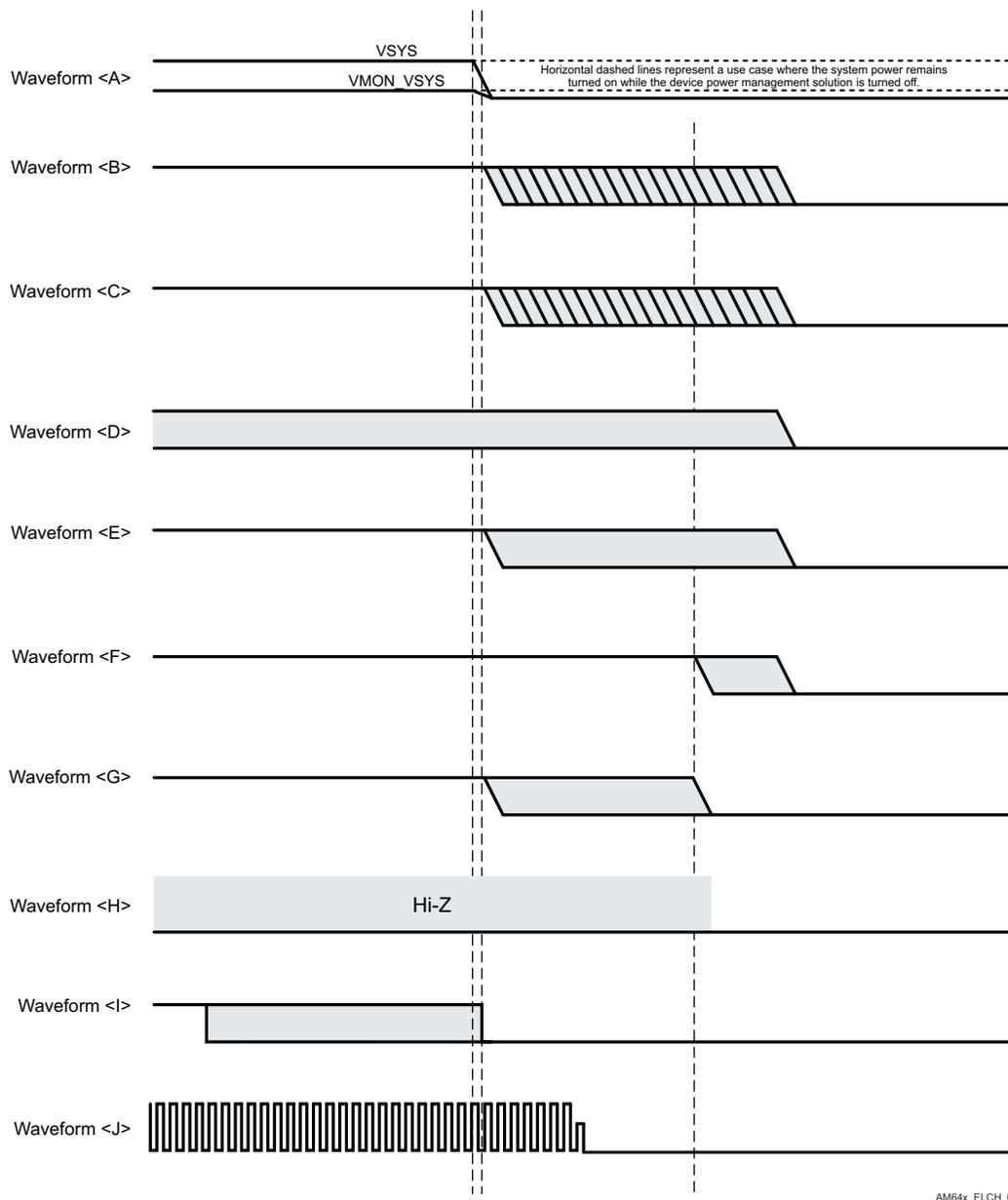
「推奨動作条件」に定義された最小値を電源レールが下回ったときは必ず、新たにパワーアップ シーケンスを開始する前に、すべての電源レールをオフにし、300mV を下回るまで減衰させる必要があります。

表 6-6. パワーダウン シーケンス - 電源 / 信号の割り当て

図 6-6 を参照

波形	電源 / 信号名
A	VSYS、VMON_VSYS
B	VDDSHV_MCU <sup>(1)</sup> 、VDDSHV0 <sup>(1)</sup> 、VDDSHV1 <sup>(1)</sup> 、VDDSHV2 <sup>(1)</sup> 、VDDSHV3 <sup>(1)</sup> 、VDDSHV4 <sup>(1)</sup> 、VDDA_3P3_USB0、VMON_3P3_SOC、VMON_3P3_MCU
C	VDDSHV_MCU <sup>(2)</sup> 、VDDSHV0 <sup>(2)</sup> 、VDDSHV1 <sup>(2)</sup> 、VDDSHV2 <sup>(2)</sup> 、VDDSHV3 <sup>(2)</sup> 、VDDSHV4 <sup>(2)</sup> 、VDDA_MCU、VDDS_OSC、VDDA_ADC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_SERDES0、VDDA_1P8_USB0、VMON_1P8_SOC、VMON_1P8_MCU、VDDA_TEMP0、VDDA_TEMP1、VDDS_MMC0
D	VDDA_3P3_SDIO <sup>(3) (4)</sup> 、VDDSHV5 <sup>(3)</sup>
E	VDDS_DDR、VDDS_DDR_C
F	VDD_CORE <sup>(5) (7)</sup>
G	VDD_CORE <sup>(6) (7)</sup> 、VDDA_0P85_USB0、VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDD_MMC0、VDDA_DLL_MMC0、VDDR_CORE <sup>(7)</sup>
H	VPP
I	MCU_PORz
J	MCU_OSC0_XI、MCU_OSC0_XO

- (1) 3.3V 動作時の VDDSHV\_MCU と VDDSHVx [x = 0~4]。
  - (2) 1.8V 動作時の VDDSHV\_MCU と VDDSHVx [x = 0~4]。
  - (3) VDDA\_3P3\_SDIO は、その他の電源レールに依存せずに、パワーアップ、パワーダウンをサポートするように設計されています。VDDSHV5 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、動的電圧変化をサポートするように設計されたデュアル電圧 IO 電源です。この機能は、UHS-I SD カードをサポートするために必要です。
  - (4) VDDA\_3P3\_SDIO は、内部 SDIO\_LDO の 3.3V 電源レールです。この電源レールには、MMC1 に接続された UHS-I SD カードに電力を供給する同じ 3.3V 電源から電力を供給する必要があります。これにより、SD カードの電源がオフになって SD カードをリセットするときに、MMC1 IO と SD カード IO は同時にパワーアップとパワーダウンを行うことができます。この使用事例では、SDIO\_LDO 出力 (CAP\_VDDSHV\_MMC1) を使用して VDDSHV5 IO 電源レールに電力を供給し、VDDA\_3P3\_SDIO 電源レールと同様にランプアップおよびランプダウンします。
  - (5) 0.75V で動作している場合の VDD\_CORE。
  - (6) 0.85V で動作している場合の VDD\_CORE。
  - (7) パワーアップ時またはパワーダウン時に、VDDR\_CORE に印加される電位が VDD\_CORE に印加される電位に 0.18V を加えた電位を超えないようにしてください。これを満たすには、VDD\_CORE が 0.75V で動作している場合、VDD\_CORE の電圧を VDDR\_CORE よりも先に上昇させ、VDDR\_CORE よりも後に下降させる必要があります。VDD\_CORE には、VDDR\_CORE に定義されたランプ要件以外のランプ要件はありません。
- VDD\_CORE が 0.85V で動作している場合、VDD\_CORE と VDDR\_CORE は、電圧が一緒に上昇するように、同じ電源から給電する必要があります。



AM64x\_ELCH\_02

図 6-6. パワーダウン シーケンス

### 6.11.3 システムのタイミング

サブシステム多重化信号の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 6.11.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-7. リセットのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	VDD <sup>(1)</sup> = 1.8V	0.0018	V/ns
		VDD <sup>(1)</sup> = 3.3V	0.0033	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量		30	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-8. MCU\_PORz のタイミング要件

図 6-7 を参照

番号	パラメータ	最小値	最大値	単位	
RST1	t <sub>h</sub> (SUPPLIES_VALID - MCU_PORz)	ホールド時間、パワーアップ時に電源が有効になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子回路使用の場合)		9500000	ns
RST2		ホールド時間、パワーアップ時に電源が有効になり、かつ外部クロックが安定した後、MCU_PORz アクティブ (Low) の間 (外部 LVCMOS クロック源使用の場合)		1200	ns
RST3	t <sub>w</sub> (MCU_PORzL)	パルス幅、電源投入後に MCU_PORz が Low の時間 (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合)		1200	ns

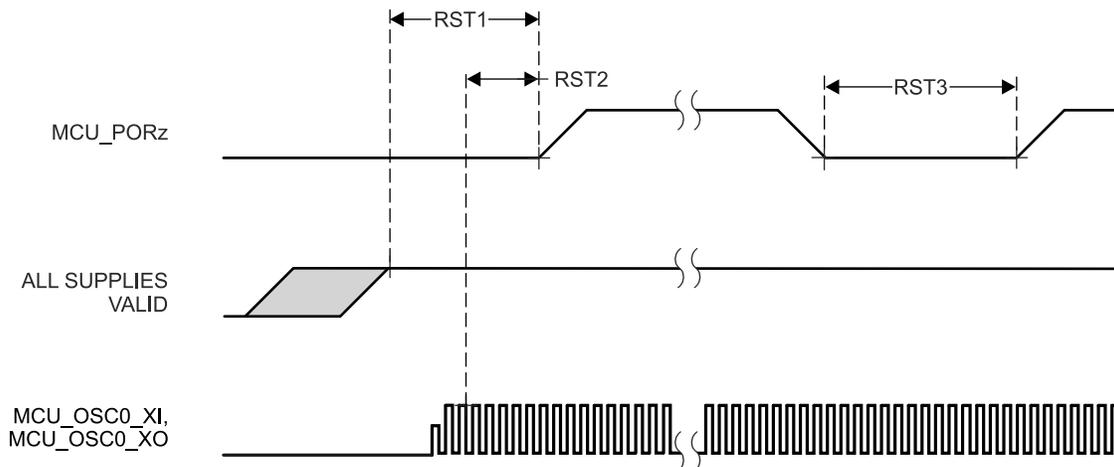


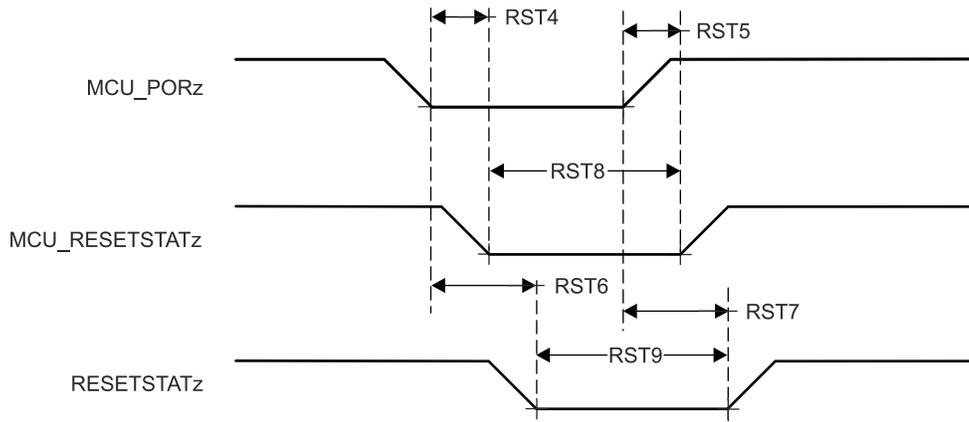
図 6-7. MCU\_PORz のタイミング要件

**表 6-9. MCU\_RESETSTATz と RESETSTATz のスイッチング特性**

図 6-8 を参照

番号	パラメータ	最小値	最大値	単位
RST4	$t_{d(MCU\_PORzL-MCU\_RESETSTATzL)}$	遅延時間、MCU_PORz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで	0	ns
RST5	$t_{d(MCU\_PORzH-MCU\_RESETSTATzH)}$	遅延時間、MCU_PORz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで	6120*S (1)	ns
RST6	$t_{d(MCU\_PORzL-RESETSTATzL)}$	遅延時間、MCU_PORz アクティブ (low) から RESETSTATz アクティブ (low) まで	0	ns
RST7	$t_{d(MCU\_PORzH-RESETSTATzH)}$	遅延時間、MCU_PORz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	9195*S (1)	ns
RST8	$t_w(MCU\_RESETSTATzL)$	パルス幅、MCU_RESETSTATz Low (SW_MCU_WARMRST)	966*S (1)	ns
RST9	$t_w(RESETSTATzL)$	パルス幅、RESETSTATz Low (SW_MCU_WARMRST, SW_MAIN_PORz, SW_MAIN_WARMRST)	4040*S	ns

(1) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。



**図 6-8. MCU\_RESETSTATz と RESETSTATz のスイッチング特性**

表 6-10. MCU\_RESETz のタイミング要件

図 6-9 を参照

番号	パラメータ	最小値	最大値	単位
RST10	$t_w(\text{MCU\_RESETz})$ <sup>(1)</sup>	1200		ns

(1) このタイミング パラメータは、すべての電源が有効になり、MCU\_PORz が指定された時間アサートされた後にのみ有効です。

表 6-11. MCU\_RESETSTATz と RESETSTATz のスイッチング特性

図 6-9 を参照

番号	パラメータ	最小値	最大値	単位
RST11	$t_d(\text{MCU\_RESETzL-MCU\_RESETSTATzL})$	0		ns
RST12	$t_d(\text{MCU\_RESETzH-MCU\_RESETSTATzH})$	966*S <sup>(1)</sup>		ns
RST13	$t_d(\text{MCU\_RESETzL-RESETSTATzL})$	960		ns
RST14	$t_d(\text{MCU\_RESETzH-RESETSTATzH})$	4040*S <sup>(1)</sup>		ns

(1) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。

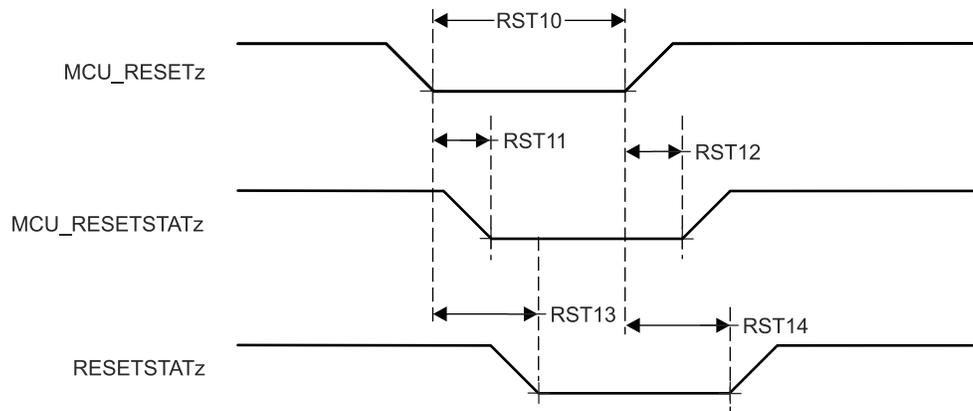


図 6-9. MCU\_RESETz、MCU\_RESETSTATz、RESETSTATz のタイミング要件とスイッチング特性

**表 6-12. RESET\_REQz のタイミング要件**

図 6-10 を参照

番号	パラメータ	最小値	最大値	単位
RST15	$t_w(\text{RESET\_REQzL})^{(1)}$	1200		ns

(1) このタイミングパラメータは、すべての電源が有効になり、MCU\_PORz が指定された時間アサートされた後にのみ有効です。

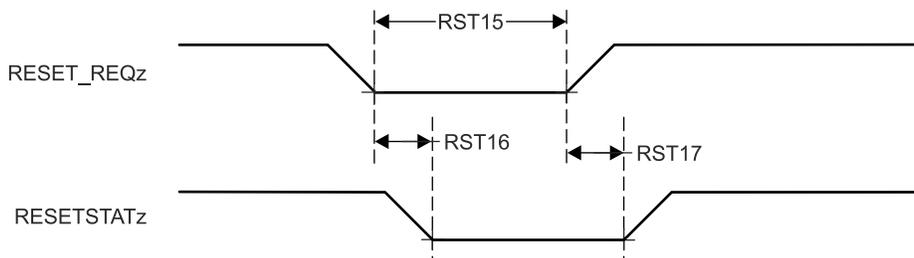
**表 6-13. RESETSTATz のスイッチング特性**

図 6-10 を参照

番号	パラメータ	最小値	最大値	単位
RST16	$t_d(\text{RESET\_REQzL-RESETSTATzL})$	$900 \cdot T^{(1)}$		ns
RST17	$t_d(\text{RESET\_REQzH-RESETSTATzH})$	$4040 \cdot S^{(2)}$		ns

(1) T = リセット分離時間 (ソフトウェアに依存)

(2) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。



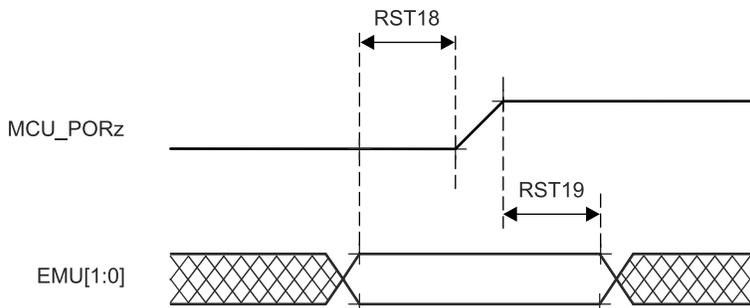
**図 6-10. RESET\_REQz と RESETSTATz のタイミング要件とスイッチング特性**

**表 6-14. EMUx のタイミング要件**

図 6-11 を参照

番号	パラメータ	最小値	最大値	単位
RST18	$t_{su}(\text{EMUx-MCU\_PORz})$	$3 \cdot S^{(1)}$		ns
RST19	$t_h(\text{MCU\_PORz - EMUx})$	10		ns

(1) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。



**図 6-11. EMUx のタイミング要件**

表 6-15. BOOTMODE のタイミング要件

図 6-12 を参照

番号	パラメータ	最小値	最大値	単位
RST23	$t_{su}(\text{BOOTMODE-PORz\_OUT})$	$3 \cdot S$ (1)		ns
RST24	$t_h(\text{PORz\_OUT - BOOTMODE})$	0		ns

(1) S = MCU\_OSC0\_XI/XO クロック周期 (ns)。

表 6-16. PORz\_OUT のスイッチング特性

図 6-12 を参照

番号	パラメータ	最小値	最大値	単位
RST25	$t_d(\text{MCU\_PORzL-PORz\_OUT})$	0		ns
RST26	$t_d(\text{MCU\_PORzH-PORz\_OUT})$	1840		ns
RST27	$t_w(\text{PORz\_OUTL})$	1200		ns

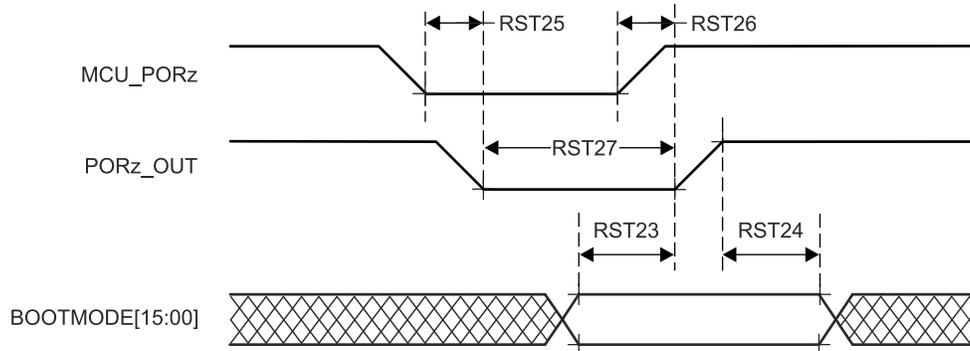


図 6-12. BOOTMODE のタイミング要件と PORz\_OUT のスイッチング特性

### 6.11.3.2 安全信号タイミング

このセクションの表と図では、MCU\_SAFETY\_ERRORn のタイミング条件とスイッチング特性を定義します。

**表 6-17. MCU\_SAFETY\_ERRORn のタイミング条件**

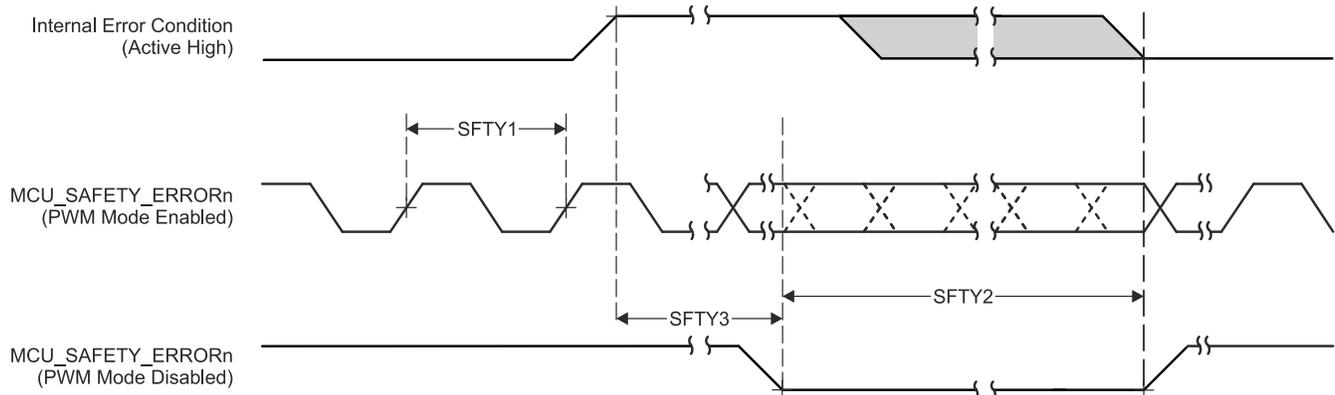
パラメータ		最小値	最大値	単位
出力条件				
C <sub>L</sub>	出力負荷容量		30	pF

**表 6-18. MCU\_SAFETY\_ERRORn のスイッチング特性**

図 6-13 参照

番号	パラメータ	最小値	最大値	単位
SFTY1	t <sub>c</sub> (MCU_SAFETY_ERRORn) 最小サイクル時間、MCU_SAFETY_ERRORn (PWM モード有効)	(P*H)+(P*L) <sup>(1) (3) (4)</sup>		ns
SFTY2	t <sub>w</sub> (MCU_SAFETY_ERRORn) 最小パルス幅、MCU_SAFETY_ERRORn アクティブ (PWM モード無効) <sup>(5)</sup>	P*R <sup>(1) (2)</sup>		ns
SFTY3	t <sub>d</sub> (ERROR_CONDITION- MCU_SAFETY_ERRORnL) 遅延時間、エラー状態から MCU_SAFETY_ERRORn アクティブまで <sup>(5)</sup>	50*P <sup>(1)</sup>		ns

- (1) P = ESM 機能クロック
- (2) R = エラー ピン カウンタ プリロード レジスタ カウント値
- (3) H = エラー ピン PWM High プリロード レジスタ カウント値
- (4) L = エラー ピン PWM Low プリロード レジスタ カウント値
- (5) PWM モードが有効化されている場合、SFTY3 の後、MCU\_SAFETY\_ERRORn はトグルを停止し、エラーがクリアされるまでその値 (High と Low のどちらか) を維持します。PWM モードが無効化されている場合、MCU\_SAFETY\_ERRORn はアクティブ Low です。



**図 6-13. MCU\_SAFETY\_ERRORn のタイミング要件とスイッチング特性**

### 6.11.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-19. クロックのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.5		V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	10ns ≤ t <sub>c</sub> < 20ns		10 pF
		20ns ≤ t <sub>c</sub>		30 pF

表 6-20. クロックのタイミング要件

図 6-14 参照

番号			最小値	最大値	単位
CLK1	t <sub>c</sub> (EXT_REFCLK1)	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	t <sub>w</sub> (EXT_REFCLK1H)	パルス幅、EXT_REFCLK1 High	E*0.45 <sup>(1)</sup>	E*0.55 <sup>(1)</sup>	ns
CLK3	t <sub>w</sub> (EXT_REFCLK1L)	パルス幅、EXT_REFCLK1 Low	E*0.45 <sup>(1)</sup>	E*0.55 <sup>(1)</sup>	ns
CLK1	t <sub>c</sub> (MCU_EXT_REFCLK0)	最小サイクル時間、MCU_EXT_REFCLK0	10		ns
CLK2	t <sub>w</sub> (MCU_EXT_REFCLK0H)	パルス幅、MCU_EXT_REFCLK0 High	F*0.45 <sup>(2)</sup>	F*0.55 <sup>(2)</sup>	ns
CLK3	t <sub>w</sub> (MCU_EXT_REFCLK0L)	パルス幅、MCU_EXT_REFCLK0 Low	F*0.45 <sup>(2)</sup>	F*0.55 <sup>(2)</sup>	ns

(1) E = EXT\_REFCLK1 サイクル時間

(2) F = MCU\_EXT\_REFCLK0 サイクル時間

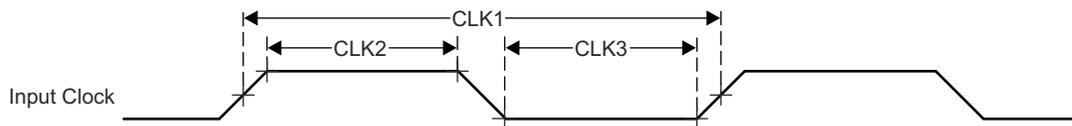


図 6-14. クロックのタイミング要件

表 6-21. クロックのスイッチング特性

図 6-15 参照

番号	パラメータ	最小値	最大値	単位	
CLK4	$t_{c(SYSCLKOUT0)}$	最小サイクル時間、SYSCLKOUT0	8	ns	
CLK5	$t_{w(SYSCLKOUT0H)}$	パルス幅、SYSCLKOUT0 High	$A*0.4^{(1)}$	$A*0.6^{(1)}$	ns
CLK6	$t_{w(SYSCLKOUT0L)}$	パルス幅、SYSCLKOUT0 Low	$A*0.4^{(1)}$	$A*0.6^{(1)}$	ns
CLK4	$t_{c(OBSCLK0)}$	最小サイクル時間、OBSCLK0	5	ns	
CLK5	$t_{w(OBSCLK0H)}$	パルス幅、OBSCLK0 High	$B*0.45^{(2)}$	$B*0.55^{(2)}$	ns
CLK6	$t_{w(OBSCLK0L)}$	パルス幅、OBSCLK0 Low	$B*0.45^{(2)}$	$B*0.55^{(2)}$	ns
CLK4	$t_{c(CLKOUT0)}$	最小サイクル時間、CLKOUT0	20	ns	
CLK5	$t_{w(CLKOUT0H)}$	パルス幅、CLKOUT0 High	$C*0.4^{(3)}$	$C*0.6^{(3)}$	ns
CLK6	$t_{w(CLKOUT0L)}$	パルス幅、CLKOUT0 Low	$C*0.4^{(3)}$	$C*0.6^{(3)}$	ns
CLK4	$t_{c(MCU\_SYSCLKOUT0)}$	最小サイクル時間、MCU_SYSCLKOUT0	10	ns	
CLK5	$t_{w(MCU\_SYSCLKOUT0H)}$	パルス幅、MCU_SYSCLKOUT0 High	$G*0.4^{(4)}$	$G*0.6^{(4)}$	ns
CLK6	$t_{w(MCU\_SYSCLKOUT0L)}$	パルス幅、MCU_SYSCLKOUT0 Low	$G*0.4^{(4)}$	$G*0.6^{(4)}$	ns
CLK4	$t_{c(MCU\_OBSCLK0)}$	最小サイクル時間、MCU_OBSCLK0	5	ns	
CLK5	$t_{w(MCU\_OBSCLK0H)}$	パルス幅、MCU_OBSCLK0 High	$H*0.45^{(5)}$	$H*0.55^{(5)}$	ns
CLK6	$t_{w(MCU\_OBSCLK0L)}$	パルス幅、MCU_OBSCLK0 Low	$H*0.45^{(5)}$	$H*0.55^{(5)}$	ns

- (1) A = SYSCLKOUT0 サイクル時間
- (2) B = OBSCLK0 サイクル時間
- (3) C = CLKOUT0 サイクル時間
- (4) G = MCU\_SYSCLKOUT0 サイクル時間
- (5) H = MCU\_OBSCLK0 サイクル時間

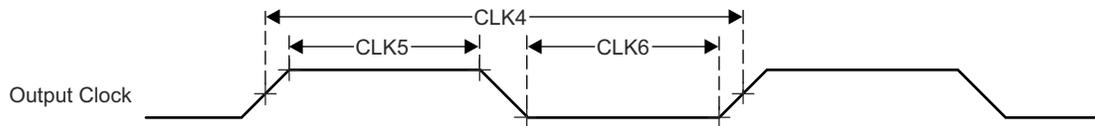


図 6-15. クロックのスイッチング特性

## 6.11.4 クロック仕様

### 6.11.4.1 入力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- MCU\_OSC0\_XI/MCU\_OSC0\_XO — 内部基準クロック MCU\_HFOSC0\_CLKOUT のデフォルトクロック源である内部高周波数発振器 (MCU\_HFOSC0) に接続された外部メイン水晶振動子インターフェイスピン。
- 汎用クロック入力
  - MCU\_EXT\_REFCLK0 — MCUドメイン用の任意の外部システムクロック入力。
  - EXT\_REFCLK1 — MAINドメイン用の任意の外部システムクロック入力。
  - SERDES0\_REFCLK0P/N — PCIe用の任意のSERDES0基準クロック入力。
- 外部CPTS基準クロック入力
  - CP\_GEMAC\_CPTS0\_RFT\_CLK — CPTS基準クロック入力。
  - CPTS\_RFT\_CLK — CPTS基準クロック入力。

図 6-16 に、外部入力クロック源と、ペリフェラルへの出力クロックを示します。

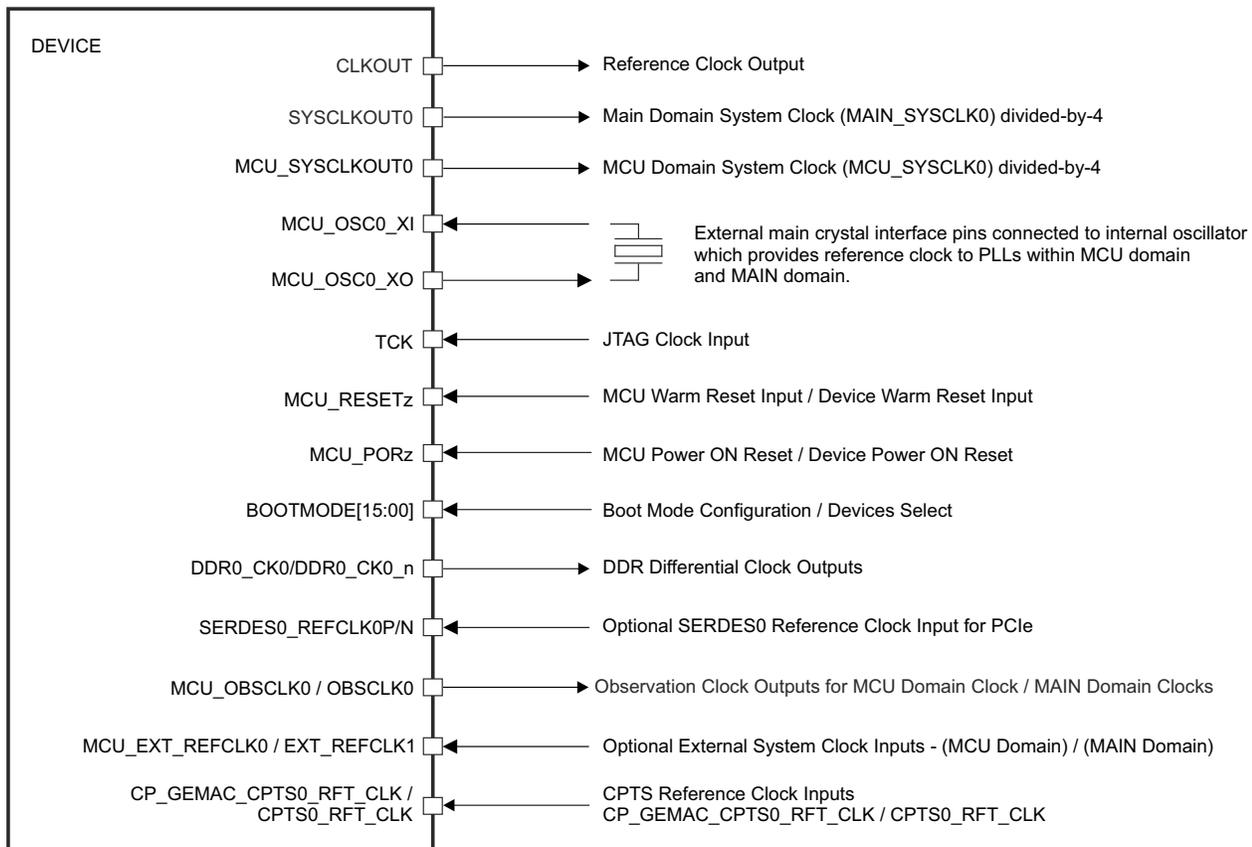
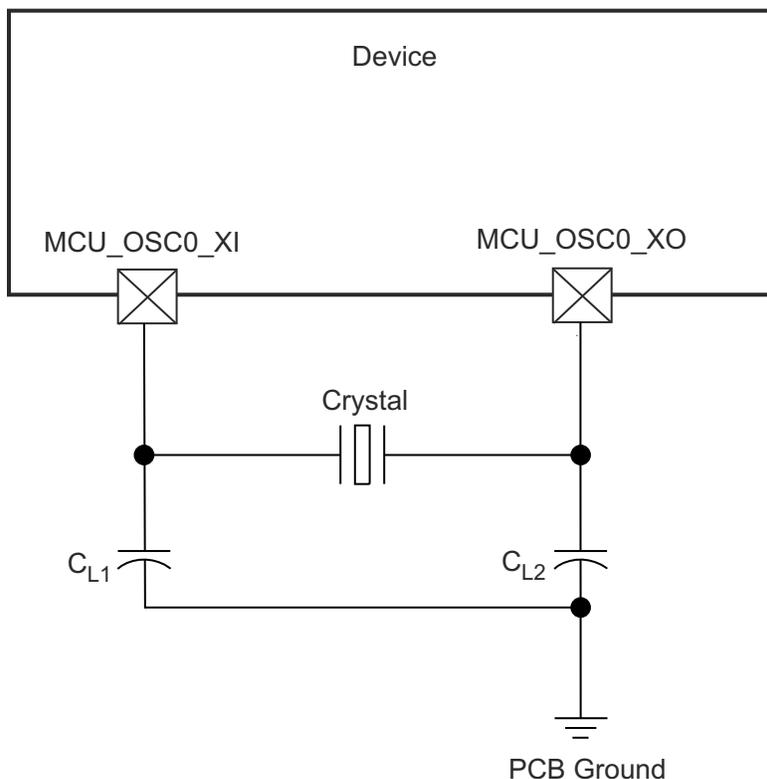


図 6-16. 入力クロック インターフェイス

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

### 6.11.4.1.1 MCU\_OSC0 内部発振器クロック ソース

図 6-17 に、水晶発振器の推奨回路を示します。振動子の回路の実装に使用されるすべてのディスクリート部品は、MCU\_OSC0\_XI および MCU\_OSC0\_XO ピンのできるだけ近くに配置する必要があります。



AM65x\_MCU\_OSC\_INT\_01

図 6-17. MCU\_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-22 に、必要な電気的制約事項を示します。

表 6-22. MCU\_OSC0 水晶振動子回路の要件

パラメータ		最小値	標準値	最大値	単位	
$F_{xtal}$	水晶振動子の並列共振周波数	25			MHz	
$F_{xtal}$	水晶振動子の周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用			±100	ppm
		派生クロックを使用するイーサネット RGMII と RMII			±50	
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ の容量	12		24	pF	
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ の容量	12		24	pF	
$C_L$	水晶振動子の負荷容量	6		12	pF	
$C_{shunt}$	水晶発振回路のシャント容量	$ESR_{xtal} = 30\Omega$	25MHz	7	pF	
		$ESR_{xtal} = 40\Omega$	25MHz	5	pF	
		$ESR_{xtal} = 50\Omega$	25MHz	5	pF	
$ESR_{xtal}$	水晶振動子の等価直列抵抗			(1)	$\Omega$	

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C<sub>shunt</sub> パラメータを参照してください。

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

表 6-23 に、発振器のスイッチング特性の詳細を示します。

表 6-23. MCU\_OSC0 のスイッチング特性 – 水晶振動子モード

パラメータ		パッケージ	最小値	標準値	最大値	単位
C <sub>XI</sub>	XI 容量	ALV			1.44	pF
C <sub>XO</sub>	XO 容量				1.52	pF
C <sub>XIXO</sub>	XI から XO への相互容量				0.01	pF
t <sub>s</sub>	起動時間			4		ms

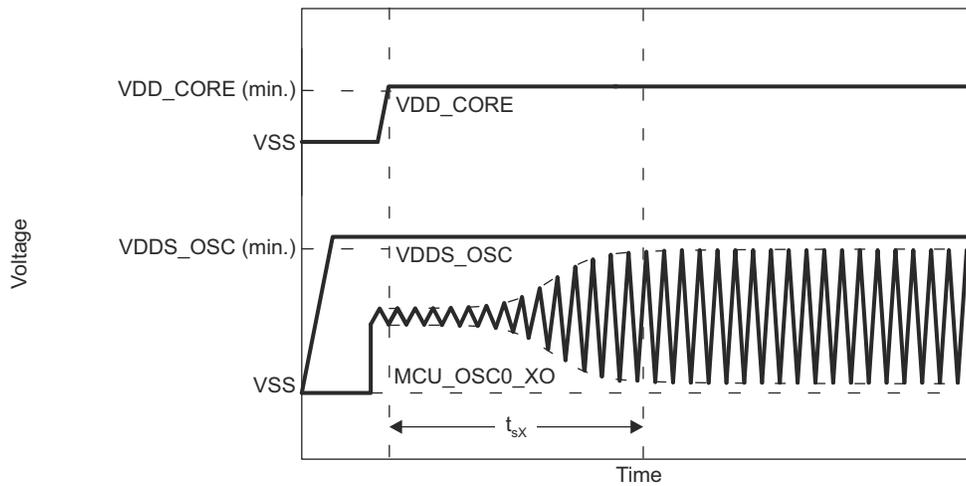


図 6-18. MCU\_OSC0 スタートアップ時間

#### 6.11.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷  $C_L$  は、ディスクリートコンデンサ  $C_{L1}$ 、 $C_{L2}$ 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を MCU\_OSC0\_XI および MCU\_OSC0\_XO に接続する PCB 信号パターンには、グラウンドへの寄生容量  $C_{PCBXI}$  および  $C_{PCBXO}$  があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。MCU\_OSC0 回路およびデバイス パッケージには、グラウンドへの寄生容量  $C_{PCBXI}$  および  $C_{PCBXO}$  があります。ここで、これらの寄生容量の値は、表 6-23 で定義されています。

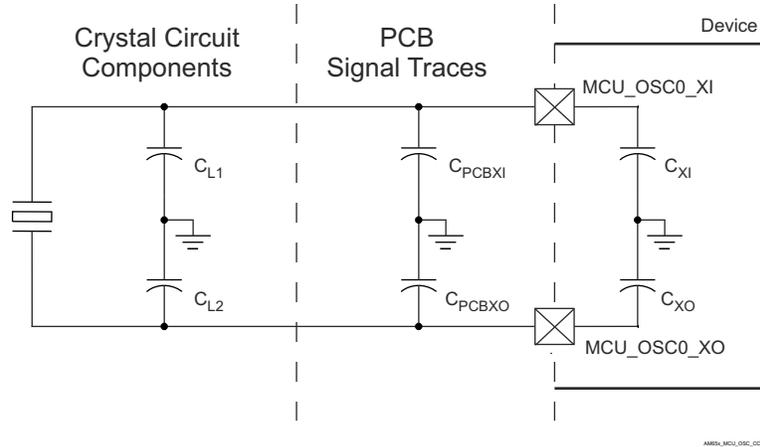


図 6-19. 負荷容量

図 6-17 の負荷コンデンサ  $C_{L1}$  および  $C_{L2}$  は、次の式が満足されるように選択する必要があります。この式の  $C_L$  は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

$C_{L1}$  と  $C_{L2}$  の値を決定するには、まず、容量性負荷の値  $C_L$  に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$  の合成値を減算すれば  $C_{L1}$  の値が得られます。また、 $C_{PCBXO} + C_{XO}$  の合成値を減算すれば、 $C_{L2}$  の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$  の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$  および  $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$  となります。

#### 6.11.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-22 に定義された MCU\_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量  $C_{shunt}$  は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を MCU\_OSC0 に接続する PCB 信号パターンには、相互寄生容量 WKUP\_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量  $C_{XIXO}$  もあります。ここで、この相互寄生容量の値は表 6-23 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターン間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

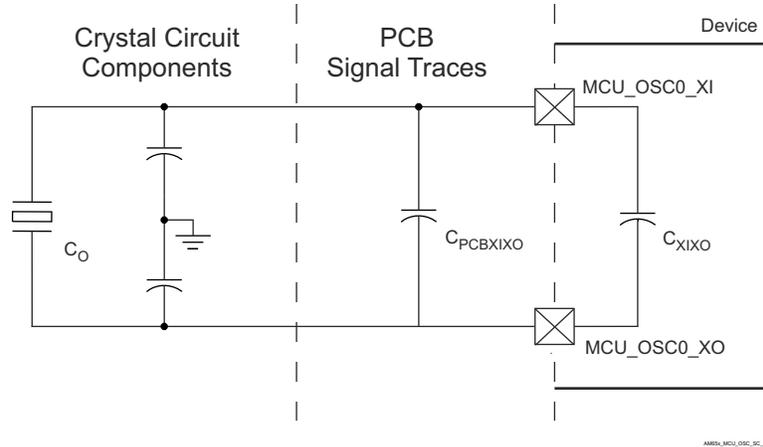


図 6-20. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の  $C_O$  は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{\text{shunt}} \geq C_O + C_{\text{PCBXIXO}} + C_{\text{XIXO}}$$

たとえば、使用する水晶振動子が  $\text{ESR} = 30\Omega$ 、 $C_{\text{PCBXIXO}} = 0.04\text{pF}$ 、 $C_{\text{XIXO}} = 0.01\text{pF}$  の  $25\text{MHz}$  であり、水晶振動子のシャント容量が  $6.95\text{pF}$  以下の場合、この式が満たされます。

#### 6.11.4.1.2 MCU\_OSC0 LVCMOS デジタル クロック ソース

図 6-21 に、MCU\_OSC0\_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

#### 注

1. 発振器が電源オンのとき、MCU\_OSC0\_XI を DC 定常状態にすることは許容されません。MCU\_OSC0\_XI は内部でコンパレータに AC 結合されており、入力に DC が印加されると未知の状態になる可能性があるため、これは許容されません。したがって、MCU\_OSC0\_XI がロジック状態間をトグルしていない場合は、アプリケーション ソフトウェアで MCU\_OSC0 の電源をオフにする必要があります。
2. LVCMOS クロック源を MCU\_OSC0\_XI に接続する PCB パターンの長さはできるだけ短くする必要があります。これにより、容量性負荷を小さくし、外部ノイズ源がクロック信号に結合する可能性を低めることができます。容量性負荷が小さいと、クロック信号の立ち上がり/立ち下がり時間が短くなり、システムにジッタが発生する可能性が低下します。
3. MCU\_OSC0\_XI 入力に供給される LVCMOS クロック信号は、単調に遷移する必要があります。このクロック源は、近くに配置された直列終端抵抗を介して、ポイント ツー ポイント接続で MCU\_OSC0\_XI に接続する必要があります。直列終端抵抗の値は、伝送ラインのインピーダンスからクロック源の出力インピーダンスを引いた値と一致している必要があります。たとえば、クロック源の出力インピーダンスが  $30\Omega$ 、PCB 信号パターンの特性インピーダンスが  $50\Omega$  の場合、直列終端抵抗の値を  $20\Omega$  とする必要があります。こうすることで、終端されていない伝送線路の遠端から戻ってくる反射を完全に吸収し、信号に非単調イベントがまったく発生しないようにできます。

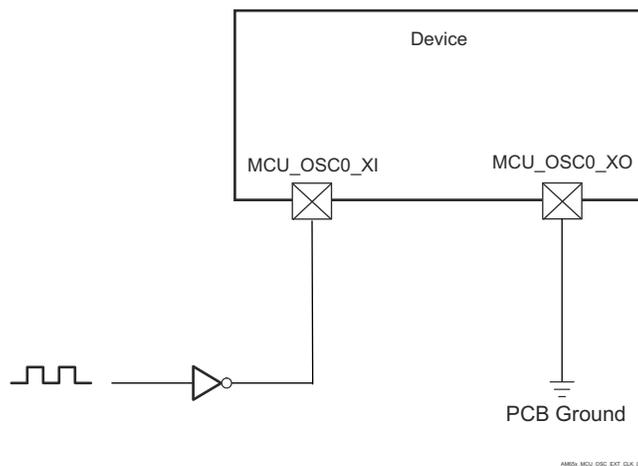


図 6-21. 1.8V LVCMOS 互換クロック入力

**表 6-24. MCU\_OSC0 LVC MOS デジタル クロック ソース要件**

パラメータ		最小値	標準値	最大値	単位
F <sub>xtal</sub>	周波数		25		MHz
	周波数安定性および許容誤差	イーサネット RGMII および RMI I は未使用		±100	ppm
		派生クロックを使用するイーサネット RGMII と RMI I		±50	
DC	デューティ サイクル	45		55	%
t <sub>R/F</sub>	立ち上がり / 立ち下がり時間 (10% - 90% 立ち上がり, 90% - 10% 立ち下がり)			4 <sup>(1)</sup>	ns
J <sub>Period(RMS)</sub>	周期ジッタ、RMS (100k サンプル)			20	ps
J <sub>Period(PK-PK)</sub>	周期ジッタ、ピーク ツー ピーク (100k サンプル)			300	ps
J <sub>Phase(RMS)</sub>	位相ジッタ、RMS (BW 100Hz~1MHz)			10 <sup>(2)</sup>	ps
PN	位相ノイズ <sup>(3)</sup>	100Hz		-92.3	dBc/Hz
		1kHz		-112.3	
		10kHz		-132.3	
		100kHz		-142.3	
		1MHz		-152.3	

- ほとんどの LVC MOS 発振器のデータシートには、PCB パターン容量と MCU\_OSC0\_XI 入力容量の和に相当する実際の負荷よりもはるかに大きい容量性負荷を接続した場合の、出力の立ち上がり / 立ち下がり時間の最大値が規定されています。この要件を満たす LVC MOS 発振器を見つけるのは難しくありません。ただし、システム設計者は、選択した LVC MOS 発振器が適切な立ち上がり / 立ち下がり時間で MCU\_OSC0\_XI 入力を駆動できることを確認する必要があります。
- ほとんどの LVC MOS 発振器のデータシートには、このデバイスで必要とされる帯域幅積分範囲よりも大きい帯域幅積分範囲を使用した RMS 位相ジッタの最大値が規定されています。より適切な値を得るには、LVC MOS 発振器のメーカーに連絡し、このパラメータのために規定された帯域幅積分範囲と同じ帯域幅積分範囲を使った RMS 位相ジッタの最大値を提供するように依頼することも場合によっては必要です。
- 位相ノイズ パラメータは、USB SuperSpeed のために SerDes PHY が使われている場合、または共通の外部クロック源を使わずに動作している PCIe のために SerDes PHY が使われている場合にのみ適用できます。

#### 6.11.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **MCU\_SYSCLKOUT0**
  - MCU\_SYSCLKOUT0 は、MCUドメインのシステム クロック (MCU\_SYSCLK0) を 4 分周したものです。このクロック出力は、テストとデバッグのみを目的としています。
- **MCU\_OBSCLK0**
  - 監視クロック出力は、テストとデバッグのみを目的としています。
- **SYSCLKOUT0**
  - SYSCLKOUT0 は、MAINドメインのシステム クロック (MAIN\_SYSCLK0) を 4 分周したものです。このクロック出力は、テストとデバッグのみを目的としています。
- **CLKOUT0**
  - CLKOUT0 は、イーサネット サブシステム クロック (MAIN\_PLL0\_HSDIV4\_CLKOUT) を 5 分周または 10 分周したものです。このクロック出力は、外部 PHY のソースとして供給されます。RMII クロック ソース (50MHz) として動作するように構成するときは、デバイスが適切に動作するように信号を RMII\_REF\_CLK ピンにも配線する必要があります。
- **OBSCLK0**
  - 監視クロック出力は、テストとデバッグのみを目的としています。
- **GPMC\_FCLK\_MUX**
  - GPMC\_FCLK\_MUX は、GPMC0 機能クロック (GPMC\_FCLK) です。このクロックは、接続されているデバイスが連続的に動作するクロックを必要とするとき、代替の GPMC インターフェイス クロックとして供給されます。

詳細については、デバイス TRM の「クロック処理」の章にある「クロック出力」セクション、および「ペリフェラル」の章にある「GPMC クロックの構成」セクションを参照してください。

#### 6.11.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

MCUドメインには 1 つの PLL があります。

- **MCU\_PLL0 (MCU PLL)**

MAINドメインには 6 つの PLL があります。

- **MAIN\_PLL0 (MAIN PLL)**
- **MAIN\_PLL1 (PER0 PLL)**
- **MAIN\_PLL2 (PER1 PLL)**
- **MAIN\_PLL8 (ARM0 PLL)**
- **MAIN\_PLL12 (DDR PLL)**
- **MAIN\_PLL14 (R5F PLL)**

---

#### 注

詳細については、以下を参照してください。

- デバイスのテクニカル リファレンス マニュアルの「デバイス構成」「クロッキング」「PLL」セクション
- デバイスのテクニカル リファレンス マニュアルの「プログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム - ギガビット (PRU\_ICSSG)」セクション

---

#### 注

入力基準クロック (MCU\_OSC0\_XI/MCU\_OSC0\_XO) は、デバイスのテクニカル リファレンス マニュアルにある「デバイス構成」の章の記載に従って規定され、ロック時間が PLL コントローラによって保証されます。

---

#### 6.11.4.4 クロックおよび制御信号の遷移に関する推奨システム上の注意事項

すべてのクロック信号とストロブ信号は、 $V_{IH}$  と  $V_{IL}$  (または  $V_{IL}$  と  $V_{IH}$ ) の間で単調に遷移する必要があります。

高速な信号遷移では、単調な遷移が発生する可能性が高くなります。遷移が低速な信号に対しては、ノイズにより容易に非単調なイベントが発生します。そのため、すべてのクロック信号と制御信号で低速な信号遷移は避けてください。これは、デバイス内でグリッチが発生する可能性が高いためです。

## 6.11.5 ペリフェラル

### 6.11.5.1 CPSW3G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 注

CPSW3G MDIO0、CPSW3G RMII1、CPSW3G RMII2、CPSW3G RGMII1 は、複数のピンに多重化できる 1 つ以上の信号を持っています。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。これらのインターフェイスの有効なピンの組み合わせ (IOSET) については、[CPSW3G IOSET](#) セクションの表を参照してください。

#### 6.11.5.1.1 CPSW3G MDIO のタイミング

表 6-25、表 6-26、表 6-27、 6-22 に、CPSW3G MDIO のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-25. CPSW3G MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.9	3.6	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	10	470	pF
PCB 接続要件				
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	0	5	ns
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		1	ns

表 6-26. CPSW3G MDIO のタイミング要件

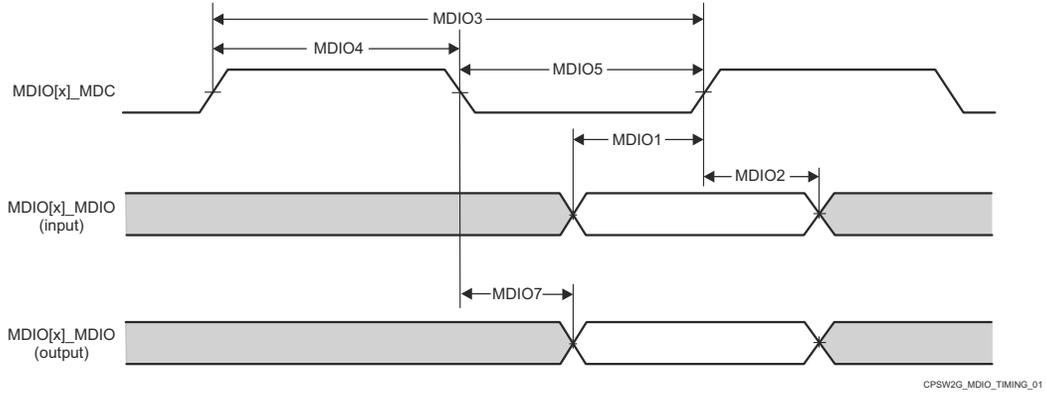
 6-22 参照

番号	パラメータ	最小値	最大値	単位
MDIO1	t <sub>su</sub> (MDIO_MDC)	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで		ns
MDIO2	t <sub>h</sub> (MDC_MDIO)	ホールド時間、MDIO[x]_MDC high から MDIO[x]_MDIO 有効の間		ns

表 6-27. CPWS3G MDIO のスイッチング特性

 6-22 を参照

番号	パラメータ	最小値	最大値	単位
MDIO3	t <sub>c</sub> (MDC)	サイクル時間、MDIO[x]_MDC		ns
MDIO4	t <sub>w</sub> (MDCH)	パルス幅、MDIO[x]_MDC high		ns
MDIO5	t <sub>w</sub> (MDCL)	パルス幅、MDIO[x]_MDC low		ns
MDIO7	t <sub>d</sub> (MDC_MDIO)	遅延時間、MDIO[x]_MDC Low から MDIO[x]_MDIO 有効まで		ns



**図 6-22. CPSW3G MDIO のタイミング要件およびスイッチング特性**

### 6.11.5.1.2 CPSW3G RMII のタイミング

表 6-28、表 6-29、図 6-23、表 6-30、図 6-24、表 6-31、図 6-25 に、CPSW3G RMII のタイミング条件、タイミング要件、スイッチング特性を示します。

**表 6-28. CPSW3G RMII のタイミング条件**

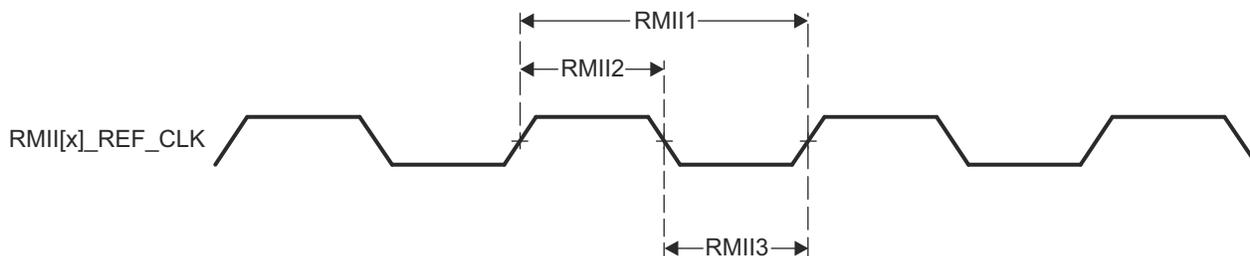
パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	VDD <sup>(1)</sup> = 1.8V	0.18	5 V/ns
		VDD <sup>(1)</sup> = 3.3V	0.4	5 V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	3	25	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

**表 6-29. RMII[x]\_REF\_CLK のタイミング要件 - RMII モード**

図 6-23 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII1	t <sub>c</sub> (REF_CLK)	サイクル時間、RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	t <sub>w</sub> (REF_CLKH)	パルス幅、RMII[x]_REF_CLK High	7	13	ns
RMII3	t <sub>w</sub> (REF_CLKL)	パルス幅、RMII[x]_REF_CLK Low	7	13	ns

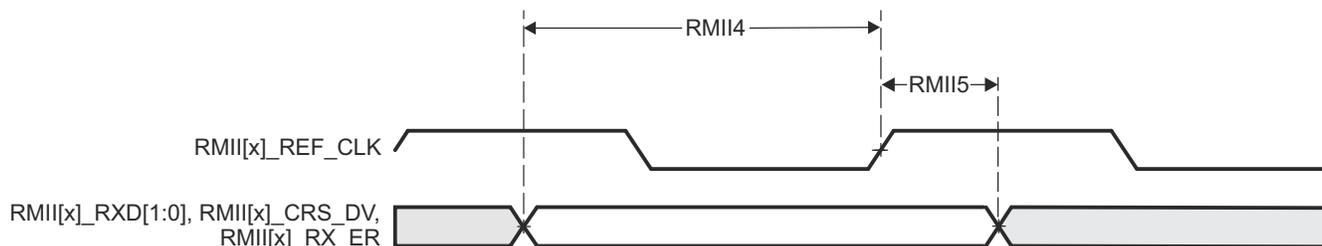


**図 6-23. CPSW3G RMII[x]\_REF\_CLK のタイミング要件 - RMII モード**

**表 6-30. RMII[x]\_RXD[1:0], RMII[x]\_CRS\_DV, RMII[x]\_RX\_ER のタイミング要件 - RMII モード**

図 6-24 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII4	t <sub>su</sub> (RXD-REF_CLK)	セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK まで	4		ns
	t <sub>su</sub> (CRS_DV-REF_CLK)	セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK まで	4		ns
	t <sub>su</sub> (RX_ER-REF_CLK)	セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK まで	4		ns
RMII5	t <sub>h</sub> (REF_CLK-RXD)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RXD[1:0] 有効の間	2		ns
	t <sub>h</sub> (REF_CLK-CRS_DV)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_CRS_DV 有効の間	2		ns
	t <sub>h</sub> (REF_CLK-RX_ER)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RX_ER 有効の間	2		ns

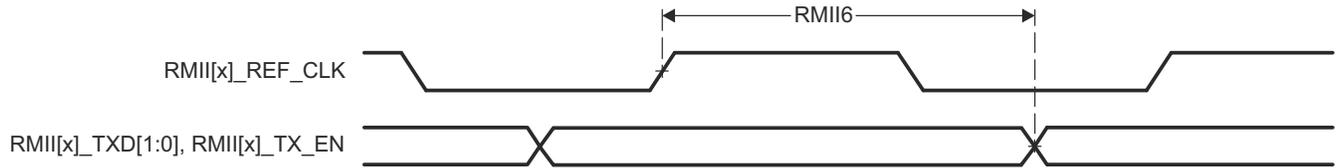


**図 6-24. CPSW3G RMII[x]\_RXD[1:0], RMII[x]\_CRS\_DV, RMII[x]\_RX\_ER のタイミング要件 - RMII モード**

**表 6-31. RMII[x]\_TXD[1:0]、RMII[x]\_TX\_EN のスイッチング特性 – RMII モード**

図 6-25 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII6	$t_{d(\text{REF\_CLK-TXD})}$	遅延時間、RMII[x]_REF_CLK High から RMII[x]_TXD[1:0] 有効まで	2	10	ns
	$t_{d(\text{REF\_CLK-TX\_EN})}$	遅延時間、RMII[x]_REF_CLK から RMII[x]_TX_EN 有効まで	2	10	ns



**図 6-25. RMII[x]\_TXD[1:0]、RMII[x]\_TX\_EN のスイッチング特性 – RMII モード**

### 6.11.5.1.3 CPSW3G RGMII のタイミング

表 6-32、表 6-33、表 6-34、図 6-26、表 6-35、表 6-36、図 6-27 に、CPSW3G RGMII のタイミング条件、タイミング要件、スイッチング特性を示します。

**表 6-32. CPSW3G RGMII のタイミング条件**

パラメータ		最小値	最大値	単位
<b>入力条件</b>				
SR <sub>i</sub>	入力スルーレート	VDD <sup>(1)</sup> = 1.8V	1.44	5
		VDD <sup>(1)</sup> = 3.3V	2.64	5
<b>出力条件</b>				
C <sub>L</sub>	出力負荷容量	2	20	pF
<b>PCB 接続要件</b>				
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL	50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL	50	ps

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-33. RGMII[x]\_RXC のタイミング要件 – RGMII モード

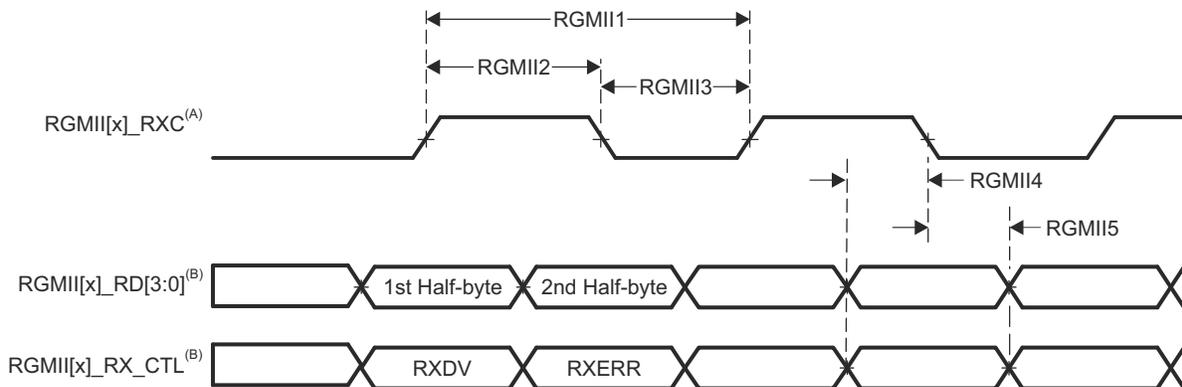
図 6-26 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_c(\text{RXC})$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_w(\text{RXCH})$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_w(\text{RXCL})$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-34. RGMII[x]\_RD[3:0] と RGMII[x]\_RX\_CTL のタイミング要件 – RGMII モード

図 6-26 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su}(\text{RD-RXC})$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su}(\text{RX_CTL-RXC})$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_h(\text{RXC-RD})$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_h(\text{RXC-RX_CTL})$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]\_RXC は、データピンと制御ピンに対して、外部的に遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]\_RD[3:0] は、RGMII[x]\_RXC の立ち上がりエッジでデータビット 3~0 を、RGMII[x]\_RXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII[x]\_RX\_CTL は、RGMII[x]\_RXC の立ち上がりエッジで RXDV を、RGMII[x]\_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-26. CPSW3G RGMII[x]\_RXC、RGMII[x]\_RD[3:0]、RGMII[x]\_RX\_CTL のタイミング要件 - RGMII モード

**表 6-35. RGMII[x]\_TXC のスイッチング特性 – RGMII モード**

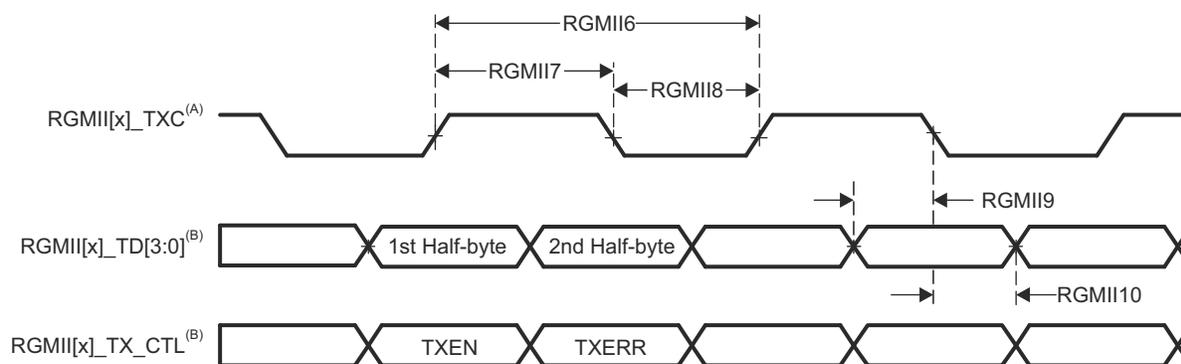
図 6-27 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_{c(TXC)}$	サイクル時間、RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

**表 6-36. RGMII[x]\_TD[3:0]、RGMII[x]\_TX\_CTL のスイッチング特性 – RGMII モード**

図 6-27 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{osu(TD-TXC)}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX\_CTL-TXC)}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX\_CTL)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



- A. TXC は内部で遅延されてから、RGMII[x]\_TXC ピンを駆動します。この内部遅延は常にインエーブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]\_TD[3:0] は、RGMII[x]\_TXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]\_TXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII[x]\_TX\_CTL は RGMII[x]\_TXC の立ち上がりエッジで TXEN を、RGMII[x]\_TXC の立ち下がりエッジで TXERR を伝送します。

**図 6-27. CPSW3G RGMII[x]\_TXC、RGMII[x]\_TD[3:0]、RGMII[x]\_TX\_CTL のスイッチング特性 – RGMII モード**

#### 6.11.5.1.4 CPSW3G IOSET

表 6-37 に、各 CPSW3G MDIO0 IOSET の有効なピンの組み合わせを示します。

表 6-37. CPSW3G MDIO0 IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
MDIO0_MDIO	PRG0_PRU1_GPO18	4	PRG1_MDIO0_MDIO	4
MDIO0_MDC	PRG0_PRU1_GPO19	4	PRG1_MDIO0_MDC	4

表 6-38 に、各 CPSW3G RMII1 および RMII2 IOSET の有効なピンの組み合わせを示します。

表 6-38. CPSW3G RMII1 と RMII2 IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
RMII_REF_CLK <sup>(1)</sup>	PRG1_PRU0_GPO10	5	PRG0_PRU0_GPO10	5
RMII1_CRS_DV	PRG1_PRU1_GPO19	5	PRG0_PRU1_GPO19	5
RMII1_RX_ER	PRG1_PRU0_GPO9	5	PRG0_PRU0_GPO9	5
RMII1_RXD0	PRG1_PRU1_GPO7	5	PRG0_PRU1_GPO7	5
RMII1_RXD1	PRG1_PRU1_GPO9	5	PRG0_PRU1_GPO9	5
RMII1_TXD0	PRG1_PRU1_GPO10	5	PRG0_PRU1_GPO10	5
RMII1_TXD1	PRG1_PRU1_GPO17	5	PRG0_PRU1_GPO17	5
RMII1_TX_EN	PRG1_PRU1_GPO18	5	PRG0_PRU1_GPO18	5
RMII2_CRS_DV	PRG1_PRU1_GPO13	5	PRG1_PRU1_GPO13	5
RMII2_RX_ER	PRG1_PRU1_GPO4	5	PRG1_PRU1_GPO4	5
RMII2_RXD0	PRG1_PRU1_GPO0	5	PRG1_PRU1_GPO0	5
RMII2_RXD1	PRG1_PRU1_GPO1	5	PRG1_PRU1_GPO1	5
RMII2_TXD0	PRG1_PRU1_GPO11	5	PRG1_PRU1_GPO11	5
RMII2_TXD1	PRG1_PRU1_GPO12	5	PRG1_PRU1_GPO12	5
RMII2_TX_EN	PRG1_PRU1_GPO15	5	PRG1_PRU1_GPO15	5

(1) RMII\_REF\_CLK は RMII1 と RMII2 の両方に共通です。適切に動作させるには、ピン多重化された信号割り当てはすべて、同じ IOSET を使用する必要があります。

表 6-39 に、各 CPSW3G RGMII1 IOSET の有効なピンの組み合わせを示します。

表 6-39. CPSW3G RGMII1 IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
RGMII1_TX_CTL	PRG1_PRU0_GPO9	4	PRG1_PRU0_GPO9	4
RGMII1_TXC	PRG1_PRU0_GPO10	4	PRG1_PRU0_GPO10	4
RGMII1_TD0	PRG1_PRU1_GPO7	4	PRG1_PRU1_GPO7	4
RGMII1_TD1	PRG1_PRU1_GPO9	4	PRG1_PRU1_GPO9	4
RGMII1_TD2	PRG1_PRU1_GPO10	4	PRG1_PRU1_GPO10	4
RGMII1_TD3	PRG1_PRU1_GPO17	4	PRG1_PRU1_GPO17	4
RGMII1_RX_CTL	PRG0_PRU0_GPO9	4	PRG1_PRU0_GPO5	4
RGMII1_RXC	PRG0_PRU0_GPO10	4	PRG1_PRU0_GPO8	4
RGMII1_RD0	PRG0_PRU1_GPO7	4	PRG1_PRU1_GPO5	4
RGMII1_RD1	PRG0_PRU1_GPO9	4	PRG1_PRU1_GPO8	4
RGMII1_RD2	PRG0_PRU1_GPO10	4	PRG1_PRU1_GPO18	4

表 6-39. CPSW3G RGMII1 IOSET (続き)

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
RGMII1_RD3	PRG0_PRU1_GPO17	4	PRG1_PRU1_GPO19	4

### 6.11.5.2 DDRSS

本デバイスの (LP)DDR4 メモリ インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-40 および 図 6-28 に、DDRSS のスイッチング特性を示します。

表 6-40. DDRSS スイッチング特性

図 6-28 参照

番号	パラメータ	DDR タイプ	最小値	最大値	単位
1	$t_{c(DDR\_CKP/DDR\_CKN)}$ サイクル時間、DDR_CKP および DDR_CKN	LPDDR4	1.25 <sup>(1)</sup>	20	ns
		DDR4	1.25 <sup>(1)</sup>	1.6	ns

- (1) 最小 DDR クロック サイクル時間は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『AM64x\AM243x DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

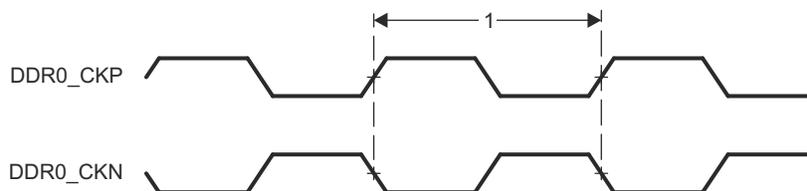


図 6-28. DDRSS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

### 6.11.5.3 ECAP

表 6-41、表 6-42、図 6-29、表 6-43、図 6-30 に、ECAP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-41. ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	4	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	7	pF

表 6-42. ECAP のタイミング要件

図 6-29 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP1	t <sub>w</sub> (CAP)	パルス幅、CAP (非同期)	2 + 2P <sup>(1)</sup>		ns

(1) P = MAIN\_SYSCCLK/4 周期 (ns 単位)。

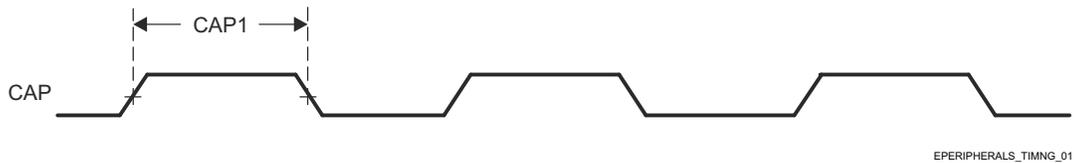


図 6-29. ECAP のタイミング要件

表 6-43. ECAP スwitching特性

図 6-30 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP2	t <sub>w</sub> (APWM)	パルス幅、APWMx High/Low	-2 + 2P <sup>(1)</sup>		ns

(1) P = MAIN\_SYSCCLK/4 周期 (ns 単位)。

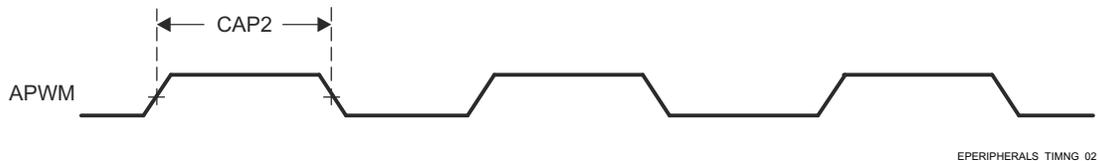


図 6-30. ECAP スwitching特性

詳細については、デバイス TRM のテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

### 6.11.5.4 EPWM

表 6-44、表 6-45、図 6-31、表 6-46、図 6-32、図 6-33、図 6-34 に、EPWM のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-44. EPWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	4	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	7	pF

表 6-45. EPWM のタイミング要件

図 6-31 参照

番号	パラメータ	説明	最小値	最大値	単位
PWM6	t <sub>w</sub> (SYNCIN)	パルス幅、EHRPWM_SYNCIN	2 + 2P <sup>(1)</sup>		ns
PWM7	t <sub>w</sub> (TZ)	パルス幅、EHRPWM_TZn_IN low	2 + 3P <sup>(1)</sup>		ns

(1) P = MAIN\_SYSCCLK0/2 周期 (ns 単位)。

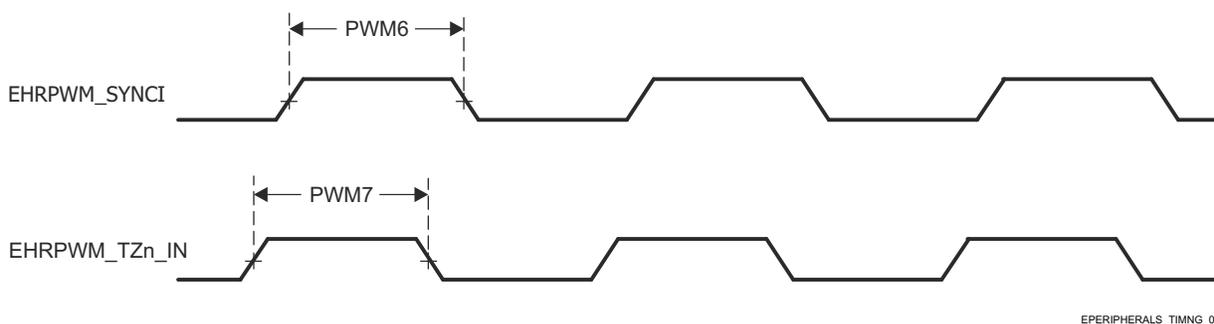


図 6-31. EPWM のタイミング要件

表 6-46. EPWM スイッチング特性

図 6-32、図 6-33、図 6-34 を参照

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_w(\text{PWM})$	パルス幅、EHRPWM_A/B High または Low	P - 3 <sup>(1)</sup>		ns
PWM2	$t_w(\text{SYNCO})$	パルス幅、EHRPWM_SYNCO	P - 3 <sup>(1)</sup>		ns
PWM3	$t_d(\text{TZ-PWM})$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで		11	ns
PWM4	$t_d(\text{TZ-PWMZ})$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで		11	ns
PWM5	$t_w(\text{SOC})$	パルス幅、EHRPWM_SOCA/B 出力	P - 3 <sup>(1)</sup>		ns

(1) P = MAIN\_SYSCCLK/2 周期 (ns 単位)。

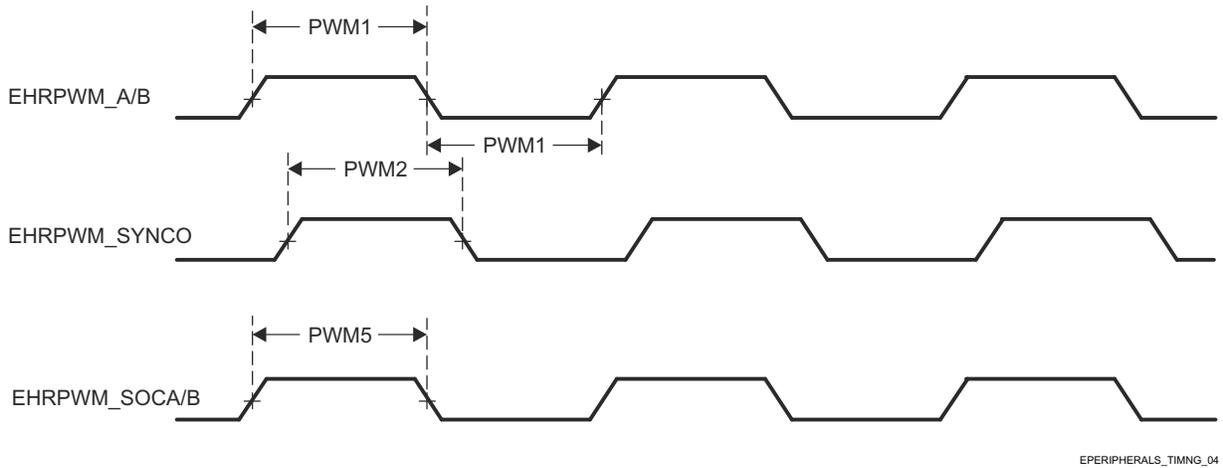


図 6-32. EHRPWM スイッチング特性

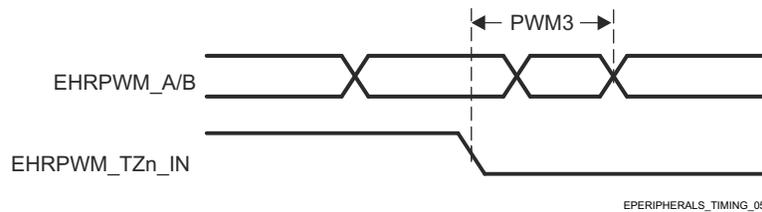


図 6-33. EHRPWM\_TZn\_IN から EHRPWM\_A/B 強制へのスイッチング特性

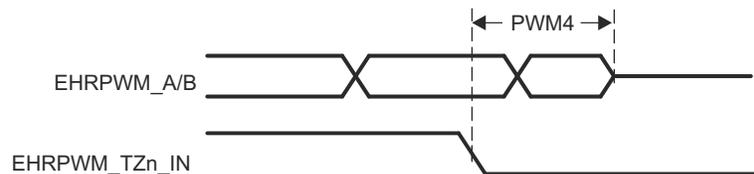


図 6-34. EHRPWM\_TZn\_IN から EHRPWM\_A/B Hi-Z へのスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

### 6.11.5.5 EQEP

表 6-47、表 6-48、図 6-35、表 6-49 に、EQEP のタイミング条件、タイミング要件、スイッチング特性を示します。

**表 6-47. EQEP のタイミング条件**

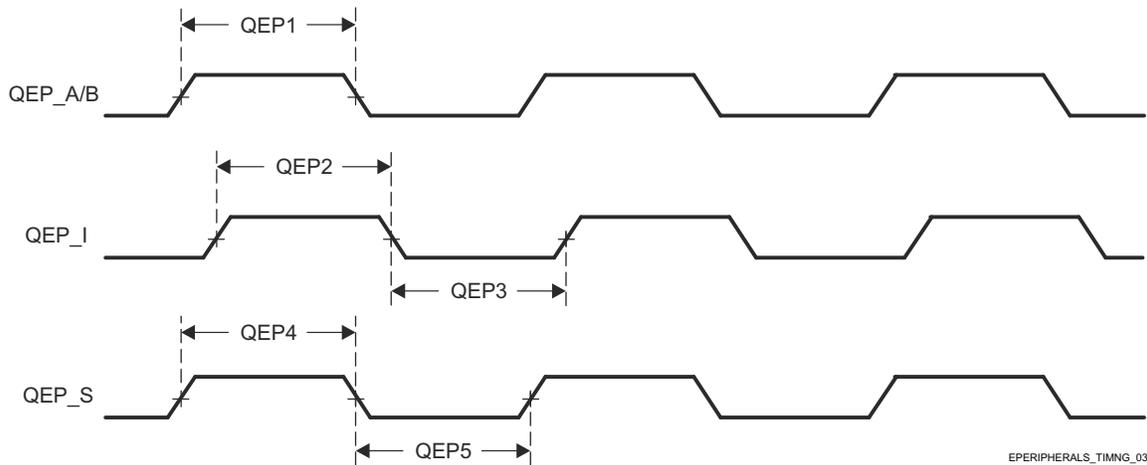
パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	4	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	7	pF

**表 6-48. EQEP のタイミング要件**

図 6-35 参照

番号	パラメータ	説明	最小値	最大値	単位
QEP1	t <sub>w</sub> (QEP)	パルス幅、QEP_A/B	2 + 2P <sup>(1)</sup>		ns
QEP2	t <sub>w</sub> (QEP <sub>I</sub> H)	パルス幅、QEP_I high	2 + 2P <sup>(1)</sup>		ns
QEP3	t <sub>w</sub> (QEP <sub>I</sub> L)	パルス幅、QEP_I low	2 + 2P <sup>(1)</sup>		ns
QEP4	t <sub>w</sub> (QEP <sub>S</sub> H)	パルス幅、QEP_S high	2 + 2P <sup>(1)</sup>		ns
QEP5	t <sub>w</sub> (QEP <sub>S</sub> L)	パルス幅、QEP_S low	2 + 2P <sup>(1)</sup>		ns

(1) P = MAIN\_SYSCCLK/4 周期 (ns 単位)



**図 6-35. EQEP のタイミング要件**

**表 6-49. EQEP スwitching 特性**

番号	パラメータ	説明	最小値	最大値	単位
QEP6	t <sub>d</sub> (QEP-CNTR)	遅延時間、外部クロックからカウンタ インクリメントまで		24	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

### 6.11.5.6 FSI

表 6-50、表 6-51、図 6-36、表 6-52、図 6-37、表 6-53、図 6-38 に、FSI のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-50. FSI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.8	4	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	1	7	pF

表 6-51. FSI のタイミング要件

図 6-36 参照

番号		説明	最小値	最大値	単位
FSIR1	t <sub>c</sub> (RX_CLK)	サイクル時間、FSI_RXn_CLK	20		ns
FSIR2	t <sub>w</sub> (RX_CLK)	パルス幅、FSI_RXn_CLK Low または FSI_RXn_CLK High	0.5P - 1 <sup>(1)</sup>	0.5P + 1 <sup>(1)</sup>	ns
FSIR3	t <sub>su</sub> (RX_D-RX_CLK)	セットアップ時間、FSI_RXn_D[1:0] 有効から FSI_RXn_CLK まで	3		ns
FSIR4	t <sub>h</sub> (RX_CLK-RX_D)	ホールド時間、FSI_RXn_CLK から FSI_RXn_D[1:0] 有効の間	2.5		ns

(1) P = FSI\_RXn\_CLK 周期 (ns 単位)。

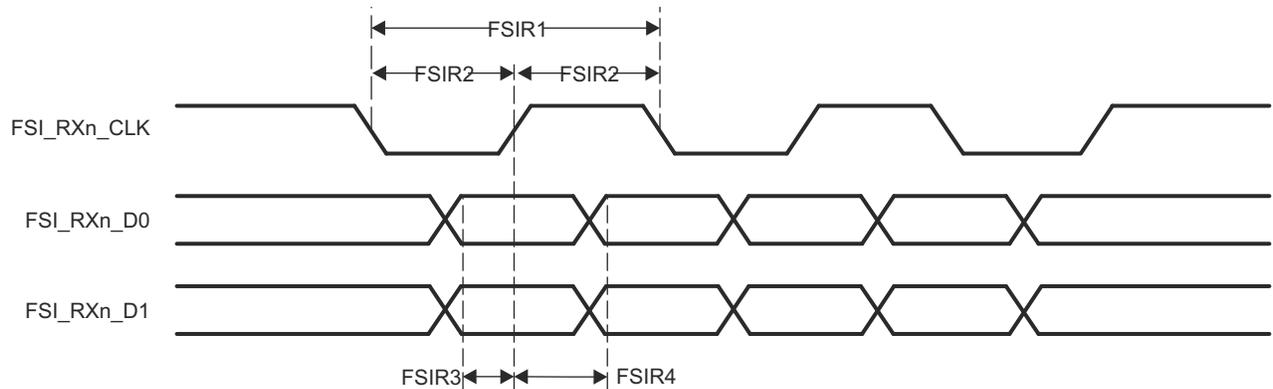


図 6-36. FSI のタイミング要件

**表 6-52. FSI のスイッチング特性 - FSI モード**

図 6-37 参照

番号	パラメータ	モード	最小値	最大値	単位
FSIT1	$t_c(TX\_CLK)$	サイクル時間、FSI_TXn_CLK	20		ns
FSIT2	$t_w(TX\_CLK)$	パルス幅、FSI_TXn_CLK Low または FSI_TXn_CLK High	$0.5P + 1^{(1)}$	$0.5P - 1^{(1)}$	ns
FSIT3	$t_d(TX\_CLK-TX\_D)$	遅延時間、(FSI_TXn_CLK High または FSI_TXn_CLK Low) から FSI_TXn_D[1:0] 有効まで	$0.25P - 2^{(1)}$	$0.25P + 2.5^{(1)}$	ns

(1) P = FSI\_TXn\_CLK 周期 (ns 単位)。

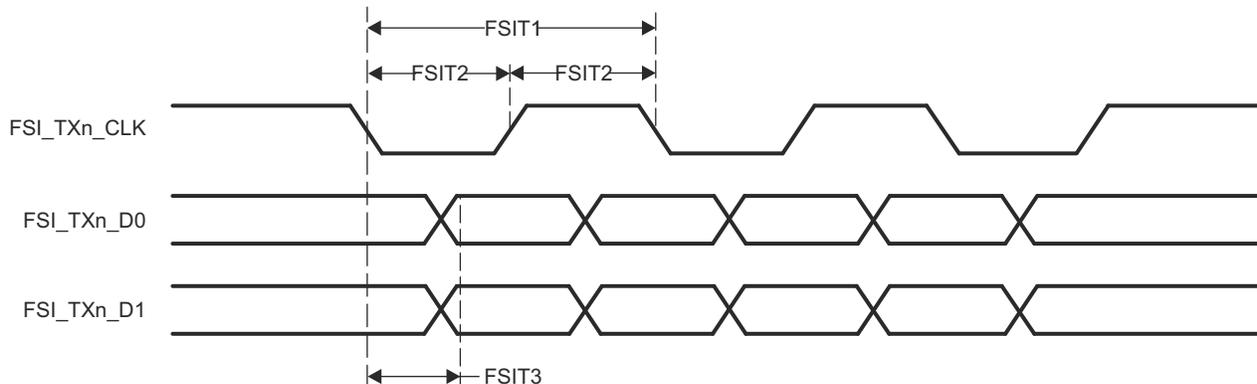


図 6-37. FSI のスイッチング特性 - FSI モード

**表 6-53. FSI のスイッチング特性 - SPI モード**

図 6-38 参照

番号	パラメータ	モード	最小値	最大値	単位
FSIT4	$t_c(TX\_CLK)$	サイクル時間、FSI_TXn_CLK	20		ns
FSIT5	$t_w(TX\_CLK)$	パルス幅、FSI_TXn_CLK Low または FSI_TXn_CLK High	$0.5P + 1^{(1)}$	$0.5P - 1^{(1)}$	ns
FSIT6	$t_d(TX\_CLKH-TX\_D0)$	遅延時間、FSI_TXn_CLK High から FSI_TXn_D0 有効まで		3	ns
FSIT7	$t_d(TX\_D1-TX\_CLK)$	遅延時間、FSI_TXn_D1 Low から FSI_TXn_CLK High まで	$P - 3^{(1)}$		ns
FSIT8	$t_d(TX\_CLK-TX\_D1)$	遅延時間、FSI_TXn_CLK Low から FSI_TXn_D1 High まで	$P - 2^{(1)}$		ns

(1) P = FSI\_TXn\_CLK 周期 (ns 単位)。

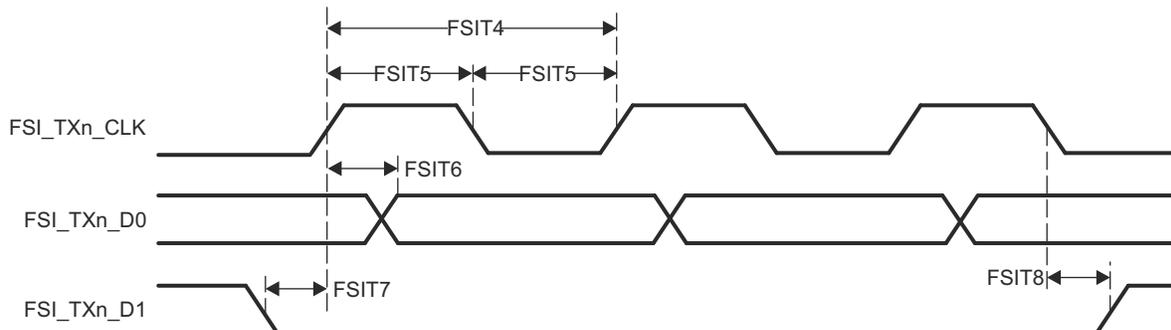


図 6-38. FSI のスイッチング特性 - SPI モード

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「高速シリアル インターフェイス」セクションを参照してください。

### 6.11.5.7 GPIO

表 6-54、表 6-55、表 6-56 に、GPIO のタイミング条件、タイミング要件、スイッチング特性を示します。

このデバイスには、3 個の GPIO モジュール インスタンスがあります。

- MCU\_GPIO0
- GPIO0
- GPIO1

#### 注

GPIO<sub>n\_x</sub> は、GPIO 信号を記述するために使用される一般的な名前です。ここで、n は特定の GPIO モジュールを表し、x はモジュールに関連付けられた入出力信号の 1 つを表します。

本デバイスの GPIO の追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

**表 6-54. GPIO のタイミング条件**

パラメータ		バッファのタイプ	最小値	最大値	単位
<b>入力条件</b>					
SR <sub>i</sub>	入力スルーレート	LVC MOS (VDD <sup>(1)</sup> = 1.8V)	0.0018	6.6	V/ns
		LVC MOS (VDD <sup>(1)</sup> = 3.3V)	0.0033	6.6	
		I2C OD FS (VDD <sup>(1)</sup> = 1.8V)	0.0018	6.6	
		I2C OD FS (VDD <sup>(1)</sup> = 3.3V)	0.0033	0.08	
<b>出力条件</b>					
C <sub>L</sub>	出力負荷容量	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

**表 6-55. GPIO のタイミング要件**

番号	パラメータ	説明	最小値	最大値	単位
GPIO1	t <sub>w</sub> (GPIO_IN)	パルス幅、GPIO <sub>n_x</sub>	2P <sup>(1)</sup> + 30		ns

(1) P = 機能クロック周期 (ns 単位)。

**表 6-56. GPIO スwitchング特性**

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
GPIO2	t <sub>w</sub> (GPIO_OUT)	パルス幅、GPIO <sub>n_x</sub>	LVC MOS	0.975P <sup>(1)</sup> - 3.6		ns
			I2C OD FS	160		ns

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

### 6.11.5.8 GPMC

本デバイスの汎用メモリコントローラの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 注

GPMC には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。セクション 6.11.5.8.4 に、このインターフェイスの有効なピンの組み合わせ (IOSET) を示します。

表 6-57 に、GPMC のタイミング条件を示します。

表 6-57. GPMC のタイミング条件

パラメータ		最小値	最大値	単位	
<b>入力条件</b>					
SR <sub>i</sub>	入力スルーレート	1.65	4	V/ns	
<b>出力条件</b>					
C <sub>L</sub>	出力負荷容量	5	20	pF	
<b>PCB 接続要件</b>					
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	133MHz 同期モード	140	360	ps
		その他のすべてのモード	140	720	ps
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		200	ps	

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用メモリ コントローラ (GPMC)」セクションを参照してください。

#### 6.11.5.8.1 GPMC および NOR フラッシュ — 同期モード

ホールド時間、出力クロック GPMC\_CLK High (t<sub>h</sub>(clkH-waitV)) から入力待機 GPMC\_WAIT[j] 有効まで

表 6-58 および 表 6-59 に、GPMC および NOR フラッシュ (同期モード) のタイミング要件とスイッチング特性を示します。

表 6-58. GPMC および NOR フラッシュのタイミング要件 — 同期モード

図 6-39、図 6-40、図 6-43 を参照

番号	パラメータ	説明	モード <sup>(5)</sup>	最小値	最大値	最小値	最大値	単位
				GPMC_FCLK = 100MHz <sup>(2)</sup>	GPMC_FCLK = 133MHz <sup>(2)</sup>	GPMC_FCLK = 100MHz <sup>(2)</sup>	GPMC_FCLK = 133MHz <sup>(2)</sup>	
F12	t <sub>su</sub> (dV-clkH)	セットアップ時間、入力データ GPMC_AD[n:0] <sup>(1)</sup> 有効から出力クロック GPMC_CLK High まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.81		1.12		ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.06		3.5		ns
F13	t <sub>h</sub> (clkH-dV)	ホールド時間、出力クロック GPMC_CLK High から入力データ GPMC_AD[n:0] <sup>(1)</sup> 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.29		2.29		ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.29		2.29		ns

**表 6-58. GPMC および NOR フラッシュのタイミング要件 — 同期モード (続き)**

図 6-39、図 6-40、図 6-43 を参照

番号	パラメータ	説明	モード <sup>(5)</sup>	最小値	最大値	単位
				GPMC_FCLK = 100MHz <sup>(2)</sup>	GPMC_FCLK = 133MHz <sup>(2)</sup>	
F21	t <sub>su</sub> (waitV-clkH)	セットアップ時間、入力待機 GPMC_WAIT[j] <sup>(3)</sup> <sup>(4)</sup> 有効から出力ク ロック GPMC_CLK High まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.81	1.12	ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.06	3.5	ns
F22	t <sub>h</sub> (clkH-waitV)	ホールド時間、出力クロック GPMC_CLK High から入力待機 GPMC_WAIT[j] <sup>(3)</sup> <sup>(4)</sup> 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.29	2.29	ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.29	2.29	ns

- (1) 同期モードでは 133MHz までの 16 ビット データ バスと、100MHz までの 32 ビット データ バスをサポート
- (2) GPMC\_FCLK の選択
- gpmc\_fclk\_sel[1:0] = 2b01 で 100MHz の GPMC\_FCLK を選択
  - gpmc\_fclk\_sel[1:0] = 2b00 で 133MHz の GPMC\_FCLK を選択
- (3) GPMC\_WAIT[j] で、j は 0 または 1 です。
- (4) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカルリファレンス マニュアルで「汎用メモリコントローラ (GPMC)」セクションを参照してください。
- (5) div\_by\_1\_mode に対し:
- GPMC\_CONFIG1\_i レジスタ: GPMCFCLKDIVIDER = 0h:
    - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数
- not\_div\_by\_1\_mode に対し:
- GPMC\_CONFIG1\_i レジスタ: GPMCFCLKDIVIDER = 1h~3h:
    - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数 / (2~4)
- GPMC\_FCLK\_MUX に対し:
- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 01 = PER1\_PLL\_CLKOUT / 3 = 300 / 3 = 100MHz
- TIMEPARAGRANULARITY\_X1 に対し:
- GPMC\_CONFIG1\_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADVARD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

**表 6-59. GPMC および NOR フラッシュのスイッチング特性 - 同期モード**

図 6-39、図 6-40、図 6-41、図 6-42、図 6-43 を参照

番号 <sup>(3)</sup>	パラメータ	説明	モード <sup>(17)</sup>	最小値	最大値	単位
				100MHz	133MHz	
F0	1 / tc(clk)	周期、出力クロック GPMC_CLK <sup>(16)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	10.00	7.52	ns
F1	t <sub>w</sub> (clkH)	標準パルス幅、出力クロック GPMC_CLK H	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	0.475P - 0.3 <sup>(15)</sup>	0.475P - 0.3 <sup>(15)</sup>	ns
F1	t <sub>w</sub> (clkL)	標準パルス幅、出力クロック GPMC_CLK Low	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	0.475P - 0.3 <sup>(15)</sup>	0.475P - 0.3 <sup>(15)</sup>	ns

表 6-59. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-39、図 6-40、図 6-41、図 6-42、図 6-43 を参照

番号 (3)	パラメータ	説明	モード <sup>(17)</sup>	最小値	最大値	最小値	最大値	単位
				100MHz	133MHz	100MHz	133MHz	
F2	$t_{d(\text{clkH-csnV})}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 遷移まで <sup>(14)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	F - 2.2 (6)	F + 3.75	F - 2.2 (6)	F + 3.75	ns
F3	$t_{d(\text{clkH-CSn[i]V})}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 無効まで <sup>(14)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	E - 2.2 (5)	E + 3.18	E - 2.2 (5)	E + 4.5	ns
F4	$t_{d(\text{aV-clk})}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	B - 2.3 (3)	B + 4.5	B - 2.3 (3)	B + 4.5	ns
F5	$t_{d(\text{clkH-aIV})}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス GPMC_A[27:1] 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	-2.3	4.5	-2.3	4.5	ns
F6	$t_{d(\text{be[x]nV-clk})}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	B - 2.3 (3)	B + 1.9	B - 2.3 (3)	B + 1.9	ns
F7	$t_{d(\text{clkH-be[x]nIV})}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイトのイネーブルおよびコマンド ラッチのイネーブル GPMC_BE0n_CLE、出力上位バイトのイネーブル GPMC_BE1n 無効まで <sup>(11)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D - 2.3 (4)	D + 1.9	D - 2.3 (4)	D + 1.9	ns
F7	$t_{d(\text{clkL-be[x]nIV})}$	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで <sup>(12)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D - 2.3 (4)	D + 1.9	D - 2.3 (4)	D + 1.9	ns
F7	$t_{d(\text{clkL-be[x]nIV})}$	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで <sup>(13)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D - 2.3 (4)	D + 1.9	D - 2.3 (4)	D + 1.9	ns
F8	$t_{d(\text{clkH-advn})}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 遷移まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	G - 2.3 (7)	G + 4.5	G - 2.3 (7)	G + 4.5	ns
F9	$t_{d(\text{clkH-advnIV})}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	D - 2.3 (4)	D + 4.5	D - 2.3 (4)	D + 4.5	ns
F10	$t_{d(\text{clkH-oen})}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 遷移まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	H - 2.3 (8)	H + 3.5	H - 2.3 (8)	H + 3.5	ns
F11	$t_{d(\text{clkH-oenIV})}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	H - 2.3 (8)	H + 3.5	H - 2.3 (8)	H + 3.5	ns
F14	$t_{d(\text{clkH-wen})}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力書き込みイネーブル GPMC_WEn 遷移まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	I - 2.3 (9)	I + 4.5	I - 2.3 (9)	I + 4.5	ns

表 6-59. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-39、図 6-40、図 6-41、図 6-42、図 6-43 を参照

番号 (3)	パラメータ	説明	モード <sup>(17)</sup>	最小値	最大値	最小値	最大値	単位
				100MHz	133MHz	100MHz	133MHz	
F15	t <sub>d</sub> (clkH-do)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力データ GPMC_AD[n:0] <sup>(1)</sup> 遷移 <sup>(11)</sup> まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (10)	J + 2.7	J - 2.3 (10)	J + 2.7	ns
F15	t <sub>d</sub> (clkL-do)	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[n:0] <sup>(1)</sup> データ バス遷移 <sup>(12)</sup> まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (10)	J + 2.7	J - 2.3 (10)	J + 2.7	ns
F15	t <sub>d</sub> (clkL-do)	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[n:0] <sup>(1)</sup> データ バス遷移 <sup>(13)</sup> まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (10)	J + 2.7	J - 2.3 (10)	J + 2.7	ns
F17	t <sub>d</sub> (clkH-be[x]n)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 遷移 <sup>(11)</sup> まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (10)	J + 1.9	J - 2.3 (10)	J + 1.9	ns
F17	t <sub>d</sub> (clkL-be[x]n)	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移 <sup>(12)</sup> まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (10)	J + 1.9	J - 2.3 (10)	J + 1.9	ns
F17	t <sub>d</sub> (clkL-be[x]n)	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移 <sup>(13)</sup> まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (10)	J + 1.9	J - 2.3 (10)	J + 1.9	ns
F18	t <sub>w</sub> (csnV)	パルス幅、出力チップ セレクト GPMC_CSn[j] <sup>(14)</sup> Low	読み出し	A		A		ns
			書き込み	A		A		ns
F19	t <sub>w</sub> (be[x]nV)	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n Low	読み出し	C		C		ns
			書き込み	C		C		ns
F20	t <sub>w</sub> (advnV)	パルス幅、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE Low	読み出し	K		K		ns
			書き込み	K		K		ns

- (1) 同期モードでは 133MHz までの 16 ビット データ バスと、100MHz までの 32 ビット データ バスをサポート
- (2) 単一読み取りの場合:  $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(15)}$   
 バースト読み取りの場合:  $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(15)}$   
 バースト書き込みの場合:  $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(15)}$   
 n はページ バースト アクセス数。
- (3)  $B = ClkActivationTime \times GPMC\_FCLK^{(15)}$
- (4) 単一読み取りの場合:  $D = (RdCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(15)}$   
 バースト読み取りの場合:  $D = (RdCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(15)}$   
 バースト書き込みの場合:  $D = (WrCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(15)}$
- (5) 単一読み取りの場合:  $E = (CSRdOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(15)}$   
 バースト読み取りの場合:  $E = (CSRdOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(15)}$   
 バースト書き込みの場合:  $E = (CSWrOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(15)}$
- (6) csn 立ち下がりエッジ (CS がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
    - $F = 0.5 \times CSExtraDelay \times GPMC\_FCLK^{(15)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $F = 0.5 \times CSExtraDelay \times GPMC\_FCLK^{(15)}$  if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
    - $F = (1 + 0.5 \times CSExtraDelay) \times GPMC\_FCLK^{(15)}$  otherwise
  - Case GPMCFCLKDIVIDER = 2:
    - $f = 0.5 \times CSExtraDelay \times GPMC\_FCLK^{(15)}$  if ((CSOnTime - ClkActivationTime) が 3 の倍数)

- $F = (1 + 0.5 \times CSEExtraDelay) \times GPMC\_FCLK^{(15)}$  if  $((CSONTime - ClkActivationTime - 1)$  が 3 の倍数)
  - $F = (2 + 0.5 \times CSEExtraDelay) \times GPMC\_FCLK^{(15)}$  if  $((CSONTime - ClkActivationTime - 2)$  が 3 の倍数)
- (7) ADV 立ち下がりがエッジ (ADV がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
    - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(15)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(15)}$  if  $(ClkActivationTime$  および  $ADVOnTime$  が奇数) or  $(ClkActivationTime$  および  $ADVOnTime$  が偶数)
    - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(15)}$  otherwise
  - Case GPMCFCLKDIVIDER = 2:
    - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(15)}$  if  $((ADVOnTime - ClkActivationTime)$  が 3 の倍数)
    - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(15)}$  if  $((ADVOnTime - ClkActivationTime - 1)$  が 3 の倍数)
    - $G = (2 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(15)}$   $((ADVOnTime - ClkActivationTime - 2)$  が 3 の倍数) の場合

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
  - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(15)}$  if  $(ClkActivationTime$  および  $ADVRdOffTime$  が奇数) or  $(ClkActivationTime$  および  $ADVRdOffTime$  が偶数)
  - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(15)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(15)}$  if  $((ADVRdOffTime - ClkActivationTime)$  が 3 の倍数)
  - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(15)}$  if  $((ADVRdOffTime - ClkActivationTime - 1)$  が 3 の倍数)
  - $G = (2 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(15)}$   $((ADVRdOffTime - ClkActivationTime - 2)$  が 3 の倍数) の場合

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

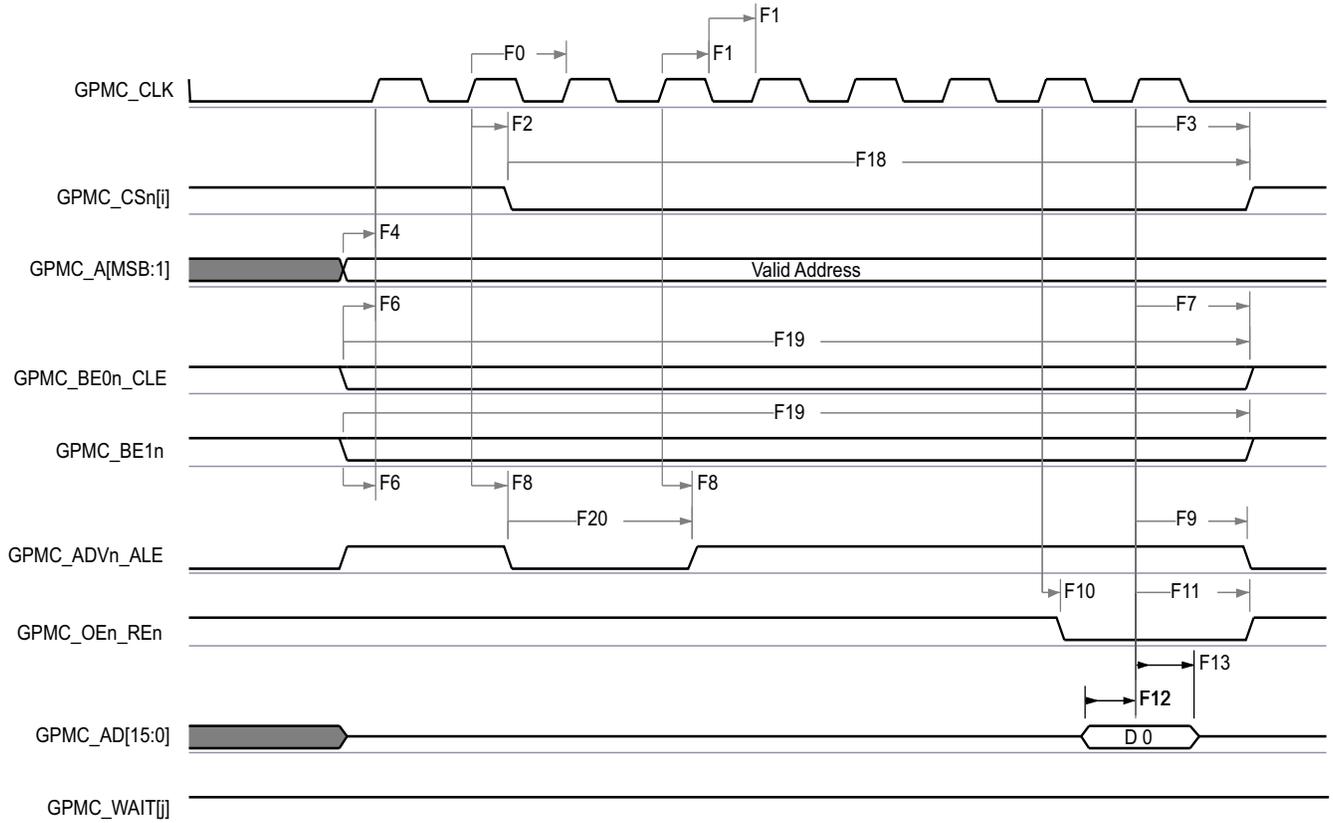
- Case GPMCFCLKDIVIDER = 0:
    - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(15)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(15)}$  if  $(ClkActivationTime$  および  $ADVWrOffTime$  が奇数) または  $(ClkActivationTime$  および  $ADVWrOffTime$  が偶数)
    - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(15)}$  otherwise
  - Case GPMCFCLKDIVIDER = 2:
    - $G = 0.5 \times ADVExtraDelay \times GPMC\_FCLK^{(15)}$  if  $((ADVWrOffTime - ClkActivationTime)$  が 3 の倍数)
    - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(15)}$  if  $((ADVWrOffTime - ClkActivationTime - 1)$  が 3 の倍数)
    - $G = (2 + 0.5 \times ADVExtraDelay) \times GPMC\_FCLK^{(15)}$   $((ADVWrOffTime - ClkActivationTime - 2)$  が 3 の倍数) の場合
- (8) OE の立ち下がりがエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データバスが入力方向) の場合:
- Case GPMCFCLKDIVIDER = 0:
    - $H = 0.5 \times OEEExtraDelay \times GPMC\_FCLK^{(15)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $H = 0.5 \times OEEExtraDelay \times GPMC\_FCLK^{(15)}$  if  $(ClkActivationTime$  および  $OEOnTime$  が奇数) または  $(ClkActivationTime$  および  $OEOnTime$  が偶数)
    - $H = (1 + 0.5 \times OEEExtraDelay) \times GPMC\_FCLK^{(15)}$  otherwise
  - Case GPMCFCLKDIVIDER = 2:
    - $H = 0.5 \times OEEExtraDelay \times GPMC\_FCLK^{(15)}$  if  $((OEOnTime - ClkActivationTime)$  が 3 の倍数)
    - $H = (1 + 0.5 \times OEEExtraDelay) \times GPMC\_FCLK^{(15)}$  if  $((OEOnTime - ClkActivationTime - 1)$  が 3 の倍数)
    - $H = (2 + 0.5 \times OEEExtraDelay) \times GPMC\_FCLK^{(15)}$  if  $((OEOnTime - ClkActivationTime - 2)$  が 3 の倍数)

OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $H = 0.5 \times OEEExtraDelay \times GPMC\_FCLK^{(15)}$
- Case GPMCFCLKDIVIDER = 1:

- $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数)
  - それ以外の場合は、 $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$
  - Case GPMCFCLKDIVIDER = 2:
    - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if ((OEOffTime - ClkActivationTime) が 3 の倍数)
    - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((OEOffTime - ClkActivationTime - 1) が 3 の倍数)
    - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  ((OEOffTime - ClkActivationTime - 2) が 3 の倍数) の場合
- (9) WE 立ち下がりエッジ (WE がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
    - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および WEOffTime が奇数) or (ClkActivationTime および WEOffTime が偶数)
    - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
  - Case GPMCFCLKDIVIDER = 2:
    - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if ((WEOffTime - ClkActivationTime) が 3 の倍数)
    - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((WEOffTime - ClkActivationTime - 1) が 3 の倍数)
    - $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((WEOffTime - ClkActivationTime - 2) が 3 の倍数)
- WE 立ち上がりエッジ (WE が非アクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
    - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if (ClkActivationTime および WEOffTime が奇数) or (ClkActivationTime および WEOffTime が偶数)
    - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  otherwise
  - Case GPMCFCLKDIVIDER = 2:
    - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC\_FCLK}^{(15)}$  if ((WEOffTime - ClkActivationTime) が 3 の倍数)
    - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((WEOffTime - ClkActivationTime - 1) が 3 の倍数)
    - $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC\_FCLK}^{(15)}$  if ((WEOffTime - ClkActivationTime - 2) が 3 の倍数)
- (10)  $J = \text{GPMC\_FCLK}^{(15)}$
- (11) 最初の転送は、CLK DIV 1 モードのみです。
- (12) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。
- (13) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC\_CLKOUT の半サイクルです。GPMC\_FCLK から GPMC\_CLKOUT を分周します。
- (14) GPMC\_CS*n*[*j*] で、*i* は 0、1、2、または 3 です。GPMC\_WAIT[*j*] で、*j* は 0 または 1 です。
- (15) P = GPMC\_CLK 周期 (ns 単位)
- (16) GPMC モジュールで、GPMC\_CONFIG1\_*i* 構成レジスタのビットフィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC\_CLK 出力クロックの最高および最低周波数に関連します。
- (17) div\_by\_1\_mode に対し:
- GPMC\_CONFIG1\_*i* レジスタ: GPMCFCLKDIVIDER = 0h:
    - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数
- GPMC\_FCLK\_MUX に対し:
- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 01 = PER1\_PLL\_CLKOUT / 3 = 300 / 3 = 100MHz
- TIMEPARAGRANULARITY\_X1 に対し:
- GPMC\_CONFIG1\_*i* レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSR/WROFFTIME、ADVONTIME、ADV/RD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)
- extra\_delay なしの場合:
- GPMC\_CONFIG2\_*i* レジスタ: CSEXTRADELAY = 0h = CS*n* タイミング制御信号は遅延しない
  - GPMC\_CONFIG4\_*i* レジスタ: WEEXTRADELAY = 0h = WE タイミング制御信号は遅延しない

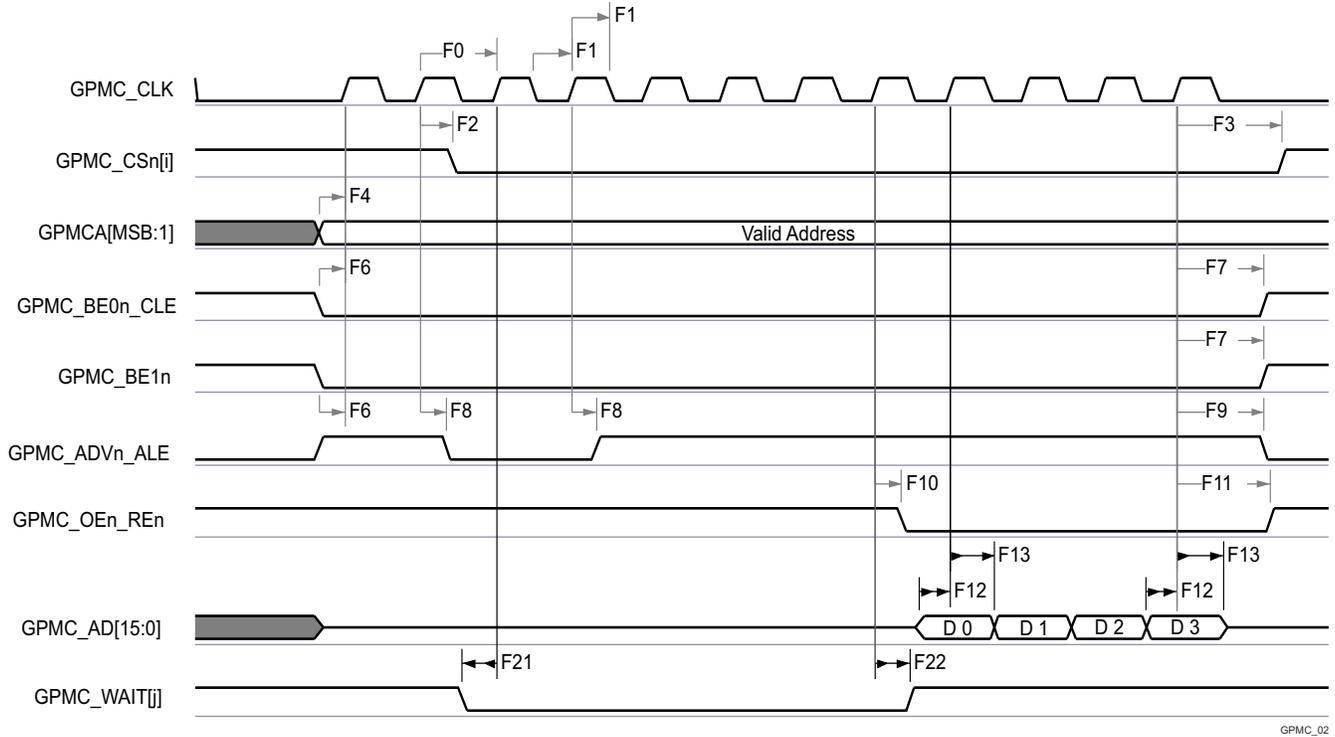
- GPMC\_CONFIG4\_i レジスタ: OEEXTRADELAY = 0h = nOE タイミング制御信号は遅延しない
- GPMC\_CONFIG3\_i レジスタ: ADVEXTRADELAY = 0h = nADV タイミング制御信号は遅延しない



GPMC\_01

- A. GPMC\_CSn[i] で、i は 0、1、2、または 3 です。
- B. GPMC\_WAIT[j] で、j は 0 または 1 です。

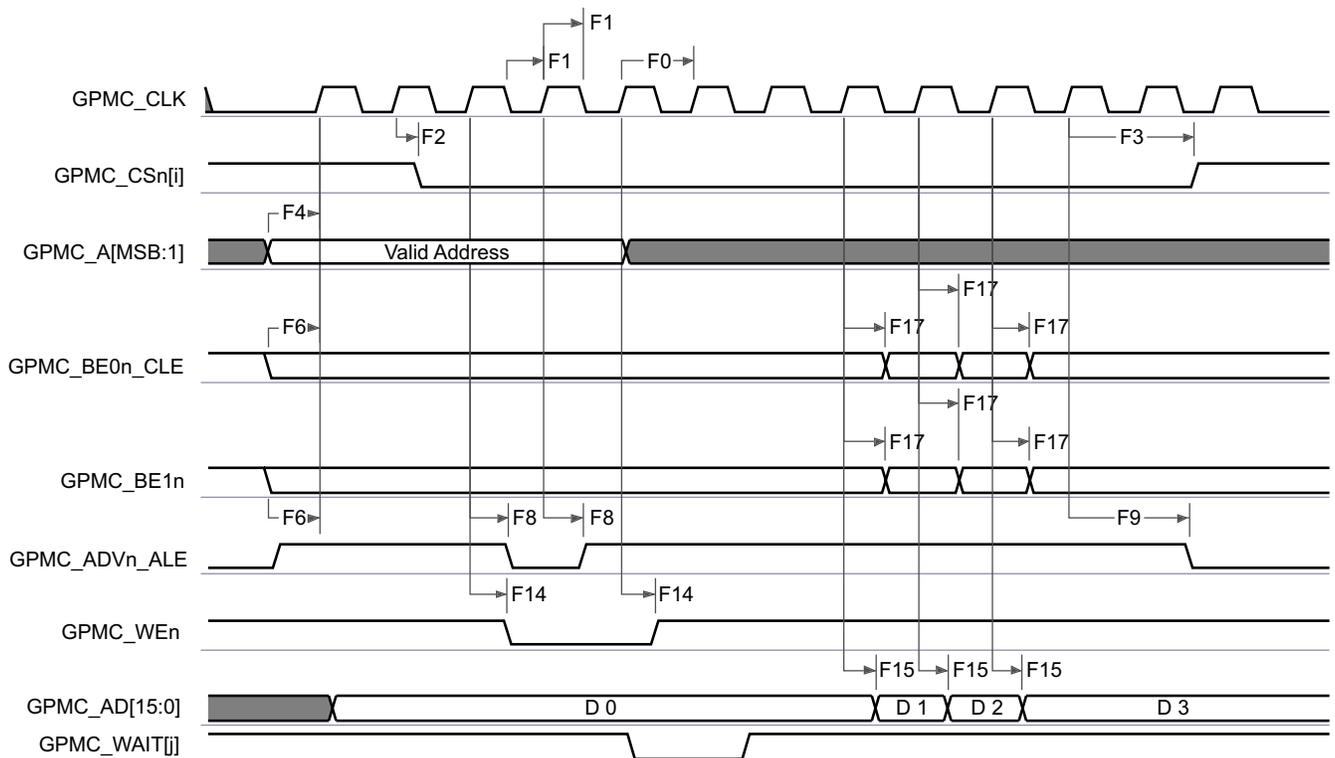
**図 6-39. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)**



GPMC\_02

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。
- B. GPMC\_WAIT[j] で、j は 0 または 1 です。

**図 6-40. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)**

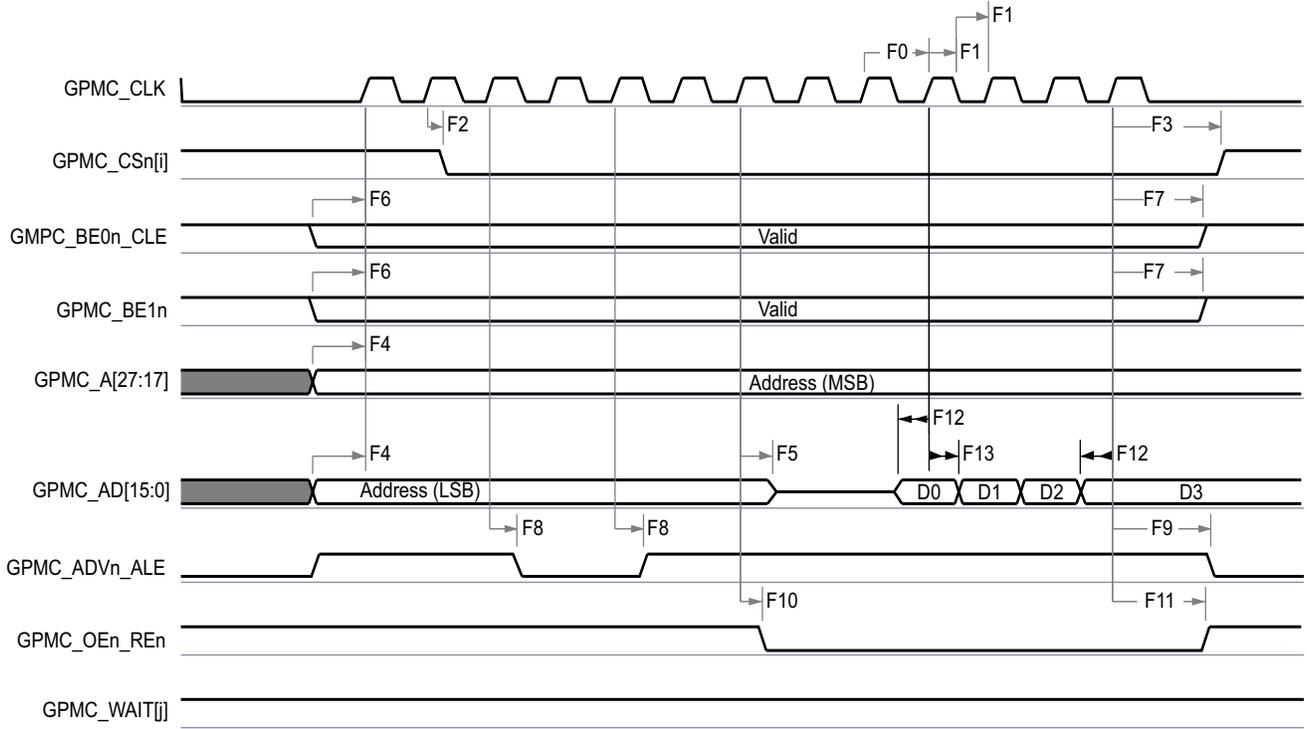


GPMC\_03

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。

B. GPMC\_WAIT[j] で、j は 0 または 1 です。

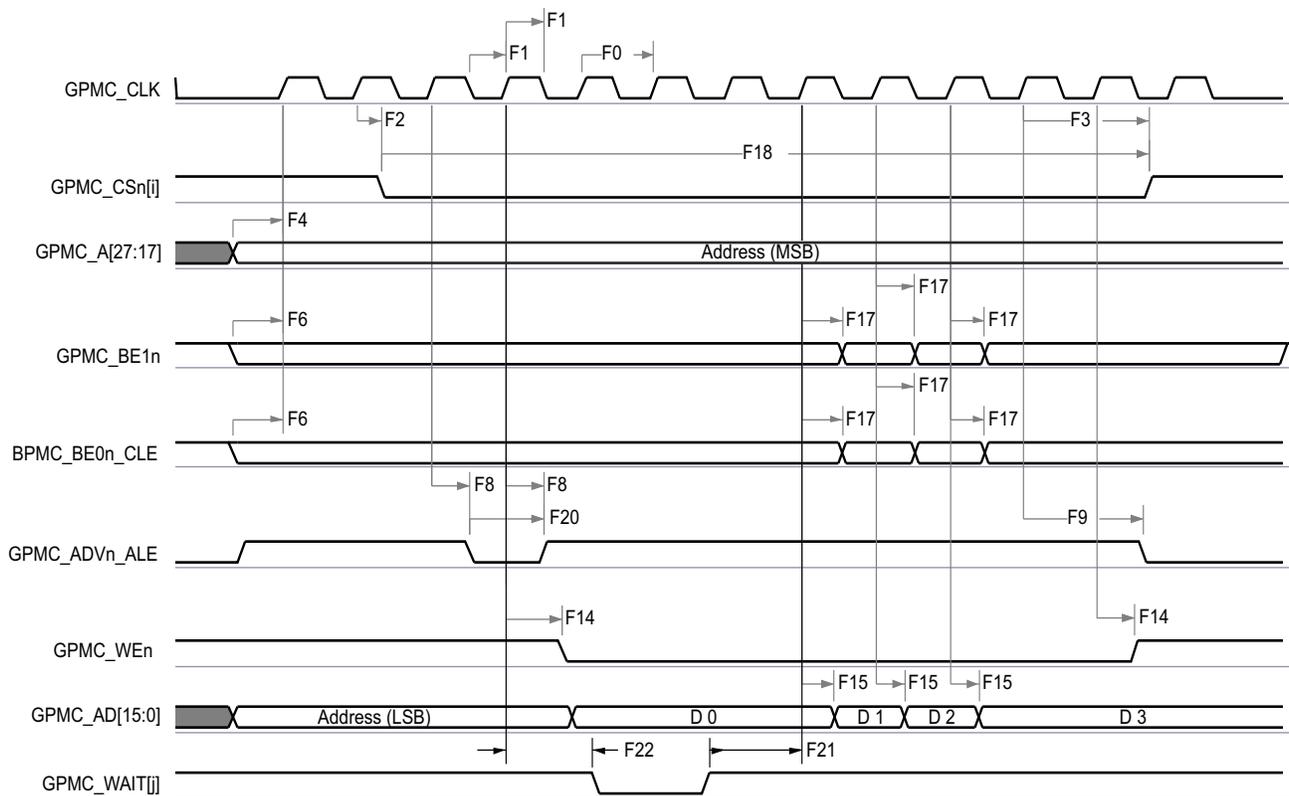
図 6-41. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



GPMC\_04

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。  
B. GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-42. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



GPMC\_05

- A. GPMC\_CS[n][i] で、i は 0、1、2、または 3 です。
- B. GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-43. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

### 6.11.5.8.2 GPMC および NOR フラッシュ – 非同期モード

表 6-60 および 表 6-61 に、GPMC および NOR フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-60. GPMC および NOR フラッシュのタイミング要件 – 非同期モード

図 6-44、図 6-45、図 6-46、図 6-48 を参照

番号	パラメータ	説明	モード	最小値	最大値	単位
FA5 <sup>(1)</sup>	t <sub>acc(d)</sub>	データ アクセス時間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		H <sup>(4)</sup>	ns
FA20 <sup>(2)</sup>	t <sub>acc1-pgmode(d)</sub>	ページ モードの連続データ アクセス時間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		P <sup>(3)</sup>	ns
FA21 <sup>(1)</sup>	t <sub>acc2-pgmode(d)</sub>	ページ モードの最初のデータ アクセス時間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		H <sup>(4)</sup>	ns

- (1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
- (3)  $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(5)}$
- (4)  $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(5)}$
- (5) GPMC\_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

表 6-61. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

図 6-44、図 6-45、図 6-46、図 6-47、図 6-48、図 6-49 参照

番号	パラメータ	説明	モード <sup>(15)</sup>	最小値	最大値	単位
				133MHz		
FA0	t <sub>w(be x)nV)</sub>	パルス幅、出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間	読み出し		N <sup>(12)</sup>	ns
			書き込み		N <sup>(12)</sup>	
FA1	t <sub>w(csnV)</sub>	パルス幅、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> low	読み出し		A <sup>(1)</sup>	ns
			書き込み		A <sup>(1)</sup>	
FA3	t <sub>d(csnV-advnV)</sub>	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで	読み出し	B - 2.1 <sup>(2)</sup>	B + 2.1 <sup>(2)</sup>	ns
			書き込み	B - 2.1 <sup>(2)</sup>	B + 2.1 <sup>(2)</sup>	
FA4	t <sub>d(csnV-oenV)</sub>	遅延時間、出力チップセレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から 出力イネーブル GPMC_OEn_RE <i>n</i> 無効まで (単一読み取り)	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	C - 2.1 <sup>(3)</sup>	C + 2.1 <sup>(3)</sup>	ns
FA9	t <sub>d(aV-csnV)</sub>	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.1 <sup>(9)</sup>	J + 2.1 <sup>(9)</sup>	ns
FA10	t <sub>d(be x)nV-csnV)</sub>	遅延時間、出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.1 <sup>(9)</sup>	J + 2.1 <sup>(9)</sup>	ns
FA12	t <sub>d(csnV-advnV)</sub>	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力アドレス有効、アドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	K - 2.1 <sup>(10)</sup>	K + 2.1 <sup>(10)</sup>	ns

表 6-61. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-44、図 6-45、図 6-46、図 6-47、図 6-48、図 6-49 参照

番号	パラメータ	説明	モード <sup>(15)</sup>	最小値	最大値	単位
				133MHz		
FA13	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	L - 2.1 <sup>(11)</sup>	L + 2.1 <sup>(11)</sup>	ns
FA16	$t_{w(aIV)}$	2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	G <sup>(7)</sup>		ns
FA18	$t_{d(csnV-oenIV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 無効まで (バースト読み取り)	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	I - 2.1 <sup>(8)</sup>	I + 2.1 <sup>(8)</sup>	ns
FA20	$t_{w(aV)}$	パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D <sup>(4)</sup>		ns
FA25	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	E - 2.1 <sup>(5)</sup>	E + 2.1 <sup>(5)</sup>	ns
FA27	$t_{d(csnV-wenIV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効から出力書き込みイネーブル GPMC_WEn 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	F - 2.1 <sup>(6)</sup>	F + 2.1 <sup>(6)</sup>	ns
FA28	$t_{d(wenV-dV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.1		ns
FA29	$t_{d(dV-csnV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.1 <sup>(9)</sup>	J + 2.1 <sup>(9)</sup>	ns
FA37	$t_{d(oenV-aIV)}$	遅延時間、出力イネーブル GPMC_OEn_RE <i>n</i> 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.1		ns

- (1) 単一読み取りの場合:  $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 単一書き込みの場合:  $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト読み取りの場合:  $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト書き込みの場合:  $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 n はページ バースト アクセス数
- (2) 読み取りの場合:  $B = ((ADVrdOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 書き込みの場合:  $B = ((ADVwrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (3)  $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (4)  $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 (5)  $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (6)  $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (7)  $G = Cycle2CycleDelay \times GPMC\_FCLK^{(14)}$   
 (8)  $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (9)  $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC\_FCLK^{(14)}$   
 (10)  $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (11)  $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (12) 単一読み取りの場合:  $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 単一書き込みの場合:  $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト読み取りの場合:  $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト書き込みの場合:  $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$
- (13) GPMC\_CS*n*[*i*] で、i は 0、1、2、または 3 です。  
 (14) GPMC\_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

(15) div\_by\_1\_mode に対し:

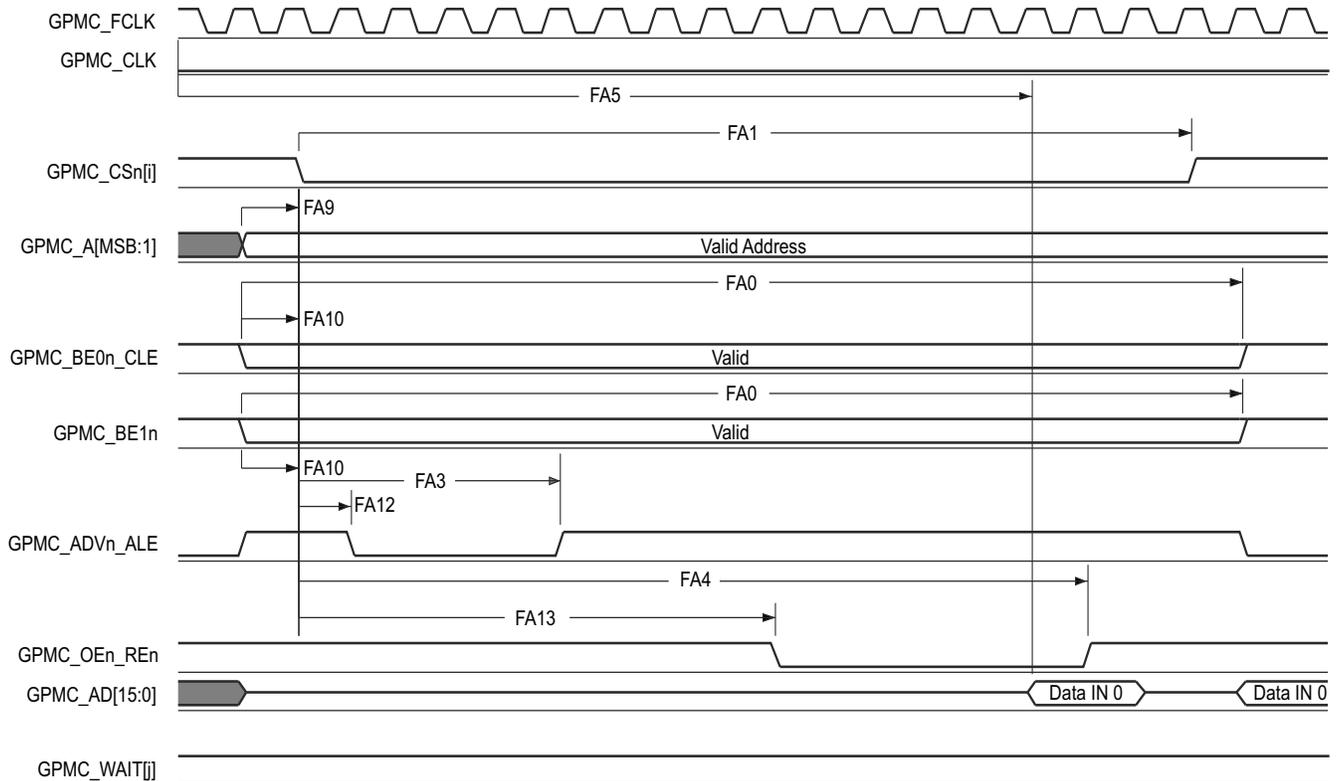
- GPMC\_CONFIG1\_i レジスタ: GPMCFCLKDIVIDER = 0h:
  - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数

GPMC\_FCLK\_MUX に対し:

- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 00 = CPSWHSDIV\_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY\_X1 に対し:

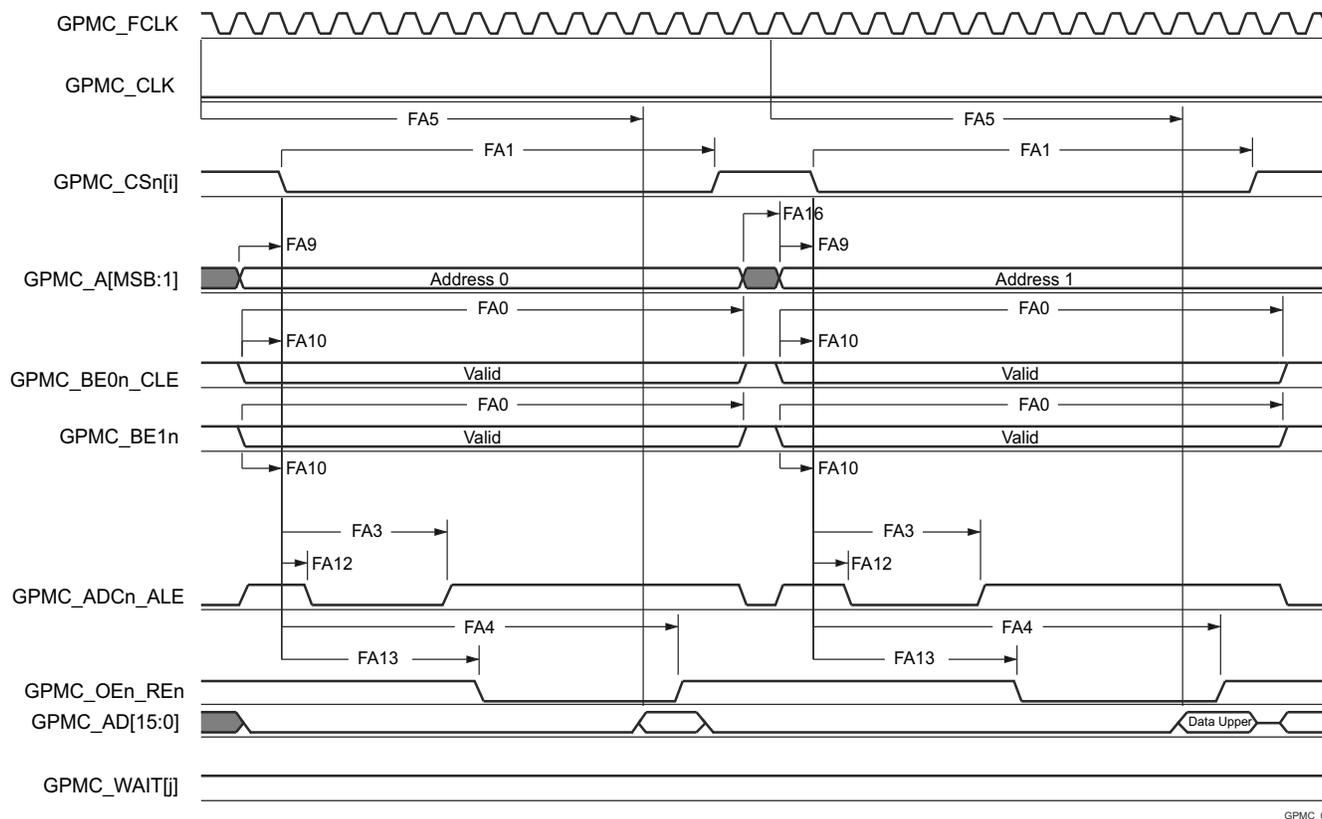
- GPMC\_CONFIG1\_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OE OFFTIME、WEONTIME、WE OFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)



GPMC\_06

- GPMC\_CS[n] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、jis は 0 または 1 です。
- FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

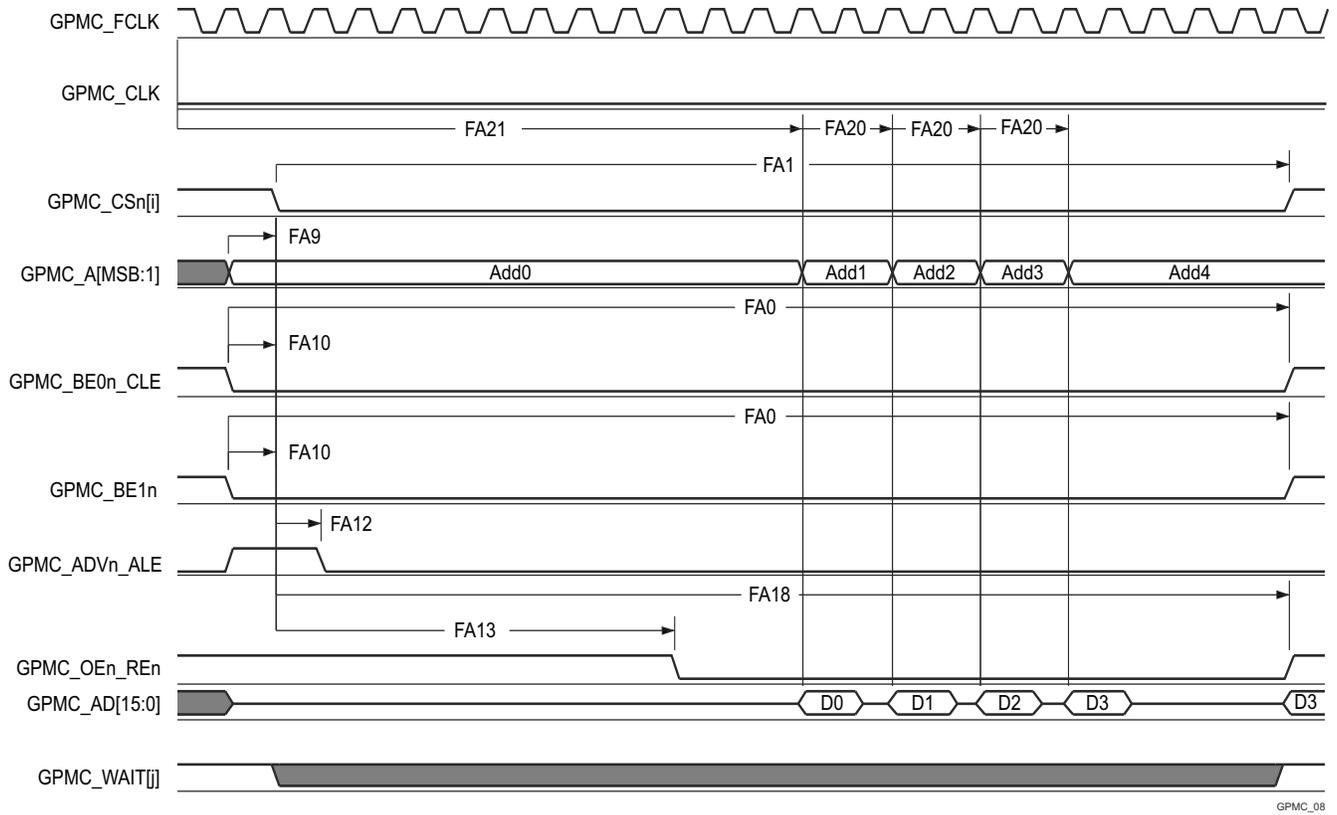
図 6-44. GPMC および NOR フラッシュ — 非同期読み取り — シングルワード



GPMC\_07

- A. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC\_WAIT[j] で、*j* は 0 または 1 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

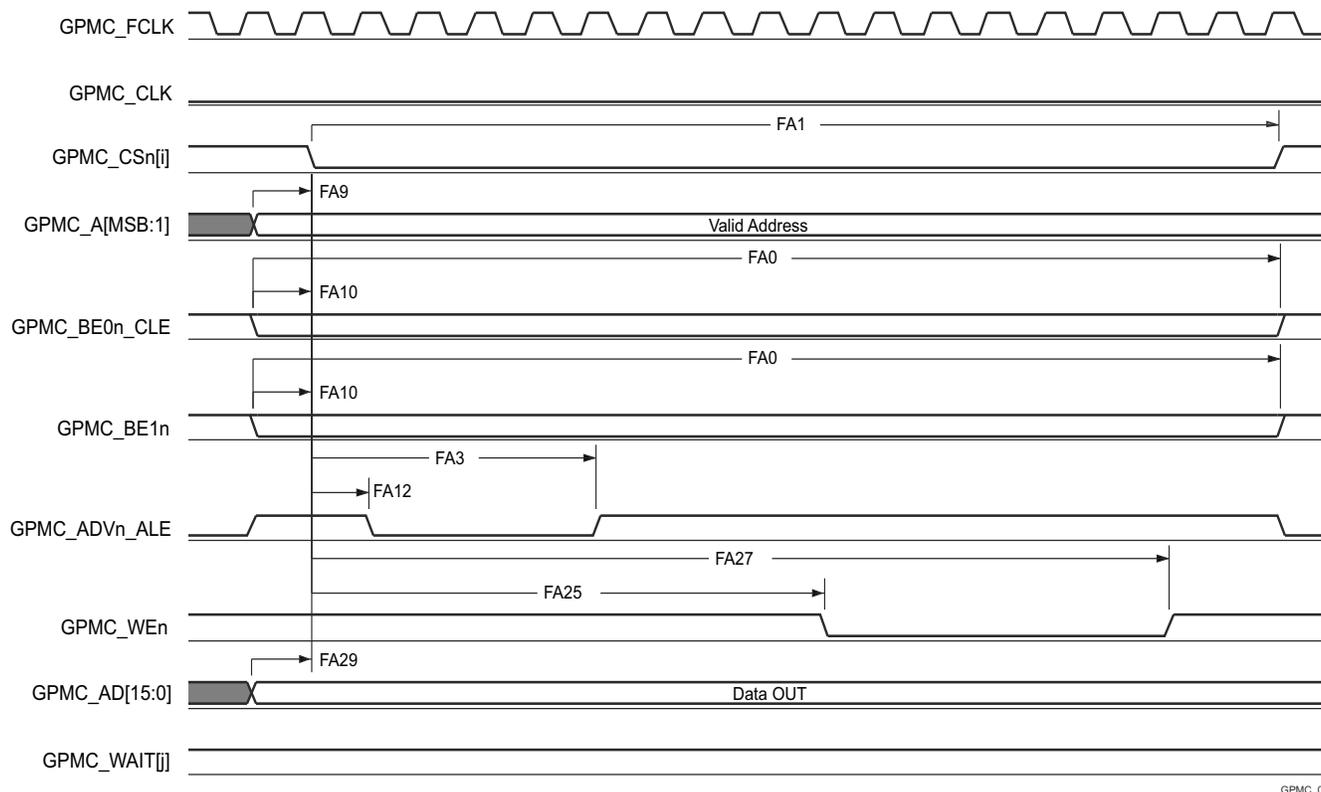
図 6-45. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット



GPMC\_08

- GPMC\_CS[n] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。
- FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。
- FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。
- GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

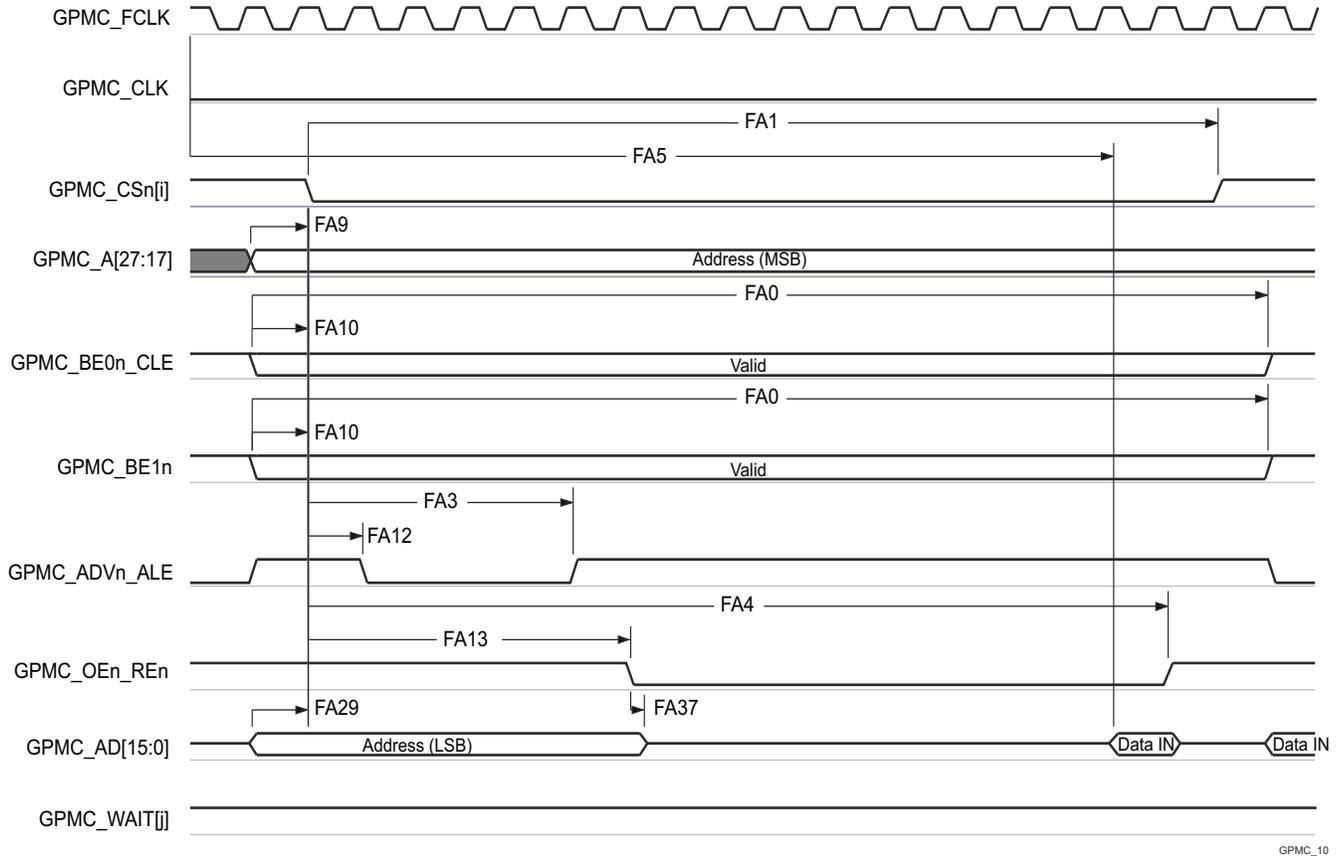
図 6-46. GPMC および NOR フラッシュ — 非同期読み取り — ページモード 4x16 ビット



GPMC\_09

A. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC\_WAIT[j] で、*j* は 0 または 1 です。

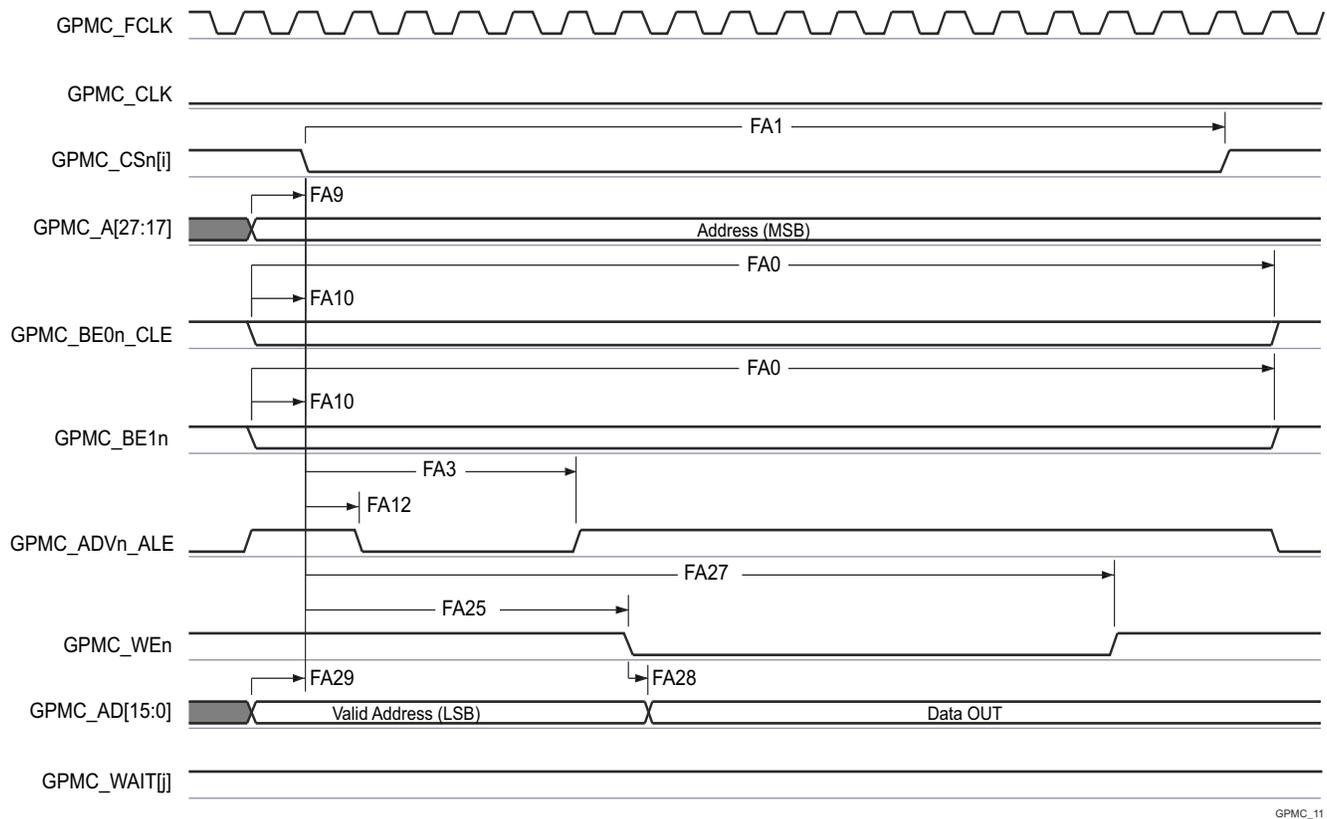
**図 6-47. GPMC および NOR フラッシュ — 非同期書き込み — シングルワード**



GPMC\_10

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビットフィールド内に格納する必要があります。
- C. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

**図 6-48. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングルワード**



GPMC\_11

A. GPMC\_CSn[i] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-49. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングルワード

### 6.11.5.8.3 GPMC および NAND フラッシュ – 非同期モード

表 6-62 および 表 6-63 に、GPMC および NAND フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-62. GPMC および NAND フラッシュのタイミング要件 – 非同期モード

図 6-52 参照

番号	パラメータ	説明	モード <sup>(4)</sup>	最小値	最大値	単位
				133MHz		
GNF12 <sup>(1)</sup>	t <sub>acc(d)</sub>	アクセス時間、入力データ GPMC_AD[15:0] <sup>(3)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J <sup>(2)</sup>		ns

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されず、読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビットフィールドに保存する必要があります。

(2)  $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}$ <sup>(3)</sup>

(3) GPMC\_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

(4) div\_by\_1\_mode に対し:

- GPMC\_CONFIG1\_i レジスタ: GPMCCLKDIVIDER = 0h:
  - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数

GPMC\_FCLK\_MUX に対し:

- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 00 = CPSWHS DIV\_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY\_X1 に対し:

- GPMC\_CONFIG1\_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSR/DWROFFTIME、ADVONTIME、ADV/DWROFFTIME、OEONTIME、OE/OFFTIME、WEONTIME、WE/OFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

表 6-63. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

図 6-50、図 6-51、図 6-52、図 6-53 を参照

番号	パラメータ	説明	モード <sup>(4)</sup>	最小値	最大値	単位
GNF0	t <sub>w(wenV)</sub>	パルス幅、出力書き込みイネーブル GPMC_WEn 有効	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	A		ns
GNF1	t <sub>d(csnV-wenV)</sub>	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(2)</sup> 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	B - 2	B + 2	ns
GNF2	t <sub>w(cleH-wenV)</sub>	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0 <i>n</i> _CLE high から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns
GNF3	t <sub>w(wenV-dV)</sub>	遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D - 2	D + 2	ns
GNF4	t <sub>w(wenV-dIV)</sub>	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	E - 2	E + 2	ns
GNF5	t <sub>w(wenV-cleIV)</sub>	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0 <i>n</i> _CLE 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF6	t <sub>w(wenV-CS<i>n</i>[<i>j</i>])V)</sub>	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(2)</sup> 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	G - 2	G + 2	ns

**表 6-63. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード (続き)**

図 6-50、図 6-51、図 6-52、図 6-53 を参照

番号	パラメータ	モード <sup>(4)</sup>	最小値	最大値	単位
GNF7	$t_{w(aleH-wenV)}$ 遅延時間、出力アドレス有効およびアドレスラッチイネーブル GPMC_ADVn_ALE high から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$ 遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレスラッチイネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF9	$t_{c(wen)}$ サイクル時間、書き込み	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		H	ns
GNF10	$t_{d(csnV-oenV)}$ 遅延時間、出力チップセレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(2)</sup> 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	I - 2	I + 2	ns
GNF13	$t_{w(oenV)}$ パルス幅、出力イネーブル GPMC_OEn_RE <i>n</i> 有効	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		K	ns
GNF14	$t_{c(oen)}$ サイクル時間、読み取り	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		L	ns
GNF15	$t_{w(oenIV-CSn[i]V)}$ 遅延時間、出力イネーブル GPMC_OEn_RE <i>n</i> 無効から出力チップセレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(2)</sup> 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	M - 2	M + 2	ns

(1)  $A = (WEOffTime - WEOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(3)}$

(2) GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

(3) GPMC\_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。

(4) div\_by\_1\_mode に対し:

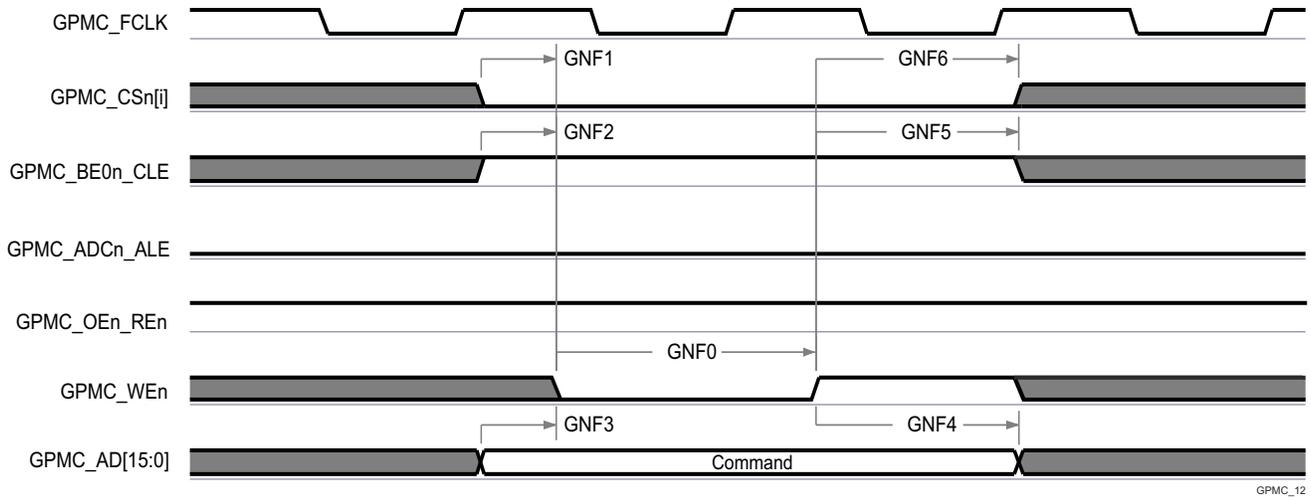
- GPMC\_CONFIG1\_1 レジスタ: GPMCFCLKDIVIDER = 0h:
  - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数

GPMC\_FCLK\_MUX に対し:

- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 00 = CPSWHSIDIV\_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY\_X1 に対し:

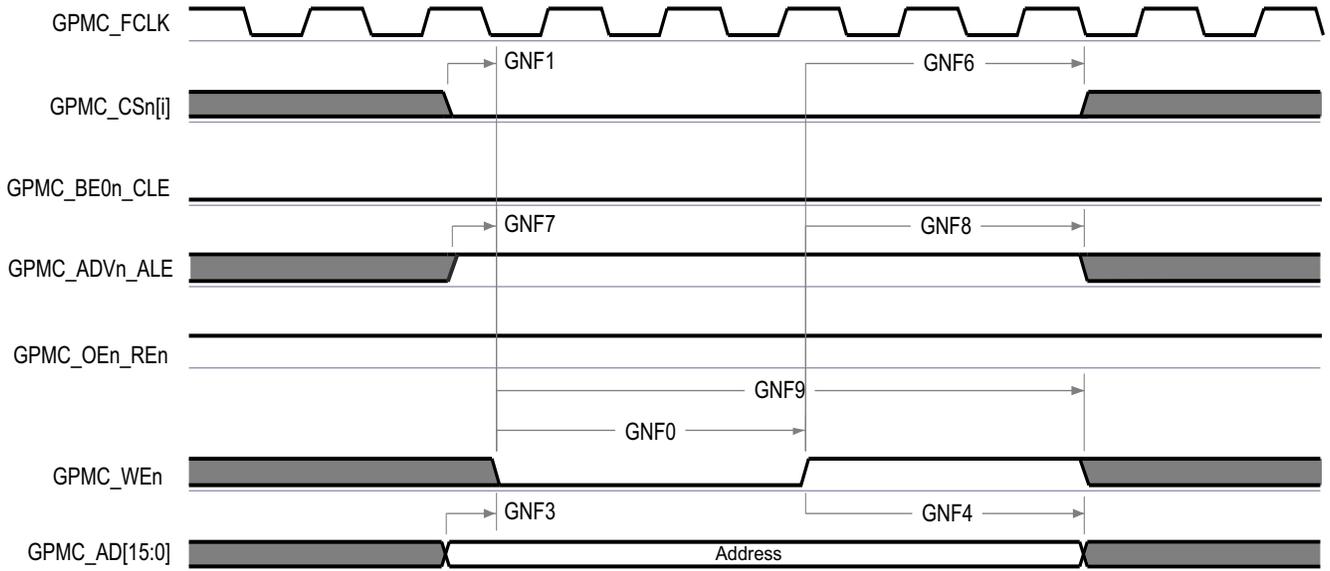
- GPMC\_CONFIG1\_1 レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVVD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)



GPMC\_12

A. GPMC\_CS*n*[i] で、i は 0、1、2、または 3 です。

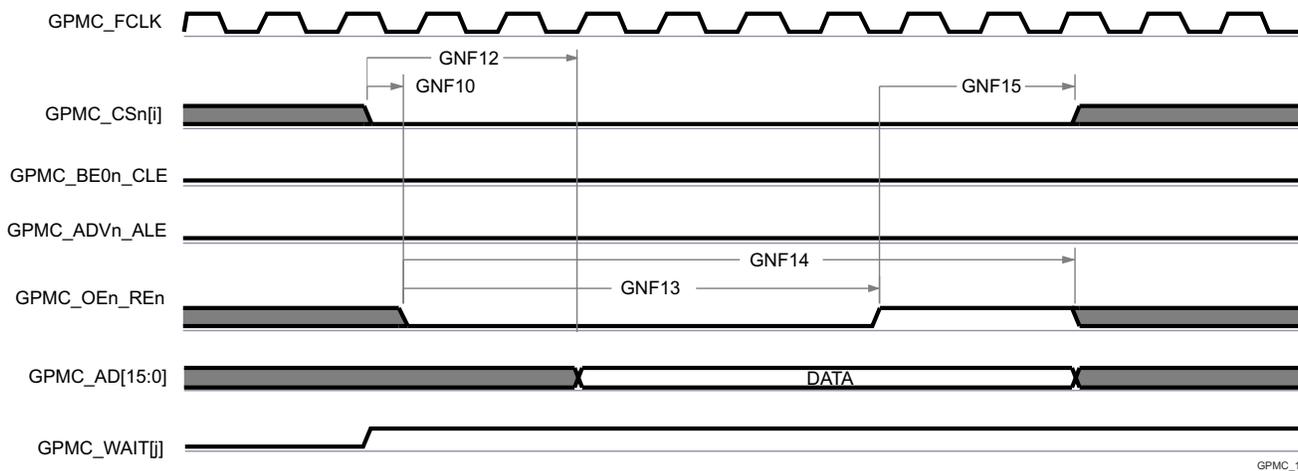
**図 6-50. GPMC および NAND フラッシュ – コマンド ラッチ サイクル**



GPMC\_13

A. GPMC\_CS*n*[i] で、i は 0、1、2、または 3 です。

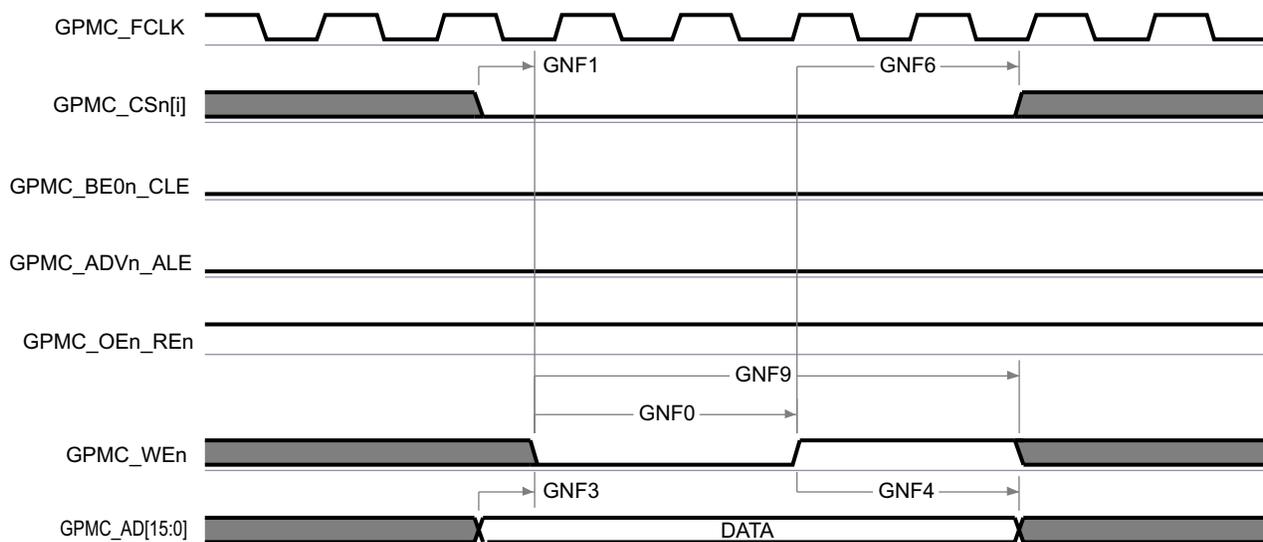
**図 6-51. GPMC および NAND フラッシュ – アドレス ラッチ サイクル**



GPMC\_14

- A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタビット フィールド内に格納する必要があります。
- B. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
- C. GPMC\_CSn[i] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-52. GPMC および NAND フラッシュ — データ読み取りサイクル



GPMC\_15

- A. In GPMC\_CSn[i] で、i は 0、1、2、または 3 です。

図 6-53. GPMC および NAND フラッシュ — データ書き込みサイクル

6.11.5.8.4 GPMC0 の IOSET

表 6-64 に、GPMC0 の各 IOSET の有効なピンの組み合わせを示します。

表 6-64. GPMC0 の IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
GPMC0_AD0	GPMC0_AD0	0	GPMC0_AD0	0
GPMC0_AD1	GPMC0_AD1	0	GPMC0_AD1	0
GPMC0_AD2	GPMC0_AD2	0	GPMC0_AD2	0
GPMC0_AD3	GPMC0_AD3	0	GPMC0_AD3	0
GPMC0_AD4	GPMC0_AD4	0	GPMC0_AD4	0
GPMC0_AD5	GPMC0_AD5	0	GPMC0_AD5	0
GPMC0_AD6	GPMC0_AD6	0	GPMC0_AD6	0
GPMC0_AD7	GPMC0_AD7	0	GPMC0_AD7	0
GPMC0_AD8	GPMC0_AD8	0	GPMC0_AD8	0
GPMC0_AD9	GPMC0_AD9	0	GPMC0_AD9	0
GPMC0_AD10	GPMC0_AD10	0	GPMC0_AD10	0
GPMC0_AD11	GPMC0_AD11	0	GPMC0_AD11	0
GPMC0_AD12	GPMC0_AD12	0	GPMC0_AD12	0
GPMC0_AD13	GPMC0_AD13	0	GPMC0_AD13	0
GPMC0_AD14	GPMC0_AD14	0	GPMC0_AD14	0
GPMC0_AD15	GPMC0_AD15	0	GPMC0_AD15	0
GPMC0_CLK	GPMC0_CLK	0	GPMC0_CLK	0
GPMC0_ADVn_ALE	GPMC0_ADVn_ALE	0	GPMC0_ADVn_ALE	0
GPMC0_OEn_REn	GPMC0_OEn_REn	0	GPMC0_OEn_REn	0
GPMC0_WEn	GPMC0_WEn	0	GPMC0_WEn	0
GPMC0_BE0n_CLE	GPMC0_BE0n_CLE	0	GPMC0_BE0n_CLE	0
GPMC0_BE1n	GPMC0_BE1n	0	GPMC0_BE1n	0
GPMC0_WAIT0	GPMC0_WAIT0	0	GPMC0_WAIT0	0
GPMC0_WAIT1	GPMC0_WAIT1	0	GPMC0_WAIT1	0
GPMC0_WPn	GPMC0_WPn	0	GPMC0_WPn	0
GPMC0_DIR	GPMC0_DIR	0	GPMC0_DIR	0
GPMC0_CSn0	GPMC0_CSn0	0	GPMC0_CSn0	0
GPMC0_CSn1	GPMC0_CSn1	0	GPMC0_CSn1	0
GPMC0_CSn2	GPMC0_CSn2	0	GPMC0_CSn2	0
GPMC0_CSn3	GPMC0_CSn3	0	GPMC0_CSn3	0
GPMC0_AD16	PRG1_PRU0_GPO0	8	PRG1_PRU0_GPO0	8
GPMC0_AD17	PRG1_PRU0_GPO1	8	PRG1_PRU0_GPO1	8
GPMC0_AD18	PRG1_PRU0_GPO2	8	PRG1_PRU0_GPO2	8
GPMC0_AD19	PRG1_PRU0_GPO3	8	PRG1_PRU0_GPO3	8
GPMC0_AD20	PRG1_PRU0_GPO4	8	PRG1_PRU0_GPO4	8
GPMC0_AD21	PRG1_PRU0_GPO5	8	PRG1_PRU0_GPO5	8
GPMC0_AD22	PRG1_PRU0_GPO6	8	PRG1_PRU0_GPO6	8
GPMC0_AD23	PRG1_PRU0_GPO7	8	PRG1_PRU0_GPO7	8
GPMC0_AD24	PRG1_PRU0_GPO8	8	PRG1_PRU0_GPO8	8
GPMC0_AD25	PRG1_PRU0_GPO9	8	PRG1_PRU0_GPO9	8
GPMC0_AD26	PRG1_PRU0_GPO10	8	PRG1_PRU0_GPO10	8

**表 6-64. GPMC0 の IOSET (続き)**

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
GPMC0_AD27	PRG1_PRU0_GPO11	8	PRG1_PRU0_GPO11	8
GPMC0_AD28	PRG1_PRU0_GPO12	8	PRG1_PRU0_GPO12	8
GPMC0_AD29	PRG1_PRU0_GPO13	8	PRG1_PRU0_GPO13	8
GPMC0_AD30	PRG1_PRU0_GPO14	8	PRG1_PRU0_GPO14	8
GPMC0_AD31	PRG1_PRU0_GPO15	8	PRG1_PRU0_GPO15	8
GPMC0_BE2n	PRG1_PRU0_GPO16	8	PRG1_PRU0_GPO16	8
GPMC0_A0	PRG1_PRU0_GPO17	8	PRG0_PRU0_GPO2	9
GPMC0_A1	PRG1_PRU0_GPO18	8	PRG0_PRU0_GPO4	9
GPMC0_A2	PRG1_PRU0_GPO19	8	PRG0_PRU0_GPO8	9
GPMC0_A3	PRG1_PRU1_GPO0	8	PRG0_PRU0_GPO14	9
GPMC0_A4	PRG1_PRU1_GPO1	8	PRG0_PRU0_GPO16	9
GPMC0_A5	PRG1_PRU1_GPO2	8	PRG0_PRU0_GPO18	9
GPMC0_A6	PRG1_PRU1_GPO3	8	PRG0_PRU0_GPO19	9
GPMC0_A7	PRG1_PRU1_GPO4	8	PRG0_PRU1_GPO12	9
GPMC0_A8	PRG1_PRU1_GPO5	8	PRG0_PRU1_GPO13	9
GPMC0_A9	PRG1_PRU1_GPO6	8	PRG0_PRU1_GPO14	9
GPMC0_A10	PRG1_PRU1_GPO7	8	PRG0_PRU1_GPO15	9
GPMC0_A11	PRG1_PRU1_GPO8	8	PRG0_PRU1_GPO16	9
GPMC0_A12	PRG1_PRU1_GPO9	8	PRG0_MDIO0_MDIO	9
GPMC0_A13	PRG1_PRU1_GPO10	8	PRG0_MDIO0_MDC	9
GPMC0_A14	PRG1_PRU1_GPO11	8	PRG0_PRU0_GPO12	9
GPMC0_A15	PRG1_PRU1_GPO12	8	PRG0_PRU0_GPO13	9
GPMC0_A16	PRG1_PRU1_GPO13	8	PRG0_PRU0_GPO15	9
GPMC0_A17	PRG1_PRU1_GPO14	8	PRG0_PRU0_GPO17	9
GPMC0_A18	PRG1_PRU1_GPO15	8	PRG0_PRU1_GPO3	9
GPMC0_A19	PRG1_PRU1_GPO16	8	PRG0_PRU1_GPO6	9
GPMC0_BE3n	PRG1_PRU1_GPO17	8	PRG1_PRU1_GPO17	8
GPMC0_A20	GPMC0_CS <sub>n</sub> 3	4	GPMC0_CS <sub>n</sub> 3	4
GPMC0_A21	GPMC0_WAIT1	4	GPMC0_WAIT1	4
GPMC0_A22	GPMC0_WP <sub>n</sub>	4	GPMC0_WP <sub>n</sub>	4

### 6.11.5.9 I2C

このデバイスには、6 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I<sup>2</sup>C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電氣的仕様に完全には準拠していません。サポートされる速度と例外について、以下にポートごとに説明します。

#### • MCU\_I2C1、I2C1、I2C2、I2C3

– 速度:

- スタンダード モード (最大 100kbit/s)
  - 1.8V
  - 3.3V
- ファースト モード (最大 400kbit/s)
  - 1.8V
  - 3.3V

– 例外:

- これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
- I2C 仕様では、最大入力電圧  $V_{IH}$  が  $(V_{DD_{max}} + 0.5V)$  と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

#### • MCU\_I2C0 および I2C0

– 速度:

- スタンダード モード (最大 100kbit/s)
  - 1.8V
  - 3.3V
- ファースト モード (最大 400kbit/s)
  - 1.8V
  - 3.3V
- Hs モード (最大 3.4Mbit/s)
  - 1.8V

– 例外:

- これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするには設計されていません。したがって、Hs モードは 1.8V 動作に限定されます。
- これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.8V/ns (すなわち 8E+7V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.08V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
- I2C 仕様では、最大入力電圧  $V_{IH}$  が  $(V_{DD_{max}} + 0.5V)$  と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

#### 注

I2C2 には、複数のピンに多重化可能な信号が 1 つ以上あります。タイミングは、IOSET と呼ばれる特定のピンの組み合わせに対してのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#)で定義されます。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

本デバイスの I2C (Inter-Integrated Circuit) の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

### 6.11.5.10 MCAN

表 6-65 と表 6-66 に、MCAN のタイミング条件とスイッチング特性を示します。

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される一般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

**表 6-65. MCAN のタイミング条件**

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	2	15	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	5	20	pF

**表 6-66. MCAN のスイッチング特性**

番号	パラメータ	説明	最小値	最大値	単位
MCAN1	t <sub>d</sub> (MCAN_TX)	遅延時間、送信シフトレジスタから MCANn_TX まで		10	ns
MCAN2	t <sub>d</sub> (MCAN_RX)	遅延時間、MCANn_RX から受信シフトレジスタまで		10	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

### 6.11.5.11 MCSPI

デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

MCSPI のタイミング条件を、表 6-67 に示します。

**表 6-67. MCSPI のタイミング条件**

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	2	8.5	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	6	12	pF

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

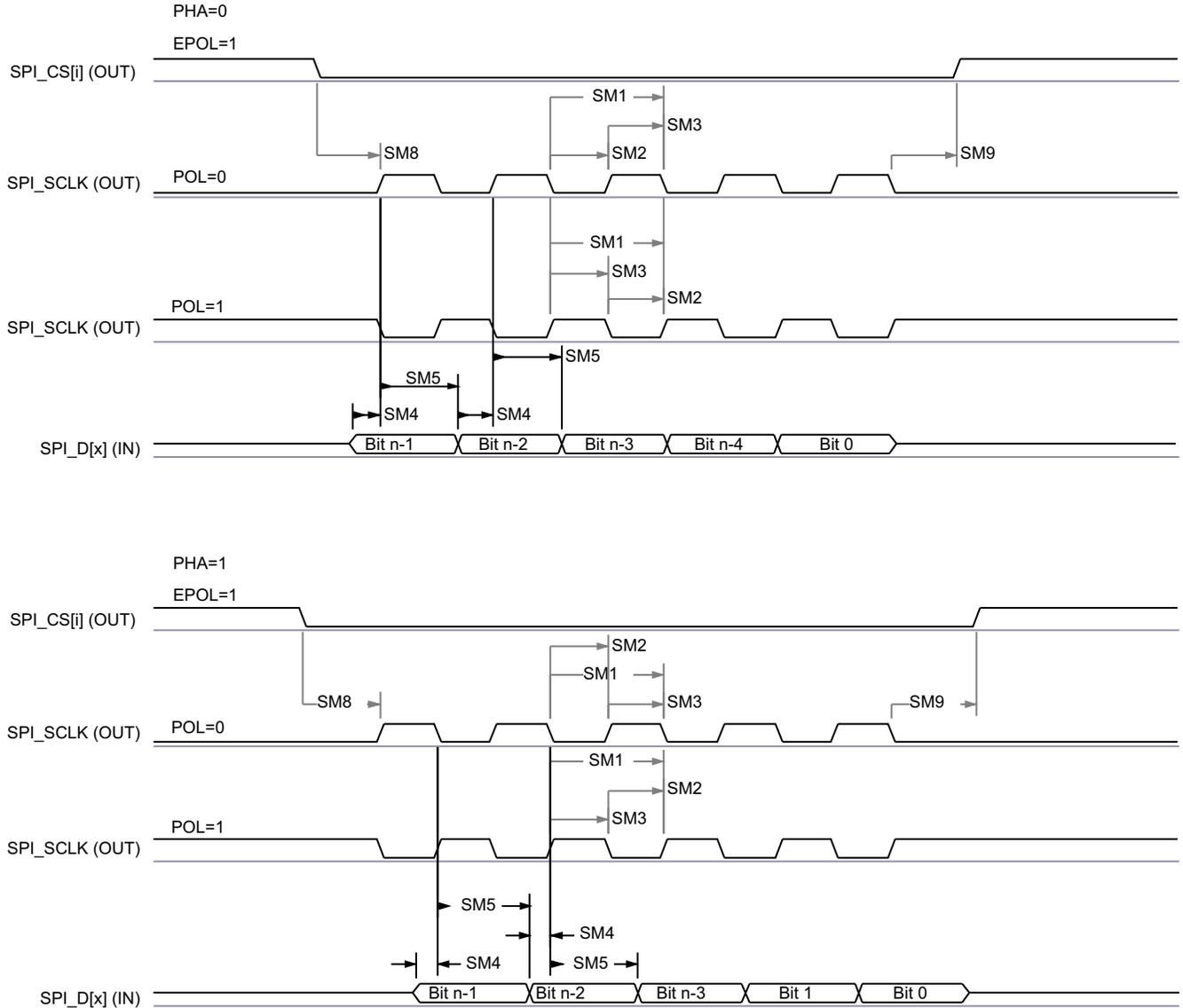
6.11.5.11.1 MCSPI – コントローラ モード

表 6-68、図 6-54、表 6-69、図 6-55 に、SPI –コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-68. MCSPI のタイミング要件 - コントローラ モード

図 6-54 参照

番号	パラメータ	説明	最小値	最大値	単位
SM4	$t_{su}(POCI-SPICLK)$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	2.8		ns
SM5	$t_h(SPICLK-POCI)$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	3		ns



SPRSP08\_TIMING\_McSPI\_02

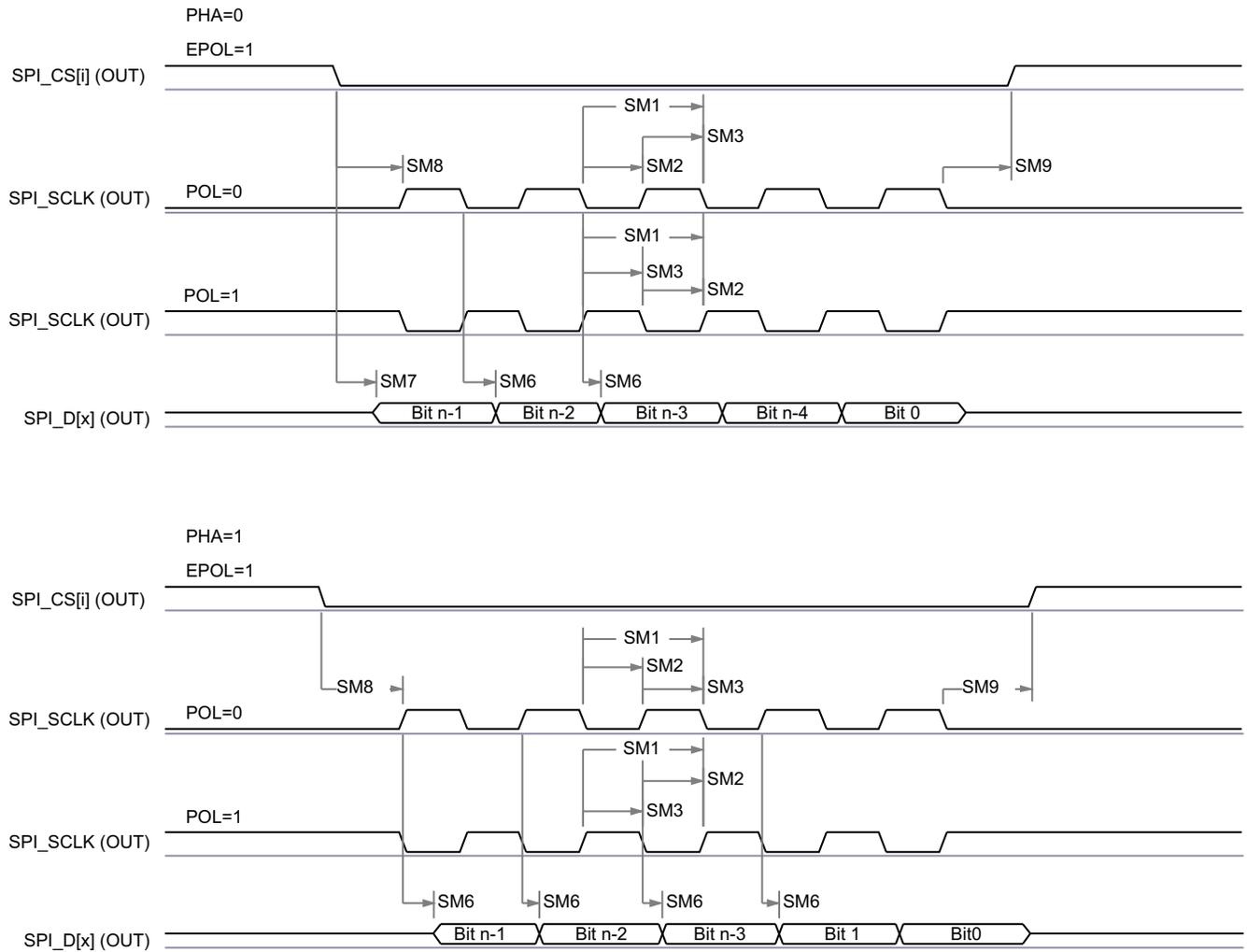
図 6-54. MCSPI コントローラ モードの受信タイミング

**表 6-69. MCSPI のスイッチング特性 - コントローラ モード**

図 6-55 参照

番号	パラメータ		最小値	最大値	単位
SM1	$t_c(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SM2	$t_w(\text{SPICLK})$	パルス幅、SPIn_CLK Low	$0.5P - 1^{(1)}$		ns
SM3	$t_w(\text{SPICLK})$	パルス幅、SPIn_CLK High	$0.5P - 1^{(1)}$		ns
SM6	$t_d(\text{SPICLK-PICO})$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	-3	2.5	ns
SM7	$t_d(\text{CS-PICO})$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	5		ns
SM8	$t_d(\text{CS-SPICLK})$	遅延時間、SPIn_CSi アクティブから SPIn_CLK の最初のエッジまで	PHA = 0	B - 4 <sup>(2)</sup>	ns
			PHA = 1	A - 4 <sup>(3)</sup>	ns
SM9	$t_d(\text{SPICLK-CS})$	遅延時間、SPIn_CLK の最後のエッジから SPIn_CSi 非アクティブまで	PHA = 0	A - 4 <sup>(4)</sup>	ns
			PHA = 1	B - 4 <sup>(5)</sup>	ns

- (1) P = SPI\_CLK 周期 (ns 単位)。  
 (2) T\_ref は、McSPI 機能クロックの周期です (ns 単位)。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MCSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。  
 • Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。  
 • Fratio  $\geq 2$  かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。  
 • Fratio  $\geq 3$  かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。  
 (3) T\_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MCSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。  
 • Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。  
 • Fratio  $\geq 2$  かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。  
 • Fratio  $\geq 3$  かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。  
 (4) T\_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MCSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。  
 • Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。  
 • Fratio  $\geq 2$  かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。  
 • Fratio  $\geq 3$  かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。  
 (5) T\_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MCSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。  
 • Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。  
 • Fratio  $\geq 2$  かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。  
 • Fratio  $\geq 3$  かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。



SPRSP08\_TIMING\_McSPI\_01

**図 6-55. MCSPI コントローラ モードの送信タイミング**

### 6.11.5.11.2 MCSPI – パリフェラル モード

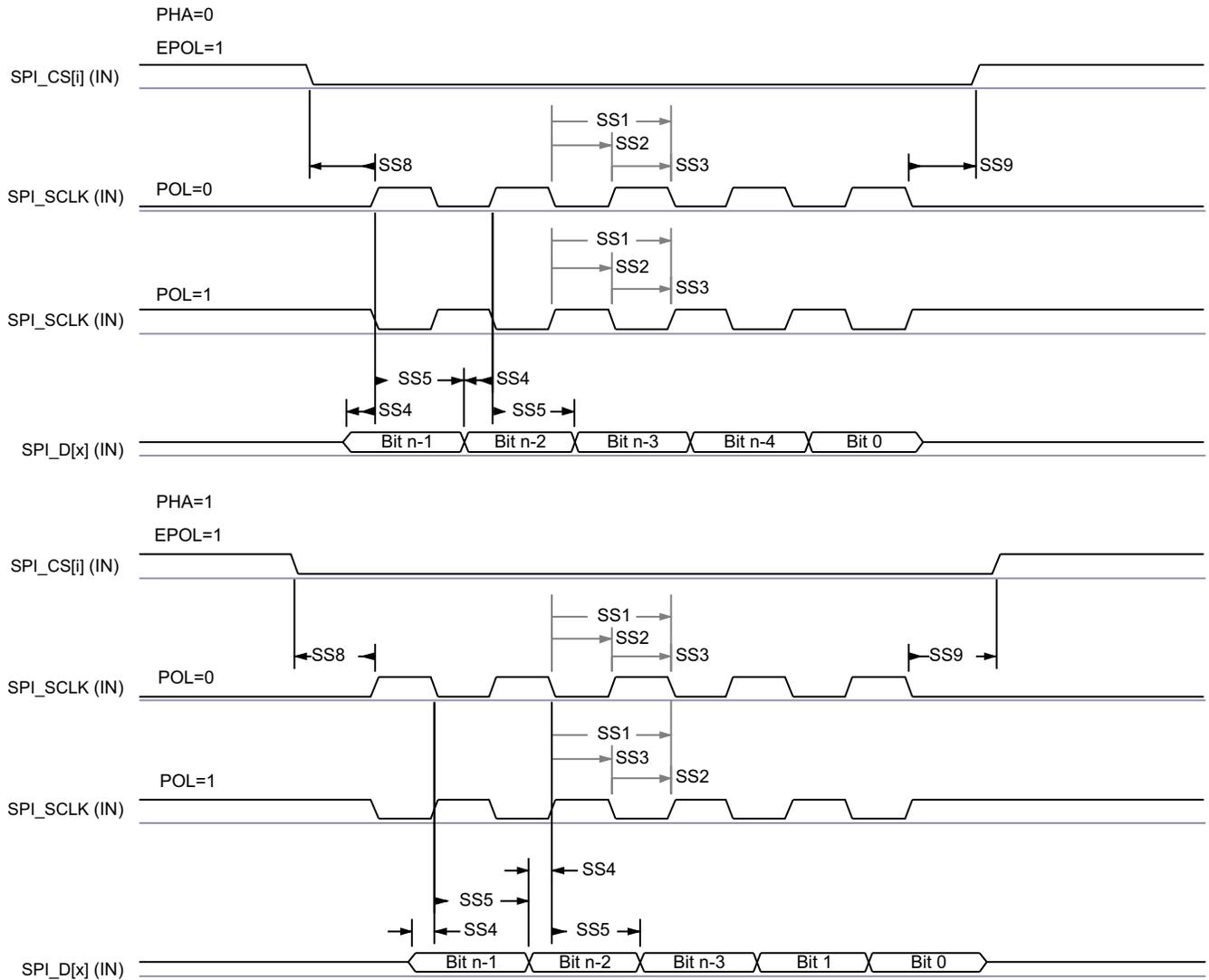
表 6-70、図 6-56、表 6-71、図 6-57 に、SPI –パリフェラル モードのタイミング要件とスイッチング特性を示します。

**表 6-70. MCSPI のタイミング要件 - パリフェラル モード**

図 6-56 参照

番号	パラメータ	説明	最小値	最大値	単位
SS1	$t_c(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SS2	$t_w(\text{SPICLK}_L)$	パルス幅、SPIn_CLK Low	0.45P <sup>(1)</sup>		ns
SS3	$t_w(\text{SPICLK}_H)$	パルス幅、SPIn_CLK High	0.45P <sup>(1)</sup>		ns
SS4	$t_{su}(\text{PICO-SPICLK})$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	5		ns
SS5	$t_h(\text{SPICLK-PICO})$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	5		ns
SS8	$t_{su}(\text{CS-SPICLK})$	セットアップ時間、SPIn_CSi 有効から SPIn_CLK の最初のエッジまで	5		ns
SS9	$t_h(\text{SPICLK-CS})$	ホールド時間、SPIn_CLK の最後のエッジ後に SPIn_CSi 有効の時間	5		ns

(1) P = SPIn\_CLK 周期 (ns 単位)。



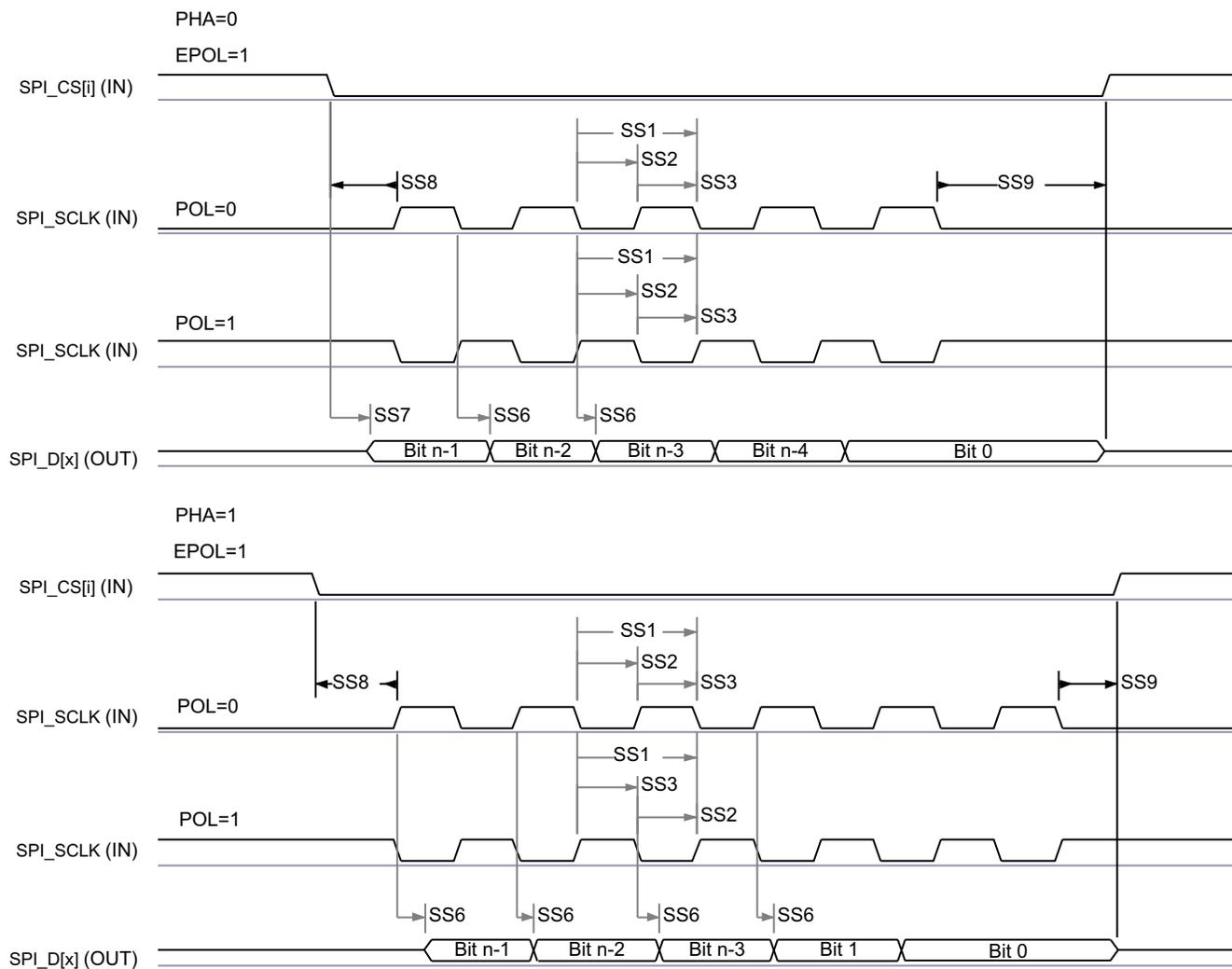
SPRSP08\_TIMING\_McSPI\_04

図 6-56. SPI ペリフェラル モードの受信タイミング

表 6-71. MCSPI のスイッチング特性 - ペリフェラル モード

図 6-57 参照

番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_d(\text{SPICLK-POCI})$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	2	17.12	ns
SS7	$t_{sk}(\text{CS-POCI})$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	20.95		ns



SPRSP08\_TIMING\_McSPI\_03

図 6-57. SPI ペリフェラル モードの送信タイミング

### 6.11.5.12 MMCS D

MMCS D ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCS D ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCS D インターフェイスの詳細については、「信号の説明」および「詳細説明」セクションの対応する MMC0 および MMC1 サブセクションを参照してください。

#### 注

一部の動作モードでは、表 6-72 および 表 6-82 に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です。

表 6-72 と表 6-82 で、ITAPDLYSEL 列に「チューニング」の値が表示されているモードでは、入力タイミングを最適化するためにチューニング アルゴリズムを使用する必要があります。入力タイミングを最適化するために必要なチューニング アルゴリズムと入力遅延の構成の詳細については、デバイス TRM の「MMCS D プログラミング ガイド」を参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCS D) インターフェイス」セクションを参照してください。

#### 6.11.5.12.1 MMC0 - eMMC インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー速度
- 高速 SDR
- 高速 DDR
- HS200

表 6-72 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-72. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング

レジスタ名		MMCS D0_MMC_SSCFG_PHY_CTRL_x_REG								
		x = 1	x = 4				x = 5			
ビットフィールド		[1]	[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
ビットフィールド名		ENDLL	STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
モード	説明	イネーブル DLL	ストロブ 遅延	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	DLL 遅延チェーン 選択	DLL REF 周波数	遅延 バツプア 時間
レガシー SDR	8 ビット PHY 動作 1.8V, 25MHz	0x0	0x0	NA <sup>(1)</sup>	NA <sup>(1)</sup>	0x1	0x10	0x1 または 0x3 <sup>(2)</sup>	NA <sup>(3)</sup>	0x7
ハイスピード SDR	8 ビット PHY 動作 1.8V, 50MHz	0x0	0x0	NA <sup>(1)</sup>	NA <sup>(1)</sup>	0x1	0xA	0x1 または 0x3 <sup>(2)</sup>	NA <sup>(3)</sup>	0x7
ハイスピード DDR	8 ビット PHY 動作 1.8V, 50MHz	0x1	0x0	0x1	0x6	0x1	0x3	0x0	0x4	NA <sup>(4)</sup>
HS200	8 ビット PHY 動作 1.8V, 200MHz	0x1	0x0	0x1	0x7	0x1	チューニング <sup>(5)</sup>	0x0	0x0	NA <sup>(4)</sup>

- (1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。
- (2) SELDLYTXCLK は、このモードに必要なハーフサイクル タイミングで動作する場合、いかなる機能も持ちません。
- (3) NA は、ENDLL が 0x0 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
- (4) NA は、ENDLL が 0x1 に設定されている場合、このレジスタ フィールドがいかなる機能も持たないことを意味します。
- (5) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-73 に、MMC0 のタイミング条件を示します。

**表 6-73. MMC0 のタイミング条件**

パラメータ			最小値	最大値	単位
<b>入力条件</b>					
SR <sub>i</sub>	入力スループレート	レガシー SDR	0.14	1.44	V/ns
		ハイスピード SDR	0.3	0.9	V/ns
		ハイスピード DDR (CMD)	0.3	0.9	V/ns
		ハイスピード DDR (DAT[7:0])	0.45	0.9	V/ns
<b>出力条件</b>					
C <sub>L</sub>	出力負荷容量	レガシー SDR	1	12	pF
		ハイスピード SDR	1	12	pF
		ハイスピード DDR	1	12	pF
		HS200	1	6	pF
<b>PCB 接続要件</b>					
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	すべてのモード	126	756	ps
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	レガシー SDR、ハイスピード SDR		100	ps
		ハイスピード DDR、HS200		8	ps

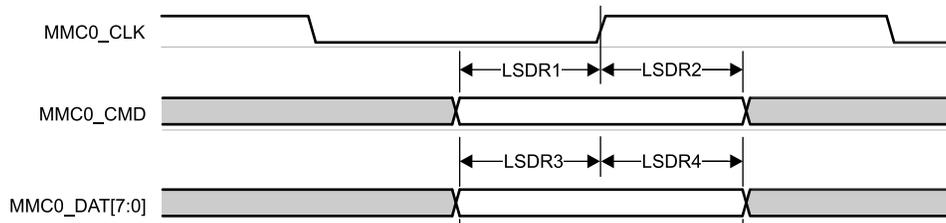
### 6.11.5.12.1.1 レガシー SDR モード

表 6-74、図 6-58、表 6-75、図 6-59 に、「MMC0 のタイミング要件とスイッチング特性 – レガシー SDR モード」を示します。

**表 6-74. MMC0 のタイミング要件 – レガシー SDR モード**

図 6-58 参照

番号			最小値	最大値	単位
LSDR1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.56		ns
LSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	5.44		ns
LSDR3	$t_{su}(dV-clkH)$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.56		ns
LSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	5.44		ns

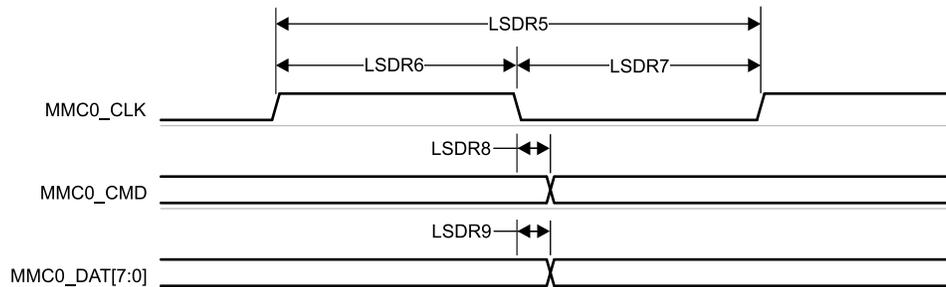


**図 6-58. MMC0 – レガシー SDR – 受信モード**

**表 6-75. MMC0 のスイッチング特性 – レガシー SDR モード**

図 6-59 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		25	MHz
LSDR5	$t_c(clk)$	サイクル時間、MMC0_CLK	40		ns
LSDR6	$t_w(clkH)$	パルス幅、MMC0_CLK high	18.7		ns
LSDR7	$t_w(clkL)$	パルス幅、MMC0_CLK low	18.7		ns
LSDR8	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-2.3	2.9	ns
LSDR9	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	-2.3	2.9	ns



**図 6-59. MMC0 – レガシー SDR – 送信モード**

### 6.11.5.12.1.2 ハイスピード SDR モード

表 6-76、図 6-60、表 6-77、図 6-61 に、「MMC0 のタイミング要件とスイッチング特性 – ハイスピード SDR モード」を示します。

表 6-76. MMC0 のタイミング要件 – ハイスピード SDR モード

図 6-60 参照

番号			最小値	最大値	単位
HSSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.55		ns
HSSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.67		ns
HSSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.55		ns
HSSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	2.67		ns

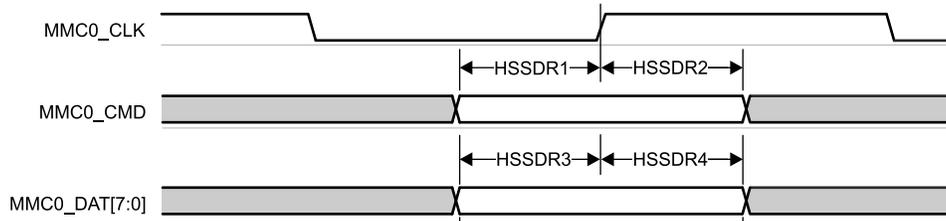


図 6-60. MMC0 – ハイスピード SDR モード – 受信モード

表 6-77. MMC0 のスイッチング特性 – ハイスピード SDR モード

図 6-61 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		50	MHz
HSSDR5	$t_c(clk)$		20	ns
HSSDR6	$t_w(clkH)$		9.2	ns
HSSDR7	$t_w(clkL)$		9.2	ns
HSSDR8	$t_d(clkL-cmdV)$	-2.3	2.9	ns
HSSDR9	$t_d(clkL-dV)$	-2.3	2.9	ns

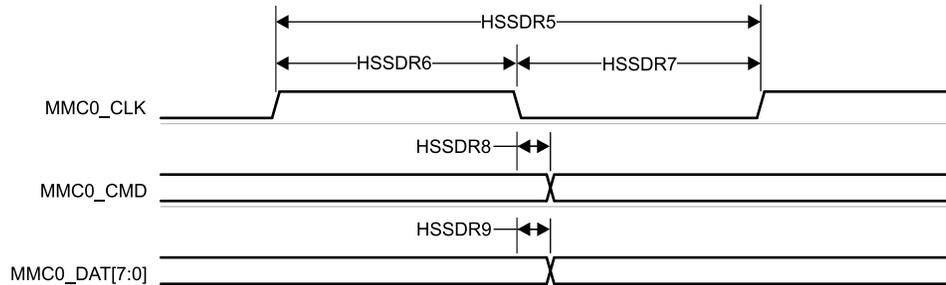


図 6-61. MMC0 – ハイスピード SDR モード – 送信モード

6.11.5.12.1.3 ハイスピード DDR モード

表 6-78、図 6-62、表 6-79、図 6-63 に、「MMC0 のタイミング要件とスイッチング特性 – ハイスピード DDR モード」を示します。

表 6-78. MMC0 のタイミング要件 – ハイスピード DDR モード

図 6-62 参照

番号			最小値	最大値	単位
HSDDR1	$t_{su(cmdV-clk)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.62		ns
HSDDR2	$t_h(clk-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.52		ns
HSDDR3	$t_{su(dV-clk)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで	0.83		ns
HSDDR4	$t_h(clk-dV)$	ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間	1.76		ns

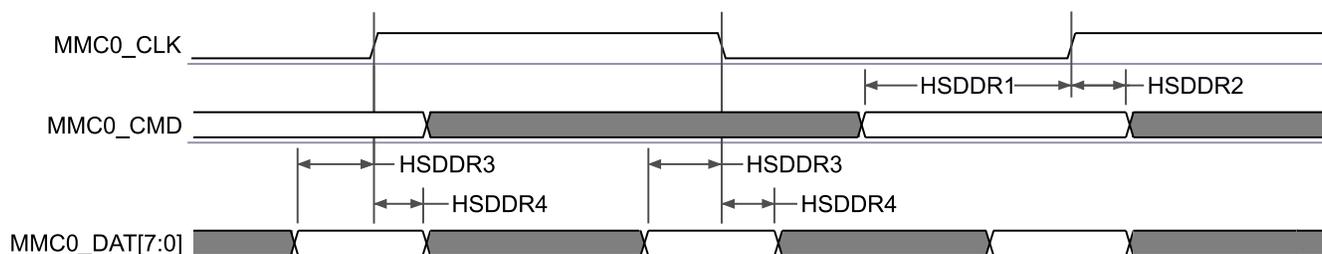


図 6-62. MMC0 – ハイスピード DDR モード – 受信モード

表 6-79. MMC0 のスイッチング特性 – ハイスピード DDR モード

図 6-63 参照

番号	パラメータ	最小値	最大値	単位	
	$f_{op(clk)}$	動作周波数、MMC0_CLK	50	MHz	
HSDDR5	$t_c(clk)$	サイクル時間、MMC0_CLK	20	ns	
HSDDR6	$t_w(clkH)$	パルス幅、MMC0_CLK high	9.2	ns	
HSDDR7	$t_w(clkL)$	パルス幅、MMC0_CLK low	9.2	ns	
HSDDR8	$t_d(clk-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	3.31	7.65	ns
HSDDR9	$t_d(clk-dV)$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで	2.81	6.94	ns

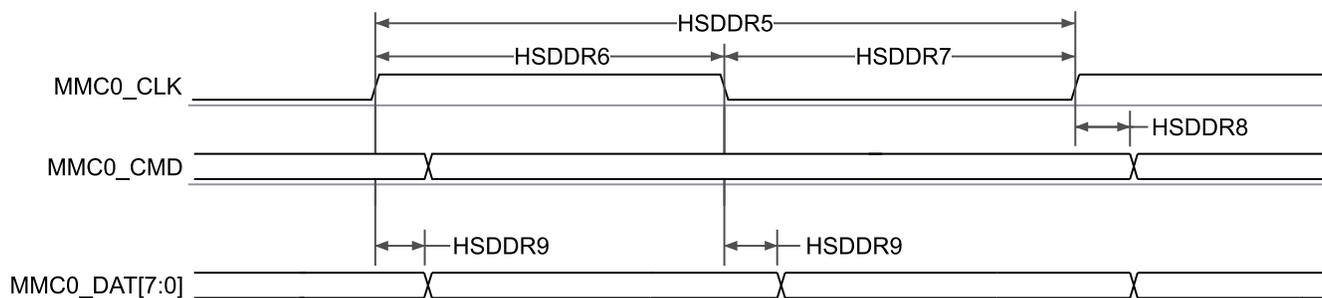


図 6-63. MMC0 – ハイスピード DDR モード – 送信モード

6.11.5.12.1.4 HS200 モード

表 6-80、図 6-64、表 6-81、図 6-65 に、MMC0 – HS200 モードのスイッチング特性を示します。

表 6-80. MMC0 のタイミング要件 – HS200 モード

図 6-64 参照

番号	パラメータ	説明	最小値	最大値	単位
HS2004	$t_{DvW}$	入力データ有効ウィンドウ、MMC0_CMD および MMC0_DAT[7:0]	2.0 <sup>(1)</sup>		ns

- (1) このパラメータは、ホストが必要とする最小データ有効ウィンドウを定義します。このとき、ホストに提示されるデータ有効ウィンドウがこの値を超える場合、ホストが有効なデータをキャプチャできることが保証されます。このパラメータで定義される値は、HS200 モードで動作する eMMC デバイスに定義されている可能な最小データ有効ウィンドウよりも小さくなります。

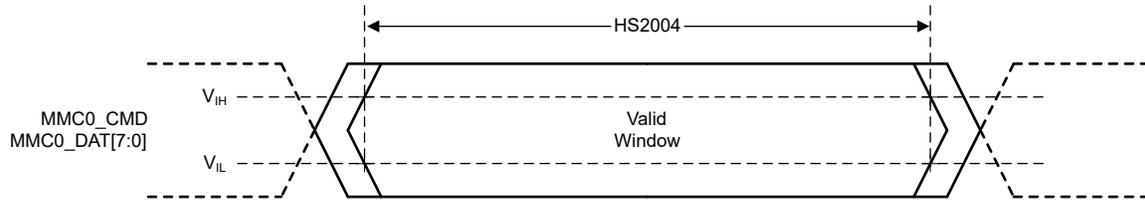


図 6-64. MMC0 – HS200 – 受信モード

表 6-81. MMC0 のスイッチング特性 – HS200 モード

図 6-65 参照

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200	MHz
HS2005	$t_c(clk)$	サイクル時間、MMC0_CLK	5		ns
HS2006	$t_w(clkH)$	パルス幅、MMC0_CLK high	2.08		ns
HS2007	$t_w(clkL)$	パルス幅、MMC0_CLK low	2.08		ns
HS2008	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	0.99	3.28	ns
HS2009	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで	0.99	3.28	ns

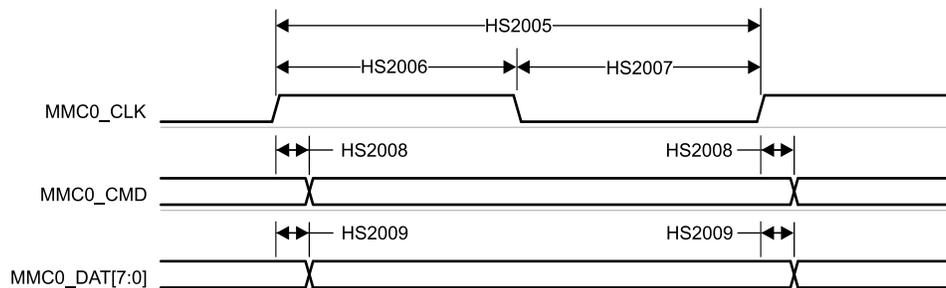


図 6-65. MMC0 – HS200 モード – 送信モード

### 6.11.5.12.2 MMC1 - SD/SDIO インターフェイス

MMC1 インターフェイスは、SDIO仕様 v3.00 だけでなく、SD ホストコントローラ標準仕様 4.10 と SD 物理層仕様 v3.01 に準拠しており、以下の SD カードアプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I SDR104
- UHS-I DDR50

表 6-82 に、MMC1 タイミングモードに必要な DLL ソフトウェア構成設定を示します。

**表 6-82. すべてのタイミングモードに対する MMC1 DLL 遅延マッピング**

レジスタ名		MMCSD1_MMC_SSCFG_PHY_CTRL_4_REG			
ビットフィールド		[20]	[15:12]	[8]	[4:0]
ビットフィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値
デフォルト 速度	4 ビット PHY 動作 3.3V、25MHz	NA <sup>(1)</sup>	NA <sup>(1)</sup>	0x1	0x0
高速	4 ビット PHY 動作 3.3V、50MHz	NA <sup>(1)</sup>	NA <sup>(1)</sup>	0x1	0x0
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x1	0x0
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x1	0x0
UHS-I SDR50	4 ビット PHY 動作 1.8V、100MHz	0x1	0xC	0x1	チューニング <sup>(2)</sup>
UHS-I DDR50	4 ビット PHY 動作 1.8V、50MHz	0x1	0x9	0x1	チューニング <sup>(2)</sup>
UHS-I SDR104	4 ビット PHY 動作 1.8V 200MHz	0x1	0x6	0x1	チューニング <sup>(2)</sup>

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタフィールドが機能しないことを意味します。

(2) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニングアルゴリズムを使用する必要があることを意味します。

表 6-83 に、MMC1 のタイミング条件を示します。

**表 6-83. MMC1 のタイミング条件**

パラメータ		最小値	最大値	単位	
<b>入力条件</b>					
SR <sub>i</sub>	入力スルーレート	デフォルト スピード、ハイスピード	0.69	2.06	V/ns
		UHS-I SDR12、UHS-I SDR25	0.34	1.34	V/ns
		UHS-I DDR50	1	2	V/ns
<b>出力条件</b>					
C <sub>L</sub>	出力負荷容量	UHS-I DDR50	3	10	pF
		その他のすべてのモード	1	10	pF
<b>PCB 接続要件</b>					
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	UHS-I DDR50	240	1134	ps
		その他のすべてのモード	126	1386	ps
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	UHS-I DDR50、UHS-I SDR104		20	ps
		その他のすべてのモード		100	ps

### 6.11.5.12.2.1 デフォルト速度モード

表 6-84、図 6-66、表 6-85、図 6-67 に、MMC1 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

**表 6-84. MMC1 のタイミング要件 – デフォルト速度モード**

図 6-66 参照

番号			最小値	最大値	単位
DS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC1_CMD 有効から MMCi_CLK の立ち上がりエッジまで	2.15		ns
DS2	$t_h(clkH-cmdV)$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 有効の間	1.67		ns
DS3	$t_{su}(dV-clkH)$	セットアップ時間、MMC1_DAT[3:0] 有効から MMC1_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_h(clkH-dV)$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 有効の間	1.67		ns



**図 6-66. MMC1 – デフォルト速度 – 受信モード**

**表 6-85. MMC1 のスイッチング特性 - デフォルト速度モード**

図 6-67 参照

番号	パラメータ	最小値	最大値	単位	
	$f_{op}(clk)$	動作周波数、MMC1_CLK	25	MHz	
DS5	$t_c(clk)$	サイクル時間、MMC1_CLK	40	ns	
DS6	$t_w(clkH)$	パルス幅、MMC1_CLK high	18.7	ns	
DS7	$t_w(clkL)$	パルス幅、MMC1_CLK low	18.7	ns	
DS8	$t_d(clkL-cmdV)$	遅延時間、MMC1_CLK 立ち下がりエッジから MMC1_CMD 遷移まで	-1.8	1.8	ns
DS9	$t_d(clkL-dV)$	遅延時間、MMC1_CLK 立ち下がりエッジから MMC1_DAT[3:0] 遷移まで	-1.8	1.8	ns



**図 6-67. MMC1 – デフォルト速度 – 送信モード**

### 6.11.5.12.2.2 ハイスピードモード

表 6-86、図 6-68、表 6-87、図 6-69 に、「MMC1 のタイミング要件とスイッチング特性 – ハイスピードモード」を示します。

表 6-86. MMC1 のタイミング要件 – ハイスピードモード

図 6-68 参照

番号			最小値	最大値	単位
HS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC1_CMD 有効から MMC1_CLK 立ち上がりエッジまで	2.15		ns
HS2	$t_h(clkH-cmdV)$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 有効の間	1.67		ns
HS3	$t_{su}(dV-clkH)$	セットアップ時間、MMC1_DAT[3:0] 有効から MMC1_CLK 立ち上がりエッジまで	2.15		ns
HS4	$t_h(clkH-dV)$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 有効の間	1.67		ns

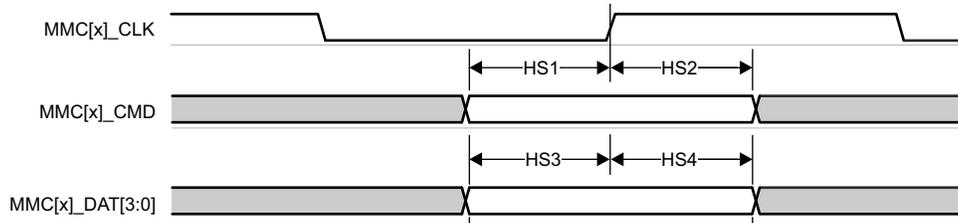


図 6-68. MMC1 – ハイスピード – 受信モード

表 6-87. MMC1 のスイッチング特性 – ハイスピードモード

図 6-69 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC1_CLK		50	MHz
HS5	$t_c(clk)$	サイクル時間、MMC1_CLK	20		ns
HS6	$t_w(clkH)$	パルス幅、MMC1_CLK high	9.2		ns
HS7	$t_w(clkL)$	パルス幅、MMC1_CLK low	9.2		ns
HS8	$t_d(clkL-cmdV)$	遅延時間、MMC1_CLK 立ち下がりエッジから MMC1_CMD 遷移まで	-1.8	1.8	ns
HS9	$t_d(clkL-dV)$	遅延時間、MMC1_CLK 立ち下がりエッジから MMC1_DAT[3:0] 遷移まで	-1.8	1.8	ns

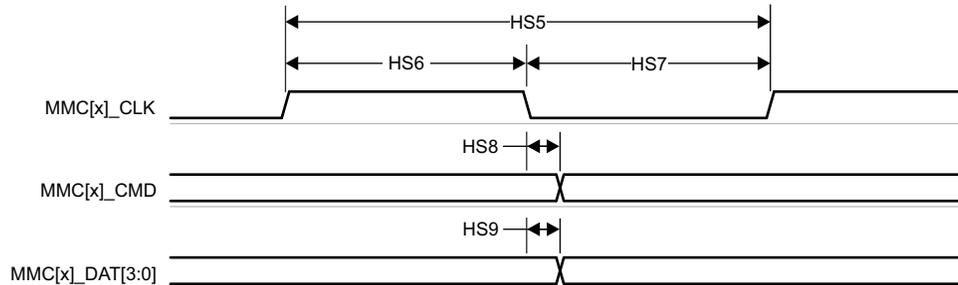


図 6-69. MMC1 – ハイスピード – 送信モード

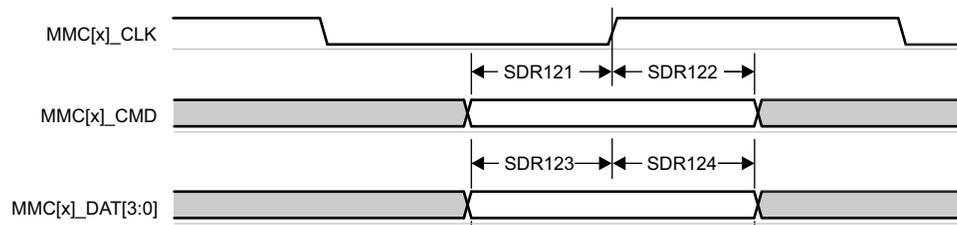
### 6.11.5.12.2.3 UHS-I SDR12 モード

表 6-88、図 6-70、表 6-89、図 6-71 に、「MMC1 のタイミング要件とスイッチング特性 – UHS-I SDR12 モード」を示します。

**表 6-88. MMC1 のタイミング要件 – UHS-I SDR12 モード**

図 6-70 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC1_CMD 有効から MMC1_CLK 立ち上がりエッジまで	2.35		ns
SDR122	$t_{h(clkH-cmdV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 有効の間	1.67		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMC1_DAT[3:0] 有効から MMC1_CLK 立ち上がりエッジまで	2.35		ns
SDR124	$t_{h(clkH-dV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 有効の間	1.67		ns

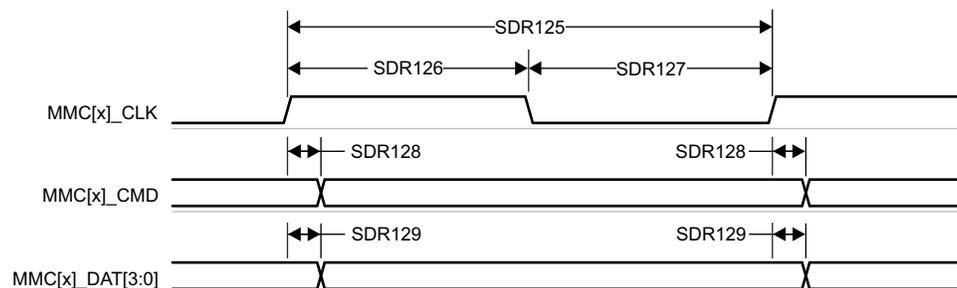


**図 6-70. MMC1 – UHS-I SDR12 – 受信モード**

**表 6-89. MMC1 のスイッチング特性 – UHS-I SDR12 モード**

図 6-71 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		25	MHz
SDR125	$t_c(clk)$	40		ns
SDR126	$t_w(clkH)$	18.7		ns
SDR127	$t_w(clkL)$	18.7		ns
SDR128	$t_d(clkL-cmdV)$	1.2	8	ns
SDR129	$t_d(clkL-dV)$	1.2	8	ns



**図 6-71. MMC1 – UHS-I SDR12 – 送信モード**

### 6.11.5.12.2.4 UHS-I SDR25 モード

表 6-90、図 6-72、表 6-91、図 6-73 に、「MMC1 のタイミング要件とスイッチング特性 – UHS-I SDR25 モード」を示します。

表 6-90. MMC1 のタイミング要件 – UHS-I SDR25 モード

図 6-72 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC1_CMD 有効から MMC1_CLK 立ち上がりエッジまで	1.95		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 有効の間	1.67		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMC1_DAT[3:0] 有効から MMC1_CLK 立ち上がりエッジまで	1.95		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 有効の間	1.67		ns

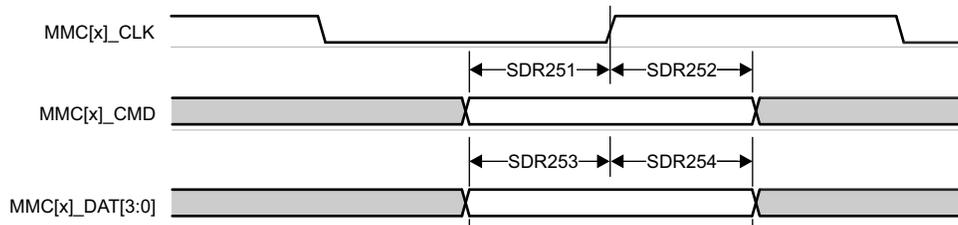


図 6-72. MMC1 – UHS-I SDR25 – 受信モード

表 6-91. MMC1 のスイッチング特性 – UHS-I SDR25 モード

図 6-73 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		50	MHz
SDR255	$t_c(clk)$	20		ns
SDR256	$t_w(clkH)$	9.2		ns
SDR257	$t_w(clkL)$	9.2		ns
SDR258	$t_d(clkL-cmdV)$	2.4	8	ns
SDR259	$t_d(clkL-dV)$	2.4	8	ns

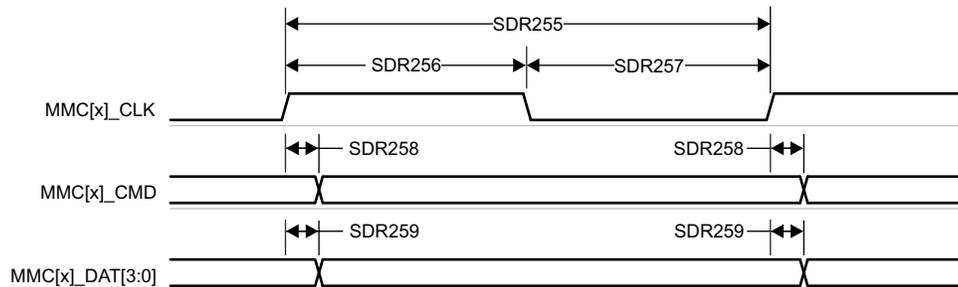


図 6-73. MMC1 – UHS-I SDR25 – 送信モード

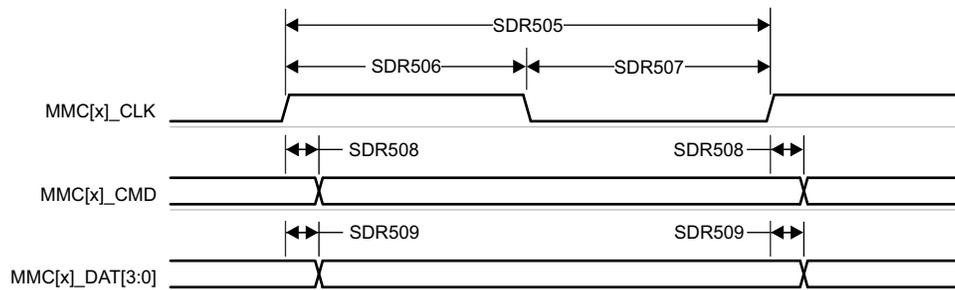
6.11.5.12.2.5 UHS-I SDR50 モード

表 6-92、図 6-74 に、「MMC1 のスイッチング特性 – UHS-I SDR50 モード」を示します。

**表 6-92. MMC1 のスイッチング特性 – UHS-I SDR50 モード**

図 6-74 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC1_CLK		100 MHz
SDR505	$t_c(clk)$	サイクル時間、MMC1_CLK		10 ns
SDR506	$t_w(clkH)$	パルス幅、MMC1_CLK high		4.45 ns
SDR507	$t_w(clkL)$	パルス幅、MMC1_CLK low		4.45 ns
SDR508	$t_d(clkL-cmdV)$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 遷移まで		1.2 ns 6.35 ns
SDR509	$t_d(clkL-dV)$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 遷移まで		1.2 ns 6.35 ns



**図 6-74. MMC1 – UHS-I SDR50 – 送信モード**

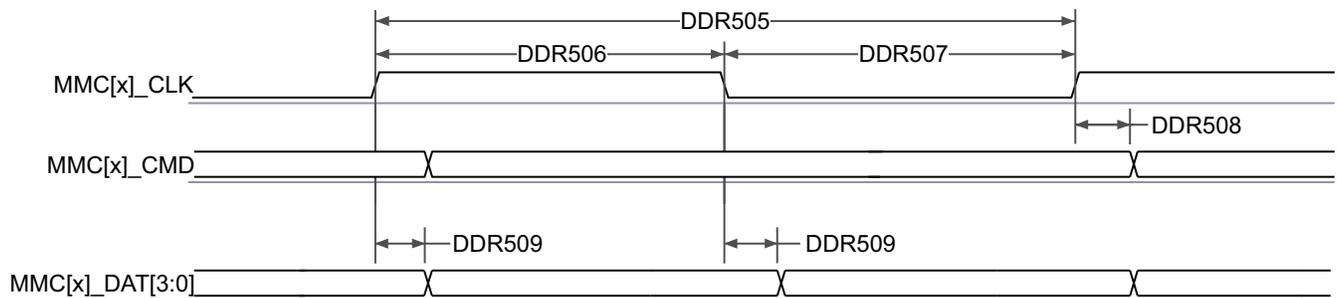
6.11.5.12.2.6 UHS-I DDR50 モード

表 6-93、図 6-75 に、「MMC1 のスイッチング特性 – UHS-I DDR50 モード」を示します。

**表 6-93. MMC1 のスイッチング特性 – UHS-I DDR50 モード**

図 6-75 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC1_CLK		50 MHz
DDR505	$t_c(clk)$	サイクル時間、MMC1_CLK		20 ns
DDR506	$t_w(clkH)$	パルス幅、MMC1_CLK high		9.2 ns
DDR507	$t_w(clkL)$	パルス幅、MMC1_CLK low		9.2 ns
DDR508	$t_d(clk-cmdV)$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 遷移まで		1.2 6.35 ns
DDR509	$t_d(clk-dV)$	遅延時間、MMC1_CLK 遷移から MMC1_DAT[3:0] 遷移まで		1.2 6.35 ns



**図 6-75. MMC1 – UHS-I DDR50 – 送信モード**

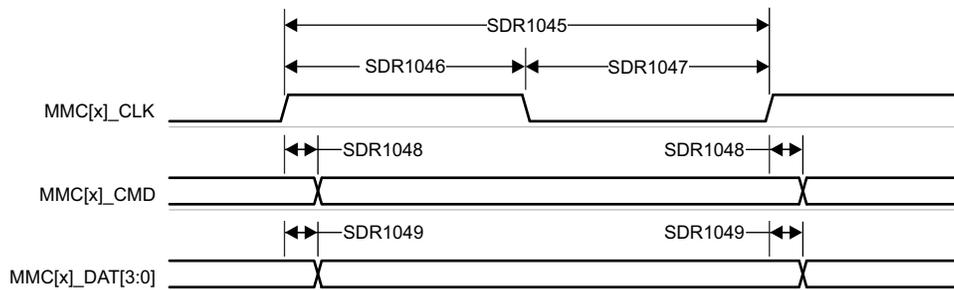
6.11.5.12.2.7 UHS-I SDR104 モード

表 6-94、図 6-76 に、「MMC1 のスイッチング特性 – UHS-I SDR104 モード」を示します。

**表 6-94. MMC1 のスイッチング特性 – UHS-I SDR104 モード**

図 6-76 参照

番号	パラメータ	最小値	最大値	単位		
	$f_{op}(clk)$	動作周波数、MMC1_CLK		200	MHz	
SDR1045	$t_c(clk)$	サイクル時間、MMC1_CLK		5	ns	
SDR1046	$t_w(clkH)$	パルス幅、MMC1_CLK high		2.12	ns	
SDR1047	$t_w(clkL)$	パルス幅、MMC1_CLK low		2.12	ns	
SDR1048	$t_d(clkL-cmdV)$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 遷移まで		1.08	3.2	ns
SDR1049	$t_d(clkL-dV)$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 遷移まで		1.08	3.2	ns



**図 6-76. MMC1 – UHS-I SDR104 – 送信モード**

### 6.11.5.13 CPTS

表 6-95、表 6-96、図 6-77、表 6-97、図 6-78 に、CPTS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-95. CPTS のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.5	5	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	10	pF

表 6-96. CPTS のタイミング要件

図 6-77 参照

番号	パラメータ	説明	最小値	最大値	単位
T1	t <sub>w</sub> (HWnTSPUSHH)	パルス幅、HWnTSPUSH High	12P <sup>(1)</sup> + 2		ns
T2	t <sub>w</sub> (HWnTSPUSHL)	パルス幅、HWnTSPUSH Low	12P <sup>(1)</sup> + 2		ns
T3	t <sub>c</sub> (RFT_CLK)	サイクル時間、RFT_CLK	5	8	ns
T4	t <sub>w</sub> (RFT_CLKH)	パルス幅、RFT_CLK high	0.45T <sup>(2)</sup>		ns
T5	t <sub>w</sub> (RFT_CLKL)	パルス幅、RFT_CLK low	0.45T <sup>(2)</sup>		ns

(1) P = 機能クロック周期 (ns 単位)。

(2) T = RFT\_CLK 周期 (ns 単位)。

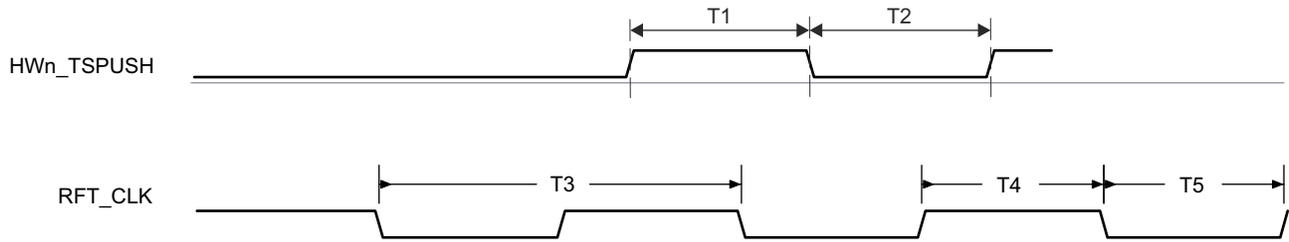


図 6-77. CPTS のタイミング要件

表 6-97. CPTS スイッチング特性

図 6-78 参照

番号	パラメータ	説明	ソース	最小値	最大値	単位
T6	$t_w(\text{TS\_COMPH})$	パルス幅、TS_COMP high		$36P^{(1)} - 2$		ns
T7	$t_w(\text{TS\_COMPL})$	パルス幅、TS_COMP low		$36P^{(1)} - 2$		ns
T8	$t_w(\text{TS\_SYNCH})$	パルス幅、TS_SYNC high		$36P^{(1)} - 2$		ns
T9	$t_w(\text{TS\_SYNCL})$	パルス幅、TS_SYNC low		$36P^{(1)} - 2$		ns
T10	$t_w(\text{SYNCn\_OUTH})$	パルス幅、SYNCn_OUT High	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns
T11	$t_w(\text{SYNCn\_OUTL})$	パルス幅、SYNCn_OUT Low	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns

(1) P = 機能クロック周期 (ns 単位)。

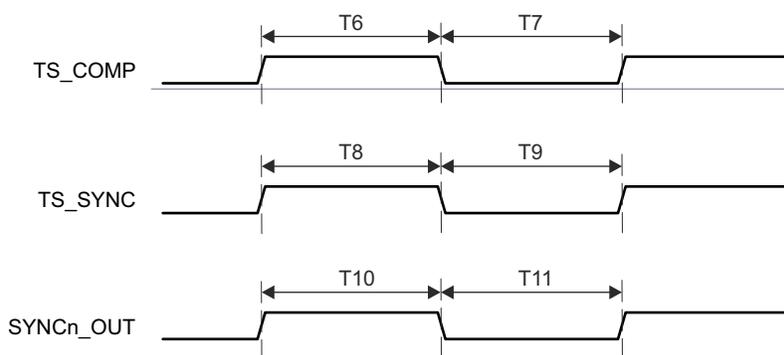


図 6-78. CPTS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルの「データ移動アーキテクチャ (DMA)」の章を参照してください。

### 6.11.5.14 OSPI

OSPI0 には、PHY モードと Tap モードの 2 つのデータ キャプチャ モードがあります。

PHY モードでは、内部リファレンス クロックを使用し、DLL ベースの PHY 経由でデータを送受信します。ここで、各リファレンス クロック サイクルは、シングル データ レート (SDR) 転送の場合は OSPI0\_CLK の 1 サイクル、ダブル データ レート (DDR) 転送の場合は OSPI0\_CLK の半サイクルを生成します。PHY モードは、受信データ キャプチャ クロックについて 4 つのクロック トポロジをサポートしています。内部 PHY ループバック - 内部リファレンス クロックを PHY 受信データ キャプチャ クロックとして使用します。内部 Pad ループバック - OSPI0\_LBCLKO ピンから PHY にループバックされた OSPI0\_LBCLKO を、PHY 受信データ キャプチャ クロックとして使用します。外部ボード ループバック - OSPI0\_DQS ピンから PHY にループバックされた OSPI0\_LBCLKO を、PHY 受信データ キャプチャ クロックとして使用します。DQS - 接続されたデバイスからの DQS 出力を、PHY 受信データ キャプチャ クロックとして使用します。内部 Pad ループバックおよび DQS クロック トポロジを使用するとき、SDR 転送はサポートされません。内部 PHY ループバックまたは内部 Pad ループバック クロック トポロジを使用するとき、DDR 転送はサポートされません。

Tap モードは、タップを選択可能な内部リファレンス クロックを使用し、OSPI0\_CLK に相対的なデータの送受信キャプチャ遅延を調整します。OSPI0\_CLK は、SDR 転送では内部リファレンス クロックの 4 分周、DDR 転送では内部リファレンス クロックの 8 分周です。Tap モードは、受信データ キャプチャ クロックについて 1 つのクロック トポロジのみをサポートします。ループバックなし - 内部リファレンス クロックを Tap 受信データ キャプチャ クロックとして使用します。このクロック トポロジは、最大 200MHz の内部リファレンス クロック レートをサポートし、SDR モードでは 50MHz、DDR モードでは 25MHz までの OSPI0\_CLK レートを生成します。

オクタル シリアル ペリフェラル インターフェイスの機能の詳細および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

セクション 6.11.5.14.1 は PHY モードに関連するタイミング要件とスイッチング特性を、セクション 6.11.5.14.2 は Tap モードに関連するタイミング要件とスイッチング特性を、それぞれ定義します。

OSPI0 のタイミング条件を、表 6-98 に示します。

**表 6-98. OSPI0 のタイミング条件**

パラメータ		モード	最小値	最大値	単位
<b>入力条件</b>					
SR <sub>i</sub>	入力スルーレート		1	6	V/ns
<b>出力条件</b>					
C <sub>L</sub>	出力負荷容量		3	10	pF
<b>PCB 接続要件</b>					
t <sub>d</sub> (Trace Delay)	OSPI0_CLK パターンの伝搬遅延	ループバックなし 内部 PHY ループバック 内部 Pad ループバック		450	ps
	OSPI0_LBCLKO パターンの伝搬遅延	外部ボードのループバック	2L <sup>(1)</sup> - 30	2L <sup>(1)</sup> + 30	ps
	OSPI0_DQS パターンの伝搬遅延	DQS	L <sup>(1)</sup> - 30	L <sup>(1)</sup> + 30	ps
t <sub>d</sub> (Trace Mismatch Delay)	OSPI0_CLK に対する OSPI0_D[7:0] と OSPI0_CS <sub>n</sub> [3:0] の伝搬遅延ミスマッチ	すべてのモード		60	ps

(1) L = OSPI0\_CLK パターンの伝搬遅延

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

### 6.11.5.14.1 OSPI0 PHY モード

#### 6.11.5.14.1.1 PHY データ トレーニング付き OSPI0

読み出し/書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。最適な読み出し/書き込みタイミングを動的に構成するために、データトレーニング手法を実装することもできます。データトレーニングを実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミングパラメータは、動作条件に基づいて動的に調整されるため、データトレーニングの使用事例では定義されていません。

表 6-99 は、データトレーニング付きの OSPI0 に必要な DLL 遅延を定義しています。表 6-100、図 6-79、表 6-101、図 6-80 に、データトレーニング付き OSPI0 のタイミング要件とスイッチング特性を示します。

**表 6-99. PHY データ トレーニング用の OSPI0 DLL 遅延マッピング**

モード	レジスタビットフィールド	遅延値
<b>OSPI_PHY_CONFIGURATION_REG</b>		
<b>送信</b>		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
<b>受信</b>		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)
<b>PHY_MASTER_CONTROL_REG</b>		
すべてのモード	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x3

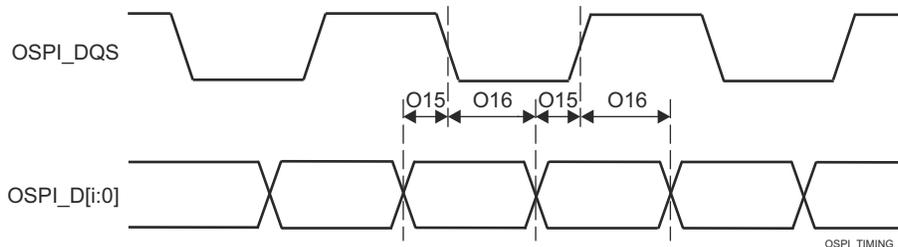
- (1) トレーニングソフトウェアによって決定される送信 DLL 遅延の値
- (2) トレーニングソフトウェアによって決定される受信 DLL 遅延の値

**表 6-100. OSPI0 のタイミング要件 – PHY データ トレーニング**

図 6-79 を参照

番号		モード	最小値	最大値	単位
O15	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	(1)		ns
O16	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブエッジ後に OSPI0_D[7:0] を有効に保持すべき時間	(1)		ns

- (1) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0\_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。



**図 6-79. OSPI0 のタイミング要件 – PHY データ トレーニング、DQS 付き DDR**

表 6-101. OSPI0 のスイッチング特性 – PHY データ トレーニング

図 6-80 を参照

番号	パラメータ	モード	最小値	最大値	単位	
O1	$t_{c}(\text{CLK})$	サイクル時間、OSPI0_CLK	1.8V、DDR	6.02	7.52	ns
			3.3V、DDR	7.52	7.52	
O2	$t_{w}(\text{CLKL})$	パルス幅、OSPI0_CLK low	DDR	$((0.475P^{(1)}) - 0.3)$	ns	
O3	$t_{w}(\text{CLKH})$	パルス幅、OSPI0_CLK high	DDR	$((0.475P^{(1)}) - 0.3)$	ns	
O4	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0_CS[n:3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	DDR	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O5	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS[n:3:0] 非アクティブ エッジまで	DDR	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O6	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	DDR	(6)	(6)	ns

- (1)  $P = \text{SCLK}$  サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)
- (2)  $M = \text{OSPI\_DEV\_DELAY\_REG}[D\_INIT\_FLD]$
- (3)  $N = \text{OSPI\_DEV\_DELAY\_REG}[D\_AFTER\_FLD]$
- (4)  $R =$  リファレンス クロック サイクル時間 (ns 単位)
- (5)  $TD = \text{PHY\_CONFIG\_TX\_DLL\_DELAY\_FLD}$
- (6) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0\_D[7:0] 出力の最小および最大遅延時間は定義されません。

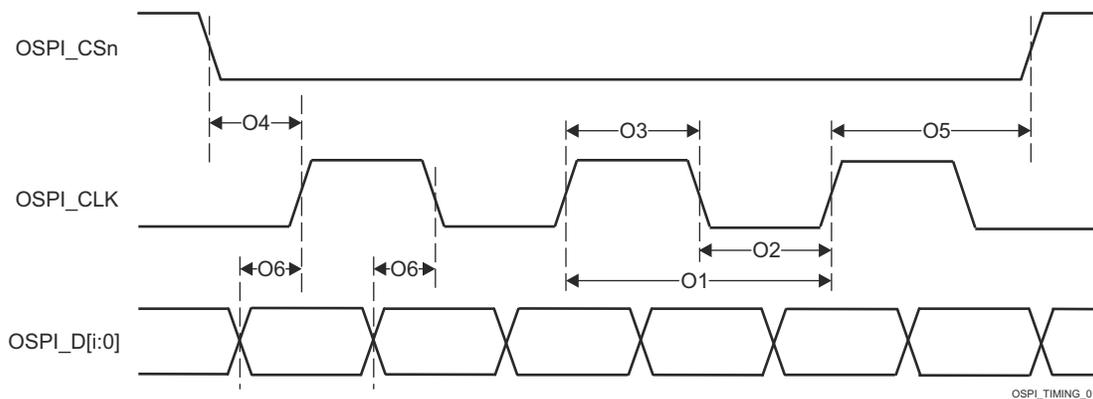


図 6-80. OSPI0 のスイッチング特性 - PHY DDR データ トレーニング

6.11.5.14.1.2 データ トレーニングなし OSPI0

注

このセクションで定義されるタイミング パラメータは、データトレーニングが実装されておらず、かつ表 6-102 と表 6-105 に示すように DLL 遅延が設定されている場合にのみ適用されます。

6.11.5.14.1.2.1 OSPI0 PHY SDR のタイミング

表 6-102 に、OSPI0 PHY SDR モードに必要な DLL 遅延を定義します。表 6-103、図 6-81、図 6-82、表 6-104、図 6-83 に、OSPI0 PHY SDR モードのタイミング要件とスイッチング特性を示します。

表 6-102. OSPI0 の DLL 遅延マッピング – PHY SDR タイミング モード

モード	レジスタ ビットフィールド	遅延値
<b>OSPI_PHY_CONFIGURATION_REG</b>		
<b>送信</b>		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
<b>受信</b>		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
<b>PHY_MASTER_CONTROL_REG</b>		
すべてのモード	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x3

表 6-103. OSPI0 のタイミング要件 – PHY SDR モード

図 6-81 および 図 6-82 を参照

番号		モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	1.8V、PHY ループバック内蔵 SDR	4.8	ns
			3.3V、PHY ループバック内蔵 SDR	5.19	ns
O20	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、PHY ループバック内蔵 SDR	-0.5	ns
			3.3V、PHY ループバック内蔵 SDR	-0.5	ns
O21	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き SDR	0.6	ns
			3.3V、外部ボード ループバック付き SDR	0.9	ns
O22	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、外部ボード ループバック付き SDR	1.7	ns
			3.3V、外部ボード ループバック付き SDR	2.0	ns

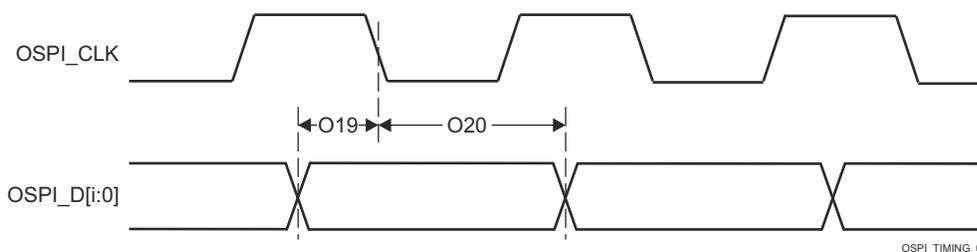


図 6-81. OSPI0 のタイミング要件 – PHY ループバック内蔵 PHY SDR

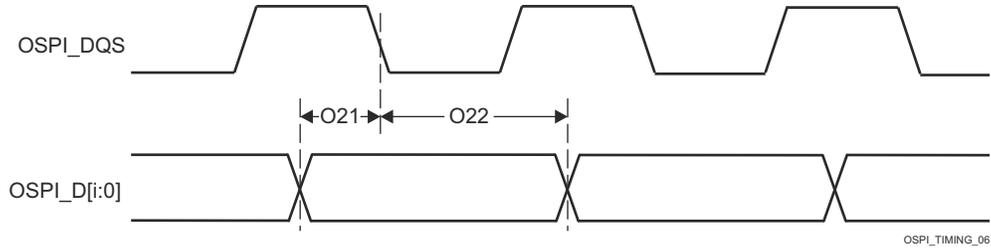


図 6-82. OSPI0 のタイミング要件 – 外部ボード ループバック付き PHY SDR

表 6-104. OSPI0 のスイッチング特性 – PHY SDR モード

図 6-83 参照

番号	パラメータ	モード	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	1.8V	7		ns
		3.3V	6.03		ns
O8	$t_{w}(\text{CLKL})$		$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w}(\text{CLKH})$		$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d}(\text{CSn-CLK})$		$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O11	$t_{d}(\text{CLK-CSn})$		$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O12	$t_{d}(\text{CLK-D})$	1.8V	-1.16	1.25	ns
		3.3V	-1.33	1.51	ns

- (1) P = SCLK サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY\_CONFIG\_TX\_DLL\_DELAY\_FLD

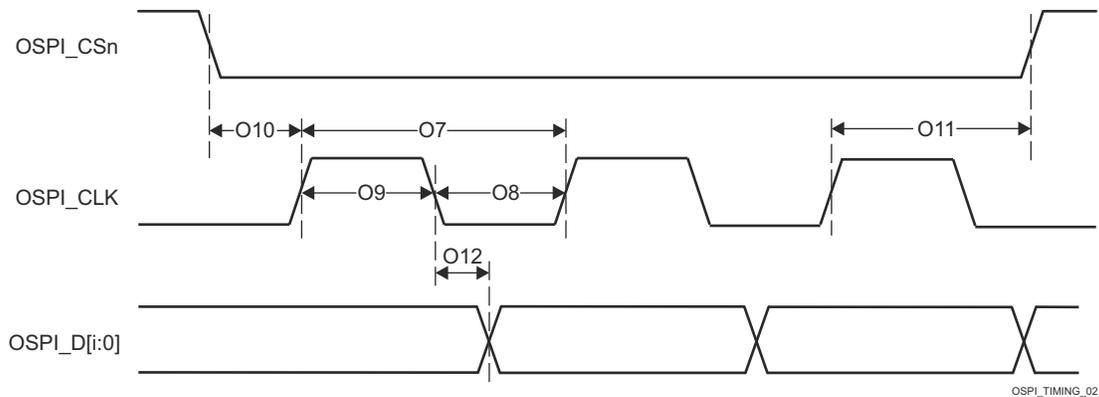


図 6-83. OSPI0 のスイッチング特性 – PHY SDR モード

### 6.11.5.14.1.2.2 OSPI0 PHY DDR のタイミング

表 6-105 に、OSPI0 PHY DDR モードに必要な DLL 遅延を定義します。表 6-106、図 6-84、表 6-107、図 6-85 に、OSPI0 PHY DDR モードのタイミング要件とスイッチング特性を示します。

表 6-105. OSPI0 の DLL 遅延マッピング – PHY DDR タイミング モード

モード	レジスタビットフィールド	遅延値
<b>OSPI_PHY_CONFIGURATION_REG</b>		
送信		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3E
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3B
受信		
1.8V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x15
3.3V, DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3A
その他のすべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
<b>PHY_MASTER_CONTROL_REG</b>		
すべてのモード	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x3

表 6-106. OSPI0 のタイミング要件 – PHY DDR モード

図 6-84 参照

番号		モード	最小値	最大値	単位
O15	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き DDR	0.53	ns
			1.8V, DQS 付き DDR	-0.46	ns
			3.3V、外部ボード ループバック付き DDR	1.23	ns
			3.3V, DQS 付き DDR	-0.66	ns
O16	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、外部ボード ループバック付き DDR	1.24 <sup>(1)</sup>	ns
			1.8V, DQS 付き DDR	3.59	ns
			3.3V、外部ボード ループバック付き DDR	1.44 <sup>(1)</sup>	ns
			3.3V, DQS 付き DDR	7.92	ns

- (1) このホールド時間の要件は、一般的な OSPI/QSPI/SPI デバイスのホールド時間よりも長いですが、SoC と、接続された OSPI/QSPI/SPI デバイスとの間のパターン長は、SoC でのホールド時間を確実に満たすのに十分な長さにする必要があります。補償のため、SoC の外部ループバッククロック (OSPI0\_LBCLKO から OSPI0\_DQS まで) の長さを短くする必要がある場合があります。

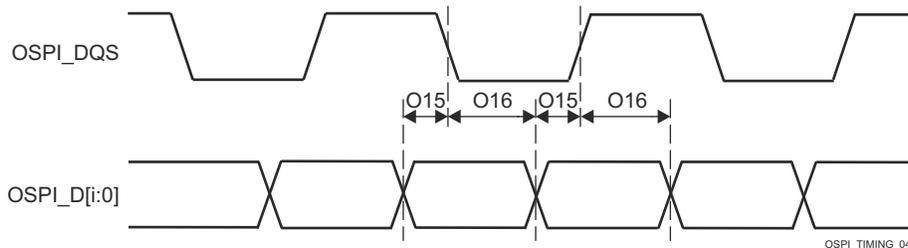


図 6-84. OSPI0 のタイミング要件 – 外部ボード ループバックまたは DQS 付き PHY DDR

表 6-107. OSPI0 のスイッチング特性 – PHY DDR モード

図 6-85 参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$ サイクル時間、OSPI0_CLK		19		ns
O2	$t_{w(CLKL)}$ パルス幅、OSPI0_CLK low		$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w(CLKH)}$ パルス幅、OSPI0_CLK high		$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d(CSn-CLK)}$ 遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O5	$t_{d(CLK-CSn)}$ 遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで		$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O6	$t_{d(CLK-D)}$ 遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	1.8V	-7.71	-1.56	ns
		3.3V	-7.71	-1.56	ns

- (1) P = SCLK サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY\_CONFIG\_TX\_DLL\_DELAY\_FLD

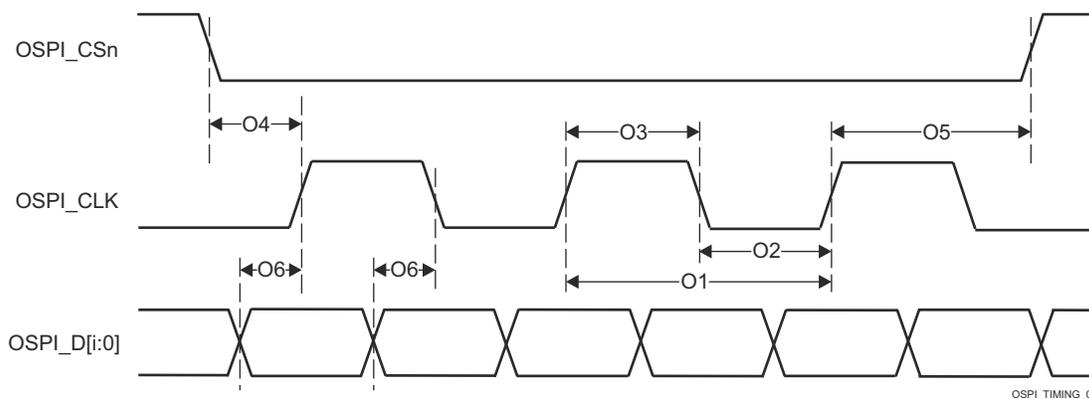


図 6-85. OSPI0 のスイッチング特性 – PHY DDR モード

### 6.11.5.14.2 OSPI0 タップモード

#### 6.11.5.14.2.1 OSPI0 タップ SDR のタイミング

表 6-108、図 6-86、表 6-109、図 6-87 に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

表 6-108. OSPI0 のタイミング要件 – タップ SDR モード

図 6-86 参照

番号		モード	最小値	最大値	単位
O19	$t_{su}(D-CLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	ループバックなし	(15.4 - $(0.975T^{(1)}R^{(2)})$ )	ns
O20	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	ループバックなし	(- 4.3 + $(0.975T^{(1)}R^{(2)})$ )	ns

(1) T = OSPI\_RD\_DATA\_CAPTURE\_REG[DELAY\_FLD]

(2) R = リファレンス クロック サイクル時間 (ns 単位)

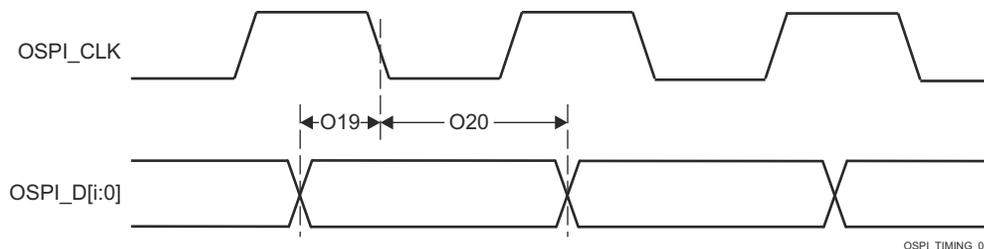


図 6-86. OSPI0 のタイミング要件 – タップ SDR、ループバックなし

表 6-109. OSPI0 のスイッチング特性 – タップ SDR モード

図 6-87 参照

番号	パラメータ	モード	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	サイクル時間、OSPI0_CLK	20		ns
O8	$t_{w}(\text{CLKL})$	パルス幅、OSPI0_CLK low	$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w}(\text{CLKH})$	パルス幅、OSPI0_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0_CS <sub>n</sub> [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)} + 1))$	ns
O11	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS <sub>n</sub> [3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)} + 1))$	ns
O12	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	- 4.25	7.25	ns

- (1) P = SCLK サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)

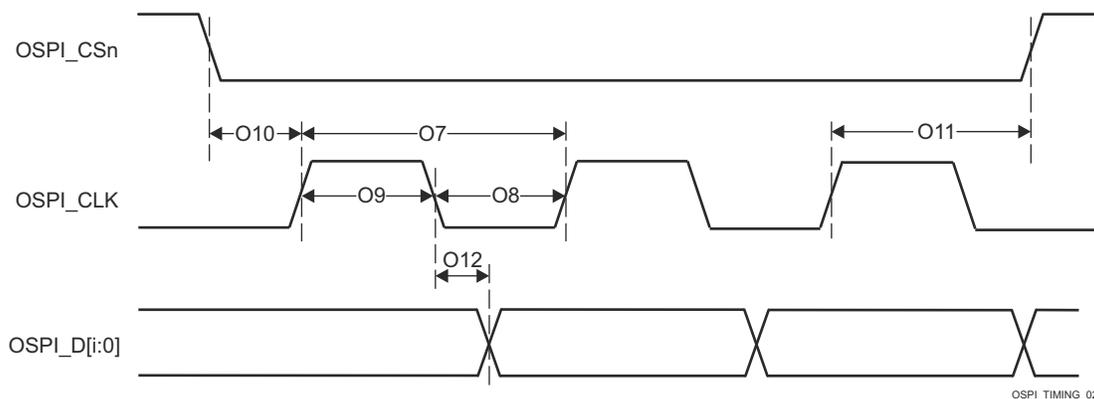


図 6-87. OSPI0 のスイッチング特性 – タップ SDR、ループバックなし

### 6.11.5.14.2.2 OSPI0 タップDDR のタイミング

表 6-110、図 6-88、表 6-111、図 6-89 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

表 6-110. OSPI0 のタイミング要件 – タップ DDR モード

図 6-88 参照

番号		モード	最小値	最大値	単位
O13	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	ループバックなし	(17.04 - (0.975T <sup>(1)</sup> R <sup>(2)</sup> ))	ns
O14	$t_{h(CLK-D)}$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	ループバックなし	(- 3.16 + (0.975T <sup>(1)</sup> R <sup>(2)</sup> ))	ns

(1) T = OSPI\_RD\_DATA\_CAPTURE\_REG[DELAY\_FLD]

(2) R = リファレンスクロック サイクル時間 (ns 単位)

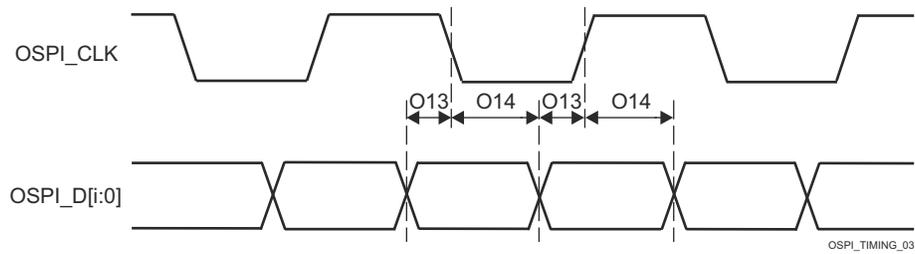


図 6-88. OSPI0 のタイミング要件 – タップ DDR、ループバックなし

表 6-111. OSPI0 のスイッチング特性 – タップ DDR モード

図 6-89 参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c}(\text{CLK})$	サイクル時間、OSPI0_CLK	40		ns
O2	$t_{w}(\text{CLKL})$	パルス幅、OSPI0_CLK low	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w}(\text{CLKH})$	パルス幅、OSPI0_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0_CS <sub>n</sub> [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)}) + 1)$	ns
O5	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS <sub>n</sub> [3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(5)}) + 1)$	ns
O6	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	$(- 5.04 + (0.975(T^{(4)} + 1)R^{(5)}) - (0.525P^{(1)}))$	$(3.64 + (1.025(T^{(4)} + 1)R^{(5)}) - (0.475P^{(1)}))$	ns

- (1) P = SCLK サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) T = OSPI\_RD\_DATA\_CAPTURE\_REG[DDR\_READ\_DELAY\_FLD]
- (5) R = リファレンス クロック サイクル時間 (ns 単位)

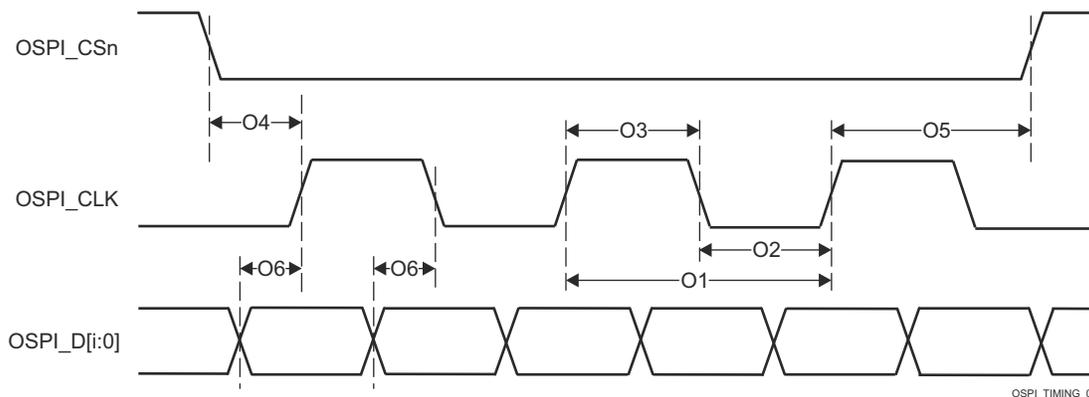


図 6-89. OSPI0 のスイッチング特性 – タップ DDR、ループバックなし

### 6.11.5.15 PCIe

PCI-Express サブシステムは、PCIe® ベース仕様、レビジョン 4.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

このデバイスの PCIe (Peripheral Component Interconnect Express) の機能の詳細と追加の説明情報については、「SERDES0 信号の説明」と、「詳細説明」の対応するサブセクションを参照してください。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「PCIe (Peripheral Component Interconnect Express) サブシステム」セクションを参照してください。

### 6.11.5.16 PRU\_ICSSG

このデバイスには、2つの同一のプログラマブルリアルタイムユニットサブシステムおよび産業用通信サブシステム (ギガビット PRU\_ICSSG (PRU\_ICSSG0, PRU\_ICSSG1)) が内蔵されています。PRU-ICSS のプログラム可能な性質と、ピン、イベント、およびすべてのデバイスリソースにアクセスできることから、高速でリアルタイムの応答、特化したデータ処理操作、カスタムペリフェラルインターフェイスを柔軟に実装でき、デバイスの他のプロセッサコアをタスクの負荷から解放できます。

本デバイスの PRU\_ICSSG の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 注

PRU\_ICSSG には、多重化の第2層が含まれており、PRU GPO および GPI 信号の機能を追加できます。この内部ラッパー多重化については、デバイステクニカルリファレンスマニュアルの「PRU\_ICSSG」の章に記載されています。

#### 6.11.5.16.1 PRU\_ICSSG プログラマブルリアルタイムユニット (PRU)

#### 注

PRU\_ICSSG PRU 信号は、動作モードに応じて機能が異なります。このセクションの信号の名称は、デバイスのテクニカルリファレンスマニュアルの「PRU モジュールインターフェイス」セクションで使用される名称と一致します。

表 6-112. PRU\_ICSSG PRU のタイミング条件

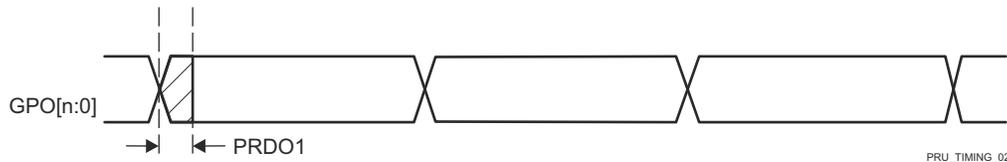
パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	3	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	30	pF

#### 6.11.5.16.1.1 PRU\_ICSSG PRU 直接出力モードのタイミング

表 6-113. PRU\_ICSSG PRU のスイッチング特性 – 直接出力モード

図 6-90 参照

番号	パラメータ	説明	最小値	最大値	単位
PRDO1	t <sub>sk</sub> (GPO-GPO)	スキュー、GPO 間		2	ns



A. GPO[n:0] で、n は 19。

図 6-90. PRU\_ICSSG PRU 直接出力タイミング

6.11.5.16.1.2 PRU\_ICSSG PRU パラレル キャプチャ モードのタイミング

表 6-114. PRU\_ICSSG PRU のタイミング要件 – パラレル キャプチャ モード

図 6-91 と図 6-92 を参照

番号	パラメータ	説明	最小値	最大値	単位
PRPC1	$t_c(\text{CLOCK})$	サイクル時間、CLOCKIN	20		ns
PRPC2	$t_w(\text{CLOCKL})$	パルス幅、CLOCKIN Low	0.45P <sup>(1)</sup>		ns
PRPC3	$t_w(\text{CLOCKH})$	パルス幅、CLOCKIN High	0.45P <sup>(1)</sup>		ns
PRPC4	$t_{su}(\text{DATAIN-CLOCK})$	セットアップ時間、DATAIN 有効から CLOCKIN アクティブ エッジまで	4		ns
PRPC5	$t_h(\text{CLOCK-DATAIN})$	ホールド時間、CLOCKIN アクティブ エッジから DATAIN 有効の間	0		ns

(1) P = CLOCKIN サイクル時間 (ns 単位)

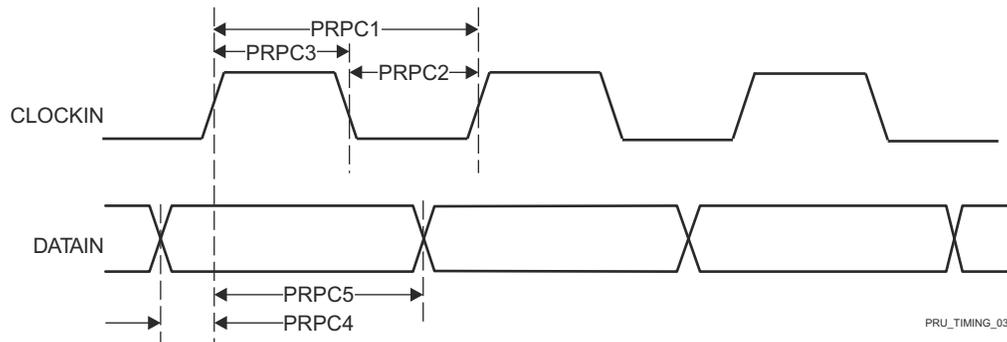


図 6-91. PRU\_ICSSG PRU パラレル キャプチャのタイミング要件 – 立ち上がりエッジ モード

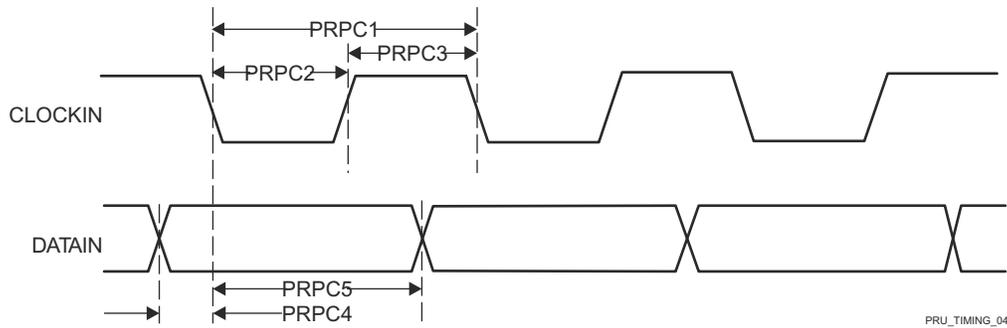


図 6-92. PRU\_ICSSG PRU パラレル キャプチャのタイミング要件 – 立ち下がりエッジ モード

6.11.5.16.1.3 PRU\_ICSSG PRU のシフト モードのタイミング

表 6-115. PRU\_ICSSG PRU のタイミング要件 - シフトイン モード

図 6-93 参照

番号	パラメータ	説明	最小値	最大値	単位
PRSI1	$t_{w(DATAINH)}$	パルス幅、DATAIN high	$2P^{(1)} + 2$		ns
PRSI2	$t_{w(DATAINL)}$	パルス幅、DATAIN low	$2P^{(1)} + 2$		ns

(1) P = クロック周期の内部シフトで、ICSSG\_GPCFGn\_REG レジスタの PRUn\_GPI\_DIV0 および PRUn\_GPI\_DIV1 ビットフィールドで定義されます。PRUn は、対応する PRU0 または PRU1 インスタンスを表します。

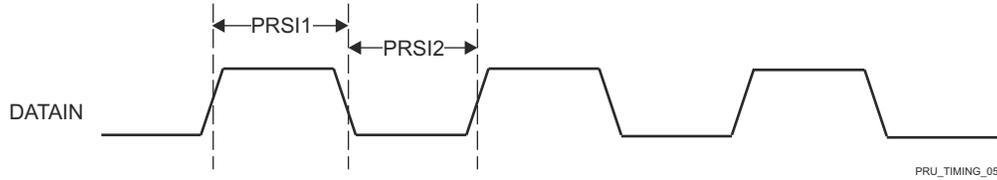


図 6-93. PRU\_ICSSG PRU シフトインのタイミング

表 6-116. PRU\_ICSSG PRU のスイッチング特性 – シフトアウト モード

図 6-94 参照

番号	パラメータ	説明	最小値	最大値	単位
PRSO1	$t_c(\text{CLOCKOUT})$	サイクル時間、CLOCKOUT	10		ns
PRSO2L	$t_w(\text{CLOCKOUTL})$	パルス幅、CLOCKOUT Low	$0.475P^{(1)}Z^{(2)}$ - 0.3		ns
PRSO2H	$t_w(\text{CLOCKOUTH})$	パルス幅、CLOCKOUT High	$0.475P^{(1)}Y^{(3)}$ - 0.3		ns
PRSO3	$t_d(\text{CLOCKOUT-DATAOUT})$	遅延時間、CLOCKOUT から DATAOUT 有効まで	-1	4	ns

- (1) P = ソフトウェアでプログラマブルなシフトアウトクロック周期。ICSSG\_GPCFGn\_REG レジスタの PRUn\_GPO\_DIV0 および PRUn\_GPO\_DIV1 ビットフィールドで定義されます。ここで、PRUn は対応する PRU0 または PRU1 インスタンスを表します。
- (2) Z パラメータは次のように定義されます。PRUn は、それぞれの PRU0 または PRU1 インスタンスを表します。
- PRUn\_GPI\_DIV0 と PRUn\_GPI\_DIV1 が整数の場合、または PRUn\_GPI\_DIV0 が非整数で PRUn\_GPI\_DIV1 が偶数の場合、Z は  $(PRUn\_GPI\_DIV0 * PRUn\_GPI\_DIV1)$  に等しくなります。
  - PRUn\_GPI\_DIV0 が非整数で PRUn\_GPI\_DIV1 が奇数の場合、Z は  $(PRUn\_GPI\_DIV0 * PRUn\_GPI\_DIV1 + 0.5)$  に等しくなります。
  - PRUn\_GPI\_DIV0 が整数で、PRUn\_GPI\_DIV1 が非整数の場合、Z は  $(PRUn\_GPI\_DIV0 * PRUn\_GPI\_DIV1 + 0.5 * PRUn\_GPI\_DIV0)$  に等しくなります。
  - PRUn\_GPI\_DIV0 と PRUn\_GPI\_DIV1 が非整数の場合、Z は  $(PRUn\_GPI\_DIV0 * PRUn\_GPI\_DIV1 + 0.25 * PRUn\_GPI\_DIV0)$  に等しくなります。
- (3) Y パラメータは次のように定義されます。PRUn は、それぞれの PRU0 または PRU1 インスタンスを表します。
- PRUn\_GPI\_DIV0 と PRUn\_GPI\_DIV1 が整数の場合、または PRUn\_GPI\_DIV0 が非整数で PRUn\_GPI\_DIV1 が偶数の場合、Y は  $(PRUn\_GPI\_DIV0 * PRUn\_GPI\_DIV1)$  に等しくなります。
  - PRUn\_GPI\_DIV0 が非整数で PRUn\_GPI\_DIV1 が奇数の場合、Y は  $(PRUn\_GPI\_DIV0 * PRUn\_GPI\_DIV1 - 0.5)$  に等しくなります。
  - PRUn\_GPI\_DIV0 が整数で PRUn\_GPI\_DIV1 が非整数の場合、Y は  $(PRUn\_GPI\_DIV0 * PRUn\_GPI\_DIV1 - 0.5 * PRUn\_GPI\_DIV0)$  に等しくなります。
  - PRUn\_GPI\_DIV0 および PRUn\_GPI\_DIV1 が非整数の場合、Y1 は  $(PRUn\_GPI\_DIV0 * PRUn\_GPI\_DIV1 - 0.25 * PRUn\_GPI\_DIV0)$ 、Y2 は  $(PRUn\_GPI\_DIV0 * PRUn\_GPI\_DIV1 + 0.25 * PRUn\_GPI\_DIV0)$  に等しくなります。ここで、Y1 は 1 番目の high パルス、Y2 は 2 番目の high パルスです。

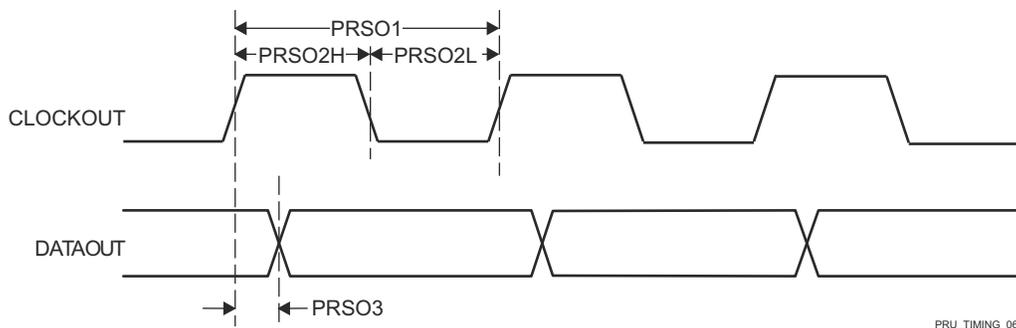


図 6-94. PRU\_ICSSG PRU のシフトアウト タイミング

6.11.5.16.1.4 PRU\_ICSSG PRU シグマ デルタおよびペリフェラル インターフェイス

表 6-117. PRU\_ICSSG PRU シグマ デルタおよびペリフェラル インターフェイスのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	3	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	18	pF

6.11.5.16.1.4.1 PRU\_ICSSG PRU シグマ デルタおよびペリフェラル インターフェイスのタイミング

表 6-118. PRU\_ICSSG PRU のタイミング要件 – シグマ デルタ モード

図 6-95 および 図 6-96 を参照

番号	パラメータ	説明	最小値	最大値	単位
PRSD1	$t_c(\text{SD\_CLK})$	サイクル時間、SDx_CLK	40		ns
PRSD2L	$t_w(\text{SD\_CLKL})$	パルス幅、SDx_CLK Low	20		ns
PRSD2H	$t_w(\text{SD\_CLKH})$	パルス幅、SDx_CLK High	20		ns
PRSD3	$t_{su}(\text{SD\_D-SD\_CLK})$	セットアップ時間、SDx_D 有効から SDx_CLK アクティブ エッジまで	10		ns
PRSD4	$t_h(\text{SD\_CLK-SD\_D})$	ホールド時間、SDx_CLK アクティブ エッジから SDx_D 有効の間	5		ns

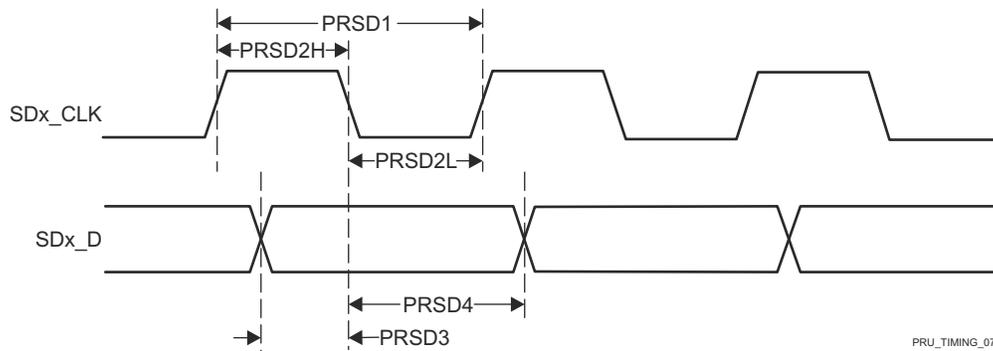


図 6-95. PRU\_ICSSG PRU SD\_CLK 立ち下がりアクティブ エッジ

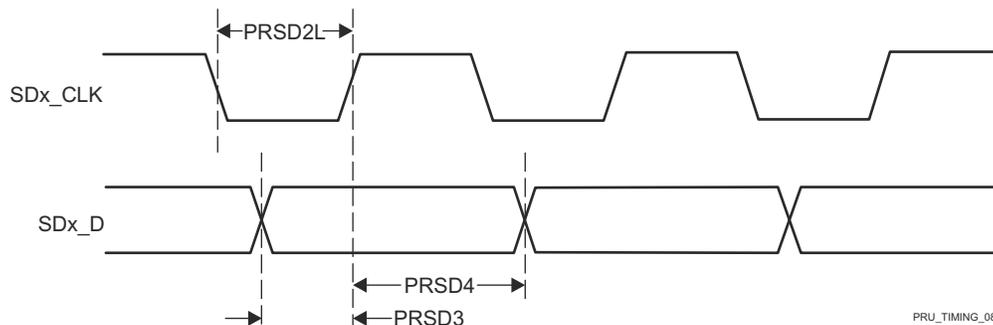


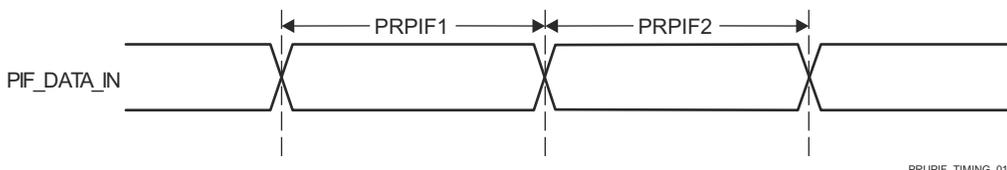
図 6-96. PRU\_ICSSG PRU SD\_CLK の立ち上がりアクティブ エッジ

**表 6-119. PRU\_ICSSG PRU のタイミング要件 – ペリフェラル インターフェイス モード**

図 6-97 参照

番号	パラメータ	説明	最小値	最大値	単位
PRPIF1	$t_w(\text{PIF\_DATA\_INH})$	パルス幅、PIF_DATA_IN High	$2 + 0.475 \cdot (4 \cdot P)^{(1)}$		ns
PRPIF2	$t_w(\text{PIF\_DATA\_INL})$	パルス幅、PIF_DATA_IN Low	$2 + 0.475 \cdot (4 \cdot P)^{(1)}$		ns

(1)  $P = 1x$  (または TX) クロック周期 (ns)。ICSSG\_PRUN\_ED\_TX\_CFG\_REG レジスタの PRUn\_ED\_TX\_DIV\_FACTOR および PRUn\_ED\_TX\_DIV\_FACTOR\_FRAC で定義されます。PRUn は、PRU0 または PRU1 インスタンスをそれぞれ表します。



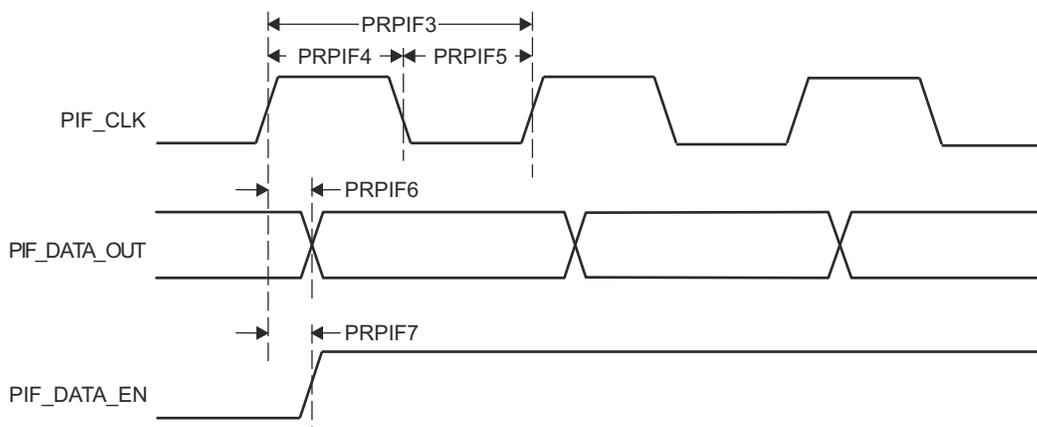
**図 6-97. PRU\_ICSSG PRU ペリフェラル インターフェイスのタイミング要件**

**表 6-120. PRU\_ICSSG PRU のスイッチング特性 – ペリフェラル インターフェイス モード**

図 6-98 参照

番号	パラメータ	説明	最小値	最大値	単位
PRPIF3	$t_c(\text{PIF\_CLK})$	サイクル時間、PIF_CLK	30		ns
PRPIF4	$t_w(\text{PIF\_CLKH})$	パルス幅、PIF_CLK High	$0.475 \cdot P^{(1)}$		ns
PRPIF5	$t_w(\text{PIF\_CLKL})$	パルス幅、PIF_CLK Low	$0.475 \cdot P^{(1)}$		ns
PRPIF6	$t_d(\text{PIF\_CLK-PIF\_DATA\_OUT})$	遅延時間、PIF_CLK 立ち下がりから PIF_DATA_OUT まで	-5	5	ns
PRPIF7	$t_d(\text{PIF\_CLK-PIF\_DATA\_EN})$	遅延時間、PIF_CLK 立ち下がりから PIF_DATA_EN まで	-5	5	ns

(1)  $P = 1x$  (または TX) クロック周期 (ns)。ICSSG\_PRUN\_ED\_TX\_CFG\_REG レジスタの PRUn\_ED\_TX\_DIV\_FACTOR および PRUn\_ED\_TX\_DIV\_FACTOR\_FRAC で定義されます。PRUn は、PRU0 または PRU1 インスタンスをそれぞれ表します。



**図 6-98. PRU\_ICSSG PRU ペリフェラル インターフェイスのスイッチング特性**

6.11.5.16.2 PRU\_ICSSG パルス幅変調(PWM)

表 6-121. PRU\_ICSSG PWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	4	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	7	pF

6.11.5.16.2.1 PRU\_ICSSG PWM のタイミング

表 6-122. PRU\_ICSSG PWM のスイッチング特性

図 6-99 参照

番号	パラメータ	説明	最小値	最大値	単位
PRPWM1	t <sub>sk</sub> (PWM_A-PWM_B)	スキュー、PWM_A と PWM_B の間		5	ns

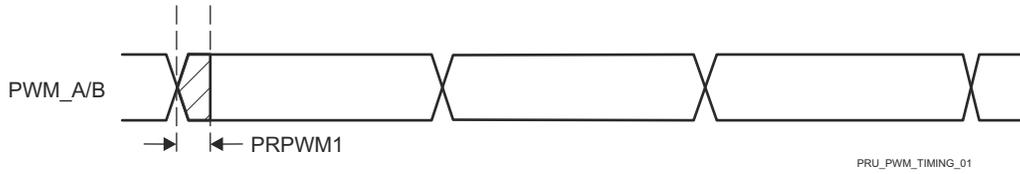


図 6-99. PRU\_ICSSG PWM のタイミング

6.11.5.16.3 PRU\_ICSSG 産業用イーサネット パリフェラル (IEP)

表 6-123. PRU\_ICSSG IEP のタイミング条件

パラメータ		最小値	最大値	単位	
入力条件					
SR <sub>i</sub>	入力スループレート	1	3	V/ns	
出力条件					
C <sub>L</sub>	出力負荷容量	EDC_SYNC_OUTx EDIO_OUTVALID	2	7	pF
		EDIO_DATA_OUT	3	10	pF

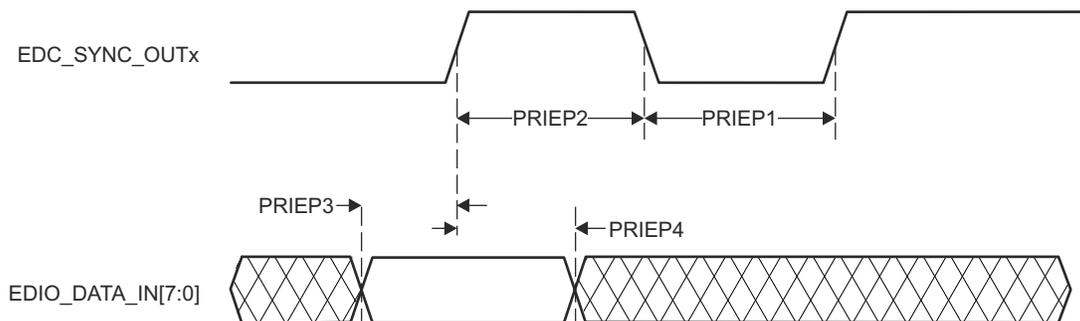
6.11.5.16.3.1 PRU\_ICSSG IEP のタイミング

表 6-124. PRU\_ICSSG IEP のタイミング要件 – SYNC による入力有効化

図 6-100 参照

番号	パラメータ	説明	最小値	最大値	単位
PRIEP1	t <sub>w</sub> (EDC_SYNC_OUTxL)	パルス幅、EDC_SYNC_OUTx Low	20P <sup>(1)</sup> - 2		ns
PRIEP2	t <sub>w</sub> (EDC_SYNC_OUTxH)	パルス幅、EDC_SYNC_OUTx High	20P <sup>(1)</sup> - 2		ns
PRIEP3	t <sub>su</sub> (EDIO_DATA_IN- EDC_SYNC_OUTx)	セットアップ時間、EDIO_DATA_IN 有効から EDC_SYNC_OUTx アクティブ エッジまで	20		ns
PRIEP4	t <sub>h</sub> (EDC_SYNC_OUTx- EDIO_DATA_IN)	ホールド時間、EDC_SYNC_OUTx アクティブ エッジから EDIO_DATA_IN 有効の間	20		ns

(1) P = PRU\_ICSSG IEP クロック ソース周期 (ns 単位)。



PRU\_IEP\_TIMING\_01

図 6-100. PRU\_ICSSG IEP SYNC のタイミング要件

表 6-125. PRU\_ICSSG IEP のスイッチング特性 – デジタル IO

図 6-101 参照

番号	パラメータ	説明	最小値	最大値	単位
IEPIO1	$t_w(\text{EDIO\_OUTVALIDL})$	パルス幅、EDIO_OUTVALID Low	$14P^{(1)} - 2$		ns
IEPIO2	$t_w(\text{EDIO\_OUTVALIDH})$	パルス幅、EDIO_OUTVALID High	$32P^{(1)} - 2$		ns
IEPIO3	$t_d(\text{EDIO\_OUTVALID-EDIO\_DATA\_OUT})$	遅延時間、EDIO_OUTVALID から EDIO_DATA_OUT まで	0	$18P^{(1)}$	ns
IEPIO4	$t_{sk}(\text{EDIO\_DATA\_OUT})$	EDIO_DATA_OUT スキュー		5	ns

(1) P = PRU\_ICSSG IEP クロック ソース周期 (ns 単位)。

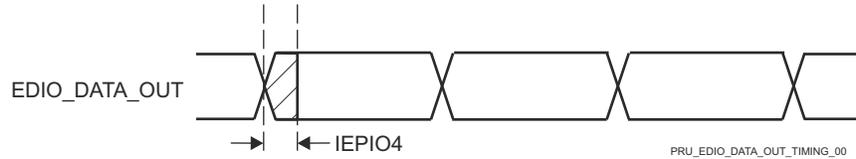


図 6-101. PRU\_ICSSG IEP デジタル IO のタイミング要件

表 6-126. PRU\_ICSSG IEP のタイミング要件 – LATCH\_INx

図 6-102 参照

番号	パラメータ	説明	最小値	最大値	単位
PRLA1	$t_w(\text{EDC\_LATCH\_INxL})$	パルス幅、EDC_LATCH_INx Low	$3P^{(1)} + 2$		ns
PRLA2	$t_w(\text{EDC\_LATCH\_INxH})$	パルス幅、EDC_LATCH_INx High	$3P^{(1)} + 2$		ns

(1) P = PRU\_ICSSG IEP クロック ソース周期 (ns 単位)。

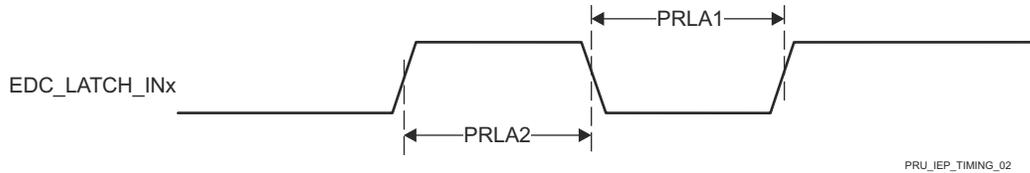


図 6-102. PRU\_ICSSG IEP LATCH\_INx のタイミング要件

6.11.5.16.4 PRU\_ICSSG UART (Universal Asynchronous Receiver/Transmitter)

表 6-127. PRU\_ICSSG UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>I</sub>	入力スルーレート	0.5	5	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	1	30 <sup>(1)</sup>	pF

(1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間を超えて立ち上がり / 立ち下がり時間が増加しないことを確認します。

6.11.5.16.4.1 PRU\_ICSSG UART のタイミング

表 6-128. PRU\_ICSSG UART のタイミング要件

図 6-103 参照

番号	パラメータ	説明	最小値	最大値	単位
1	t <sub>w</sub> (RXD)	パルス幅、受信データビット High または Low	0.95U <sup>(1)</sup> (2)	1.05U <sup>(1)</sup> (2)	ns
2	t <sub>w</sub> (RXDS)	パルス幅、受信スタートビット Low	0.95U <sup>(1)</sup> (2)		ns

(1) U = UART のボー時間 (ns) = 1 / プログラムされたボーレート。  
 (2) この値はデータ有効時間を規定します。ここで、入力電圧は V<sub>IH</sub> を上回る、または V<sub>IL</sub> を下回る必要があります。

表 6-129. PRU\_ICSSG UART のスイッチング特性

図 6-103 参照

番号	パラメータ	説明	最小値	最大値	単位
	f (ボー)	プログラムされたボーレート		12	Mbps
3	t <sub>w</sub> (TXD)	パルス幅、送信データビット High または Low	U <sup>(1)</sup> - 2	U <sup>(1)</sup> + 2	ns
4	t <sub>w</sub> (TXDS)	パルス幅、送信スタートビット Low	U <sup>(1)</sup> - 2	U <sup>(1)</sup> + 2	ns

(1) U = UART ボー時間 (ns) = 1 / 実際のボーレート。ここで、実際のボーレートはデバイス TRM の UART ボーレート設定表で規定されています。

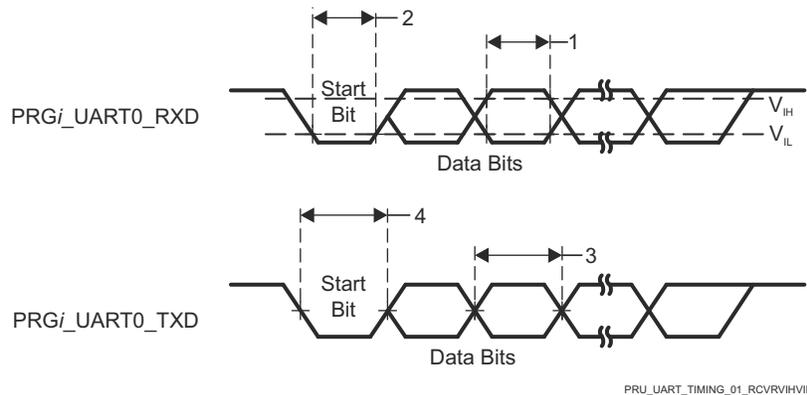


図 6-103. PRU\_ICSSG UART のタイミング要件とスイッチング特性

6.11.5.16.5 PRU\_ICSSG 拡張キャプチャ パリフェラル (ECAP)

表 6-130. PRU\_ICSSG ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	3	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	7	pF

6.11.5.16.5.1 PRU\_ICSSG ECAP のタイミング

表 6-131. PRU\_ICSSG ECAP のタイミング要件

図 6-104 参照

番号	パラメータ	説明	最小値	最大値	単位
PREP1	t <sub>w</sub> (CAP)	パルス幅、CAP (非同期)	2P <sup>(1)</sup> + 2		ns
PREP2	t <sub>w</sub> (SYNCI)	パルス幅、SYNCI (非同期)	2P <sup>(1)</sup> + 2		ns

(1) P = CORE\_CLK 周期 (ns 単位)。

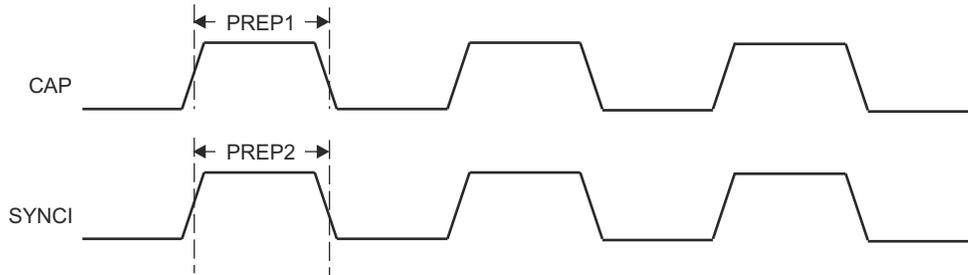


図 6-104. PRU\_ICSSG ECAP のタイミング

表 6-132. PRU\_ICSSG ECAP のスイッチング特性

図 6-105 参照

番号	パラメータ	説明	最小値	最大値	単位
PREP3	t <sub>w</sub> (APWM)	パルス幅 APWM High/Low	2P <sup>(1)</sup> - 2		ns
PREP4	t <sub>w</sub> (SYNCO)	パルス幅、SYNCO (非同期)	P <sup>(1)</sup> - 2		ns

(1) P = CORE\_CLK 周期 (ns 単位)。

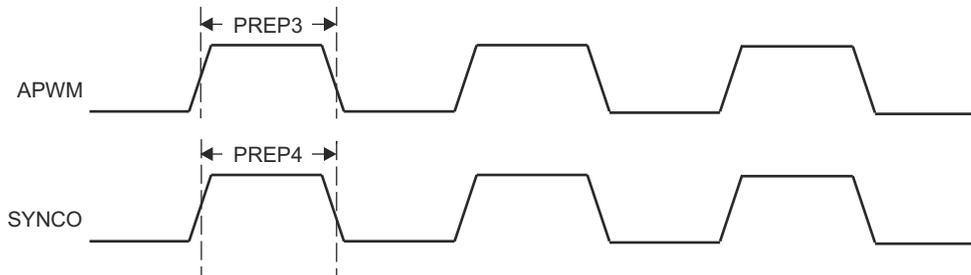


図 6-105. PRU\_ICSSG ECAP のスイッチング特性

### 6.11.5.16.6 PRU\_ICSSG RGMII, MII\_RT, スイッチ

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサおよびアクセラレータ」の章にある「プログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム - ギガビット (PRU\_ICSSG)」セクションを参照してください。

#### 6.11.5.16.6.1 PRU\_ICSSG MDIO のタイミング

表 6-133、表 6-134、表 6-135、図 6-106 に、PRU\_ICSSG MDIO のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-133. PRU\_ICSSG MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.9	3.6	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	10	470	pF

表 6-134. PRU\_ICSSG MDIO のタイミング要件

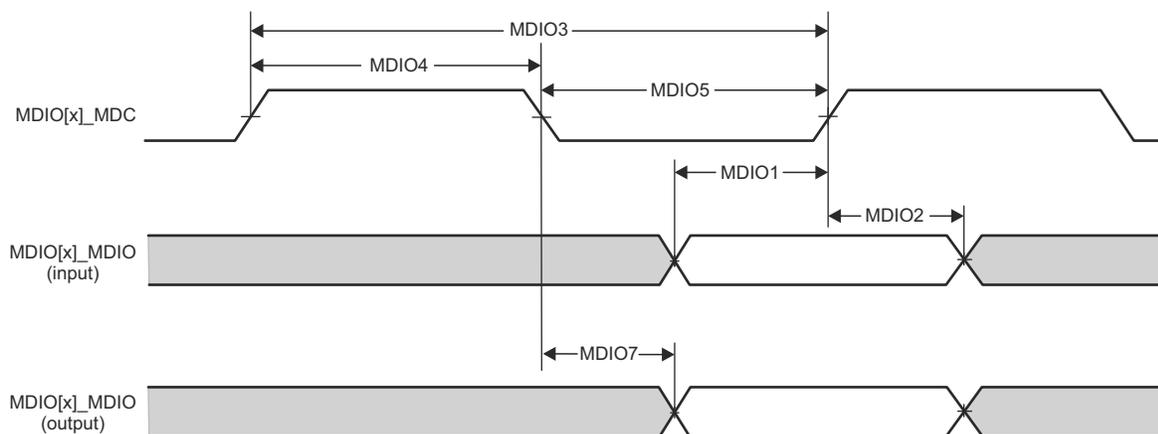
図 6-106 参照

番号	パラメータ	最小値	最大値	単位
MDIO1	t <sub>su</sub> (MDIO_MDC)	90		ns
MDIO2	t <sub>h</sub> (MDC_MDIO)	0		ns

表 6-135. PRU\_ICSSG MDIO のスイッチング特性

図 6-106 参照

番号	パラメータ	最小値	最大値	単位
MDIO3	t <sub>c</sub> (MDC)	400		ns
MDIO4	t <sub>w</sub> (MDCH)	160		ns
MDIO5	t <sub>w</sub> (MDCL)	160		ns
MDIO7	t <sub>d</sub> (MDC_MDIO)	-150	150	ns



CPSW2G\_MDIO\_TIMING\_01

図 6-106. PRU\_ICSSG MDIO のタイミング要件とスイッチング特性

### 6.11.5.16.6.2 PRU\_ICSSG MII のタイミング

#### 注

本デバイスのデータシートに記載された MII\_G\_RT I/O のタイミング値を確保するには、PRU\_ICSSG ICSSGn\_CORE\_CLK (ここで n = 0~1) コア クロックを 200MHz、225MHz、250MHz のいずれか、かつ ICSSG\_TXCFG0/1 レジスタの TX\_CLK\_DELAYn (ここで n = 0 または 1) ビットフィールドを 0h (デフォルト値) に設定する必要があります。

表 6-136、表 6-137、図 6-107、表 6-138、図 6-108、表 6-139、図 6-109、表 6-140、図 6-110 に、PRU\_ICSSG MII のタイミング条件、タイミング要件、スイッチング特性を示します。

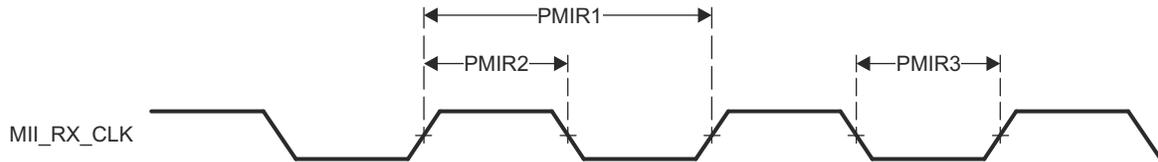
表 6-136. PRU\_ICSSG MII のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.9	3.6	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	20	pF

表 6-137. PRU\_ICSSG MII のタイミング要件 – MII[x]\_RX\_CLK

図 6-107 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIR1	t <sub>c</sub> (RX_CLK)	サイクル時間、MII[x]_RX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIR2	t <sub>w</sub> (RX_CLKH)	パルス幅、MII[x]_RX_CLK High	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIR3	t <sub>w</sub> (RX_CLKL)	パルス幅、MII[x]_RX_CLK Low	10Mbps	140	260	ns
			100Mbps	14	26	ns



PRU\_MII\_RT\_TIMING\_04

図 6-107. PRU\_ICSSG MII[x]\_RX\_CLK のタイミング

表 6-138. PRU\_ICSSG MII のタイミング要件 – MII[x]\_RXD[3:0]、MII[x]\_RX\_DV、MII[x]\_RX\_ER

図 6-108 参照

番号	パラメータ	説明	モード	最小値	最大値	単位	
PMIR4	$t_{su}(RXD-RX\_CLK)$	セットアップ時間、MII[x]_RXD[3:0] 有効から MII[x]_RX_CLK まで	10Mbps	8		ns	
	$t_{su}(RX\_DV-RX\_CLK)$	セットアップ時間、MII[x]_RX_DV 有効から MII[x]_RX_CLK まで		8		ns	
	$t_{su}(RX\_ER-RX\_CLK)$	セットアップ時間、MII[x]_RX_ER 有効から MII[x]_RX_CLK まで		8		ns	
	PMIR5	$t_{su}(RXD-RX\_CLK)$	セットアップ時間、MII[x]_RXD[3:0] 有効から MII[x]_RX_CLK まで	100Mbps	8		ns
		$t_{su}(RX\_DV-RX\_CLK)$	セットアップ時間、MII[x]_RX_DV 有効から MII[x]_RX_CLK まで		8		ns
		$t_{su}(RX\_ER-RX\_CLK)$	セットアップ時間、MII[x]_RX_ER 有効から MII[x]_RX_CLK まで		8		ns
PMIR5	$t_h(RX\_CLK-RXD)$	ホールド時間、MII[x]_RX_CLK から MII[x]_RXD[3:0] 有効の間	10Mbps	8		ns	
	$t_h(RX\_CLK-RX\_DV)$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_DV 有効の間		8		ns	
	$t_h(RX\_CLK-RX\_ER)$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_ER 有効の間		8		ns	
	PMIR5	$t_h(RX\_CLK-RXD)$	ホールド時間、MII[x]_RX_CLK から MII[x]_RXD[3:0] 有効の間	100Mbps	8		ns
		$t_h(RX\_CLK-RX\_DV)$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_DV 有効の間		8		ns
		$t_h(RX\_CLK-RX\_ER)$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_ER 有効の間		8		ns

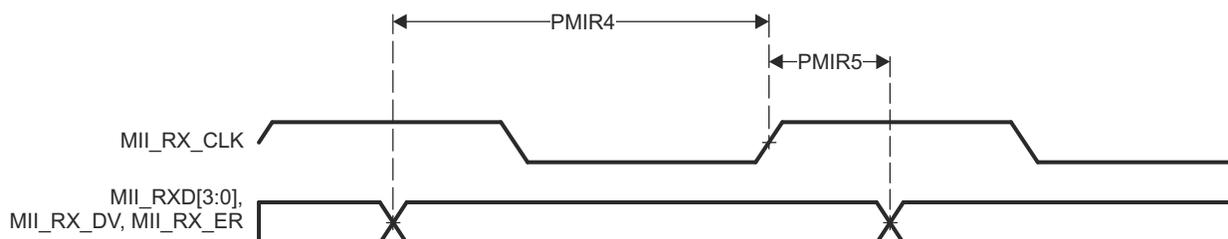


図 6-108. PRU\_ICSSG MII[x]\_RXD[3:0]、MII[x]\_RX\_DV、MII[x]\_RX\_ER のタイミング

表 6-139. PRU\_ICSSG MII のタイミング要件 – MII[x]\_TX\_CLK

図 6-109 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIT1	$t_c(TX\_CLK)$	サイクル時間、MII[x]_TX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIT2	$t_w(TX\_CLKH)$	パルス幅、MII[x]_TX_CLK High	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIT3	$t_w(TX\_CLKL)$	パルス幅、MII[x]_TX_CLK Low	10Mbps	140	260	ns
			100Mbps	14	26	ns

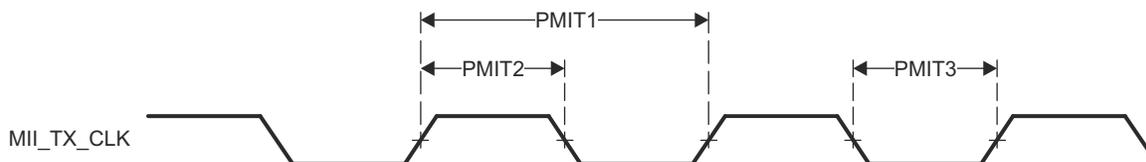


図 6-109. PRU\_ICSSG MII[x]\_TX\_CLK のタイミング

**表 6-140. PRU\_ICSSG MII のスイッチング特性 – MII[x]\_TXD[3:0] および MII[x]\_TX\_EN**

図 6-110 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIT4	$t_d(\text{TX\_CLK-TXD})$	遅延時間、MII[x]_TX_CLK High から MII[x]_TXD[3:0] 有効まで	10Mbps	0	25	ns
	$t_d(\text{TX\_CLK-TX\_EN})$	遅延時間、MII[x]_TX_CLK から MII[x]_TX_EN 有効まで		0	25	ns
	$t_d(\text{TX\_CLK-TXD})$	遅延時間、MII[x]_TX_CLK High から MII[x]_TXD[3:0] 有効まで	100Mbps	0	25	ns
	$t_d(\text{TX\_CLK-TX\_EN})$	遅延時間、MII[x]_TX_CLK から MII[x]_TX_EN 有効まで		0	25	ns

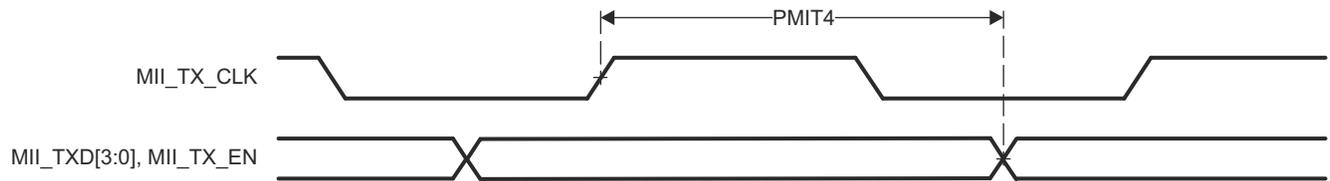


図 6-110. PRU\_ICSSG MII[x]\_TXD[3:0]、MII[x]\_TX\_EN のタイミング

6.11.5.16.6.3 PRU\_ICSSG RGMII のタイミング

表 6-141、表 6-142、表 6-143、図 6-111、表 6-144、表 6-145、図 6-112 に、PRU\_ICSSG RGMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-141. PRU\_ICSSG RGMII のタイミング条件

パラメータ		最小値	最大値	単位
<b>入力条件</b>				
SR <sub>i</sub>	入力スループレート	VDD <sup>(1)</sup> = 1.8V	1.44	5 V/ns
		VDD <sup>(1)</sup> = 3.3V	2.65	5 V/ns
<b>出力条件</b>				
C <sub>L</sub>	出力負荷容量	2	20	pF
<b>PCB 接続要件</b>				
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、 RGMII[x]_RD[3:0]、 RGMII[x]_RX_CTL	50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0]、 RGMII[x]_TX_CTL	50	ps

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-142. PRU\_ICSSG RGMII のタイミング要件 – RGMII[x]\_RXC

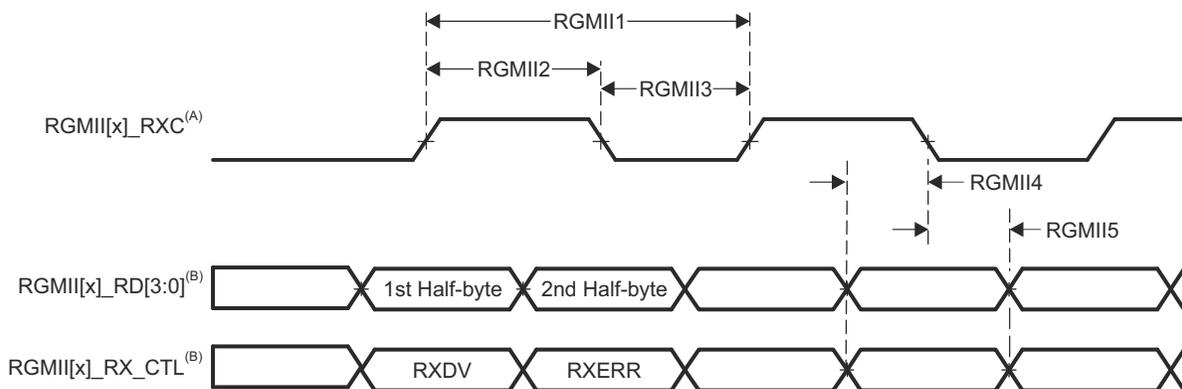
図 6-111 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_c(\text{RXC})$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_w(\text{RXCH})$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_w(\text{RXCL})$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-143. PRU\_ICSSG RGMII のタイミング要件 – RGMII[x]\_RD[3:0] および RGMII[x]\_RX\_CTL

図 6-111 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su}(\text{RD-RXC})$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su}(\text{RX_CTL-RXC})$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_h(\text{RXC-RD})$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_h(\text{RXC-RX_CTL})$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]\_RXC は、データピンと制御ピンに対して、外部的に遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]\_RD[3:0] は、RGMII[x]\_RXC の立ち上がりエッジでデータビット 3~0 を、RGMII[x]\_RXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII[x]\_RX\_CTL は、RGMII[x]\_RXC の立ち上がりエッジで RXDV を、RGMII[x]\_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-111. PRU\_ICSSG RGMII[x]\_RXC、RGMII[x]\_RD[3:0]、RGMII[x]\_RX\_CTL のタイミング要件 - RGMII モード

**表 6-144. PRU\_ICSSG RGMII のスイッチング特性 – RGMII[x]\_TXC**

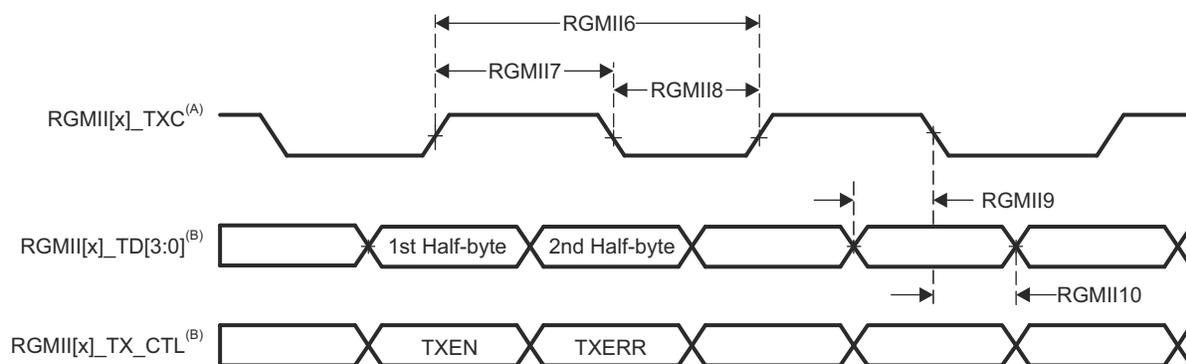
図 6-112 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_c(\text{TXC})$	サイクル時間、RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_w(\text{TXCH})$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_w(\text{TXCL})$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

**表 6-145. PRU\_ICSSG RGMII のスイッチング特性 – RGMII[x]\_TD[3:0] および RGMII[x]\_TX\_CTL**

図 6-112 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{\text{osu}}(\text{TD-TXC})$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{osu}}(\text{TX_CTL-TXC})$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{\text{oh}}(\text{TXC-TD})$	出力セットアップ時間、RGMII[x]_TXC High/Low の後、RGMII[x]_TD[3:0] 有効	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{oh}}(\text{TXC-TX_CTL})$	出力セットアップ時間、RGMII[x]_TXC High/Low の後、RGMII[x]_TX_CTL 有効	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



- A. TXC は内部で遅延されてから、RGMII[x]\_TXC ピンを駆動します。この内部遅延は常にインネブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]\_TD[3:0] は、RGMII[x]\_TXC の立ち上がりエッジでデータビット 3~0 を、RGMII[x]\_TXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII[x]\_TX\_CTL は RGMII[x]\_TXC の立ち上がりエッジで TXEN を、RGMII[x]\_TXC の立ち下がりエッジで TXERR を伝送します。

**図 6-112. PRU\_ICSSG RGMII[x]\_TXC、RGMII[x]\_TD[3:0]、RGMII[x]\_TX\_CTL のスイッチング特性 - RGMII モード**

### 6.11.5.17 タイマ

タイマ デバイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-146. タイマのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.5	5	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	10	pF

表 6-147. タイマ入力のタイミング要件

図 6-113 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T1	t <sub>w</sub> (TINPH)	パルス幅、High	キャプチャ	2 + 4P <sup>(1)</sup>		ns
T2	t <sub>w</sub> (TINPL)	パルス幅、Low	キャプチャ	2 + 4P <sup>(1)</sup>		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-148. タイマ出力のスイッチング特性

図 6-113 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T3	t <sub>w</sub> (TOOUTH)	パルス幅、High	PWM	-2 + 4P <sup>(1)</sup>		ns
T4	t <sub>w</sub> (TOOUTL)	パルス幅、Low	PWM	-2 + 4P <sup>(1)</sup>		ns

(1) P = 機能クロック周期 (ns 単位)。

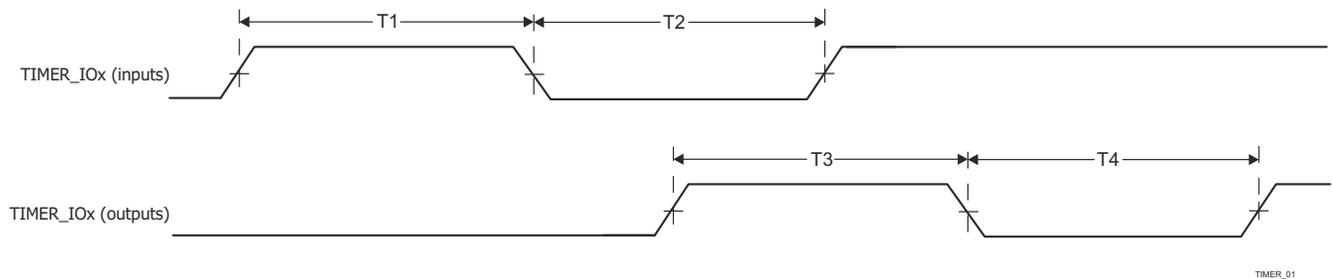


図 6-113. タイマのタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

### 6.11.5.18 UART

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

**表 6-149. UART のタイミング条件**

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.5	5	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	1	30 <sup>(1)</sup>	pF

- (1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間を超過して立ち上がり / 立ち下がり時間が増加しないことを確認します。

**表 6-150. UART のタイミング要件**

図 6-114 を参照

番号	パラメータ	説明	最小値	最大値	単位
1	t <sub>w(RXD)</sub>	パルス幅、受信データビット High または Low	0.95U <sup>(1)</sup> (2)	1.05U <sup>(1)</sup> (2)	ns
2	t <sub>w(RXDS)</sub>	パルス幅、受信スタートビット Low	0.95U <sup>(1)</sup> (2)		ns

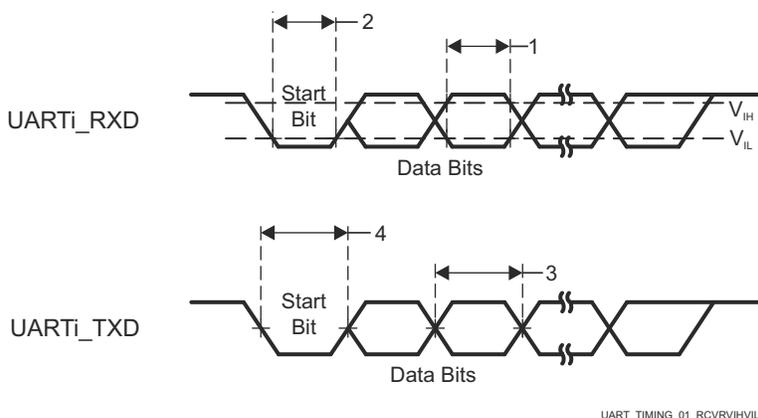
- (1) U = UART のポー時間 (ns) = 1 / プログラムされたボーレート。  
 (2) この値はデータ有効時間を規定します。ここで、入力電圧は V<sub>IH</sub> を上回る、または V<sub>IL</sub> を下回る必要があります。

**表 6-151. UART のスイッチング特性**

図 6-114 を参照

番号	パラメータ	説明	最小値	最大値	単位
	f <sub>(baud)</sub>	メインドメイン UART のプログラム可能なボーレート		12	Mbps
		MCU ドメイン UART のプログラム可能なボーレート		3.7	Mbps
3	t <sub>w(TXD)</sub>	パルス幅、送信データビット High または Low	U <sup>(1)</sup> - 2.2	U <sup>(1)</sup> + 2.2	ns
4	t <sub>w(TXDS)</sub>	パルス幅、送信スタートビット Low	U <sup>(1)</sup> - 2.2		ns

- (1) U = UART のポー時間 (ns) = 1 / プログラムされたボーレート。



**図 6-114. UART のタイミング要件およびスイッチング特性**

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ/トランスミッタ (UART)」セクションを参照してください。

#### **6.11.5.19 USB**

**USB 2.0** サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

**USB 3.1 Gen1** サブシステムは、USB (Universal Serial Bus) 3.1 仕様、リビジョン 1.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

このデバイスの **USB (Universal Serial Bus)** サブシステムの追加説明情報については、SERDES0 信号の説明と、「詳細説明」の対応するサブセクションを参照してください。

### 6.11.6 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

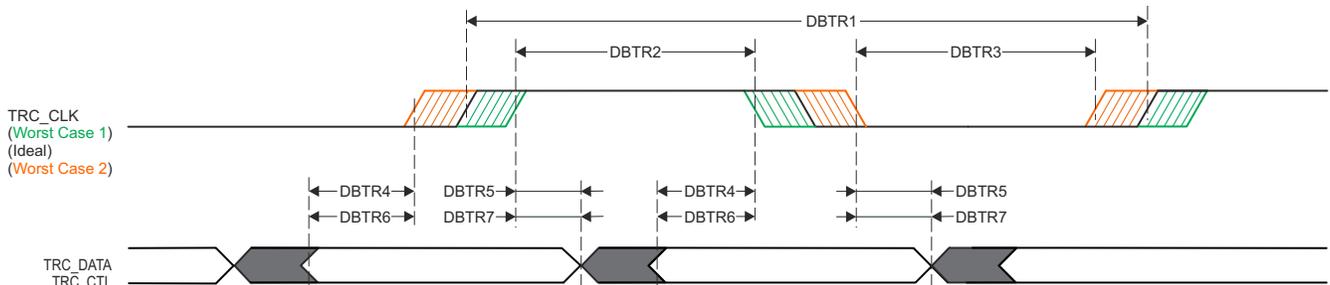
#### 6.11.6.1 トレース

表 6-152. トレースのタイミング条件

パラメータ		最小値	最大値	単位
<b>出力条件</b>				
$C_L$	出力負荷容量	2	5	pF
<b>PCB 接続要件</b>				
$t_d$ (Trace Mismatch)	すべてのパターンにわたる伝搬遅延の不整合	VDDSHV3 = 1.8V	200	ps
		VDDSHV3 = 3.3V	100	ps

表 6-153. トレースのスイッチング特性

番号	パラメータ		最小値	最大値	単位
<b>1.8V モード</b>					
DBTR1	$t_c$ (TRC_CLK)	サイクル時間、TRC_CLK	6.50		ns
DBTR2	$t_w$ (TRC_CLKH)	パルス幅、TRC_CLK High	2.50		ns
DBTR3	$t_w$ (TRC_CLKL)	パルス幅、TRC_CLK Low	2.50		ns
DBTR4	$t_{osu}$ (TRC_DATAV-TRC_CLK)	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	0.81		ns
DBTR5	$t_{oh}$ (TRC_CLK-TRC_DATAI)	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	0.81		ns
DBTR6	$T_{osu}$ (TRC_CTLV-TRC_CLK)	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	0.81		ns
DBTR7	$t_{oh}$ (TRC_CLK-TRC_CTLI)	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	0.81		ns
<b>3.3V モード</b>					
DBTR1	$t_c$ (TRC_CLK)	サイクル時間、TRC_CLK	8.67		ns
DBTR2	$t_w$ (TRC_CLKH)	パルス幅 TRC_CLK High	3.58		ns
DBTR3	$t_w$ (TRC_CLKL)	パルス幅、TRC_CLK Low	3.58		ns
DBTR4	$t_{osu}$ (TRC_DATAV-TRC_CLK)	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.08		ns
DBTR5	$t_{oh}$ (TRC_CLK-TRC_DATAI)	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.08		ns
DBTR6	$T_{osu}$ (TRC_CTLV-TRC_CLK)	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.08		ns
DBTR7	$t_{oh}$ (TRC_CLK-TRC_CTLI)	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.08		ns



SPRSP08\_Debug\_01

図 6-115. トレースのスイッチング特性

### 6.11.6.2 JTAG

表 6-154. JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>I</sub>	入力スルーレート	0.5	2.0	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	5	15	pF
PCB 接続要件				
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	83.5	1000 <sup>(1)</sup>	ps
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

(1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

表 6-155. JTAG のタイミング要件

図 6-116 参照

番号	パラメータ	説明	最小値	最大値	単位
J1	t <sub>c</sub> (TCK)	最小サイクル時間、TCK	45.5 <sup>(1)</sup>		ns
J2	t <sub>w</sub> (TCKH)	最小パルス幅、TCK High	0.4P <sup>(2)</sup>		ns
J3	t <sub>w</sub> (TCKL)	最小パルス幅、TCK Low	0.4P <sup>(2)</sup>		ns
J4	t <sub>su</sub> (TDI-TCK)	最小入力セットアップ時間、TDI 有効から TCK High まで	4		ns
	t <sub>su</sub> (TMS-TCK)	最小入力セットアップ時間、TMS 有効から TCK High まで	4		ns
J5	t <sub>h</sub> (TCK-TDI)	最小入力ホールド時間、TCK High から TDI 有効の間	2		ns
	t <sub>h</sub> (TCK-TMS)	最小入力ホールド時間、TCK High から TMS 有効の間	2		ns

(1) 最大 TCK 動作周波数は、接続されているデバッガについて、次のタイミング要件およびスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。

- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 2.2ns
- TCK の立ち下がりエッジに対して -16.1ns~14.1ns の範囲の TDI および TMS 出力遅延

(2) P = TCK サイクル時間 (ns 単位)

表 6-156. JTAG スイッチング特性

図 6-116 参照

番号	パラメータ	説明	最小値	最大値	単位
J6	t <sub>d</sub> (TCKL-TDOI)	最小遅延時間、TCK Low から TDO 無効まで	0		ns
J7	t <sub>d</sub> (TCKL-TDOV)	最大遅延時間、TCK Low から TDO 有効まで		14	ns

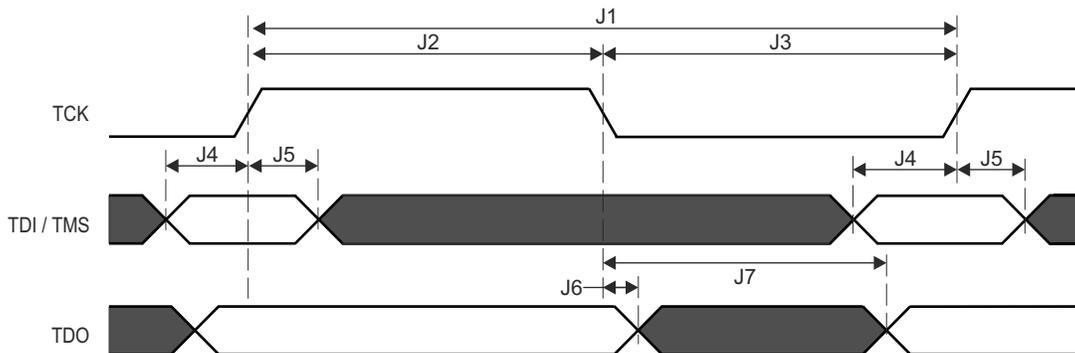


図 6-116. JTAG のタイミング要件およびスイッチング特性

## 7 詳細説明

### 7.1 概要

AM64x は、Sitara™ 産業用グレード ファミ리를拡張したヘテロジニアス Arm プロセッサです。AM64x は、リアルタイムの処理とアプリケーション処理を伴う通信との独自の組み合わせが求められる、モーター ドライブやプログラマブル ロジック コントローラ (PLC) のような産業用アプリケーション向けに構築されています。AM64x は、Sitara のギガビット TSN 対応 PRU-ICSS のインスタンスを 2 つ搭載しており、最大 2 つの Arm Cortex-A53 コア、最大 4 つの Cortex-R5F MCU、および 1 つの Cortex-M4F MCU ドメインを搭載しています。

AM64x は、高性能 R5F、密結合メモリ バンク、構成可能な SRAM パーティショニング、SoC 内外の高速データ移動を可能にする対ペリフェラル用の低レイテンシ パスを使用して、リアルタイム性能を発揮するように設計されています。この決定論的アーキテクチャは、サーボドライブに見られる厳密な制御ループを AM64x が処理することを可能にし、そのペリフェラル (例: FSI、GPMC、PWM、シグマ デルタ デシメーション フィルタ、アブソリュート エンコーダ インターフェイス) は、これらのシステムに見られる各種アーキテクチャを実現するのに役立ちます。

Cortex-A53 は、Linux アプリケーションに必要な強力なコンピューティング エlementを提供します。Linux およびリアルタイム (RT) Linux は、TI のプロセッサ SDK Linux を通じて提供されており、最新の長期サポート (LTS) Linux カーネル、ブートローダ、Yocto ファイル システムに毎年更新されます。AM64x は、構成可能なメモリ パーティション分割により、Linux アプリケーションとリアルタイム ストリーム間の分離を実現することで、Linux の世界とリアルタイムの世界を橋渡しします。Cortex-A53 は 厳密に Linux 用 DDR から動作するように割り当てることができます。また、内蔵 SRAM は、さまざまなサイズに分割して、Cortex-R5F がまとめて使用したり、または個別に使用したりできます。

AM64x の PRU\_ICSSG は、ギガビット TSN、EtherCAT、PROFINET、EtherNet/IP、その他の各種プロトコルの実行に必要な柔軟な産業用通信機能を備えています。また、PRU\_ICSSG を使うと、シグマ デルタ デシメーション フィルタ モジュール、アブソリュート エンコーダ インターフェイスなどのインターフェイスも SoC に追加できます。

機能安全のための機能は、内蔵の Cortex-M4F と専用ペリフェラル セットを備えた MCU ドメインによって実現されます。これらのペリフェラルはすべて、SoC のその他の部分によって共有され、または SoC のその他の部分から分離できます。AM64x はセキュア ブートもサポートしています。

---

#### 注

スーパーセット デバイスのシステム オン チップ (SoC) の機能、サブシステム、アーキテクチャの詳細については、デバイスのテクニカル リファレンス マニュアル を参照してください。

---

## 7.2 プロセッサ サブシステム

### 7.2.1 Arm Cortex-A53 サブシステム

A53SS モジュールは、以下の機能をサポートしています。

- デュアル コア A53 クラスタ
  - ARM v8-A アーキテクチャに完全準拠
- AArch32 および AArch64 の実行状態
- すべての例外レベル EL0-3
- A32 命令セット (従来の ARM 命令セット)
- T32 命令セット (従来の Thumb 命令セット)
- A64 命令セット機能
  - アドバンスド SIMD および浮動小数点拡張機能 (NEON)
  - ARMv8 暗号化拡張機能
  - ARMv8 暗号化拡張機能
  - Arm GICv3 アーキテクチャ
  - ほとんどの命令に対して対称型のデュアル発行を行うイン オーダー パイプライン
  - ハーバード L1、システム MMU 付
- 32KB 命令キャッシュ
- 32KB データ キャッシュ
  - 256KB 共有 L2 キャッシュ
  - 汎用タイマ
  - デバッグ
- 128 ビット VBUSM イニシエータ インターフェイス (axi\_r および axi\_r チャンネル用)
- 128 ビットの VBUSM ターゲット インターフェイス (アクセラレータ コヒーレンシ ポート用)
- 64 ビット グレーコード システム入力時間
- 48 ビット グレーコード デバッグ入力時間
- デバッグ用 32 ビット VBUSP ターゲット インターフェイス
- BISR 付き内蔵 PBIST コントローラ

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「デュアル A53 MPU サブシステム」セクションを参照してください。

### 7.2.2 Arm Cortex-R5F サブシステム (R5FSS)

R5FSS は、デュアル / シングル コア動作に構成された Arm® Cortex®-R5F プロセッサのデュアル コア実装です。また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種ラッパーも搭載しています。

#### 注

Cortex®-R5F プロセッサは、オプションの浮動小数点ユニット (FPU) 拡張機能を備えた Cortex-R5 プロセッサです。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「デュアル R5F サブシステム (R5FSS)」セクションを参照してください。

### 7.2.3 Arm Cortex-M4F (M4FSS)

AM64x デバイスの M4FSS モジュールは、安全チャネル (セカンダリ チャネル - 外部マイクロコントローラと連携して動作) または汎用 MCU として機能します。

M4FSS モジュールは、以下の機能をサポートしています。

- MPU (メモリ保護ユニット) 付き Cortex M4F
- ARMv7-M アーキテクチャ
- 64 入力のネスト型ベクタ割り込みコントローラ (NVIC) をサポート
- 内部または外部メモリからコードを実行可能
- 192KB の SRAM (I コード)
- 64KB の SRAM (D コード)
- 内部メモリへの外部アクセス (許可されている場合)
- デバッグ サポート:
  - CPU コアに対する DAP ベースのデバッグ
  - CPU コアの全デバッグ機能に対応
  - 標準的な ITM トレース
  - CTM クロストリガ
  - ETM トレースをサポート
- エラー検出および訂正
  - I コードでの SECDED ECC 保護
  - D コードでの SECDED ECC 保護
  - フォルト エラー割り込み出力

詳細については、本デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Arm Cortex M4F サブシステム (M4FSS)」セクションを参照してください。

## 7.3 アクセラレータとコプロセッサ

### 7.3.1 プログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム (PRU\_ICSSG)

PRU\_ICSSG モジュールは、以下の主な機能をサポートしています。

- 3 つの PRU
  - 汎用 PRU (PRU)
  - リアルタイム PRU (RTU\_PRU)
  - 送信 PRU (TX\_PRU)
- PRU への 2 つのイーサネット MII\_G\_RT 構成可能接続
  - 最大 2 つの RGMII ポート
  - 最大 2 つの MII ポート
  - RX クラシファイア
- 産業用イーサネット機能を管理および生成する 2 つの産業用イーサネット ペリフェラル (IEP)
- 10 個のキャプチャ イベントと 16 個の比較イベントを搭載した 2 つの産業用 64 ビット タイマと、低速および高速の補正
- 1x MDIO
- 1 つの UART (専用 192MHz クロック入力付き)
- 最大 4 組の 3 相モーター制御をサポート (12 の 1 次側 PWM 出力、12 の相補プログラマブル PWM 出力)
- 最大 9 つの安全イベントと、任意の PWM セットごとの外部トリップ I/O (ハードウェア グリッチ フィルタ付き) をサポート
- 1 つの拡張キャプチャ モジュール (ECAP)
- 1 つの割り込みコントローラ (INTC)
  - 160 の入力イベントをサポート – 外部 96、内部 64
- フレキシブルな電源管理サポート
- 優先順位をプログラム可能な統合型スイッチ セントラル リソース
- すべてのメモリがサポートする ECC

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサおよびアクセラレータ」の章にある「プログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム - ギガビット (PRU\_ICSSG)」セクションを参照してください。

## 7.4 その他のサブシステム

### 7.4.1 PDMA コントローラ

ペリフェラル DMA は、特にペリフェラルのデータ転送ニーズを満たすように設計されたシンプルな DMA です。ペリフェラル DMA は、コヒーレントではない標準のバス ファブリック経由でアクセスされる、メモリ マップされたレジスタを使用してデータ転送を実行します。PDMA モジュールは、データ移動用に外部 DMA を必要とする 1 つまたは複数のペリフェラルの近くに配置することを意図しており、VBUSP インターフェイスを使用してコストを削減し、静的に構成された転送要求 (TR) 動作のみをサポートするように設計されています。

PDMA は、ペリフェラル自体とデータをやり取りするデータ移動トランザクションの実行のみを担当します。指定されたペリフェラルから読み取られたデータは、PDMA ソース チャネルによって PSI-L データ ストリームにパックされます。その後、リモートピア UDMA-P デスティネーション チャネルに送信され、メモリへのデータ移動が実行されます。同様に、リモート UDMA-P ソース チャネルはメモリからデータをフェッチし、PSI-L 経由でピア PDMA デスティネーション チャネルに転送し、次にペリフェラルへの書き込みを実行します。

PDMA アーキテクチャは意図的に異種混合 (UDMA-P + PDMA) を採用しており、システム内の各ポイントでデータ転送の複雑度を適切なサイズに設定して、送受信するデータのさまざまな要件に適合できます。ペリフェラルは通常 FIFO ベースであり、FIFO の次元の要件を超える多次元転送を必要としないため、PDMA 転送エンジンは、わずかな大きさ (通常はサンプル サイズと FIFO の深さによる)、ハードコードされたアドレス マップ、シンプルなトリガ機能だけという簡潔さが保たれています。

PDMA には複数のソースおよびデスティネーション チャネルが用意されており、複数の同時転送動作を実行できます。DMA コントローラは、基盤となる DMA ハードウェアを共有するために、各チャネルの状態情報を維持し、チャネル間のラウンド ロビン スケジューリングを採用しています。

このデバイスには 5 つの PDMA モジュールが内蔵されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「DMA コントローラ」の章にある「PDMA コントローラ」セクションを参照してください。

## 7.4.2 ペリフェラル

### 7.4.2.1 ADC

A/D コンバータ (ADC) モジュールは、8 入力のアナログ マルチプレクサを内蔵したシングル チャネルの汎用 A/D コンバータで、アナログ フロント エンド (AFE) からの 12 ビット変換サンプルをサポートしています。

このデバイスには ADC モジュールが 1 つ搭載されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「A/D コンバータ (ADC)」セクションを参照してください。

### 7.4.2.2 DCC

デュアル クロック コンパレータ (DCC) は、アプリケーションの実行中にクロック信号の精度を判定するために使用されます。特に、DCC は、期待されるクロック周波数からのドリフトを検出するように設計されています。必要な精度は、各アプリケーションの計算に基づいてプログラムできます。DCC は、別の入力クロックを基準として、選択可能なクロック ソースの周波数を測定します。

このデバイスには、7 個の DCC モジュール インスタンスがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「デュアル クロック コンパレータ (DCC)」セクションを参照してください。

### 7.4.2.3 デュアル データ レート (DDR) 外部メモリ インターフェイス (DDRSS)

MAIN ドメインへの統合:DDR サブシステム (DDRSS) の 1 つのインスタンスが外部 RAM デバイスへのインターフェイスとして使用され、プログラムやデータの保存に利用できます。DDRSS の主な特長は次のとおりです。

- DDR4/LPDDR4 メモリ タイプをサポート
- インライン ECC 付きの 16 ビット メモリ バス インターフェイス
- システム バス インターフェイス:リトル エンディアン専用、128 ビットのデータ幅
- 構成バス インターフェイス:リトル エンディアン専用、32 ビットのデータ幅
- デュアル ランク構成をサポート
- アクティビティが検出されない、または検出されたアクティビティが低いときの自動アイドル パワー セービング モードのサポート
- サービスクラス (CoS):3 つのレイテンシ クラスをサポート
- 優先順位付きの更新スケジュールの設定
- パフォーマンス管理用の統計カウンタ

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

### 7.4.2.4 ECAP

このセクションでは、本デバイスの拡張キャプチャ (ECAP) モジュールについて説明します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

#### 7.4.2.5 EPWM

効果的な PWM ペリフェラルは、最小限の CPU オーバーヘッドまたは介入で、複雑なパルス幅波形を生成できる必要があります。高度にプログラマブルで、フレキシビリティが高く、しかも理解しやすく、使いやすいたことが求められます。ここで説明する EPWM ユニットの、必要なすべてのタイミングおよび制御リソースを PWM チャネルごとに割り当てることで、これらの要件に対応しています。リソースの交換も共有も行われていません。その代わりに本 EPWM は、必要に応じて連携して動作できる、独立したリソースを備えた複数の小さなシングル チャネル モジュールで構成されています。このモジュール式手法により直交アーキテクチャが可能となり、ペリフェラルの構造をより透過的に観察できるようになるため、ユーザーはその動作をすぐに理解できます。

これ以降の説明では、信号またはモジュール名の中で文字「x」を使って、デバイス上の EPWM インスタンスの総称を表しています。たとえば、出力信号 EPWMxA および EPWMxB は、EPWM\_x インスタンスからの出力信号を意味しています。すなわち、EPWM1A および EPWM1B は EPWM1 に属しており、EPWM2A および EPWM2B は EPWM2 に属し、以下同様になります。

さらに、EPWM が統合されているため、この同期方式をキャプチャ ペリフェラル モジュール (ECAP) に拡張できます。モジュールの数はデバイスによって異なり、ターゲット アプリケーションの要求に基づいて決定されます。モジュールはスタンダアロンでも動作できます。

このデバイスには、6 個の EPWM モジュール インスタンスがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

#### 7.4.2.6 ELM

エラー特定モジュール (ELM) は、GPMC と組み合わせて使用されます。NAND フラッシュ ページを読み出す際にオンザフライで生成され、GPMC レジスタに保存されたシンドローム多項式が、ELM に渡されます。その後、ホスト プロセッサは、ELM エラー特定出力が示すビットを反転することで、データ ブロックを修正できます。

NAND フラッシュ メモリから読み出す場合、ある程度の誤り訂正が必要です。ベア NAND と呼ばれる、訂正機能を内蔵していない NAND モジュールの場合、訂正処理はメモリ コントローラに委任されます。ELM は、パラレル NOR フラッシュまたは NAND フラッシュをサポートするためにも使用できます。

汎用メモリ コントローラ (GPMC) は、外部 NAND フラッシュから読み出したデータを調べ、これを使用して、シンドローム多項式と呼ばれる、チェックサムに似た情報をブロック単位で計算します。各シンドローム多項式は、512 バイトのデータ、パリティビット、オプションのスペアエア データ フィールド (最大ブロックサイズは 1023 バイト) を含むフル ブロックの読み出し動作のステータスを与えます。計算は BCH (Bose-Chaudhuri-Hocquenghem) アルゴリズムに基づいて行われます。ELM はこれらのシンドローム多項式からエラー アドレスを抽出します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー特定モジュール (ELM)」セクションを参照してください。

#### 7.4.2.7 ESM

エラー通知モジュール (ESM) は、デバイス全体の安全関連イベントやエラーを 1 つの場所に集約します。本モジュールは、安全イベントに対処するために、優先度の低い割り込みおよび高い割り込みをプロセッサに通知したり、I/O エラー ピンを操作して、エラーが発生したことを外部ハードウェアに通知したりすることができます。このため、外部コントローラは本デバイスをリセットし、またはシステムを安全な既知の状態に維持できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー通知モジュール (ESM)」セクションを参照してください。

#### 7.4.2.8 GPIO

汎用入出力 (GPIO) ペリフェラルは、入力または出力として構成可能な専用の汎用ピンを備えています。出力として構成すると、内部レジスタに書き込むことにより、出力ピンの状態を制御できます。入力として構成すると、内部レジスタの状態を読み取ることにより、入力の状態を取得できます。

さらに、GPIO ペリフェラルは、さまざまな割り込み/イベント生成モードで、ホスト CPU 割り込みおよび DMA 同期イベントを生成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

#### 7.4.2.9 EQEP

拡張直交エンコーダ パルス (eQEP) ペリフェラルを、リニアまたはロータリー インクリメンタル エンコーダとの直接インターフェイスとして使用することにより、高性能な動作および位置制御システムで利用される位置、方向、速度の情報を、回転する機械から取得できます。インクリメンタル エンコーダのディスクは、シングルトラックのスロットパターンでパターン化されています。これらのスロットは、暗いラインと明るいラインの交互パターンを生成します。ディスクでの計数は、1 回転あたりに発生する暗いラインと明るいラインのペアの数 (1 回転あたりのライン数) で決まります。一般的に、2 番目のトラックを追加して、1 回転に 1 回発生する信号を生成します (インデックス信号:QEPI)。これは、絶対位置を示すために使用できます。エンコーダのメーカーは、このインデックスパルスに対して、インデックス、マーカー、ホーム位置、ゼロ基準などのさまざまな用語を使用しています。

円盤上の線は、円盤のパターンを「検出」する 2 つの異なる受光素子によって読み取られます。方向の情報を得るため、これらの 2 つの受光素子の入射範囲は、円盤上の線のピッチの 1/4 だけ機械的にシフトして配置されています。このシフトは、受光素子の入射範囲を円盤の線の必要な部分に制限するレチクルまたはマスクによって実現されます。円盤が回転すると、2 つの受光素子は互いに 90 度ずれた位相を持つ信号を生成します。これらは一般に直交 QEPA および QEPB 信号と呼ばれます。ほとんどのエンコーダの時計回り方向は、「QEPB チャンネルが正になる前に、QEPA チャンネルが正になる方向」と定義されており、反時計回り方向はその逆と定義されています。

エンコーダ ホイールは通常、モーターが 1 回転するごとに 1 回転します。または、モーターの回転に対してエンコーダホイールを歯車で減速させることもできます。したがって、QEPA および QEPB 出力から得られるデジタル信号の周波数は、モーターの速度に比例して変化します。たとえば、毎分 5000 回転 (rpm) で動作するモーターに 2000 ラインのエンコーダを直接結合すると、周波数は 166.6kHz となるため、QEPA 出力と QEPB 出力のどちらかの周波数を測定することで、プロセッサはモーターの速度を求めることができます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

#### 7.4.2.10 汎用メモリ コントローラ (GPMC)

汎用メモリ コントローラは、以下に示すような外部メモリ デバイスとのインターフェイス専用の統合メモリ コントローラです。

- 非同期 SRAM などのメモリおよび ASIC (特定用途向け集積回路) デバイス
- 非同期、同期、ページ モード (非多重化モードでのみ使用可能) バースト NOR フラッシュ デバイス
- NAND フラッシュ
- 疑似 SRAM デバイス

詳細については、デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「汎用メモリ コントローラ」セクションを参照してください。

#### 7.4.2.11 I2C

Inter-IC Bus (I2C) インターフェイスは、mshsi2c モジュールを使用して実装されています。このペリフェラルはマルチコントローラ I2C バスを実装しており、2 線式インターフェイスを介して、他の I2C コントローラやターゲット デバイスとの間で 8 ビット データをシリアル転送できます。

I2C モジュールは、以下の主な機能をサポートしています。

- Philips I2C 仕様バージョン 2.1 に準拠
- サポートされている速度:
  - スタンダード モード (最大 100Kbit/s)
  - ファースト モード (最大 400Kbit/s)

- 高速モード (最大 3.4Mbit/s)、I2C0 と MCU\_I2C0 のみ
- マルチコントローラトランスミッタ / ターゲットレシーバ モード
- マルチコントローラレシーバ / ターゲットトランスミッタ モード
- コントローラ送信 / 受信、受信 / 送信の組み合わせモード
- 7 ビットおよび 10 ビットのデバイス アドレスリング モード
- 32 バイト FIFO を内蔵し、バッファ付き読み取り / 書き込みに対応
- プログラム可能なマルチターゲット チャネル (4 つの分離アドレスに回答)
- プログラマブル クロック生成
- 非同期ウェークアップのサポート
- 1 つの割り込みライン

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「I2C (Inter-Integrated Circuit) インターフェイス」セクションを参照してください。

#### 7.4.2.12 MCAN

コントローラ エリア ネットワーク (CAN) は、高い安全性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対する高い耐性を持ち、自己診断およびデータ エラー修正機能を備えています。CAN ネットワークでは、多くの短いメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型 CAN および CAN FD (フレキシブル なデータ レートの CAN) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

このデバイスは 2 つの MCAN モジュールを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

#### 7.4.2.13 MCRC (エアコン) コントローラ

VBUSM CRC コントローラは、CRC (巡回冗長検査) を実行してメモリ システムの整合性を検証するために使用されるモジュールです。メモリの内容が MCRC コントローラに読み込まれるとき、メモリの内容を表すシグネチャを取得します。MCRC コントローラの役割は、一連のデータに対するシグネチャを計算して、その計算されたシグネチャ値と、あらかじめ設定された正しいシグネチャ値を比較することです。MCRC コントローラには 4 つのチャネルがあり、複数のメモリに対して並行して CRC 計算を実行します。これは、あらゆるメモリ システムで使用できます。また、チャネル 1 をデータトレースモードに移行させることもできます。このモードでは、MCRC コントローラは CPU 読み出しデータ バス経路で読み出される各データを圧縮します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサ間通信」の章にある「MCRC コントローラ」セクションを参照してください。

#### 7.4.2.14 MCSPI

MCSPI モジュールは、マルチチャネル送信 / 受信、コントローラ / ペリフェラル同期シリアル バスです。

このデバイスには合計 7 つの MCSPI モジュールが内蔵されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

#### 7.4.2.15 MMCSDB

本デバイスには 2 つのマルチメディア カード / セキュア デジタル (MMCSDB) モジュール (MMCSDB0、MMCSDB1) が内蔵されています。各 MMCSDB モジュールには 1 つの MMCSDB ホスト コントローラが含まれており、MMCSDB0 は MMC0 に関連付けられ、MMCSDB1 は MMC1 に関連付けられています。

MMCSDB ホスト コントローラは、以下をサポートしています。

- 8 ビット幅のデータ バスを備えた 1 つのコントローラ
- 4 ビット幅のデータ バスを備えた 1 つのコントローラ
- eMMC5.1 ホスト仕様 (JESD84-B51)
- SD ホスト コントローラ標準仕様 - SDIO 3.00
- SD Advanced DMA をサポートする内蔵 DMA コントローラ - ADMA2 および ADMA3
- eMMC 電気規格 5.1 (JESD84-B51)
- マルチメディア カード機能:
  - 従来の eMMC 規格との下位互換性
  - レガシー MMC SDR: 1.8V、8/4/1 ビット バス幅、0~25MHz、25/12.5/3.125MB/s
  - ハイスピード SDR: 1.8V、8/4/1 ビット バス幅、0~50MHz、50/25/6.25MB/s
  - ハイスピード DDR: 1.8V、8/4 ビット バス幅、0~50MHz、100/50MB/s
  - HS200 SDR: 1.8V、0~200MHz、8/4 ビット バス幅、200/100MB/s
- SD カード: SDIO、SDR12、SDR25、SDR50、DDR50
- システム バス インターフェイス: CBA 4.0 VBUSM イニシエータ ポート (64 ビット データ幅、64 ビット アドレス、リトル エンディアンのみ)
- 構成バス インターフェイス: CBA 4.0 VBUSM (32 ビット データ幅、32 ビット アライン アクセスのみ、リニア インクリメント アドレスモード、リトル エンディアンのみ)

詳細については、デバイスの TRM で「ペリフェラル」の章にある「マルチメディア カード/セキュア デジタル (MMCSD) インターフェイス」セクションを参照してください。

#### 7.4.2.16 OSPI

オクタル シリアル ペリフェラル インターフェイス (OSPI) モジュールは、シリアル ペリフェラル インターフェイス (SPI) モジュールの一種で、外部フラッシュ デバイスへのシングル、デュアル、クワッド、またはオクタルの読み取りおよび書き込みアクセスを可能にします。このモジュールは、メモリ マップ レジスタ インターフェイスを備えており、外部フラッシュ デバイスからデータにアクセスするためのダイレクト メモリ インターフェイスとして機能するので、ソフトウェア要件が簡素化されます。

OSPI モジュールは、メモリ マップ直接モード (たとえば、プロセッサが外部フラッシュ メモリからコードを直接実行しようとする場合) または間接モード (要求された動作をサイレントに実行し、割り込みやステータス レジスタによって動作が完了したことを通知するようにモジュールが設定されている状態) でデータを転送するために使用します。間接動作の場合、データは内部 SRAM を経由してシステム メモリと外部フラッシュ メモリの間で転送されます。この SRAM は書き込みのためにロードされ、読み出しのためにアンロードされます。読み出しはデバイス コントローラによって低レイテンシのシステム速度で行われます。この SRAM にアクセスする具体的な時期は、割り込みまたはステータス レジスタを使用して識別します。この設定は、ユーザー プログラマブルな構成レジスタによって行います。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

#### 7.4.2.17 PCIe (Peripheral Component Interconnect Express)

PCIe サブシステムは以下の主な機能をサポートしています。

- デュアル モード ルート ポート (RP) またはエンド ポイント (EP) モード
- 1 レーン構成、最大 5.0GT/レーン
- PIPE インターフェイス上で、Gen1/Gen2 としてそれぞれ 62.5/125MHz 動作
- Gen1/Gen2 モードの PIPE 幅: 32 ビット、一定
- 最大アウトバウンド ペイロード サイズ: 128 バイト
- 最大インバウンド ペイロード サイズ: 128 バイト
- リモート読み取り要求の最大サイズ: 4K バイト
- nonposted 未処理トランザクションの最大数: 8 (各 VBUSM インターフェイス)
- 4 つの仮想チャネル (4VC)
- サイズ変更可能な BAR 機能

- SRIS のサポート
- パワー マネージメント
  - L1 パワー マネージメント サブステートのサポート
  - D1 のサポート
  - L1 電源シャットオフのサポート
- レガシー、MSI、MSI-X 割り込みのサポート
- 32 のアウトバウンド アドレス変換リージョン
- PTM (Precision Time Measurement: 高精度時間測定)

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Peripheral Component Interconnect Express (PCIe) サブシステム」セクションを参照してください。

#### 7.4.2.18 シリアライザ / デシリアライザ (SerDes) PHY

MAIN ドメインには、高速差動インターフェイスのインスタンスが 1 つ統合され、以下に示すメイン ブロックを持つシリアライザ / デシリアライザ (SerDes) マルチプロトコル マルチリンク PHY が実装されています。

- 共通のモジュールでペリフェラルと Tx のクロック処理を行う、シングルレーンの SerDes PHY
- パラレル インターフェイスとの間のデータ変換、データのエンコード / デコード、シンボル アライメントを行う物理的コーディング サブブロック
- 単一の SerDes レーン (Tx および Rx) へのデバイス インターフェイス多重化用のマルチプレクサ モジュール
- SerDes とマルチプレクサから制御信号とレポート ステータス信号を送信するラッパー

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「シリアライザ / デシリアライザ (SerDes)」セクションを参照してください。

#### 7.4.2.19 リアルタイム割り込み (RTI/WWDT)

このセクションでは、デバイスのウィンドウ ウォッチドッグ タイマ (WWDT) 機能を備えたリアルタイム割り込み (RTI) モジュールについて説明します。

詳細については、デバイスのテクニカル リファレンス マニュアルで、「ペリフェラル」の章にある「リアルタイム割り込み (RTI/WWDT) モジュール」セクションを参照してください。

#### 7.4.2.20 デュアル モード タイマ (DMTIMER)

デュアル モード タイマ (DMTIMER) モジュールは、主に次のような機能をサポートしています。

- オーバーフロー、比較、キャプチャの各イベントについて割り込みを生成
- フリーランニングの 32 ビット加算カウンタ
- サポートされている動作モード:
  - 比較およびキャプチャ モード
  - 自動リロード モード
  - スタート - ストップ モード
- プログラマブルなデバイダ クロック ソース ( $n=[0:8]$  で  $2n$ )
- キャプチャ モード専用の入力トリガと、専用の出力トリガ / PWM (パルス幅変調) 信号
- カウント中のオンザフライの読み出し / 書き込みレジスタ
- 32768Hz 機能クロックで 1ms のティックを生成

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

#### 7.4.2.21 UART

UART モジュールは、以下の主な機能をサポートしています。

- 16C750 互換
- 300bps~12Mbps のボーレート (MCU\_UART0 と MCU\_UART1 は 3.7Mbps に制限)

- 1200bps～115.2kbps の自動ボー
- ソフトウェア / ハードウェア フロー制御
  - Xon/Xoff 文字をプログラム可能
  - Auto-RTS および Auto-CTS をプログラム可能
- シリアル インターフェイスの特性をプログラム可能
  - 5、6、7、8 ビット文字
  - 偶数、奇数、マーク (常時 1)、スペース (常時 0)、パリティなし (パリティなしビット フレーム) ビットの生成と検出
  - 1、1.5、または 2 ストップ ビットの生成
- 任意のマルチドロップ転送
- 構成可能なタイム ガード機能
- 不正スタートビットの検出
- 改行の生成と検出
- UART0 でのモデム制御機能 (CTS、RTS、DSR、DTR、RI、DCD)
- 完全に優先順位付けされた割り込みシステム制御
- 内部テストおよびループバック機能
- RS-485 外部トランシーバ自動フロー制御をサポート

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル同期 / 非同期 レシーバ / トランスミッタ (UART)」セクションを参照してください。

#### 7.4.2.22 ユニバーサル シリアル バス サブシステム (USBSS)

ユニバーサル シリアル バス サブシステム (USBSS) モジュールは、以下の主な機能をサポートしています。

汎用 USB インターフェイス:

- USB 3.1 仕様に準拠
- xHCI 1.1 仕様に準拠
- ポートを次のように構成可能:
  - USB ホスト:
    - スーパースピード Gen 1 (5Gbps)
    - ハイスピード (480Mbps)
    - フルスピード (12Mbps)
    - ロースピード (1.5Mbps)
  - USB デバイス / ペリフェラル:
    - ハイスピード (480Mbps)
    - フルスピード (12Mbps)
  - USB デュアルロール デバイス

USB ホスト モードの機能:

- 64 スロット
- 最大 96 の定期的な同時エンドポイント
- 256 のプライマリ ストリーム
- MSI
- ルート ハブ

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル シリアル バス (USB) サブシステム」を参照してください。

## 8 アプリケーション、実装、およびレイアウト

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 デバイスの接続およびレイアウトの基礎

#### 8.1.1 電源

##### 8.1.1.1 電源の設計

このデバイスの電源実装には、次の電圧ドメインで VDD\_CORE が 0.75V で動作する場合、最低 6 つのソース (VDD\_CORE が 0.85V で動作する場合は 5 つのソース) が必要です。0.75V/0.85V CORE 電源、0.85V RAM 電源、3.3V IO 電源、1.8V IO 電源、1V8 アナログ電源、1.1V/1.2V DDR IO 電源。特定の電源ピンをグループ化する方法を理解するには、評価基板またはスタータキットの設計ファイルを参照してください。この電源ソリューションは、汎用のパワー マネージメント IC (PMIC)、または DCDC や LDO などのディスクリート レギュレータを使用して実装できます。TPS65219 は、コストとスペースを最適化した PMIC の一例で、DCDC、LDO、マルチファンクション デジタル信号、シーケンサ、スーパーバイザを内蔵して、プロセッサと主要なペリフェラルに給電するための総合的な電源ソリューションを提供します。最新の電源関連資料については、「[TI の電源ソリューション](#)」Web サイトをご覧ください。

### 注

このデバイスにより、VDD\_CORE は 0.75V または 0.85V で動作できます。VDD\_CORE が 0.75V で動作している場合、VDD\_CORE は、VDDR\_CORE に対する適切なパワーアップ/パワーダウン シーケンスを備えた専用の 0.75V 電源から電力を供給する必要があります。VDD\_CORE が 0.85V で動作している場合、VDD\_CORE には、VDDA\_0P85\_USB0、VDDA\_0P85\_SERDES0、VDDA\_0P85\_SERDES0\_C、VDD\_MMC0、VDDA\_DLL\_MMC0、VDDR\_CORE と同じ電源から電力を供給する必要があります。

### 注

デバイス電源を実装するには、eFuse プログラミング中にのみ VPP に電力を供給する専用の 1.8V LDO が 必要です。この LDO はオプションであり、オンボード eFuse プログラミングが必要な場合にのみ必要です。

##### 8.1.1.2 電源供給回路の実装ガイド

『[Sitara プロセッサ電源供給回路: 実装と分析](#)』は、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。テキサス・インスツルメンツは、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

#### 8.1.2 外部発振器

外部発振器の詳細については、「[クロック仕様](#)」セクションを参照してください。

#### 8.1.3 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS™) JTAG コントローラをサポートしています。この情報の概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

#### 8.1.4 未使用のピン

未使用のピンの詳細については、「[ピン接続要件](#)」セクションを参照してください。

## 8.2 ペリフェラルおよびインターフェイス固有の設計情報

### 8.2.1 DDR 基板の設計およびレイアウトのガイドライン

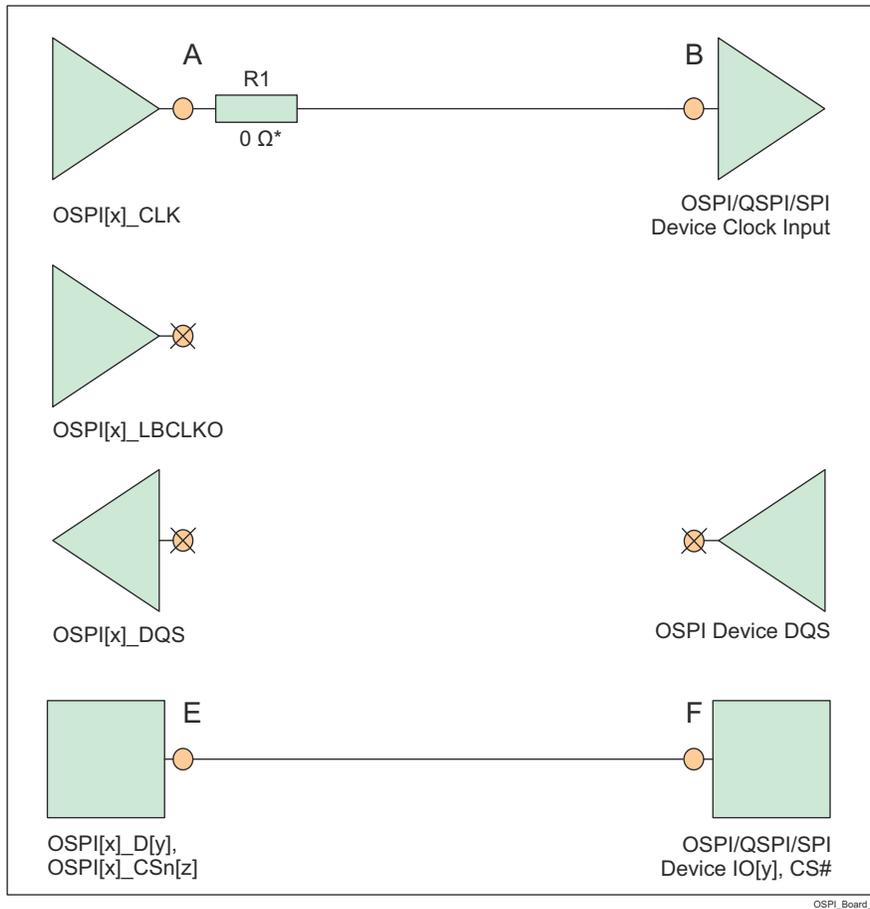
『AM64x\AM243x DDR 基板の設計およびレイアウトのガイドライン』の目標は、すべての設計者に対して DDR システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメンツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、DDR4 または LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

## 8.2.2 OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン

以下のセクションでは、OSPI、QSPI および SPI デバイスの接続にあたって従うべき PCB の配線ガイドラインについて詳しく説明します。

### 8.2.2.1 ループバックなし、内部 PHY ループバックおよび内部パッド ループバック

- OSPI[x]\_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]\_CLK ピンから接続されている OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります。
- 各 OSPI[x]\_D[y] および OSPI[x]\_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-1 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - (A から B)  $\leq$  450ps
  - (E から F、または F から E) = ((A から B)  $\pm$  60ps)



\* 0Ω 抵抗 (R1) は、OSPI[x]\_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

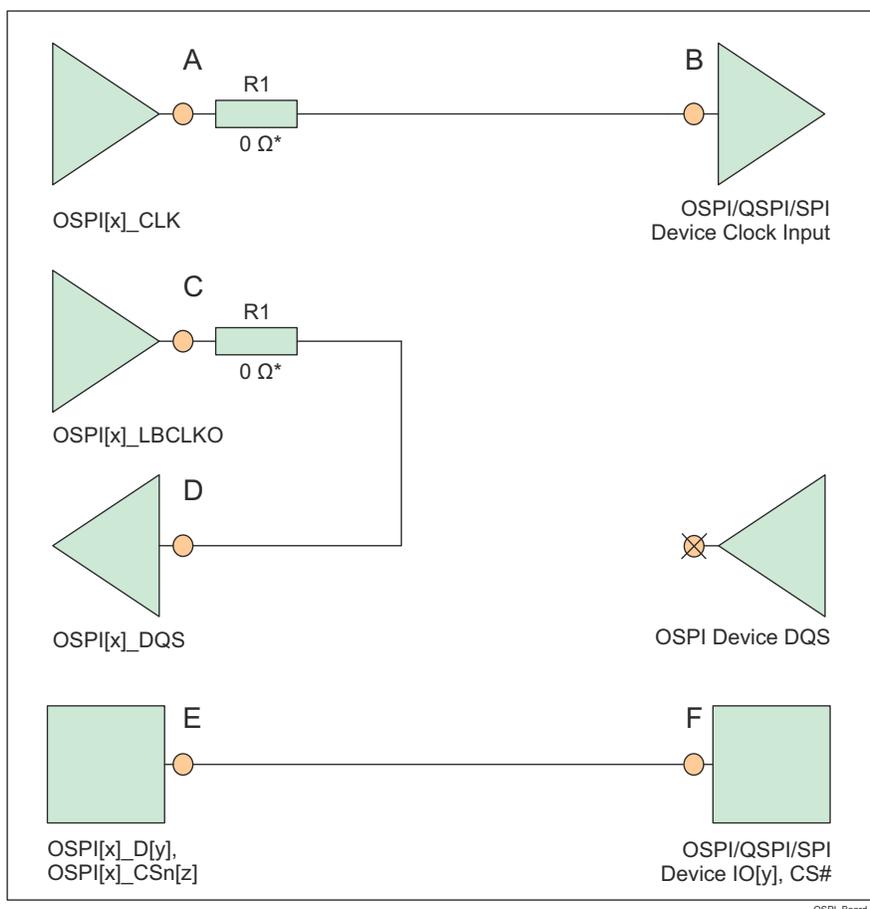
図 8-1. ループバックなし、内部 PHY ループバック、内部パッド ループバックの OSPI 接続回路図

### 8.2.2.2 外部ボードのループバック

- OSPI[x]\_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]\_LBCLKO 出力ピンは、OSPI[x]\_DQS 入力ピンにループバックする必要があります。
- OSPI[x]\_LBCLKO ピンから OSPI[x]\_DQS ピン (C から D) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから、接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの伝搬遅延の約 2 倍である必要があります。
- 各 OSPI[x]\_D[y] および OSPI[x]\_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
  - (C から D) = 2 x ((A から B) ± 30ps)、下の例外の注を参照してください。
  - (E から F、または F から E) = ((A から B) ± 60ps)

#### 注

外部ボード ループバック ホールド時間要件 (「OSPIO のタイミング要件 - PHY DDR モード」表 6-106 のパラメータ番号 O16 で規定) は、標準的な OSPI/QSPI/SPI デバイスで提供されるホールド時間よりも長い場合があります。この場合、ホールド時間を増やすため、OSPI[x]\_LBCLKO ピンから OSPI[x]\_DQS ピン (C から D) までの伝搬遅延を短くすることができます。

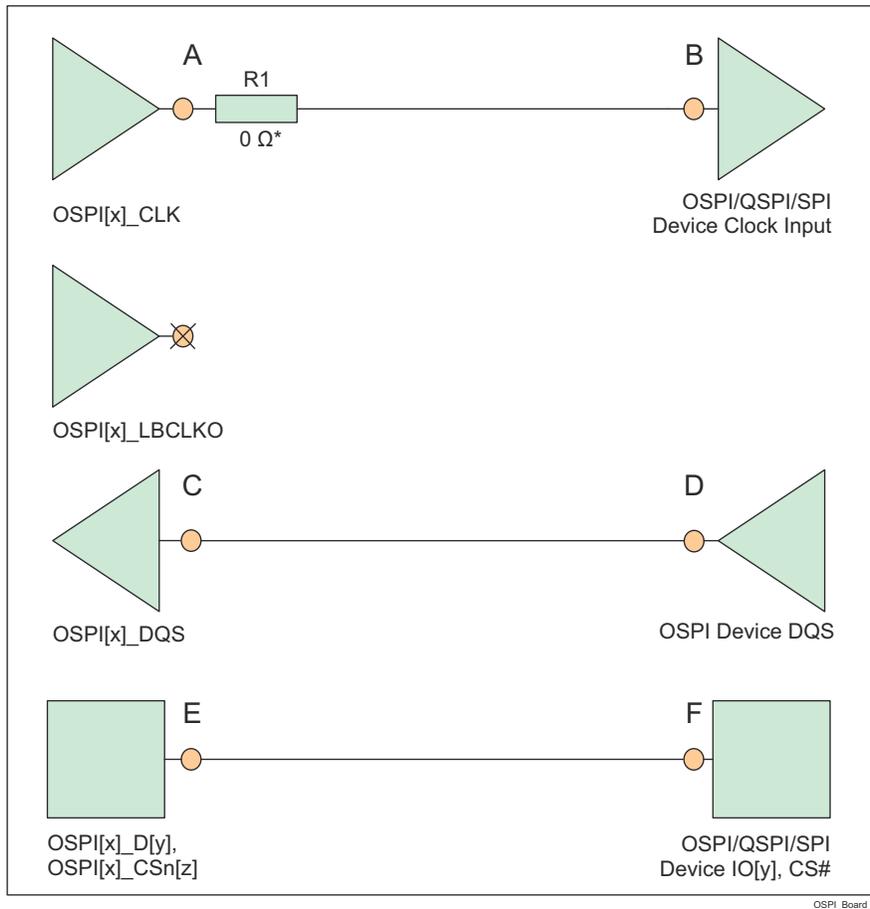


\* OSPI[x]\_CLK ピンおよび OSPI[x]\_LBCLKO ピンのできるだけ近くに配置された 0Ω 抵抗 (R1) は、必要に応じて微調整するためのプレースホルダです。

図 8-2. 外部ボード ループバックの OSPI 接続回路図

### 8.2.2.3 DQS (オクタル SPI デバイスでのみ使用可能)

- OSPI[x]\_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- 接続されている OSPI/QSPI/SPI デバイスの DQS ピンは、OSPI[x]\_DQS ピンに接続する必要があります
- 接続された OSPI/QSPI/SPI デバイスの DQS ピンから OSPI[x]\_DQS ピン (D から C) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 各 OSPI[x]\_D[y] および OSPI[x]\_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - (D から C) = ((A から B) ± 30ps)
  - (E から F、または F から E) = ((A から B) ± 60ps)



\* 0Ω 抵抗 (R1) は、OSPI[x]\_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-3. DQS の OSPI 接続回路図

### 8.2.3 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-4 を参照)。これにより、実際のデバイスピン (USB0\_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満の必要があります。

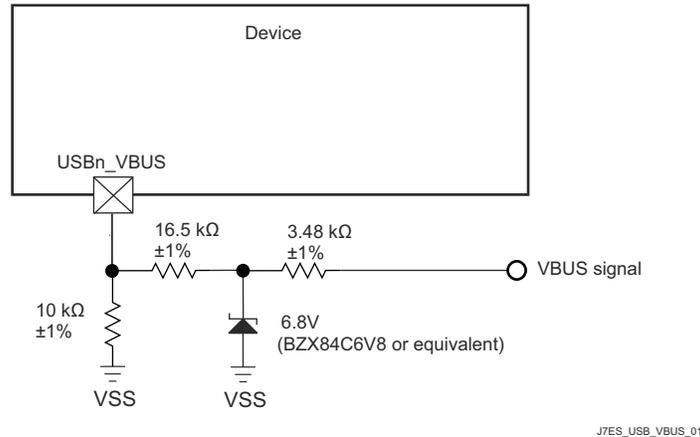


図 8-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、図 8-4 に示す外部回路によって実際のデバイスピンへの入力電流が制限されるため、USB0\_VBUS ピンはフェイルセーフであると考えられます。

### 8.2.4 システム電源監視設計ガイドライン

VMON\_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は通常、システム全体に供給される事前に安定化された 1 つの電源であり、外付け分圧抵抗回路を介して VMON\_VSYS ピンに接続できます。このシステム電源は、外部分圧器の出力電圧を内部基準電圧と比較することによって監視されます。VMON\_VSYS に印加された電圧が内部基準電圧を下回ると、パワー フェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。

抵抗分圧回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解する必要があります。最初に考慮するのは、VMON\_VSYS 入力スレッショルドの初期精度です。このスレッショルドの公称値は 0.45V で、変動は ±3% です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON\_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON\_VSYS 入力のリーク電流は、0.45V 印加時に 10nA~2.5µA の範囲となる場合があります。

#### 注

抵抗分圧器は、通常動作条件において、その出力電圧が「推奨動作条件」に定義された最大値を超えないように設計する必要があります。

システム電源が公称 5V で、最大トリガ スレッショルドが 5V - 10%、すなわち 4.5V の場合の例を図 8-5 に示します。

この例では、抵抗値を選択する際に、どの変数が最大トリガ スレッショルドに影響を与えるかを理解する必要があります。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON\_VSYS 入力スレッショルドが 0.45V + 3% であるデバイスを検討する必要があります。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、最大トリガ ポイントに対する寄与は明らかではありません。最大トリガ電圧を生成する部品値を選択するときは、VMON\_VSYS ピンの入力リーク電流が 2.5µA であるという条件と、R1 の値が 1% 低く、R2 の値が 1% 高いという条件

を考慮する必要があります。R1 = 4.81kΩ および R2 = 40.2kΩ の抵抗分圧器を実装すると、結果として最大トリガ スレッショルドは 4.517V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、R1 の値が 1% 高く、R2 の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、システム設計者は、出力電圧が 0.45V - 3% になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせると、最小トリガ スレッショルドは 4.013 V となります。

この例は、4.013V から 4.517V まで変動するシステム電源電圧トリップ ポイントを示しています。この範囲のうち約 250mV は VMON\_VSYS の入力スレッショルド精度 ±3% によって発生し、約 150mV は抵抗の誤差 ±1% によって発生し、約 100mV は VMON\_VSYS の入力リーク電流が 2.5μA である場合の負荷誤差により発生しています。

この例で選択した抵抗値を使うと、システム電源が 4.5V の場合、約 100μA のバイアス電流が抵抗分圧器を流れます。先に述べた 100mV の負荷誤差は、抵抗分圧器を流れるバイアス電流を約 1mA に増やすことで、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要があります。

VMON\_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、図 8-5 に示すように、R1 の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

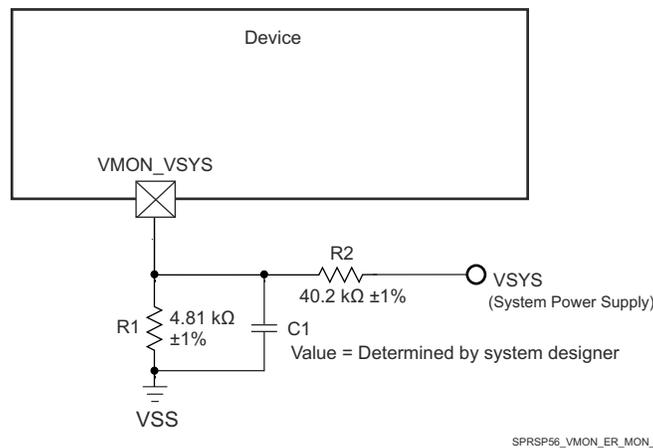


図 8-5. システム電源監視分圧回路

VMON\_1P8\_MCU および VMON\_1P8\_SOC ピンは、外部の 1.8V 電源を監視する手段を提供します。これらのピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

VMON\_3P3\_MCU および VMON\_3P3\_SOC ピンは、外部の 3.3V 電源を監視する手段を提供します。これらのピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

### 8.2.5 高速差動信号のルーティング ガイド

『高速インターフェイスのレイアウト ガイドライン』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

### 8.2.6 熱ソリューション ガイダンス

『DSP および ARM アプリケーション プロセッサ用の熱設計ガイド』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関する背景情報を記載しています。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

## 8.3 クロック配線のガイドライン

### 8.3.1 発振器の配線

プリント基板を設計する際、以下のことに留意してください。

- 水晶振動子回路の部品はすべて、各デバイス ピンのできるだけ近くに配置します。
- 水晶振動子回路のパターンは PCB の外層に配線します。そして、寄生容量を減らし、その他の信号からのクロストークを最小化するため、パターン長を最小限に抑えます。
- すべての水晶振動子回路部品と水晶振動子回路パターンの下になるように、隣接する PCB 層に連続的なグラウンドプレーンを配置します。
- 水晶振動子回路部品の周囲にグラウンド ガードを配置し、水晶振動子回路パターンと同じ層に配線された隣接信号から、これらの部品をシールドします。グラウンド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グラウンド ガードをグラウンド プレーンに接続します。
- MCU\_OSC0\_XI 信号と MCU\_OSC0\_XO 信号の間にグラウンド ガードを配置し、MCU\_OSC0\_XI 信号を MCU\_OSC0\_XO 信号からシールドします。グラウンド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グラウンド ガードをグラウンドに接続します。
- 水晶振動子回路のすべてのグラウンド接続とグラウンド ガード接続は、隣接する層のグラウンド プレーンに直接接続します (PCB の異なる層に個別に実装されている場合、デバイス VSS グラウンド プレーンに接続します)。

#### 注

MCU\_OSC0\_XI 信号と MCU\_OSC0\_XO 信号の間にグラウンド ガードを実装することは、2 つの信号間のシヤント容量を最小化するために重要です。これらの 2 つの信号の間にグラウンド ガードを配置しないで、これらの 2 つの信号を隣接して配線すると、発振器アンプのゲインが実質的に低下し、発振開始能力が低下します。

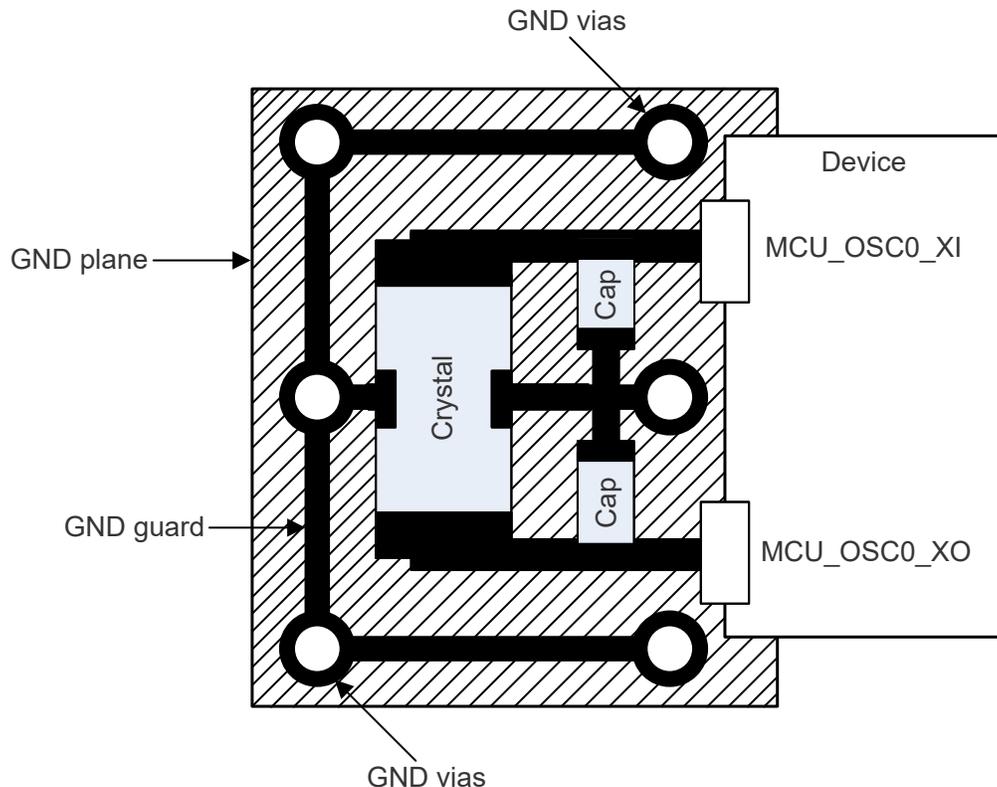


図 8-6. MCU\_OSC0 の PCB の要件

## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツは組み込みプロセッサ デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。各デバイスには次の 3 つのいずれかの接頭辞があります。X、P、空白 (接頭辞なし) (例: AM6442BSFFHAALV)。テキサス・インスツルメンツでは、関連のサポート ツールについて、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産デバイス / ツール (TMDS) まであります。

デバイスの開発進展フロー:

- X** 実験的デバイスで、最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- (空白)** 完全に認定済みで、最終的な電気的仕様を満たすシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ALV パッケージ タイプの AM64x デバイスの注文可能な型番については、このドキュメントの末尾にある「パッケージ オプション」の付録や、テキサス・インスツルメンツの Web サイト ([tj.co.jp](http://tj.co.jp)) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

### 9.1.1 標準パッケージの記号化

#### 注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テストプロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

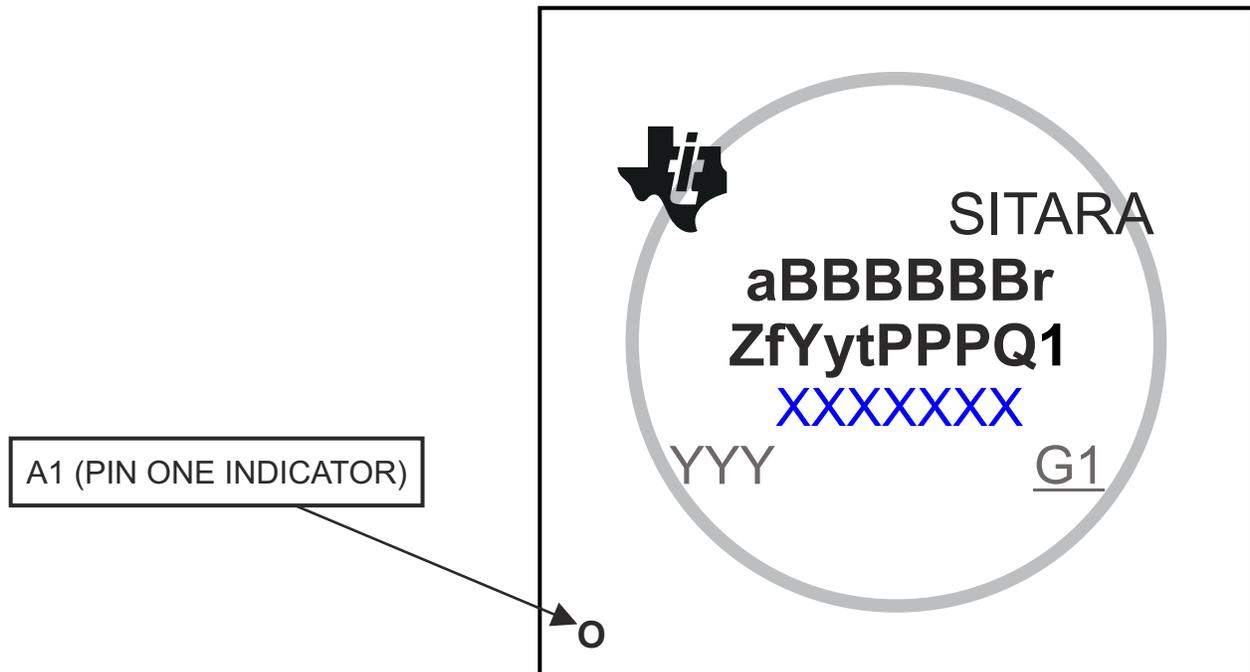


図 9-1. 印刷されたデバイス参照

### 9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの説明	値	説明
a	デバイスの開発段階	X	プロトタイプ
		P	量産前(量産テストフロー、信頼性データなし)
		空白 (1)	量産出荷中
BBBBBB	基本量産型番	AM6442	表 4-1、製品比較表を参照
		AM6441	
		AM6422	
		AM6421	
		AM6412	
		AM6411	
r	デバイスリビジョン	A	シリコンリビジョン (SR) 1.0
		B	SR 2.0
Z	デバイス速度グレード	S	表 6-1 の「速度グレードの最大周波数」を参照
		K	
f	機能 (表 4-1 を参照)	C	産業用通信のサポートを除くすべての PRU_ICSSG 機能が有効化されま す。PRU_ICSSG 産業用通信インターフェイスには、イーサネット ネットワーク (MII/RGMII、MDIO)、シグマ デルタ (SD) デシメーション、3 チャネル パリフェ ラル インターフェイス (EnDat 2.2 と BiSS) が含まれます。
		D	C と、PRU_ICSSG 産業用通信によってサポートされる機能を有効化
		E	D と CAN FD によってサポートされる機能、およびハードウェア自動転送機能 を必要とする EtherCAT およびその他のイーサネット プロトコルのハードウェ アサポートを有効化
		F	E と、事前に統合されたスタックによってサポートされる機能を有効化
Y	機能安全	G	非機能安全
		F	機能安全
y	セキュリティ	G	非セキュア
		H	セキュアな機能
t	温度 (2)	A	-40°C ~ 105°C — 拡張産業用 (セクション 6.4 の「推奨動作条件」を参照)
		I	-40°C~125°C — 125°C 産業用および車載 (セクション 6.4 の「推奨動作条 件」を参照)
PPP	パッケージ指定子	ALV	ALV FCBGA-N441 (17.2mm × 17.2mm) パッケージ
Q1	車載識別記号	Q1	車載認定済み (AEC - Q100)
		空白 (1)	標準
XXXXXXX			ロットのトレースコード(LTC)
YYY			量産コード、テキサス・インスツルメンツでのみ使用
O			ピン 1 の指定子
G1			ECAT—グリーン パッケージ 指定子

- (1) 記号または型番の空白は省略されるため、前後の文字は連続して表記されます。  
 (2) デバイスの接合部の最大温度に適用されます。

## 9.2 ツールとソフトウェア

以下の開発ツールは、テキサス・インスツルメンツの組み込みプロセッシング プラットフォームの開発をサポートしています。

### 開発ツール

**Code Composer Studio™ 統合開発環境** Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソースコードエディタ、プロジェクトビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザーインターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse® ソフトウェアフレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

**SysConfig ツール** システム構成ツールは、デバイスの構成を簡素化するグラフィカルユーザーインターフェイス (GUI) を提供します。ツールは、ハードウェアとソフトウェアの構成に関する課題の簡素化と、ソフトウェア開発の迅速化に役立つ設計を採用した構成ツールです。SysConfig は、Code Composer Studio™ 統合開発環境 (IDE) の一部、またはスタンドアロン アプリケーションという形式で利用できます。さらに、**TI デベロッパー ゾーン** にアクセスすると、SysConfig をクラウド環境で実行できます。

SysConfig を使用すると、ピン、ペリフェラル、その他のコンポーネントを構成し、競合の自動的な検出、表示、解決を行い、ソフトウェア開発を加速できます。さらにクロックツリー ツールを使用すると、デバイスクロック コネクティビティを視覚的に実装できます。

SysConfig ツールは C ヘッダ / コード ファイルを出力で生成し、これらのファイルをソフトウェア開発キット (SDK) にインポートします。これにより、顧客は特定のハードウェア要件に合わせてソフトウェアを構成することが可能になります。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト ([ti.com](http://ti.com)) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

## 9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントは、AM64x デバイスについて記載しています。

### テクニカル リファレンス マニュアル

『**AM64x/AM243x プロセッサ シリコン リビジョン 1.0 テクニカル リファレンス マニュアル**』には、AM64x ファミリー デバイスの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

### エラッタ

『**AM64x/AM243x プロセッサ シリコン リビジョン 1.0、シリコン エラッタ**』にはデバイスの機能仕様に関する既知の例外が記載されています。

## 9.4 サポート・リソース

テキサス・インスツルメンツ **E2E™ サポート・フォーラム** は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

## 9.5 商標

Sitara™, XDS™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Arm® and Cortex® are registered trademarks of Arm Limited.

TrustZone® is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

PCI-Express® is a registered trademark of PCI-SIG.

EtherCAT® is a registered trademark of Beckhoff Automation GmbH.

Eclipse® is a registered trademark of Eclipse Foundation AISBL.

すべての商標は、それぞれの所有者に帰属します。

## 9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

### Changes from APRIL 22, 2024 to DECEMBER 19, 2025 (from Revision G (APRIL 2024) to Revision H (DECEMBER 2025))

	Page
• グローバル: 12 個のタイミング セクションで導入文を更新。	1
• (機能ブロック図): PRU-ICSS ブロックを更新し、デバイスでサポートされている機能をすべて記載	5
• (デバイスの比較): JTAG ユーザー ID レジスタの名前および注 (1) を訂正	7
• (関連製品): コンテンツを更新し、追加製品へのリンクを追加して、設計を完成	9
• (ALV FCBGA-N441 のピン配置図): 図を底面図から上面図に変更	10
• (ピン属性 - リセット時のボールの状態 (RX/TX/PULL)): MMC0_CMD ピンのリセット状態を考慮し、TX (出力バッファ) の説明に「High: 出力バッファは有効であり、V <sub>OH</sub> を駆動する」という記述を追加	11
• (ピン属性 - ピン F18、G18、J21、G19、K20、J20、J18、J17、H17、H19、H18、G17): 「電源」列から VDD_MMC0 および VDD_DLL_MMC0 コア電源レールを削除 (MMC0 IO 動作電圧はこれらのコア電源レールとは無関係であるため)	14
• (ピン属性 - ピン AA20、AA19、U16、U17、T14): 「電源」列から VDDA_0P85_USB0 コア電源レールを削除 (USB0 IO 動作電圧はこのコア電源レールと無関係であるため)	14
• (ピン属性 - ピン T13、W16、W17、Y15、Y16、AA16、AA17): 「電源」列から VDDA_0P85_SERDES0 および VDDA_0P85_SERDES0_C コア電源レールを削除 (SERDES0 IO 動作電圧はこれらのコア電源レールとは無関係であるため)	14
• (ピン属性 - ピン J21): リセット中の出力バッファの正しいデフォルト状態を示すため、「リセット時のボールの状態 (RX/TX/PULL)」列で、MMC0_CMD ピンの TX 値を「オフ」から「High」に変更	14
• (信号の説明 — グローバル): 各信号説明の表のヘッダーで「ピンの種類」を「信号の種類」に変更	56
• (信号の説明 - ADC0): ADC_EXT_TRIGGER0 および ADC_EXT_TRIGGER1 信号に、デバウンス機能を持つことを示す注を追加	56
• (信号の説明 - EPWM0): EHRPWM0_SYNCO 信号の説明を修正	62
• (信号の説明 - EPWM3): EHRPWM3_SYNCO 信号の説明を修正	63
• (信号の説明 - EPWM6): EHRPWM6_SYNCO 信号の説明を修正	63
• (信号の説明 - MCSPI4): SPI4_CS2 および SPI4_CS3 信号の説明を修正	76
• (信号の説明 — 電源): CAP_VDDsx ピンに関連する表の注を更新し、容量ダイレーティングの必要性を明確にするとともに、その他の接続オプションについて説明した	78
• (信号の説明 — 電源): 複数の電源レールの説明を更新し、それらの機能を明確にした	78
• (信号の説明 — 電源): EXT_REFCLK1 信号機能の説明を更新	89
• (信号の説明 — MCU システム): MCU_PORz 信号機能の説明を更新	89
• (ピン接続要件): I2C0 および MCU_I2C0 ボールの接続要件の説明を更新し、GPIO 信号機能を選択する際に外部プルダウン抵抗を接続できることを明記	94
• (ピン接続要件): VMON_1P8_MCU、VMON_1P8_SOC、VMON_3P3_MCU、VMON_3P3_SOC ボールの接続要件の説明を更新	94
• (絶対最大定格): 複数の電源レールの説明を更新し、それらの機能を明確にした	99
• (電源投入時間): 125°C の産業用および車載の温度範囲と関連する表の注を追加	101
• (推奨動作条件): VDD_MMC0 および VDD_DLL_MMC0 電源レールに関連する注を更新	102
• (推奨動作条件): 複数の電源レールの説明を更新し、それらの機能を明確にした	102
• (推奨動作条件): VPP パラメータ値を削除し、OTP eFuse プログラムの推奨動作条件の表を参照する注に置き換え	102
• (推奨動作条件): 125°C の産業用温度範囲を追加	102
• (I2C オープンドレインおよびフェイルセーフの電気的特性): 入力リーク電流パラメータに表の注を追加	104
• (I2C オープンドレインおよびフェイルセーフの電気的特性): 入力リーク電流テスト条件を 2 行に分割	104
• (フェイルセーフリセットの電気的特性) 入力リーク電流パラメータに表の注を追加	105
• (フェイルセーフリセットの電気的特性) 入力リーク電流テスト条件を 2 行に分割	105

• (高周波発振器の電気的特性): 入力リーク電流パラメータに表の注を追加.....	105
• (高周波発振器の電気的特性): 入力リーク電流テスト条件を 2 行に分割.....	105
• (eMMCPHY の電気的特性) 入力リーク電流パラメータに表の注を追加.....	106
• (eMMCPHY の電気的特性) 入力リーク電流テスト条件を 2 行に分割.....	106
• (SDIO の電気的特性) 入力リーク電流パラメータに表の注を追加.....	107
• (SDIO の電気的特性) 入力リーク電流テスト条件を 2 行に分割.....	107
• (LVCMOS の電気的特性) 入力リーク電流パラメータに表の注を追加.....	108
• (LVCMOS の電気的特性) 入力リーク電流テスト条件を 2 行に分割.....	108
• (ADC12B の電気的特性) 汎用入力リーク電流パラメータに表の注を追加.....	109
• (ADC12B の電気的特性) 入力リーク電流テスト条件を 2 行に分割.....	109
• (OTP eFuse プログラミングの推奨動作条件): VDD_CORE パラメータの説明から OPP NOM (BOOT) への参照を削除し、VPP スルーレートの説明を変更し、パワーアップにのみ適用されることを明確化.....	111
• (ハードウェア保証への影響): 段落の「その結果、TI には.....」の文を更新/変更.....	111
• (熱抵抗特性): 注を追加.....	112
• (温度センサの特性): ダイ温度センサの特性に関する電圧および温度モジュール (VTM) を規定する荒らしいセクションを追加.....	113
• (タイミングおよびスイッチング特性): このセクションに記載されているタイミング値を確実に有効にするため、デフォルトの PADCONFIG スルーレートと駆動強度設定を使用する必要があることを説明する注を追加.....	114
• (パワーアップシーケンシング): 新しいパワーアップシーケンスを開始する前に電源レールが 300mV を下回るまで減衰させる必要があることを明確にするための注を追加.....	117
• (パワーアップシーケンシング): 「パワーアップシーケンス - 電源 / 信号の割り当て」表に波形参照と注記を追加。この電源レールは注 7 に記載されているため、注 3 および注 5 から VDDSHV5 への参照を削除。新しい注 12 を追加し、注 9 と注 10 を更新し、VDDA_CORE_USB0、VDDA_DDR_PLL0、VDD_MMC0、VDDA_0P85_DLL_MMC0、VDDR_CORE 電源レールは同じ 0.85V 電源から電力を供給することが予想されることを明確化.....	117
• (パワーダウンシーケンス): 新しいパワーアップシーケンスを開始する前に電源レールが 300mV を下回るまで減衰させる必要があることを明確にするための注を追加.....	119
• (パワーダウンシーケンス): 「パワーダウンシーケンス - 電源 / 信号の割り当て」表に波形参照と注記を追加。この電源レールは注 3 に記載されているため、注 1 および注 2 から VDDSHV5 への参照を削除。パワーダウンシーケンスの図を更新し、デバイスのパワー マネージメントソリューションがオフになっている間も、システム電源をオンのままにしている可能性を示すとともに、電源がシーケンス オフを開始する前に MCU_PORz がアサートされる可能性があることも提示.....	119
• (BOOTMODE のタイミング要件): RST23 および RST24 パラメータの説明を更新.....	121
• (MCU_OSC0 LVCMOS デジタル クロック ソース): 追加の注と、MCU_OSC0 LVCMOS デジタル クロック ソース要件の新しい表を含めてセクションを更新.....	134
• (PLL): TRM で使用される番号参照が含まれるように PLL 名を更新.....	136
• (CPSW3G RMII のタイミング条件): 両方の動作電圧での最大入力スルーレートを変更.....	140
• (CPSW3G RGMII のタイミング条件): 1.8V 動作時のスルーレートを緩和できるように、入力スルーレート パラメータに動作電圧条件を追加.....	142
• (ECAP – タイミング要件およびスイッチング特性): 表の注 1 のクロック ソースを更新.....	147
• (EPWM – タイミング要件およびスイッチング特性): 表の注 1 のクロック ソースを更新.....	148
• (EQEP – タイミング要件): 表の注 1 のクロック ソースを更新.....	150
• (GPIO のタイミング条件): 動作電圧の最小値の緩和を含むように入力スルーレート パラメータを更新し、3.3V 動作の I2C OD FS バッファ タイプの最大値の誤字を訂正。I2C OD FS バッファの「電気的特性」表に規定された最大値 (8E+7) と等価であるように、以前の最大値 (0.8V/ns) は 0.08V/ns であるべきでした.....	154
• (GPIO のタイミング要件): 「GPIO タイミング条件」表に定義されている緩和された最小入力スルーレートを考慮して、動作電圧条件を削除し、パルス幅パラメータの最小値を更新.....	154
• (I2C のタイミング): 説明文の誤植である値 0.8 を正しい値 0.08 (I2C OD FS バッファについて「電気的特性」表で定義されている値 8E+7 に相当) に修正.....	179

• (I2C のタイミング): I2C2 信号機能のピン多重化に関連する IOSET について説明する注を追加.....	179
• (MCSPi のスイッチング特性 - コントローラ モード): 表の注 2、3、4、5 で、MSPI のすべてのインスタンスを MCSPi に変更.....	183
• (すべてのタイミング モードに対する MMC0 DLL 遅延マッピング): レジスタ名を変更し、ENDLL の新しい列を追加し、レガシー SDR および高速 SDR の OTAPDLYENA、SELDLYTXCLK、FRQSEL の値を変更し、高速 DDR および HS200 モードの CLKBUFSEL の値を変更.....	189
• (HS200 モード): MMC0 タイミング要件を追加.....	195
• (すべてのタイミング モードに対する MMC1 DLL 遅延マッピング): レジスタ名を変更、デフォルト速度および高速モードの OTAPDLYENA および OTAPDLYSEL の値を変更し、このレジスタビットフィールドは機能を提供しないため、CLKBUFSEL 列を削除.....	196
• (PHY データトレーニング用の OSPI0 DLL 遅延マッピング): 「PHY_MASTER_PHASE_DETECT_SELECTOR_FLD」レジスタ ビット フィールドに遅延値を追加.....	208
• (OSPI0 のスイッチング特性 – PHY データトレーニング): タイミング パラメータ O5 に関連する式を修正.....	208
• (OSPI0 の DLL 遅延マッピング – PHY SDR タイミング モード): 「PHY_MASTER_PHASE_DETECT_SELECTOR_FLD」レジスタ ビット フィールドに遅延値を追加.....	210
• (OSPI0 のスイッチング特性 – PHY SDR モード): タイミング パラメータ O10 および O11 に関連する式を訂正。..	210
• (OSPI0 の DLL 遅延マッピング – PHY DDR タイミング モード): 「PHY_MASTER_PHASE_DETECT_SELECTOR_FLD」レジスタ ビット フィールドに遅延値を追加.....	213
• (OSPI0 のスイッチング特性 – PHY DDR モード): タイミング パラメータ O4 および O5 に関連する式を訂正。.....	213
• (PRU_ICSSG PRU のタイミング要件 – シグマ デルタ モード): パラメータ PRSD4 の説明を更新.....	223
• (電源の設計): 最新の電源設計ガイドラインを反映するように更新.....	253
• (デバイスの命名規則): 機能コード「E」の説明を更新し、一部のイーサネット プロトコルで必要とされるハードウェア自動転送機能のサポートを明確化.....	264
• (デバイスの命名規則): 125°C の産業用温度範囲を追加.....	264
• (ツールとソフトウェア): SysConfig の機能に関する説明を追加.....	265

## 11 メカニカル、パッケージ、および注文情報

### 11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">AM6411BKCGHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6411B KCGHAALV 709
AM6411BKCGHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6411B KCGHAALV 709
<a href="#">AM6411BSCGHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6411B SCGHAALV 709
AM6411BSCGHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6411B SCGHAALV 709
<a href="#">AM6411BSCGHIALVR</a>	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6411B SCGHIALV 709
AM6411BSCGHIALVR.B	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM6411B SCGHIALV 709
<a href="#">AM6412BKCGHAALVR</a>	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6412B KCGHAALV 709
AM6412BKCGHAALVR.B	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6412B KCGHAALV 709
<a href="#">AM6412BSCGHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6412B SCGHAALV 709
AM6412BSCGHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6412B SCGHAALV 709
<a href="#">AM6421BSDGHAALVR</a>	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SDGHAALV 709

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6421BSDGHAALVR.B	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SDGHAALV 709
<a href="#">AM6421BSEFHAALVR</a>	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SEFHAALV 709
AM6421BSEFHAALVR.B	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SEFHAALV 709
<a href="#">AM6421BSFFHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SFFHAALV 709
AM6421BSFFHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SFFHAALV 709
<a href="#">AM6421BSFGHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SFGHAALV 709
AM6421BSFGHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6421B SFGHAALV 709
<a href="#">AM6422BSDFHAALVR</a>	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6422B SDFHAALV 709
AM6422BSDFHAALVR.B	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6422B SDFHAALV 709
<a href="#">AM6422BSDGHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6422B SDGHAALV 709
AM6422BSDGHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6422B SDGHAALV 709
<a href="#">AM6441BSEFHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SEFHAALV 709

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6441BSEFHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SEFHAALV 709
<a href="#">AM6441BSEGHAALVR</a>	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SEGHAALV 709
AM6441BSEGHAALVR.B	Active	Production	FCBGA (ALV)   441	500   LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SEGHAALV 709
<a href="#">AM6441BSFFHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SFFHAALV 709
AM6441BSFFHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6441B SFFHAALV 709
<a href="#">AM6442BSDGHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SDGHAALV 709
AM6442BSDGHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SDGHAALV 709
<a href="#">AM6442BSEFHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SEFHAALV 709
AM6442BSEFHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SEFHAALV 709
<a href="#">AM6442BSEGHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SEGHAALV 709
AM6442BSEGHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SEGHAALV 709
<a href="#">AM6442BSFFHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SFFHAALV 709

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM6442BSFFHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SFFHAALV 709
<a href="#">AM6442BSFGHAALV</a>	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SFGHAALV 709
AM6442BSFGHAALV.B	Active	Production	FCBGA (ALV)   441	84   JEDEC TRAY (5+1)	Yes	Call TI	Level-3-250C-168 HR	-40 to 105	AM6442B SFGHAALV 709

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

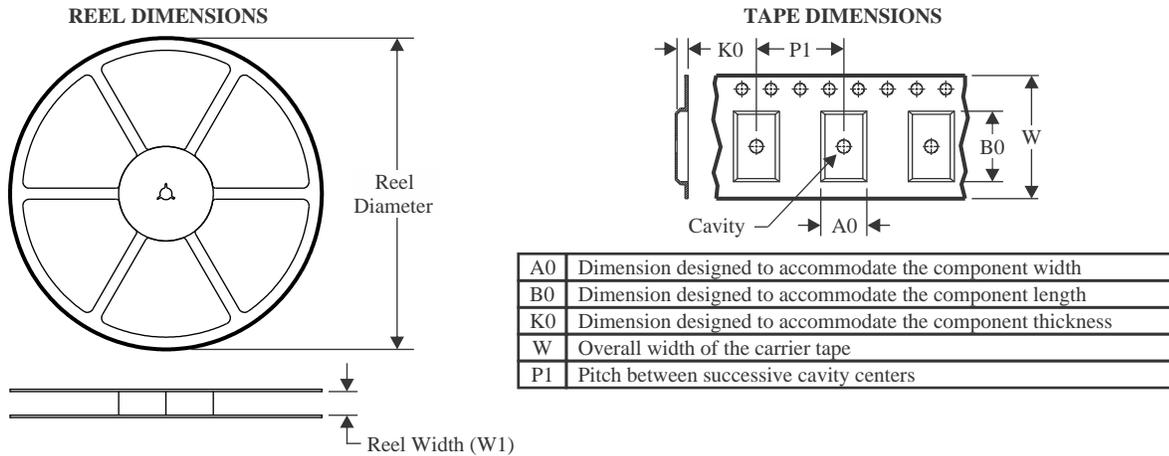
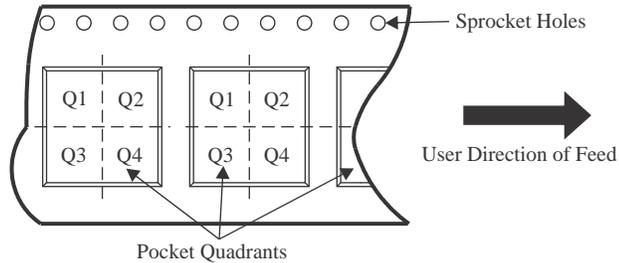
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

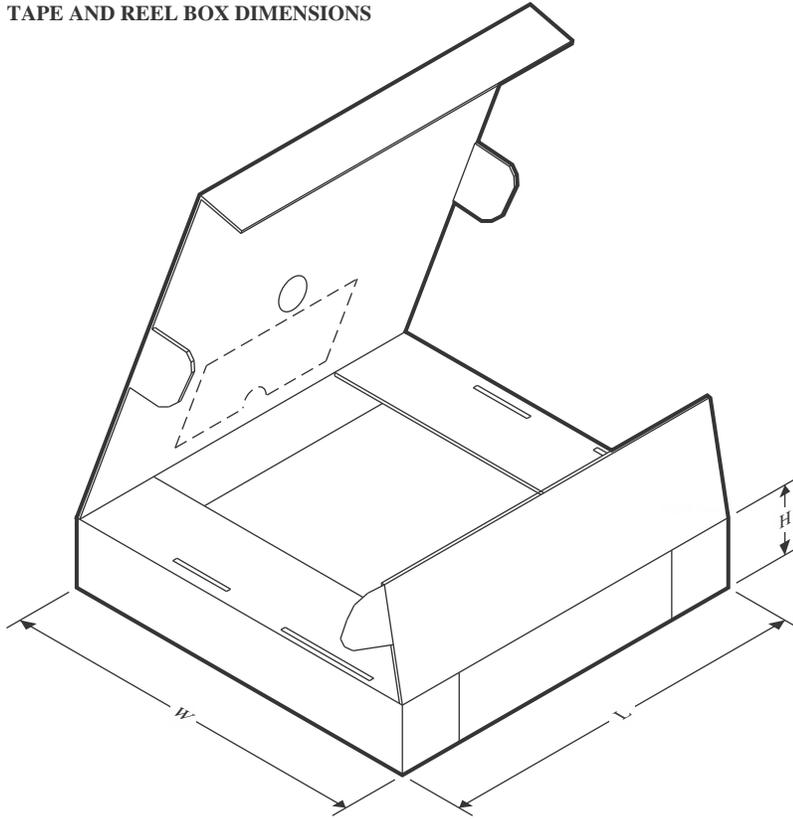
**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


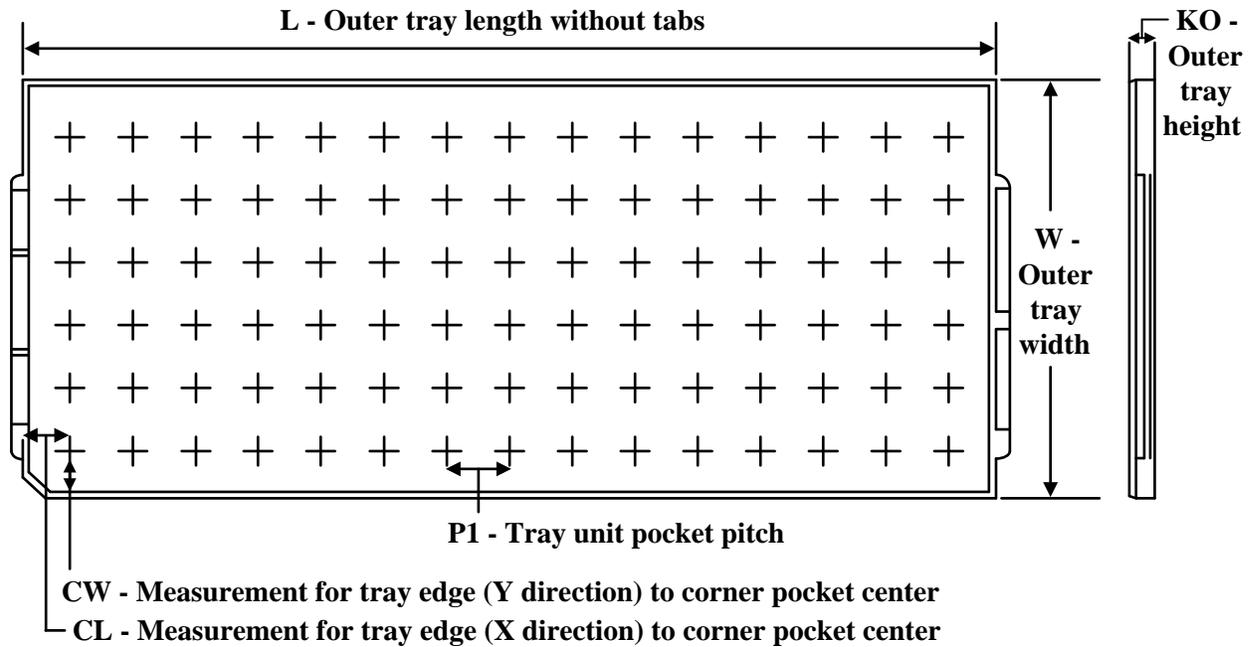
\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM6411BSCGHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6412BKCGHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6421BSDGHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6421BSEFHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6422BSEFHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM6441BSEGHAALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM6411BSCGHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6412BKCGHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6421BSDGHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6421BSEFHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6422BSDFHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM6441BSEGHAALVR	FCBGA	ALV	441	500	336.6	336.6	41.3

**TRAY**


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AM6411BKCGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6411BKCGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6411BSCGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6411BSCGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6412BSCGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6412BSCGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6421BSFFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6421BSFFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6421BSFGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6421BSFGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6422BSDGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6422BSDGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6441BSEFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6441BSEFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6441BSFFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6441BSFFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSDGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
AM6442BSDGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSEFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSEFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSEGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSEGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSFFHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSFFHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSFGHAALV	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55
AM6442BSFGHAALV.B	ALV	FCBGA	441	84	6 x 14	150	315	135.9	7620	22	14.5	14.55

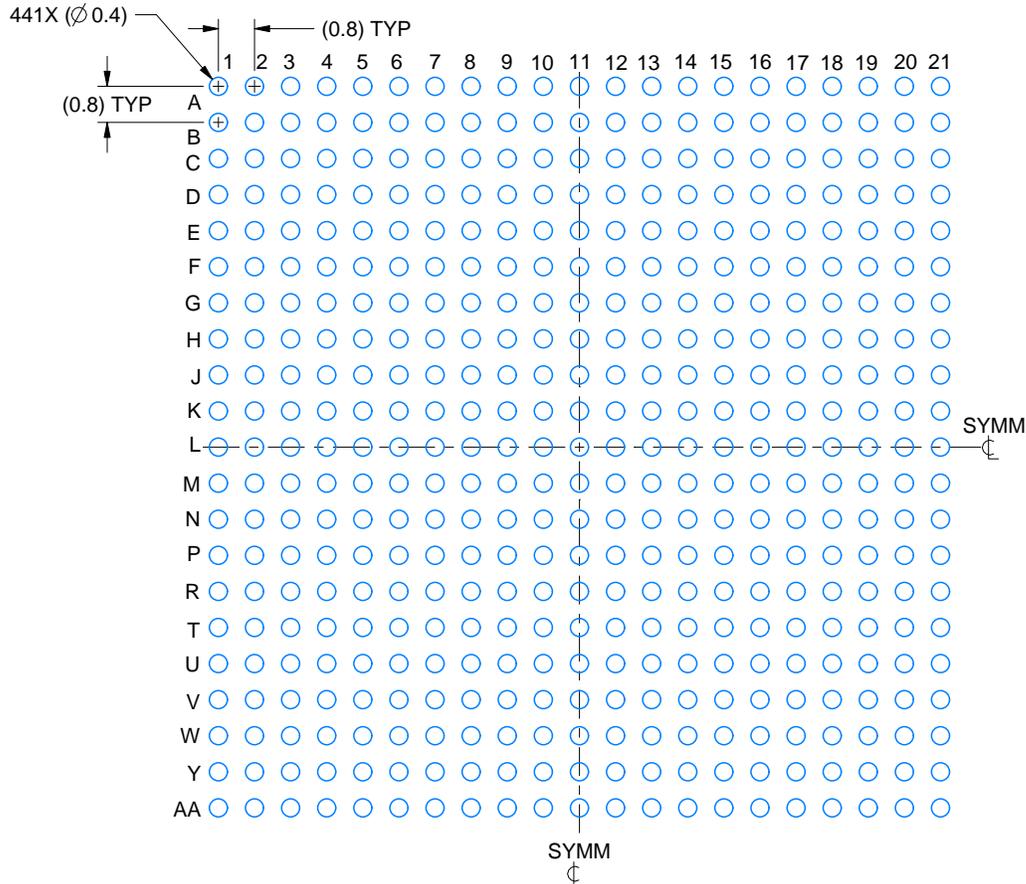


# EXAMPLE BOARD LAYOUT

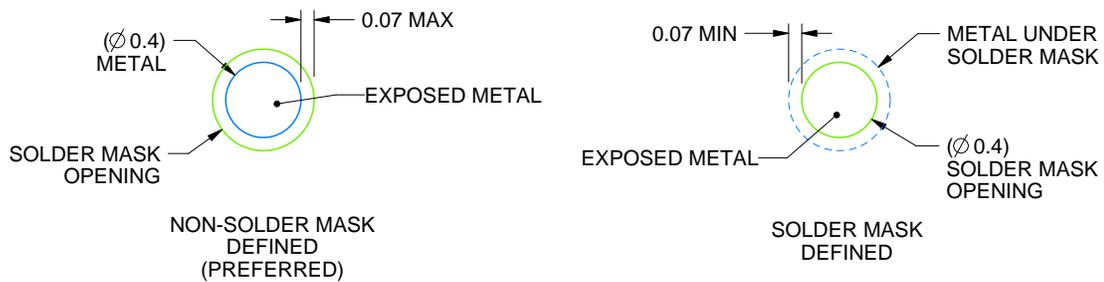
ALV0441A

FCBGA - 2.657 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:6X



SOLDER MASK DETAILS  
NOT TO SCALE

4225999/A 06/2020

NOTES: (continued)

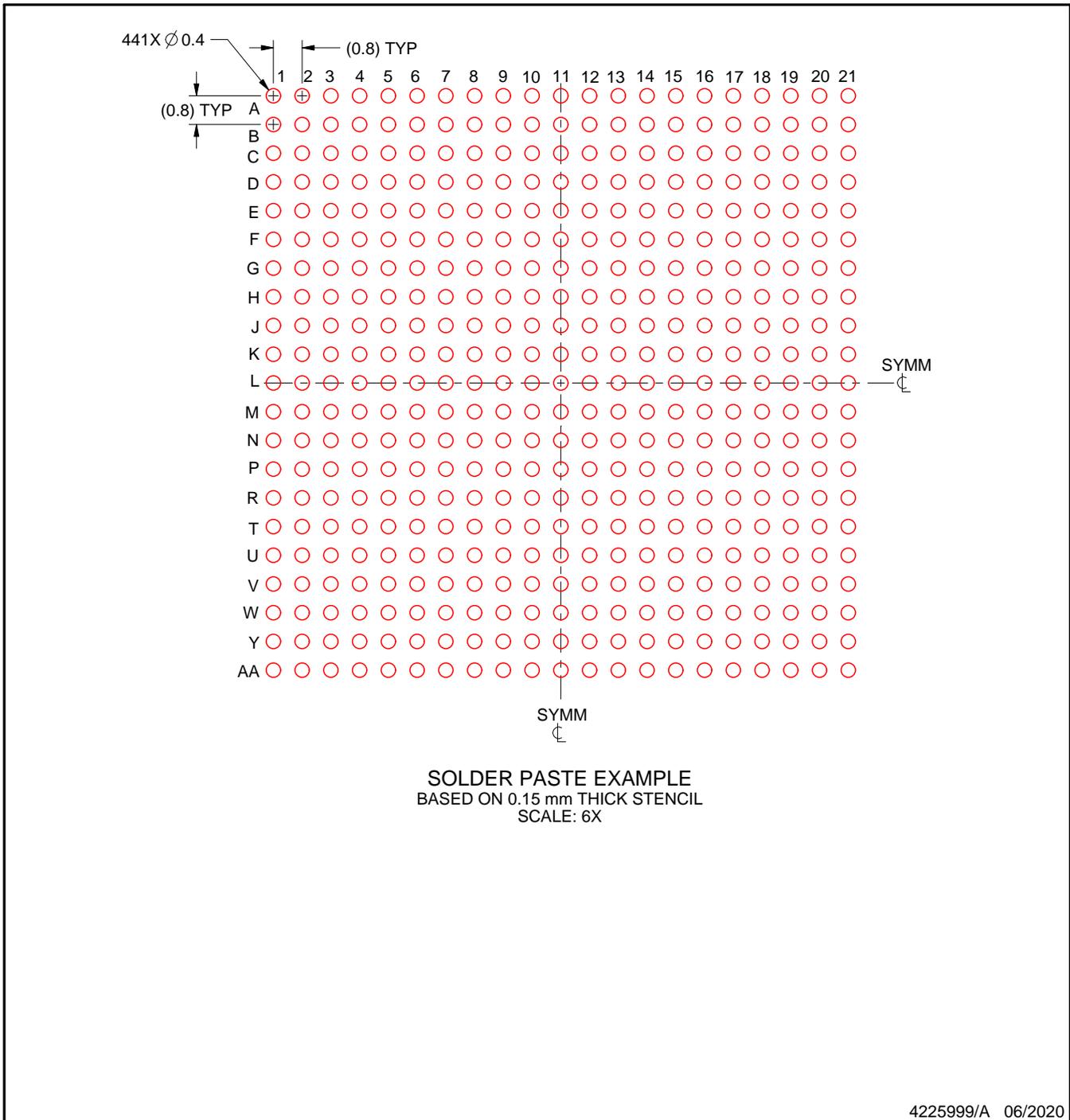
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SPRU811 ([www.ti.com/lit/spru811](http://www.ti.com/lit/spru811)).

# EXAMPLE STENCIL DESIGN

ALV0441A

FCBGA - 2.657 mm max height

BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月