リアルタイム制御機能搭載 AM263x Sitara™ マイコン

1 特長

プロセッサ コア:

- シングル、デュアル、クワッド コアの Arm®Cortex®-R5F MCU、各コアは最大 400MHz で動作
  - 16KB I キャッシュ、64 ビット ECC サポート (各 CPU コア)
  - 16KB D キャッシュ、32 ビット ECC サポート (各 CPU コア)
  - 64KB 密結合メモリ (TCM)、32 ビット ECC サポート (各 CPU コア)
  - ロックステップまたはデュアルコア対応クラスタ

メモリ サブシステム:

- 2MB のオンチップ RAM (OCSRAM)
  - 4 バンク x 512KB
  - ECC エラー保護
  - 内部 DMA エンジン サポート

システム オン チップ (SoC) サービスおよびアーキテクチャ:

- 1 個の EDMA、データ移動機能をサポート
- 以下のインターフェイスからのデバイス ブートをサポート:
  - UART (プライマリ / バックアップ)
  - QSPI NOR フラッシュ (4S/1S) (プライマリ)
- プロセッサ間通信モジュール
  - 複数のコアで動作するプロセス同期用の SPINLOCK モジュール
  - CTRLMMR レジスタに MAILBOX 機能を実装
- 時間同期および比較イベント割り込みルータによる中央プラットフォーム時間同期 (CPTS) サポート

メディアおよびデータ ストレージ:

- 1 個の 4 ビット マルチメディア カード / セキュア デジタル (MMC/SD) インターフェイス
- 汎用メモリ コントローラ (GPMC)
  - 22 ビットのアドレス バスを持つ 16 ビットのパラレル データ バス
  - 最大 4MB のアドレス可能なメモリ空間
  - エラー チェック用の内蔵エラー特定モジュール (ELM) 対応

一般的な接続機能:

- 6 個のユニバーサル非同期 RX-TX (UART)
- 5 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ
- 5 個の LIN (Local Interconnect Network) ポート
- 4 個の I2C (Inter-Integrated Circuit) ポート
- 4 個のモジュラー コントローラ エリア ネットワーク (MCAN) モジュール、CAN-FD をサポート
- 1 個のクワッド シリアル ペリフェラル インターフェイス (QSPI)
- 4 個の高速シリアル インターフェイス トランスミッタ (FSITX)
- 4 個の高速シリアル インターフェイス レシーバ (FSIRX)
- 最大 139 の汎用 I/O (GPIO) ピン

センシングと作動:

- リアルタイム制御サブシステム (CONTROLSS)
- フレキシブルな入出力クロスバー (XBAR)
- 5 個の 12 ビット A/D コンバータ (ADC)
  - 6 入力 SAR ADC、最大 4MSPS
    - 6 個のシングルエンド チャネル**または**
    - 3 個の差動チャネル
  - 高度に構成可能な ADC デジタル ロジック
    - XBAR 変換開始トリガ (SOC)
    - ユーザー定義のサンプル / ホールド (S+H)
    - フレキシブルな後処理ブロック (PPB)
- 10 個のアナログ コンパレータ、タイプ A プログラマブル DAC リファレンス (CMPSS) 付き
- 10 個のアナログ コンパレータ、タイプ B プログラマブル DAC リファレンス (CMPSS) 付き
- 1 個の 12 ビット D/A コンバータ (DAC)
- 32 個のパルス幅変調 (EPWM) モジュール
  - シングルまたはデュアル PWM チャンネル
  - 高度な PWM 構成
  - 拡張された HRPWM 時間分解能
- 10 個の拡張キャプチャ (ECAP) モジュール
- 3 個の拡張直交エンコーダ パルス (EQEP) モジュール
- 2 個の 4 チャネル シグマ デルタ フィルタ モジュール (SDFM)
- 追加の信号多重化クロスバー (XBAR)

産業用コネクティビティ:

- プログラマブル リアルタイム ユニット (PRU-SS) および
  PRU 産業用通信サブシステム (PRU-ICSS)
  - デュアル コア プログラマブル リアルタイム ユニット サブシステム (PRU0/PRU1)
    - 確定的なハードウェア
    - 動的ファームウェア
  - 20 チャネル拡張入力 (eGPI) (各 PRU)
  - 20 チャネル拡張出力 (eGPO) (各 PRU)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

  - 組込みペリフェラルおよびメモリ
    - 1 個の UART、1 個の ECAP
    - 1 個の MDIO、1 個の IEP、
    - 1 個の 32KB 共有汎用 RAM
    - 2 個の 8KB 共有データ RAM
    - 1 個の 16KB IRAM (各 PRU)
    - スクラッチパッド (SPAD)、MAC/CRC
  - デジタル エンコーダおよびシグマ-デルタ制御ループ
  - PRU-ICSS は、次に示す高度な産業用プロトコルを可能にします。
    - EtherCAT®、EtherNet/IP™、
    - PROFINET®、IO-Link® がオーダー可能
  - 専用割り込みコントローラ (INTC)
  - 動的な CONTROLSS XBAR 統合

高速インターフェイス:

- 2 つの外部ポートをサポートする統合型イーサネット スイッチ
  - MII (10/100)、RMII (10/100)、または RGMII (10/100/1000)
  - IEEE 1588 (2008 Annex D、Annex E、Annex F) と 802.1AS PTP
  - Clause 45 MDIO PHY 管理
  - 512 個の ALE エンジン ベースのパケット クラシファイア
  - 最大 2KB のパケット サイズに対応する優先フロー制御
  - 4 つの CPU ハードウェア割り込みペース設定
  - ハードウェアの IP/UDP/TCP チェックサム オフロード

セキュリティ:

- ハードウェア セキュリティ モジュール (HSM)、Auto SHE 1.1/EVITA - full HSM 対応
- セキュア ブート対応
  - デバイス テイク オーバー保護
  - ハードウェアによる信頼の基点
  - 認証済みブート
  - SW アンチロールバック保護
- デバッグ セキュリティ
  - 正規の認証完了後のみセキュアなデバイス デバッグを実行
  - デバイス デバッグ機能を無効にする機能
- デバイス ID とキー管理
  - OTP メモリ (FUSEROM) のサポート
    - ルート キーとその他のセキュリティ フィールドを格納
  - 個別の EFUSE コントローラと FUSE ROM
  - 一意の公開デバイス識別子 (UID)
- メモリ保護ユニット (MPU)
  - Cortex® R5F コアごとの専用 Arm® MPU
  - システム MPU - SoC 内の各種インターフェイスに存在 (MPU またはファイアウォール)
  - 8～16 のプログラム可能領域
    - イネーブル / 特権 ID
    - 開始 / 終了アドレス
    - 読み取り / 書き込み / キャッシュ可能
    - セキュア / ノンセキュア
- 暗号化アクセラレーション機能
  - DMA サポート付きの暗号化コア
  - AES - 128/192/256 ビットのキー サイズ
  - SHA2 - 256/384/512 ビットのサポート
  - DRBG、擬似および真性乱数発生器搭載
  - PKA (公開鍵アクセラレータ) により RSA/ECC 処理を支援

機能安全:

- 機能安全要件を満たすシステムの設計の実現
  - エラー シグナリング モジュール (ESM)、SAFETY_ERRORn ピン指定付き
  - 演算上特に重要なメモリの ECC またはパリティ
  - CPU とオンチップ RAM のための内蔵セルフテスト (BIST) とフォルト インジェクション
  - 電圧 / 温度 / クロックの監視、ウィンドウ付きウォッチドッグ タイマ、CRC エンジンを搭載したランタイム内部診断モジュールによるメモリ整合性チェック
- 機能安全準拠 [産業用]
  - 機能安全アプリケーション向けに開発
  - IEC 61508 機能安全システム設計を支援するドキュメントを準備中
  - SIL-3 までの体系的対応能力に対応
  - SIL-3 までのハードウェア安全度に対応
  - 安全関連の認証
    - TUV SUD により IEC 61508 認証済み (SIL-3 まで)
- 機能安全準拠 [車載用]
  - 機能安全アプリケーション向けに開発
  - ISO 26262 機能安全システム設計を支援するドキュメントを準備中
  - ASIL-D までの体系的対応能力に対応
  - ASIL-D までのハードウェア安全度に対応
  - 安全関連の認証
    - TUV SUD により ISO 26262 認証済み (ASIL-D まで)

テクノロジ / パッケージ:

- 車載アプリケーション向けに AEC-Q100 認証済み
- 45nm テクノロジ
- ZCZ パッケージ

Copyright © 2026 Texas Instruments Incorporated

- 324 ピン NFBGA
- 15.0mm x 15.0mm
- 0.8mm ピッチ

2 アプリケーション

- 単軸と多軸のサーボ・ドライブ
- AC インバータと VF ドライブ
- ソーラー・エネルギー
- EV 充電
- 再生可能エネルギー・ストレージ
- トラクション・インバータ
- オンボード充電器
- DC/DC コンバータ
- バッテリ管理システム
- コンボ・ボックス・アーキテクチャ
- IO アグリゲータ
- ドメイン・コントローラ

Copyright © 2026 Texas Instruments Incorporated

3 説明

AM263x Sitara™ Arm® マイクロコントローラは、次世代の産業用および車載用組込み製品の複雑なリアルタイム処理ニーズを満たすように構成されています。AM263x MCU ファミリは、最大 4 つの 400MHz Arm® Cortex®-R5F コアを搭載した複数のピン互換デバイスで構成されています。オプションとして、Arm® R5F サブシステムをプログラムして、ロックステップ モードまたはデュアル コア モードで複数の機能安全構成を実行することができます。産業用通信サブシステム (PRU-ICSS) を使用することで、PROFINET®、EtherNet/IP®、EtherCAT® (その他多数)、標準的なイーサネット接続、さらにカスタム I/O インターフェイスなどの産業用イーサネット通信プロトコルを統合できます。このファミリは、高度なアナログ センシング モジュールとデジタル アクチュエータ モジュールを搭載した、将来のモーター制御およびデジタル電源アプリケーション向けに設計されています。

複数の R5F コアをクラスタ サブシステムに配置し、256KB の共有密結合メモリ (TCM) と 2MB の共有 SRAM を備えているため、外部メモリの必要性が非常に小さくなっています。拡張 ECC をオンチップ メモリ、ペリフェラル、およびインターコネクトに備えることで、高度な信頼性を確保しています。ハードウェア セキュリティ マネージャ (HSM) が管理する粒度の細かいファイアウォールにより、開発者はセキュリティ重視のシステム設計要件を厳格に実装できます。AM263x デバイスでは、暗号化アクセラレーションとセキュア ブートも利用できます。

テキサス・インスツルメンツは、AM263x マイクロコントローラ ファミリのマイクロコントローラ ソフトウェアと開発ツール一式を提供します。

パッケージ情報

部品番号 (1)(2)	パッケージ	パッケージ サイズ(3)
AM2634...ZCZ	ZCZ (nFBGA、324)	15.0mm × 15.0mm
AM2632...ZCZ	ZCZ (nFBGA、324)	15.0mm × 15.0mm
AM2631...ZCZ	ZCZ (nFBGA、324)	15.0mm × 15.0mm
AM2634...ZCZQ1	ZCZQ1 (nFBGA、324)	15.0mm × 15.0mm
AM2632...ZCZQ1	ZCZQ1 (nFBGA、324)	15.0mm × 15.0mm
AM2631...ZCZQ1	ZCZQ1 (nFBGA、324)	15.0mm × 15.0mm

(1) 詳細については、セクション 11 を参照してください。
(2) すべてのデバイスは、テープ アンド リールとトレイ両方のパッケージで供給されます。
(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

Copyright © 2026 Texas Instruments Incorporated

3.1 機能ブロック図

図 3-1 は、デバイスの機能ブロック図です。

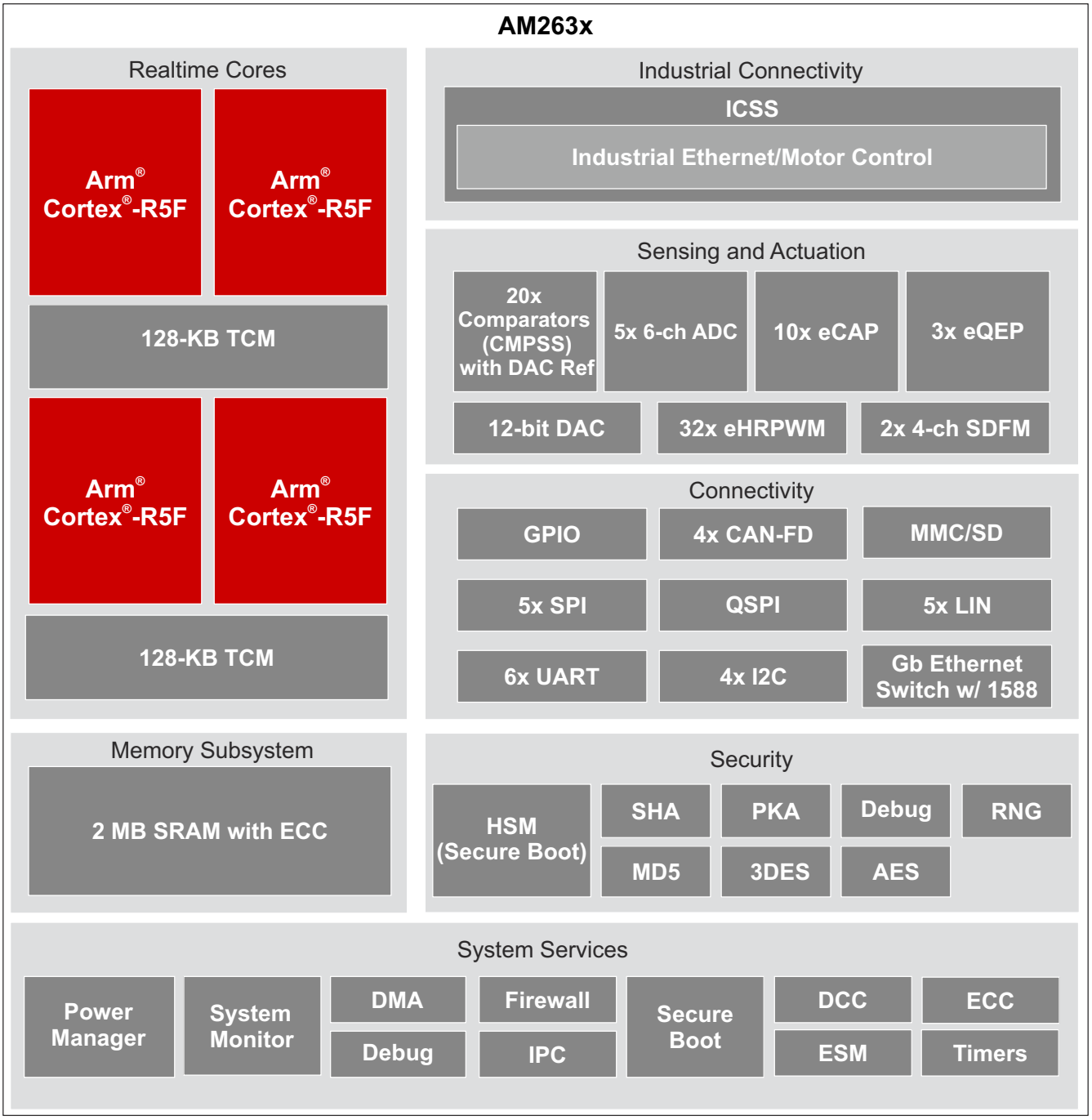


図 3-1. 機能ブロック図

目次

1 特長 ... 1
2 アプリケーション ... 3
3 説明 ... 4
3.1 機能ブロック図 ... 5
4 デバイスの比較 ... 7
4.1 関連製品 ... 8
5 端子構成および機能 ... 9
5.1 ピン配置図 ... 9
5.2 ピン属性 ... 10
5.3 信号の説明 ... 37
5.4 ピン接続要件 ... 67
6 仕様 ... 68
6.1 絶対最大定格 ... 68
6.2 静電気放電 (ESD) 拡張車載定格 ... 69
6.3 静電気放電 (ESD) 産業用評価 ... 69
6.4 電源投入時間 (POH) の概要 ... 69
6.5 推奨動作条件 ... 70
6.6 動作性能ポイント ... 70
6.7 消費電力の概略 ... 71
6.8 電気的特性 ... 72
6.9 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様 ... 78
6.10 熱抵抗特性 ... 79
6.11 タイミングおよびスイッチング特性 ... 80
6.12 デカップリング コンデンサの要件 ... 155
7 詳細説明 ... 157
7.1 概要 ... 157
7.2 プロセッサ サブシステム ... 158
8 アプリケーション、実装、およびレイアウト ... 159
8.1 デバイスの接続およびレイアウトの基礎 ... 159
9 デバイスおよびドキュメントのサポート ... 160
9.1 デバイスの命名規則 ... 160
9.2 ツールとソフトウェア ... 165
9.3 ドキュメントのサポート ... 165
9.4 サポート・リソース ... 165
9.5 商標 ... 165
9.6 静電気放電に関する注意事項 ... 166
9.7 用語集 ... 166
10 改訂履歴 ... 166
11 メカニカル、パッケージ、および注文情報 ... 168

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1 に、デバイス間の比較を相違点を強調して示します。

表 4-1. デバイスの比較

特長	参照名	AM2634(1)	AM2632(1)	AM2631
JTAG デバイス ID 比較 (機能)				
JTAG デバイス ID(2)	産業用:	M:0x4111BBE6 L:0x41119BE6 K:0x41117BE6 E:0x4110BBE6 D:0x41109BE6	M:0x4109BBE6 L:0x41099BE6 K:0x41097BE6 E:0x4108BBA6 D:0x41089BA6	E:0x4104B3A6 D:0x410493A6
	車載用拡張:	K:0x41117BFE D:0x41109BFE (グレード O) D:0x41109C3E (グレード P)	K:0x41097BFE D:0x41089BFE (グレード O) D:0x41089C3E (グレード P)	D:0x410493BE
プロセッサおよびアクセラレータ				
速度グレード		セクション 6.6 *動作性能ポイント*を参照してください		
Arm® Cortex-R5F	R5FSS	4	2	1
ハードウェア セキュリティ モジュール	HSM	あり		
暗号化アクセラレータ	セキュリティ	あり		
プログラムおよびデータ ストレージ				
オンチップ共有メモリ (RAM)	OCSRAM	セクション 6.6 *動作性能ポイント*を参照してください		
R5F 密結合メモリ (TCM)	TCM	256KB (9)		
汎用メモリ コントローラ	GPMC	4MB		
ペリフェラル				
モジュラー コントローラ エリア ネットワーク インターフェイス	MCAN	4		
CAN-FD をフルサポート	MCAN	4		
汎用 I/O	GPIO	最大 139		
シリアル ペリフェラル インターフェイス	SPI	5		
汎用非同期レシーバ / トランスミッタ	UART	6		
ローカル相互接続ネットワーク	LIN	5		
集積回路間インターフェイス	I2C	4		
A/D コンバータ	ADC	3(4) または 5(5)	3(4) または 5(5)	3
コンパレータ モジュール	CMPSS	12(4) または 20(5)	12(4) または 20(5)	12
D/A コンバータ	DAC	1		
プログラマブル リアルタイム ユニット サブシステム(6)	PRU-ICSS	0 または 1		
産業用通信サブシステムをサポート(7)	PRU-ICSS	オプション		
ギガビット イーサネット インターフェイス	CPSW	あり (2 ポート)		
マルチメディア カード / セキュア デジタル インターフェイス	MMCSD	1		
改良型高分解能パルス幅変調器モジュール	EHRPWM	16(3) または 32(5)	16(4) または 32(5)	16
拡張キャプチャ モジュール	ECAP	5(4) または 10(5)	5(4) または 10(5)	5
拡張直交エンコーダ パルス モジュール	EQEP	2(4) または 3(5)	2(4) または 3(5)	2
シグマ デルタ フィルタ モジュール	SDFM	1(4) または 2(5)	1(4) または 2(5)	1
高速シリアル インターフェイス	FSI	4x FSI_RX + 4x FSI_TX		
クワッド SPI フラッシュ インターフェイス	QSPI	1		
				その他
接合部温度		産業用:-40℃ ～ 105℃		
		車載用 (拡張):-40℃ ～ 150℃ 車載用:-40℃ ～ 125℃		
車載用認定		AEC-Q100 (8)オプション		

(1) 機能安全用途用に開発された本デバイスは、ASIL-D または SIL-3 までのハードウェア整合性をサポートしています。詳細については、関連資料を参照してください。
(2) 「X:」文字は機能パラメータを示し、(グレード「X」) はセクション 6.6 の*オペレーティングパフォーマンスポイント*表のグレードを示します。
(3) CTRLMMR_WKUP_JTAG_DEVICE_ID レジスタおよび DEVICE_ID ビット フィールドの詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。
(4) 標準アナログ構成には、3 個の ADC、16 個の EHRPWM、5 個の eCAP、2 個の EQEP、1 個の SDFM、12 個の CMPSS が含まれています
(5) 拡張アナログ構成には、5 個の ADC、32 個の EHRPWM、10 個の eCAP、3 個の EQEP、2 個の SDFM、20x CMPSS が含まれています

Copyright © 2026 Texas Instruments Incorporated

(6) プログラム可能なリアルタイムユニットサブシステムは、機能コードとして D、E、F、K、L、M が付与された注文可能な部品番号を選択した場合に利用可能です。機能コードの定義については、「命名法の説明」表を参照してください。
(7) 産業用通信サブシステム サポートは、機能コード D、E、F、K、L、M を含む注文可能な部品番号を選択した場合に利用できます。機能コードの定義については、命名法の説明表を参照してください。
(8) AEC-Q100 認定は、項目名の説明の表の車載識別記号 (Q1) 識別子で示されている型番バリアントを選択する場合にのみ適用されます。
(9) 各 R5FSS クラスタは、128KB の密結合メモリ (TCM) をサポートします。シングルコアまたはロックステップ動作モードでは、各コアが 128KB の TCM メモリ全体を使用可能ですが、デュアルコア モードでは各コアが割り当てられた半分 (64KB TCM) のみを使用できます。

4.1 関連製品

高度なネットワーク機能、リアルタイム制御機能、信号処理アクセラレータを搭載した Arm®Cortex®-R ベースの高性能マイコンで構成された **Sitara™マイコン** ファミリは、産業用と車載の各アプリケーションで最新のマイコンの要件を満たすのに役立ちます。

Sitara™ プロセッサ 柔軟なアクセラレータ、周辺機器、接続性、統合ソフトウェア サポートを備えた Arm® Cortex®-A コアをベースとする、幅広くスケーラブルなプロセッサ ファミリで、センサからサーバーまで、さまざまな用途に最適です。Sitara™ プロセッサは、最新の産業用および車載用での用途レベルの要件に必要な機能と信頼性を備えています。

Sitara™ マイコン - 評価基板 TI は、製品開発をすぐ始められるように、デバイス固有の評価基板 (EVM) を提供しています。詳細については、**AM263x controlCARD** と **AM263x LaunchPad** を参照してください。

設計を完成させるための製品 以下の製品リストは、システム設計要件を満たすために、AM263x デバイスと組み合わせて購入または使用されることが多いです。

- **TPS653850A-Q1** - 350mA I/O レールを備えたセーフティー マイコン向けの機能安全準拠のマルチレール電源
- **TPS3704-Q1** - 車載対応、超高精度、コンパクト フォーム ファクタのマルチチャネル ウィンドウ スーパーバイザ
- **DP83TG720S-Q1** - 車載対応、RGMII 搭載、1000Base-T1、イーサネット PHY
- **DP83826E** - MII インターフェイスと拡張モード搭載、低レイテンシの 10/100-Mbps 産業用イーサネット PHY
- **TCAN1042H-Q1** - フレキシブル データ レート対応車載用 70V バス障害保護 CAN トランシーバ。

Copyright © 2026 Texas Instruments Incorporated

5 端子構成および機能

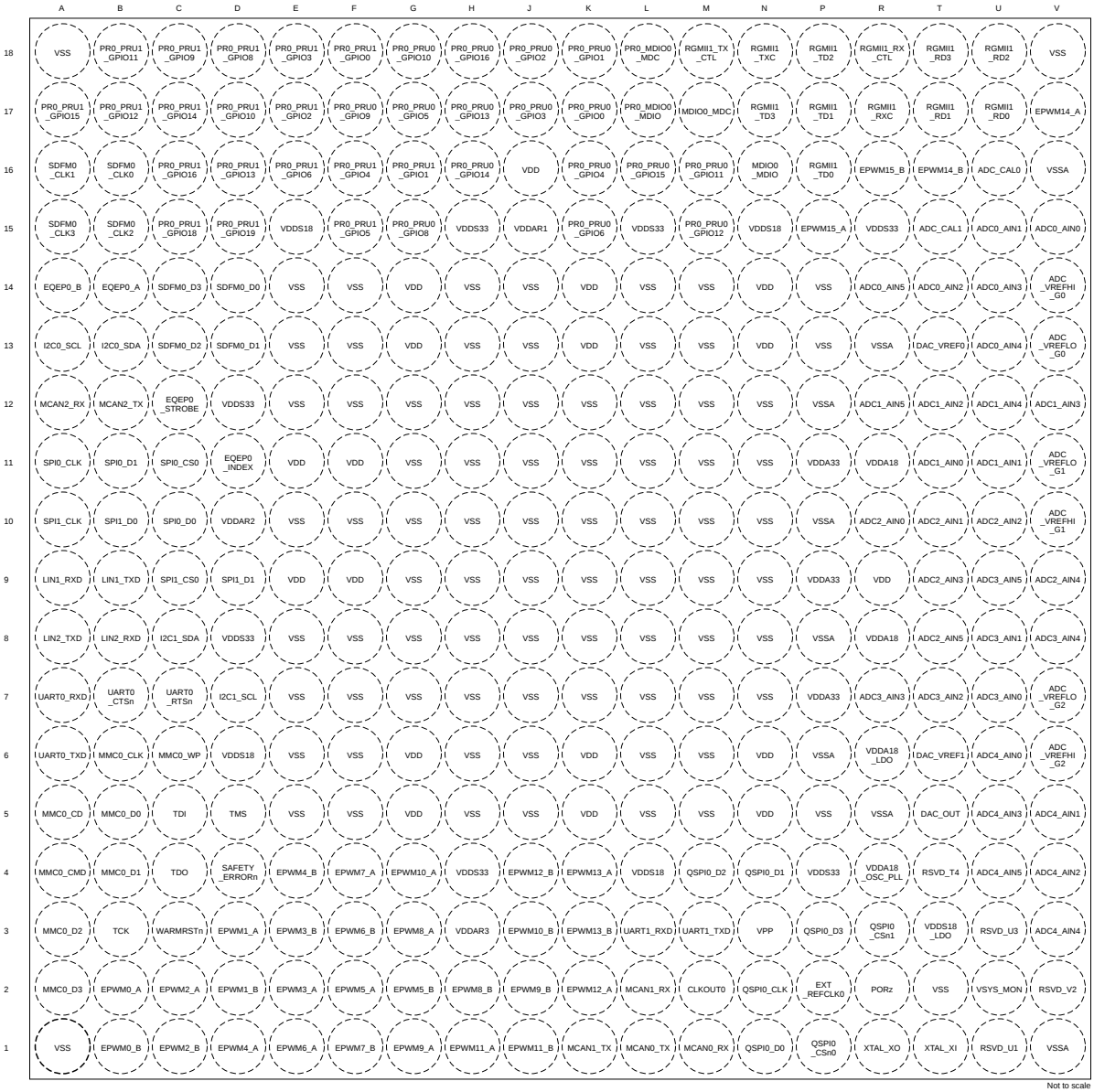
5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

このセクションの図を、その他の「端子構成および機能」表と組み合わせて使用することで、信号名とボール グリッド番号を特定できます。この文書 (AM2634 データシート) の HTML 版では、ボールの上にカーソルを置くと、追加情報が表示されます。

5.1.1 ZCZ ピン配置図



5.2 ピン属性

次のリストは、「ピン属性」表の各列の内容についての説明です。

1. **ボール番号:** ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:** ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能から付けられた名前)。
3. **信号名:** ボールに関連する、すべての専用およびピン多重化信号機能の信号名。

注

「ピン属性」表は、ピンに実装される SoC ピン多重化信号機能を定義しており、デバイス サブシステムに実装される信号機能の 2 次多重化は定義**していません**。信号機能の 2 次多重化については、この表では説明しません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

---

4. **MUX モード:** 各ピンの多重化信号機能に関連付けられた MUXMODE 値:
   - MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。
   - ピン多重化信号機能には、MUXMODE の値 1～15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化された信号機能として定義された値のみです。MUXMODE に定義された有効な値のみを使用できます。
   - ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
   - 空欄または「-」は、該当しないことを意味します。

注

- 「リセット後の MUX モード」列の値は、PORz がデアサートされたときに選択されるデフォルトのピン多重化信号機能を定義します。
- 同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。これは、正しいソフトウェア構成によって防止できます。
- パッドを未定義の多重化モードに構成すると、未定義の動作が生じるため、このような構成は避ける必要があります。

---

5. **タイプ:** 信号の種類と方向:
   - I = 入力
   - O = 出力
   - ID = 入力、オープン ドレイン出力機能付き
   - OD = 出力、オープン ドレイン出力機能付き
   - IO = 入力、出力、または同時に入力と出力
   - IOD = 入力、出力、または同時に入力と出力、オープン ドレイン出力機能付き
   - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
   - OZ = 出力、3 ステート出力機能付き
   - A = アナログ
   - CAP = LDO コンデンサ
   - PWR = 電源
   - GND = グランド
6. **DSIS:** 選択解除入力状態 (DSIS) は、MUXMODE によってピン多重化信号機能が選択されていないとき、サブシステム入力に駆動される状態 (ロジック「0」、ロジック「1」、または「パッド」レベル) を示します。

Copyright © 2026 Texas Instruments Incorporated

- 0:**ロジック 0** がサブシステム入力に駆動されます。
- 1:**ロジック 1** がサブシステム入力に駆動されます。
- パッド:パッドのロジック状態がサブシステム入力に駆動されます。
- 空欄、NA、「-」は該当しないことを意味します。

7. **リセット時のボールの状態 (RX/TX/PULL):**PORz または WARMRSTn がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
   - RX (入力バッファ)
     - Off:入力バッファは**無効**です。
     - On:入力バッファは**有効**です。
   - TX (出力バッファ)
     - Off:出力バッファは**無効**です。
     - Low:出力バッファは**有効**であり、V_{OL} を駆動します。
   - PULL (内部プル抵抗)
     - Off:内部プル抵抗は**オフ**になっています。
     - Up:内部**プルアップ**抵抗がオンになっています。
     - Down:内部**プルダウン**抵抗がオンになっています。
     - NA:内部プル抵抗なし。
   - 空欄、または「-」は該当しないことを意味します。
8. **リセット後のボールの状態 (RX/TX/PULL):**PORz または WARMRSTn がデアサートされた後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
   - RX (入力バッファ)
     - Off:入力バッファは**無効**です。
     - On:入力バッファは**有効**です。
   - TX (出力バッファ)
     - Off:出力バッファは**無効**です。
     - SS:MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
   - PULL (内部プル抵抗)
     - Off:内部プル抵抗は**オフ**になっています。
     - Up:内部**プルアップ抵抗**がオンになっています。
     - Down:内部**プルダウン抵抗**がオンになっています。
     - NA:内部プル抵抗なし。
   - 空欄、NA、「-」は該当しないことを意味します。
9. **リセット後の MUX モード:**この列の値は、PORz がデアサートされた後の**デフォルト**のピン多重化信号機能を定義します。
   - 空欄、NA、「-」は該当しないことを意味します。
10. **I/O 電圧**:この列は、該当する場合、それぞれの電源の I/O **動作電圧**オプションを示します。
    - 空欄、NA、「-」は該当しないことを意味します。

    詳細については、「推奨動作条件」で、各電源に定義されている有効な動作電圧範囲を参照してください。
11. **電源:**関連付けられている I/O の電源 (該当する場合)。
    - 空欄、NA、「-」は該当しないことを意味します。
12. **Hys:**この I/O に関連付けられている入力バッファがヒステリシスを備えているかを示します。
    - あり:ヒステリシス対応
    - なし:ヒステリシス**非**対応
    - 空欄、NA、「-」は該当しないことを意味します。

    詳細については、「電気的特性」のヒステリシスの値を参照してください。

Copyright © 2026 Texas Instruments Incorporated

13. **プル タイプ**:内部プルアップまたはプルダウン抵抗が存在することを示します。内部抵抗は、ソフトウェアによって有効化または無効化できます。
    - PU:内部プルアップのみ
    - PD:内部プルダウンのみ
    - PU/PD:内部プルアップおよびプルダウン
    - 空欄、NA、「-」は、内部プルが存在しないことを意味します。

注

同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。この問題は、正しいソフトウェア構成を使用すると簡単に防止できます。

ピン多重化で定義されない多重化モードにパッドが設定されたとき、そのパッドの挙動は未定義になります。これは避ける必要があります。

14. **バッファ タイプ**:この列は、端子に関連付けられたバッファのタイプを定義します。この情報を使用して、該当する「電気的特性」表を決定できます。
    - 空欄、NA、「-」は該当しないことを意味します。

    電気的特性については、「電気的特性」の適切なバッファ タイプの表を参照してください。
15. **パッド構成レジスタ名**:デバイスのパッド / ピン構成レジスタの名前です。
16. **パッド構成レジスタ アドレス**:デバイスのパッド / ピン構成レジスタのメモリ アドレスです。
17. **パッド構成レジスタのデフォルト値**:PORz がデアサートされた後の、デバイスのパッド / ピン構成レジスタのデフォルト値です。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
V15	ADC0_AIN0	ADC0_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
U15	ADC0_AIN1	ADC0_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
T14	ADC0_AIN2	ADC0_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
U14	ADC0_AIN3	ADC0_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
U13	ADC0_AIN4	ADC0_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
R14	ADC0_AIN5	ADC0_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
T11	ADC1_AIN0	ADC1_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
U11	ADC1_AIN1	ADC1_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
T12	ADC1_AIN2	ADC1_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
V12	ADC1_AIN3	ADC1_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
U12	ADC1_AIN4	ADC1_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
R12	ADC1_AIN5	ADC1_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
R10	ADC2_AIN0	ADC2_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
T10	ADC2_AIN1	ADC2_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
U10	ADC2_AIN2	ADC2_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
T9	ADC2_AIN3	ADC2_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
V9	ADC2_AIN4	ADC2_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
T8	ADC2_AIN5	ADC2_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
U7	ADC3_AIN0	ADC3_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
U8	ADC3_AIN1	ADC3_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
T7	ADC3_AIN2	ADC3_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
R7	ADC3_AIN3	ADC3_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
V8	ADC3_AIN4	ADC3_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
U9	ADC3_AIN5	ADC3_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
U6	ADC4_AIN0	ADC4_AIN0		I				3.3V	VDDA_CIO		AnalogCIO	
V5	ADC4_AIN1	ADC4_AIN1		I				3.3V	VDDA_CIO		AnalogCIO	
V4	ADC4_AIN2	ADC4_AIN2		I				3.3V	VDDA_CIO		AnalogCIO	
U5	ADC4_AIN3	ADC4_AIN3		I				3.3V	VDDA_CIO		AnalogCIO	
V3	ADC4_AIN4	ADC4_AIN4		I				3.3V	VDDA_CIO		AnalogCIO	
U4	ADC4_AIN5	ADC4_AIN5		I				3.3V	VDDA_CIO		AnalogCIO	
U16	ADC_CAL0	ADC_CAL0		I				3.3V	VDDA_CIO		AnalogCIO	
T15	ADC_CAL1	ADC_CAL1		I				3.3V	VDDA_CIO		AnalogCIO	
V14	ADC_VREFHI_G0	ADC_VREFHI_G0		A				1.8V	VDDA_CIO		AnalogCIO	
V10	ADC_VREFHI_G1	ADC_VREFHI_G1		A				1.8V	VDDA_CIO		AnalogCIO	
V6	ADC_VREFHI_G2	ADC_VREFHI_G2		A				1.8V	VDDA_CIO		AnalogCIO	
V13	ADC_VREFLO_G0	ADC_VREFLO_G0		A				1.8V	VDDA_CIO		AnalogCIO	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
V11	ADC_VREFLO_G1	ADC_VREFLO_G1		A				1.8V	VDDA_CIO		AnalogCIO	
V7	ADC_VREFLO_G2	ADC_VREFLO_G2		A				1.8V	VDDA_CIO		AnalogCIO	
M2	CLKOUT0	CLKOUT0	0	O	オフ / オフ / オフ	オフ / SS / オフ	0	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
	CLKOUT0_CFG_REG 0x5310 0228 0x0000 0570	GPIO138	7	IO								
T5	DAC_OUT	DAC_OUT		O				3.3V	VDDA_CIO		AnalogCIO	
T13	DAC_VREF0	DAC_VREF0		A				3.3V	VDDA_CIO		AnalogCIO	
T6	DAC_VREF1	DAC_VREF1		A				3.3V	VDDA_CIO		AnalogCIO	
B2	EPWM0_A	EPWM0_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
	EPWM0_A_CFG_REG 0x5310 00AC 0x0000 05F7	GPIO43	7	IO								
B1	EPWM0_B	EPWM0_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
	EPWM0_B_CFG_REG 0x5310 00B0 0x0000 05F7	GPIO44	7	IO								
D3	EPWM1_A	EPWM1_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
	EPWM1_A_CFG_REG 0x5310 00B4 0x0000 05F7	GPIO45	7	IO								
D2	EPWM1_B	EPWM1_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
	EPWM1_B_CFG_REG 0x5310 00B8 0x0000 05F7	GPIO46	7	IO								
C2	EPWM2_A	EPWM2_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
	EPWM2_A_CFG_REG 0x5310 00BC 0x0000 05F7	GPIO47	7	IO								
C1	EPWM2_B	EPWM2_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
	EPWM2_B_CFG_REG 0x5310 00C0 0x0000 05F7	GPIO48	7	IO								
E2	EPWM3_A	EPWM3_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
	EPWM3_A_CFG_REG 0x5310 00C4 0x0000 05F7	GPIO49	7	IO								
E3	EPWM3_B	EPWM3_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
	EPWM3_B_CFG_REG 0x5310 00C8 0x0000 05F7	GPIO50	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
D1	EPWM4_A EPWM4_A_CFG_REG 0x5310 00CC 0x0000 05F7	EPWM4_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO51	7	IO								
E4	EPWM4_B EPWM4_B_CFG_REG 0x5310 00D0 0x0000 05F7	EPWM4_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX1_CLK	6	O								
		GPIO52	7	IO								
F2	EPWM5_A EPWM5_A_CFG_REG 0x5310 00D4 0x0000 05F7	EPWM5_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX1_DATA0	6	O								
		GPIO53	7	IO								
G2	EPWM5_B EPWM5_B_CFG_REG 0x5310 00D8 0x0000 05F7	EPWM5_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX1_DATA1	6	O								
		GPIO54	7	IO								
E1	EPWM6_A EPWM6_A_CFG_REG 0x5310 00DC 0x0000 05F7	EPWM6_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSIRX1_CLK	6	I								
		GPIO55	7	IO								
F3	EPWM6_B EPWM6_B_CFG_REG 0x5310 00E0 0x0000 05F7	EPWM6_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSIRX1_DATA0	6	I								
		GPIO56	7	IO								
F4	EPWM7_A EPWM7_A_CFG_REG 0x5310 00E4 0x0000 05F7	EPWM7_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSIRX1_DATA1	6	I								
		GPIO57	7	IO								
F1	EPWM7_B EPWM7_B_CFG_REG 0x5310 00E8 0x0000 05F7	EPWM7_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO58	7	IO								
G3	EPWM8_A EPWM8_A_CFG_REG 0x5310 00EC 0x0000 05F7	EPWM8_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART4_TXD	1	O								
		I2C3_SDA	2	IOD								
		FSITX2_CLK	6	O								
		GPIO59	7	IO								
H2	EPWM8_B EPWM8_B_CFG_REG 0x5310 00F0 0x0000 05F7	EPWM8_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART4_RXD	1	I								
		I2C3_SCL	2	IOD								
		FSITX2_DATA0	6	O								
		GPIO60	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
G1	EPWM9_A EPWM9_A_CFG_REG 0x5310 00F4 0x0000 05F7	EPWM9_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX2_DATA1	6	O								
		GPIO61	7	IO								
J2	EPWM9_B EPWM9_B_CFG_REG 0x5310 00F8 0x0000 05F7	EPWM9_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_RTSn	1	O								
		FSIRX2_CLK	6	I								
		GPIO62	7	IO								
G4	EPWM10_A EPWM10_A_CFG_REG 0x5310 00FC 0x0000 05F7	EPWM10_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_CTSn	1	I								
		FSIRX2_DATA0	6	I								
		GPIO63	7	IO								
J3	EPWM10_B EPWM10_B_CFG_REG 0x5310 0100 0x0000 05F7	EPWM10_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART2_RTSn	1	O								
		FSIRX2_DATA1	6	I								
		GPIO64	7	IO								
H1	EPWM11_A EPWM11_A_CFG_REG 0x5310 0104 0x0000 05F7	EPWM11_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART2_CTSn	1	I								
		GPMC0_CLKLB	6	IO								
		GPIO65	7	IO								
J1	EPWM11_B EPWM11_B_CFG_REG 0x5310 0108 0x0000 05F7	EPWM11_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART3_RTSn	1	O								
		GPMC0_OEn_REn	6	O								
		GPIO66	7	IO								
K2	EPWM12_A EPWM12_A_CFG_REG 0x5310 010C 0x0000 05F7	EPWM12_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART3_CTSn	1	I								
		SPI4_CS1	2	IO								
		GPMC0_WEn	6	O								
		GPIO67	7	IO								
J4	EPWM12_B EPWM12_B_CFG_REG 0x5310 0110 0x0000 05F7	EPWM12_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_DCDn	1	I								
		GPMC0_CSn0	6	O								
		GPIO68	7	IO								
K4	EPWM13_A EPWM13_A_CFG_REG 0x5310 0114 0x0000 05F7	EPWM13_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_RIn	1	I								
		GPMC0_AD0	6	IO								
		GPIO69	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
K3	EPWM13_B EPWM13_B_CFG_REG 0x5310 0118 0x0000 05F7	EPWM13_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_DTRn	1	O								
		GPMC0_AD1	6	IO								
		GPIO70	7	IO								
V17	EPWM14_A EPWM14_A_CFG_REG 0x5310 011C 0x0000 05F7	EPWM14_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_DSRn	1	I								
		GPMC0_AD2	6	IO								
		GPIO71	7	IO								
T16	EPWM14_B EPWM14_B_CFG_REG 0x5310 0120 0x0000 05F7	EPWM14_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		MII1_RX_ER	2	I								
		GPMC0_AD3	6	IO								
		GPIO72	7	IO								
P15	EPWM15_A EPWM15_A_CFG_REG 0x5310 0124 0x0000 05F7	EPWM15_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_TXD	1	O								
		MII1_COL	2	I								
		GPMC0_AD4	6	IO								
		GPIO73	7	IO								
R16	EPWM15_B EPWM15_B_CFG_REG 0x5310 0128 0x0000 05F7	EPWM15_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_RXD	1	I								
		MII1_CRS	2	I								
		GPMC0_AD5	6	IO								
		GPIO74	7	IO								
B14	EQEP0_A EQEP0_A_CFG_REG 0x5310 0208 0x0000 05F7	UART4_RTSn	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI4_CLK	3	IO								
		GPIO130	7	IO								
		EQEP0_A	8	I								
		SDFM1_CLK0	9	I								
A14	EQEP0_B EQEP0_B_CFG_REG 0x5310 020C 0x0000 05F7	UART4_CTSn	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI4_CS0	3	IO								
		GPIO131	7	IO								
		EQEP0_B	8	I								
		SDFM1_D0	9	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
D11	EQEP0_INDEX EQEP0_INDEX_CFG_REG 0x5310 0214 0x0000 05F7	UART4_RXD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		LIN4_RXD	1	IO								
		SPI4_D1	3	IO								
		GPIO133	7	IO								
		EQEP0_INDEX	8	IO								
		SDFM1_D1	9	I								
C12	EQEP0_STROBE EQEP0_STROBE_CFG_REG 0x5310 0210 0x0000 05F7	UART4_TXD	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		LIN4_TXD	1	IO								
		SPI4_D0	3	IO								
		GPIO132	7	IO								
		EQEP0_STROBE	8	IO								
		SDFM1_CLK1	9	I								
P2	EXT_REFCLK0 EXT_REFCLK0_CFG_REG 0x5310 01E4 0x0000 05F7	EXT_REFCLK0	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		XBAROUT15	5	O								
		GPIO121	7	IO								
		EQEP1_INDEX	9	IO								
A13	I2C0_SCL I2C0_SCL_CFG_REG 0x5310 021C 0x0000 05F7	I2C0_SCL	0	IOD	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	I2C OD	
		GPIO135	7	IOD								
		EQEP2_B	8	ID								
		SDFM1_CLK3	9	ID								
B13	I2C0_SDA I2C0_SDA_CFG_REG 0x5310 0218 0x0000 05F7	I2C0_SDA	0	IOD	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	I2C OD	
		GPIO134	7	IOD								
		EQEP2_A	8	ID								
		SDFM1_CLK2	9	ID								
D7	I2C1_SCL I2C1_SCL_CFG_REG 0x5310 005C 0x0000 05F7	I2C1_SCL	0	IOD	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI3_CS0	2	IO								
		XBAROUT7	5	O								
		GPIO23	7	IO								
C8	I2C1_SDA I2C1_SDA_CFG_REG 0x5310 0060 0x0000 05F7	I2C1_SDA	0	IOD	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI3_CLK	2	IO								
		XBAROUT8	5	O								
		GPIO24	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
A9	LIN1_RXD LIN1_RXD_CFG_REG 0x5310 004C 0x0000 05F7	LIN1_RXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_RXD	1	I								
		SPI2_CS0	2	IO								
		XBAROUT5	5	O								
		GPIO19	7	IO								
B9	LIN1_TXD LIN1_TXD_CFG_REG 0x5310 0050 0x0000 05F7	LIN1_TXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_TXD	1	O								
		SPI2_CLK	2	IO								
		XBAROUT6	5	O								
		GPIO20	7	IO								
B8	LIN2_RXD LIN2_RXD_CFG_REG 0x5310 0054 0x0000 05F7	LIN2_RXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART2_RXD	1	I								
		SPI2_D0	2	IO								
		GPIO21	7	IO								
A8	LIN2_TXD LIN2_TXD_CFG_REG 0x5310 0058 0x0000 05F7	LIN2_TXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART2_TXD	1	O								
		SPI2_D1	2	IO								
		GPIO22	7	IO								
M1	MCAN0_RX MCAN0_RX_CFG_REG 0x5310 001C 0x0000 05F7	MCAN0_RX	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI4_CS0	1	IO								
		GPIO7	7	IO								
L1	MCAN0_TX MCAN0_TX_CFG_REG 0x5310 0020 0x0000 05F7	MCAN0_TX	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI4_CLK	1	IO								
		GPIO8	7	IO								
L2	MCAN1_RX MCAN1_RX_CFG_REG 0x5310 0024 0x0000 05F7	MCAN1_RX	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI4_D0	1	IO								
		GPIO9	7	IO								
K1	MCAN1_TX MCAN1_TX_CFG_REG 0x5310 0028 0x0000 05F7	MCAN1_TX	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI4_D1	1	IO								
		GPIO10	7	IO								
A12	MCAN2_RX MCAN2_RX_CFG_REG 0x5310 0224 0x0000 05F7	MCAN2_RX	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART2_RTSn	1	O								
		GPIO137	7	IO								
		EQEP2_INDEX	8	IO								
		SDFM1_D3	9	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
B12	MCAN2_TX MCAN2_TX_CFG_REG 0x5310 0220 0x0000 05F7	MCAN2_TX	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_RTSn	1	O								
		GPIO136	7	IO								
		EQEP2_STROBE	8	IO								
		SDFM1_D2	9	I								
M17	MDIO0_MDC MDIO0_MDC_CFG_REG 0x5310 00A8 0x0000 05F7	MDIO0_MDC	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO42	7	IO								
N16	MDIO0_MDIO MDIO0_MDIO_CFG_REG 0x5310 00A4 0x0000 05F7	MDIO0_MDIO	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO41	7	IO								
A5	MMC0_CD MMC0_CD_CFG_REG 0x5310 0150 0x0000 05F7	MMC0_CD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART0_CTSn	1	I								
		I2C2_SDA	2	IOD								
		EPWM20_B	5	O								
		GPMC0_AD15	6	IO								
		GPIO84	7	IO								
		SDFM1_D3	8	I								
B6	MMC0_CLK MMC0_CLK_CFG_REG 0x5310 0134 0x0000 05F7	MMC0_CLK	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART0_RXD	1	I								
		LIN0_RXD	2	IO								
		EPWM17_A	5	O								
		GPMC0_AD8	6	IO								
		GPIO77	7	IO								
		SDFM1_CLK0	8	I								
A4	MMC0_CMD MMC0_CMD_CFG_REG 0x5310 0138 0x0000 05F7	MMC0_CMD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART0_TXD	1	O								
		LIN0_TXD	2	IO								
		EPWM17_B	5	O								
		GPMC0_AD9	6	IO								
		GPIO78	7	IO								
		SDFM1_D0	8	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
C6	MMC0_WP MMC0_WP_CFG_REG 0x5310 014C 0x0000 05F7	MMC0_WP	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART0_RTSn	1	O								
		I2C2_SCL	2	IOD								
		EPWM20_A	5	O								
		GPMC0_AD14	6	IO								
		GPIO83	7	IO								
		SDFM1_CLK3	8	I								
B5	MMC0_D0 MMC0_D0_CFG_REG 0x5310 013C 0x0000 05F7	MMC0_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART2_RXD	1	I								
		I2C1_SCL	2	IOD								
		EPWM18_A	5	O								
		GPMC0_AD10	6	IO								
		GPIO79	7	IO								
		SDFM1_CLK1	8	I								
B4	MMC0_D1 MMC0_D1_CFG_REG 0x5310 0140 0x0000 05F7	MMC0_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EPWM18_B	5	O								
		GPMC0_AD11	6	IO								
		GPIO80	7	IO								
		SDFM1_D1	8	I								
A3	MMC0_D2 MMC0_D2_CFG_REG 0x5310 0144 0x0000 05F7	MMC0_D2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART2_TXD	1	O								
		I2C1_SDA	2	IOD								
		EPWM19_A	5	O								
		GPMC0_AD12	6	IO								
		GPIO81	7	IO								
		SDFM1_CLK2	8	I								
A2	MMC0_D3 MMC0_D3_CFG_REG 0x5310 0148 0x0000 05F7	MMC0_D3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART3_RTSn	1	O								
		EPWM19_B	5	O								
		GPMC0_AD13	6	IO								
		GPIO82	7	IO								
		SDFM1_D2	8	I								
R2	PORz	PORz		I			0	3.3V	VDDSHV0	あり	リセット	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
L18	PR0_MDIO0_MDC PR0_MDIO0_MDC_CFG_REG 0x5310 0158 0x0000 05F7	PR0_MDIO0_MDC	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EPWM21_B	5	O								
		GPMC0_CSn3	6	O								
		GPIO86	7	IO								
L17	PR0_MDIO0_MDIO PR0_MDIO0_MDIO_CFG_REG 0x5310 0154 0x0000 05F7	PR0_MDIO0_MDIO	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EPWM21_A	5	O								
		GPMC0_CSn2	6	O								
		GPIO85	7	IO								
K17	PR0_PRU0_GPIO0 PR0_PRU0_GPIO0_CFG_REG 0x5310 0174 0x0000 05F7	PR0_PRU0_GPIO0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII2_RXD0	2	I								
		RGMII2_RD0	3	I								
		MII2_RXD0	4	I								
		EPWM25_A	5	O								
		GPMC0_A1	6	O								
		GPIO93	7	IO								
K18	PR0_PRU0_GPIO1 PR0_PRU0_GPIO1_CFG_REG 0x5310 0178 0x0000 05F7	PR0_PRU0_GPIO1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII2_RXD1	2	I								
		RGMII2_RD1	3	I								
		MII2_RXD1	4	I								
		EPWM25_B	5	O								
		GPMC0_A2	6	O								
		GPIO94	7	IO								
J18	PR0_PRU0_GPIO2 PR0_PRU0_GPIO2_CFG_REG 0x5310 017C 0x0000 05F7	PR0_PRU0_GPIO2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RGMII2_RD2	3	I								
		MII2_RXD2	4	I								
		EPWM26_A	5	O								
		GPMC0_A3	6	O								
		GPIO95	7	IO								
J17	PR0_PRU0_GPIO3 PR0_PRU0_GPIO3_CFG_REG 0x5310 0180 0x0000 05F7	PR0_PRU0_GPIO3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RGMII2_RD3	3	I								
		MII2_RXD3	4	I								
		EPWM26_B	5	O								
		GPMC0_A4	6	O								
		GPIO96	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
K16	PR0_PRU0_GPIO4 PR0_PRU0_GPIO4_CFG_REG 0x5310 0170 0x0000 05F7	PR0_PRU0_GPIO4	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RGMII2_RX_CTL	3	I								
		MII2_RXDV	4	I								
		EPWM24_B	5	O								
		GPMC0_A0	6	O								
		GPIO92	7	IO								
G17	PR0_PRU0_GPIO5 PR0_PRU0_GPIO5_CFG_REG 0x5310 015C 0x0000 05F7	PR0_PRU0_GPIO5	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII2_RX_ER	2	I								
		MII2_RX_ER	4	I								
		EPWM22_A	5	O								
		GPMC0_DIR	6	O								
		GPIO87	7	IO								
K15	PR0_PRU0_GPIO6 PR0_PRU0_GPIO6_CFG_REG 0x5310 016C 0x0000 05F7	PR0_PRU0_GPIO6	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII2_REF_CLK	2	IO								
		RGMII2_RXC	3	I								
		MII2_RXCLK	4	I								
		EPWM24_A	5	O								
		GPMC0_CSn1	6	O								
		GPIO91	7	IO								
G15	PR0_PRU0_GPIO8 PR0_PRU0_GPIO8_CFG_REG 0x5310 0168 0x0000 05F7	PR0_PRU0_GPIO8	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EPWM23_B	5	O								
		GPMC0_WPn	6	O								
		GPIO90	7	IO								
F17	PR0_PRU0_GPIO9 PR0_PRU0_GPIO9_CFG_REG 0x5310 0160 0x0000 05F7	PR0_PRU0_GPIO9	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		PR0_UART0_CTSn	3	I								
		MII2_COL	4	I								
		EPWM22_B	5	O								
		GPMC0_CLK	6	IO								
		GPIO88	7	IO								
G18	PR0_PRU0_GPIO10 PR0_PRU0_GPIO10_CFG_REG 0x5310 0164 0x0000 05F7	PR0_PRU0_GPIO10	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII2_CRS_DV	2	I								
		PR0_UART0_RTSn	3	O								
		MII2_CRS	4	I								
		EPWM23_A	5	O								
		GPMC0_WAIT0	6	I								
		GPIO89	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
M16	PR0_PRU0_GPIO11 PR0_PRU0_GPIO11_CFG_REG 0x5310 018C 0x0000 05F7	PR0_PRU0_GPIO11	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII2_TXD0	2	O								
		RGMII2_TD0	3	O								
		MII2_TXD0	4	O								
		EPWM28_A	5	O								
		GPMC0_A7	6	O								
		GPIO99	7	IO								
M15	PR0_PRU0_GPIO12 PR0_PRU0_GPIO12_CFG_REG 0x5310 0190 0x0000 05F7	PR0_PRU0_GPIO12	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII2_TXD1	2	O								
		RGMII2_TD1	3	O								
		MII2_TXD1	4	O								
		EPWM28_B	5	O								
		GPMC0_A8	6	O								
		GPIO100	7	IO								
H17	PR0_PRU0_GPIO13 PR0_PRU0_GPIO13_CFG_REG 0x5310 0194 0x0000 05F7	PR0_PRU0_GPIO13	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RGMII2_TD2	3	O								
		MII2_TXD2	4	O								
		EPWM29_A	5	O								
		GPMC0_A9	6	O								
		GPIO101	7	IO								
H16	PR0_PRU0_GPIO14 PR0_PRU0_GPIO14_CFG_REG 0x5310 0198 0x0000 05F7	PR0_PRU0_GPIO14	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RGMII2_TD3	3	O								
		MII2_TXD3	4	O								
		EPWM29_B	5	O								
		GPMC0_A10	6	O								
		GPIO102	7	IO								
L16	PR0_PRU0_GPIO15 PR0_PRU0_GPIO15_CFG_REG 0x5310 0188 0x0000 05F7	PR0_PRU0_GPIO15	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII2_TX_EN	2	O								
		RGMII2_TX_CTL	3	O								
		MII2_TX_EN	4	O								
		EPWM27_B	5	O								
		GPMC0_A6	6	O								
		GPIO98	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
H18	PR0_PRU0_GPIO16 PR0_PRU0_GPIO16_CFG_REG 0x5310 0184 0x0000 05F7	PR0_PRU0_GPIO16	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RGMII2_TXC	3	O								
		MII2_TXCLK	4	I								
		EPWM27_A	5	O								
		GPMC0_A5	6	O								
		GPIO97	7	IO								
F18	PR0_PRU1_GPIO0 PR0_PRU1_GPIO0_CFG_REG 0x5310 01B4 0x0000 05F7	PR0_PRU1_GPIO0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX2_DATA1	3	O								
		TRC_DATA6	4	O								
		GPMC0_A13	6	O								
		GPIO109	7	IO								
G16	PR0_PRU1_GPIO1 PR0_PRU1_GPIO1_CFG_REG 0x5310 01B8 0x0000 05F7	PR0_PRU1_GPIO1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSIRX2_CLK	3	I								
		TRC_DATA7	4	O								
		GPMC0_A14	6	O								
		GPIO110	7	IO								
E17	PR0_PRU1_GPIO2 PR0_PRU1_GPIO2_CFG_REG 0x5310 01BC 0x0000 05F7	PR0_PRU1_GPIO2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSIRX2_DATA0	3	I								
		TRC_DATA8	4	O								
		GPMC0_A15	6	O								
		GPIO111	7	IO								
E18	PR0_PRU1_GPIO3 PR0_PRU1_GPIO3_CFG_REG 0x5310 01C0 0x0000 05F7	PR0_PRU1_GPIO3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSIRX2_DATA1	3	I								
		TRC_DATA9	4	O								
		GPMC0_A16	6	O								
		GPIO112	7	IO								
F16	PR0_PRU1_GPIO4 PR0_PRU1_GPIO4_CFG_REG 0x5310 01B0 0x0000 05F7	PR0_PRU1_GPIO4	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX2_DATA0	3	O								
		TRC_DATA5	4	O								
		GPMC0_A12	6	O								
		GPIO108	7	IO								
F15	PR0_PRU1_GPIO5 PR0_PRU1_GPIO5_CFG_REG 0x5310 019C 0x0000 05F7	PR0_PRU1_GPIO5	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		TRC_DATA0	4	O								
		EPWM30_A	5	O								
		GPMC0_OEn_REn	6	O								
		GPIO103	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
E16	PR0_PRU1_GPIO6 PR0_PRU1_GPIO6_CFG_REG 0x5310 01AC 0x0000 05F7	PR0_PRU1_GPIO6	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX2_CLK	3	O								
		TRC_DATA4	4	O								
		GPMC0_A11	6	O								
		GPIO107	7	IO								
D18	PR0_PRU1_GPIO8 PR0_PRU1_GPIO8_CFG_REG 0x5310 01A8 0x0000 05F7	PR0_PRU1_GPIO8	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		TRC_DATA3	4	O								
		EPWM31_B	5	O								
		GPMC0_WEn	6	O								
		GPIO106	7	IO								
C18	PR0_PRU1_GPIO9 PR0_PRU1_GPIO9_CFG_REG 0x5310 01A0 0x0000 05F7	PR0_PRU1_GPIO9	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		PR0_UART0_RXD	3	I								
		TRC_DATA1	4	O								
		EPWM30_B	5	O								
		GPMC0_BE0n_CLE	6	O								
		GPIO104	7	IO								
D17	PR0_PRU1_GPIO10 PR0_PRU1_GPIO10_CFG_REG 0x5310 01A4 0x0000 05F7	PR0_PRU1_GPIO10	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		PR0_UART0_TXD	3	O								
		TRC_DATA2	4	O								
		EPWM31_A	5	O								
		GPMC0_BE1n	6	O								
		GPIO105	7	IO								
B18	PR0_PRU1_GPIO11 PR0_PRU1_GPIO11_CFG_REG 0x5310 01CC 0x0000 05F7	PR0_PRU1_GPIO11	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX3_DATA1	3	O								
		TRC_DATA12	4	O								
		GPMC0_A19	6	O								
		GPIO115	7	IO								
B17	PR0_PRU1_GPIO12 PR0_PRU1_GPIO12_CFG_REG 0x5310 01D0 0x0000 05F7	PR0_PRU1_GPIO12	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSIRX3_CLK	3	I								
		TRC_DATA13	4	O								
		GPMC0_A20	6	O								
		GPIO116	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
D16	PR0_PRU1_GPIO13 PR0_PRU1_GPIO13_CFG_REG 0x5310 01D4 0x0000 05F7	PR0_PRU1_GPIO13	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSIRX3_DATA0	3	I								
		TRC_DATA14	4	O								
		XBAROUT11	5	O								
		GPMC0_A21	6	O								
		GPIO117	7	IO								
C17	PR0_PRU1_GPIO14 PR0_PRU1_GPIO14_CFG_REG 0x5310 01D8 0x0000 05F7	PR0_PRU1_GPIO14	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSIRX3_DATA1	3	I								
		TRC_DATA15	4	O								
		XBAROUT12	5	O								
		GPMC0_CSn0	6	O								
		GPIO118	7	IO								
A17	PR0_PRU1_GPIO15 PR0_PRU1_GPIO15_CFG_REG 0x5310 01C8 0x0000 05F7	PR0_PRU1_GPIO15	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX3_DATA0	3	O								
		TRC_DATA11	4	O								
		GPMC0_A18	6	O								
		GPIO114	7	IO								
C16	PR0_PRU1_GPIO16 PR0_PRU1_GPIO16_CFG_REG 0x5310 01C4 0x0000 05F7	PR0_PRU1_GPIO16	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX3_CLK	3	O								
		TRC_DATA10	4	O								
		GPMC0_A17	6	O								
		GPIO113	7	IO								
C15	PR0_PRU1_GPIO18 PR0_PRU1_GPIO18_CFG_REG 0x5310 01E0 0x0000 05F7	PR0_PRU1_GPIO18	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART3_TXD	2	O								
		PR0_IEP0_EDIO_DATA_IN_OUT31	3	IO								
		TRC_CTL	4	O								
		XBAROUT14	5	O								
		GPMC0_WAIT1	6	I								
		GPIO120	7	IO								
		EQEP1_B	9	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
D15	PR0_PRU1_GPIO19 PR0_PRU1_GPIO19_CFG_REG 0x5310 01DC 0x0000 05F7	PR0_PRU1_GPIO19	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART3_RXD	2	I								
		PR0_IEP0_EDC_SYNC_OUT0	3	O								
		TRC_CLK	4	O								
		XBAROUT13	5	O								
		GPIO119	7	IO								
		EQEP1_A	9	I								
N2	QSPI0_CLK QSPI0_CLK_CFG_REG 0x5310 0008 0x0000 05F7	QSPI0_CLK	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO2	7	IO								
P1	QSPI0_CSn0 QSPI0_CSn0_CFG_REG 0x5310 0000 0x0000 05F7	QSPI0_CSn0	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO0	7	IO								
R3	QSPI0_CSn1 QSPI0_CSn1_CFG_REG 0x5310 0004 0x0000 05F7	QSPI0_CSn1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		XBAROUT0	5	O								
		GPIO1	7	IO								
N1	QSPI0_D0 QSPI0_D0_CFG_REG 0x5310 000C 0x0000 05D7	QSPI0_D0	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO3	7	IO								
		SOP0	ブートストラップ	I								
N4	QSPI0_D1 QSPI0_D1_CFG_REG 0x5310 0010 0x0000 05D7	QSPI0_D1	0	I	オン / オフ / オフ	オン / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO4	7	IO								
		SOP1	ブートストラップ	I								
M4	QSPI0_D2 QSPI0_D2_CFG_REG 0x5310 0014 0x0000 05F7	QSPI0_D2	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO5	7	IO								
P3	QSPI0_D3 QSPI0_D3_CFG_REG 0x5310 0018 0x0000 05F7	QSPI0_D3	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO6	7	IO								
R17	RGMII1_RXC RGMII1_RXC_CFG_REG 0x5310 0074 0x0000 05F7	RGMII1_RXC	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII1_REF_CLK	1	IO								
		MII1_RXCLK	2	I								
		FSITX0_CLK	6	O								
		GPIO29	7	IO								
		EQEP2_A	8	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
R18	RGMII1_RX_CTL RGMII1_RX_CTL_CFG_REG 0x5310 0078 0x0000 05F7	RGMII1_RX_CTL	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII1_RX_ER	1	I								
		MII1_RXDV	2	I								
		FSITX0_DATA0	6	O								
		GPIO30	7	IO								
		EQEP2_B	8	I								
N18	RGMII1_TXC RGMII1_TXC_CFG_REG 0x5310 008C 0x0000 05F7	RGMII1_TXC	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		MII1_TXCLK	2	I								
		FSITX1_CLK	6	O								
		GPIO35	7	IO								
		EQEP0_INDEX	8	IO								
M18	RGMII1_TX_CTL RGMII1_TX_CTL_CFG_REG 0x5310 0090 0x0000 05F7	RGMII1_TX_CTL	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII1_TX_EN	1	O								
		MII1_TX_EN	2	O								
		FSITX1_DATA0	6	O								
		GPIO36	7	IO								
		EQEP0_STROBE	8	IO								
U17	RGMII1_RD0 RGMII1_RD0_CFG_REG 0x5310 007C 0x0000 05F7	RGMII1_RD0	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII1_RXD0	1	I								
		MII1_RXD0	2	I								
		FSITX0_DATA1	6	O								
		GPIO31	7	IO								
		EQEP2_STROBE	8	IO								
T17	RGMII1_RD1 RGMII1_RD1_CFG_REG 0x5310 0080 0x0000 05F7	RGMII1_RD1	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII1_RXD1	1	I								
		MII1_RXD1	2	I								
		FSIRX0_CLK	6	I								
		GPIO32	7	IO								
		EQEP2_INDEX	8	IO								
U18	RGMII1_RD2 RGMII1_RD2_CFG_REG 0x5310 0084 0x0000 05F7	RGMII1_RD2	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		MII1_RXD2	2	I								
		FSIRX0_DATA0	6	I								
		GPIO33	7	IO								
		EQEP0_A	8	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
T18	RGMII1_RD3 RGMII1_RD3_CFG_REG 0x5310 0088 0x0000 05F7	RGMII1_RD3	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		MII1_RXD3	2	I								
		FSIRX0_DATA1	6	I								
		GPIO34	7	IO								
		EQEP0_B	8	I								
P16	RGMII1_TD0 RGMII1_TD0_CFG_REG 0x5310 0094 0x0000 05F7	RGMII1_TD0	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII1_TXD0	1	O								
		MII1_TXD0	2	O								
		FSITX1_DATA1	6	O								
		GPIO37	7	IO								
		EQEP1_A	8	I								
P17	RGMII1_TD1 RGMII1_TD1_CFG_REG 0x5310 0098 0x0000 05F7	RGMII1_TD1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII1_TXD1	1	O								
		MII1_TXD1	2	O								
		FSIRX1_CLK	6	I								
		GPIO38	7	IO								
		EQEP1_B	8	I								
P18	RGMII1_TD2 RGMII1_TD2_CFG_REG 0x5310 009C 0x0000 05F7	RGMII1_TD2	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		RMII1_CRS_DV	1	I								
		MII1_TXD2	2	O								
		FSIRX1_DATA0	6	I								
		GPIO39	7	IO								
		EQEP1_STROBE	8	IO								
N17	RGMII1_TD3 RGMII1_TD3_CFG_REG 0x5310 00A0 0x0000 05F7	RGMII1_TD3	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		MII1_TXD3	2	O								
		FSIRX1_DATA1	6	I								
		GPIO40	7	IO								
		EQEP1_INDEX	8	IO								
T4	RSVD_T4	RSVD_T4		RSVD					予約済み		予約済み	
U1	RSVD_U1	RSVD_U1		RSVD					予約済み		予約済み	
U3	RSVD_U3	RSVD_U3		RSVD					予約済み		予約済み	
V2	RSVD_V2	RSVD_V2		RSVD					予約済み		予約済み	
D4	SAFETY_ERRORn SAFETY_ERRORn_CFG_REG 0x5310 0230 0x410	SAFETY_ERRORn	0	IO	オン / オフ / ダウン	オン / NA / ダウン	0	3.3V	VDDSHV0	あり	LVCMOS	PU/PD

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
B16	SDFM0_CLK0 SDFM0_CLK0_CFG_REG 0x5310 01E8 0x0000 05F7	CLKOUT1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO122	7	IO								
		SDFM0_CLK0	8	I								
		EQEP1_STROBE	9	IO								
A16	SDFM0_CLK1 SDFM0_CLK1_CFG_REG 0x5310 01F0 0x0000 05F7	PR0_PRU1_GPIO7	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CPTS0_TS_SYNC	1	O								
		UART5_RTSn	2	O								
		PR0_IEP0_EDC_SYNC_OUT1	3	O								
		I2C3_SDA	5	IOD								
		GPIO124	7	IO								
		SDFM0_CLK1	8	I								
B15	SDFM0_CLK2 SDFM0_CLK2_CFG_REG 0x5310 01F8 0x0000 05F7	UART5_TXD	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		I2C3_SCL	5	IOD								
		GPMC0_ADVn_ALE	6	O								
		GPIO126	7	IO								
		SDFM0_CLK2	8	I								
A15	SDFM0_CLK3 SDFM0_CLK3_CFG_REG 0x5310 0200 0x0000 05F7	MCAN3_TX	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_RXD	1	I								
		GPIO128	7	IO								
		SDFM0_CLK3	8	I								
D14	SDFM0_D0 SDFM0_D0_CFG_REG 0x5310 01EC 0x0000 05F7	PR0_ECAP0_APWM_OUT	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO123	7	IO								
		SDFM0_D0	8	I								
D13	SDFM0_D1 SDFM0_D1_CFG_REG 0x5310 01F4 0x0000 05F7	PR0_PRU1_GPIO17	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_CTSn	2	I								
		PR0_IEP0_EDIO_DATA_IN_OUT30	3	IO								
		GPIO125	7	IO								
		SDFM0_D1	8	I								
C13	SDFM0_D2 SDFM0_D2_CFG_REG 0x5310 01FC 0x0000 05F7	UART5_RXD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO127	7	IO								
		SDFM0_D2	8	I								
C14	SDFM0_D3 SDFM0_D3_CFG_REG 0x5310 0204 0x0000 05F7	MCAN3_RX	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO129	7	IO								
		SDFM0_D3	8	I								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
A11	SPI0_CLK SPI0_CLK_CFG_REG 0x5310 0030 0x0000 05D7	SPI0_CLK	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART3_TXD	1	O								
		LIN3_TXD	2	IO								
		FSITX0_CLK	6	O								
		GPIO12	7	IO								
		SOP2	ブートストラップ	I								
A10	SPI1_CLK SPI1_CLK_CFG_REG 0x5310 0040 0x0000 05F7	SPI1_CLK	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART4_RXD	1	I								
		LIN4_RXD	2	IO								
		XBAROUT2	5	O								
		FSIRX0_CLK	6	I								
		GPIO16	7	IO								
C11	SPI0_CS0 SPI0_CS0_CFG_REG 0x5310 002C 0x0000 05F7	SPI0_CS0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART3_RXD	1	I								
		LIN3_RXD	2	IO								
		GPIO11	7	IO								
C10	SPI0_D0 SPI0_D0_CFG_REG 0x5310 0034 0x0000 05D7	SPI0_D0	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX0_DATA0	6	O								
		GPIO13	7	IO								
		SOP3	ブートストラップ	I								
B11	SPI0_D1 SPI0_D1_CFG_REG 0x5310 0038 0x0000 05F7	SPI0_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		FSITX0_DATA1	6	O								
		GPIO14	7	IO								
C9	SPI1_CS0 SPI1_CS0_CFG_REG 0x5310 003C 0x0000 05F7	SPI1_CS0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART4_TXD	1	O								
		LIN4_TXD	2	IO								
		XBAROUT1	5	O								
		GPIO15	7	IO								
B10	SPI1_D0 SPI1_D0_CFG_REG 0x5310 0044 0x0000 05F7	SPI1_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_TXD	1	O								
		XBAROUT3	5	O								
		FSIRX0_DATA0	6	I								
		GPIO17	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
D9	SPI1_D1 SPI1_D1_CFG_REG 0x5310 0048 0x0000 05F7	SPI1_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_RXD	1	I								
		XBAROUT4	5	O								
		FSIRX0_DATA1	6	I								
		GPIO18	7	IO								
B3	TCK TCK_CFG_REG 0x5310 0240 0x210	TCK	0	I	オン / NA / アップ	オン / NA / アップ	0	3.3V	VDDSHV0	あり	高 HYST	
C5	TDI TDI_CFG_REG 0x5310 0234 0x6D0	TDI	0	I	オン / オフ / アップ	オン / オフ / アップ	0	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
C4	TDO TDO_CFG_REG 0x5310 0238 0x630	TDO	0	O	オフ / オフ / アップ	オフ / NA / アップ	0	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
D5	TMS TMS_CFG_REG 0x5310 023C 0x610	TMS	0	IO	オン / オフ / アップ	オン / NA / アップ	0	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
B7	UART0_CTSn UART0_CTSn_CFG_REG 0x5310 0068 0x0000 05F7	UART0_CTSn	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		I2C2_SDA	1	IOD								
		SPI3_D1	2	IO								
		MCAN3_RX	3	I								
		SPI0_CS1	4	IO								
		XBAROUT10	5	O								
		GPIO26	7	IO								
C7	UART0_RTSn UART0_RTSn_CFG_REG 0x5310 0064 0x0000 05F7	UART0_RTSn	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		I2C2_SCL	1	IOD								
		SPI3_D0	2	IO								
		MCAN3_TX	3	O								
		XBAROUT9	5	O								
		GPIO25	7	IO								
A7	UART0_RXD UART0_RXD_CFG_REG 0x5310 006C 0x0000 05F7	UART0_RXD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		LIN0_RXD	1	IO								
		GPIO27	7	IO								

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
A6	UART0_TXD UART0_TXD_CFG_REG 0x5310 0070 0x0000 05F7	UART0_TXD	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		LIN0_TXD	1	IO								
		GPIO28	7	IO								
L3	UART1_RXD UART1_RXD_CFG_REG 0x5310 012C 0x0000 05F7	UART1_RXD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		LIN1_RXD	1	IO								
		EPWM16_A	5	O								
		GPMC0_AD6	6	IO								
		GPIO75	7	IO								
M3	UART1_TXD UART1_TXD_CFG_REG 0x5310 0130 0x0000 05F7	UART1_TXD	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		LIN1_TXD	1	IO								
		EPWM16_B	5	O								
		GPMC0_AD7	6	IO								
		GPIO76	7	IO								
E11、E9、F11、F9、G13、G14、G5、G6、J16、K13、K14、K5、K6、N13、N14、N5、N6、R9	VDD	VDD		PWR				1.2V				
R11、R8	VDDA18	VDDA18		PWR				1.8V				
R6	VDDA18_LDO	VDDA18_LDO		PWR				1.8V				
R4	VDDA18_OSC_PLL	VDDA18_OSC_PLL		PWR				1.8V				
P11、P7、P9	VDDA33	VDDA33		PWR				3.3V				
J15	VDDAR1	VDDAR1		PWR				1.2V				
D10	VDDAR2	VDDAR2		PWR				1.2V				
H3	VDDAR3	VDDAR3		PWR				1.2V				
D6、E15、L4、N15	VDDS18	VDDS18		PWR				1.8V				
T3	VDDS18_LDO	VDDS18_LDO		PWR				1.8V				
D12、D8、H15、H4、L15、P4、R15	VDDS33	VDDS33		PWR				3.3V				
N3	VPP	VPP		PWR				VPP				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
A1、A18、E10、E12、E13、E14、E5、E6、E7、E8、F10、F12、F13、F14、F5、F6、F7、F8、G10、G11、G12、G7、G8、G9、H10、H11、H12、H13、H14、H5、H6、H7、H8、H9、J10、J11、J12、J13、J14、J5、J6、J7、J8、J9、K10、K11、K12、K7、K8、K9、L10、L11、L12、L13、L14、L5、L6、L7、L8、L9、M10、M11、M12、M13、M14、M5、M6、M7、M8、M9、N10、N11、N12、N7、N8、N9、P13、P14、P5、T2、V18	VSS	VSS		GND				VSS				
P10、P12、P6、P8、R13、R5、V1、V16	VSSA	VSSA		AGND				VSSA				
U2	VSYS_MON	VSYS_MON		PWR				0.9V	VDDA_CIO		AnalogCIO	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [15]/ アドレス [16]/ デフォルト値 [17]	信号名 [3]	多重化モード [4]	種類 [5]	リセット中のボールの状態 RX/TX/PULL [7]	リセット後のボールの状態 RX/TX/PULL [8]	リセット後の多重化モード [9]	IO 電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [14]	プルタイプ [13]
C3	WARMRSTn WARMRSTn_CFG_REG 0x5310 022C 0x510	WARMRSTn	0	IO	オン / オフ / オフ	オン / NA / オフ	0	3.3V	VDDSHV0		FS OD	
T1	XTAL_XI	XTAL_XI		I			0	1.8V	VDDS_OSC	あり	HFOSC	
R1	XTAL_XO	XTAL_XO		O			0	1.8V	VDDS_OSC		HFOSC	

Copyright © 2026 Texas Instruments Incorporated

5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次のリストは、列ヘッダーについての説明です。

1. **信号名:** ピンを通過する信号の名前。

注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、IOMUX パッド構成レジスタで選択されるピン多重化信号機能を表しています。一部のデバイス サブシステムでは信号機能の 2 次多重化が可能ですが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

---

2. **ピンの種類:** 信号の方向と種類:
   - I = 入力
   - O = 出力
   - IO = 入力、出力、または同時に入力と出力
   - ID = 入力、オープン ドレイン出力機能付き
   - OD = 出力、オープン ドレイン出力機能付き
   - IOD = 入力、出力、または同時に入力と出力、オープン ドレイン出力機能付き
   - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
   - OZ = 出力、3 ステート出力機能付き
   - A = アナログ
   - CAP = LDO コンデンサ
   - PWR = 電源
   - GND = グランド
3. **説明:** 信号の説明
4. **ボール:** 関連のボール番号

I/O セル構成の詳細については、デバイス TRM の「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.3.1 ADC

表 5-2. ADC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
ADC0_AIN0	I	ADC アナログ入力 0 (+IN0) CMPSSA0 : inH (+IN)	V15
ADC0_AIN1	I	ADC アナログ入力 1 (+IN0) CMPSSA0: inL (-IN)	U15
ADC0_AIN2	I	ADC アナログ入力 2 (+IN1) CMPSSA1 : inH (+IN)	T14
ADC0_AIN3	I	ADC アナログ入力 3 (+IN1) CMPSSA1: inL (-IN)	U14
ADC0_AIN4	I	ADC アナログ入力 4 (+IN2) CMPSSB0: inH/inL	U13
ADC0_AIN5	I	ADC アナログ入力 5 (+IN2) CMPSSB1: inH/inL	R14

表 5-3. ADC1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
ADC1_AIN0	I	ADC アナログ入力 0 (+IN0) CMPSSA2 : inH (+IN)	T11
ADC1_AIN1	I	ADC アナログ入力 1 (+IN0) CMPSSA2: inL (-IN)	U11
ADC1_AIN2	I	ADC アナログ入力 2 (+IN1) CMPSSA3 : inH (+IN)	T12
ADC1_AIN3	I	ADC アナログ入力 3 (+IN1) CMPSSA3: inL (-IN)	V12
ADC1_AIN4	I	ADC アナログ入力 4 (+IN2) CMPSSB2: inH/inL	U12
ADC1_AIN5	I	ADC アナログ入力 5 (+IN2) CMPSSB3: inH/inL	R12

表 5-4. ADC2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
ADC2_AIN0	I	ADC アナログ入力 0 (+IN0) CMPSSA4 : inH (+IN)	R10
ADC2_AIN1	I	ADC アナログ入力 1 (+IN0) CMPSSA4: inL (-IN)	T10
ADC2_AIN2	I	ADC アナログ入力 2 (+IN1) CMPSSA5 : inH (+IN)	U10
ADC2_AIN3	I	ADC アナログ入力 3 (+IN1) CMPSSA5: inL (-IN)	T9
ADC2_AIN4	I	ADC アナログ入力 4 (+IN2) CMPSSB4: inH/inL	V9
ADC2_AIN5	I	ADC アナログ入力 5 (+IN2) CMPSSB5: inH/inL	T8

表 5-5. ADC3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
ADC3_AIN0	I	ADC アナログ入力 0 (+IN0) CMPSSA6 : inH (+IN)	U7

Copyright © 2026 Texas Instruments Incorporated

表 5-5. ADC3 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
ADC3_AIN1	I	ADC アナログ入力 1 (+IN0) CMPSSA6: inL (-IN)	U8
ADC3_AIN2	I	ADC アナログ入力 2 (+IN1) CMPSSA7：inH (+IN)	T7
ADC3_AIN3	I	ADC アナログ入力 3 (+IN1) CMPSSA7: inL (-IN)	R7
ADC3_AIN4	I	ADC アナログ入力 4 (+IN2) CMPSSB6: inH/inL	V8
ADC3_AIN5	I	ADC アナログ入力 5 (+IN2) CMPSSB7: inH/inL	U9

表 5-6. ADC4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
ADC4_AIN0	I	ADC アナログ入力 0 (+IN0) CMPSSA8：inH (+IN)	U6
ADC4_AIN1	I	ADC アナログ入力 1 (+IN0) CMPSSA8: inL (-IN)	V5
ADC4_AIN2	I	ADC アナログ入力 2 (+IN1) CMPSSA9：inH (+IN)	V4
ADC4_AIN3	I	ADC アナログ入力 3 (+IN1) CMPSSA9: inL (-IN)	U5
ADC4_AIN4	I	ADC アナログ入力 4 (+IN2) CMPSSB8: inH/inL	V3
ADC4_AIN5	I	ADC アナログ入力 5 (+IN2) CMPSSB9: inH/inL	U4

5.3.1.1 ADC-CMPSS の信号接続

各 ADC では、2～ セットの差動ピンが 2～ 個の CMPSSA のピンと共有され、残りの 1 組の差動ピンは 2 個の独立した CMPSSB のピンに接続されます。これらのピンは 図 5-1 および 表 5-7 で示されており、CHSEL 値によって入力が ADC にどのように供給されるかが決まります。

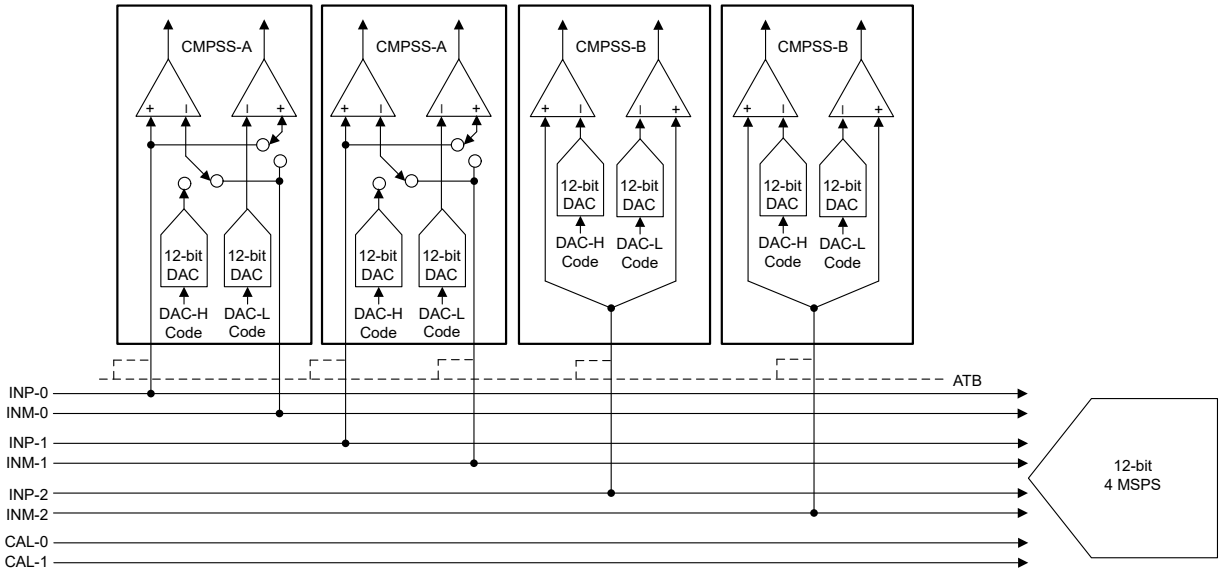


図 5-1. CMPSS と ADC の接続

表 5-7. ADC 入力と CMPSS 信号間の接続

信号/ピン名	ADC 入力	CMPSS 入力
ADC0 チャネル		
ADC0_AIN0	ADC0:inp0 (+IN0)	CMPSSA0:inH (+IN)
ADC0_AIN1	ADC0:inm0 (-IN0)	CMPSSA0:inL (-IN)
ADC0_AIN2	ADC0:inp1 (+IN1)	CMPSSA1:inH (+IN)
ADC0_AIN3	ADC0:inm1 (-IN1)	CMPSSA1:inL (-IN)
ADC0_AIN4	ADC0:inp2 (+IN2)	CMPSSB0:inH/inL (+IN/-IN)
ADC0_AIN5	ADC0:inm2 (-IN2)	CMPSSB1:inH/inL (+IN/-IN)
ADC_CAL1	ADC0:inm3 (-IN3)	X
ADC_CAL0	ADC0:inp3 (+IN3)	X
ADC1 チャネル		
ADC1_AIN0	ADC1:inp0 (+IN0)	CMPSSA2:inH (+IN)
ADC1_AIN1	ADC1:inm0 (-IN0)	CMPSSA2:inL (-IN)
ADC1_AIN2	ADC1:inp1 (+IN1)	CMPSSA3:inH (+IN)
ADC1_AIN3	ADC1:inm1 (-IN1)	CMPSSA3:inL (-IN)
ADC1_AIN4	ADC1:inp2 (+IN2)	CMPSSB2:inH/inL (+IN/-IN)
ADC1_AIN5	ADC1:inm2 (-IN2)	CMPSSB3:inH/inL (+IN/-IN)
ADC_CAL1	ADC1:inm3 (-IN3)	X
ADC_CAL0	ADC1:inp3 (+IN3)	X
ADC2 チャネル		
ADC2_AIN0	ADC2:inp0 (+IN0)	CMPSSA4:inH (+IN)
ADC2_AIN1	ADC2:inm0 (-IN0)	CMPSSA4:inL (-IN)
ADC2_AIN2	ADC2:inp1 (+IN1)	CMPSSA5:inH (+IN)
ADC2_AIN3	ADC2:inm1 (-IN1)	CMPSSA5:inL (-IN)
ADC2_AIN4	ADC2:inp2 (+IN2)	CMPSSB4:inH/inL (+IN/-IN)
ADC2_AIN5	ADC2:inm2 (-IN2)	CMPSSB5:inH/inL (+IN/-IN)

Copyright © 2026 Texas Instruments Incorporated

表 5-7. ADC 入力と CMPSS 信号間の接続 (続き)

信号/ピン名	ADC 入力	CMPSS 入力
ADC_CAL1	ADC2:inm3 (-IN3)	X
ADC_CAL0	ADC2:inp3 (+IN3)	X
ADC3 チャネル		
ADC3_AIN0	ADC3:inp0 (+IN0)	CMPSSA6:inH (+IN)
ADC3_AIN1	ADC3:inm0 (-IN0)	CMPSSA6:inL (-IN)
ADC3_AIN2	ADC3:inp1 (+IN1)	CMPSSA7:inH (+IN)
ADC3_AIN3	ADC3:inm1 (-IN1)	CMPSSA7:inL (-IN)
ADC3_AIN4	ADC3:inp2 (+IN2)	CMPSSB6:inH/inL (+IN/-IN)
ADC3_AIN5	ADC3:inm2 (-IN2)	CMPSSB7:inH/inL (+IN/-IN)
ADC_CAL1	ADC3:inm3 (-IN3)	X
ADC_CAL0	ADC3:inp3 (+IN3)	X
ADC4 チャネル		
ADC4_AIN0	ADC4:inp0 (+IN0)	CMPSSA8:inH (+IN)
ADC4_AIN1	ADC4:inm0 (-IN0)	CMPSSA8:inL (-IN)
ADC4_AIN2	ADC4:inp1 (+IN1)	CMPSSA9:inH (+IN)
ADC4_AIN3	ADC4:inm1 (-IN1)	CMPSSA9:inL (-IN)
ADC4_AIN4	ADC4:inp2 (+IN2)	CMPSSB8:inH/inL (+IN/-IN)
ADC4_AIN5	ADC4:inm2 (-IN2)	CMPSSB9:inH/inL (+IN/-IN)
ADC_CAL0	ADC4:inp3 (+IN3)	X
ADC_CAL1	ADC4:inm3 (-IN3)	X

注

上記の ADC-CMPSS 信号接続表の **ADC 入力**列において、「inp」は正入力を、「inm」は負入力を示します。

5.3.2 ADC_CAL

表 5-8. ADC_CAL 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
ADC_CAL0 (1)	I	ADC 較正ピン 0	U16
ADC_CAL1 (1)	I	ADC 較正ピン 1	T15

(1) このピンは ADC[0:4] で共有されます。

5.3.3 ADC VREF

表 5-9. ADC_VREF 信号の説明

信号名 [1] ((5))	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
ADC_VREFHI_G0	A	ADC 基準電圧 (正)	V14
ADC_VREFHI_G1 (2)	A	ADC 基準電圧 (正)	V10
ADC_VREFHI_G2	A	ADC 基準電圧 (正)	V6
ADC_VREFLO_G0 (1)	A	ADC 基準電圧 (負)	V13
ADC_VREFLO_G1 (3)	A	ADC 基準電圧 (負)	V11
ADC_VREFLO_G2 (4)	A	ADC 基準電圧 (負)	V7

(1) このピンは、アナログ グランド (VSSA) に接続 (短絡) すべきです。
(2) このピンは ADC_VREFHI_G0 に接続 (短絡) できます。
(3) このピンは ADC_VREFLO_G0 に接続 (短絡) できます。
(4) このピンは、アナログ グランド (VSSA) に接続 (短絡) できます。
(5) これらのピンの接続の詳細については、「*レイアウトのガイドライン*」および「ハードウェア設計ガイドライン」(SPRABJ8)を参照してください。

5.3.4 CPSW

表 5-10. CPSW0 RGMII1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
RGMII1_RXC	I	RGMII 受信クロック	R17
RGMII1_RX_CTL	I	RGMII 受信制御	R18
RGMII1_TXC	O	RGMII 送信クロック	N18
RGMII1_TX_CTL	O	RGMII 送信制御	M18
RGMII1_RD0	I	RGMII 受信データ 0	U17
RGMII1_RD1	I	RGMII 受信データ 1	T17
RGMII1_RD2	I	RGMII 受信データ 2	U18
RGMII1_RD3	I	RGMII 受信データ 3	T18
RGMII1_TD0	O	RGMII 送信データ 0	P16
RGMII1_TD1	O	RGMII 送信データ 1	P17
RGMII1_TD2	O	RGMII 送信データ 2	P18
RGMII1_TD3	O	RGMII 送信データ 3	N17

表 5-11. CPSW0 RGMII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
RGMII2_RXC	I	RGMII 受信クロック	K15
RGMII2_RX_CTL	I	RGMII 受信制御	K16
RGMII2_TXC	O	RGMII 送信クロック	H18
RGMII2_TX_CTL	O	RGMII 送信制御	L16
RGMII2_RD0	I	RGMII 受信データ 0	K17

Copyright © 2026 Texas Instruments Incorporated

表 5-11. CPSW0 RGMII2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
RGMII2_RD1	I	RGMII 受信データ 1	K18
RGMII2_RD2	I	RGMII 受信データ 2	J18
RGMII2_RD3	I	RGMII 受信データ 3	J17
RGMII2_TD0	O	RGMII 送信データ 0	M16
RGMII2_TD1	O	RGMII 送信データ 1	M15
RGMII2_TD2	O	RGMII 送信データ 2	H17
RGMII2_TD3	O	RGMII 送信データ 3	H16

表 5-12. CPSW0 RMII1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
RMII1_CRS_DV	I	RMII キャリア センス / データ有効	P18
RMII1_REF_CLK	IO	RMII 基準クロック	R17
RMII1_RX_ER	I	RMII 受信データ エラー	R18
RMII1_TX_EN	O	RMII 送信イネーブル	M18
RMII1_RXD0	I	RMII 受信データ 0	U17
RMII1_RXD1	I	RMII 受信データ 1	T17
RMII1_TXD0	O	RMII 送信データ 0	P16
RMII1_TXD1	O	RMII 送信データ 1	P17

表 5-13. CPSW0 RMII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
RMII2_CRS_DV	I	RMII キャリア センス / データ有効	G18
RMII2_REF_CLK	IO	RMII 基準クロック	K15
RMII2_RX_ER	I	RMII 受信データ エラー	G17
RMII2_TX_EN	O	RMII 送信イネーブル	L16
RMII2_RXD0	I	RMII 受信データ 0	K17
RMII2_RXD1	I	RMII 受信データ 1	K18
RMII2_TXD0	O	RMII 送信データ 0	M16
RMII2_TXD1	O	RMII 送信データ 1	M15

表 5-14. CPSW0 MII1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
MII1_COL	I	MII 衝突検出	P15
MII1_CRS	I	MII キャリア センス	R16
MII1_RXCLK	I	MII 受信クロック	R17
MII1_RXDV	I	MII 受信データ有効	R18
MII1_RX_ER	I	MII 受信データ エラー	T16
MII1_TXCLK	I	MII 送信クロック	N18
MII1_TX_EN	O	MII 送信イネーブル	M18
MII1_RXD0	I	MII 受信データ 0	U17
MII1_RXD1	I	MII 受信データ 1	T17
MII1_RXD2	I	MII 受信データ 2	U18

Copyright © 2026 Texas Instruments Incorporated

表 5-14. CPSW0 MII1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
MII1_RXD3	I	MII 受信データ 3	T18
MII1_TXD0	O	MII 送信データ 0	P16
MII1_TXD1	O	MII 送信データ 1	P17
MII1_TXD2	O	MII 送信データ 2	P18
MII1_TXD3	O	MII 送信データ 3	N17

表 5-15. CPSW0 MII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
MII2_COL	I	MII 衝突検出	F17
MII2_CRS	I	MII キャリア センス	G18
MII2_RXCLK	I	MII 受信クロック	K15
MII2_RXDV	I	MII 受信データ有効	K16
MII2_RX_ER	I	MII 受信データ エラー	G17
MII2_TXCLK	I	MII 送信クロック	H18
MII2_TX_EN	O	MII 送信イネーブル	L16
MII2_RXD0	I	MII 受信データ 0	K17
MII2_RXD1	I	MII 受信データ 1	K18
MII2_RXD2	I	MII 受信データ 2	J18
MII2_RXD3	I	MII 受信データ 3	J17
MII2_TXD0	O	MII 送信データ 0	M16
MII2_TXD1	O	MII 送信データ 1	M15
MII2_TXD2	O	MII 送信データ 2	H17
MII2_TXD3	O	MII 送信データ 3	H16

表 5-16. MDIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
MDIO0_MDC	O	MDIO クロック	M17
MDIO0_MDIO	IO	MDIO データ	N16

5.3.5 CPTS

表 5-17. CPTS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
CPTS0_TS_SYNC	O	CPTS タイム スタンプ カウンタ ビット出力	A16

5.3.6 DAC

表 5-18. DAC 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
DAC_OUT	O	DAC 出力	T5
DAC_VREF0 (1) (2)	A	DAC 電圧リファレンス 0	T13
DAC_VREF1 (1) (2)	A	DAC 電圧リファレンス 1	T6

(1) これらのピンの接続の詳細については、*レイアウト ガイドライン*セクションを参照してください。
(2) このピンは VDDA18_LDO に接続 (短絡) できます。

Copyright © 2026 Texas Instruments Incorporated

5.3.7 エミュレーションおよびデバッグ

表 5-19. トレース信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
TRC_CLK	O	トレース クロック	D15
TRC_CTL	O	トレース制御	C15
TRC_DATA0	O	トレース データ 0	F15
TRC_DATA1	O	トレース データ 1	C18
TRC_DATA2	O	トレース データ 2	D17
TRC_DATA3	O	トレース データ 3	D18
TRC_DATA4	O	トレース データ 4	E16
TRC_DATA5	O	トレース データ 5	F16
TRC_DATA6	O	トレース データ 6	F18
TRC_DATA7	O	トレース データ 7	G16
TRC_DATA8	O	トレース データ 8	E17
TRC_DATA9	O	トレース データ 9	E18
TRC_DATA10	O	トレース データ 10	C16
TRC_DATA11	O	トレース データ 11	A17
TRC_DATA12	O	トレース データ 12	B18
TRC_DATA13	O	トレース データ 13	B17
TRC_DATA14	O	トレース データ 14	D16
TRC_DATA15	O	トレース データ 15	C17

表 5-20. JTAG 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
TCK	I	JTAG テスト クロック入力	B3
TDI	I	JTAG テスト データ入力	C5
TDO	O	JTAG テスト データ出力	C4
TMS	IO	JTAG テスト モード選択入力	D5

5.3.8 EPWM

表 5-21. EPWM0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM0_A	O	EPWM 出力 A	B2
EPWM0_B	O	EPWM 出力 B	B1

表 5-22. EPWM1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM1_A	O	EPWM 出力 A	D3
EPWM1_B	O	EPWM 出力 B	D2

表 5-23. EPWM2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM2_A	O	EPWM 出力 A	C2

Copyright © 2026 Texas Instruments Incorporated

表 5-23. EPWM2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM2_B	O	EPWM 出力 B	C1

表 5-24. EPWM3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM3_A	O	EPWM 出力 A	E2
EPWM3_B	O	EPWM 出力 B	E3

表 5-25. EPWM4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM4_A	O	EPWM 出力 A	D1
EPWM4_B	O	EPWM 出力 B	E4

表 5-26. EPWM5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM5_A	O	EPWM 出力 A	F2
EPWM5_B	O	EPWM 出力 B	G2

表 5-27. EPWM6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM6_A	O	EPWM 出力 A	E1
EPWM6_B	O	EPWM 出力 B	F3

表 5-28. EPWM7 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM7_A	O	EPWM 出力 A	F4
EPWM7_B	O	EPWM 出力 B	F1

表 5-29. EPWM8 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM8_A	O	EPWM 出力 A	G3
EPWM8_B	O	EPWM 出力 B	H2

表 5-30. EPWM9 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM9_A	O	EPWM 出力 A	G1
EPWM9_B	O	EPWM 出力 B	J2

表 5-31. EPWM10 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM10_A	O	EPWM 出力 A	G4
EPWM10_B	O	EPWM 出力 B	J3

Copyright © 2026 Texas Instruments Incorporated

表 5-32. EPWM11 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM11_A	O	EPWM 出力 A	H1
EPWM11_B	O	EPWM 出力 B	J1

表 5-33. EPWM12 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM12_A	O	EPWM 出力 A	K2
EPWM12_B	O	EPWM 出力 B	J4

表 5-34. EPWM13 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM13_A	O	EPWM 出力 A	K4
EPWM13_B	O	EPWM 出力 B	K3

表 5-35. EPWM14 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM14_A	O	EPWM 出力 A	V17
EPWM14_B	O	EPWM 出力 B	T16

表 5-36. EPWM15 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM15_A	O	EPWM 出力 A	P15
EPWM15_B	O	EPWM 出力 B	R16

表 5-37. EPWM16 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM16_A	O	EPWM 出力 A	L3
EPWM16_B	O	EPWM 出力 B	M3

表 5-38. EPWM17 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM17_A	O	EPWM 出力 A	B6
EPWM17_B	O	EPWM 出力 B	A4

表 5-39. EPWM18 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM18_A	O	EPWM 出力 A	B5
EPWM18_B	O	EPWM 出力 B	B4

表 5-40. EPWM19 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM19_A	O	EPWM 出力 A	A3
EPWM19_B	O	EPWM 出力 B	A2

Copyright © 2026 Texas Instruments Incorporated

表 5-41. EPWM20 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM20_A	O	EPWM 出力 A	C6
EPWM20_B	O	EPWM 出力 B	A5

表 5-42. EPWM21 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM21_A	O	EPWM 出力 A	L17
EPWM21_B	O	EPWM 出力 B	L18

表 5-43. EPWM22 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM22_A	O	EPWM 出力 A	G17
EPWM22_B	O	EPWM 出力 B	F17

表 5-44. EPWM23 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM23_A	O	EPWM 出力 A	G18
EPWM23_B	O	EPWM 出力 B	G15

表 5-45. EPWM24 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM24_A	O	EPWM 出力 A	K15
EPWM24_B	O	EPWM 出力 B	K16

表 5-46. EPWM25 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM25_A	O	EPWM 出力 A	K17
EPWM25_B	O	EPWM 出力 B	K18

表 5-47. EPWM26 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM26_A	O	EPWM 出力 A	J18
EPWM26_B	O	EPWM 出力 B	J17

表 5-48. EPWM27 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM27_A	O	EPWM 出力 A	H18
EPWM27_B	O	EPWM 出力 B	L16

表 5-49. EPWM28 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM28_A	O	EPWM 出力 A	M16
EPWM28_B	O	EPWM 出力 B	M15

Copyright © 2026 Texas Instruments Incorporated

表 5-50. EPWM29 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM29_A	O	EPWM 出力 A	H17
EPWM29_B	O	EPWM 出力 B	H16

表 5-51. EPWM30 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM30_A	O	EPWM 出力 A	F15
EPWM30_B	O	EPWM 出力 B	C18

表 5-52. EPWM31 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EPWM31_A	O	EPWM 出力 A	D17
EPWM31_B	O	EPWM 出力 B	D18

5.3.9 EQEP

表 5-53. EQEP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EQEP0_A	I	EQEP 直交入力 A	B14、U18
EQEP0_B	I	EQEP 直交入力 B	A14、T18
EQEP0_INDEX	IO	EQEP インデックス	D11、N18
EQEP0_STROBE	IO	EQEP ストローブ	C12、M18

表 5-54. EQEP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EQEP1_A	I	EQEP 直交入力 A	D15、P16
EQEP1_B	I	EQEP 直交入力 B	C15、P17
EQEP1_INDEX	IO	EQEP インデックス	N17、P2
EQEP1_STROBE	IO	EQEP ストローブ	B16、P18

表 5-55. EQEP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EQEP2_A (1)	I	EQEP 直交入力 A	B13、R17
EQEP2_B (2)	I	EQEP 直交入力 B	A13、R18
EQEP2_INDEX	IO	EQEP インデックス	A12、T17
EQEP2_STROBE	IO	EQEP ストローブ	B12、U17

(1) EQEP2_A は、ボール B13 を使用する場合、I2C OD FS (オープン ドレイン フェイル セーフ) 電圧バッファを使用して実装されています。
(2) EQEP2_B は、ボール A13 を使用する場合、I2C OD FS (オープン ドレイン フェイル セーフ) 電圧バッファを使用して実装されています。

5.3.10 FSI

表 5-56. FSIRX0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSIRX0_CLK	I	FSI クロック	A10、T17
FSIRX0_DATA0	I	FSI データ 0	B10、U18

Copyright © 2026 Texas Instruments Incorporated

表 5-56. FSIRX0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSIRX0_DATA1	I	FSI データ 1	D9、T18

表 5-57. FSIRX1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSIRX1_CLK	I	FSI クロック	E1、P17
FSIRX1_DATA0	I	FSI データ 0	F3、P18
FSIRX1_DATA1	I	FSI データ 1	F4、N17

表 5-58. FSIRX2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSIRX2_CLK	I	FSI クロック	G16、J2
FSIRX2_DATA0	I	FSI データ 0	E17、G4
FSIRX2_DATA1	I	FSI データ 1	E18、J3

表 5-59. FSIRX3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSIRX3_CLK	I	FSI クロック	B17
FSIRX3_DATA0	I	FSI データ 0	D16
FSIRX3_DATA1	I	FSI データ 1	C17

表 5-60. FSITX0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSITX0_CLK	O	FSI クロック	A11、R17
FSITX0_DATA0	O	FSI データ 0	C10、R18
FSITX0_DATA1	O	FSI データ 1	B11、U17

表 5-61. FSITX1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSITX1_CLK	O	FSI クロック	E4、N18
FSITX1_DATA0	O	FSI データ 0	F2、M18
FSITX1_DATA1	O	FSI データ 1	G2、P16

表 5-62. FSITX2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSITX2_CLK	O	FSI クロック	E16、G3
FSITX2_DATA0	O	FSI データ 0	F16、H2
FSITX2_DATA1	O	FSI データ 1	F18、G1

表 5-63. FSITX3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSITX3_CLK	O	FSI クロック	C16
FSITX3_DATA0	O	FSI データ 0	A17

Copyright © 2026 Texas Instruments Incorporated

表 5-63. FSITX3 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
FSITX3_DATA1	O	FSI データ 1	B18

5.3.11 GPIO

表 5-64. GPIO 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
GPIO0	IO	汎用入出力	P1
GPIO1	IO	汎用入出力	R3
GPIO2	IO	汎用入出力	N2
GPIO3	IO	汎用入出力	N1
GPIO4	IO	汎用入出力	N4
GPIO5	IO	汎用入出力	M4
GPIO6	IO	汎用入出力	P3
GPIO7	IO	汎用入出力	M1
GPIO8	IO	汎用入出力	L1
GPIO9	IO	汎用入出力	L2
GPIO10	IO	汎用入出力	K1
GPIO11	IO	汎用入出力	C11
GPIO12	IO	汎用入出力	A11
GPIO13	IO	汎用入出力	C10
GPIO14	IO	汎用入出力	B11
GPIO15	IO	汎用入出力	C9
GPIO16	IO	汎用入出力	A10
GPIO17	IO	汎用入出力	B10
GPIO18	IO	汎用入出力	D9
GPIO19	IO	汎用入出力	A9
GPIO100	IO	汎用入出力	M15
GPIO101	IO	汎用入出力	H17
GPIO102	IO	汎用入出力	H16
GPIO103	IO	汎用入出力	F15
GPIO104	IO	汎用入出力	C18
GPIO105	IO	汎用入出力	D17
GPIO106	IO	汎用入出力	D18
GPIO107	IO	汎用入出力	E16
GPIO108	IO	汎用入出力	F16
GPIO109	IO	汎用入出力	F18
GPIO110	IO	汎用入出力	G16
GPIO111	IO	汎用入出力	E17
GPIO112	IO	汎用入出力	E18
GPIO113	IO	汎用入出力	C16
GPIO114	IO	汎用入出力	A17
GPIO115	IO	汎用入出力	B18
GPIO116	IO	汎用入出力	B17
GPIO117	IO	汎用入出力	D16
GPIO118	IO	汎用入出力	C17

Copyright © 2026 Texas Instruments Incorporated

表 5-64. GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
GPIO119	IO	汎用入出力	D15
GPIO120	IO	汎用入出力	C15
GPIO121	IO	汎用入出力	P2
GPIO122	IO	汎用入出力	B16
GPIO123	IO	汎用入出力	D14
GPIO124	IO	汎用入出力	A16
GPIO125	IO	汎用入出力	D13
GPIO126	IO	汎用入出力	B15
GPIO127	IO	汎用入出力	C13
GPIO128	IO	汎用入出力	A15
GPIO129	IO	汎用入出力	C14
GPIO130	IO	汎用入出力	B14
GPIO131	IO	汎用入出力	A14
GPIO132	IO	汎用入出力	C12
GPIO133	IO	汎用入出力	D11
GPIO134 (1)	IOD	汎用入出力	B13
GPIO135 (2)	IOD	汎用入出力	A13
GPIO136	IO	汎用入出力	B12
GPIO137	IO	汎用入出力	A12
GPIO138	IO	汎用入出力	M2
GPIO20	IO	汎用入出力	B9
GPIO21	IO	汎用入出力	B8
GPIO22	IO	汎用入出力	A8
GPIO23	IO	汎用入出力	D7
GPIO24	IO	汎用入出力	C8
GPIO25	IO	汎用入出力	C7
GPIO26	IO	汎用入出力	B7
GPIO27	IO	汎用入出力	A7
GPIO28	IO	汎用入出力	A6
GPIO29	IO	汎用入出力	R17
GPIO30	IO	汎用入出力	R18
GPIO31	IO	汎用入出力	U17
GPIO32	IO	汎用入出力	T17
GPIO33	IO	汎用入出力	U18
GPIO34	IO	汎用入出力	T18
GPIO35	IO	汎用入出力	N18
GPIO36	IO	汎用入出力	M18
GPIO37	IO	汎用入出力	P16
GPIO38	IO	汎用入出力	P17
GPIO39	IO	汎用入出力	P18
GPIO40	IO	汎用入出力	N17
GPIO41	IO	汎用入出力	N16
GPIO42	IO	汎用入出力	M17
GPIO43	IO	汎用入出力	B2
GPIO44	IO	汎用入出力	B1

Copyright © 2026 Texas Instruments Incorporated

表 5-64. GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
GPIO45	IO	汎用入出力	D3
GPIO46	IO	汎用入出力	D2
GPIO47	IO	汎用入出力	C2
GPIO48	IO	汎用入出力	C1
GPIO49	IO	汎用入出力	E2
GPIO50	IO	汎用入出力	E3
GPIO51	IO	汎用入出力	D1
GPIO52	IO	汎用入出力	E4
GPIO53	IO	汎用入出力	F2
GPIO54	IO	汎用入出力	G2
GPIO55	IO	汎用入出力	E1
GPIO56	IO	汎用入出力	F3
GPIO57	IO	汎用入出力	F4
GPIO58	IO	汎用入出力	F1
GPIO59	IO	汎用入出力	G3
GPIO60	IO	汎用入出力	H2
GPIO61	IO	汎用入出力	G1
GPIO62	IO	汎用入出力	J2
GPIO63	IO	汎用入出力	G4
GPIO64	IO	汎用入出力	J3
GPIO65	IO	汎用入出力	H1
GPIO66	IO	汎用入出力	J1
GPIO67	IO	汎用入出力	K2
GPIO68	IO	汎用入出力	J4
GPIO69	IO	汎用入出力	K4
GPIO70	IO	汎用入出力	K3
GPIO71	IO	汎用入出力	V17
GPIO72	IO	汎用入出力	T16
GPIO73	IO	汎用入出力	P15
GPIO74	IO	汎用入出力	R16
GPIO75	IO	汎用入出力	L3
GPIO76	IO	汎用入出力	M3
GPIO77	IO	汎用入出力	B6
GPIO78	IO	汎用入出力	A4
GPIO79	IO	汎用入出力	B5
GPIO80	IO	汎用入出力	B4
GPIO81	IO	汎用入出力	A3
GPIO82	IO	汎用入出力	A2
GPIO83	IO	汎用入出力	C6
GPIO84	IO	汎用入出力	A5
GPIO85	IO	汎用入出力	L17
GPIO86	IO	汎用入出力	L18
GPIO87	IO	汎用入出力	G17
GPIO88	IO	汎用入出力	F17
GPIO89	IO	汎用入出力	G18

Copyright © 2026 Texas Instruments Incorporated

表 5-64. GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
GPIO90	IO	汎用入出力	G15
GPIO91	IO	汎用入出力	K15
GPIO92	IO	汎用入出力	K16
GPIO93	IO	汎用入出力	K17
GPIO94	IO	汎用入出力	K18
GPIO95	IO	汎用入出力	J18
GPIO96	IO	汎用入出力	J17
GPIO97	IO	汎用入出力	H18
GPIO98	IO	汎用入出力	L16
GPIO99	IO	汎用入出力	M16

(1) GPIO134 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(2) GPIO135 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。

5.3.12 GPMC

表 5-65. GPMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
GPMC0_ADVn_ALE	O	GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル	B15
GPMC0_CLK (2)	IO	GPMC クロック	F17
GPMC0_CLKLB (1)	IO	GPMC クロック ループバック	H1
GPMC0_DIR	O	GPMC データ バス信号方向制御	G17
GPMC0_OEn_REn	O	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	F15、J1
GPMC0_WEn	O	GPMC 書き込みイネーブル (アクティブ Low)	D18、K2
GPMC0_WPn	O	GPMC フラッシュ書き込み保護 (アクティブ Low)	G15
GPMC0_A0	O	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	K16
GPMC0_A1	O	GPMC アドレス 1 出力 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード)	K17
GPMC0_A2	O	GPMC アドレス 2 出力 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード)	K18
GPMC0_A3	O	GPMC アドレス 3 出力 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード)	J18
GPMC0_A4	O	GPMC アドレス 4 出力 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード)	J17
GPMC0_A5	O	GPMC アドレス 5 出力 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード)	H18
GPMC0_A6	O	GPMC アドレス 6 出力 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード)	L16
GPMC0_A7	O	GPMC アドレス 7 出力 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード)	M16
GPMC0_A8	O	GPMC アドレス 8 出力 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード)	M15
GPMC0_A9	O	GPMC アドレス 9 出力 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード)	H17
GPMC0_A10	O	GPMC アドレス 10 出力 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード)	H16

Copyright © 2026 Texas Instruments Incorporated

表 5-65. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
GPMC0_A11	O	GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	E16
GPMC0_A12	O	GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	F16
GPMC0_A13	O	GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	F18
GPMC0_A14	O	GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	G16
GPMC0_A15	O	GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	E17
GPMC0_A16	O	GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	E18
GPMC0_A17	O	GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	C16
GPMC0_A18	O	GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	A17
GPMC0_A19	O	GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	B18
GPMC0_A20	O	GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	B17
GPMC0_A21	O	GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	D16
GPMC0_AD0	IO	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	K4
GPMC0_AD1	IO	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	K3
GPMC0_AD2	IO	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	V17
GPMC0_AD3	IO	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 4 出力 (A/D 多重化モード)	T16
GPMC0_AD4	IO	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 5 出力 (A/D 多重化モード)	P15
GPMC0_AD5	IO	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 6 出力 (A/D 多重化モード)	R16
GPMC0_AD6	IO	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 7 出力 (A/D 多重化モード)	L3
GPMC0_AD7	IO	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 8 出力 (A/D 多重化モード)	M3
GPMC0_AD8	IO	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 9 出力 (A/D 多重化モード)	B6
GPMC0_AD9	IO	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 10 出力 (A/D 多重化モード)	A4
GPMC0_AD10	IO	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	B5
GPMC0_AD11	IO	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	B4
GPMC0_AD12	IO	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	A3
GPMC0_AD13	IO	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	A2

Copyright © 2026 Texas Instruments Incorporated

表 5-65. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
GPMC0_AD14	IO	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	C6
GPMC0_AD15	IO	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	A5
GPMC0_BE0n_CLE	O	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンド ラッチ イネーブル	C18
GPMC0_BE1n	O	GPMC 上位バイト イネーブル (アクティブ Low)	D17
GPMC0_CSn0	O	GPMC チップ セレクト 0 (アクティブ Low)	C17、J4
GPMC0_CSn1	O	GPMC チップ セレクト 1 (アクティブ Low)	K15
GPMC0_CSn2	O	GPMC チップ セレクト 2 (アクティブ Low)	L17
GPMC0_CSn3	O	GPMC チップ セレクト 3 (アクティブ Low)	L18
GPMC0_WAIT0	I	GPMC ウェイト外部表示	G18
GPMC0_WAIT1	I	GPMC ウェイト外部表示	C15

(1) GPMC0_CLKLB は、リタイミング目的で内部的に使用されるクロック ループバック信号です。
(2) GPMC0 が同期モードで動作している場合、MSS_IOMUX:PR0_PRU0_GPO9_CFG_REG レジスタの RXACTIVE ビットを 0x1 に設定し、MSS_IOMUX:PR0_PRU0_GPO9_CFG_REG レジスタの TX_DIS ビットを 0x0 にリセットする必要があります。

5.3.13 I2C

表 5-66. I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
I2C0_SCL (2)	IOD	I2C クロック	A13
I2C0_SDA (1)	IOD	I2C データ	B13

(1) I2C0_SDA は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(2) I2C0_SCL は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。

表 5-67. I2C1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
I2C1_SCL (1)	IOD	I2C クロック	B5、D7
I2C1_SDA (2)	IOD	I2C データ	A3、C8

(1) I2C1_SCL は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。
(2) I2C1_SDA は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。

表 5-68. I2C2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
I2C2_SCL (1)	IOD	I2C クロック	C6、C7
I2C2_SDA (2)	IOD	I2C データ	A5、B7

(1) I2C2_SCL は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。
(2) I2C2_SDA は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。

表 5-69. I2C3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
I2C3_SCL (2)	IOD	I2C クロック	B15、H2

Copyright © 2026 Texas Instruments Incorporated

表 5-69. I2C3 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
I2C3_SDA (1)	IOD	I2C データ	A16、G3

(1) I2C3_SDA は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。
(2) I2C3_SCL は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。

注

LVCMOS 電圧バッファ ピンに実装された I2C 信号は、I2C モジュールを常時 low 出力にソースして出力イネーブルを切り替えるよう構成することで、オープン ドレイン出力として動作するように構成できます。出力バッファはイネーブル時に low に駆動され、ディセーブル時は高インピーダンスになります。

(I2C OD FS) は、フェイルセーフである唯一の IO 電圧バッファです。これらは、I2C0 ピンでのみ実装されます。他の IO では、(VDD + 0.3V) を超える電位を印加できません。つまり、電源がオフのときにこれらのピンに電位を供給できません。これらの IO に電位を供給できる接続されたすべてのデバイスには、それぞれの IO 電源レールを供給するのと同じ電源から電力を供給する必要があります。

5.3.14 LIN

表 5-70. LIN0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
LIN0_RXD	IO	LIN 受信データ	A7、B6
LIN0_TXD	IO	LIN 送信データ	A4、A6

表 5-71. LIN1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
LIN1_RXD	IO	LIN 受信データ	A9、L3
LIN1_TXD	IO	LIN 送信データ	B9、M3

表 5-72. LIN2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
LIN2_RXD	IO	LIN 受信データ	B8
LIN2_TXD	IO	LIN 送信データ	A8

表 5-73. LIN3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
LIN3_RXD	IO	LIN 受信データ	C11
LIN3_TXD	IO	LIN 送信データ	A11

表 5-74. LIN4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
LIN4_RXD	IO	LIN 受信データ	A10、D11
LIN4_TXD	IO	LIN 送信データ	C12、C9

Copyright © 2026 Texas Instruments Incorporated

5.3.15 MCAN

表 5-75. MCAN0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
MCAN0_RX	I	MCAN 受信データ	M1
MCAN0_TX	O	MCAN 送信データ	L1

表 5-76. MCAN1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
MCAN1_RX	I	MCAN 受信データ	L2
MCAN1_TX	O	MCAN 送信データ	K1

表 5-77. MCAN2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
MCAN2_RX	I	MCAN 受信データ	A12
MCAN2_TX	O	MCAN 送信データ	B12

表 5-78. MCAN3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
MCAN3_RX	I	MCAN 受信データ	B7、C14
MCAN3_TX	O	MCAN 送信データ	A15、C7

5.3.16 SPI (MCSPI)

表 5-79. SPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SPI0_CLK (1)	IO	SPI クロック (SOP2)	A11
SPI0_CS0	IO	SPI チップ セレクト 0	C11
SPI0_CS1	IO	SPI チップ セレクト 1	B7
SPI0_D0 (2)	IO	SPI データ 0 (SOP3)	C10
SPI0_D1	IO	SPI データ 1	B11

(1) SPI0_CLK ピンは、SOP2 ブートモード構成ピンとしても使用されます。
(2) SPI0_D0 ピンは、SOP3 ブートモード構成ピンとしても使用されます。

表 5-80. SPI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SPI1_CLK	IO	SPI クロック	A10
SPI1_CS0	IO	SPI チップ セレクト 0	C9
SPI1_D0	IO	SPI データ 0	B10
SPI1_D1	IO	SPI データ 1	D9

表 5-81. SPI2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SPI2_CLK	IO	SPI クロック	B9
SPI2_CS0	IO	SPI チップ セレクト 0	A9
SPI2_D0	IO	SPI データ 0	B8

Copyright © 2026 Texas Instruments Incorporated

表 5-81. SPI2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SPI2_D1	IO	SPI データ 1	A8

表 5-82. SPI3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SPI3_CLK	IO	SPI クロック	C8
SPI3_CS0	IO	SPI チップ セレクト 0	D7
SPI3_D0	IO	SPI データ 0	C7
SPI3_D1	IO	SPI データ 1	B7

表 5-83. SPI4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SPI4_CLK	IO	SPI クロック	B14、L1
SPI4_CS0	IO	SPI チップ セレクト 0	A14、M1
SPI4_CS1	IO	SPI チップ セレクト 1	K2
SPI4_D0	IO	SPI データ 0	C12、L2
SPI4_D1	IO	SPI データ 1	D11、K1

5.3.17 MMC

表 5-84. MMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
MMC0_CD	I	MMC/SD カード検出	A5
MMC0_CLK	IO	MMC/SD クロック	B6
MMC0_CMD	IO	MMC/SD コマンド	A4
MMC0_WP	I	MMC/SD 書き込み保護	C6
MMC0_D0	IO	MMC/SD データ	B5
MMC0_D1	IO	MMC/SD データ	B4
MMC0_D2	IO	MMC/SD データ	A3
MMC0_D3	IO	MMC/SD データ	A2

5.3.18 電源

表 5-85. 電源信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
VDD	PWR	1.2V コア電源	E11、E9、F11、F9、G13、G14、G5、G6、J16、K13、K14、K5、K6、N13、N14、N5、N6、R9
VDDA18	PWR	1.8V アナログ電源	R11、R8
VDDA18_LDO (1) (2)	PWR	1.8V アナログ LDO 出力	R6
VDDA18_OSC_PLL	PWR	1.8V OSC PLL 電源	R4
VDDA33	PWR	3.3V アナログ電源	P11、P7、P9
VDDAR1	PWR	1.2V SRAM アレイ電源	J15
VDDAR2	PWR	1.2V SRAM アレイ電源	D10

Copyright © 2026 Texas Instruments Incorporated

表 5-85. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
VDDAR3	PWR	1.2V SRAM アレイ電源	H3
VDDS18	PWR	1.8V IO 電源	D6、E15、L4、N15
VDDS18_LDO (1) (3)	PWR	1.8V デジタル LDO の出力	T3
VDDS33	PWR	3.3V IO 電源	D12、D8、H15、H4、L15、P4、R15
VPP	PWR	eFuse ROM プログラミング電源	N3
VSS	GND	グランド	A1、A18、E10、E12、E13、E14、E5、E6、E7、E8、F10、F12、F13、F14、F5、F6、F7、F8、G10、G11、G12、G7、G8、G9、H10、H11、H12、H13、H14、H5、H6、H7、H8、H9、J10、J11、J12、J13、J14、J5、J6、J7、J8、J9、K10、K11、K12、K7、K8、K9、L10、L11、L12、L13、L14、L5、L6、L7、L8、L9、M10、M11、M12、M13、M14、M5、M6、M7、M8、M9、N10、N11、N12、N7、N8、N9、P13、P14、P5、T2、V18
VSSA	AGND	アナログ GND	P10、P12、P6、P8、R13、R5、V1、V16

(1) このピンの接続の詳細については、*レイアウト ガイドライン*セクションを参照してください。
(2) PCB は、VDDA18_LDO をすべての VDDA18 ピンおよび VDDA_OSC_PL ピンに直接配線する必要があります。
(3) PCB は、VDDS18_LDO をすべての VDDS18 ピンに直接配線する必要があります。

5.3.19 PRU-ICSS

表 5-86. PRU-ICSS ECAP 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
PR0_ECAP0_APWM_OUT	O	PRU-ICSS 拡張キャプチャ (ECAP) 入力または ECAP 補助 PWM (APWM) 出力	D14

表 5-87. PRU-ICSS GPIO 信号の説明

信号名 [1] ((1))	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
PR0_PRU0_GPIO0	IO	PRU0 汎用入出力	K17
PR0_PRU0_GPIO1	IO	PRU0 汎用入出力	K18
PR0_PRU0_GPIO2	IO	PRU0 汎用入出力	J18
PR0_PRU0_GPIO3	IO	PRU0 汎用入出力	J17
PR0_PRU0_GPIO4	IO	PRU0 汎用入出力	K16
PR0_PRU0_GPIO5	IO	PRU0 汎用入出力	G17

Copyright © 2026 Texas Instruments Incorporated

表 5-87. PRU-ICSS GPIO 信号の説明 (続き)

信号名 [1] ((1))	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
PR0_PRU0_GPIO6	IO	PRU0 汎用入出力	K15
PR0_PRU0_GPIO8	IO	PRU0 汎用入出力	G15
PR0_PRU0_GPIO9	IO	PRU0 汎用入出力	F17
PR0_PRU0_GPIO10	IO	PRU0 汎用入出力	G18
PR0_PRU0_GPIO11	IO	PRU0 汎用入出力	M16
PR0_PRU0_GPIO12	IO	PRU0 汎用入出力	M15
PR0_PRU0_GPIO13	IO	PRU0 汎用入出力	H17
PR0_PRU0_GPIO14	IO	PRU0 汎用入出力	H16
PR0_PRU0_GPIO15	IO	PRU0 汎用入出力	L16
PR0_PRU0_GPIO16	IO	PRU0 汎用入出力	H18
PR0_PRU1_GPIO0	IO	PRU1 汎用入出力	F18
PR0_PRU1_GPIO1	IO	PRU1 汎用入出力	G16
PR0_PRU1_GPIO2	IO	PRU1 汎用入出力	E17
PR0_PRU1_GPIO3	IO	PRU1 汎用入出力	E18
PR0_PRU1_GPIO4	IO	PRU1 汎用入出力	F16
PR0_PRU1_GPIO5	IO	PRU1 汎用入出力	F15
PR0_PRU1_GPIO6	IO	PRU1 汎用入出力	E16
PR0_PRU1_GPIO7	IO	PRU1 汎用入出力	A16
PR0_PRU1_GPIO8	IO	PRU1 汎用入出力	D18
PR0_PRU1_GPIO9	IO	PRU1 汎用入出力	C18
PR0_PRU1_GPIO10	IO	PRU1 汎用入出力	D17
PR0_PRU1_GPIO11	IO	PRU1 汎用入出力	B18
PR0_PRU1_GPIO12	IO	PRU1 汎用入出力	B17
PR0_PRU1_GPIO13	IO	PRU1 汎用入出力	D16
PR0_PRU1_GPIO14	IO	PRU1 汎用入出力	C17
PR0_PRU1_GPIO15	IO	PRU1 汎用入出力	A17
PR0_PRU1_GPIO16	IO	PRU1 汎用入出力	C16
PR0_PRU1_GPIO17	IO	PRU1 汎用入出力	D13
PR0_PRU1_GPIO18	IO	PRU1 汎用入出力	C15
PR0_PRU1_GPIO19	IO	PRU1 汎用入出力	D15

(1) PR0_PRU0_GPIO**7**、PR0_PRU0_GPIO**17**、PR0_PRU0_GPIO**18**、および PR0_PRU0_GPIO**19** 信号はピン配置されていません。等価 PR0_PRU**1**_GPIO 信号はピン配置され利用可能です。

表 5-88. PRU-ICSS IEP 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
PR0_IEP0_EDC_SYNC_OUT0	O	PRU-ICSS 産業用イーサネット分散クロック同期出力	D15
PR0_IEP0_EDC_SYNC_OUT1	O	PRU-ICSS 産業用イーサネット分散クロック同期出力	A16
PR0_IEP0_EDIO_DATA_IN_OUT30	IO	PRU-ICSS 産業用イーサネット デジタル I/O データ入出力	D13
PR0_IEP0_EDIO_DATA_IN_OUT31	IO	PRU-ICSS 産業用イーサネット デジタル I/O データ入出力	C15

表 5-89. PRU-ICSS MDIO 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
PR0_MDIO0_MDC	O	PRU-ICSS MDIO クロック	L18

Copyright © 2026 Texas Instruments Incorporated

表 5-89. PRU-ICSS MDIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
PR0_MDIO0_MDIO	IO	PRU-ICSS MDIO データ	L17

表 5-90. PRU-ICSS UART 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
PR0_UART0_CTSn	I	PRU-ICSS UART CTS (Clear to Send) (アクティブ Low)	F17
PR0_UART0_RTSn	O	PRU-ICSS UART (Request to Send) (アクティブ Low)	G18
PR0_UART0_RXD	I	PRU-ICSS UART 受信データ	C18
PR0_UART0_TXD	O	PRU-ICSS UART 送信データ	D17

5.3.20 QSPI

表 5-91. QSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
QSPI0_CLK	O	QSPI クロック	N2
QSPI0_CSn0	O	QSPI チップ セレクト 0	P1
QSPI0_CSn1	O	QSPI チップ セレクト 1	R3
QSPI0_D0 (1)	IO	QSPI データ ビット 0 (SOP0)	N1
QSPI0_D1 (2)	I	QSPI データ ビット 1 (SOP1)	N4
QSPI0_D2	I	QSPI データ ビット 2	M4
QSPI0_D3	I	QSPI データ ビット 3	P3

(1) QSPI0_D0 ピンは、SOP0 ブートモード構成ピンとしても使用されます。
(2) QSPI0_D1 ピンは、SOP1 ブートモード構成ピンとしても使用されます。

5.3.21 予約済みおよび未接続

表 5-92. 予約済み信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
RSVD_T4	RSVD	予約済み (RSVD_T4)。このピンは、接地する (VSS) に接続する必要があります。	T4
RSVD_U1	RSVD	予約済み (RSVD_U1)。このピンは、接地する (VSS) に接続する必要があります。	U1
RSVD_U3	RSVD	予約済み (RSVD_U3)。このピンは未接続にしておかなくてはなりません。	U3
RSVD_V2	RSVD	予約済み (RSVD_V2)。このピンは未接続にしておかなくてはなりません。	V2

5.3.22 SDFM

表 5-93. SDFM0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SDFM0_CLK0	I	SDFM クロック 0 入力	B16
SDFM0_CLK1	I	SDFM クロック 1 入力	A16
SDFM0_CLK2	I	SDFM クロック 2 入力	B15
SDFM0_CLK3	I	SDFM クロック 3 入力	A15
SDFM0_D0	I	SDFM データ 0 入力	D14
SDFM0_D1	I	SDFM データ 1 入力	D13
SDFM0_D2	I	SDFM データ 2 入力	C13

Copyright © 2026 Texas Instruments Incorporated

表 5-93. SDFM0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SDFM0_D3	I	SDFM データ 3 入力	C14

表 5-94. SDFM1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SDFM1_CLK0	I	SDFM クロック 0 入力	B14、B6
SDFM1_CLK1	I	SDFM クロック 1 入力	B5、C12
SDFM1_CLK2 (1)	I	SDFM クロック 2 入力	A3、B13
SDFM1_CLK3 (2)	I	SDFM クロック 3 入力	A13、C6
SDFM1_D0	I	SDFM データ 0 入力	A14、A4
SDFM1_D1	I	SDFM データ 1 入力	B4、D11
SDFM1_D2	I	SDFM データ 2 入力	A2、B12
SDFM1_D3	I	SDFM データ 3 入力	A12、A5

(1) SDFM1_CLK2 は、ボール B13 を使用する場合、I2C OD FS (オープン ドレイン フェイル セーフ) 電圧バッファを使用して実装されています。
(2) SDFM1_CLK3 は、ボール A13 を使用する場合、I2C OD FS (オープン ドレイン フェイル セーフ) 電圧バッファを使用して実装されています。

5.3.23 システム、その他

5.3.23.1 ブート モードの構成

表 5-95. ブート モード信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
SOP0	I	ブート モード構成ビット 0 (QSPI0_D0)	N1
SOP1	I	ブート モード構成ビット 1 (QSPI0_D1)	N4
SOP2	I	ブート モード構成ビット 2 (SPI0_CLK)	A11
SOP3	I	ブート モード構成ビット 3 (SPI0_D0)	C10

5.3.23.2 クロック

表 5-96. XTAL 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
XTAL_XI (1)	I	外部クリスタル (XTAL) 入力	T1
XTAL_XO (1)	O	外部クリスタル (XTAL) 出力	R1

(1) XTAL インターフェイスには、25 MHz クロック ソースが必要です。

表 5-97. 出力クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
CLKOUT0	O	出力クロック 0	M2
CLKOUT1	O	出力クロック 1	B16

表 5-98. 外部基準クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
EXT_REFCLK0	I	外部基準クロック入力	P2

Copyright © 2026 Texas Instruments Incorporated

5.3.23.3 システム

表 5-99. システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
PORz	I	デバイスパワーオン (PORz) コールド リセット	R2
SAFETY_ERRORn	IO	ESM 安全エラー信号	D4
WARMRSTn	IO	ウォーム リセット要求 (入力) / ウォーム リセット ステータス (出力)	C3

注

LVCMOS 電圧バッファ ピンに実装された SAFETY_ERRORn 信号は、ESM モジュールを常時 low 出力にソースして出力イネーブルを切り替えるよう構成することで、オープン ドレイン出力として動作するように構成できます。出力バッファはイネーブル時に low に駆動され、ディセーブル時は高インピーダンスになります。

(I2C OD FS) は、フェイルセーフである唯一の IO 電圧バッファです。これらは、I2C0 ピンでのみ実装されます。他の IO では、(VDD + 0.3V) を超える電位を印加できません。つまり、電源がオフのときにこれらのピンに電位を供給できません。これらの IO に電位を供給できる接続されたすべてのデバイスには、それぞれの IO 電源レールを供給するのと同じ電源から電力を供給する必要があります。

5.3.23.4 VMON

表 5-100. VMON 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
VSYS_MON (1)	PWR	0.9V (±3%) セットポイント付きの外部電圧モニタ。	U2

(1) このピンの詳細については、*電気的仕様 - 安全コンパレータセクション*を参照してください。

5.3.24 UART

表 5-101. UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	A5、B7
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C6、C7
UART0_RXD	I	UART 受信データ	A7、B6
UART0_TXD	O	UART 送信データ	A4、A6

表 5-102. UART1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	G4
UART1_DCDn	I	UART DCD (データ キャリア検出) (アクティブ Low)	J4
UART1_DSRn	I	UART DSR (データセット レディ) (アクティブ Low)	V17
UART1_DTRn	O	UART DTR (データ ターミナル レディ) (アクティブ Low)	K3
UART1_RIn	I	UART リング インジケータ	K4
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B12、J2
UART1_RXD	I	UART 受信データ	A9、L3
UART1_TXD	O	UART 送信データ	B9、M3

表 5-103. UART2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	H1

Copyright © 2026 Texas Instruments Incorporated

表 5-103. UART2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A12、J3
UART2_RXD	I	UART 受信データ	B5、B8
UART2_TXD	O	UART 送信データ	A3、A8

表 5-104. UART3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	K2
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A2、J1
UART3_RXD	I	UART 受信データ	C11、D15
UART3_TXD	O	UART 送信データ	A11、C15

表 5-105. UART4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	A14
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B14
UART4_RXD	I	UART 受信データ	A10、D11、H2
UART4_TXD	O	UART 送信データ	C12、C9、G3

表 5-106. UART5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D13
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A16
UART5_RXD	I	UART 受信データ	A15、C13、D9、R16
UART5_TXD	O	UART 送信データ	B10、B15、P15

5.3.25 XBAR

表 5-107. 出力 XBAR 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
XBAROUT0	O	OUTPUTXBAR 信号 0	R3
XBAROUT1	O	OUTPUTXBAR 信号 1	C9
XBAROUT2	O	OUTPUTXBAR 信号 2	A10
XBAROUT3	O	OUTPUTXBAR 信号 3	B10
XBAROUT4	O	OUTPUTXBAR 信号 4	D9
XBAROUT5	O	OUTPUTXBAR 信号 5	A9
XBAROUT6	O	OUTPUTXBAR 信号 6	B9
XBAROUT7	O	OUTPUTXBAR 信号 7	D7
XBAROUT8	O	OUTPUTXBAR 信号 8	C8
XBAROUT9	O	OUTPUTXBAR 信号 9	C7
XBAROUT10	O	OUTPUTXBAR 信号 10	B7
XBAROUT11	O	OUTPUTXBAR 信号 11	D16
XBAROUT12	O	OUTPUTXBAR 信号 12	C17
XBAROUT13	O	OUTPUTXBAR 信号 13	D15

Copyright © 2026 Texas Instruments Incorporated

表 5-107. 出力 XBAR 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]
XBAROUT14	O	OUTPUTXBAR 信号 14	C15
XBAROUT15	O	OUTPUTXBAR 信号 15	P2

Copyright © 2026 Texas Instruments Incorporated

5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のままとすることができるパッケージ ボールの接続要件について説明します。

注

*「信号の説明」*に特に記述のない限り、すべての電源ボールには*「推奨動作条件」*セクションで規定されている電圧を供給する必要があります。

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続**できない**ことを意味します。

表 5-108. ピン接続要件

ボール番号	ボール名	ピン接続要件
D4	SAFETY_ERRORn	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールが有効なロジック Low レベルに保持されるようにするには、これらの各ボールを個別の外付けプル抵抗を介してグランド (VSS) に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して有効なロジック Low レベルを保持できます。
B3 C5 D5	TCK TDI TMS	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールが有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 (1) に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して有効なロジック High レベルを保持できます。
A13 B13	I2C0_SCL I2C0_SDA	これらのボールが有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 (1) に接続する必要があります。
N1 N4 A11 C10	QSPI0_D0 (SOP0) QSPI0_D1 (SOP1) SPI0_CLK (SOP2) SPI0_D0 (SOP3)	これらの各ピンは、デバイスのブート モードを適切に選択できるよう、それぞれ対応する電源(1) またはグランド (VSS) に別々の外付けプルアップまたはプルダウン抵抗を介して接続し、論理的に有効な High または Low レベルに保たれるようにする必要があります。
ADC ZCZ ピン	ADC[0:4]_AIN[0:5]	任意の ADC インスタンス (ADC[0:4]_AIN[0:5]) の未使用の ADCx_AINy 入力ボールは、グランド (VSS) に直接接続 (短絡) する必要があります。
U16 T15	ADC_CAL0 ADC_CAL1	すべての ADC インスタンス (ADC[0:4]_AIN[0:5]) のすべての ADCx_AINy 入力が使用されない場合、ADC_CAL[0:1] アナログ ボールはグランド (VSS) に直接接続 (短絡) する必要があります。
U2	VSYS_MON	VSYS_MON を使用しない場合、このボールをグランド (VSS) に直接接続 (短絡) する必要があります。
LVCMOS ZCZ ピン	任意の LVCMOS 電圧バッファ ピン	ピンに IOMUX パッド構成登録が関連付けられている場合、ボールは未接続のままにできます。PORz の後、LVCMOS 電圧バッファは未接続ボールと互換性のあるデフォルト状態に構成されます。

(1) IO にどの電源が関連付けられているかを確認するには、「ピン属性」表を参照してください。

注

内部プル抵抗は弱く、一部の動作条件では有効なロジック レベルを維持するのに十分な電流を供給できない可能性があります。この状況は、逆のロジック レベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジック レベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外部接続のあるボール上で有効なロジック レベルを保持するには、外部プル抵抗が必要になる場合があります。

有効なロジックレベルの間でボールがフローティングになると、入力バッファが大電流状態に移行し、IO セルに損傷を与える可能性があります。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り)(1)(2)

パラメータ		最小値	最大値	単位
VDD	1.2V SOC コア電源	-0.5	1.5	V
VDDAR1	1.2V SRAM アレイ 電源 1	-0.5	1.5	V
VDDAR2	1.2V SRAM アレイ 電源 2	-0.5	1.5	V
VDDAR3	1.2V SRAM アレイ 電源 3	-0.5	1.5	V
VDDS18	1.8V IO バイアス 電源は バイアス LDO から供給され、基板を経由して配線	-0.5	2.1	V
VDDS33	3.3V IO 電源	-0.5	4.0	V
VDDA18_OSC_PLL	1.8V PLL 用アナログ 電源。1.8V アナログ LDO 出力からボードを介して配線	-0.5	2.1	V
VDDA33	アナログ 3.3V 電源	-0.5	4.0	V
VDDA18	1.8V アナログ電源。1.8V アナログ LDO 出力からボードを介して配線	-0.5	2.1	V
IO ピン 定常状態電圧	3.3V LVCMOS IO バッファ	-0.3	VDDS33(3) + 0.3	V
	3.3V I2C オープンドレイン IO バッファ	-0.3	VDDS33(3) + 0.3	V
	XTAL パッド	-0.5	2.1	V
過渡的な オーバーシュートおよび アンダーシュート	その他すべての IO 端子	-0.3	VDDS33 (3)＋ 0.2 × VDDS33 (3)(信号周期の最大 20% まで)	V
	XTAL パッド VDDA18_OSC_PLL の 20% (信号周期の最大 20% まで)		0.2 × VDDA18_OSC_PLL	V
ラッチアップ性能 クラス II (150°C)	ラッチアップ電流試験性能 (各 IO ピンへの電流パルス注入)		±100	mA
	ラッチアップ過電圧性能 (各 IO ピンへの電圧注入)		±100	mA
出力電流	デジタル出力 (ピンごと)、I_{OUT}	-20	20	mA
保存温度(4)	T_{stg}	-55	155	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
(3) VDDS33 は、IC の対応する電源ピンの電圧です。
(4) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション レポート*を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.2 静電気放電 (ESD) 拡張車載定格

推奨動作条件範囲内 (特に記述のない限り)

				値	単位
$V_{(ESD)}$	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、AEC-Q100-002 準拠[1]		±2000	V
		荷電デバイス モデル (CDM)、AEC-Q100-011 準拠	すべてのピン	±500	
			コーナー ボール (A1、A18、V1、V18)	±750	

(1) AEC Q100–002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS–001 仕様に従って実施しなければならないと規定しています

6.3 静電気放電 (ESD) 産業用評価

推奨動作条件範囲内 (特に記述のない限り)

			値	単位
$V_{(ESD)}$	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [2]	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.4 電源投入時間 (POH) の概要

推奨動作条件範囲内 (特に記述のない限り)[1][2][3]

パラメータ	産業用	拡張自動車用
POH @ 温度プロファイル	100K @ 97℃ (100% @ 97℃) 70K @ 105℃ (100% @ 105℃)	20K @ 車載用温度プロファイル[4]

(1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
(2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
(3) POH は、電圧、温度、時間の関数です。 より高い電圧および温度で使用すると POH が低減します。
(4) 「車載用温度プロファイル」セクションを参照してください。

6.4.1 車載用温度プロファイル

T_J (℃)	時間	日	年	時間の割合
-40	1200	≅50	≅0.14	6%
75	4000	≅167	≅0.46	20%
95	13000	≅541	≅1.48	65%
130	1600	≅67	≅0.18	8%
150	200	≅8.5	≅0.023	1%
合計	20000	≅833	≅2.28	100%

Copyright © 2026 Texas Instruments Incorporated

6.5 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明		最小値	公称値	最大値	単位
VDD	1.2V SOC コア電源		1.140	1.200	1.260	V
VDDAR1、VDDAR2、VDDAR3	SRAM アレイ電源		1.140	1.200	1.260	V
VDDS18	基板経由で配線されたバイアス LDO からの 1.8V IO バイアス電源		1.710	1.800	1.890	V
VDDS33	3.3V IO 電源		3.135	3.300	3.465	V
VDDA18_OSC_PLL	PLL の 1.8V アナログ電源。アナログ LDO 出力からボードを介して配線		1.710	1.800	1.890	V
VDDA33	アナログ 3.3V 電源		3.135	3.300	3.465	V
VDDA18	1.8V アナログ電源。1.8V アナログ LDO 出力からボードを介して配線		1.710	1.800	1.890	V
T_J	動作ジャンクション温度範囲	産業用 A	-40		105	°C
		車載用 I	-40		125	
		拡張車載用 M	-40		150	

6.6 動作性能ポイント

このセクションでは、デバイスの動作条件について説明します。また、プロセッサ クロック、デバイス コア クロック、使用可能なメモリの各動作性能の特長 (OPP) についても説明します。

デバイス	グレード	RAM (MB)	R5FSS (MHz)	HSM (MHz)	ICSS (MHz)	INFRA(1) (MHz)
AM263x	N	1	400	200	200	200
AM263x	O または K	2	400	200	200	200
AM263x	P	2	200	200	200	200

(1) 特に表中で注記がない限り、インフラストラクチャには、デバイスに統合されている他のすべてのモジュールや IP (たとえば、CBASS/インターコネクトやその他の SoC レベルのペリフェラル) が含まれます。

Copyright © 2026 Texas Instruments Incorporated

6.7 消費電力の概略

セクション 6.7.1 の「*消費電力-最大*」は、各レールが消費する最大電流を示しており、電源の選択に使用する必要があります。セクション 6.7.2 の「*消費電力-標準値*」は、モジュールごとの標準的な消費電力を示しています。セクション 6.7.3 の「*消費電力 - 牽引インバータ*」は、牽引インバータの用途における SoC の接合部温度別の公称消費電力を示しています。

用途別の消費電力の推定については、**AM263x 電力推定ツール アプリケーション ノート**を参照してください。

6.7.1 消費電力 - 最大値

推奨動作条件範囲内 (特に記述のない限り)

電源名	パラメータ	最小値	最大(1)	単位
VDD + VDDARn	コア ドメインの最大電流定格		2.5	A
VDDS33	IO 電源の最大電流定格		200	mA
VDDA33	3.3V アナログ電源の最大電流定格		100	mA

(1) 最大値は各電源レールに必要な最大電流を示しており、電源選定の目的のみで使用されます。 典型的なアプリケーションにおける消費電力については、「*消費電力 - 標準*」を参照してください。

6.7.2 消費電力 - 標準値

典型的なユースケースでの消費電力要約、T_J = 85°C

パラメータ		標準値	最大値	単位
消費電力	コアとメモリ	360		mW
	インフラストラクチャ	424		mW
	周辺機器	258		mW
	合計	1042		mW

6.7.3 消費電力 - トラクション インバータ

温度範囲全体にわたるトラクション インバータ アプリケーションの消費電力

パラメータ		標準値	最大値	単位
消費電力	T_J = 85°C	1042		mW
	T_J = 105°C	1120		mW
	T_J = 125°C	1232		mW
	T_J = 150°C	1460		mW

Copyright © 2026 Texas Instruments Incorporated

6.8 電気的特性

注

セクション 6.8.6 *電源管理ユニット (PMU)* を介したセクション 6.8.1 *デジタル入出力およびアナログ入出力の電気的特性*で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

6.8.1 デジタルおよびアナログ IO 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
PORz IO					
V_{IH}	High レベル入力電圧	1.35			V
V_{IL}	Low レベル入力電圧			0.5	V
V_{HYS}	入力におけるヒステリシス電圧	0.070			V
I_L	入力リーク電流	-2		2	µA
ウォーム リセット IO					
V_{IH}	High レベル入力電圧	2			V
V_{IL}	Low レベル入力電圧			0.8	V
V_{HYS}	入力におけるヒステリシス電圧	0.347			V
V_{OL}	ドライバ有効時の低レベル出力電圧 I_{OL} = 6mA			0.45	V
I_L	受信機無効、プル無効時の入力漏れ電流	-57			µA
TCK IO					
V_{IH}	High レベル入力電圧	2.15			V
V_{IL}	Low レベル入力電圧			0.55	V
V_{HYS}	入力におけるヒステリシス電圧	0.4			V
I_L	受信機無効、プル無効時の入力漏れ電流	-3.9	8.9	17.2	µA
	受信機無効、プルアップ有効時の入力漏れ電流		106.9	128.2	µA
	受信機無効、プルダウン有効時の入力漏れ電流		100.3	130.3	µA
I2C OD IO					
V_{IH}	High レベル入力電圧	2			V
V_{IL}	Low レベル入力電圧			0.8	V
V_{HYS}	入力におけるヒステリシス電圧	0.165			V
I_L	受信機無効、プル無効時の入力漏れ電流	-18		18	µA
V_{OL}	ドライバ有効時の低レベル出力電圧 I_{OL} = 3mA			0.45	V
その他すべての LVCMOS					
V_{IH}	高レベル入力電圧	2			V
V_{IL}	Low レベル入力電圧			0.8	V
V_{HYS}	入力におけるヒステリシス電圧	0.265			V
V_{OL}	ドライバ有効時の低レベル出力電圧 I_{OL} = 6mA			0.45	V
V_{OH}	ドライバ有効時の高レベル出力電圧 I_{OH} = 6mA	VDDS33(1) – 0.45			V

Copyright © 2026 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
I_L	受信機無効、プル無効時の入力漏れ電流	-18		18	µA
	受信機無効、プルアップ有効時の入力漏れ電流	-243	-100	-19	µA
	受信機無効、プルダウン有効時の入力漏れ電流	51	100	210	µA

(1) VDDS33 は、IC の対応する電源ピンの電圧です。

6.8.2 A/D コンバータ (ADC)

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{REFHI}		1.71	1.8	1.89	V
入力変換範囲 (Vin+、Vin-)	VDDA33 未満である必要があります	0		32/18 × V_{REFHI}	V
パワーアップ時間				500	µs
ゲイン誤差		-5	±3	5	LSB
オフセット誤差		-4	±2	4	LSB
チャネル間ゲイン誤差			±4		LSB
チャネル間オフセット誤差			±2		LSB
ADC 間ゲイン誤差	同じ参照グループ		±4		LSB
ADC 間ゲイン誤差	同じ参照グループ		±2		LSB
DNL	入力ノイズを最小化する制御環境	-1	±0.5	1	LSB
INL	入力ノイズを最小化する制御環境	-2	±1.0	2	LSB
SNR	入力ノイズを最小化する制御環境		68		dB
ENOB (同期動作)			11		ビット
ENOB (非同期動作)			9.7		ビット
ADC - ADC 絶縁	同期動作	-10		10	LSB
V_{REFHI} 入力電流			400		µA
変換時間				250	ns
入力リーケージ			0.1	5	µA
電源 (VDDA33)		3.13	3.3	3.46	V
電源 (VDDA18)		1.71	1.8	1.89	V
消費電力 (VDDA33)			200		µA
消費電力 (VDDA18)			700		µA
ADCCLK の最大周波数	デューティ サイクル は 50% です最小パルス幅は 7.5ns に維持する必要があります		50	66.667	MHz
サンプリング時間		75			ns

Copyright © 2026 Texas Instruments Incorporated

6.8.3 コンパレータ サブシステム A (CMPSSA)

サブグループ	パラメータ	最小値	標準値	最大値	単位
コンパレータ	パワーアップ時間			10	µs
	コンパレータ入力範囲	0.1		VDDA33(1) – 50mV	V
	入力換算オフセット誤差	-20		20	mV
	ヒステリシス (H1)		該当なし		LSB
	ヒステリシス (H2)		15		LSB
	ヒステリシス (H3)		35		LSB
	ヒステリシス (H4)		55		LSB
	伝搬遅延		21	50	ns
DAC	DAC_VREF 基準電圧	1.71	1.8	1.89	V
	DAC の出力範囲	0.1		33/18×DAC_VREF または VDDA33 (1) -50mV の最小電圧	V
	静的オフセット誤差	-45		45	mV
	静的ゲイン誤差	-2		2	FSR の %
	静的 DNL	>-1		4	LSB
	静的 INL	-16		16	LSB
	セトリング タイム			1	µs
	分解能		12		ビット
	DAC 出力の外乱 (コンパレータ トリップ キックバック)	-100		100	LSB
	DAC 出力の外乱 (コンパレータ トリップ キックバック)		200		ns
	DAC_VREF 負荷		37		kΩ
コモン	入力リーケージ		0.1	5	µA
	電源 (VDDA33)	3.13	3.3	3.46	V
	電源 (VDDA18)	1.71	1.8	1.89	V
	消費電力 (VDDA33)		900		µA
	消費電力 (VDDA18)		120		µA
	フェイルセーフ入力電流注入			10	mA

(1) VDDA33 は、IC の対応する電源ピンの電圧です。

Copyright © 2026 Texas Instruments Incorporated

6.8.4 コンパレータ サブシステム B (CMPSSB)

サブグループ	パラメータ	最小値	標準値	最大値	単位
コンパレータ	パワーアップ時間			10	µs
	コンパレータ入力範囲	0.1		VDDA33(1) – 50mV	V
	入力換算オフセット誤差	-20		20	mV
	ヒステリシス (H1)		該当なし		LSB
	ヒステリシス (H2)		15		LSB
	ヒステリシス (H3)		35		LSB
	ヒステリシス (H4)		55		LSB
	伝搬遅延		21	50	ns
DAC	DAC_VREF 基準電圧	1.71	1.8	1.89	V
	DAC の出力範囲	0.1		33/18×DAC_VREF または VDDA33 (1) -50mV の最小電圧	V
	静的オフセット誤差	-45		45	mV
	静的ゲイン誤差	-2		2	FSR の %
	静的 DNL	>-1		4	LSB
	静的 INL	-16		16	LSB
	セトリング タイム			1	µs
	分解能		12		ビット
	DAC 出力の外乱 (コンパレータ トリップ キックバック)	-100		100	LSB
	DAC 出力の外乱 (コンパレータ トリップ キックバック)		200		ns
	DAC_VREF 負荷		37		kΩ
コモン	入力リーケージ		0.1	5	µA
	電源 (VDDA33)	3.13	3.3	3.46	V
	電源 (VDDA18)	1.71	1.8	1.89	V
	消費電力 (VDDA33)		900		µA
	消費電力 (VDDA18)		120		µA
	フェイルセーフ入力電流注入			10	mA

(1) VDDA33 は、IC の対応する電源ピンの電圧です。

Copyright © 2026 Texas Instruments Incorporated

6.8.5 D/A コンバータ (DAC)

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
パワーアップ時間				1	µs
DAC_VREF		1.71	1.8	1.89	V
出力電圧範囲		0.3		VDDA33(1) - 0.3	V
トリムされたオフセット誤差	オフセットは中間点でチェックされます (コード 2048)	-10		10	mV
ゲイン誤差	DAC_VREF = 1.8V	-2.5		2.5	FSR の %
DNL	エンドポイント補正	-1		1	LSB
INL	エンドポイント補正	-20		20	LSB
セトリング タイム	0.3V から 3V への遷移後 2 LSB (~1.6mV) にセトリング		2		µs
分解能			12		ビット
容量性負荷	出力駆動能力			100	pF
抵抗性負荷	出力駆動能力	5			kΩ
DAC_VREF 負荷	DAC_VREF		64		kΩ
出力ノイズ (100Hz ～ 100KHz)	100Hz～100kHz の積分ノイズ		1		mVrms
SNR @ 1KHz	2MHz DACVALA 更新レート、200kHz の出力フィルタ		60		dB
電源 (VDDA33)		3.13	3.3	3.46	V
電源 (VDDA18)		1.71	1.8	1.89	V
消費電力 (VDDA33)			850		µA
消費電力 (VDDA18)			35		µA

(1) VDDA33 は、IC の対応する電源ピンの電圧です。

6.8.6 パワー マネージメント ユニット (PMU)

接合部動作温度範囲内 (特に記述のない限り)

グループ	パラメータ	最小値	標準値	最大値	単位
PMU	電源 (VDDA33)	3.1	3.3	3.46	V
バンドギャップ	V_{REF} トリム済み	0.886	0.9	0.914	V
1.8V LDO	DC の精度	1.764	1.8	1.836	V
	過渡負荷レギュレーション	1.71	1.8	1.89	V
	DC 負荷レギュレーション			5	mV
	負荷電流	0		60	mA
	パワーアップ時間			800	µs
	突入電流			150	mA
	外部デカップリング コンデンサ	-20%	4.7	20%	µF
ADC リファレンス	ロード レギュレーション		±1		mV
ADC リファレンス	DC の精度	1.764	1.8	1.836	V
	パワーアップ時間			800	µs
	突入電流			80	mA
	外部デカップリング コンデンサ	-20%	4.7	20%	µF

Copyright © 2026 Texas Instruments Incorporated

6.8.7 安全コンパレータ

パラメータ			最小値	標準値	最大値	単位
C0	C0:1.8V 監視スレッショルド		1.40	1.5	1.6	V
C1	BGAP モニタ	下限スレッショルド	0.75	0.8	0.85	V
		上限スレッショルド	0.935	1	1.065	V
C2	1.8V 電源と BGAP を監視	下限スレッショルド	1.47	1.52	1.57	V
		上限スレッショルド	2.13	2.195	2.26	V
C3	1.2V と BGAP の関係を監視	下限スレッショルド	0.98	1.011	1.041	V
		上限スレッショルド	1.407	1.451	1.494	V
C4	Vref モニタ (ROK0)	下限スレッショルド	1.56	1.61	1.66	V
		上限スレッショルド	2.09	2.16	2.22	V
C5	IO バイアス電源と BGAP との関係を監視	下限スレッショルド	1.47	1.52	1.57	V
		上限スレッショルド	2.13	2.195	2.26	V
C6	Vref モニタ (ROK0B)	下限スレッショルド	1.56	1.61	1.66	V
		上限スレッショルド	2.09	2.16	2.22	V
C7	システム電源監視 (VSYS_MON)	下限スレッショルド	0.873	0.9	0.927	V
C8	低電圧スレッショルド		2.59	2.77	2.95	V
C9	Vref モニタ (ROK1)	下限スレッショルド	1.56	1.61	1.66	V
		上限スレッショルド	2.09	2.16	2.22	V

Copyright © 2026 Texas Instruments Incorporated

6.9 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しています。。

6.9.1 VPP の仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	説明	テスト条件	最小値	公称値	最大値	単位
VDD	OTP 動作時のコア ドメイン電源電圧範囲	通常動作	1.140	1.200	1.260	V
VPP	eFuse ROM ドメインの電源電圧範囲	通常動作	非接続			V
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲	OTP のプログラミング	1.65	1.7	1.75	V
$I_{(VPP)}$	VPP 電流	$I_{(VPP)}$			100	mA
T_A	周囲温度	周囲温度	0	30	50	℃

6.9.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイスの電源投入シーケンスの後に立ち上げる必要があります (詳細はセクション 6.11.2.1 の「*電源オンとリセットのシーケンス*」を参照してください)。

6.9.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- 電源投入シーケンスに従ってボードの電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- VPP 端子には、セクション 6.9.1 の *VPP 仕様*での仕様に従った電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

6.9.4 ハードウェア保証への影響

お客様は、セキュリティ キーによりテキサス・インスツルメンツのデバイスに e-Fuse を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、e-Fuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、テキサス・インスツルメンツのデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあり、テキサス・インスツルメンツは eFuse を試行する前に、テキサス・インスツルメンツのデバイスがそのデバイス仕様に準拠していることを確認できなくなります。

そのため、セキュリティ キーで eFuse が実行されたテキサス・インスツルメンツのデバイスについて、テキサス・インスツルメンツは一切の責任 (保証またはその他の責任) を負いません。

Copyright © 2026 Texas Instruments Incorporated

6.10 熱抵抗特性

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、セクション 6.5、*「推奨動作条件」*に示されている T_J 値以下にする必要があります。

6.10.1 パッケージの熱特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

パラメータ	説明	℃/W(1)(2)	空気流 (m/s)(3)
$R\Theta_{JC}$	接合部とケースとの間	5.6	該当なし
$R\Theta_{JB}$	接合部と基板との間	5.7	該当なし
$R\Theta_{JA}$	接合部と自由空気との間	18.6	0
$R\Theta_{JA}$	接合部と空気流との間	12.9	1
		11.8	2
		11.1	3
Ψ_{JT}	接合部とパッケージ上面との間	0.1	0
		0.4	1
		0.5	2
		0.6	3
Ψ_{JB}	接合部と基板との間	5.6	0
		5.7	1
		5.7	2
		5.6	3

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシータ JC [$R\Theta_{JC}$] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト方法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト方法の環境条件 - 強制対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) ℃/W = 摂氏温度/ワット
(3) m/s = メートル/秒

Copyright © 2026 Texas Instruments Incorporated

6.11 タイミングおよびスイッチング特性

注

特に指示がない限り、タイミングを確保するため、各パッド構成レジスタのデフォルトのスルーレート設定を使用する必要があります。

6.11.1 タイミング パラメータおよび情報

「タイミングおよびスイッチング特性」セクションで使用されるタイミング パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を 表 6-1 に示すように短縮しました。

表 6-1. タイミング パラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタート ビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	High
L	Low
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

Copyright © 2026 Texas Instruments Incorporated

6.11.2 電源シーケンス

このセクションでは、デバイスが適切に動作するために必要な電源シーケンスについて説明します。

6.11.2.1 パワーオンおよびリセットのシーケンシング

AM263x は、従来の Sitara MCU デバイスの電源リセット要件を簡素化しようとします。1 次側コアのデジタル VDD 1.2V と I/O 電源 3.3V レール に関してシーケンスの要件はありません。1 対のオンダイ LDO には、VDDS33 パワー ネット経由で供給されます。これらのオンダイ LDO は、必要な 1.8V のデジタルおよびアナログ電源である VDDS1V8 および VDDA1V8 を生成します。AM263x では、3.3V 電源投入時に最小ランプ時間を守る必要があります。EVM 設計では、追加の PORz および SOP ブート モード ラッチのタイミングも遵守する必要があります。図 6-1 に、このデバイスの電源オン シーケンスを示します。

表 6-2. AM263x のパワーダウン シーケンシング

パラメータ		最小値	最大値	単位
$t_{Startup}$	イネーブル後に 1.2V および 3.3V DC-DC コンバータが起動するまでの時間。これは任意の時間です。デバイスによって制限されることはありません。	-	-	ms
t_{PGood}	レールが安定した後、DC-DC コンバータからパワー グッド信号を生成するための時間。これは任意の時間です。デバイスによって制限されることはありません。	-	-	ms
t_{Ramp_3V3}	VDDS3V3 および VDDA3V3 電源のランプ時間。これはデバイスが課す要件です。	0.1	-	ms
$t_{SOP_Sampled}$	PORz がデアサートされてから、SOP[3:0] ピンがサンプリングされるまでの時間。これは、デバイス内部のペンタメーターです。内部で生成された電源が安定している場合、サンプリングが行われます。参考用のみです。アプリケーションの使用方法については、TSU_SOP および TH_SOP パラメータを参照してください。	0	-	ms
t_{SU_SOP}	PORz アサーションに対する SOP のセットアップ時間。	10	-	µs
t_{H_SOP}	WARMRSTn のデアサートに対する SOP のホールド時間。	0	-	µs
$t_{WARMRSTn}$	PORz がデアサートされてから、デバイスが WARMRESETn 信号をデアサートするまでの時間。	2.0	-	ms

Copyright © 2026 Texas Instruments Incorporated

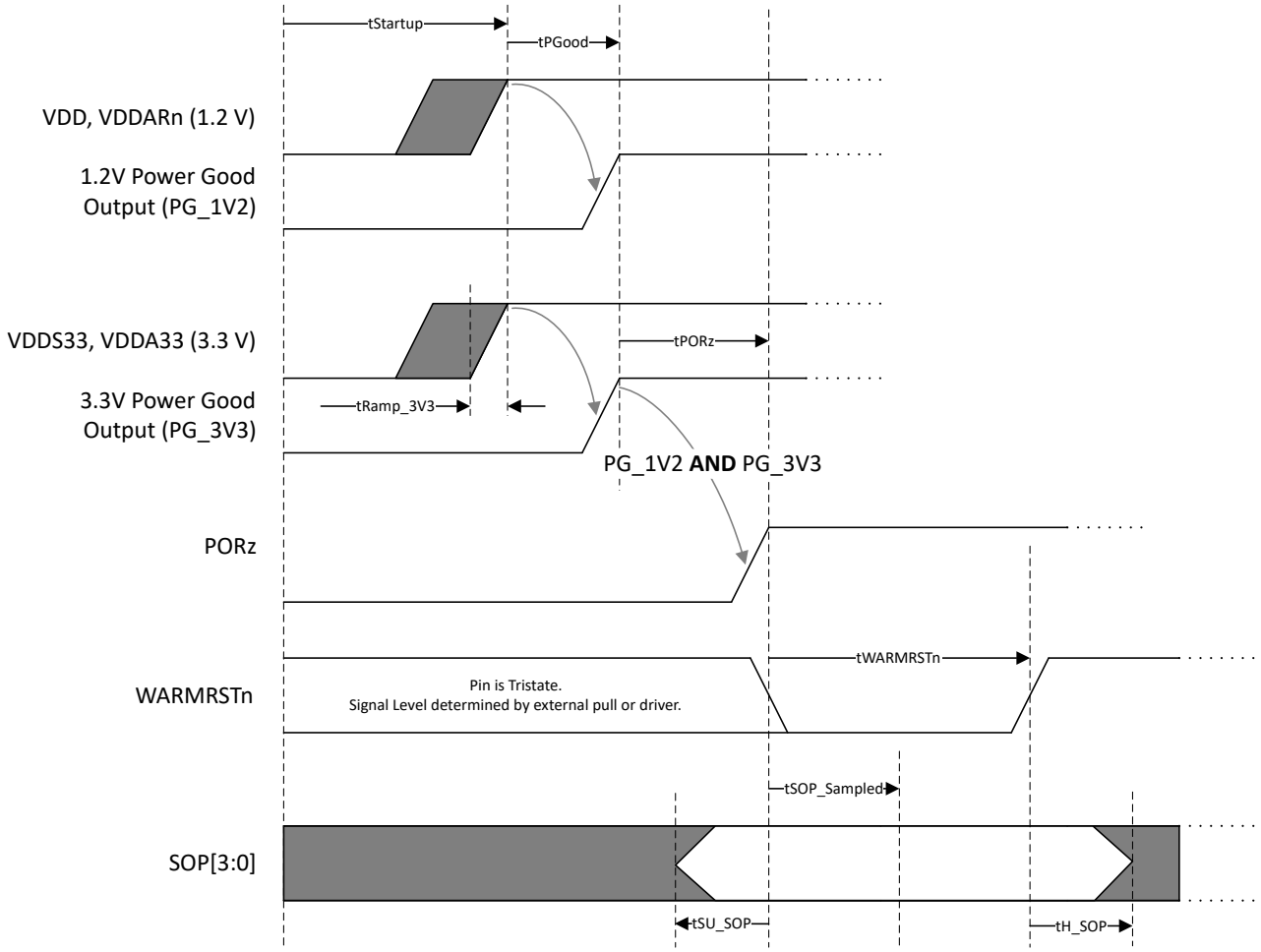


図 6-1. パワーオン シーケンシング

6.11.2.1.1 電源リセット シーケンスの説明

パワーオン リセットからデバイスをブートするために、EVM と AM263x では、以下の一連のステップが発生します。

1. 外部電源モニタによって PORz が Low に保持されます
2. VDD コア デジタル 1.2V および VDDS3V3/VDDA3V3 3.3V 電源は、公称電圧までランプを供給します。
   a. これは、各電源から生成されるパワー グッド信号に対して論理 AND を適用する必要があります
3. SOP[3:0] ピンがブート ラッチ状態に保持されています
4. PCB で供給される電源回路が安定すると、外部電源モニタは PORz をデアサートします。
5. デバイスは 1.8V オンチップ LDO を起動します。
6. 内部電源モニタにより、外部で生成される電源が安定していることが示された後、SOP[3:0] ピンの状態がラッチされます
7. R5F コアが停止され、SOP 選択のブート ROM の実行が開始されます

Copyright © 2026 Texas Instruments Incorporated

6.11.2.2 パワーダウン シーケンス

図 6-2 に、このデバイスのパワーダウン シーケンスを示します。AM263x においては、1.2V、および 3.3V の電源の順序に制約はありません。

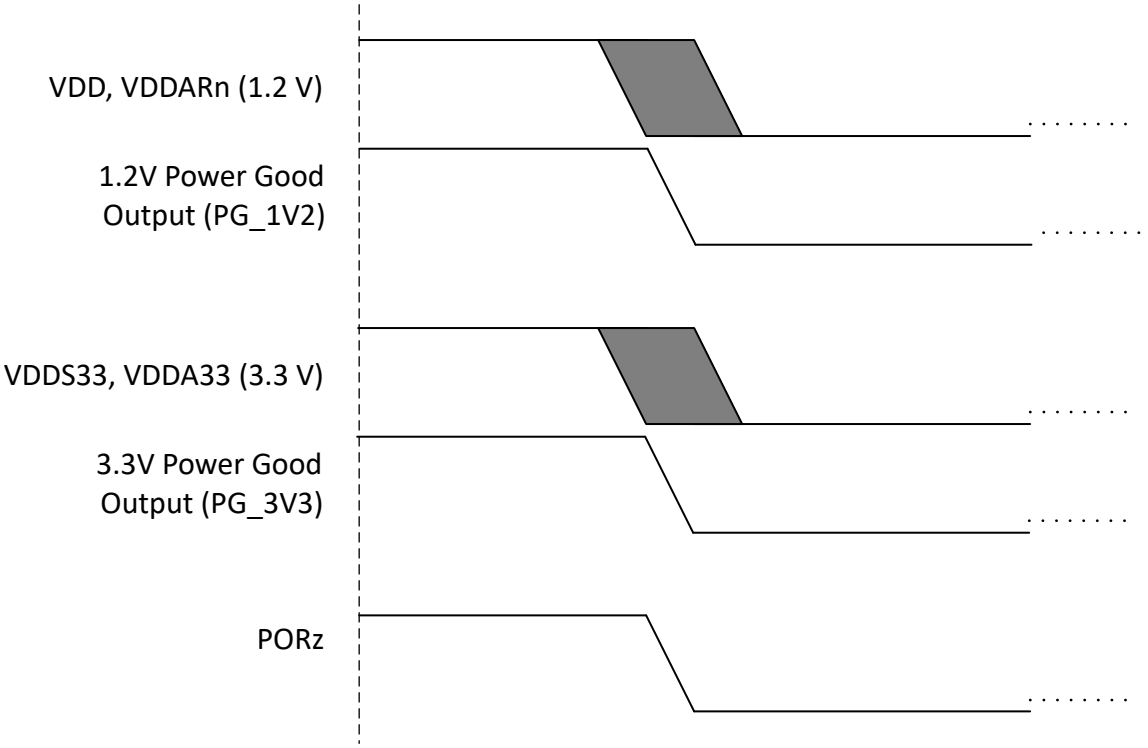


図 6-2. パワーダウン シーケンス

6.11.3 システムのタイミング

サブシステム多重化信号の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.11.3.1 システムのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	2	V/ns
出力条件				
C_L	出力負荷容量	3	30	pF

6.11.3.2 リセット タイミング

このセクションの表と図では、リセット関連のタイミング要件、スイッチング特性を定義します。

6.11.3.2.1 PORz のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
RST1	$t_{h(SUPPLIES_VALID-PORz)}$	ホールド時間、電源投入後の PORz アクティブ (Low) (外部水晶振動子を使用)	0		ns
RST3	$t_{w(PORzL)}$	パルス幅、電源投入後に PORz が Low の時間 (電源またはシステム基準クロック XTAL_XI/XO 除去していない場合)	1000		ns

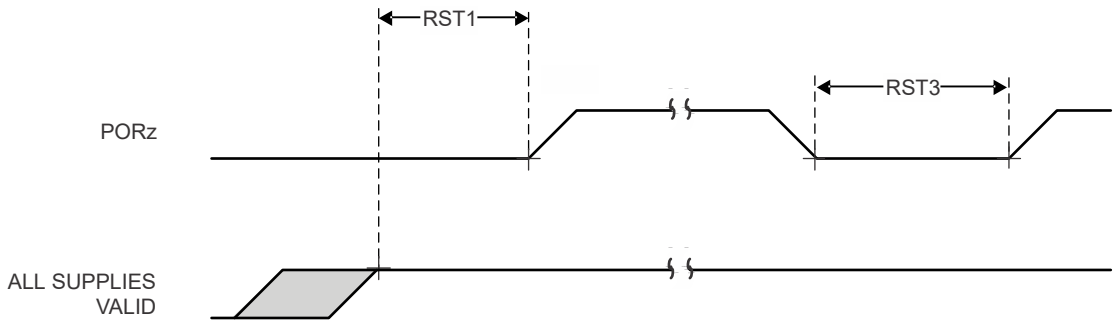


図 6-3. PORz のタイミング要件

6.11.3.2.2 WARMRSTn のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
RST4	$t_{d(PORzL:-WARMRSTnZ)}$	遅延時間、PORz アクティブ (Low) から WARMRSTn ハイ インピーダンス	0	0	ns
RST5	$t_{d(PORzH-WARMRSTnL)}$	遅延時間、PORz 非アクティブ (High) から WARMRSTn 非アクティブ (High)	0	0	ns
RST6	$t_{d(PORzH-WARMRSTnH)}$	遅延時間、PORz 非アクティブ (High) から WARMRSTn 非アクティブ (High) まで	2000000	6000000	ns

Copyright © 2026 Texas Instruments Incorporated

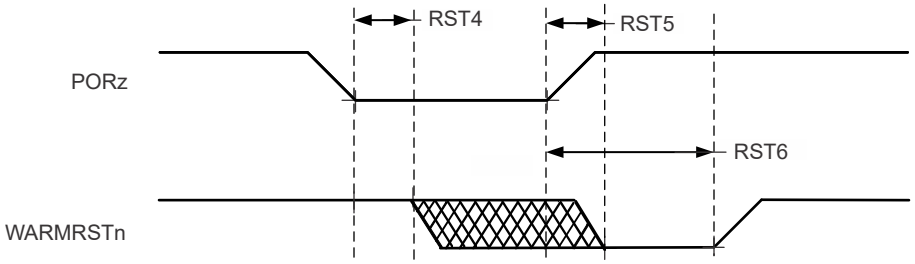


図 6-4. WARMRSTn のスイッチング特性

6.11.3.2.3 WARMRSTn タイミング要件

番号	パラメータ	説明	最小値	最大値	単位
RST10	$t_{w(WARMRSTnL)}$(1)	最小パルス幅、WARMRSTn アクティブ (Low)	500	16384000	ns

(1) このタイミングパラメータは、TOP_RCM.WARM_RSTTIME1/2/3 レジスタによって制御されます。 詳細は、BQ76907-Q1 テクニカル リファレンス マニュアルを参照してください。

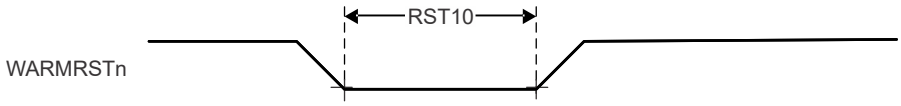


図 6-5. WARMRSTn のタイミング要件およびスイッチング特性

6.11.3.3 安全信号タイミング

このセクションに示す表と図は、SAFETY_ERRORn のスイッチング特性を定義しています。

6.11.3.3.1 SAFETY_ERRORn スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
SFTY1	$t_{c(SAFETY_ERRORn)}$	最小サイクル時間、SAFETY_ERRORn (PWM モード有効)	(P(1) × H(3)) + (P(1) × L)(4)		ns
SFTY2	$t_{w(SAFETY_ERRORn)}$	最小パルス幅、SAFETY_ERRORn アクティブ (PWM モード無効) (5)	P(1) × R(2)		ns
SFTY3	$t_{d(ERROR_CONDITION-SAFETY_ERRORnL)}$	遅延時間、ERROR_CONDITION から SAFETY_ERRORn アクティブまで(5)	50 × P(1)		ns

(1) P = ESM 機能クロック
(2) R = エラー ピン カウンタ プリロード レジスタ カウント値
(3) H = エラー ピン PWM High プリロード レジスタ カウント値
(4) L = エラー ピン PWM Low プリロード レジスタ カウント値
(5) PWM モードが有効な場合、SFTY3 後に SAFETY_ERRORn はトグルを停止し、エラーがクリアされるまでその値 (High と Low のいずれか) を保持します。PWM モードが無効の場合、SAFETY_ERRORn はアクティブ Low です

Copyright © 2026 Texas Instruments Incorporated

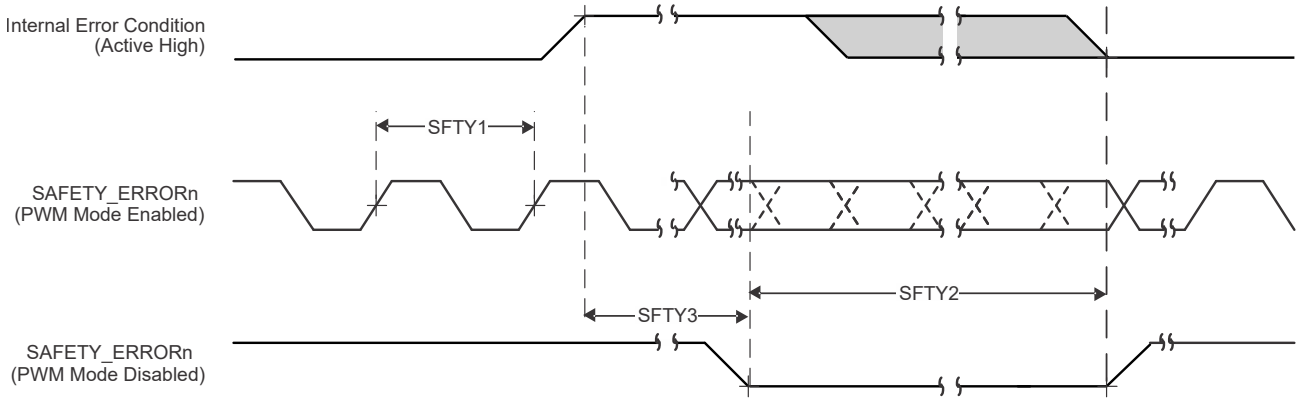


図 6-6. MCU_SAFETY_ERRORn のタイミング要件とスイッチング特性

6.11.4 クロック仕様

6.11.4.1 入力クロック / 発振器

6.11.4.1.1 OSC 内部発振器クロック ソース

図 6-7 に、水晶発振器の推奨回路を示します。発振回路の実装に使用されるすべてのディスクリート部品は、MCU_OSC0_XI および MCU_OSC0_XO ピンのできるだけ近くに配置する必要があります。

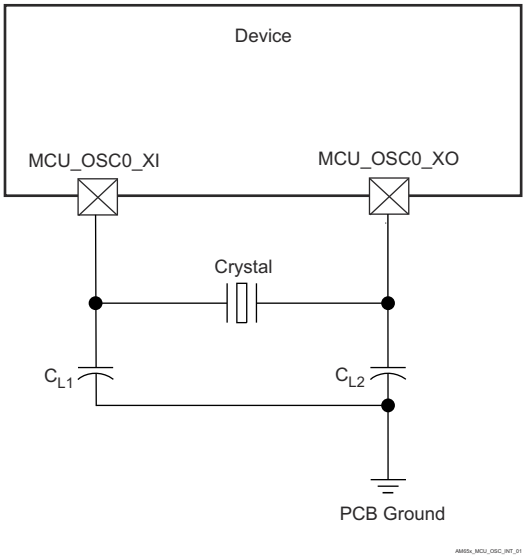


図 6-7. MCU_OSC0 水晶振動子の実装

注

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

6.11.4.1.2 水晶発振器 (XTAL) パラメータ

パラメータ		最小値	標準値	最大値	単位
F_{xtal}	水晶振動子の並列共振周波数 (基本モード発振のみ)	–50ppm	25	50ppm	MHz
デューティ サイクル	XTAL のデューティサイクル出力	45	50	55	%

Copyright © 2026 Texas Instruments Incorporated

パラメータ		最小値	標準値	最大値	単位
CC1	C_{L1} + C_{PCBXI} の容量	12		24	pF
CC2	C_{L2} + C_{PCBXO} の容量	12		24	pF
C_{shunt}	水晶発振回路のシャント容量			5	pF
ESR_{xtal}	水晶振動子の等価直列抵抗			46	Ω

6.11.4.1.3 外部クロックの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
C_{Pkg}	パッケージのシャント容量		0.01		pF
P_{xtal}	消費電力		0.5 × ESR × (2 × π × F_{xtal} × C_L × 1.8)^2		W
t_s	起動時間		1.5		ms

6.11.4.1.4 MCU_OSC0 LVCMOS デジタル クロック ソース

図 6-8 に、MCU_OSC0_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

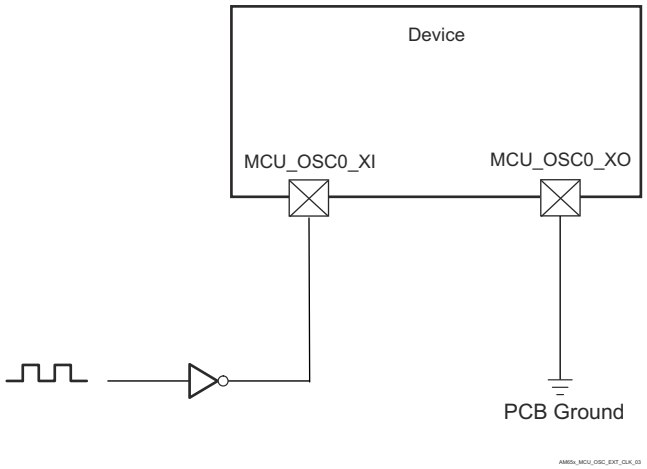


図 6-8. 1.8V LVCMOS 互換クロック入力

6.11.4.2 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング要件、スイッチング特性を定義します。

6.11.4.2.1 クロックのタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
CLK1	tc(EXT_REFCLK)	最小サイクル時間、EXT_REFCLK	10		ns
CLK2	tw(EXT_REFCLKH)	最小パルス幅、EXT_REFCLK High	E(1) × 0.45	E(1) × 0.55	ns
CLK3	tw(EXT_REFCLKL)	最小パルス幅、EXT_REFCLK Low	E(1) × 0.45	E(1) × 0.55	ns

(1) E = EXT_REFCLK サイクル時間

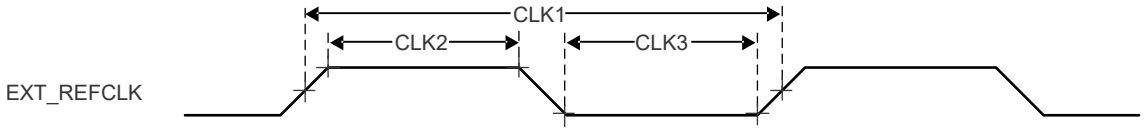


図 6-9. クロックのタイミング要件

6.11.4.2.2 クロックのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
CLK4	$t_{c(CLKOUT0)}$	最小サイクル時間、CLKOUT0	10		ns
CLK5	$t_{w(CLKOUT0H)}$	最小パルス幅、CLKOUT0 High	A(1) × 0.4	A(1) × 0.6	ns
CLK6	$t_{w(CLKOUT0L)}$	最小パルス幅、CLKOUT0 Low	A(1) × 0.4	A(1) × 0.6	ns
CLK7	$t_{c(CLKOUT1)}$	最小サイクル時間、CLKOUT1	10		ns
CLK8	$t_{w(CLKOUT1H)}$	最小パルス幅、CLKOUT1 High	B(2) × 0.4	B(2) × 0.6	ns
CLK9	$t_{w(CLKOUT1L)}$	最小パルス幅、CLKOUT1 Low	B(2) × 0.4	B(2) × 0.6	ns

(1) A = CLKOUT0 サイクル時間
(2) B = CLKOUT1 サイクル時間

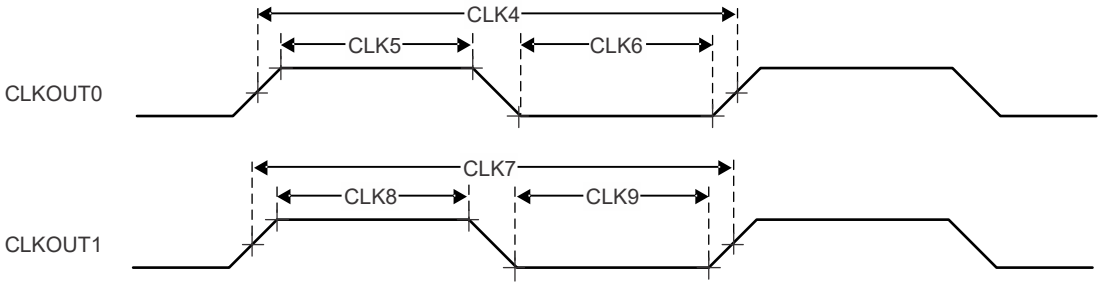


図 6-10. クロックのスイッチング特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5 周辺機器

6.11.5.1 2 ポートのギガビット イーサネット MAC (CPSW)

注

CPSW は、2 つの外部イーサネット ポートと 1 つの内部 ポートをサポートしています。

このデバイスの CPSW (2 ポートのギガビット イーサネット MAC) の機能の詳細と追加の説明情報については、*信号の説明*および*詳細説明*セクションの対応するサブセクションを参照してください。

6.11.5.1.1 CPSW MDIO のタイミング

6.11.5.1.1.1 CPSW MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	470	pF

6.11.5.1.1.2 CPSW MDIO のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
MDIO1	$t_{su(MDIO-MDC)}$	セットアップ時間、MDIO_CLK High の前に MDIO_DATA が有効であるべき時間	45		ns
MDIO2	$t_{h(MDC-MDIO)}$	ホールド時間、MDIO_CLK High 後に MDIO_DATA を有効に保持すべき時間	0		ns

6.11.5.1.1.3 CPSW MDIO のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MDIO3	$t_{c(MDC)}$	サイクル時間、MDIO_CLK	400		ns
MDIO4	$t_{w(MDCH)}$	パルス幅、MDIO_CLK High	160		ns
MDIO5	$t_{w(MDCL)}$	パルス幅、MDIO_CLK Low	160		ns
MDIO7	$t_{d(MDC_MDIO)}$	遅延時間、MDIO_CLK Low から MDIO_DATA 有効まで	-10	10	ns

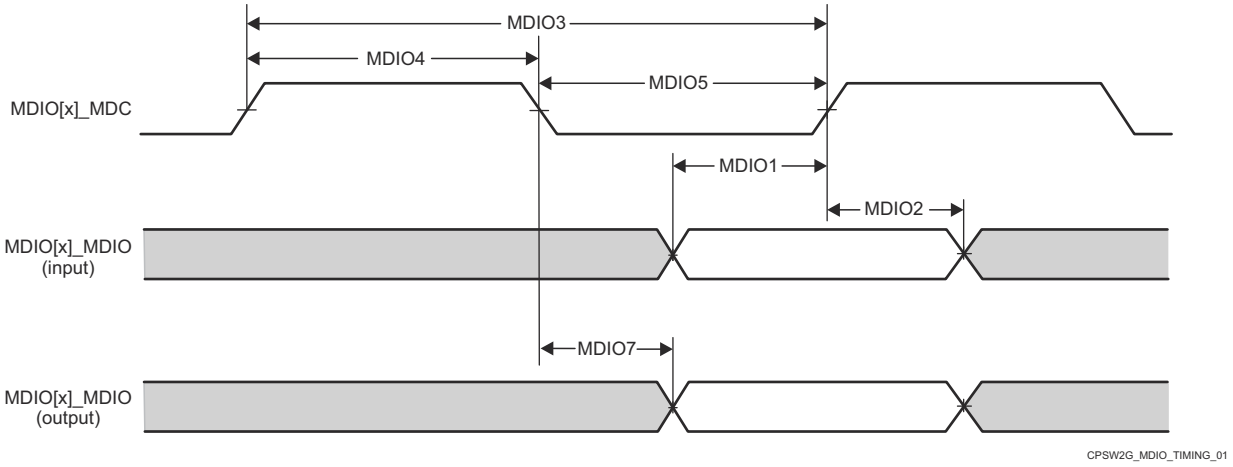


図 6-11. CPSW MDIO のタイミング要件およびスイッチング特性

6.11.5.1.2 CPSW RMII のタイミング

6.11.5.1.2.1 CPSW RMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	VDD = 3.3V	0.4	1.2	V/ns
出力条件					
C_L	出力負荷容量		3	25	pF

6.11.5.1.2.2 CPSW RMII[x]_REFCLK のタイミング要件 - RMII モード

番号	パラメータ	説明	最小値	最大値	単位
RMII1	$t_{c(REF_CLK)}$	サイクル時間、REF_CLK	19.999	20	ns
RMII2	$t_{w(REF_CLKH)}$	パルス幅、REF_CLK High	7	13	ns
RMII3	$t_{w(REF_CLKL)}$	パルス幅、REF_CLK、Low	7	13	ns

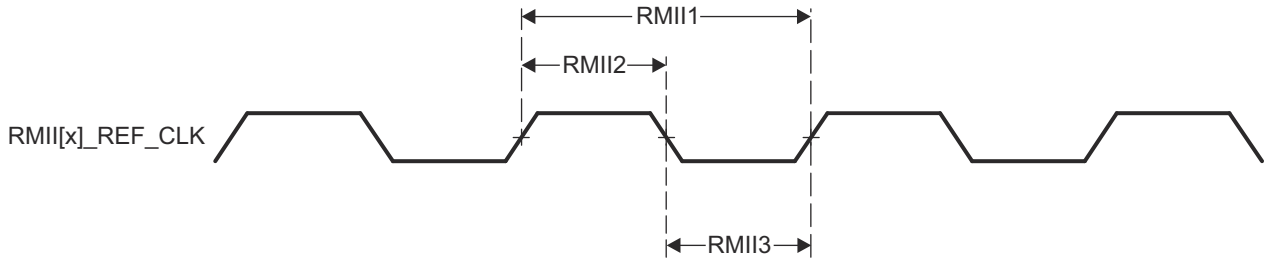


図 6-12. CPSW RMII[x]_REF_CLK のタイミング要件 – RMII モード

6.11.5.1.2.3 CPSW RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER のタイミング要件 - RMII モード

番号	パラメータ	説明	最小値	最大値	単位
RMII4	$t_{su(RXD-REF_CLK)}$	セットアップ時間、RX_CLK の前に RXD[1:0] が有効であるべき時間	4		ns
	$t_{su(CRS_DV-REF_CLK)}$	セットアップ時間、RX_CLK の前に CRS_DV が有効であるべき時間	4		ns
	$t_{su(RX_ER-REF_CLK)}$	セットアップ時間、RX_CLK の前に RX_ER が有効であるべき時間	4		ns
RMII5	$t_{h(REF_CLK-RXD)}$	ホールド時間、RX_CLK の後 RXD[1:0] を有効に保持すべき時間	2		ns
	$t_{h(REF_CLK-CRS_DV)}$	ホールド時間、REF_CLK の後 CRS_DV を有効に保持すべき時間	2		ns
	$t_{h(REF_CLK-RX_ER)}$	ホールド時間、REF_CLK の後 RX_ER を有効に保持すべき時間	2		ns

Copyright © 2026 Texas Instruments Incorporated

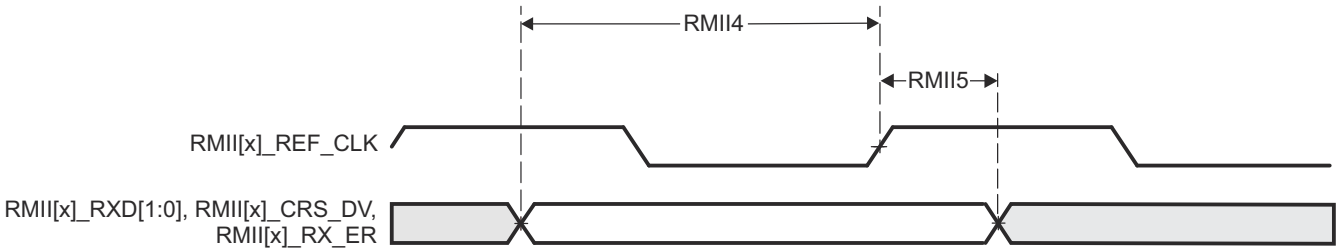


図 6-13. CPSW RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

6.11.5.1.2.4 CPSW RMII[x]_TXD[1:0]、RMII[x]_TXEN のスイッチング特性 - RMII モード

番号	パラメータ	説明	最小値	最大値	単位
RMII6	$t_{d(REF_CLK-TXD)}$	遅延時間、REF_CLK High から TXD[1:0] 有効まで	2	10	ns
	$t_{d(REF_CLK-TXEN)}$	遅延時間、REF_CLK から TXEN 有効まで	2	10	ns

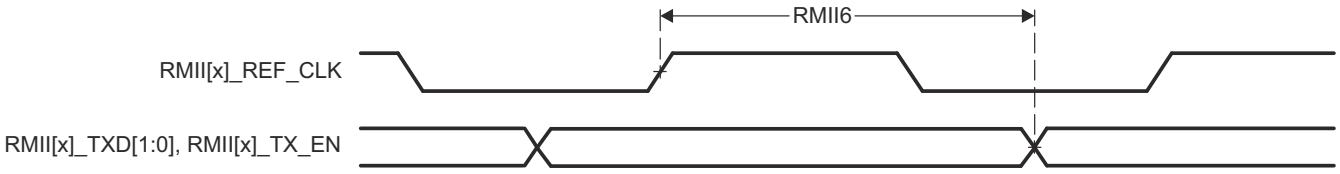


図 6-14. CPSW RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

6.11.5.1.3 CPSW RGMII のタイミング

6.11.5.1.3.1 CPSW RGMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		2.64	5	V/ns
出力条件					
C_L	出力負荷容量		2	20	pF
PCB 接続要件					
t_d (パターン不整合遅延)	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC RGMII[x]_RD[3:0] RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC RGMII[x]_TD[3:0] RGMII[x]_TX_CTL		50	ps

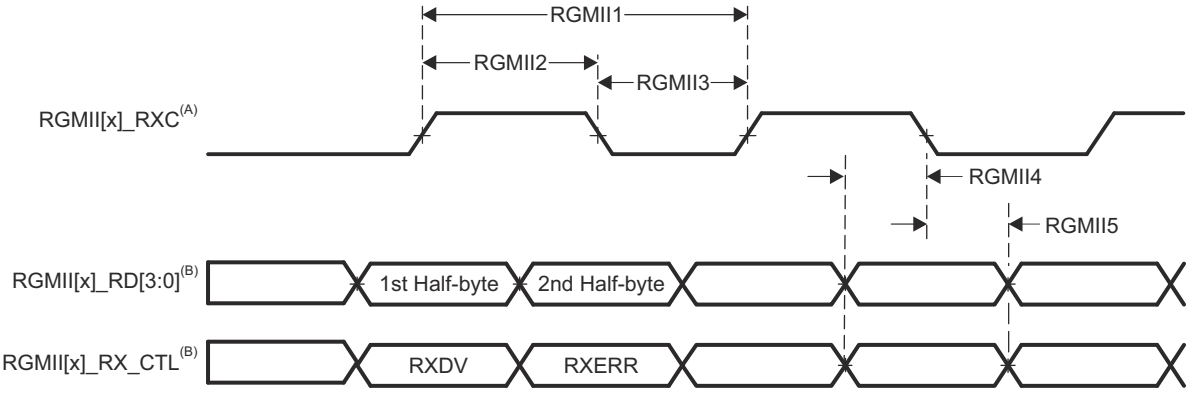
6.11.5.1.3.2 CPSW RGMII[x]_RCLK のタイミング要件 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	tw(RXCH)	パルス幅、RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	tw(RXCL)	パルス幅、RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.11.5.1.3.3 CPSW RGMII[x]_RD[3:0]、RGMII[x]_RCTL のタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su(RD-RXC)}$	セットアップ時間、RD[3:0] 有効から RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	セットアップ時間、RX_CTL 有効から RXC high/low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	ホールド時間、RXC high/low から RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	ホールド時間、RXC high/low から RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns

Copyright © 2026 Texas Instruments Incorporated



A. RGMII[x]_RXC は、データ ピンと制御ピンに対して、外部的に遅延させる必要があります。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_RD[3:0] は、RGMII[x]_RXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII[x]_RXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_RX_CTL は、RGMII[x]_RXC の立ち上がりエッジで RXDV を、RGMII[x]_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-15. CPSW RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL のタイミング要件 - RGMII モード

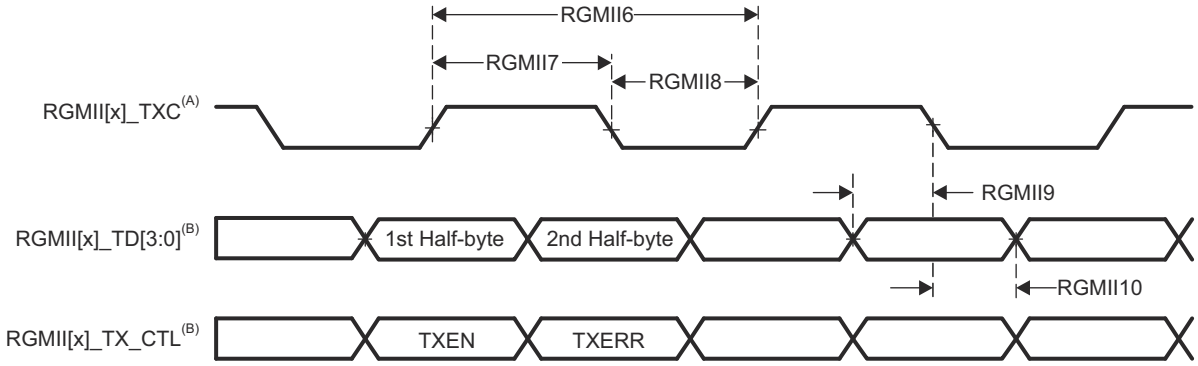
6.11.5.1.3.4 CPSW RGMII[x]_TCLK のスイッチング特性 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_{c(TXC)}$	サイクル時間、TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	パルス幅、TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	パルス幅、TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.11.5.1.3.5 CPSW RGMII[x]_TD[3:0]、RGMII[x]_TCTL のスイッチング特性 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{osu(TD-TXC)}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

Copyright © 2026 Texas Instruments Incorporated



A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は POR の後でデフォルトでイネーブルになります。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_TD[3:0] は、RGMII[x]_TXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII[x]_TXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_TX_CTL は RGMII[x]_TXC の立ち上がりエッジで TXEN を、RGMII[x]_TXC の立ち下がりエッジで TXERR を伝送します。

図 6-16. CPSW RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

Copyright © 2026 Texas Instruments Incorporated

6.11.5.2 拡張キャプチャ (eCAP)

注

このデバイスは、複数の eCAP モジュールを備えています。汎用の CAP_ prefix は、すべての eCAP インスタンスの信号名を表すために使用されます。

詳細については、デバイスの TRM でペリフェラルの章にある*拡張キャプチャ (eCAP) モジュール*セクションを参照してください。

6.11.5.2.1 ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.2.2 ECAP のタイミング要件

番号	パラメータ	説明		最小値 最大値	単位
CAP1	$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期	$(2 + X^{(2)}) \times P^{(1)}$	ns
			同期	$(3 + X^{(2)}) \times P^{(1)}$	
			入力クオリファイヤあり	$(2 + X^{(2)}) \times P^{(1)} + U^{(3)}$	

(1) P = sysclk 周期 (ns)。
(2) X = ECCTL0_TYPE3[QUALPRD] 設定値。
(3) U = 入力フィルタ サンプリング ウィンドウ。 入力クオリファイア モードの詳細については、「GPIO の電気的データおよびタイミング」セクションを参照してください。

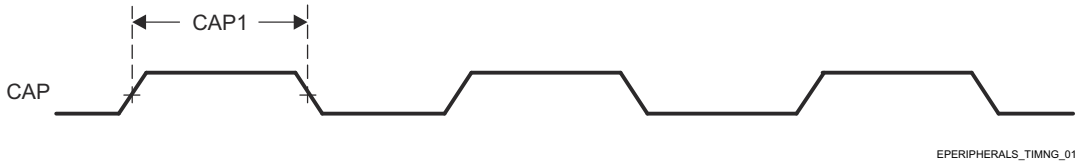


図 6-17. ECAP のタイミング要件

6.11.5.2.3 ECAP スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
CAP2	$t_{w(APWM)}$	パルス幅、APWMx 出力 High/Low	10		ns

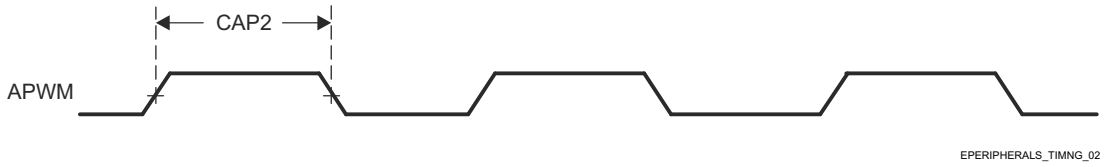


図 6-18. ECAP スイッチング特性

6.11.5.3 拡張パルス幅変調 (ePWM)

注

このデバイスは、複数の ePWM モジュールを備えています。一般的な EHRPWM_ prefix は、すべての ePWM インスタンスの信号名を表すために使用されます。

詳細については、デバイスの TRM でペリフェラルの章にある*拡張パルス幅変調 (ePWM) モジュール*セクションを参照してください。

6.11.5.3.1 EPWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.3.2 EPWM のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
PWM6	$t_{w(SYNCIN)}$	パルス幅、EHRPWM_SYNCI	2P(1)		ns
PWM7	$t_{w(TZ)}$	パルス幅、EHRPWM_TZn_IN low	1P(1)		ns

(1) P = sysclk 周期 (ns)。

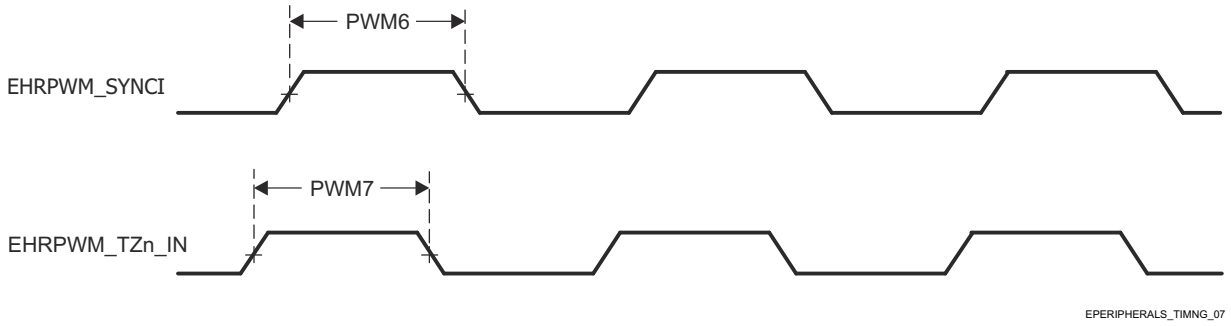


図 6-19. EPWM のタイミング要件

6.11.5.3.3 EPWM スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_{w(PWM)}$	パルス幅、EHRPWM_A/B High または Low	20		ns
PWM2	$t_{w(SYNCOUT)}$	パルス幅、EHRPWM_SYNCO	8P(1)		ns
PWM3	$t_{d(TZ-PWM)}$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで		30	ns
PWM4	$t_{d(TZ-PWMZ)}$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで		30	ns
PWM5	$t_{w(SOC)}$	パルス幅、EHRPWM_SOCA/B 出力	32P(1)		ns

(1) P = sysclk 周期 (ns)。

Copyright © 2026 Texas Instruments Incorporated

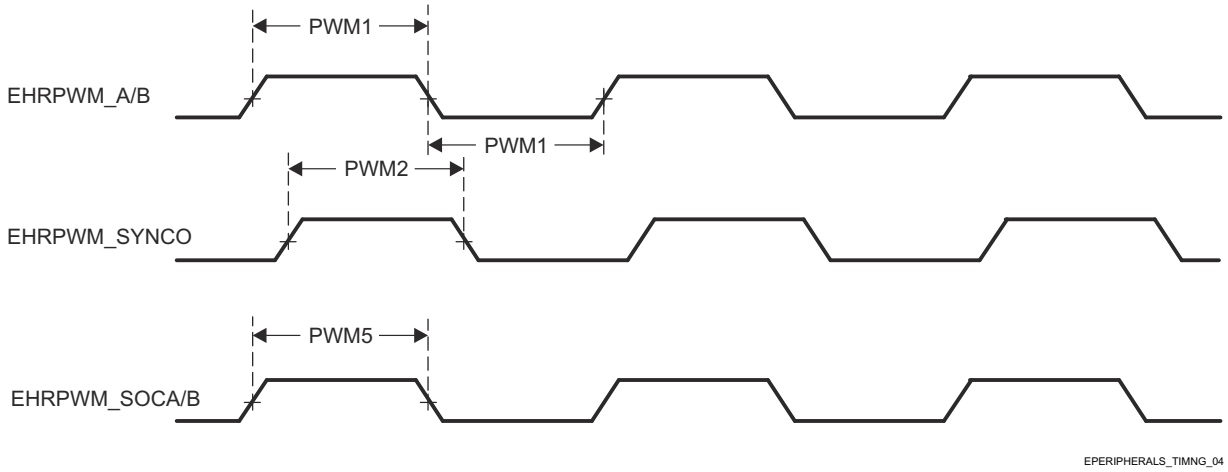


図 6-20. EHRPWM スイッチング特性

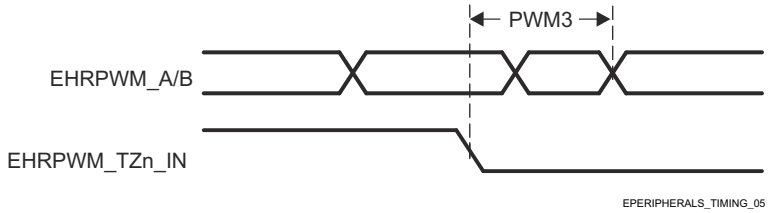


図 6-21. EHRPWM_TZn_IN から EHRPWM_A/B 強制へのスイッチング特性

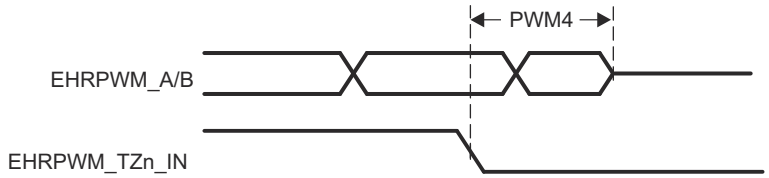


図 6-22. EHRPWM_TZn_IN から EHRPWM_A/B Hi-Z へのスイッチング特性

EPWM の特性

パラメータ	最小値	標準値	最大値	単位
マイクロ エッジ ポジショニング (MEP) ステップ サイズ (1)		115	310	ps

(1) MEP ステップ サイズは、高温かつ VDD の最小電圧で、最大になります。MEP ステップ サイズは、高温と低電圧で増大し、低温と高電圧で減少します。
HRPWM 機能を使用するアプリケーションは、MEP スケール オプティマイザ (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、テキサス・インスツルメンツのソフトウェア ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.4 拡張直交エンコーダ パルス (eQEP)

注

このデバイスは、複数の eQEP モジュールを備えています。汎用の QEP_ プレフィックスは、すべての eQEP インスタンスの信号名を表すために使用されます。

詳細については、デバイスの TRM でペリフェラルの章にある*拡張直交エンコーダ パルス (eQEP) モジュール*セクションを参照してください。

6.11.5.4.1 EQEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.4.2 EQEP のタイミング要件

番号	パラメータ	説明		最小値	最大値	単位
QEP1	$t_{w(QEPP)}$	QEP 入力周期	同期 (3)	3P(1)		ns
			入力クオリファイヤあり	2 × (P(1) + U(2))		
QEP2	$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	同期 (3)	2 + 3P(1)		ns
			入力クオリファイヤあり	2P(1) + U(2)		
QEP3	$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	同期 (3)	3P(1)		ns
			入力クオリファイヤあり	2P(1) + U(2)		
QEP4	$t_{w(STROBH)}$	QEP ストローブ High 時間	同期 (3)	3P(1)		ns
			入力クオリファイヤあり	2P(1) + U(2)		
QEP5	$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	同期 (3)	3P(1)		ns
			入力クオリファイヤあり	2P(1) + U(2)		

(1) P = sysclk 周期 (ns)。
(2) U = 入力フィルタ サンプリング ウィンドウ。 入力クオリファイア モードの詳細については、「GPIO の電気的データおよびタイミング」セクションを参照してください。
(3) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

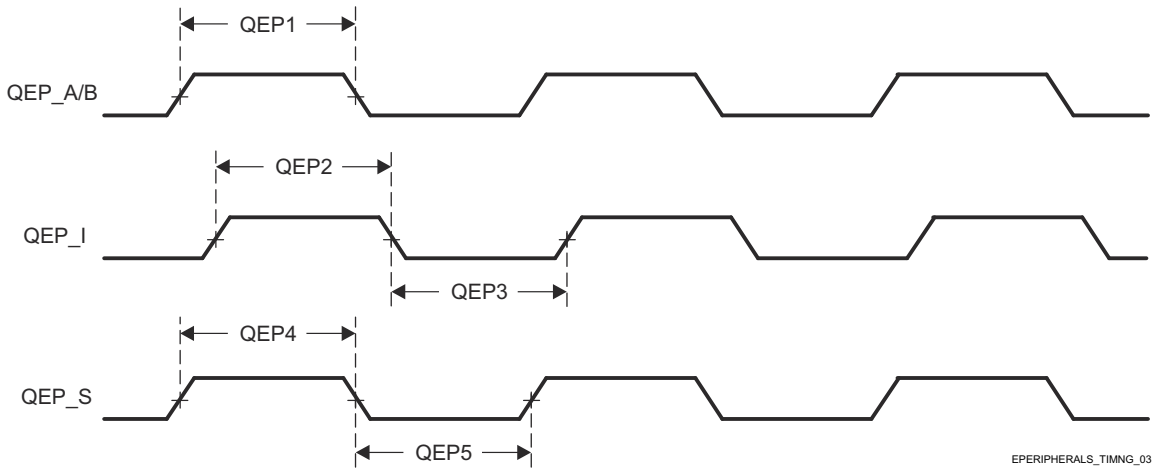


図 6-23. EQEP のタイミング要件

Copyright © 2026 Texas Instruments Incorporated

6.11.5.4.3 EQEP スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
QEP6	$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ インクリメントまで		4 + U(2) + 6P(1)	ns
QEP7	$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		4 + U(2) + 7P(1) + 4	ns

(1) P = sysclk 周期 (ns)。
(2) U = 入力フィルタ サンプリング ウィンドウ。 入力クオリファイア モードの詳細については、「GPIO の電気的データおよびタイミング」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.5 高速シリアル インターフェイス (FSI)

注

このデバイスは、複数の FSI モジュールを備えています。FSIn は、FSI 信号名に適用される全般的な接頭辞です。ここで、n は特定の FSI モジュールを表します。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*高速シリアル インターフェイス*」セクションを参照してください。

6.11.5.5.1 FSI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.8	4	V/ns
出力条件				
C_L	出力負荷容量	1	7	pF

6.11.5.5.2 FSIRX のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
FSIR1	$t_{c(RX_CLK)}$	サイクル時間、FSIRXn_CLK	16.67		ns
FSIR2	$t_{w(RX_CLK)}$	パルス幅、FSIRXn_CLK Low または FSIRXn_CLK High	0.35P(1) - 1	0.65P(1) + 1	ns
FSIR3	$td_{(RX_D - RX_CLK)}$	遅延時間、FSIRXn_CLK の前に FSIRXn_D[0:1] が有効であるべき時間	1.7		ns
FSIR4	$t_{h(RX_CLK–RX_D)}$	FSIRXn_CLK の両方のエッジを基準とするホールド時間	2		ns

(1) P = Tc(RXCLK) = RX インターフェイスのクロック周期 (単位:ナノ秒)。

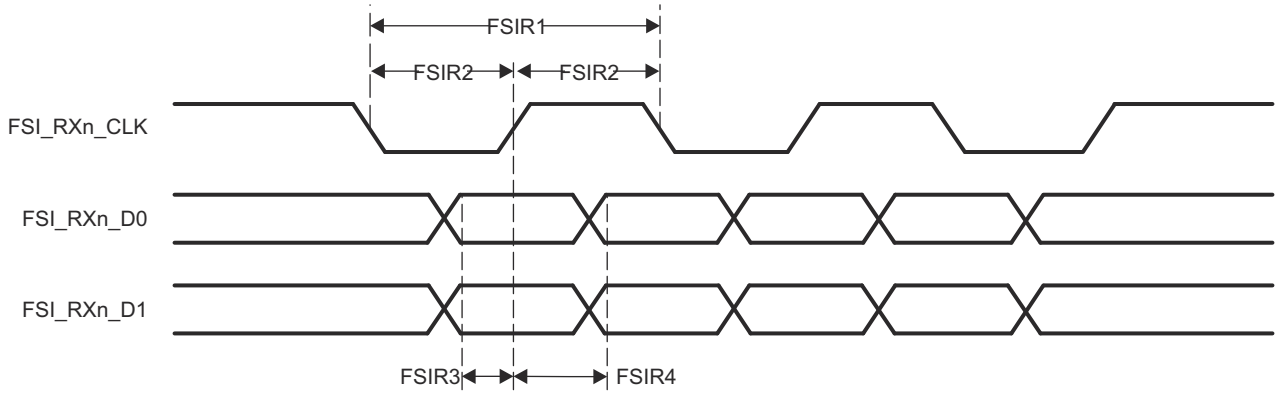


図 6-24. FSI のタイミング要件

Copyright © 2026 Texas Instruments Incorporated

6.11.5.5.3 FSIRX スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
FSIR5	$t_{d(RX_CLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY] = 31 での FSIRXn_CLK 遅延補償	10	30	ns
FSIR6	$t_{d(RX_D0)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 での FSIRXn_D0 遅延補償	10	30	ns
FSIR7	$t_{d(RX_D1)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 での FSIRXn_D1 遅延補償	10	30	ns
FSIR8	$t_{d(DELAY_ELEMENT)}$	FSIRXn_CLK、FSIRXn_D0、FSIRXn_D1 の各ディレイライン素子の増分遅延	0.3	1	ns
FSIR_TDM1	$t_{skew(RX_CLK-TX_TDM_D)}$	FSIRXn_TDM_CLK 遅延と FSIRXn_TDM_D[0:1] との間の遅延スキュー	-3	3	ns
FSIR_TDM2	$t_{skew(RX_CLK-TX_TDM_CLK)}$	遅延時間、FSIRXn_CLK 入力から FSITXn_TDM_CLK 出力	2	12	ns
FSIR_TDM3	$t_{skew(RX_D0-TX_TDM_D0)}$	遅延時間、FSIRXn_D0 入力から FSITXn_TDM_D0 出力	2	12	ns
FSIR_TDM4	$t_{skew(RX_D1-TX_TDM_D1)}$	遅延時間、FSIRXn_D1 入力から FSITXn_TDM_D1 出力	2	12	ns

6.11.5.5.4 FSITX スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
FSIT1	$t_{c(TX_CLK)}$	サイクル時間、FSITXn_CLK	16.67		ns
FSIT2	$t_{w(TX_CLK)}$	パルス幅、FSITXn_CLK Low または FSITXn_CLK HIGH	0.5P(1) – 1	0.5P(1) + 1	ns
FSIT3	$td_{(TX_CLK-TX_D)}$	遅延時間、FSITXn_Dx は、FSITXn_CLK High または FSITXn_CLK Low になった後に有効	0.25P(1) – 2	0.25P(1) + 2	ns
FSIT4	$t_{d(TXCLKL)}$	TX_DLYLINE_CTRL[TXCLK_DLY] = 31 に設定した場合の FSITXn_CLK の遅延補償	9.95	30	ns
FSIT5	$t_{d(TX_D0)}$	TX_DLYLINE_CTRL[TXCLK_DLY] = 31 に設定した場合の FSITXn_D0	9.95	30	ns
FSIT6	$t_{d(TX_D1)}$	TX_DLYLINE_CTRL[TXCLK_DLY] = 31 に設定した場合の FSITXn_D1	9.95	30	ns
FSIT7	$t_{d(TX_DELAY_ELEMENT)}$	FSITXn_CLK、FSITXn_D0 および FSITXn_D1 の各ディレイライン素子の増分遅延	0.3	1	ns
FSIT_TDM1	$t_{skew(TX_TDM_CLK-TX_TDM_D)}$	FSITXn_TDM_CLK 遅延と FSITXn_TDM_D[0:1] 遅延の間に生じる遅延スキュー	-2.5	2.5	ns
FSIT_TDM2	$t_{skew(TX_TDM_CLK-TX_CLK)}$	遅延時間、FSITXn_TDM_CLK 入力から FSITXn_CLK 出力	2	12	ns
FSIT_TDM3	$t_{skew(TX_TDM_D0-TX_D0)}$	遅延時間、FSITXn_TDM_D0 入力から FSITXn_D0 出力	2	12	ns
FSIT_TDM4	$t_{skew(TX_TDM_D1-TX_D1)}$	遅延時間、FSITXn_TDM_D1 入力から FSITXn_D1 出力	2	12	ns

(1) P = $t_{c(TX_CLK)}$ = FSITX インターフェイスのクロック周期 (単位: ns)。

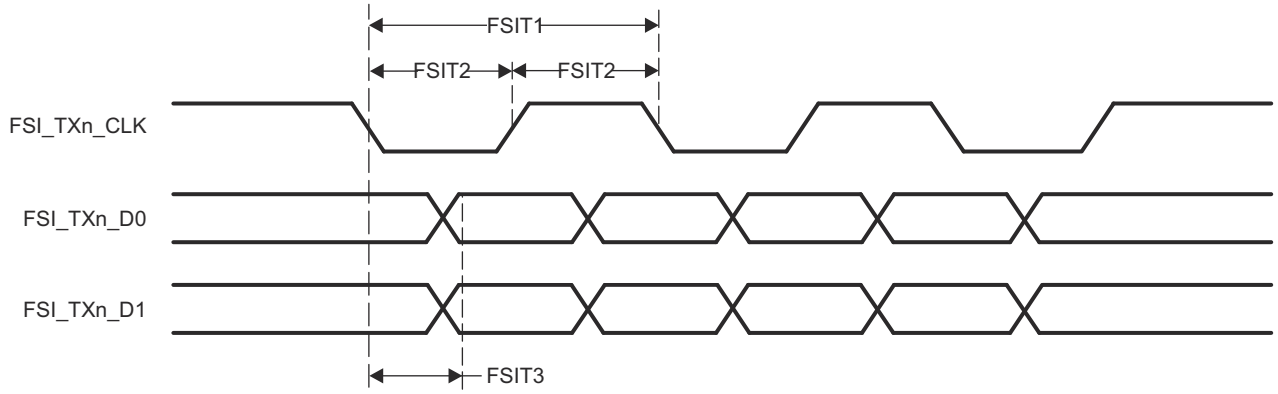


図 6-25. FSI のスイッチング特性 - FSI モード

6.11.5.5.5 FSITX SPI 信号モードのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
FSIT4	$t_{c(TX_CLK)}$	サイクル時間、FSITXn_CLK	16.67		ns
FSIT5	$t_{w(TX_CLK)}$	パルス幅、FSITXn_CLK Low または FSITXn_CLK HIGH	0.5P(1) – 1	0.5P(1) + 1	ns
FSIT6	$t_{d(TX_CLKH–TX_D0)}$	遅延時間、FSITXn_CLK High から FSITXn_D0 有効まで		3	ns
FSIT7	$t_{d(TX_D1-TX_CLK)}$	遅延時間、FSITXn_D1 Low から FSITXn_CLK High まで	P(1) – 3		ns
FSIT8	$t_{d(TX_CLK-TX_D1)}$	遅延時間、FSITXn_CLK Low から FSITXn_D1 High まで	P(1)		ns

(1) P = $t_{c(TX_CLK)}$ = FSITX インターフェイスのクロック周期 (単位: ns)。

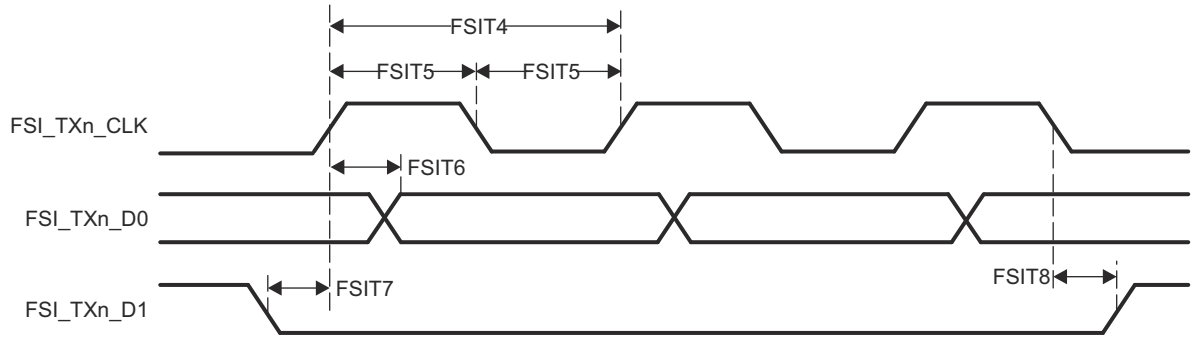


図 6-26. FSI のスイッチング特性 - SPI モード

Copyright © 2026 Texas Instruments Incorporated

6.11.5.6 汎用入出力 (GPIO)

GPIO デバイスの機能の詳細と追加の説明情報については、「*信号の説明*」および「*詳細説明*」セクションの対応するサブセクションを参照してください。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*汎用インターフェイス (GPIO)*」セクションを参照してください。

6.11.5.6.1 GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		0.75	6.6	V/ns
出力条件					
C_L	出力負荷容量	LVCMOS	3	10	pF
		I2C OD FS(1)	3	10	pF

(1) バッファ タイプ I2C OD FS には、プルアップ抵抗が必要です。

6.11.5.6.2 GPIO のタイミング要件

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
D3	$t_{w(GPIO_IN)}$	最小入力パルス幅	LVCMOS	2P(1) + 2		ns
D4			I2C OD FS(2)	2P(1) + 2		ns

(1) P = 機能クロック周期 (ns 単位)。
(2) バッファ タイプ I2C OD FS には、プルアップ抵抗が必要です。

6.11.5.6.3 GPIO スイッチング特性

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
D1	$t_{w(GPIO_OUT)}$	最小出力パルス幅	LVCMOS	0.975P(1) - 2		ns
D2	$t_{w(GPIO_OUT)}$	最小出力パルス幅 Low	I2C OD FS(2)	2P(1) + 160		ns
D3	$t_{w(GPIO_OUT)}$	最小出力パルス幅 High	I2C OD FS(2)	2P(1) + 160		ns

(1) P = 機能クロック周期 (ns 単位)。
(2) バッファ タイプ I2C OD FS には、プルアップ抵抗が必要です。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.7 汎用メモリ コントローラ (GPMC)

本デバイスの汎用メモリ コントローラの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*汎用メモリ コントローラ (GPMC)*」セクションを参照してください。

6.11.5.7.1 GPMC のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		1.65	4	V/ns
出力条件					
C_L	出力負荷容量		3	20	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	100MHz	140	720	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合			200	ps

6.11.5.7.2 GPMC/NOR フラッシュのタイミング要件 – 同期モード

(1)(2)

番号	パラメータ	説明	モード	最小値	最大値	単位
F12	$t_{su(dV-clkH)}$	セットアップ時間、GPMC0_CLK High の前に GPMC0_AD[31:0] 有効	div_by_1_mode (4)	1.81		ns
			not_div_by_1_mode(5)	1.06		ns
F13	$t_{h(clkH-dV)}$	ホールド時間、GPMC0_CLK High の後 GPMC0_AD[31:0] 有効	div_by_1_mode (4)	2.29		ns
			not_div_by_1_mode(5)	2.29		ns
F21	$t_{su(waitV-clkH)}$	セットアップ時間、GPMC0_CLK High の前 GPMC0_WAIT[x](3) 有効	div_by_1_mode (4)	1.81		ns
			not_div_by_1_mode(5)	1.06		ns
F22	$t_{h(clkH-waitV)}$	ホールド時間、GPMC0_CLK High の後 GPMC0_WAIT[x](3) 有効	div_by_1_mode (4)	2.29		ns
			not_div_by_1_mode(5)	2.29		ns

(1) 100MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)
(2) 100MHz 同期モードでは、GPMC ピンからデバイスまでのパターン長は 4 インチ未満であると想定され、200ps 以内で一致する長さです。
(3) GPMC_WAIT[x] で、x は 0 または 1 です。
(4) div_by_1_mode では、GPMC0_CLK は GPMC0_CLKOUT と GPMC0_FCLK_MUX (フリーランニング) のどちらかを指します。両方の信号が同じピン
にピン多重化されています 。GPMC_CONFIG1_I レジスタ:GPMCFCLKDIVIDER = 0h:
– GPMC0_CLK 周波数 = GPMC_FCLK 周波数
(5) not_div_by_1_mode では、GPMC_CLK は GPMC0_CLKOUT のみを指します。GPMCFCLKDIVIDER > 0 の場合、GPMC0_FCLK_MUX は GPMC0_CLKOUT 周波数に一致するようにクロックを分周することはできません 。GPMC_CONFIG1_I
レジスタ:GPMCFCLKDIVIDER = 1h ～ 3h:
– GPMC_CLK 周波数 = GPMC_FCLK 周波数/ (2～4)

Copyright © 2026 Texas Instruments Incorporated

6.11.5.7.3 GPMC/NOR フラッシュのスイッチング特性 - 同期モード 100MHz

(18)(19)(20)

番号	パラメータ	説明	モード	最小値	最大値	単位
F0	$t_{c(clk)}$	クロック周期、GPMC0_CLK、GPMC0_FCLK_MUX		10(21)		ns
F1	$t_{w(clk)}$	一般的なパルス持続時間、GPMC0_CLK High または Low		0.475P(16) – 0.3(21)		ns
F2	$t_{d(clkH-csnV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_CSn[x] まで(15)遷移		F(6) – 2.2(21)	F(6)+3.75	ns
F3	$t_{d(clkH-csnIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_CSn[x] まで(15)無効		E(5) – 2.2	E(5)+3.18	ns
F4	$t_{d(aV-clk)}$	遅延時間、GPMC0_A[27:1] は GPMC0_CLK の最初のエッジまで有効		B(2) – 2.3(21)	B(2) + 4.5	ns
F5	$t_{d(clkH-aIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_A[27:1] まで無効		-2.3(21)	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	遅延時間、GPMC0_BE0n_CLE、GPMC0_BE1n から GPMC0_CLK の最初のエッジまで有効		B(2) – 2.3(21)	B(2) + 1.9	ns
F7	$t_{d(clkH-be[x]nIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで無効(12)		D(4) – 2.3(21)	D(4) + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	遅延時間、GPMC0_CLK 立ち下がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで無効(13)		D(4) – 2.3(21)	D(4) + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	遅延時間、GPMC0_CLK 立ち下がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで無効(14)		D(4) – 2.3(21)	D(4) + 1.9	ns
F8	$t_{d(clkH-advn)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_ADVn_ALE 遷移まで		G(7)(8) – 2.3(21)	G(7)(8) + 4.5	ns
F9	$t_{d(clkH-advnIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_ADVn_ALE まで無効		D(4) – 2.3(21)	D(4) + 4.5	ns
F10	$t_{d(clkH-oen)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_OEn_REn 遷移まで		H(9) – 2.3(21)	H(9) + 3.5	ns
F11	$t_{d(clkH-oenIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_OEn_REn まで無効		H(9) – 2.3(21)	H(9) + 3.5	ns
F14	$t_{d(clkH-wen)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_WEn 遷移まで		I(10) – 2.3(21)	I(10) + 4.5	ns
F15	$t_{d(clkH-do)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_AD[31:0] まで遷移(12)		J(11) – 2.3(21)	J(11) + 2.7	ns
F15	$t_{d(clkL-do)}$	遅延時間、GPMC0_CLK 立ち下がりエッジから GPMC0_AD[31:0] データ バスまで遷移(13)		J(11) – 2.3(21)	J(11) + 2.7	ns
F15	$t_{d(clkL-do)}$	遅延時間、GPMC0_CLK 立ち下がりエッジから GPMC0_AD[31:0] データ バスまで遷移(14)		J(11) – 2.3(21)	J(11) + 2.7	ns
F17	$t_{d(clkH-be[x]n)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_BE0n_CLE まで遷移(12)		J(11) – 2.3(21)	J(11) + 1.9	ns
F17	$t_{d(clkL-be[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで遷移(13)		J(11) – 2.3(21)	J(11) + 1.9	ns
F17	$t_{d(clkL-be[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで遷移(14)		J(11) – 2.3(21)	J(11) + 1.9	ns

Copyright © 2026 Texas Instruments Incorporated

(18)(19)(20)

番号	パラメータ	説明	モード	最小値	最大値	単位
F18	$t_{w(csnV)}$	Pulse duration, GPMC0_CSn[x](15) low	読み出し	A(1)		ns
			書き込み	A(1)		ns
F19	$t_{w(be[x]nV)}$	パルス幅、GPMC0_BE0n_CLE、GPMC0_BE1n Low	読み出し	C(3)		ns
			書き込み	C(3)		ns
F20	$t_{w(advnV)}$	パルス幅、GPMC0_ADVn_ALE low	読み出し	K(17)		ns
			書き込み	K(17)		ns

(1) 単一読み取りの場合：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト読み取りの場合：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト書き込みの場合：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
n はページ バースト アクセス数
(2) B = ClkActivationTime × GPMC_FCLK(17)
(3) 単一読み取りの場合：C = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト読み取りの場合：C = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト書き込みの場合：C = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
n はページ バースト アクセス数。
(4) 単一読み取りの場合：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト読み取りの場合：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト書き込みの場合： D = (WrCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
(5) 単一読み取りの場合：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト読み取りの場合：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
バースト書き込みの場合： E = (CSWrOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
(6) csn 立ち下がりエッジ (CS がアクティブ) の場合：
– Case GpmcFCLKDivider = 0:
– F = 0.5 × CSExtraDelay × GPMC_FCLK(17)
– Case GpmcFCLKDivider = 1:
– F = 0.5 × CSExtraDelay × GPMC_FCLK(17) (ClkActivationTime および CSOnTime が奇数) の場合または (ClkActivationTime および CSOnTime が偶数) の場合
– F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(17) あるいは
– Case GpmcFCLKDivider = 2:
– F = 0.5 × CSExtraDelay × GPMC_FCLK(17) ((CSOnTime - ClkActivationTime) が 3 の倍数) の場合
– F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(17) ((CSOnTime - ClkActivationTime - 1) が 3 の倍数) の場合
– F = (2 + 0.5 × CSExtraDelay) × GPMC_FCLK(17) ((CSOnTime - ClkActivationTime - 2) が 3 の倍数) の場合
(7) ADV 立ち下がりエッジ (ADV がアクティブ) の場合：
– Case GpmcFCLKDivider = 0:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
– Case GpmcFCLKDivider = 1:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) (ClkActivationTime および ADVOnTime が奇数) の場合または (ClkActivationTime および ADVOnTime が偶数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) あるいは
– Case GpmcFCLKDivider = 2:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) ((ADVOnTime - ClkActivationTime) が 3 の倍数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数) の場合
– G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数) の場合
読み取りモード時の ADV 立ち上がりエッジ (ADV 無効化) の場合：
– Case GpmcFCLKDivider = 0:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)
– Case GpmcFCLKDivider = 1:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) (ClkActivationTime および ADVRdOffTime が奇数) の場合または (ClkActivationTime および ADVRdOffTime が偶数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) あるいは
– Case GpmcFCLKDivider = 2:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) ((ADVRdOffTime - ClkActivationTime) が 3 の倍数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数) の場合
– G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数) の場合
(8) 書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合：
– Case GpmcFCLKDivider = 0:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(17)

Copyright © 2026 Texas Instruments Incorporated

– Case GpmcFCLKDivider = 1:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) (ClkActivationTime および ADVWrOffTime が奇数) の場合または (ClkActivationTime および ADVWrOffTime が偶数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) あるいは
– Case GpmcFCLKDivider = 2:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(17) ((ADVWrOffTime - ClkActivationTime) が 3 の倍数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数) の場合
– G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(17) ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

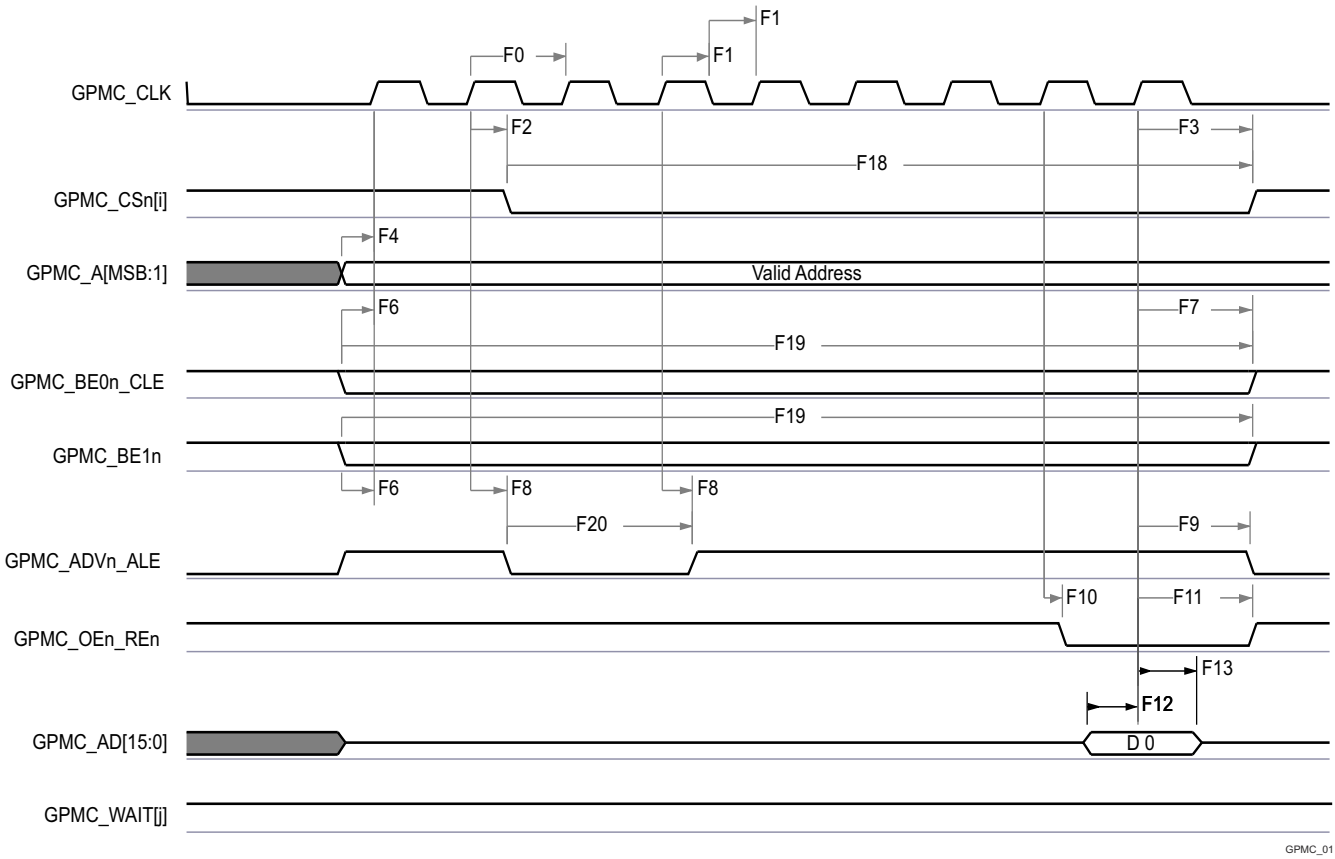
(9) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データ バスが入力方向) の場合:
– Case GpmcFCLKDivider = 0:
– H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
– Case GpmcFCLKDivider = 1:
– H = 0.5 × OEExtraDelay × GPMC_FCLK(17) (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数) の場合
– H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17) あるいは
– Case GpmcFCLKDivider = 2:
– H = 0.5 × OEExtraDelay × GPMC_FCLK(17) ((OEOnTime - ClkActivationTime) が 3 の倍数) の場合
– H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17) ((OEOnTime - ClkActivationTime - 1) が 3 の倍数) の場合
– H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK(17) ((OEOnTime - ClkActivationTime - 2) が 3 の倍数) の場合
OE 立ち上がりエッジ (OE 無効):
– Case GpmcFCLKDivider = 0:
– H = 0.5 × OEExtraDelay × GPMC_FCLK(17)
– Case GpmcFCLKDivider = 1:
– H = 0.5 × OEExtraDelay × GPMC_FCLK(17) (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数) の場合
– H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17) あるいは
– Case GpmcFCLKDivider = 2:
– H = 0.5 × OEExtraDelay × GPMC_FCLK(17) ((OEOffTime - ClkActivationTime) が 3 の倍数) の場合
– H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(17) ((OEOffTime - ClkActivationTime - 1) が 3 の倍数) の場合
– H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK(17) ((OEOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

(10) WE 立ち下がりエッジ (WE がアクティブ) の場合:
– Case GpmcFCLKDivider = 0:
– I = 0.5 × WEExtraDelay × GPMC_FCLK(17)
– Case GpmcFCLKDivider = 1:
– I = 0.5 × WEExtraDelay × GPMC_FCLK(17) (ClkActivationTime および WEOnTime が奇数) または (ClkActivationTime および WEOnTime が偶数) の場合
– I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17) あるいは
– Case GpmcFCLKDivider = 2:
– I = 0.5 × WEExtraDelay × GPMC_FCLK(17) ((WEOnTime - ClkActivationTime) が 3 の倍数) の場合
– I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17) ((WEOnTime - ClkActivationTime - 1) が 3 の倍数) の場合
– I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK(17) ((WEOnTime - ClkActivationTime - 2) が 3 の倍数) の場合
WE 立ち上がりエッジ (WE 無効化) の場合:
– Case GpmcFCLKDivider = 0:
– I = 0.5 × WEExtraDelay × GPMC_FCLK (17)
– Case GpmcFCLKDivider = 1:
– I = 0.5 × WEExtraDelay × GPMC_FCLK(17) (ClkActivationTime および WEOffTime が奇数) または (ClkActivationTime および WEOffTime が偶数) の場合
– I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17) あるいは
– Case GpmcFCLKDivider = 2:
– I = 0.5 × WEExtraDelay × GPMC_FCLK(17) ((WEOffTime - ClkActivationTime) が 3 の倍数) の場合
–I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK(17) ((WEOffTime - ClkActivationTime - 1) が 3 の倍数) の場合
– I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK(17) ((WEOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

(11) J = GPMC_FCLK(17)
(12) 最初の転送は、CLK DIV 1 モードのみです。
(13) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。
(14) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC_CLK_OUT の半サイクルです。GPMC_FCLK から GPMC_CLK_OUT を分周します。
(15) GPMC_CSn[x] で、x は 0、1、2、または 3 です。GPMC_WAIT[x] で、x は 0 または 1 です。
(16) P = GPMC_CLK 周期 (ns 単位)
(17) 読み出しの場合:K = (ADVRdOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
書き込みの場合: K = (ADVWrOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(17)
(18) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(19) 100MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)
(20) 100MHz 同期モードでは、GPMC ピンからデバイスまでのパターン長は 4 インチ未満であると想定され、200ps 以内で一致する長さです。

Copyright © 2026 Texas Instruments Incorporated

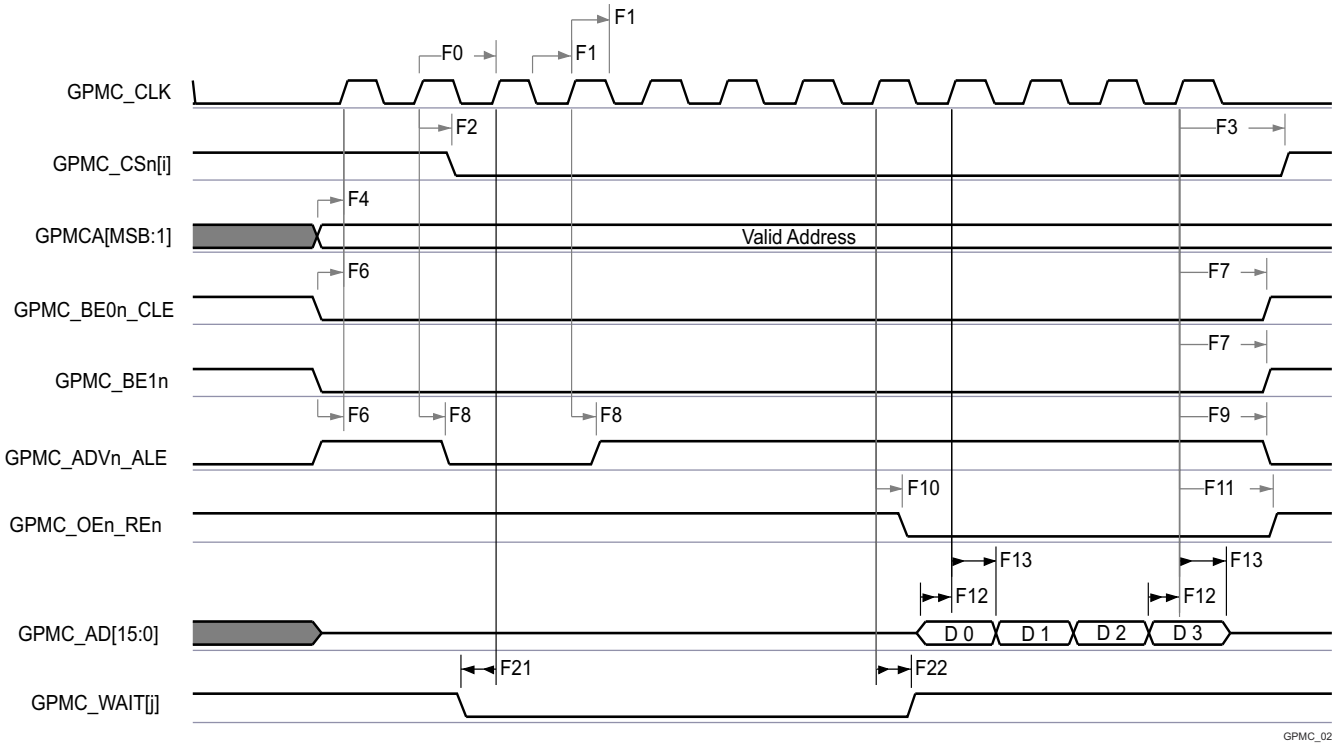
(21) div_by_1_mode では、GPMC0_CLK は GPMC0_CLKOUT と GPMC0_FCLK_MUX (フリーランニング) のどちらかを指します。両方の信号が同じピン
にピン多重化されています – GPMC_CONFIG1_I レジスタ:GPMCFCLKDIVIDER = 0h
:–GPMC0_CLK 周波数 = GPMC_FCLK の周波数
NOT_div_by_1_MODE では、GPMC0_CLK は GPMC0_CLKOUT のみを指します。GPMCFCLKDIVIDER > 0 の場合、GPMC0_FCLK_MUX は GPMC0_CLKOUT 周波数に一致するようにクロックを分周することはできません – GPMC_CONFIG1_I レジスタ:GPMCFCLKDIVIDER = 1h ～ 3h:
– GPMC0_CLK 周波数 = GPMC_FCLK 周波数/ (2～4)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

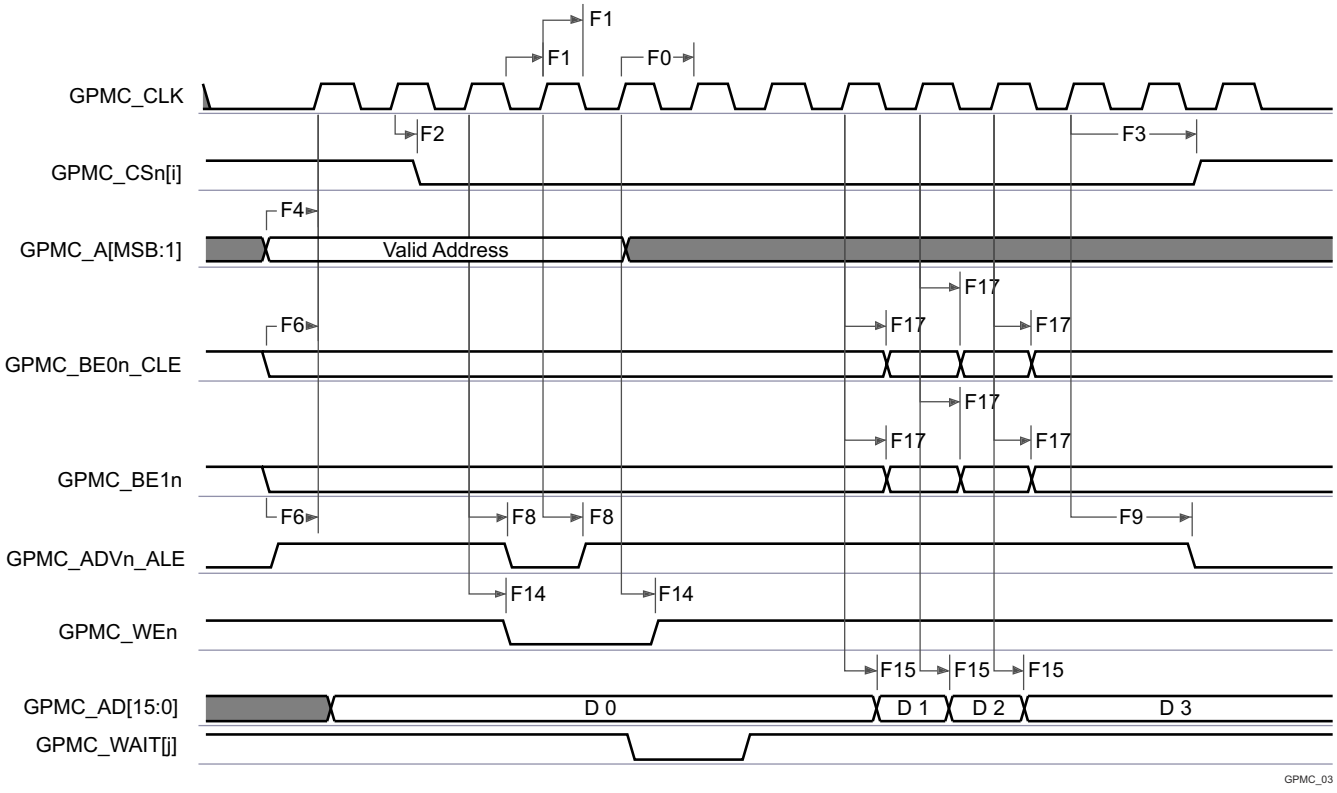
図 6-27. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)

Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

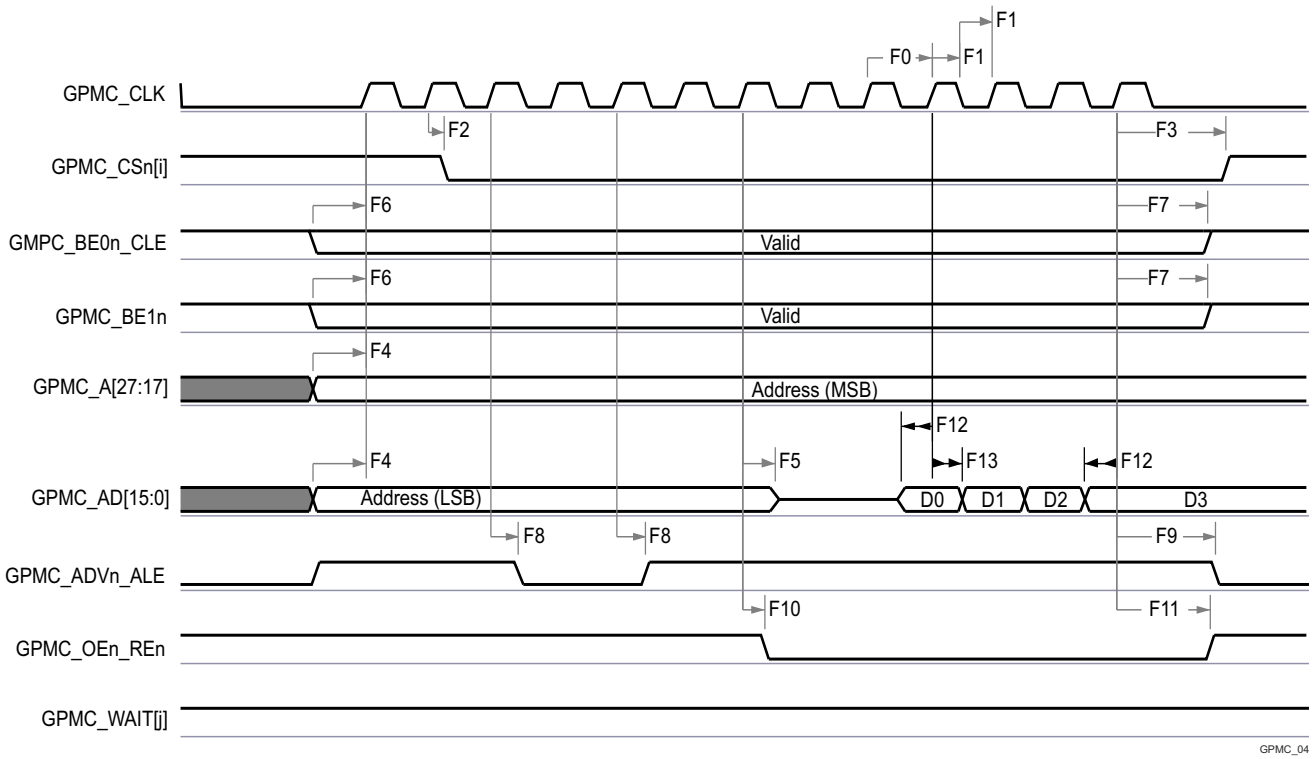
図 6-28. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-29. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)

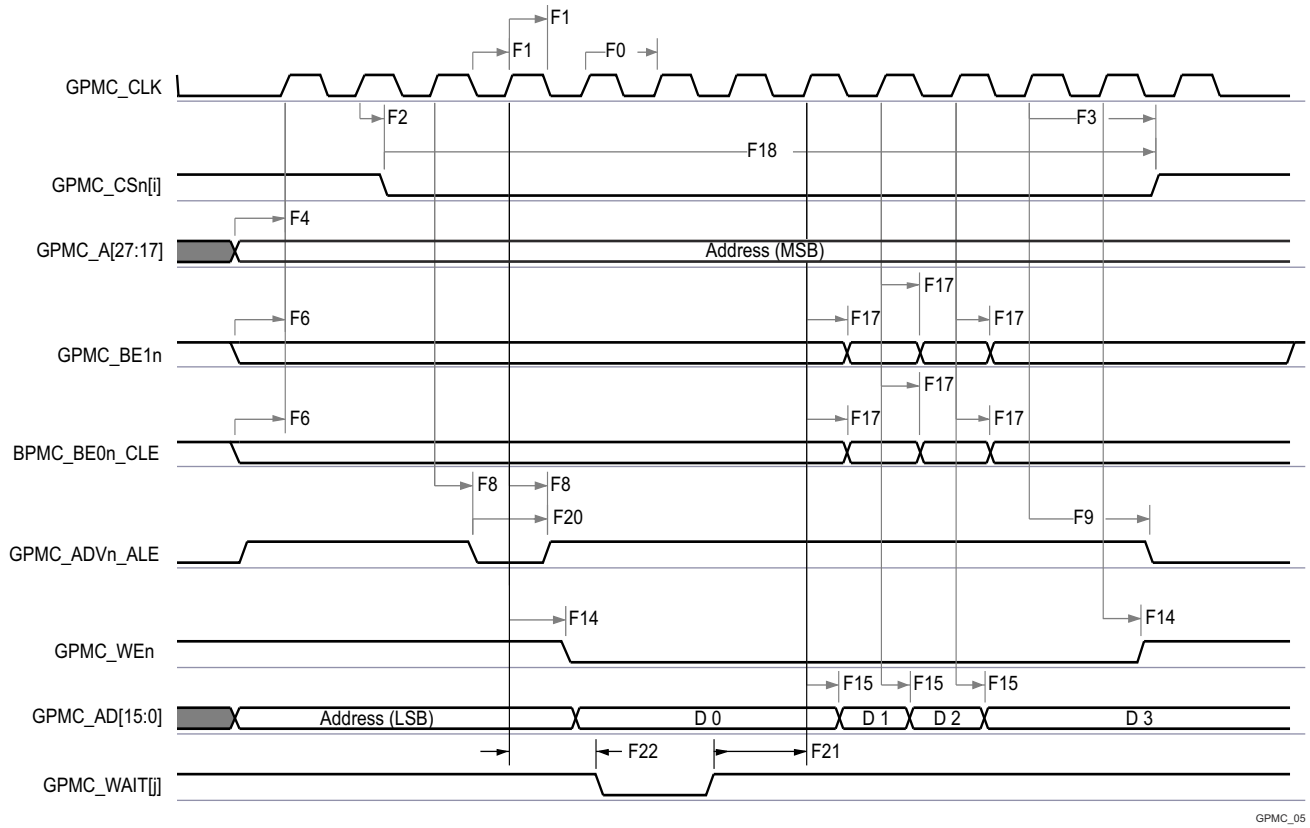


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-30. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し

Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-31. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

6.11.5.7.4 GPMC/NOR フラッシュのタイミング要件 – 非同期モード

(6)(7)

番号	パラメータ	説明	最小値	最大値	単位
FA5(1)	$t_{acc(d)}$	データ アクセス時間		H(5)	ns
FA20(2)	$t_{acc1\text{-}pgmode(d)}$	ページ モードの連続データ アクセス時間		P(4)	ns
FA21(3)	$t_{acc2\text{-}pgmode(d)}$	ページ モードの最初のデータ アクセス時間		H(5)	ns

(1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
(3) FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページ データが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(4) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(5) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(6) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(7) 133MHz GPMC_FCLK selected - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 0 = MAIN_PLL0_HSDIV3_CLKOUT (133/100/80MHz)

Copyright © 2026 Texas Instruments Incorporated

6.11.5.7.5 GPMC/NOR フラッシュのスイッチング特性 - 非同期モード 100MHz

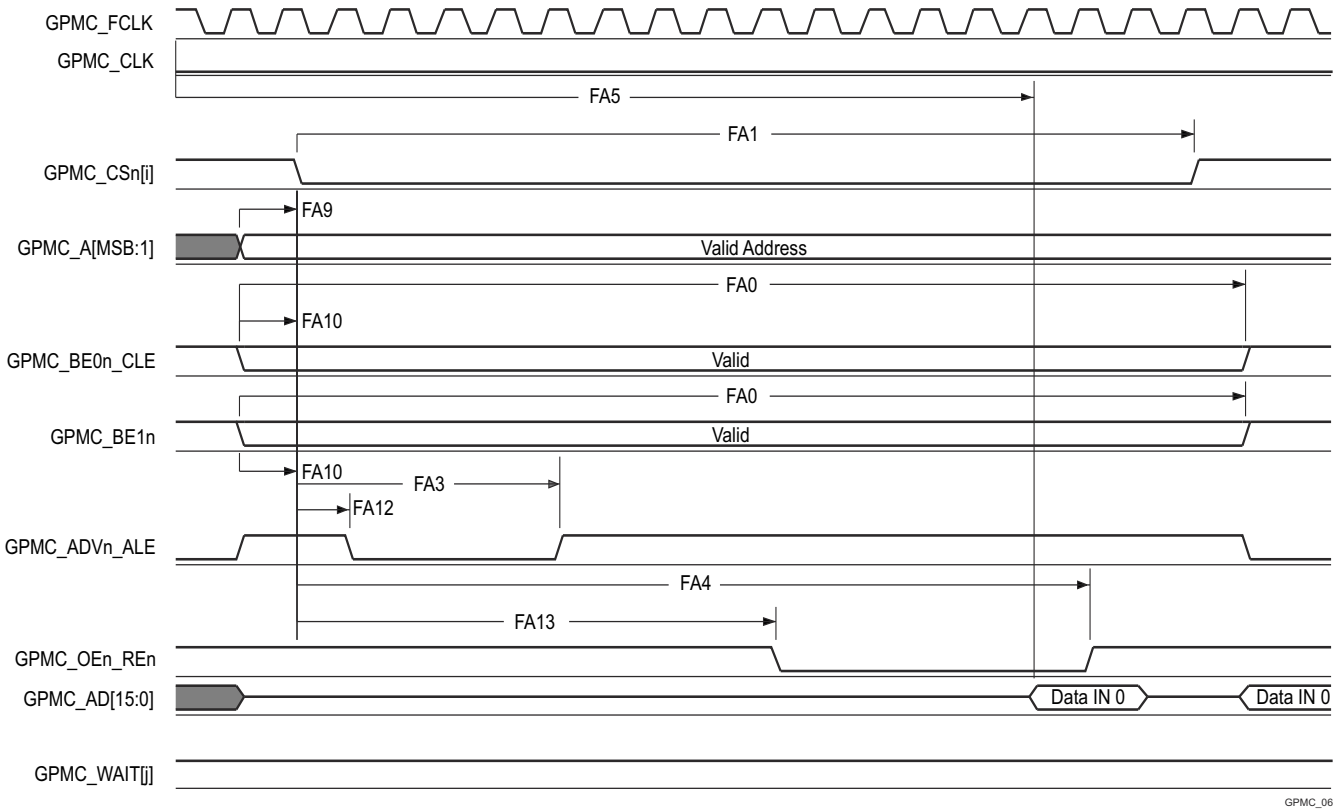
(14)(15)

番号	パラメータ	説明	モード	最小値	最大値	単位
FA0	$t_{w(be[x]nV)}$	パルス幅、GPMC0_BE0n_CLE、GPMC0_BE1n 有効時間	読み出し		N(12)	ns
			書き込み		N(12)	ns
FA1	$t_{w(csnV)}$	パルス幅、GPMC0_CSn[x](13) Low	読み出し		A(1)	ns
			書き込み		A(1)	ns
FA3	$t_{d(csnV-advnIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_ADVn_ALE 無効	読み出し	B(2) – 2	B(2) + 2	ns
			書き込み	B(2) - 2	B(2) + 2	ns
FA4	$t_{d(csnV-oenIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_OEn_REn 無効 (シングル読み取り)		C(3) – 2	C(3) + 2	ns
FA9	$t_{d(aV-csnV)}$	遅延時間、GPMC0_A[27:1] 有効から GPMC0_CSn[x](13) 有効		J(9) – 2	J(9) + 2	ns
FA10	$t_{d(be[x]nV-csnV)}$	遅延時間、GPMC0_BE0n_CLE、GPMC0_BE1n 有効から GPMC0_CSn[x](13) 有効		J(9) – 2	J(9) + 2	ns
FA12	$t_{d(csnV-advnV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_ADVn_ALE 有効		K(10) – 2	K(10) + 2	ns
FA13	$t_{d(csnV-oenV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_OEn_REn 有効		L(11) – 2	L(11) + 2	ns
FA16	$t_{w(alV)}$	連続する 2 回の読み取りおよび書き込みアクセス間のパルス幅 GPMC0_A[26:1] は無効		G(7)		ns
FA18	$t_{d(csnV-oenIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_OEn_REn 無効 (バースト読み取り)		I(8) – 2	I(8) + 2	ns
FA20	$t_{w(av)}$	パルス幅、GPMC0_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス		D(4)		ns
FA25	$t_{d(csnV-wenIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_WEn 有効		E(5) – 2	E(5) + 2	ns
FA27	$t_{d(csnV-wenIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_WEn 無効		F(6) – 2	F(6) + 2	ns
FA28	$t_{d(wenV-dV)}$	遅延時間、GPMC0_WEn 有効から GPMC0_AD[31:0] 有効			2	ns
FA29	$t_{d(dV-csnV)}$	遅延時間、GPMC0_AD[31:0] 有効から GPMC0_CSn[x](13) 有効		J(9) – 2	J(10) + 2	ns
FA37	$t_{d(oenV-aIV)}$	遅延時間、GPMC0_OEn_REn 有効から GPMC0_AD[31:0] 位相終了			2	ns

(1) 単一読み取りの場合：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
単一書き込みの場合：A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト読み取りの場合：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト書き込みの場合：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14) n はページ バースト アクセス数。
(2) 読み取りの場合：B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
書き込みの場合： B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(3) C = \((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(5) E = \((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(6) F = \((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(7) G = Cycle2CycleDelay × GPMC_FCLK(14)
(8) I = \((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK(14)

Copyright © 2026 Texas Instruments Incorporated

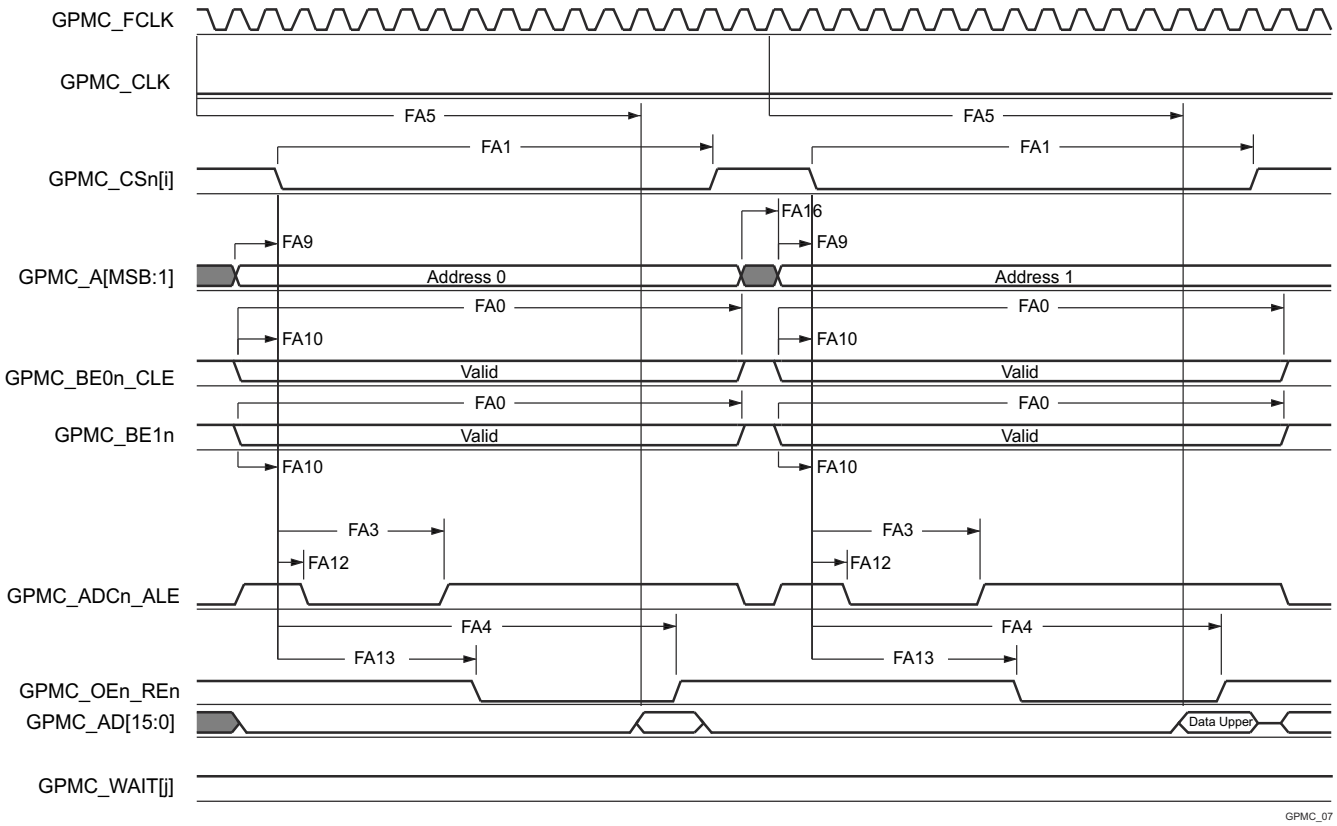
(10) K = \((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(11) L = \((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(12) 単一読み取りの場合：N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
単一書き込みの場合：N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト読み取りの場合：N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト書き込みの場合： N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(13) GPMC_CSn[x] で、x は 0、1、2、または 3 です。
(14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(15) 133MHz GPMC_FCLK selected - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 0 = MAIN_PLL0_HSDIV3_CLKOUT (133/100/80MHz)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。
B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-32. GPMC および NOR フラッシュ — 非同期読み取り — シングル ワード

Copyright © 2026 Texas Instruments Incorporated



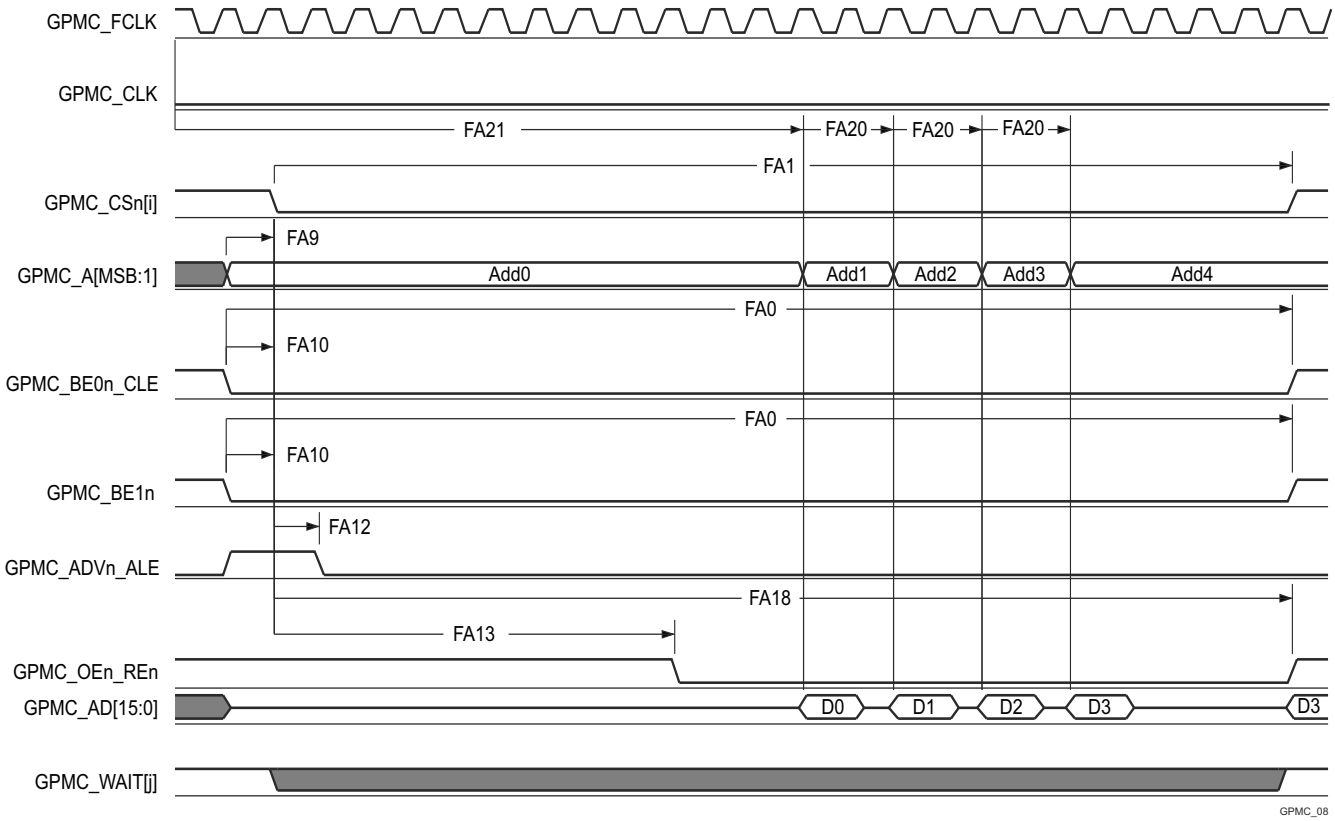
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-33. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット

Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

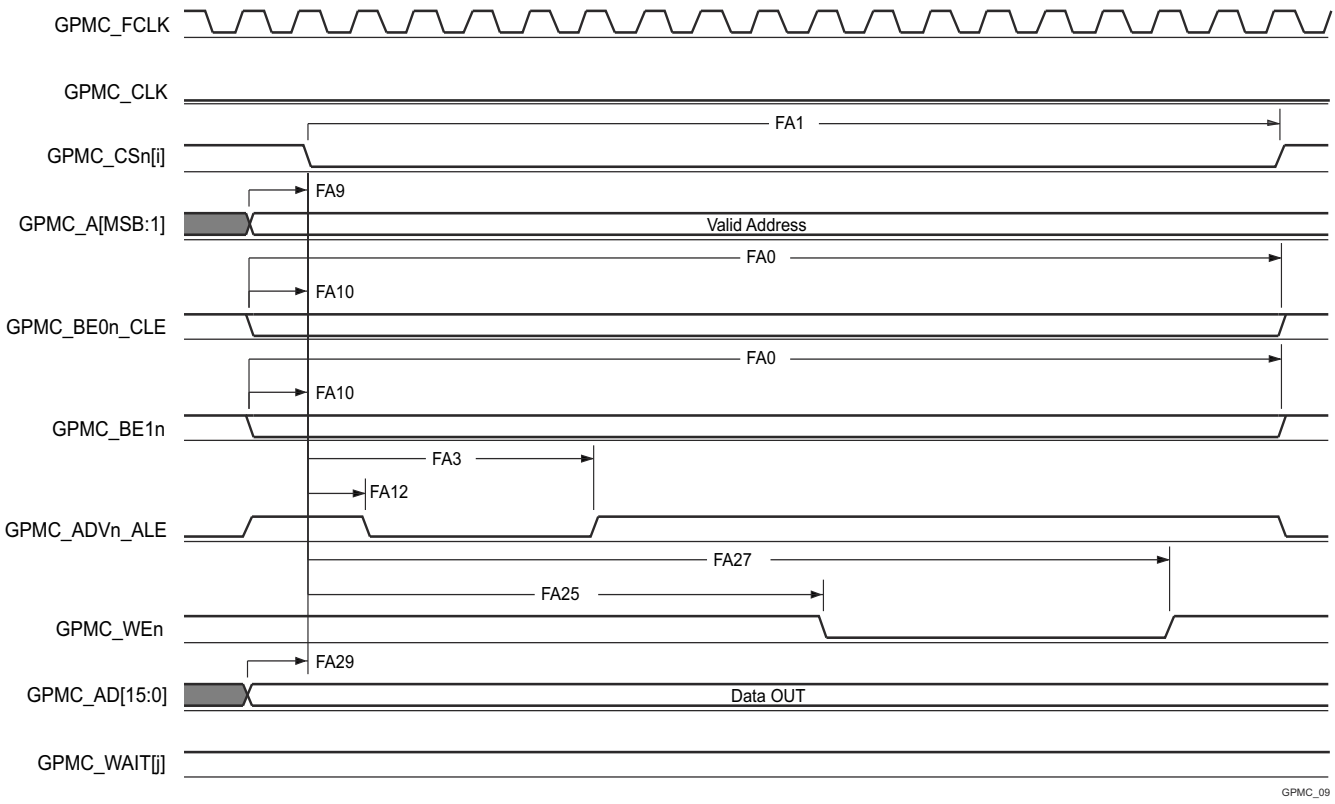
B. FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。

C. FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。

D. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-34. GPMC および NOR フラッシュ — 非同期読み取り — ページ モード 4x16 ビット

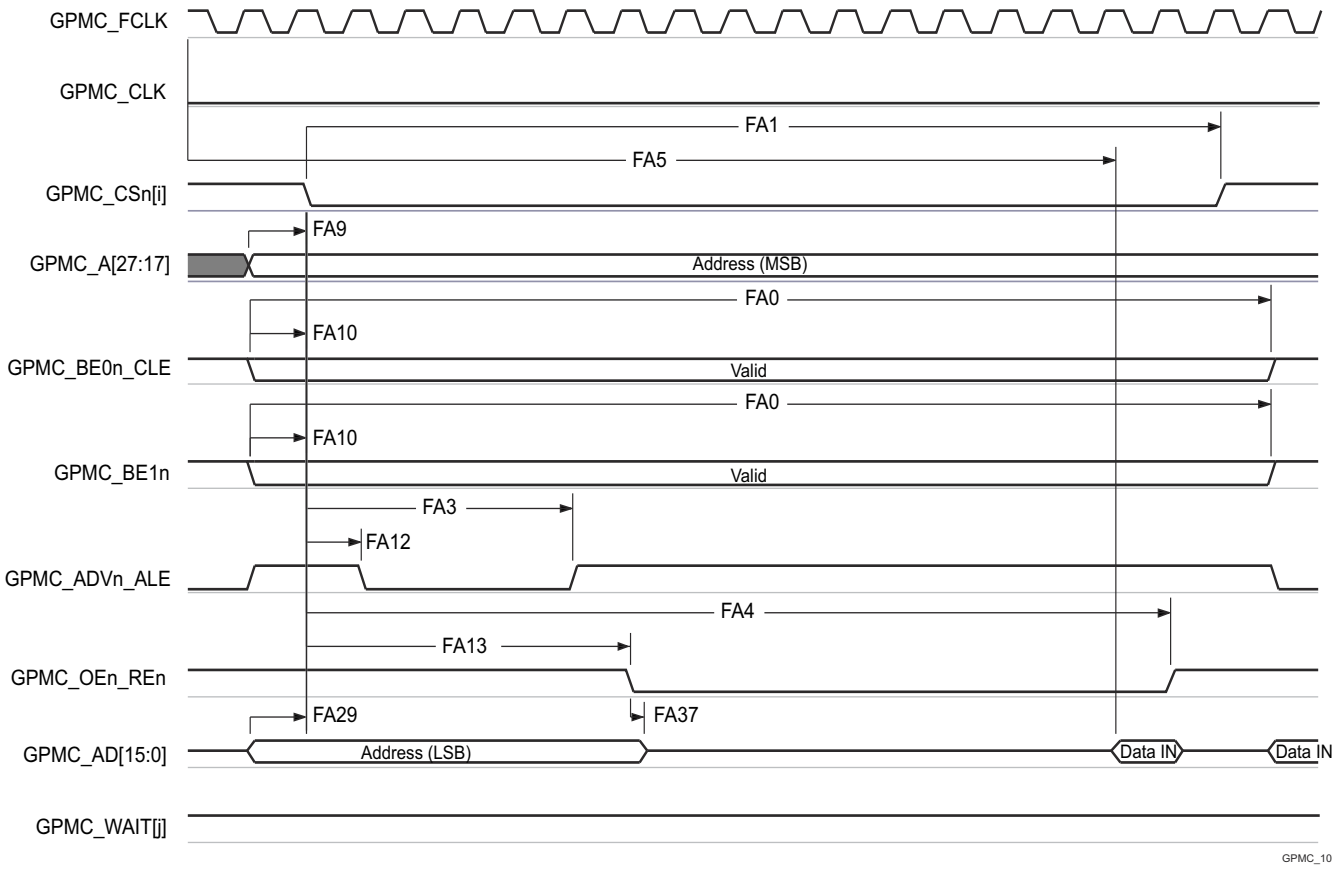
Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-35. GPMC および NOR フラッシュ — 非同期書き込み — シングル ワード

Copyright © 2026 Texas Instruments Incorporated

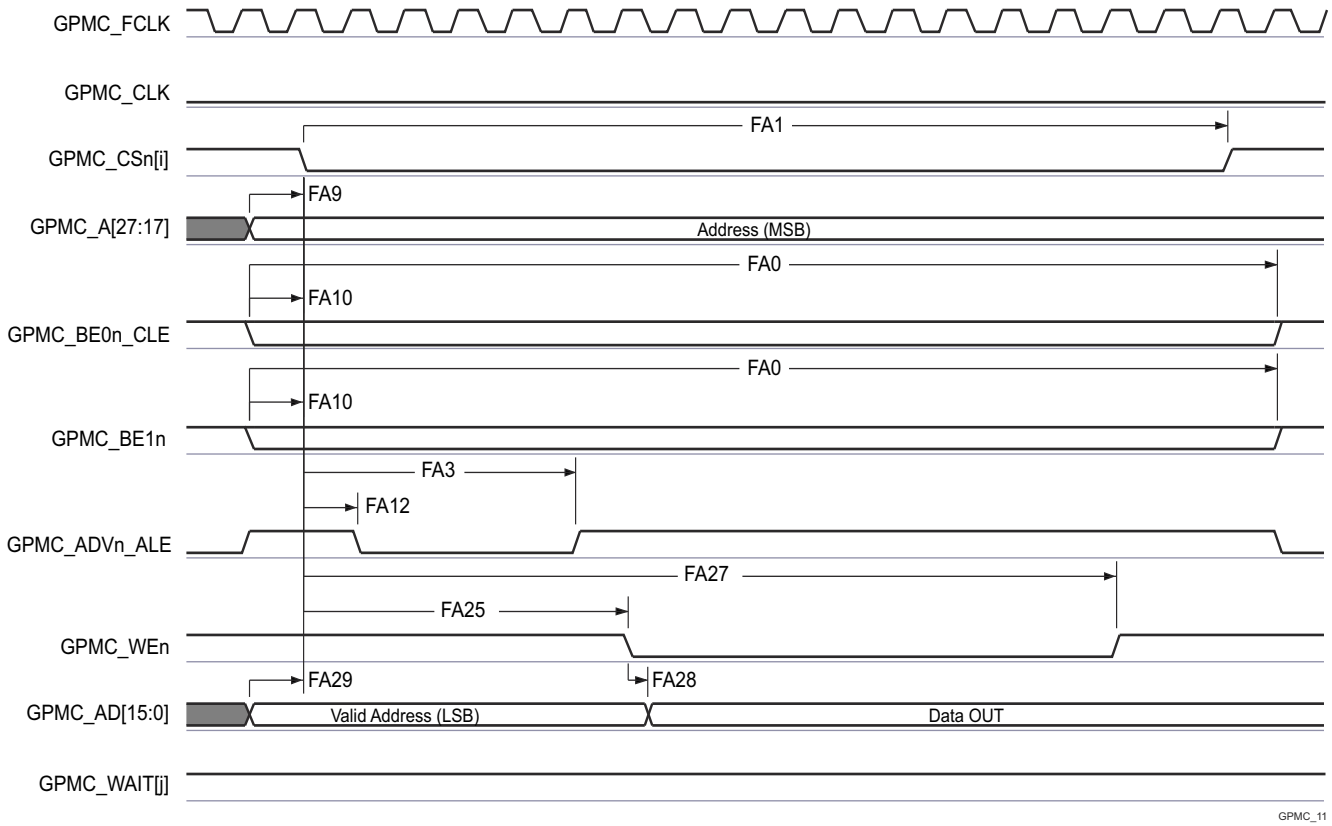


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-36. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングル ワード



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-37. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングル ワード

6.11.5.7.6 GPMC/NAND フラッシュのタイミング要件 – 非同期モード

(4)

番号	パラメータ	説明	最小値	最大値	単位
GNF12(1)	$t_{acc(d)}$	アクセス時間、GPMC0_AD[31:0](3)		J(2)	ns

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(3)
(3) GPMC_FCLK は汎用メモリ コントローラの内部機能クロックです。
(4) 133MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 0 = MAIN_PLL0_HSDIV3_CLKOUT (133/100/80MHz)

Copyright © 2026 Texas Instruments Incorporated

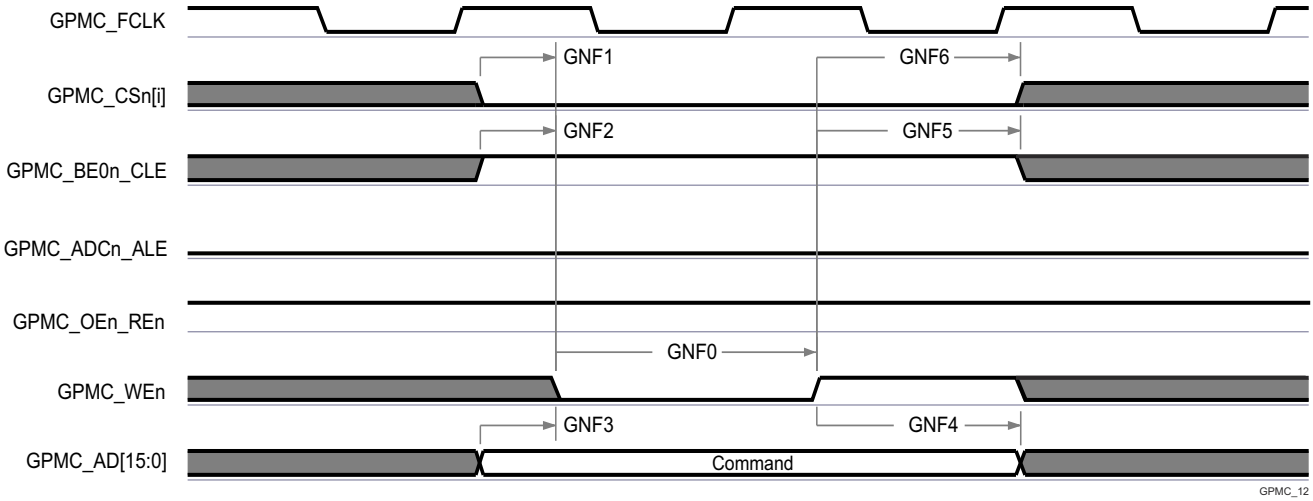
6.11.5.7.7 GPMC/NAND フラッシュのスイッチング特性 - 非同期モード 100MHz

(15)

番号	パラメータ	説明	最小値	最大値	単位
GNF0	$t_{w(wenV)}$	パルス幅、GPMC0_WEn 有効	A(1)		ns
GNF1	$t_{d(csnV-wenV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_WEn 有効	B(2) – 2	B(2) + 2	ns
GNF2	$t_{w(cleH-wenV)}$	遅延時間、GPMC0_BE0n_CLE High から GPMC0_WEn 有効	C(3) – 2	C(3) + 2	ns
GNF3	$t_{w(wenV-dV)}$	遅延時間、GPMC0_AD[31:0] から GPMC0_WEn 有効	D(4) – 2	D(4) + 2	ns
GNF4	$t_{w(wenIV-dIV)}$	遅延時間、GPMC0_WEn 無効から GPMC0_AD[31:0] 無効	E(5) – 2	E(5) + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	遅延時間、GPMC0_WEn 無効から GPMC0_BE0n_CLE 無効	F(6) – 2	F(6) + 2	ns
GNF6	$t_{w(wenIV-csnIV)}$	遅延時間、GPMC0_WEn 無効から GPMC0_CSn[x](13)無効	G(7) – 2	G(7) + 2	ns
GNF7	$t_{w(aleH-wenV)}$	遅延時間、GPMC0_ADVn_ALE High から GPMC0_WEn 有効	C(3) – 2	C(3) + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$	遅延時間、GPMC0_WEn 無効から GPMC0_ADVn_ALE 無効	F(6) – 2	F(6) + 2	ns
GNF9	$t_{c(wen)}$	サイクル時間、書き込み		H(8)	ns
GNF10	$t_{d(csnV-oenV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_OEn_REn 有効	I(9) – 2	I(9) + 2	ns
GNF13	$t_{w(oenV)}$	パルス幅、GPMC0_OEn_REn 有効		K(10)	ns
GNF14	$t_{c(oen)}$	サイクル時間、読み取り	L(11)		ns
GNF15	$t_{w(oenIV-csnIV)}$	遅延時間、GPMC0_OEn_REn 無効から GPMC0_CSn[x](13)無効	M(12) – 2	M(12) + 2	ns

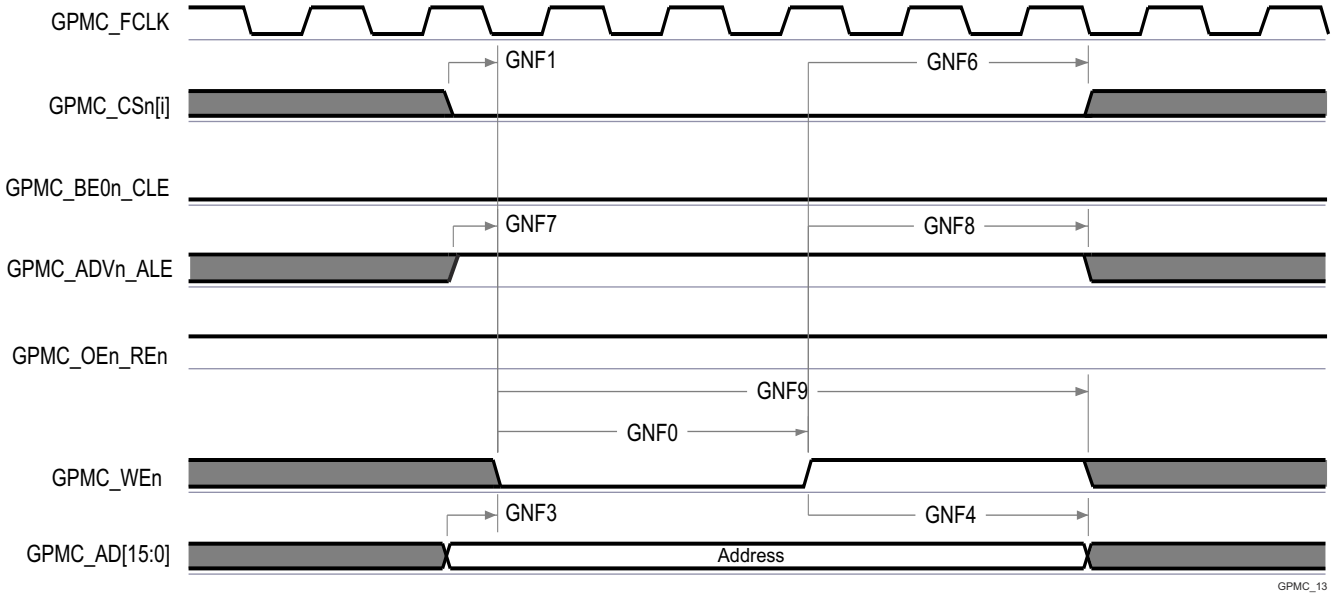
(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(2) B = \((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(3) C = \((WEOnTime - ADVOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - ADVExtraDelay\)) × GPMC_FCLK(14)
(4) D = (WEOnTime × (TimeParaGranularity + 1) + 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(5) E = \((WrCycleTime - WEOffTime) × (TimeParaGranularity + 1) - 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(6) F = \((ADVWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - WEExtraDelay\)) × GPMC_FCLK(14)
(7) G = \((CSWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - WEExtraDelay\)) × GPMC_FCLK(14)
(8) H = WrCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(9) I = \((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay\)) × GPMC_FCLK(14)
(10) K = (OEOffTime - OEOnTime) × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(11) L = RdCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(12) M = \((CSRdOffTime - OEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - OEExtraDelay\)) × GPMC_FCLK(14)
(13) GPMC_CSn[x] で、x は 0、1、2、または 3 です。
(14) 133MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 0 = MAIN_PLL0_HSDIV3_CLKOUT (133/100/80MHz)

Copyright © 2026 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

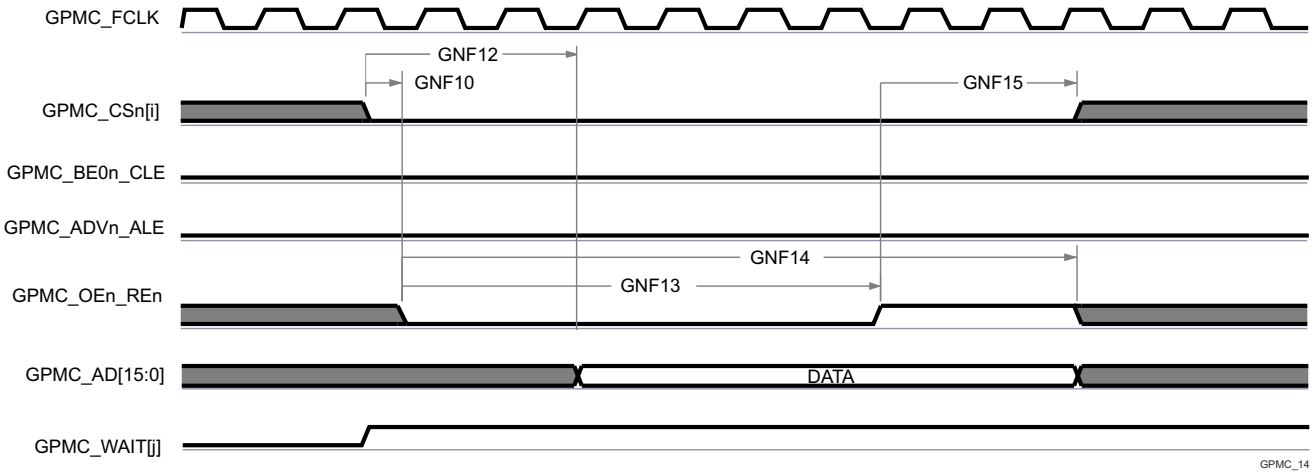
図 6-38. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

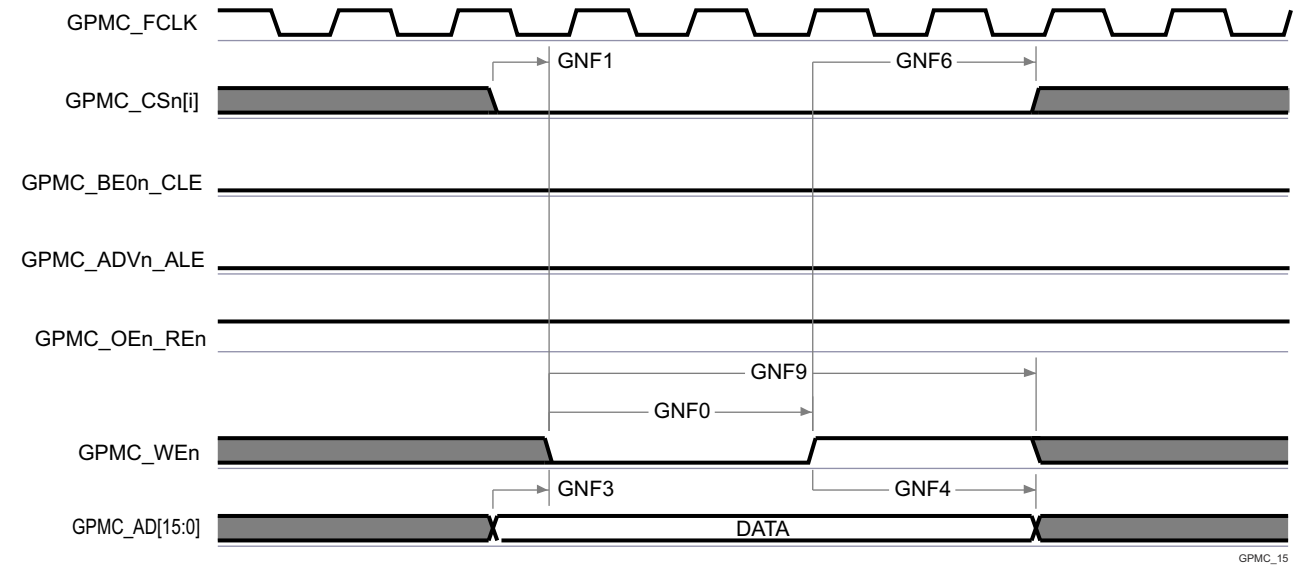
図 6-39. GPMC および NAND フラッシュ — アドレス ラッチ サイクル

Copyright © 2026 Texas Instruments Incorporated



A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
C. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-40. GPMC および NAND フラッシュ — データ読み取りサイクル



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-41. GPMC および NAND フラッシュ — データ書き込みサイクル

Copyright © 2026 Texas Instruments Incorporated

6.11.5.8 インター インテグレーテッド サーキット (I²C)

本デバイスの I2C (Inter-Integrated Circuit) の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

詳細については、デバイスの TRM の「*インター インテグレーテッド サーキット (I2C)*」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.8.1 I2C

このデバイスには、4 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I^{2}C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電気的仕様に完全には準拠していません。サポートされる速度と例外について、以下にポートごとに説明します。

- I2C1、I2C2、I2C3
  - 速度:
    - スタンダード モード (最大 100kbit/s)
      - 3.3V
    - ファースト モード (最大 400kbit/s)
      - 3.3V
  - 例外:
    - これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの IO には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープン ドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
    - I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの*絶対最大定格*セクションに定義された制限を超えないようにシステムを設計する必要があります。
- I2C0
  - 速度:
    - スタンダード モード (最大 100kbit/s)
      - 3.3V
    - ファースト モード (最大 400kbit/s)
      - 3.3V
  - 例外:
    - このポートに関連付けられた IO は、HS モードをサポートするようには設計されていません。
    - これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.8V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、信号の立ち上がりおよび立ち下がり時間が 0.8V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
    - I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの*絶対最大定格*セクションに定義された制限を超えないようにシステムを設計する必要があります。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

本デバイスの Inter-integrated Circuit の機能の詳細と追加の説明情報については、*信号の説明*および*詳細説明*セクションの対応するサブセクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.9 LIN (Local Interconnect Network)

注

このデバイスは、複数の LIN モジュールを備えています。LINn は、LIN 信号名に適用される全般的な接頭辞です。ここで、n は特定の LIN モジュールを表します。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*ローカル インターコネクト ネットワーク (LIN) モジュール*」セクションを参照してください。

6.11.5.9.1 LIN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	15	V/ns
出力条件				
C_L	出力負荷容量	5	20	pF

6.11.5.9.2 LIN のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
LIN2	$t_{d(LINn_RX)}$	遅延時間、LINn_RX シフト レジスタから LINn_RX ピン	0	10	ns

6.11.5.9.3 LIN スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
LIN4	$t_{d(LINn_TX)}$	遅延時間、LINn_TX シフト レジスタから LINn_TX ピン		10	ns

Copyright © 2026 Texas Instruments Incorporated

6.11.5.10 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

詳細については、デバイスの TRM にある「*コントローラ エリア ネットワーク (MCAN)*」セクションを参照してください。

6.11.5.10.1 MCAN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	15	V/ns
出力条件				
C_L	出力負荷容量	5	20	pF

6.11.5.10.2 MCAN スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
M1	$t_{d(MCAN_TX)}$	遅延時間、送信シフト レジスタから MCANn_TX ピンまで		10	ns
M2	$t_{d(MCAN_RX)}$	遅延時間、MCANn_RX ピンから受信シフト レジスタまで		10	ns

Copyright © 2026 Texas Instruments Incorporated

6.11.5.11 シリアル・ペリフェラル・インターフェイス (SPI)

本デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

注

このデバイスは、複数の SPI モジュールを備えています。汎用 SPI_prefix は、すべての SPI インスタンスの信号名を表すために使用されます。

詳細については、デバイス TRM の「*シリアル ペリフェラル インターフェイス (SPI)*」のセクションを参照してください。

6.11.5.11.1 SPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	8.5	V/ns
出力条件				
C_L	出力負荷容量	2	24	pF

6.11.5.11.2 SPI コントローラ モードのタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
通常モード					
SM4	$t_{su(MISO-SPICLK)}$	セットアップ時間、spi_d[x] 有効から spi_sclk アクティブ エッジまで	2		ns
SM5	$t_{h(SPICLK-MISO)}$	ホールド時間、spi_sclk アクティブ エッジから spi_d[x] 有効の間	3		ns

Copyright © 2026 Texas Instruments Incorporated

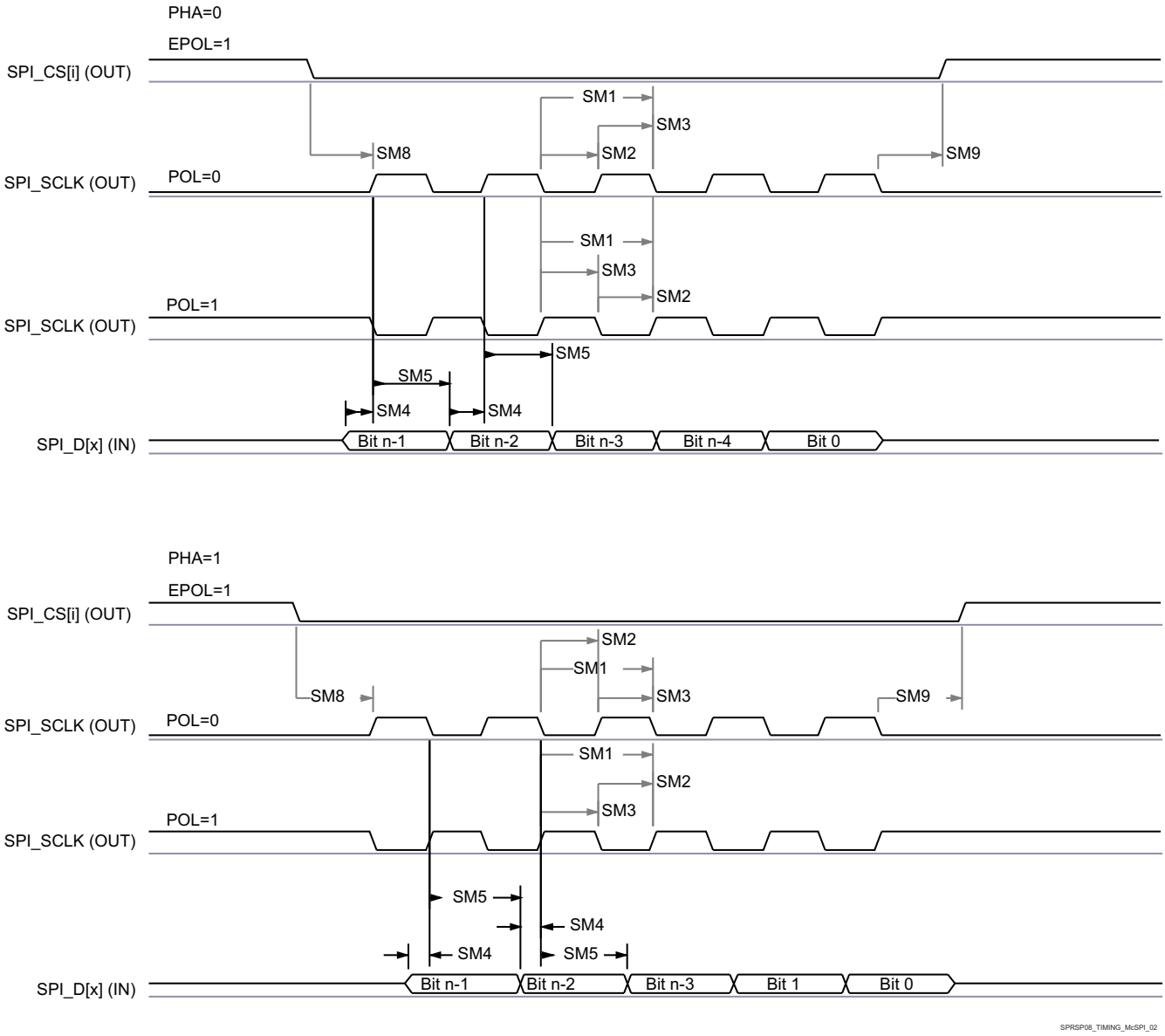


図 6-42. SPI コントローラ モードの受信タイミング

6.11.5.11.3 SPI コントローラ モードのスイッチング特性 (クロック位相 = 0)

番号	パラメータ	説明		最小値	最大値	単位
通常モード						
SM1	$t_{c(SPICLK)}$	サイクル時間、spi_sclk		20		ns
SM2	$t_{w(SPICLKL)}$	標準パルス期間、spi_sclk Low		–1 + 0.5P(1)		ns
SM3	$t_{w(SPICLKH)}$	標準パルス期間、spi_sclk High		–1 + 0.5P(1)		ns
SM6	$t_{d(SPICLK-SIMO)}$	遅延時間、spi_sclk アクティブ エッジから spi_d[x] 遷移まで		-3	2	ns
SM7	$t_{sk(CS-SIMO)}$	遅延時間、spi_cs[x] アクティブから spi_d[x] 遷移まで		5		ns
SM8	$t_{d(SPICLK-CS)}$	遅延時間、spi_cs[x] アクティブから spi_sclk の最初のエッジまで	PHA = 0	–4 + B(3)		ns
			PHA = 1	–4 + A(2)		ns
SM9	$t_{d(SPICLK-CS)}$	遅延時間、spi_sclk の最後のエッジから spi_cs[x] 非アクティブまで	PHA = 0	–4 + A(2)		ns
			PHA = 1	–4 + B(3)		ns

(1) P = SPICLK 周期 (ns 単位)。
(2) P = 20.8ns のとき、A = (TCS + 1) * TSPICLKREF。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドです。P > 20.8ns のとき、A = (TCS + 0.5) * Fratio * TSPICLKREF。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドです。
(3) B = (TCS + 0.5) * TSPICLKREF。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドであり、Fratio = 偶数 >= 2 です。

Copyright © 2026 Texas Instruments Incorporated

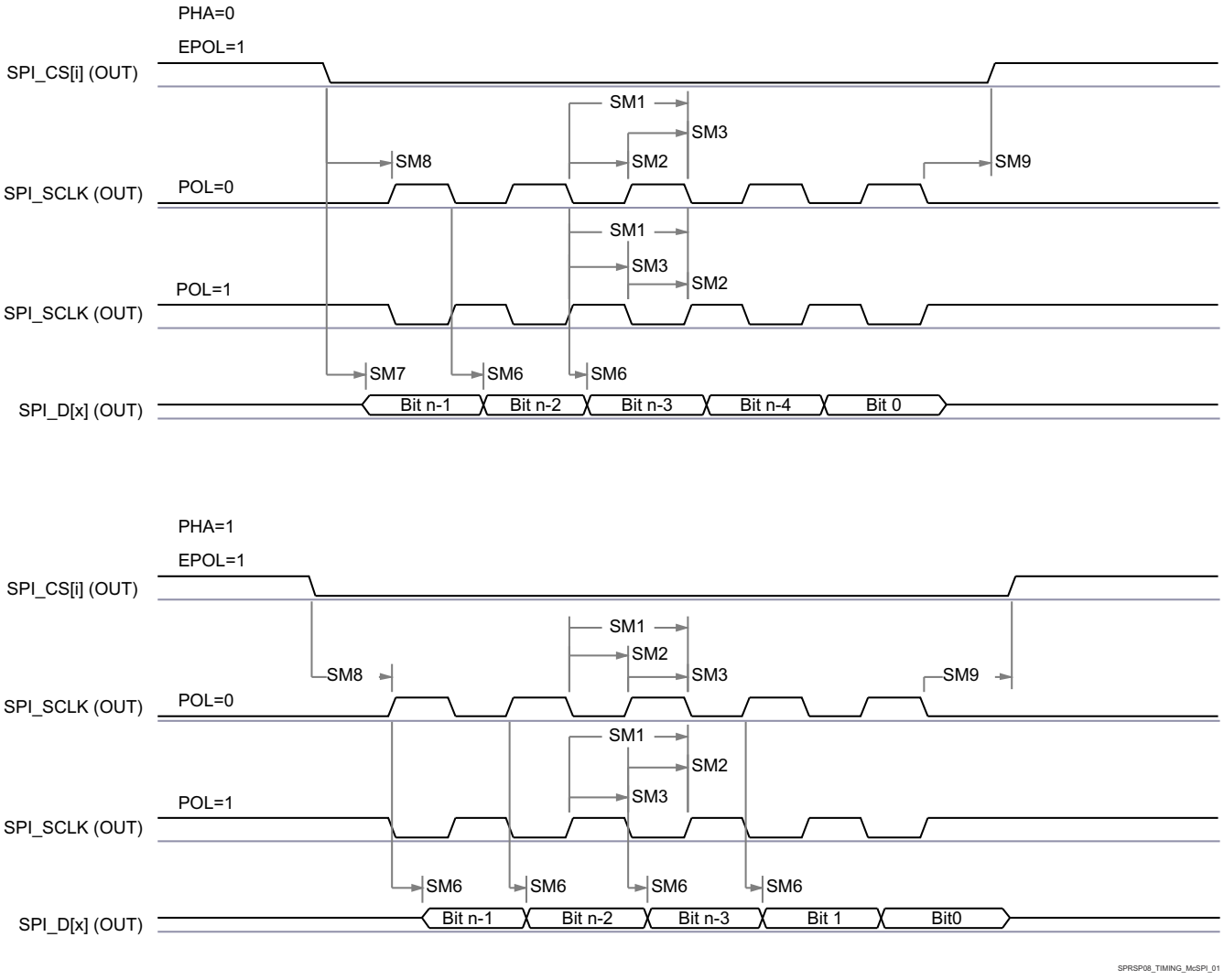


図 6-43. SPI コントローラ モードの送信タイミング

6.11.5.11.4 SPI ペリフェラル モードのタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
SS1	$t_{c(SPICLK)}$	サイクル時間、spi_sclk	40		ns
SS2	$t_{w(SPICLKL)}$	標準パルス期間、spi_sclk Low	0.45 × P(1)		ns
SS3	$t_{w(SPICLKH)}$	標準パルス期間、spi_sclk High	0.45 × P(1)		ns
SS4	$t_{su(SIMO-SPICLK)}$	セットアップ時間、spi_d[x] 有効から spi_sclk アクティブ エッジまで	5		ns
SS5	th(SPICLK-SIMO)	ホールド時間、spi_sclk アクティブ エッジから spi_d[x] 有効の間	5		ns
SS8	$t_{su(CS-SPICLK)}$	セットアップ時間、spi_cs[x] 有効から spi_sclk の最初のエッジまで	5		ns
SS9	$t_{h(SPICLK-CS)}$	ホールド時間、spi_sclk の最後のエッジから spi_cs[x] 有効の間	5		ns

(1) P = SPICLK 周期。

Copyright © 2026 Texas Instruments Incorporated

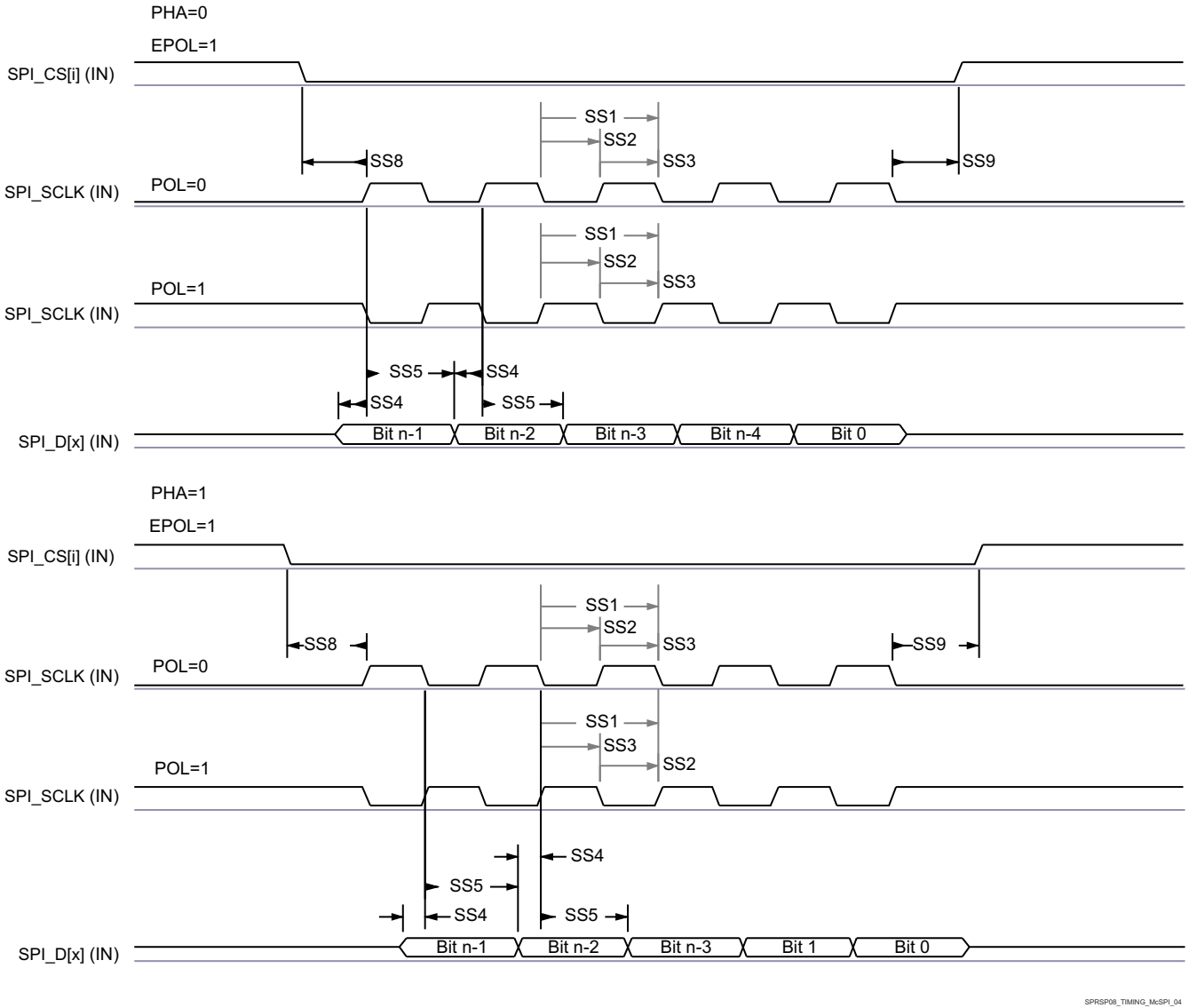


図 6-44. SPI ペリフェラル モードの受信タイミング

6.11.5.11.5 SPI ペリフェラル モードのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
通常モード					
SS6	$t_{d(SPICLK-SOMI)}$	遅延時間、spi_sclk アクティブ エッジから mcspi_somi 遷移まで	2	17.12	ns
SS7	$t_{sk(CS-SOMI)}$	遅延時間、spi_cs[x] アクティブ エッジから mcspi_somi 遷移まで	20.95		ns

Copyright © 2026 Texas Instruments Incorporated

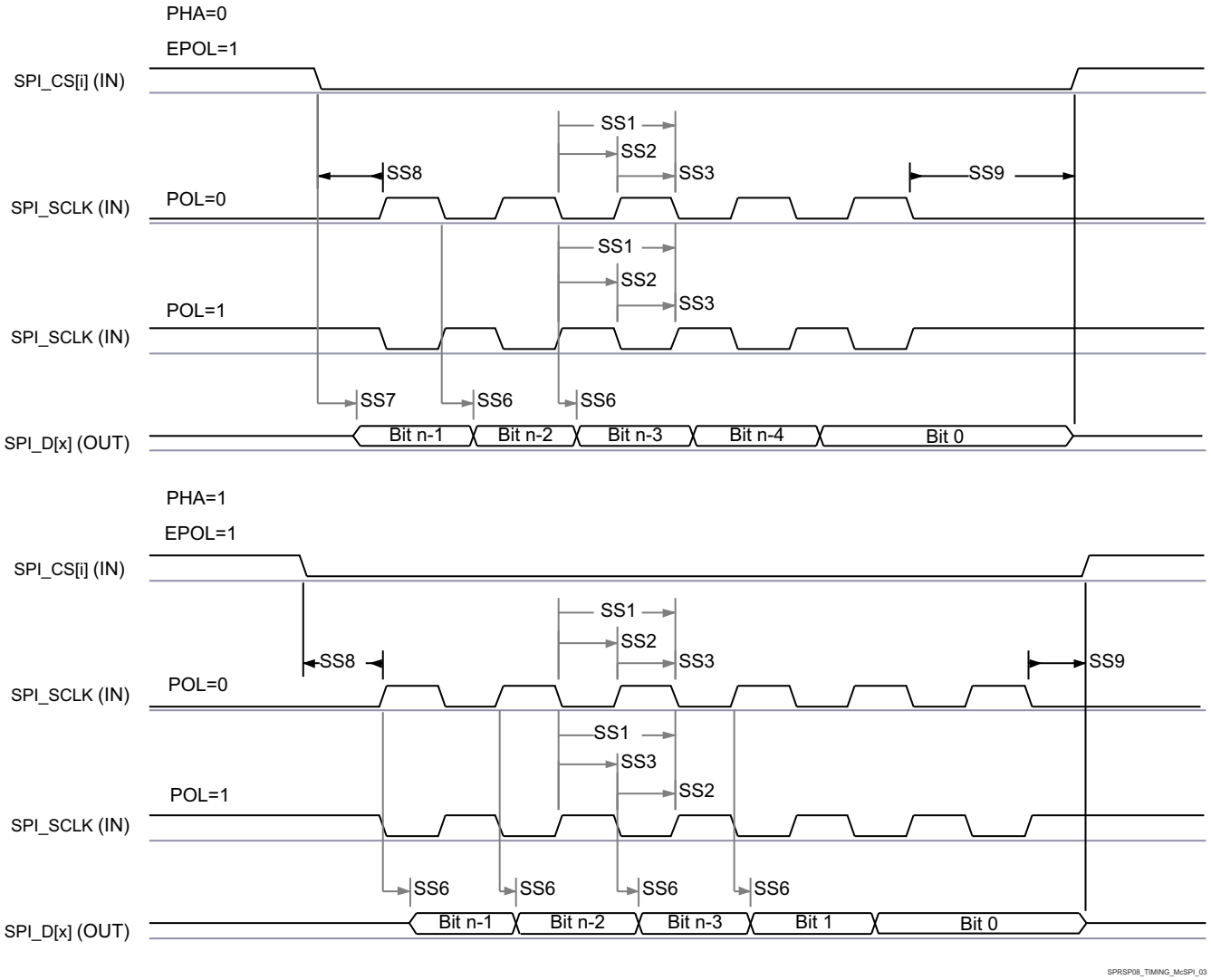


図 6-45. SPI ペリフェラル モードの送信タイミング

6.11.5.12 マルチメディア カード セキュア デジタル (MMCSD)

MMCSD ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCSD インターフェイスの詳細については、「*信号の説明*」および「*詳細説明*」セクションの対応する MMC サブセクションを参照してください。

詳細については、デバイスの TRM で *ペリフェラル* の章にある *マルチメディアカード / セキュア デジタル (MMCSD) インターフェイス* セクションを参照してください。

6.11.5.12.1 MMC のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	デフォルト速度	0.69	2.06	V/ns
		高速	0.69	2.06	V/ns
出力条件					
C_L	出力負荷容量	デフォルト速度	1	10	pF
		高速	1	10	pF

6.11.5.12.2 MMC のタイミング要件 - SD カードのデフォルト速度モード

番号	パラメータ	説明	最小値	最大値	単位
DS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_CMD が有効であるべき時間	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_CMD を有効に保持すべき時間	19.67		ns
DS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_DAT[3:0] が有効であるべき時間	2.15		ns
DS4	$t_{h(clkH-dV)}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_DAT[3:0] を有効に保持すべき時間	19.67		ns

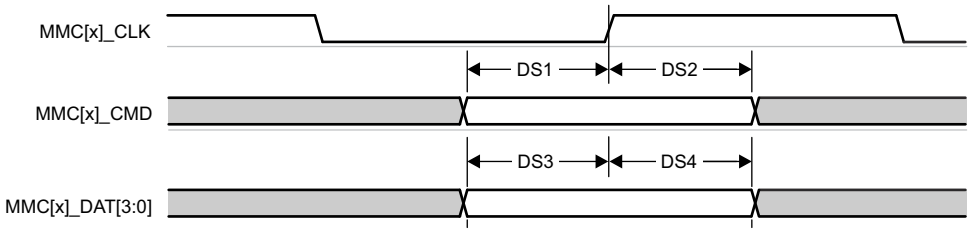


図 6-46. MMC – デフォルト速度 – 受信モード

6.11.5.12.3 MMC スイッチング特性 - SD カード デフォルト高速モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC_CLK		25	MHz
DS5	$t_{c(clk)}$	動作周期、MMC_CLK		40	ns
DS6	$t_{w(clkH)}$	パルス幅、MMC_CLK High	18.7		ns
DS7	$t_{w(clkL)}$	パルス幅、MMC_CLK Low	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	-14.1	14.1	ns

Copyright © 2026 Texas Instruments Incorporated

番号	パラメータ	説明	最小値	最大値	単位
DS9	$t_{d(clkL-dV)}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[3:0] 遷移まで	-14.1	14.1	ns

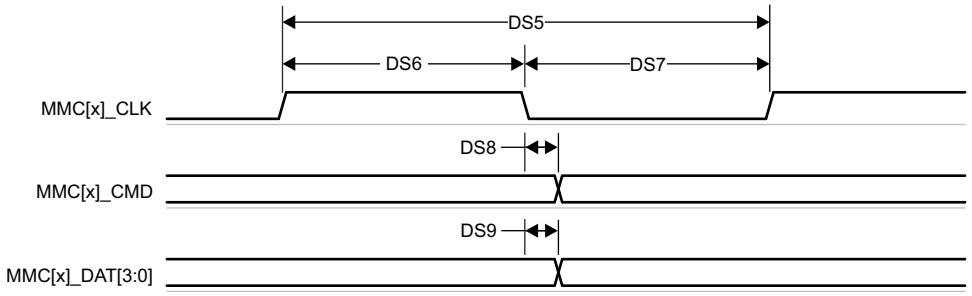


図 6-47. MMC – デフォルト速度 – 送信モード

6.11.5.12.4 MMC のタイミング要件 - SD カードの高速度モード

番号	パラメータ	説明	最小値	最大値	単位
HS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_CMD が有効であるべき時間	2.15		ns
HS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_CMD を有効に保持すべき時間	2.67		ns
HS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_DAT[3:0] が有効であるべき時間	2.15		ns
HS4	$t_{h(clkH-dV)}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_DAT[3:0] を有効に保持すべき時間	2.67		ns

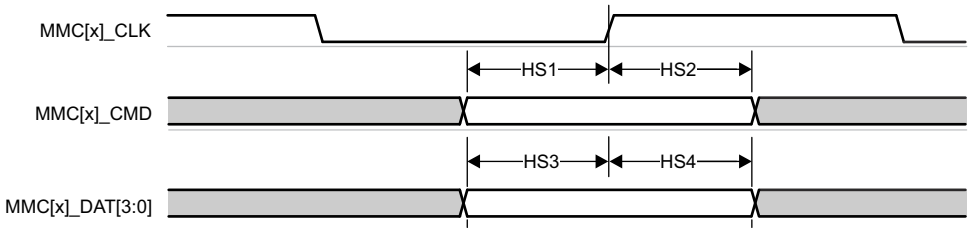


図 6-48. MMC – ハイスピード – 受信モード

6.11.5.12.5 MMC スイッチング特性 - SD カード高速モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC_CLK		50	MHz
HS5	$t_{c(clk)}$	動作周期、MMC_CLK		20	ns
HS6	$t_{w(clkH)}$	パルス幅、MMC_CLK High	9.2		ns
HS7	$t_{w(clkL)}$	パルス幅、MMC_CLK Low	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	-7.35	3.35	ns
HS9	$t_{d(clkL-dV)}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[3:0] 遷移まで	-7.35	3.35	ns

Copyright © 2026 Texas Instruments Incorporated

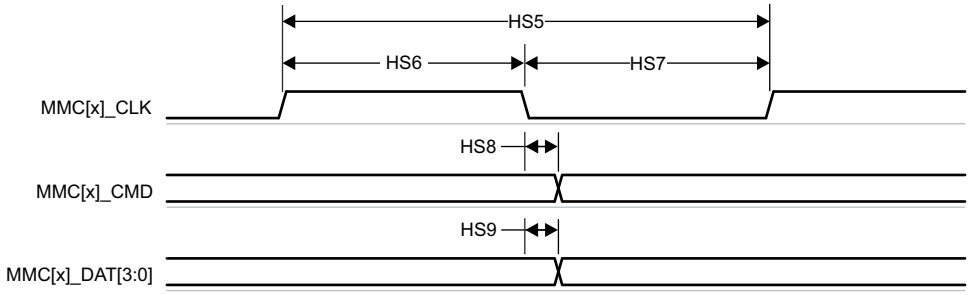


図 6-49. MMC – ハイスピード – 送信モード

Copyright © 2026 Texas Instruments Incorporated

6.11.5.13 クワッド シリアル ペリフェラル インターフェイス (QSPI)

デバイスの「クアッド シリアルペリフェラル インターフェイス」の機能と追加の説明の詳細については、「*信号の説明*」および「*詳細な説明*」セクション内の対応するサブセクションを参照してください。

詳細については、デバイスの TRM にある「*クアッド シリアルペリフェラル インターフェイス (QSPI)*」セクションを参照してください。

6.11.5.13.1 QSPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	8	pF

6.11.5.13.2 QSPI のタイミング要件

(1)(2)

番号	パラメータ	説明	モード	最小値	最大値	単位
Q12	$t_{su(D-RTCLK)}$	セットアップ時間、d[3:0] は rtclk の立ち下がりエッジの前に有効	手動 IO タイミング モード、クロック モード 0	2.69		ns
	$t_{su(D-SCLK)}$	セットアップ時間、d[3:0] 有効から sclk 立ち下がりエッジまで	手動 IO タイミング モード、クロック モード 3	5.7		ns
Q13	$t_{h(RTCLK-D)}$	ホールド時間、d[3:0] は rtclk の立ち下がりエッジ後に有効	手動 IO タイミング モード、クロック モード 0	-0.1		ns
	$t_{h(SCLK-D)}$	ホールド時間、sclk 立ち下がりエッジから d[3:0] 有効の間	手動 IO タイミング モード、クロック モード 3	0.1		ns

(1) クロックモード 1 および 2 はサポートされていません。
(2) 従来の立ち上がりクロック エッジとは対照的に、本デバイスはクロック モード 0 と 3 での立ち下がりクロック エッジでデータを取り込みます。 立ち下がりエッジに基づく本デバイスのセットアップおよびホールド時間タイミングは標準ではありませんが、クロック モード 0 と 3 の立ち下がりエッジでデータを出力する標準 SPI デバイスと接続できるように設計されています。

Copyright © 2026 Texas Instruments Incorporated

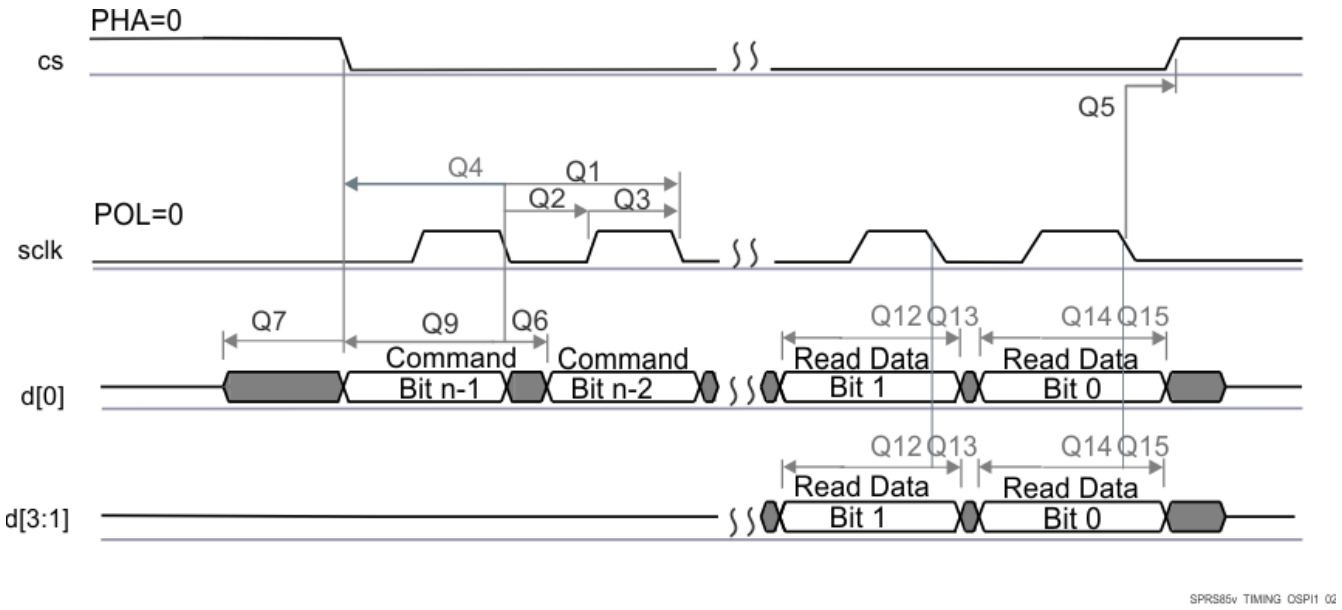


図 6-50. QSPI のタイミング要件

6.11.5.13.3 QSPI スイッチング特性

番号	パラメータ	説明	モード	最小値	最大値	単位
Q1	$t_{c(SCLK)}$	サイクル時間、sclk	手動 IO タイミング モード、クロック モード 0	10.41		ns
			手動 IO タイミング モード、クロック モード 3	13.02		ns
Q2	$t_{w(SCLKL)}$	パルス幅、sclk Low	すべて	Y(4) × P(1) – 1		ns
Q3	$t_{w(SCLKH)}$	パルス幅、sclk High	すべて	Y(4) × P(1) – 1		ns
Q4	$t_{d(CS-SCLK)}$	遅延時間、sclk 立ち下がりエッジから cs アクティブ エッジまで、CS1:0	手動 IO タイミング モード	–M(2) × P(1) – 2	–M(2) × P(1) + 2	ns
Q5	$t_{d(SCLK-CS)}$	遅延時間、sclk 立ち下がりエッジから cs 非アクティブ エッジまで、CS1:0	手動 IO タイミング モード	N(3) × P(1) – 2	N(3) × P(1) + 2	ns
Q6	$t_{d(SCLK-D0)}$	遅延時間、sclk 立ち下がりエッジから d[0] 遷移まで	手動 IO タイミング モード	-1	2	ns
Q7	$t_{ena(CS-D0LZ)}$	イネーブル時間、cs アクティブ エッジから d[0] 駆動 (lo-z) まで	すべて	–P(1) – 2	–P(1) + 2	ns
Q8	$t_{dis(CS-D0Z)}$	ディセーブル時間、cs アクティブ エッジから d[0] トライ ステート (ハイ インピーダンス) まで	すべて	–P(1) – 2	–P(1) + 2	ns
Q9	$t_{d(SCLK-D0)}$	遅延時間、sclk の初回立ち下がりエッジから初回 d[0] 遷移まで	手動 IO タイミング モード、PHA = 0 のみ	–P(1) – 1	–P(1) + 2	ns

(1) P = SCLK 周期
(2) クロック モード 0 の場合、M= QSPI_SPI_DC_REG.DDx + 1。 クロック モード 3 の場合、M= QSPI_SPI_DC_REG.DDx。
(3) クロック モード 0 の場合、N = 2。 クロック モード 3 の場合、N = 3。
(4) DCLK_DIV が 0 または奇数の場合、Y = 0.5
DCLK_DIV が偶数の場合、Y = (DCLK_DIV/2)/(DCLK_DIV+1)

Copyright © 2026 Texas Instruments Incorporated

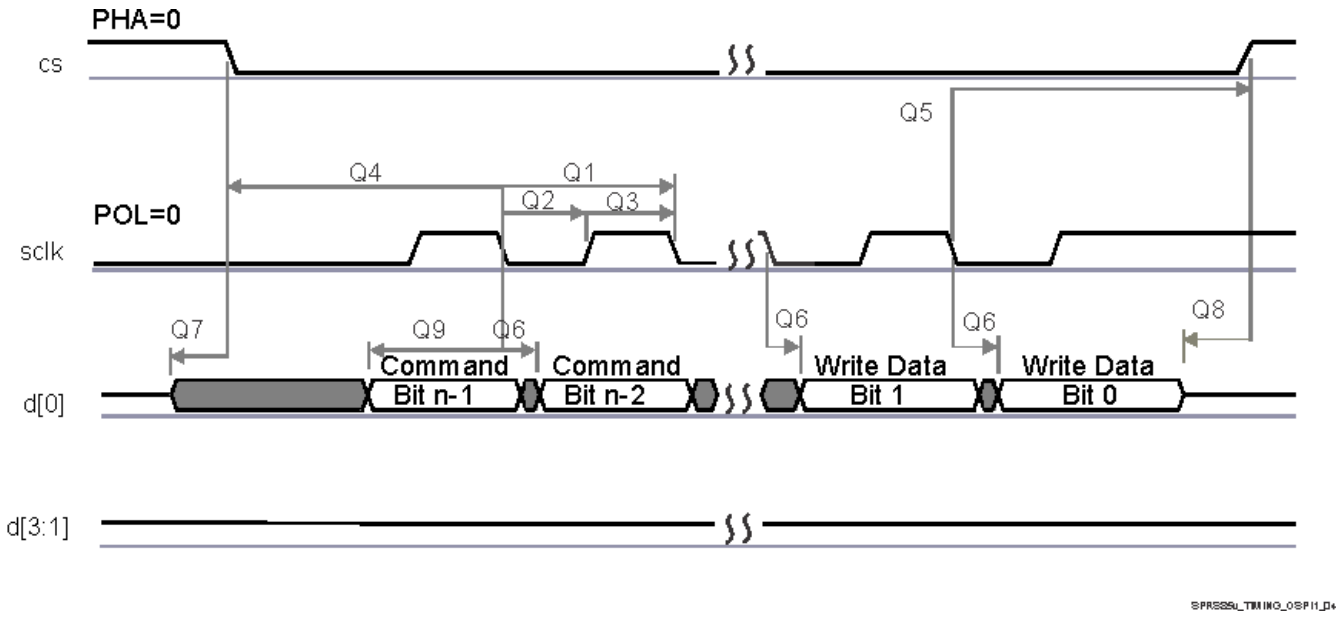


図 6-51. QSPI スイッチング特性

6.11.5.14 プログラマブル リアルタイム ユニットおよび産業用通信サブシステム (PRU-ICSS)

このデバイスは、単一のプログラマブル リアルタイム ユニットおよび産業用通信サブシステム (PRU-ICSS0) を内蔵しています。PRU コアのプログラム可能な性質と、ピン、イベント、およびすべてのデバイス リソースにアクセスできることから、高速でリアルタイムの応答、特化したデータ処理操作、カスタム ペリフェラル インターフェイスを柔軟に実装でき、デバイスの他のプロセッサ コアをタスクの負荷から解放できます。

PRU-ICSS デバイスの機能の詳細と追加の説明情報については、「*信号の説明*」および「*詳細説明*」セクションの対応するサブセクションを参照してください。

注

PRU-ICSS0 は内部ラッパーのマルチプレクシングをサポートしており、デバイスのトップレベル多重化を拡張します。

6.11.5.14.1 PRU-ICSS プログラマブル リアルタイム ユニット (PRU)

注

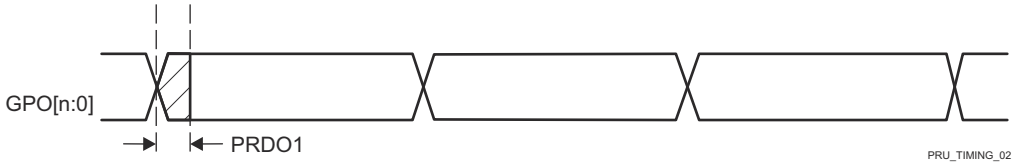
PRU_ICSS PRU 信号は、動作モードに応じて機能が異なります。このセクションの信号の名称は、デバイスの TRM の *PRU モジュール インターフェイス* セクションで使用される名称と一致します。

6.11.5.14.1.1 PRU-ICSS PRU のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	2	30	pF

6.11.5.14.1.2 PRU-ICSS PRU のスイッチング特性 – 直接出力モード

番号	パラメータ	説明	最小値	最大値	単位
PRDO1	$t_{sk(PRU_GPO)}$	PRU_GPO (データ出力) スキュー		3	ns



A. GPO[n:0] で、n は 19。

図 6-52. PRU-ICSS PRU 直接出力タイミング

6.11.5.14.1.3 PRU-ICSS PRU のタイミング要件 – パラレル キャプチャ モード

番号	パラメータ	説明	最小値	最大値	単位
PRPC1	$t_{c(PRU_CLOCK)}$	サイクル時間、PRU_CLOCK	20		ns
PRPC2	$t_{w(PRU_CLOCKL}$	パルス幅、PRU_CLOCK Low	10		ns
PRPC3	$t_{w(PRU_CLOCKH)}$	パルス幅、PRU_CLOCK High	10		ns
PRPC4	$t_{su(PRU_DATAIN-PRU_CLK)}$	セットアップ時間、PRU_DATAIN 有効から PRU_CLOCK アクティブ エッジまで	4		ns

Copyright © 2026 Texas Instruments Incorporated

番号	パラメータ	説明	最小値	最大値	単位
PRPC5	$t_{th(PRU_CLOCK-PRU_DATAIN)}$	ホールド時間、PRU_CLOCK アクティブ エッジから PRU_DATAIN 有効の間	0		ns

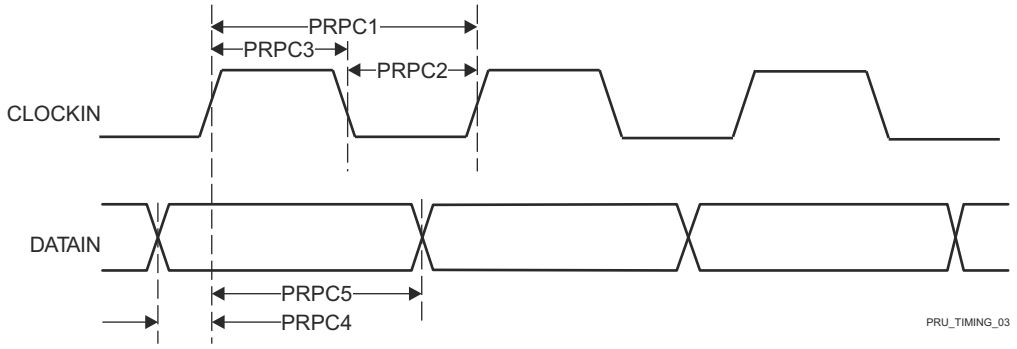


図 6-53. PRU-ICSS PRU パラレル キャプチャのタイミング要件 – 立ち上がりエッジ モード

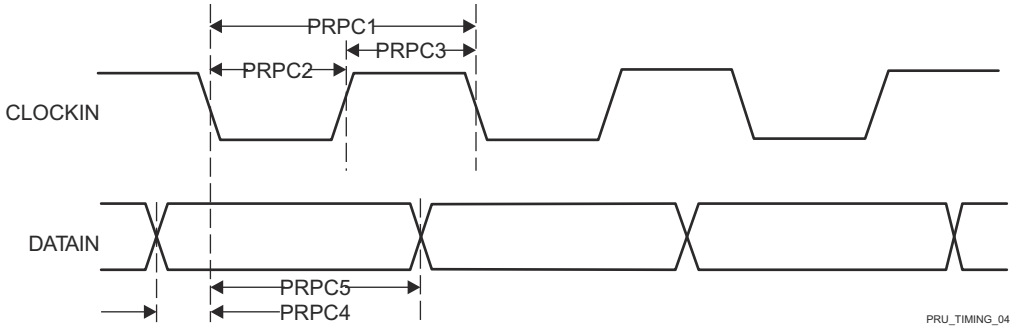


図 6-54. PRU-ICSS PRU パラレル キャプチャのタイミング要件 – 立ち下がりエッジ モード

6.11.5.14.1.4 PRU-ICSS PRU のタイミング要件 – シフトイン モード

番号	パラメータ	説明	最小値	最大値	単位
PRSI1	$t_{w(PRU_DATAINH)}$	パルス幅、PRU_DATAIN High	2 + 2P(1)		ns
PRSI2	$t_{w(PRU_DATAINL)}$	パルス幅、PRU_DATAIN Low	2 + 2P(1)		ns

(1) P = 内部シフト イン クロック周期。GPCFGn レジスタの PRU_GPI_DIV0 および PRU0_GPI_DIV1 ビット フィールドで定義されます。

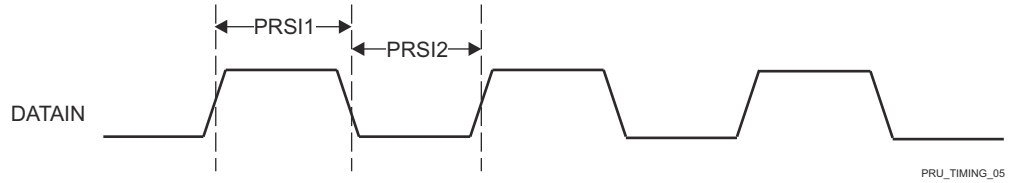


図 6-55. PRU-ICSS PRU シフトインのタイミング

6.11.5.14.1.5 PRU-ICSS PRU のスイッチング特性 – シフト アウト モード

番号	パラメータ	説明	最小値	最大値	単位
PRSO1	$t_{c(PRU_CLOCKOUT)}$	サイクル時間、PRU_CLOCKOUT	10		ns
PRSO2L	$t_{w(PRU_CLOCKOUTL)}$	パルス時間、PRU_CLOCKOUT Low	–0.3 + 0.475 × P(1) × Z(2)		ns
PRSO2H	$t_{w(PRU_CLOCKOUTH)}$	パルス幅、PRU_CLOCKOUT High	–0.3 + 0.475 × P(1) × Y(3)		ns

Copyright © 2026 Texas Instruments Incorporated

番号	パラメータ	説明	最小値	最大値	単位
PRSO3	$t_{d(PRU_CLOCKOUT-PRU_DATAOUT)}$	遅延時間、PRU_CLOCKOUT から PRU_DATAOUT が有効になるまで	0	3	ns

(1) P = ソフトウェアによるプログラム可能なシフト アウト クロック周期。GPCFGn レジスタの PRU0_GP0_Div0 および PRU0_GPO_DIV1 ビット フィールドで定義されます。

(2) Z パラメータは次のように定義されます。
PRU0_GPI_DIV0 と PRU0_GPI_DIV1 が INTEGERS の場合、または PRU0_GPI_DIV0 が NON-INTEGER で PRU0_GPI_DIV1 が EVEN INTEGER の場合、
Z は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1) に等しくなります。
PRU0_GPI_DIV0 が NON-INTEGER で PRU0_GPI_DIV1 が ODD INTEGER の場合 、
Z は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.5) に等しくなります。
PRU0_GPI_DIV0 が INTEGER で PRU0_GPI_DIV1 が NON-INTEGER の場合 、
Z は(PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.5 * PRU0_GPI_DIV0) に等しくなります。
PRU0_GPI_DIV0 と PRU0_GPI_DIV1 が NON-INTEGERS の場合 、
Z は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.25 * PRU0_GPI_DIV0) に等しくなります

(3) Y パラメータは次のように定義されます。
PRU0_GPI_DIV0 と PRU0_GPI_DIV1 が INTEGERS の場合、または PRU0_GPI_DIV0 が NON-INTEGER で PRU0_GPI_DIV1 が EVEN INTEGER の場合、
Y は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1) に等しくなります。
PRU0_GPI_DIV0 が NON-INTEGER で PRU0_GPI_DIV1 が ODD INTEGER の場合 、
Y は (PRU0_GPI_DIV0* PRU0_GPI_DIV1 - 0.5) に等しくなります。
PRU0_GPI_DIV0 が INTEGER で PRU0_GPI_DIV1 が NON-INTEGER の場合 、
Y は(PRU0_GPI_DIV0 * PRU0_GPI_DIV1 - 0.5 * PRU0_GPI_DIV0) に等しくなります。
PRU0_GPI_DIV0 と PRU0_GPI_DIV1 が NON-INTEGERS の場合、
Y1 は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 - 0.25 * PRU0_GPI_DIV0)、
Y2 は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.25 * PRU0_GPI_DIV0) に等しくなり、ここで、Y1 は最初の高いパルス、Y2 は 2 番目の高いパルスです。

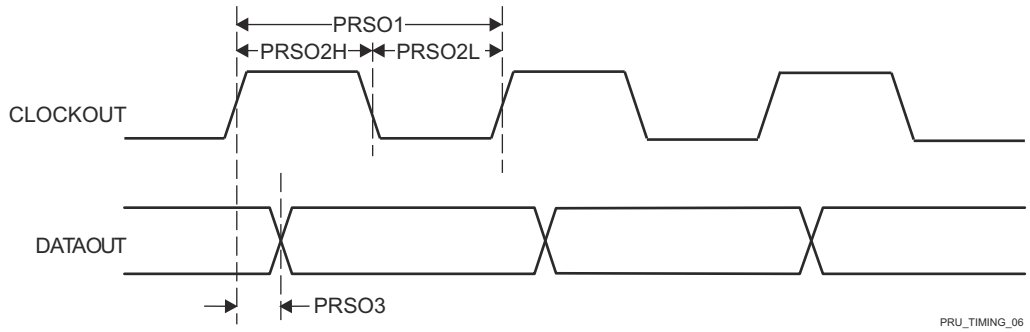


図 6-56. PRU-ICSS PRU シフトアウトのタイミング

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14.2 PRU-ICSS PRU シグマ デルタおよびペリフェラルインターフェイス

6.11.5.14.2.1 PRU_ICSS PRU シグマ デルタおよびペリフェラル インターフェイスのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	2	18	pF

6.11.5.14.2.2 PRU_ICSS PRU のタイミング要件 – シグマ デルタ モード

番号	パラメータ	説明	最小値	最大値	単位
PRSD1	$t_{c(SD_CLK)}$	サイクル時間、SD_CLK	40		ns
PRSD2L	$t_{w(SD_CLKL)}$	パルス幅、SD_CLK Low	20		ns
PRSD2H	$t_{w(SD_CLKH)}$	パルス幅、SD_CLK High	20		ns
PRSD3	$t_{su(SD_D-SDCLK)}$	セットアップ時間、SD_D 有効から SD_CLK アクティブ エッジまで	10		ns
PRSD4	$t_{su(SDCLK-SD_D)}$	ホールド時間、SD_CLK アクティブ エッジから SD_D 有効の間	5		ns

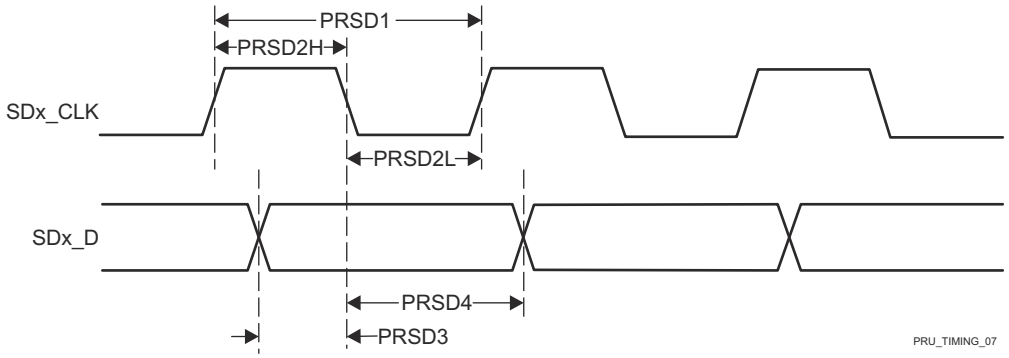


図 6-57. PRU_ICSS PRU SD_CLK 立ち下がりアクティブ エッジ

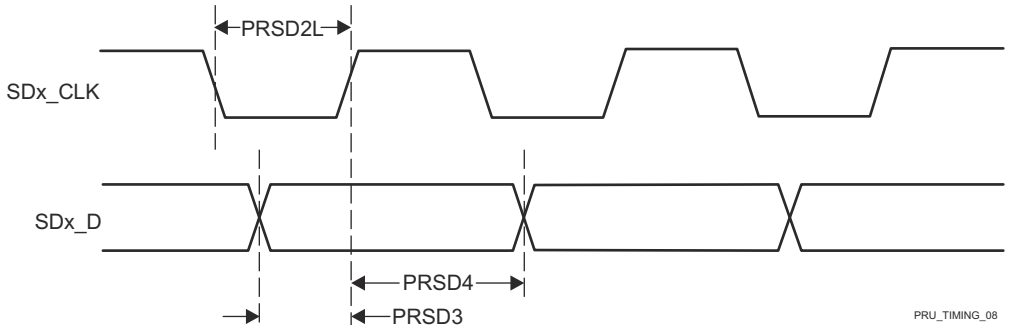


図 6-58. PRU_ICSS PRU SD_CLK の立ち上がりアクティブ エッジ

6.11.5.14.2.3 PRU-ICSS PRU タイミング要件 – ペリフェラル インターフェイス モード

番号	パラメータ	説明	最小値	最大値	単位
PRPIF1	$t_{w(PIF_DATA_INH)}$	パルス幅、PIF_DATA_IN High	2 + 0.475 × (4 × P(1))		ns

番号	パラメータ	説明	最小値	最大値	単位
PRPIF2	$t_{w(PIF_DATA_INL)}$	パルス幅、PIF_DATA_IN Low	2 + 0.475 × (4 × P(1))		ns

(1) P = 1x (または TX) クロック周期。CFG_ED_P<n>_TXCFG レジスタの TX_DIV_FACTOR および TX_DIV_FACTOR_FRAC で定義されます。

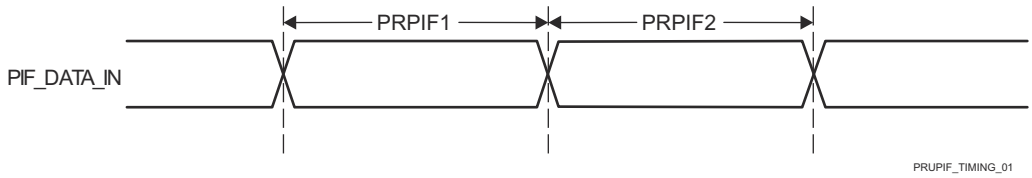


図 6-59. PRU_ICSS PRU ペリフェラル インターフェイスのタイミング要件

6.11.5.14.2.4 PRU-ICSS PRU スイッチング特性 - ペリフェラル インターフェイス モード

番号	パラメータ	説明	最小値	最大値	単位
PRPIF3	$t_{c(PIF_CLK)}$	サイクル時間、PIF_CLK	30		ns
PRPIF4	$t_{w(PIF_CLKH)}$	パルス幅、PIF_CLK High	0.475P(1)		ns
PRPIF5	$t_{w(PIF_CLKL)}$	パルス幅、PIF_CLK Low	0.475P(1)		ns
PRPIF6	$t_{d(PIF_CLK-PIF_DATA_OUT)}$	遅延時間、PIF_CLK 立ち下がりから PIF_DATA_OUT まで	-5	5	ns
PRPIF7	$t_{d(PIF_CLK-PIF_DATA_EN)}$	遅延時間、PIF_CLK 立ち下がりから PIF_DATA_EN まで	-5	5	ns

(1) P = 1x (または TX) クロック周期。CFG_ED_P<n>_TXCFG レジスタの TX_DIV_FACTOR および TX_DIV_FACTOR_FRAC で定義されます。

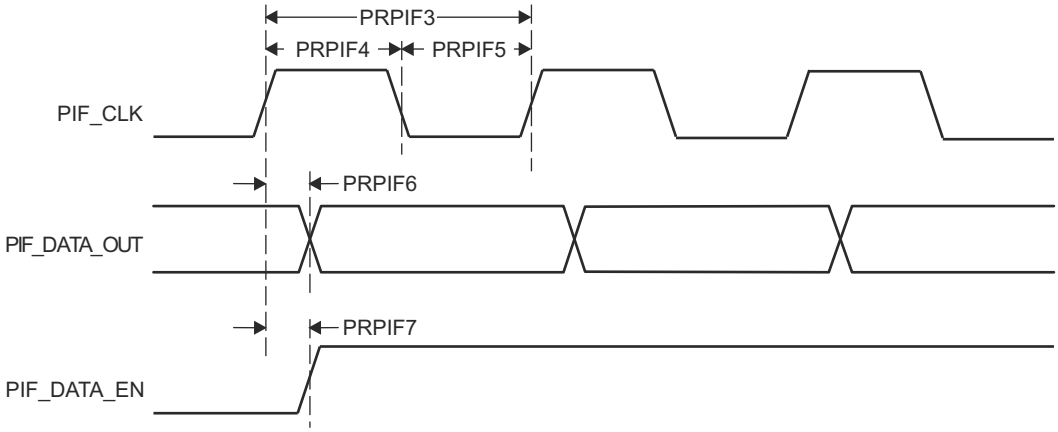


図 6-60. PRU_ICSS PRU ペリフェラル インターフェイスのスイッチング特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14.3 PRU-ICSS パルス幅変調 (PWM)

6.11.5.14.3.1 PRU-ICSS PWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.14.3.2 PRU-ICSS PWM スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PRPWM1	$t_{sk(PWM_A/B)}$	PWM_A/B スキュー		0	ns

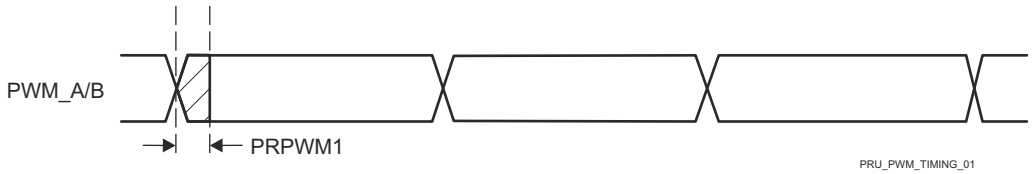


図 6-61. PRU-ICSS PWM のタイミング

6.11.5.14.4 PRU-ICSS 産業用イーサネット ペリフェラル (IEP)

6.11.5.14.4.1 PRU-ICSS IEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	1	7	pF

6.11.5.14.4.2 PRU-ICSS IEP タイミング要件 - SYNCx による入力有効化

番号	パラメータ	説明	最小値	最大値	単位
PRIEP1	$t_{w(EDC_SYNCx_OUTL)}$	パルス幅、EDC_SYNCx_OUT Low	–2 + 20P(1)		ns
PRIEP2	$t_{w(EDC_SYNCx_OUTH)}$	パルス幅、EDC_SYNCx_OUT High	–2 + 20P(1)		ns
PRIEP3	$t_{su(EDIO_DATA_IN-EDC_SYNCx_OUT}$	セットアップ時間、EDC_SYNCx_OUT アクティブ エッジの前 EDIO_DATA_IN 有効	20		ns
PRIEP4	$t_{h(EDC_SYNCx_OUT-EDIO_DATA_IN)}$	ホールド時間、EDC_SYNCx_OUT アクティブ エッジから EDIO_DATA_IN 有効の間	20		ns

(1) P = PRU-ICSS IEP クロック ソース周期。

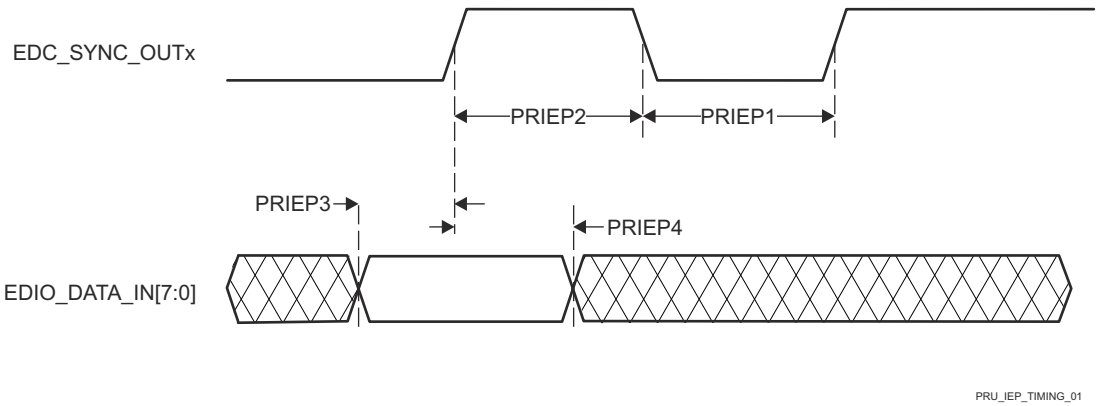


図 6-62. PRU_ICSS IEP SYNC のタイミング要件

6.11.5.14.4.3 PRU-ICSS IEP のタイミング要件 - デジタル IO

番号	パラメータ	説明	最小値	最大値	単位
IEPIO1	$t_{w(EDIO_OUTVALIDL)}$	パルス幅、EDIO_OUTVALID Low	–2 + 14P(1)		ns
IEPIO2	$t_{w(EDIO_OUTVALIDH)}$	パルス幅、EDIO_OUTVALID High	–2 + 32P(1)		ns
IEPIO3	$t_{d(EDIO_OUTVALID-EDIO_DATA_OUT)}$	遅延時間、EDIO_OUTVALID から EDIO_DATA OUT	0	18P(1)	ns
IEPIO4	$t_{sk(EDIO_DATA_OUT)}$	EDIO_DATA_OUT スキュー	6		ns

(1) P = PRU-ICSS IEP クロック ソース周期。

Copyright © 2026 Texas Instruments Incorporated

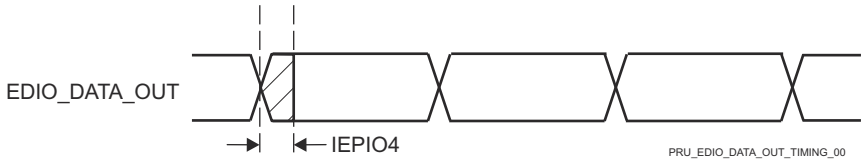


図 6-63. PRU-ICSS IEP デジタル IO のタイミング要件

6.11.5.14.4.4 PRU-ICSS IEP タイミング要件- LATCHx_IN

番号	パラメータ	説明	最小値	最大値	単位
PRLA1	$t_{w(EDC_LATCHx_INL)}$	パルス幅、EDC_LATCHx_IN Low	2 + 3P(1)		ns
PRLA2	$t_{w(EDC_LATCHx_INH)}$	パルス幅、EDC_LATCHx_IN High	2 + 3P(1)		ns

(1) P = PRU-ICSS IEP クロック ソース周期。

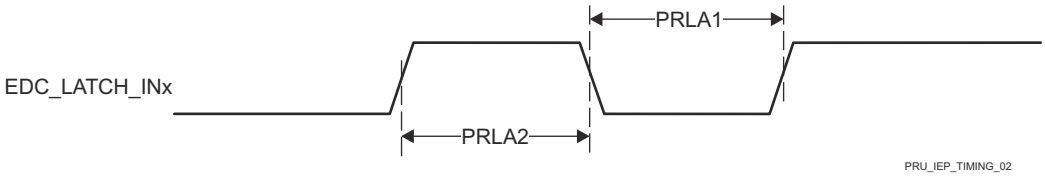


図 6-64. PRU_ICSS IEP LATCH_INx のタイミング要件

6.11.5.14.5 PRU-ICSS UART (ユニバーサル非同期レシーバ / トランスミッタ)

6.11.5.14.5.1 PRU-ICSS UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.01	0.33	V/ns
出力条件				
C_L	出力負荷容量	1	30	pF

6.11.5.14.5.2 PRU-ICSS UART タイミング要件

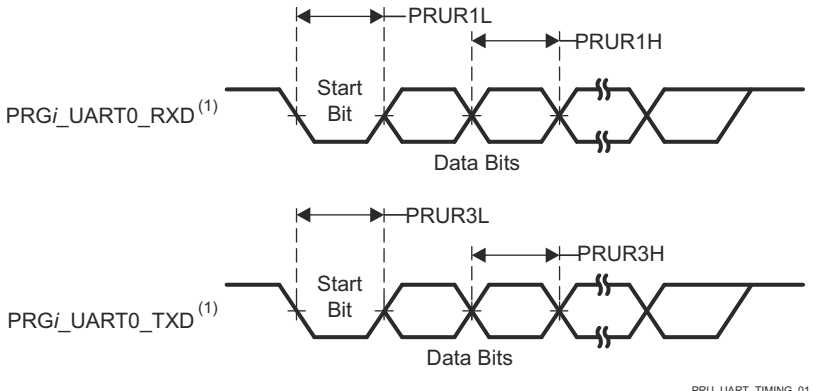
番号	パラメータ	説明	最小値	最大値	単位
PRUR1H	$t_{w(RXH)}$	パルス幅、受信 START、STOP、DATA ビット High	U(1)		ns
PRUR1L	$t_{w(RXL)}$	パルス幅、受信 START、STOP、DATA ビット Low	–2 + U(1)		ns

(1) U = UART のボー時間 = 1/ プログラムされたボーレート。

6.11.5.14.5.3 PRU-ICSS UART スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PRUR2	$f_{(baud)}$	プログラム可能な最大ボー レート	U(1)		ns
PRUR3H	$t_{w(TXH)}$	パルス幅、送信 START、STOP、DATA ビット High	–2 + U(1)		ns

(1) U = UART のボー時間 = 1/ プログラムされたボーレート。



(1) i in PRG*i*_UART0_RXD and PRG*i*_UART0_TXD = 0, 1 or 2

図 6-65. PRU-ICSS UART のタイミング要件およびスイッチング特性

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14.6 PRU-ICSS 拡張キャプチャ ペリフェラル (ECAP)

6.11.5.14.6.1 PRU-ICSS ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.14.6.2 PRU-ICSS ECAP タイミング要件

番号	パラメータ	説明	最小値	最大値	単位
PREP1	$t_{w(CAP)}$	パルス幅、キャプチャ入力 (非同期)	2 + 2P(1)		ns
PREP2	$t_{w(SYNCI)}$	パルス幅、同期入力 (非同期)	2 + 2P(1)		ns

(1) P = core_clk 周期

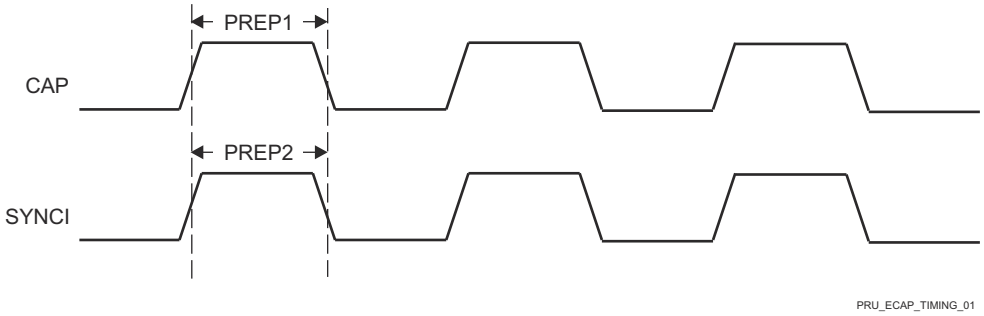


図 6-66. PRU-ICSS ECAP のタイミング

6.11.5.14.6.3 PRU-ICSS ECAP スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PREP3	$t_{w(APWM)}$	パルス幅、補助 PWM (APWM) 出力 High/Low	2P(1)		ns
PREP4	$t_{w(SYNCO)}$	パルス幅、同期出力 (非同期)	P(1)		ns

(1) P = core_clk 周期

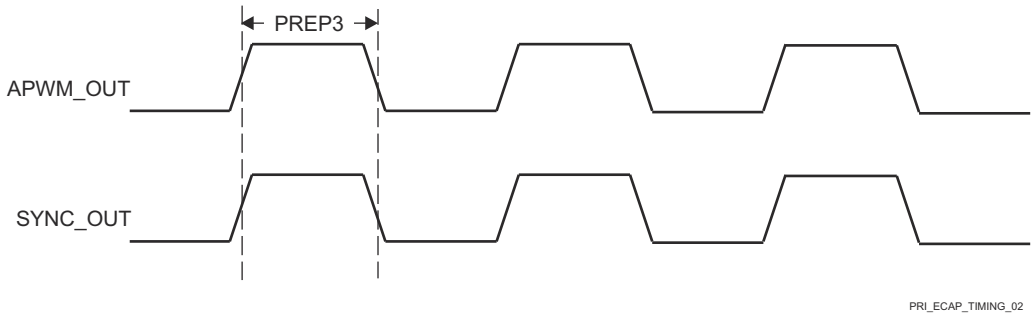


図 6-67. PRU-ICSS ECAP スイッチング特性

6.11.5.14.7 PRU-ICSS MDIO および MII

6.11.5.14.7.1 PRU-ICSS MDIO のタイミング

6.11.5.14.7.1.1 PRU-ICSS MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	470	pF

6.11.5.14.7.1.2 PRU-ICSS MDIO タイミング要件

番号	パラメータ	説明	最小値	最大値	単位
MDIO1	$t_{su(MDIO-MDC)}$	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで	90		ns
MDIO2	$t_{h(MDC-MDIO)}$	ホールド時間、MDIO[x]_MDC High から MDIO[x]_MDIO 有効	0		ns

6.11.5.14.7.1.3 PRU-ICSS MDIO スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MDIO3	$t_{c(MDC)}$	サイクル時間、MDIO[x]_MDC	400		ns
MDIO4	$t_{w(MDCH)}$	パルス幅、MDIO[x]_MDC High	160		ns
MDIO5	$t_{w(MDCL)}$	パルス幅、MDIO[x]_MDC Low	160		ns
MDIO7	$t_{d(MDC-MDIO)}$	遅延時間、MDIO[x]_MDC Low から MDIO[x]_MDIO 有効まで	-150	150	ns

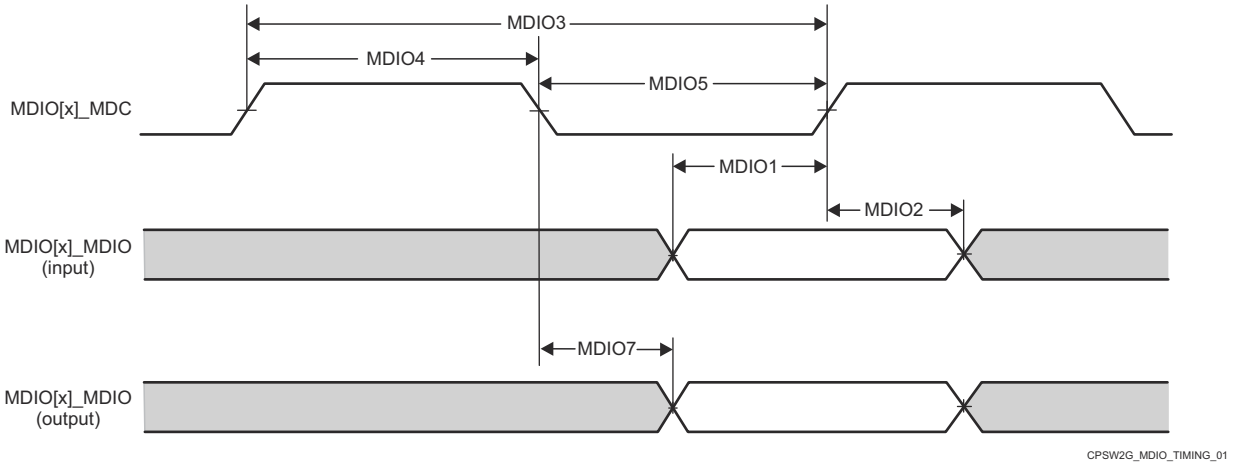


図 6-68. PRU-ICSS MDIO のタイミング要件およびスイッチング特性

6.11.5.14.7.2 PRU-ICSS MII のタイミング

6.11.5.14.7.2.1 PRU-ICSS MII のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns

Copyright © 2026 Texas Instruments Incorporated

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	20	pF

6.11.5.14.7.2.2 PRU_ICSSG MII のタイミング要件 – MII[x]_RX_CLK

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIR1	$t_{c(RX_CLK)}$	サイクル時間、MII[x]_RX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIR2	$t_{w(RX_CLKH)}$	パルス幅、MII[x]_RX_CLK High	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIR3	$t_{w(RX_CLKL)}$	パルス幅、MII[x]_RX_CLK Low	10Mbps	140	260	ns
			100Mbps	14	26	ns

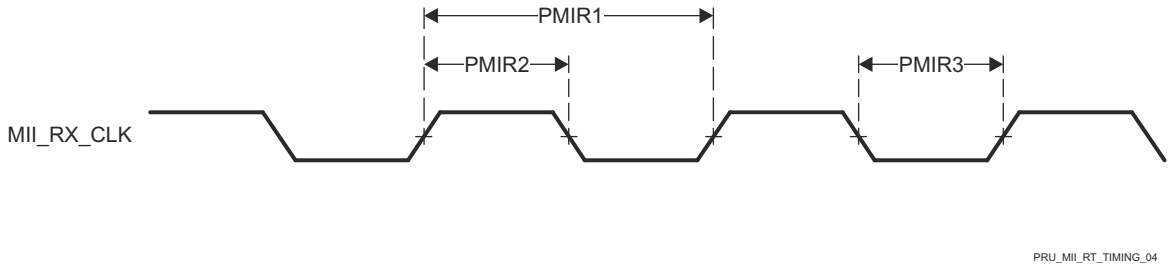


図 6-69. PRU_ICSS MII[x]_RX_CLK のタイミング

6.11.5.14.7.2.3 PRU-ICSS MII のタイミング要件 - MII[x]_RXD[3:0]、MII[x]_RX_DV、MII[x]_RX_ER

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIR4	$t_{su(RXD-RX_CLK)}$	セットアップ時間、MII[x]_RXD[3:0] 有効から MII[x]_RX_CLK まで	10Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	セットアップ時間、MII[x]_RX_DV 有効から MII[x]_RX_CLK まで		8		ns
	$t_{su(RX_ER-RX_CLK)}$	セットアップ時間、MII[x]_RX_ER 有効から MII[x]_RX_CLK まで		8		ns
	$t_{su(RXD-RX_CLK)}$	セットアップ時間、MII[x]_RXD[3:0] 有効から MII[x]_RX_CLK まで	100Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	セットアップ時間、MII[x]_RX_DV 有効から MII[x]_RX_CLK まで		8		ns
	$t_{su(RX_ER-RX_CLK)}$	セットアップ時間、MII[x]_RX_ER 有効から MII[x]_RX_CLK まで		8		ns

Copyright © 2026 Texas Instruments Incorporated

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIR5	$t_{h(RX_CLK-RXD)}$	ホールド時間、MII[x] RX_CLK から MII[x]_RXD[3:0] 有効の間	10Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_DV 有効の間		8		ns
	$t_{h(RX_CLK-RX_ER)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_ER 有効の間		8		ns
	$t_{h(RX_CLK-RXD)}$	ホールド時間、MII[x] RX_CLK から MII[x]_RXD[3:0] 有効の間	100Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_DV 有効の間		8		ns
	$t_{h(RX_CLK-RX_ER)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_ER 有効の間		8		ns

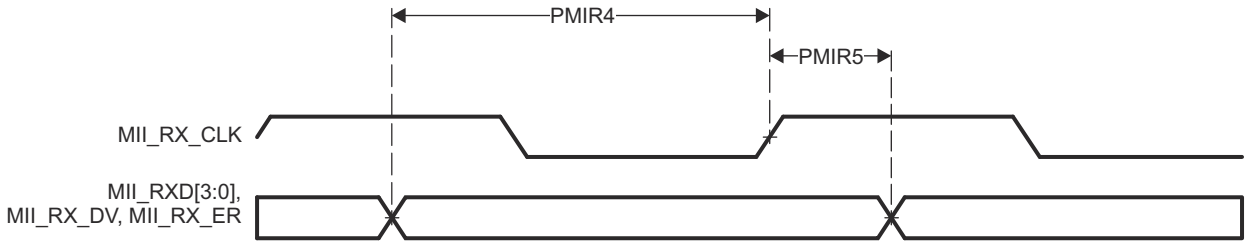


図 6-70. PRU_ICSS MII[x]_RXD[3:0]、MII[x]_RX_DV、MII[x]_RX_ER のタイミング

6.11.5.14.7.2.4 PRU-ICSS MII スイッチング特性 - MII[x]_TX_CLK

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIT1	$t_{c(TX_CLK)}$	サイクル時間、MII[x]_TX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIT2	$t_{w(TX_CLKH)}$	パルス幅、MII[x]_TX_CLK High	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIT3	$t_{w(TX_CLKL)}$	パルス幅、MII[x]_TX_CLK Low	10Mbps	140	260	ns
			100Mbps	14	26	ns

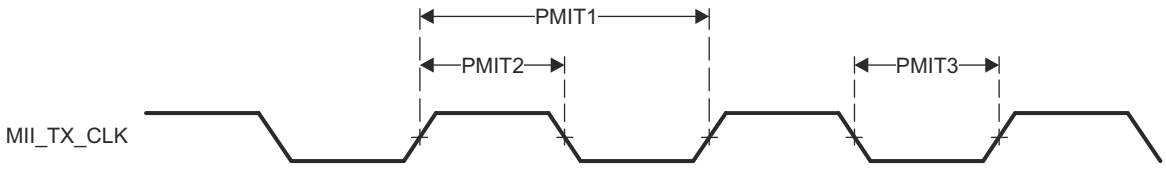


図 6-71. PRU_ICSS MII[x]_TX_CLK のタイミング

Copyright © 2026 Texas Instruments Incorporated

6.11.5.14.7.2.5 PRU-ICSS MII スイッチング特性 - MII[x]_TXD[3:0] および MII[x]_TXEN

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIT4	$t_{d(TX_CLK-TXD)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TXD[3:0] 有効まで	10Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TX_EN 有効まで		0	25	ns
	$t_{d(TX_CLK-TXD)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TXD[3:0] 有効まで	100Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TX_EN 有効まで		0	25	ns

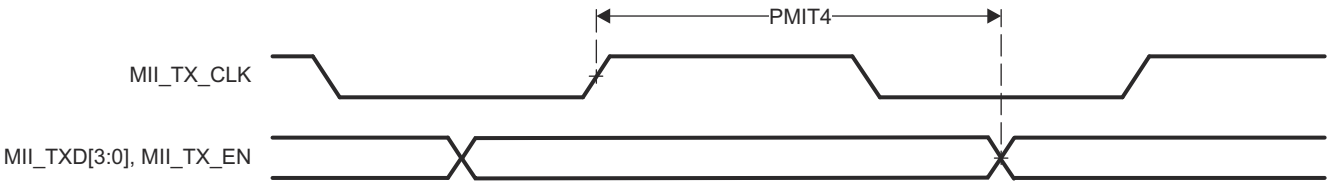


図 6-72. PRU_ICSS MII[x]_TXD[3:0]、MII[x]_TX_EN のタイミング

6.11.5.15 シグマ デルタ フィルタ モジュール (SDFM)

詳細については、デバイスの TRM にある「*シグマ デルタ フィルタ モジュール*」セクションを参照してください。

6.11.5.15.1 SDFM のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	モード 0	0.5	5	V/ns

6.11.5.15.2 SDFM スイッチング特性

番号	パラメータ	説明	モード	最小値	最大値	単位
M0-1	$t_{c(SDC)}$	サイクル時間、SDx_Cy	モード 0	5P(1)	256P(1)	ns
M0-2	$t_{w(SDCHL)}$	パルス幅、SDx_Cy (High/Low)	モード 0	2P(1)		ns
M0-3	$t_{sh(SDDV-SDCH)}$	セットアップ時間、SDx_Cy High の前 SDx_Dy 有効	モード 0	2P(1)		ns
M0-4	$t_{h(SDCH-SDD)}$	ホールド時間、SDx_Cy High の後 SDx_Dy 待機	モード 0	2P(1)		ns

(1) P = SYSCLK 周期 (ns)。

Copyright © 2026 Texas Instruments Incorporated

6.11.5.16 UART (ユニバーサル非同期レシーバ / トランスミッタ)

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

詳細については、デバイスの TRM にある「*ユニバーサル非同期レシーバ / トランスミッタ (UART)*」セクションを参照してください。

6.11.5.16.1 UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	1	30	pF

6.11.5.16.2 UART のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
4	$t_{w(RX)}$	パルス幅、受信データ ビット High または Low	0.95U(1)	1.05U(1)	ns
5	$t_{w(CTS)}$	パルス幅、受信スタート ビット、High または Low	0.95U(1)		ns

(1) U = UART のボー時間 = 1 / プログラムされたボーレート。

6.11.5.16.3 UART スイッチング特性

番号	パラメータ	説明	モード	最小値	最大値	単位
	$f_{(baud)}$	プログラム可能なボーレート	15pF		12	MHz
			30pF		0.115	
2	$t_{w(TX)}$	パルス幅、送信データ ビット High または Low		U(1) - 2.2	U(1) + 2.2	ns
3	$t_{w(RTS)}$	パルス幅、送信スタート ビット High または Low		U(1) - 2.2		ns
1	$t_{d(CTS-TX)}$	遅延時間、CTS ビット受信から送信データまで		30		ns

(1) U = UART のボー時間 = 1 / プログラムされたボーレート。

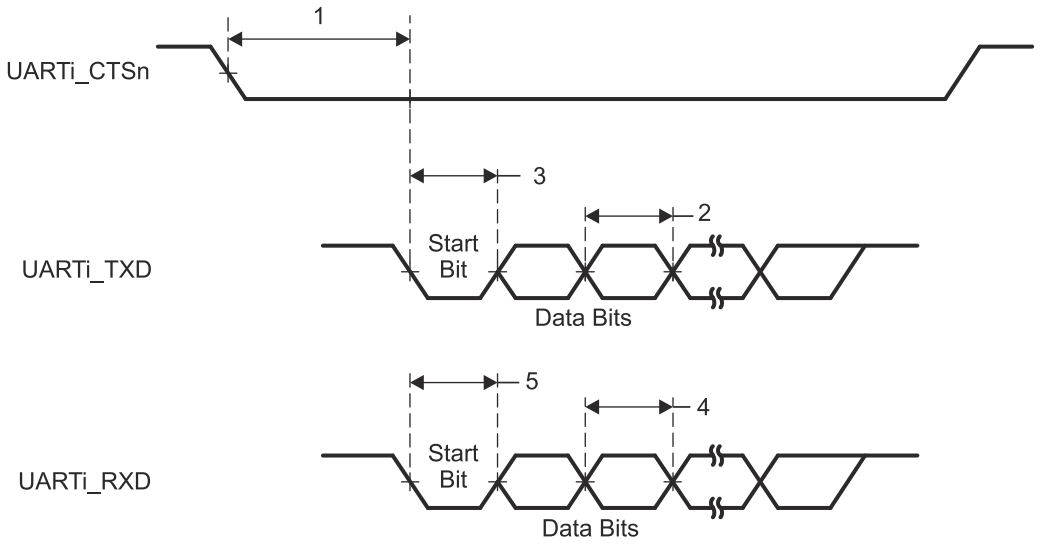


図 6-73. UART のタイミング要件およびスイッチング特性

6.11.6 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、*信号の説明*および*詳細説明*セクションの対応するサブセクションを参照してください。詳細については、デバイスの TRM で*オンチップ デバッグ*の賞を参照してください。

6.11.6.1 JTAG

頭字語は、バウンダリ スキャン標準 (IEEE std 1149.1) を定義した技術者の委員会である **Joint Test Action Group** の略です。デバイスの JTAG インターフェイスの機能の詳細と追加の説明情報については、*信号の説明*および*詳細説明*セクションの対応するサブセクションを参照してください。

6.11.6.1.1 JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	2.00	V/ns
出力条件				
C_L	出力負荷容量	5	15	pF

6.11.6.1.2 JTAG のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
J1	$t_{c(TCK)}$	サイクル時間、TCK	40		ns
J2	$t_{w(TCKH)}$	パルス幅、TCK HIGH	16		ns
J3	$t_{w(TCKL)}$	パルス幅、TCK LOW	16		ns
J4	$t_{su(TDI-TCKH)}$	入力セットアップ時間、TDI 有効から TCK High まで	2		ns
	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK High まで	2		
J5	$t_{h(TCK-TDI)}$	入力ホールド時間、TCK High から TDI 有効の間	15.9		ns
	$t_{h(TCK-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	15.9		

6.11.6.1.3 JTAG スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
J6	$t_{d(TCKL-TDOI)}$	遅延時間、TCK Low から TDO 無効まで	-0.067005		ns
J7	$t_{d(TCKL-TDOV)}$	遅延時間、TCK LOW から TDO 有効まで		11.89594	ns

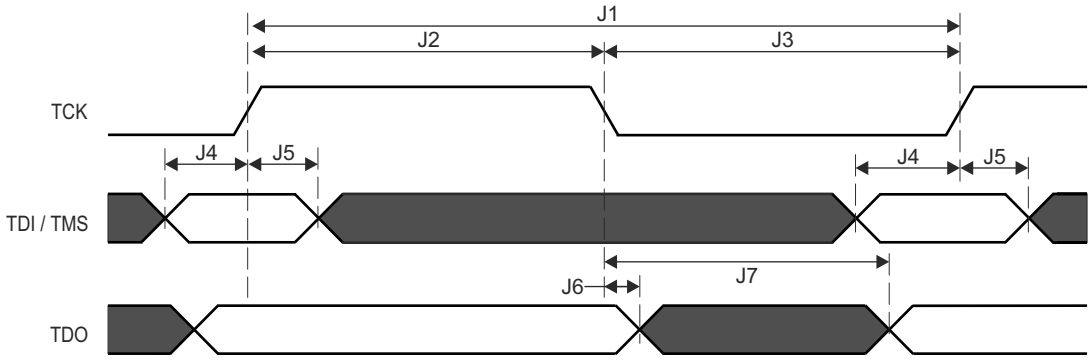


図 6-74. JTAG のタイミング要件およびスイッチング特性

Copyright © 2026 Texas Instruments Incorporated

6.11.6.2 トレース

6.11.6.2.1 デバッグ トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	5	pF
出力条件				
$t_{d(Trace\ Mismatch)}$	すべてのパターンにわたる伝搬遅延の不整合		200	ps

6.11.6.2.2 デバッグ トレースのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
DBTR1	$tc_{(TRC_CLK)}$	サイクル時間、TRC_CLK	9.75		ns
DBTR2	$t_{w(TRC_CLKH)}$	パルス幅、TRC_CLK High	4.13		ns
DBTR3	$t_{w(TRC_CLKL)}$	パルス幅、TRC_CLK Low	4.13		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.22		ns
DBTR5	$t_{oh(TRC_CLK-TRC-DATAI)}$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.22		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.22		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.22		ns

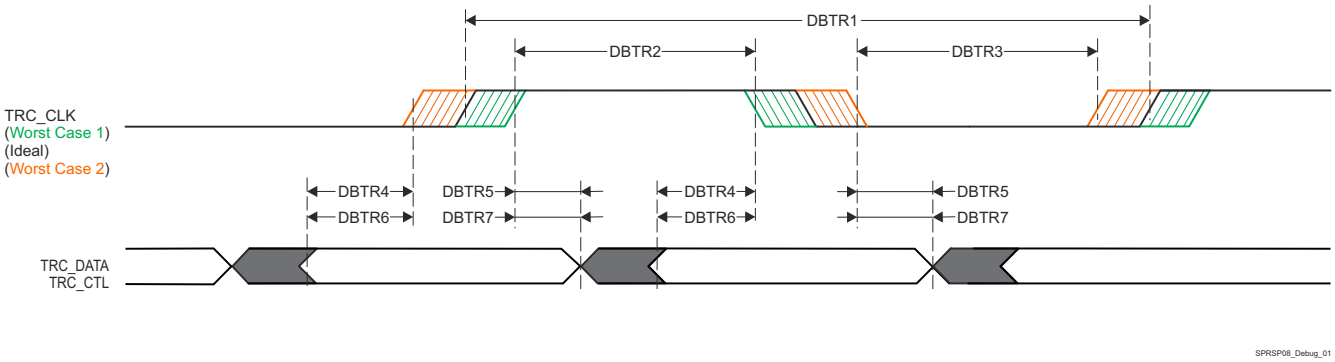


図 6-75. トレースのスイッチング特性

6.12 デカップリング コンデンサの要件

6.12.1 デカップリング コンデンサの要件

パラメータ	説明	最小値	標準値	最大値	単位
C_{VDD}	グランド (キャップ)		10		µF
C_{VDDS33}	3.3V VDDS (コンデンサ)		10		µF
C_{VDDA33}	3.3V VDDA (コンデンサ)		10		µF
C_{VDDS18}	1.8V VDDS (コンデンサ)		0.1		µF
C_{VDDA18}	1.8V VDDA (コンデンサ)		0.1		µF
C_{VPP}	1.7V VPP (コンデンサ)		0.1		µF
C_{VDDS18_LDO}	1.8V LDO VDDS (コンデンサ)		3.3		µF
C_{VDDA18_LDO}	1.8V LDO VDDS (コンデンサ)		3.3		µF

Copyright © 2026 Texas Instruments Incorporated

パラメータ	説明	最小値	標準値	最大値	単位
C_{ADC_VREF}	ADC VREFHI (コンデンサ)		4.7		µF

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

AM263xSitara Arm® マイクロコントローラは、次世代の産業用および自動車組込みプロジェクトに求められる高度なリアルタイム処理および制御要件に対応するよう設計されています。AM263x 高度なコンピューティングと業界をリードするリアルタイム制御ペリフェラルを独自の方法で組み合わせ、EV HEV/EV (トラクション インバータ、オンボード チャージャ、DC/DC コンバータ)、モーター駆動、再生可能エネルギー、エネルギー ストレージ、その他のリアルタイムに制約のあるシステムなどのアプリケーションの性能向上ニーズに対応します。AM263x は、最大 4 基の Cortex-R5F マイコン、リアルタイム制御サブシステム (CONTROLSS)、ハードウェア セキュリティ モジュール (HSM)、および Sitara の プログラマブル リアルタイム ユニット サブシステム (PRU-ICSS) の 1 つのインスタンスを組み合わせており、AM263x は高度なモーター制御およびデジタル電力制御アプリケーション向けに設計されています。

マルチコアデバイスの場合 AM263x、R5F コアをクラスタごとに 2 つの Cortex-R5F コアで構成されたクラスタに配置します。各 Cortex-R5F コアには、64KB の共有密結合メモリ (TCM) が搭載されています。AM263x512KB のバンク 4 つにまたがって 2MB の共有 SRAM を搭載しています。複数の Arm® コアは、デバイスのリセット後にロックステップ モードになるように構成されています。これらはオプションでデュアル コア モードで実行するようにブートローダによってプログラムすることができます。拡張 ECC をオンチップ メモリ、ペリフェラル、およびインターコネクトに内蔵することで高度な信頼性を確保しています。AM263x の HSM は、暗号化アクセラレーション、セキュアブート、粒度の細かいファイアウォールの管理を提供するため、開発者は最もセキュアなシステムを設計できます。

リアルタイム制御サブシステム (CONTROLSS) は、デバイスに統合された革新的なサブシステムです。CONTROLSS には、以下を含む複数のデジタルおよびアナログ制御ペリフェラルが搭載されています。ADC、CMPSS、EPWM、ECAP、EQEP などが含まれ、重要なセンシング プロセス アクチュエートを伴うリアルタイム信号チェーン制御ループを効率的に実行できるようにしています。統合されたクロスバー (XBAR) インフラストラクチャにより、外部信号を内部ポートへ、内部信号を外部ピンへ柔軟に設定およびルーティングすることが可能です。

AM263x の PRU-ICSS は、EtherCAT®、PROFINET®、Ethernet/IP™ などの高度な Ethernet プロトコルを実行するために必要な柔軟な産業用通信機能を提供し、また、PRU-ICSS は、標準 Ethernet 接続およびカスタム I/O インターフェイスにも使用できます。PRU-ICSS は、10/100 Mbit 動作で 2 つのイーサネット ポートをサポートしています。また、SoC 内でシグマ デルタ デシメーション フィルタやアブソリュート エンコーダ インターフェイスなどの追加インターフェイスを可能にします。PRU-ICSS に加えて、共通プラットフォームスイッチ (CPSW) インターフェイスは、最大で 10/100/1000 Mbit 動作をサポートできる 2 つのイーサネット ポートを備えているほか、標準イーサネット接続をサポートしています。

TI は、拡張性と使いやすさを考慮した複数のピン互換デバイスに加え、AM263x ファミリ向けの包括的なマイクロコントローラ ソフトウェアおよび開発ツールを提供しています。

Copyright © 2026 Texas Instruments Incorporated

7.2 プロセッサ サブシステム

7.2.1 Arm Cortex-R5F サブシステム

R5FSS は、デュアル コア (スプリット) モードまたはロックステップ モード動作用に構成された Arm®Cortex®-R5F プロセッサのデュアル コア実装です。また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm®CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種ラッパーも搭載しています。このデバイスは、最大 2 つの R5FSS モジュールをサポートし、合計で 4 個の機能コア (デュアル コア モード) または 2 個の機能コア (ロックステップ モード) を実現します。

注

Arm®Cortex®-R5F プロセッサは、オプションの浮動小数点ユニット (FPU) 拡張機能を備えた Cortex-R5 プロセッサです。

詳細については、デバイス TRM の「*プロセッサとアクセラレータ*」セクション内の *R5FSS* セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 デバイスの接続およびレイアウトの基礎

8.1.1 外部発振器

外部発振器の詳細については、*「クロック仕様」*セクションを参照してください。

8.1.2 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS™) JTAG コントローラをサポートしています。この情報の概要については、『XDS ターゲット接続ガイド』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル』を参照してください。

8.1.3 ハードウェア設計ガイド

AM263xMCU デバイス ファミリをベースにした PCB システムの作成に関する詳細は、AM263x ハードウェア設計ガイドを参照してください。

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

製品開発サイクルの各段階を示すために、TI はすべてのマイクロコントローラ (MCU) およびサポート ツールの品番にプレフィックスを割り当てています。各デバイスには、X、P、ヌル (接頭辞なし) のいずれかの接頭辞が付いています (例: XAM2634AOLFGMZCZQ)。テキサス インスツルメンツでは、サポート ツールに使用可能な 3 つの接頭辞記号のうち、TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイス/ツール(TMDS)まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。TI の標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ZCZ パッケージ タイプの AM263x デバイスの注文可能な型番については、このドキュメントにあるパッケージ オプションの付録やテキサス・インスツルメンツの Web サイト (ti.com) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

Copyright © 2026 Texas Instruments Incorporated

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テスト プロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

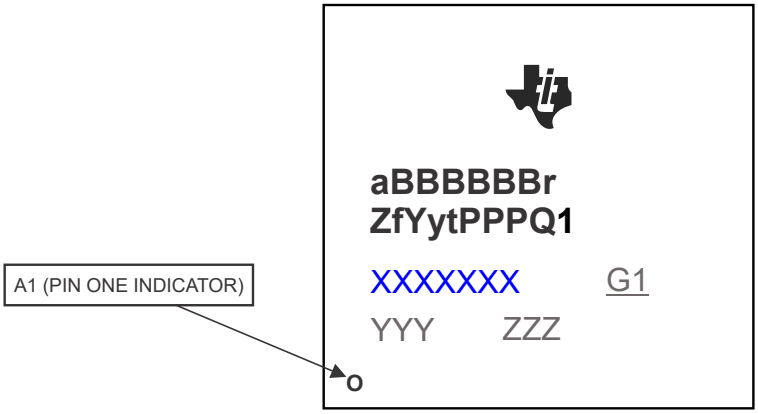


図 9-1. デバイス リビジョン C までのデバイス印字表示

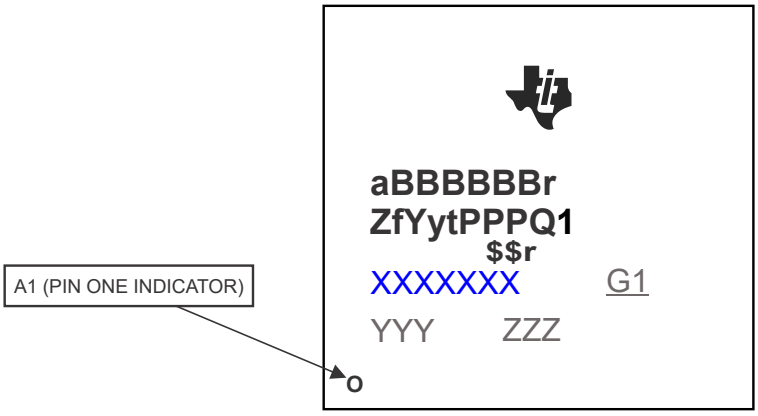


図 9-2. デバイス リビジョン E のデバイス印字表示

9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの説明	値	説明
a[2]	デバイスの開発段階	X	プロトタイプ
		P	量産前(量産テスト フロー、信頼性データなし)
		空白 [1]	量産出荷中
BBBBBB	基本量産型番	AM2634	*製品比較表*を参照してください。
		AM2632	
		AM2631	
r	デバイス リビジョン	A	SR 1.0
		B	SR 1.0A
		C	SR 1.1
		D	SR 1.2 (非量産)
		E	SR 1.3
Z	デバイスの動作性能ポイント	N	*動作性能ポイント*を参照してください。
		O または K	
		P	

Copyright © 2026 Texas Instruments Incorporated

表 9-1. 項目名の説明 (続き)

フィールド パラメータ	フィールドの説明	値	説明
f	特長 (表 4-1 の「*デバイスの比較*」を参照)	C	PRU のみ + CAN-FD 対応 + 標準アナログ
		D	PRU-ICSS + CAN-FD 対応 + 標準アナログ
		E	PRU-ICSS + EtherCAT HW アクセラレータ + CAN-FD 対応 + 標準アナログ
		F	PRU-ICSS + EtherCAT HW アクセラレータ + CAN-FD 対応 + プリインテグレーテッド スタックが有効化 + 標準アナログ
		J	PRU のみ + CAN-FD 対応 + 拡張アナログ
		K	PRU-ICSS + CAN-FD 対応 + 拡張アナログ
		L	PRU-ICSS + EtherCAT HW アクセラレータ + CAN-FD + 拡張アナログ
		M	PRU-ICSS + EtherCAT HW アクセラレータ + CAN-FD 対応 + プリインテグレーテッド スタック + 拡張アナログ
		N	PRU-ICSS + EtherCAT HW アクセラレータ + CAN-FD 対応 + プリインテグレーテッド スタック + 拡張アナログ + EPWM マルチ比較シャドウ レジスタ (XCMP) + EPWM パルス エッジ監視 + ECAP パルス エッジ監視 + ダイオード エミュレーション ロジック (DEL) 機能 + XBAR
Y	機能安全	G	非機能安全 (AM2631 のみ)
		F	機能安全
y	セキュリティ	H	セキュアな機能
t[3]	接合部温度 (セクション 6.5 の *ROC* を参照)	A	-40°C～105°C - 産業用
		I	-40°C～125°C - 車載用
		M	-40°C～150°C - 拡張車載用
PPP	パッケージ記号	ZCZ	ZCZ NFBGA-N324 (15mm × 15mm) パッケージ
Q1	車載識別記号	Q1	車載規格準拠 (AEC-Q100)
		空白	標準
$$			FAB コード
XXXXXXX			ロットのトレース コード(LTC)
YYY			量産コード、テキサス・インスツルメンツでのみ使用

Copyright © 2026 Texas Instruments Incorporated

表 9-1. 項目名の説明 (続き)

フィールド パラメータ	フィールドの説明	値	説明
ZZZ			量産コード、テキサス・インスツルメンツでのみ使用
O			ピン 1 の指定子
G1			ECAT - グリーン パッケージ記号

(1) 記号または型番の空白は省略されるため、前後の文字は連続して表記されます。
(2) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。
プロトタイプ デバイスは、次の免責事項を条件として出荷されます。
「この製品は現在開発中であり、社内評価目的での使用を意図しています。」
テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。
(3) デバイスの接合部の最大温度に適用されます。

9.1.2.1 シリコン バージョンの識別

ソフトウェアが、機能を有効または無効にするため、または既知のシリコン エラッタの回避策を実装するためにシリコン リビジョンの識別に依存している場合、次の検出手順に注意してください。

シリコン バージョンは、メモリ位置 0x50D8 0434 にある TOP_CTRL: EFUSE_ROW_15 のビット [3:0] を読み出すことで識別できます。

注

MCU+ SDK OTP Keywriter には PG_VER チェックが含まれています。新しいデバイス リビジョンに切り替えるときは、SDK の最新の OTP Keywriter が、キー プログラミングに使用されていることを確認してください。

表 9-2. TOP_CTRL:EFUSE_ROW_15 のビット フィールドの説明

予約済み																										PG バージョン			
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

表 9-3. TOP_CTRL:EFUSE_ROW_15 のビット [3:0] を使用した PG_VERSION の識別

PG バージョン	デバイス リビジョン	ビット [3:0] の説明
AM263 1.0	A	0001
AM263 1.0A	B	0010
AM263 1.1	C	0011
AM263 1.2[1]	D	0100
AM263 1.3	E	0101

注

1.このサンプル バージョンは量産されていません。

Copyright © 2026 Texas Instruments Incorporated

9.2 ツールとソフトウェア

AM263x プラットフォームの開発を支援するため、以下の製品を使用できます。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++コンパイラ、ソース コード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SysConfig-PinMux ツール SysConfig-PinMux ユーティリティは、テキサス・インスツルメンツの組み込みプロセッサ デバイスのピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル ユーザー インターフェイスを提供するソフトウェア ツールです。このツールを使用すると、入力したシステム要件を満たすために最適なピン マルチプレクサ構成を自動的に計算できます。このツールは C ヘッダ / コード ファイルを出力し、これらのファイルをソフトウェア開発キット (SDK) にインポートしたり、カスタム ハードウェア要件を満たすためにカスタム ソフトウェアを構成したりするために利用できます。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントは、AM263x デバイスの説明を目的として提供されています。

AM263x シリコン エラッタデバイスの機能仕様に関する既知の例外事項が記載されています。

AM263x テクニカル リファレンス マニュアルは、AM263x ファミリ内の各ペリフェラルおよびサブシステムの統合、環境、機能説明、およびプログラミング モデルについて詳述しています。

AM263x TRM レジスタ補遺は、AM263x ファミリ内の各ペリフェラルおよびサブシステムのメモリ マップド レジスタ情報を詳細に記載しています。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

EtherNet/IP™ and Ethernet/IP™ are trademarks of ODVA, INC..
Sitara™, XDS™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
EtherCAT® is a registered trademark of Beckhoff Automation GmbH.

Copyright © 2026 Texas Instruments Incorporated

PROFINET® is a registered trademark of PROFINET International.
IO-Link® is a registered trademark of PROFIBUS Nutzerorganisation e.V. eingetragener verein (e.v.) FED REP GERMANY.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from August 30, 2025 to October 26, 2026 (from Revision E (August 2025) to Revision F (October 2026)) **Page**

- セキュリティ機能に EVITA - full HSM を追加 ... 1
- データシートの HTML 版へのリンクを掲載済みです。 ... 9
- (ピン属性のヘッダー リスト):「リセット時のボールの状態」と「リセット後のボールの状態」を更新し、これらの状態がウォーム リセットにも適用されることを明確化。 ... 10
- (「ピン属性」表):SAFETY_ERRORn タイプを IO に変更 ... 13
- (「ピン属性」表):QSPI0_CLKLB を削除 ... 13
- 「OSC 内部発振器クロック ソース」セクションを追加 ... 86
- 「MCU_OSC0 LVCMOS デジタル クロック ソース」セクションを追加 ... 86
- リビジョン E のデバイス印字表示を示す新しい画像を追加 ... 160
- 「デバイスの動作性能ポイント」の「O」を「O または K」に更新。 ... 162
- 「シリコン バージョンの識別」セクションを追加 ... 164

Changes from July 21, 2023 to August 30, 2025 (from Revision D (July 2023) to Revision E (August 2025)) **Page**

- (機能):MII モードのサポートを追加 ... 1
- (パッケージ情報):TI 標準を満たすよう「パッケージ情報」表を更新 ... 4
- (デバイスの比較):車載用の温度範囲を追加 ... 7
- (ピン属性):SOP ピンのタイプを「0」から「I」に更新 ... 13
- (ADC-CMPSS の信号接続):CMPSS および ADC の接続図を更新 ... 39
- (ピン接続要件):「QSPI0_D1」の後に「(SOP1)」を追加 ... 67
- (SAFETY_ERRORn のスイッチング特性):表の注の参照を「RST22」から「SFTY3」に更新 ... 85
- (CPSW MDIO のタイミング要件):MDIO1 MIN の最小値を「90 ns」から「45 ns」に変更 ... 89
- (CPSW MDIO のスイッチング特性):MDIO の最小値を「-150 ns」から「-10 ns」に、最大値を「150 ns」から「10 ns」に更新 ... 89
- (CPSW RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード): 内部遅延に関する表の注を「常時イネーブル」から「POR 後でデフォルトでイネーブル」に更新。 ... 94
- TSN の記述を削除 ... 157
- PRU-ICSS 外部で提供されるイーサネット機能の詳細を追加 ... 157
- マルチコアデバイス用の R5F コアのアーキテクチャを明確化 ... 157

Copyright © 2026 Texas Instruments Incorporated

- いくつかの HSM の機能の概要を説明した説明を更新..... 157
- (デバイスの命名規則):接合部温度 -40℃ ～ 125℃ のデバイス グレード I を追加..... 162

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

テキサス・インスツルメンツのパッケージの詳細については、パッケージ情報 Web サイトをご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2631CNDGHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2631C NDGHAZCZ 548
AM2631CNDGHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2631C NDGHAZCZ 548
AM2631CNDGHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2631C NDGHMZCZQ1 548
AM2631CNDGHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2631C NDGHMZCZQ1 548
AM2631CODGHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2631C ODGHMZCZQ1 548
AM2631CODGHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2631C ODGHMZCZQ1 548
AM2632CNDFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C NDFHAZCZ 548
AM2632CNDFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C NDFHAZCZ 548
AM2632CNEFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C NEFHAZCZ 548
AM2632CNEFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C NEFHAZCZ 548
AM2632CODFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C ODFHMZCZQ1 548

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2632CODFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C ODFHMZCZQ1 548
AM2632COKFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OKFHAZCZ 548
AM2632COKFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OKFHAZCZ 548
AM2632COKFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C OKFHMZCZQ1 548
AM2632COKFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C OKFHMZCZQ1 548
AM2632COLFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OLFHAZCZ 548
AM2632COLFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OLFHAZCZ 548
AM2632COMFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OMFHAZCZ 548
AM2632COMFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2632C OMFHAZCZ 548
AM2632CPDFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C PDFHMZCZQ1 548
AM2632CPDFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632C PDFHMZCZQ1 548
AM2632EODFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632E ODFHMZCZQ1 548

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2632EOKFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632E OKFHMZCZQ1 548
AM2632EPDFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2632E PDFHMZCZQ1 548
AM2634CODFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C ODFHAZCZ 548
AM2634CODFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C ODFHAZCZ 548
AM2634CODFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C ODFHMZCZQ1 548
AM2634CODFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C ODFHMZCZQ1 548
AM2634COEFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OEFHAZCZ 548
AM2634COEFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OEFHAZCZ 548
AM2634COKFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OKFHAZCZ 548
AM2634COKFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OKFHAZCZ 548
AM2634COKFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C OKFHMZCZQ1 548
AM2634COKFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C OKFHMZCZQ1 548

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2634COLFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OLFHAZCZ 548
AM2634COLFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OLFHAZCZ 548
AM2634COMFHAZCZR	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OMFHAZCZ 548
AM2634COMFHAZCZR.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	AM2634C OMFHAZCZ 548
AM2634CPDFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C PDFHMZCZQ1 548
AM2634CPDFHMZCZRQ1.B	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634C PDFHMZCZQ1 548
AM2634EKNFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634E KNFHMZCZQ1 548
AM2634EODFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634E ODFHMZCZQ1 548
AM2634EOKFHMZCZRQ1	Active	Production	NFBGA (ZCZ) | 324	1000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 150	AM2634E OKFHMZCZQ1 548
XAM2634BOMFHAZCZ	Active	Preproduction	NFBGA (ZCZ) | 324	1 | JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF AM2631, AM2631-Q1, AM2632, AM2632-Q1, AM2634, AM2634-Q1 :

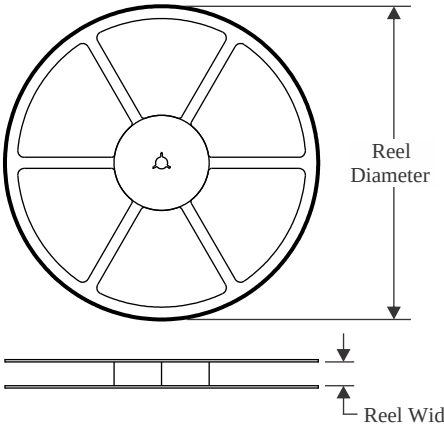
- Catalog : AM2631, AM2632, AM2634
- Automotive : AM2631-Q1, AM2632-Q1, AM2634-Q1

NOTE: Qualified Version Definitions:

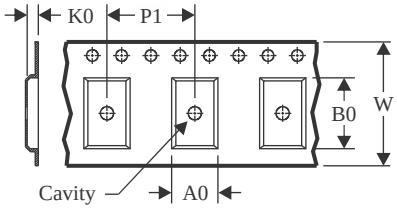
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

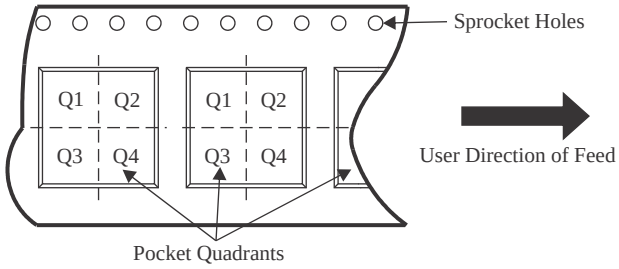


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

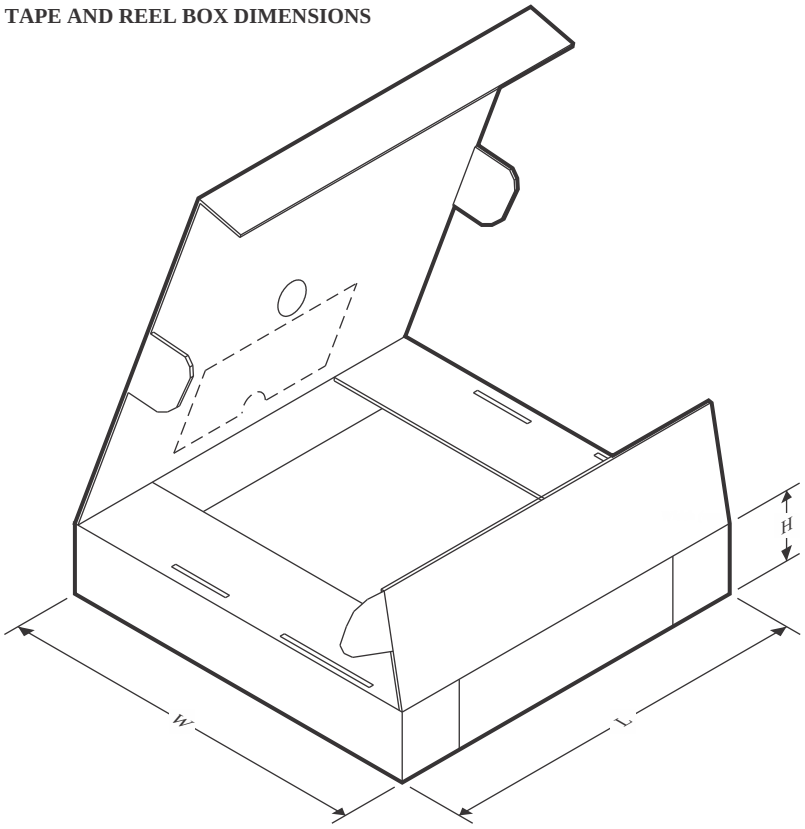


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM2631CNDGHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2631CNDGHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2631CODGHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632CNDFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632CNEFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632CODFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632COKFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632COKFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632COLFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632COMFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632CPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632EODFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632EOKFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2632EPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634CODFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634CODFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM2634COEFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634COKFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634COKFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634COLFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634COMFHAZCZR	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634CPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634EKNFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634EODFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1
AM2634EOKFHMZCZRQ1	NFBGA	ZCZ	324	1000	330.0	24.4	15.3	15.3	2.35	20.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM2631CNDGHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2631CNDGHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2631CODGHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632CNDFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632CNEFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632CODFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632COKFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632COKFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632COLFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632COMFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632CPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632EODFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632EOKFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2632EPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634CODFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634CODFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634COEFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634COKFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3

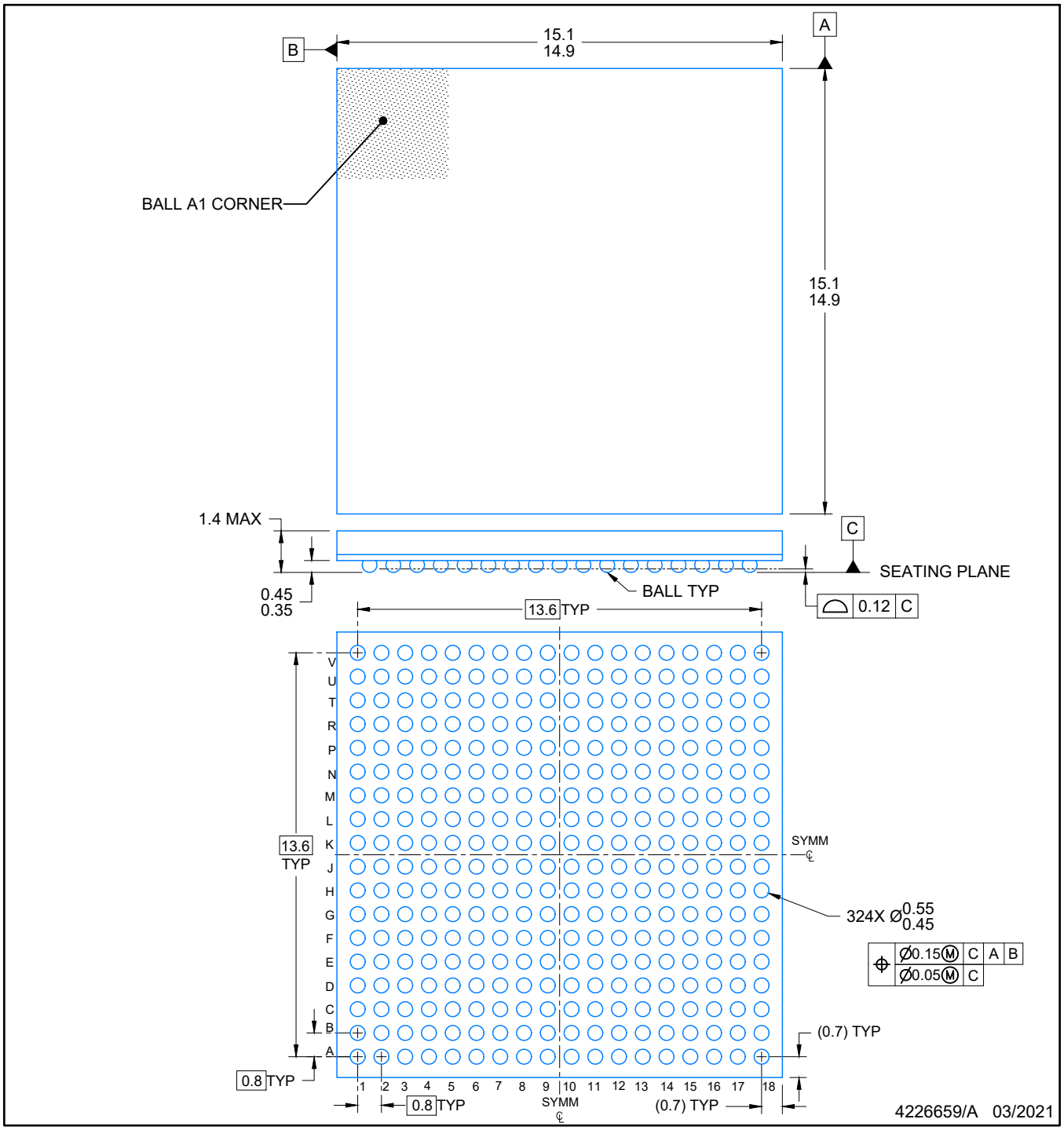
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM2634COKFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634COLFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634COMFHAZCZR	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634CPDFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634EKNFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634EODFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3
AM2634EOKFHMZCZRQ1	NFBGA	ZCZ	324	1000	336.6	336.6	41.3

PACKAGE OUTLINE

ZCZ0324A

NFBGA - 1.4 mm max height

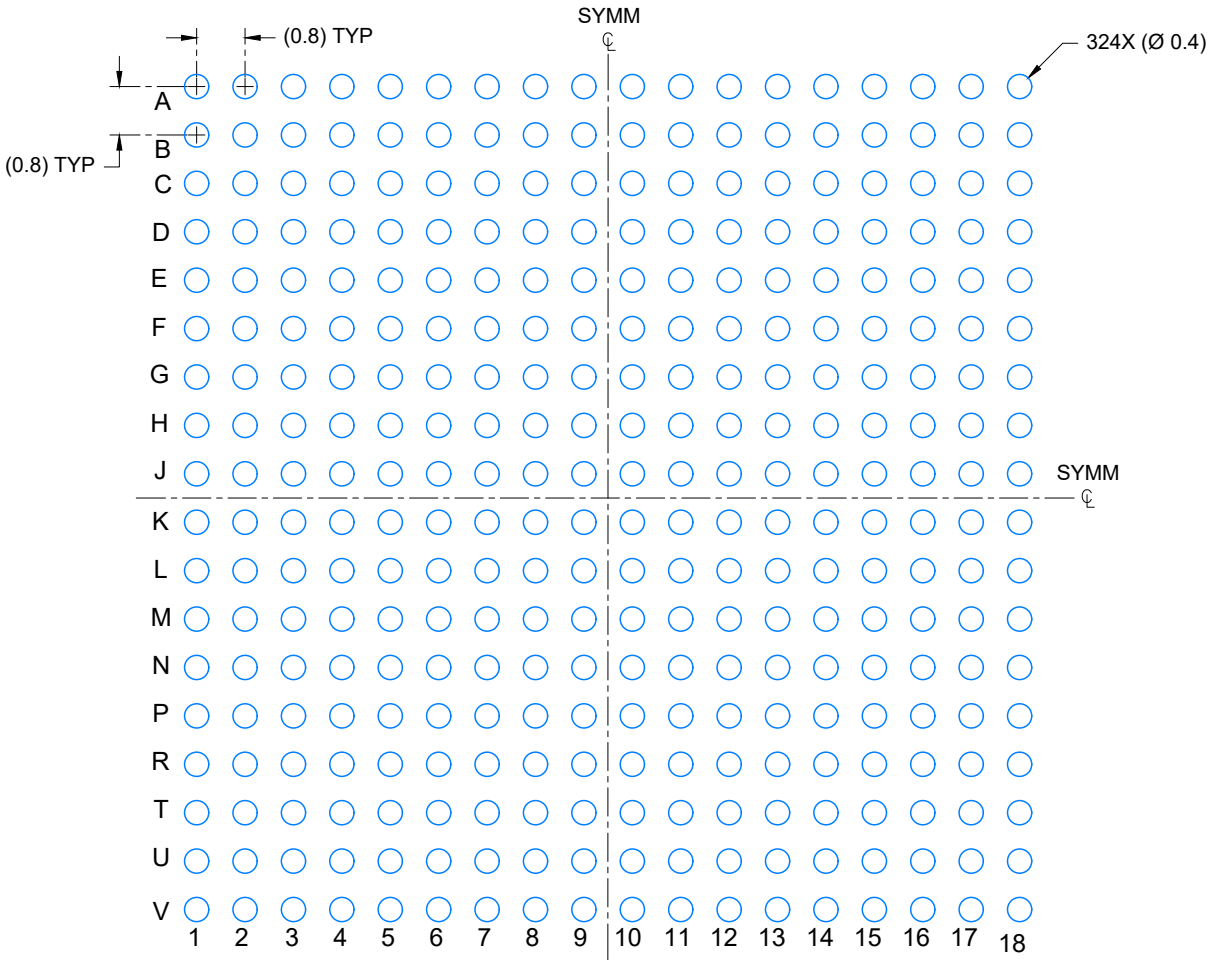
PLASTIC BALL GRID ARRAY



NOTES:

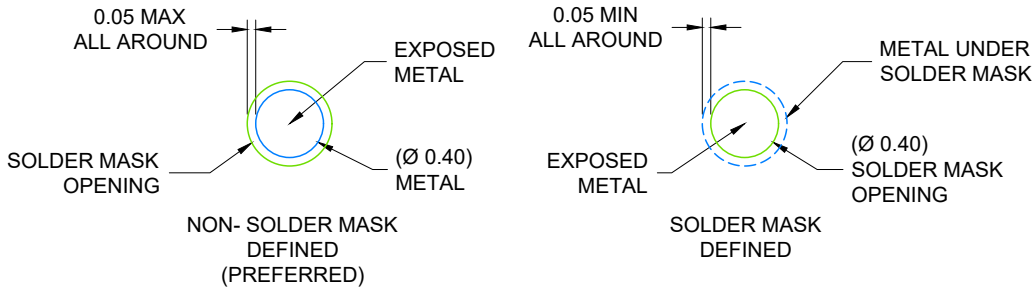
NanoFree is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

SCALE: 8X



SOLDER MASK DETAILS

NOT TO SCALE

4226659/A 03/2021

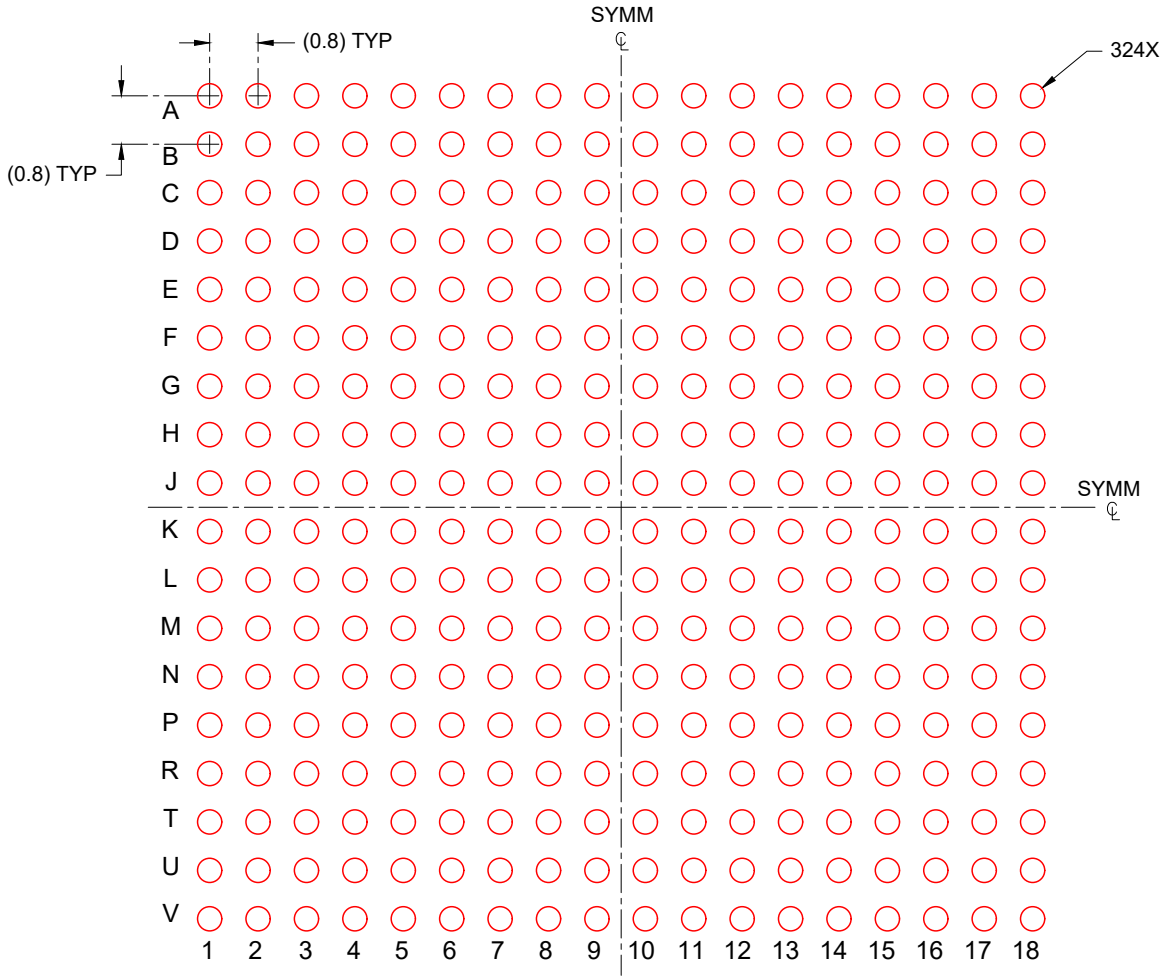
NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 8X

4226659/A 03/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月