OPAx383 低消費電力、高精度、2.5MHz、ゼロドリフト オペアンプ

1 特長

- 非常に小さいオフセット電圧:±5μV (最大値)
- ゼロドリフト:±0.025μV/℃
- 小さい入力バイアス電流:62pA (最大値)
- 低ノイズ:1kHz で 32nV/√Hz
- 1/f ノイズなし:650nV$_{PP}$ (0.1Hz～10Hz)
- 同相入力範囲:電源レールを ±100mV 超過可能
- ゲイン帯域幅:2.5MHz
- 静止電流:65μA (アンプ 1 個あたり)
- シングル電源:1.7V ～ 5.5V
- デュアル電源:±0.85V～±2.75V
- 入力の EMI/RFI フィルタ処理

2 アプリケーション

- 電子温度計
- 重量計
- 温度トランスミッタ
- 呼吸補助装置
- データ アクイジション (DAQ)
- 半導体試験装置
- 実験室およびフィールド向け計測機器
- 商用ネットワークとサーバーの電源
- アナログ入力モジュール
- 圧力トランスミッタ

3 説明

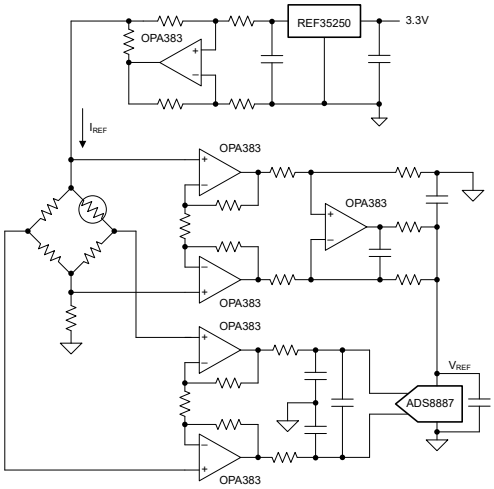
OPA383、OPA2383、OPA4383 (OPAx383) ファミリの高精度アンプは最新の性能を備えています。OPAx383 は、ゼロドリフト テクノロジーにより、オフセット電圧およびオフセット ドリフトについて比類のない長期安定性を実現します。OPAx383 は、非常に低い 65μA という静止電流で、2.5MHz の帯域幅、32nV/√Hz の広帯域ノイズ、650nV$_{PP}$ の 1/f ノイズという性能を達成しています。これらの仕様は、16 ビット～24 ビットの A/D コンバータ (ADC) で、非常に高い精度を実現するとともに、直線性の低下を避けるために重要なものです。OPAx383 は、全温度範囲にわたってバイアス電流がフラットです。したがって、高入力インピーダンス アプリケーションに使用する場合、全温度範囲にわたってキャリブレーションは不要、またはごくわずかで済みます。

すべてのバージョンは、産業用温度範囲 (-40℃～+125℃) で仕様が規定されています。

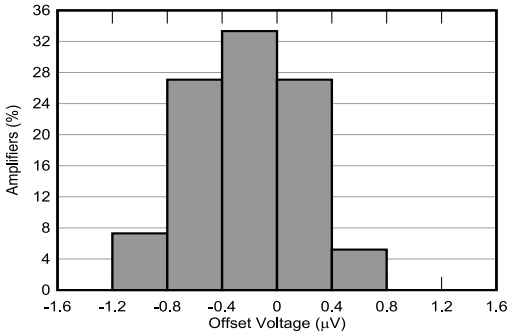
製品情報

部品番号	チャネル数	パッケージ (1)	パッケージ サイズ
OPA383	シングル	DBV (SOT-23、5)	2.9mm × 2.8mm
		DCK (SC70、5)(2)	2.0mm × 2.1mm
OPA2383	デュアル	D (SOIC、8)(2)	4.9mm × 6.0mm
		DGK (VSSOP、8)	3.0mm × 4.9mm
OPA4383	クワッド	PW (TSSOP、14)	5.0mm × 6.4mm

(1) 詳細については、セクション 10 を参照してください。
(2) 開発中製品情報 (量産データではありません)。



OPA383 をブリッジセンサのフロントエンドとして使用してます



非常に小さい入力オフセット電圧

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報 (OPA383).....6
5.5 熱に関する情報 (OPA2383).....6
5.6 熱に関する情報 (OPA4383).....6
5.7 電気的特性.....7
5.8 代表的特性.....9
6 詳細説明.....16
6.1 概要.....16
6.2 機能ブロック図.....16
6.3 機能説明.....17
6.4 デバイスの機能モード.....17
7 アプリケーションと実装.....18
7.1 アプリケーション情報.....18
7.2 代表的なアプリケーション.....18
7.3 電源に関する推奨事項.....21
7.4 レイアウト.....21
8 デバイスおよびドキュメントのサポート.....23
8.1 デバイス サポート.....23
8.2 ドキュメントの更新通知を受け取る方法.....23
8.3 サポート・リソース.....23
8.4 商標.....23
8.5 静電気放電に関する注意事項.....23
8.6 用語集.....24
9 改訂履歴.....24
10 メカニカル、パッケージ、および注文情報.....24

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

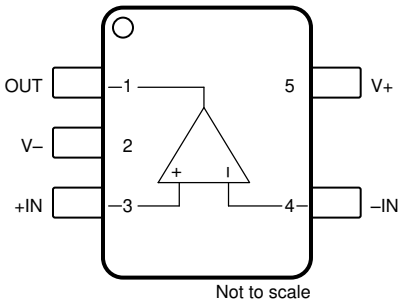


図 4-1. OPA383：DBV パッケージ (開発中製品)、5 ピン SOT-23 (上面図)

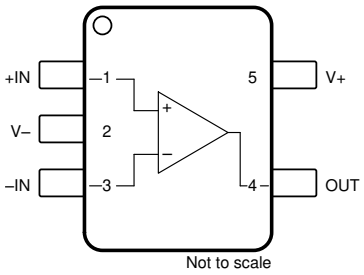


図 4-2. OPA383：DCK パッケージ (開発中製品)、5 ピン SC70 (上面図)

表 4-1. ピンの機能：OPA383

ピン			タイプ	説明
名称	番号			
	DBV (SOT-23)	DCK (SC70)		
–IN	4	3	入力	反転入力
+IN	3	1	入力	非反転入力
OUT	1	4	出力	出力
V-	2	2	電源	負 (最低) 電源
V+	5	5	電源	正 (最高) 電源

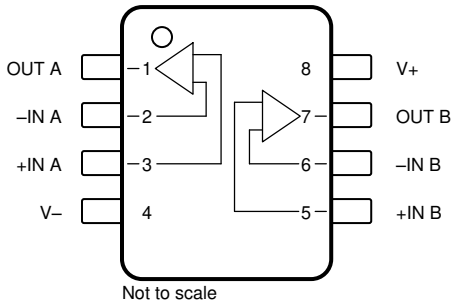


図 4-3. OPA2383：DDF パッケージ (開発中製品)、8 ピン SOT-23 および DGK パッケージ、8 ピン VSSOP (上面図)

表 4-2. ピンの機能：OPA2383

ピン			タイプ	説明
名称	番号			
	DDF (SOT-23)	DGK (VSSOP)		
-IN A	2	2	入力	反転入力、チャネル A
-IN B	6	6	入力	反転入力、チャネル B
+IN A	3	3	入力	非反転入力、チャネル A
+IN B	5	5	入力	非反転入力、チャネル B
OUT A	1	1	出力	出力、チャネル A
OUT B	7	7	出力	出力、チャネル B
V-	4	4	電源	負 (最低) 電源

Copyright © 2025 Texas Instruments Incorporated

表 4-2. ピンの機能：OPA2383 (続き)

ピン			タイプ	説明
名称	番号			
	DDF (SOT-23)	DGK (VSSOP)		
V+	8	8	電源	正 (最高) 電源

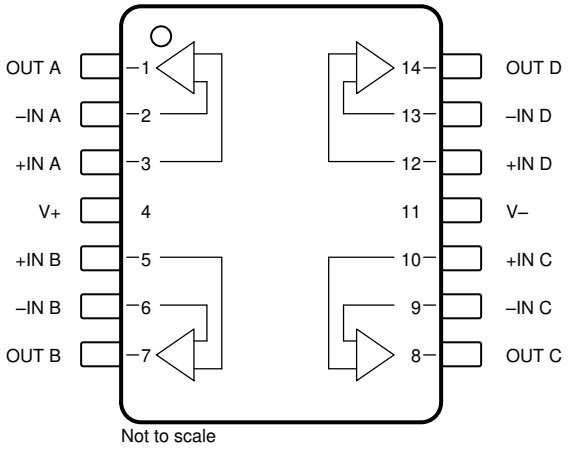


図 4-4. OPA4383：PW (プレビュー) パッケージ、14 ピン TSSOP (上面図)

表 4-3. ピンの機能：OPA4383

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
–IN C	9	入力	反転入力、チャネル C
–IN D	13	入力	反転入力、チャネル D
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
+IN C	10	入力	非反転入力、チャネル C
+IN D	12	入力	非反転入力、チャネル D
OUT A	1	出力	出力、チャネル A
OUT B	7	出力	出力、チャネル B
OUT C	8	出力	出力、チャネル C
OUT D	14	出力	出力、チャネル D
V-	11	電源	負 (最低) 電源
V+	4	電源	正 (最高) 電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)	単電源		6	V
		両電源		±3	
	入力電圧、すべてのピン	同相	(V–) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V-) + 0.2	
	入力電流、すべてのピン			±10	mA
	出力短絡 (2)		連続	連続	
T_A	動作温度		-55	150	°C
T_J	接合部温度		-55	150	°C
T_{stg}	保管温度		-65	150	°C

(1) 「*絶対最大定格*」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
OPA383 のパッケージ				
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1000	V
他のすべてのパッケージ				
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±3000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)	単電源	1.7		5.5	V
		両電源	±0.85		±2.75	
T_A	規定温度		-40		125	°C

5.4 熱に関する情報 (OPA383)

熱評価基準(1)		OPA383 DBV (SOT-23) 5 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	183.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	110.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	49.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	29.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	49.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*半導体および IC パッケージの熱評価基準*アプリケーション レポートをご覧ください。

5.5 熱に関する情報 (OPA2383)

熱評価基準(1)		OPA2383 DGK (VSSOP) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	165	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	53	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	87	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	4.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	85	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。SPRA953

5.6 熱に関する情報 (OPA4383)

熱評価基準(1)		OPA4383 PW (TSSOP) 14 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	113.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	42.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	69.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	2.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	68.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。SPRA953

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性

T_A = 25℃、R_L = 10kΩ を V_S/2 に接続、V_S = 1.7V～5.5V、V_{CM} = V_S/2、V_{OUT} = V_S/2、製造最終テストにより確定された最小および最大仕様 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧(1)	V_S = 5.5V			±0.4	±5	μV
		T_A = –40°C ～ +125°C			±0.5		
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = -40℃ ～ +125℃(1)			±0.004	±0.025	μV/℃
PSRR	電源除去比				±0.05	±0.9	μV/V
		T_A = -40℃ ～ +125℃(1)				±0.9	
入力バイアス電流							
I_B	入力バイアス電流(1)				±10	±62	pA
		T_A = –40°C ～ +85°C				±76	
		T_A = –40°C ～ +125°C				±212	
I_{OS}	入力オフセット電流(1)				±20	±123	pA
		T_A = –40°C ～ +125°C				±300	
ノイズ							
	入力電圧ノイズ	f = 0.1Hz～10Hz			650		nV_{PP}
					100		nV_{RMS}
e_N	入力電圧ノイズ密度	f = 1Hz			32		nV/√Hz
		f = 10Hz			32		
		f = 100Hz			32		
		f = 1kHz			32		
i_N	入力電流ノイズ	f = 1kHz			100		fA/√Hz
V_{CM}	同相電圧範囲	V_S = 5.5V		(V-) - 0.1		(V+) + 0.1	V
		V_S = 1.7V		(V-) - 0.1		(V+)	
入力電圧							
CMRR	同相除去比	(V-) - 0.1V < V_{CM} < (V+) + 0.1V、V_S = 5.5V		122	135		dB
			T_A = -40℃ ～ +125℃(1)	120			
		(V-) - 0.1V < V_{CM} < (V+)、V_S = 1.7V(1)		116	130		
			T_A = –40°C ～ +125°C	114			
入力容量							
Z_{ID}	差動				100 || 6		MΩ || pF
Z_{ICM}	同相				60 || 1.5		GΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	(V-) + 100mV < V_{OUT} < (V+) - 100mV	V_S = 5.5V	120	145		dB
			V_S = 1.7V(1)	120			
			T_A = -40℃ ～ +125℃(1)	119			
		(V–) + 150mV < V_{OUT} < (V+) – 150mV、R_L = 2kΩ	V_S = 5.5V	119	140		
			V_S = 1.7V(1)	119			
			T_A = -40℃ ～ +125℃(1)	118			

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性 (続き)

T_A = 25℃、R_L = 10kΩ を V_S/2 に接続、V_S = 1.7V～5.5V、V_{CM} = V_S/2、V_{OUT} = V_S/2、製造最終テストにより確定された最小および最大仕様 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
周波数応答							
GBW	ゲイン帯域幅積				2.5		MHz
SR	スルーレート	4V ステップ、G = +1			1		V/µs
t_S	セトリング タイム	0.1% まで、1V ステップ、G = +1			5.4		µs
		0.01% まで、1V ステップ、G = +1			48		
	過負荷回復時間	V_{IN} × G > V_S			2200		ns
	チョッピング クロック周波数(1)				130		kHz
THD+N	全高調波歪み + ノイズ	V_{OUT} = 1V_{RMS}、G = +1、f = 1kHz			0.0012%		
出力							
	電圧出力スイング (レールから)	無負荷			1	10	mV
					5	30	
		R_L = 2kΩ			60	150	
		T_A = -40℃ ～ +125℃(1)				155	
	高直線性の出力スイング範囲(1)	A_{OL} > 119dB		(V–) + 0.075		(V+) – 0.075	V
			R_L = 2kΩ	(V–) + 0.150		(V+) – 0.150	
I_{SC}	短絡電流	V_S = 5.5V			±28		mA
		V_S = 1.7V			±2.5		
C_{LOAD}	容量性負荷駆動能力			代表的な特性曲線を参照			
R_O	オープン ループ出力インピーダンス	f = 1MHz			2.5		kΩ
電源							
I_Q	アンプごとの静止電流	I_O = 0mA			65	100	µA
			T_A = -40℃ ～ 125℃(1)			110	
	ターンオン時間	V_S = 5.5V での V_S のランプ レート > 0.05V/µs、1% にセトリング			180		µs

(1) 複数のロットにわたるデバイスの母集団ベンチ システムの測定から確立された仕様。

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性

T_A = 25℃、V_S = ±2.75V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 50pF の場合 (特に記述のない限り)

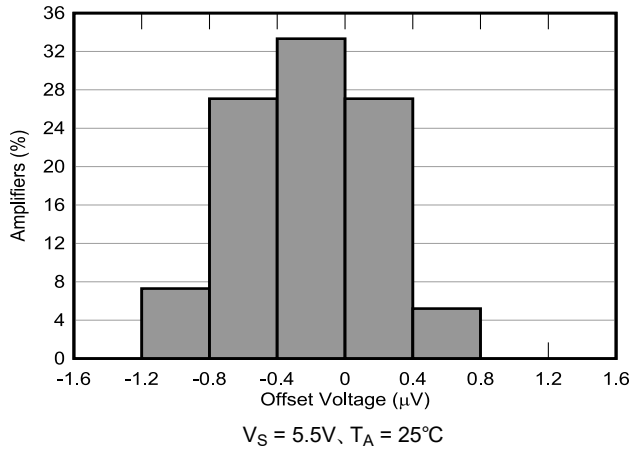


図 5-1. オフセット電圧の分布

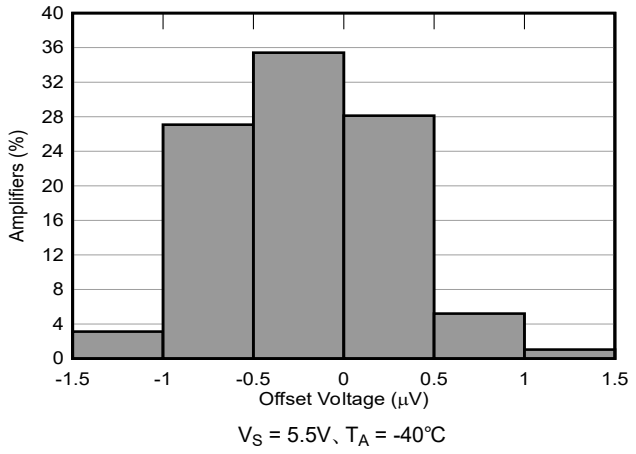


図 5-2. オフセット電圧の分布

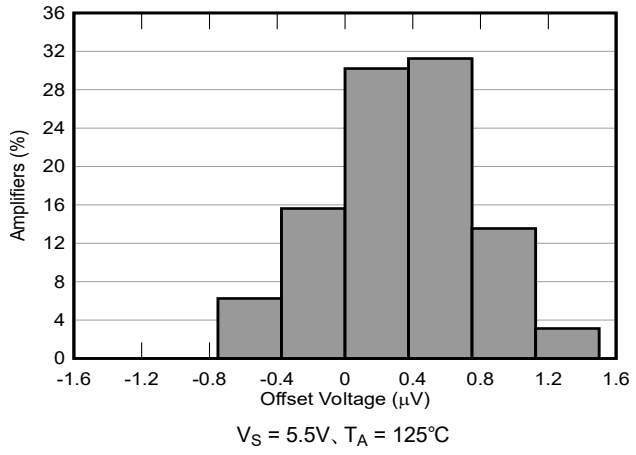


図 5-3. オフセット電圧の分布

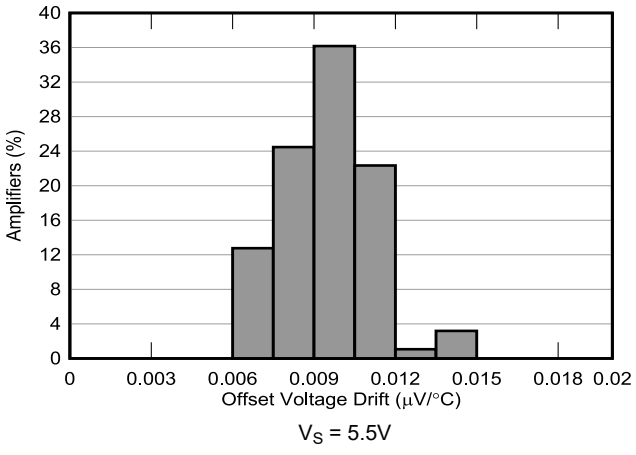


図 5-4. オフセット電圧ドリフトの分布

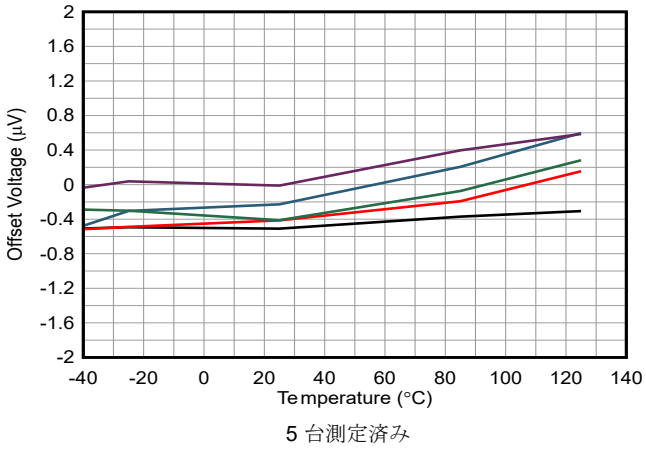


図 5-5. オフセット電圧と温度との関係

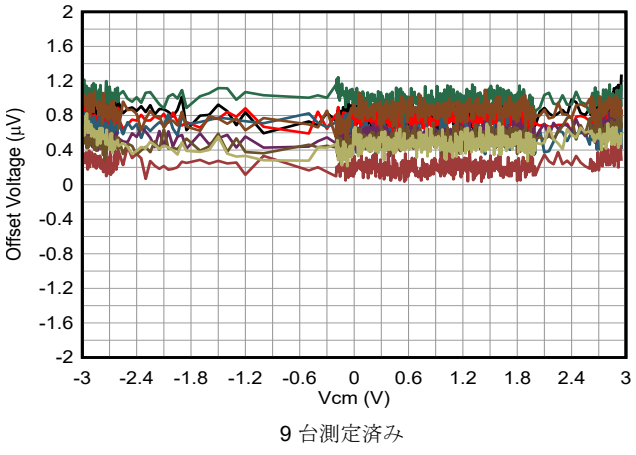
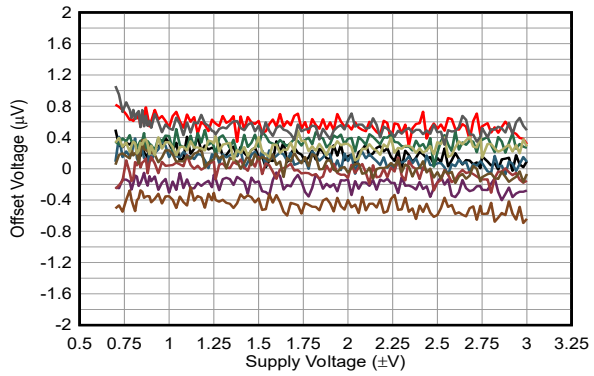


図 5-6. オフセット電圧と同相電圧との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±2.75V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 50pF の場合 (特に記述のない限り)



10 台測定済み

図 5-7. オフセット電圧と電源電圧との関係

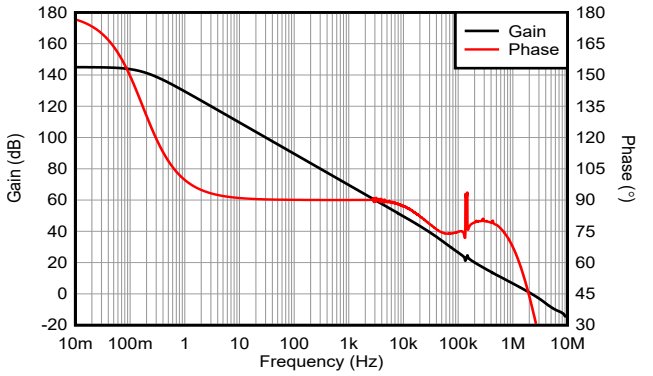


図 5-8. 開ループ ゲインおよび位相と周波数との関係

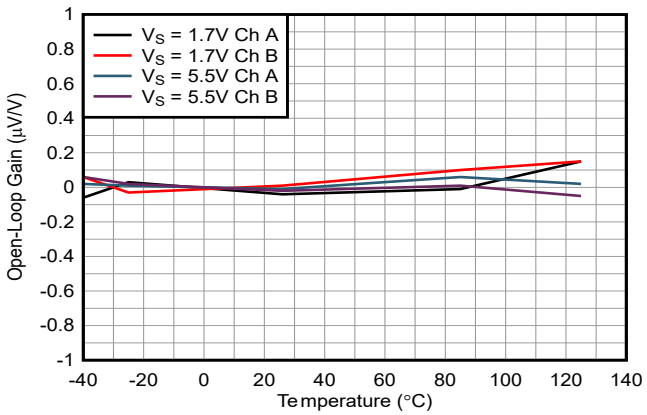


図 5-9. 開ループ ゲインと温度との関係

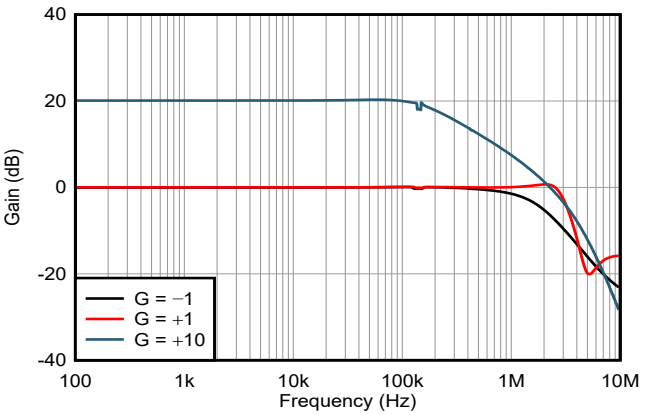


図 5-10. 閉ループ ゲインと周波数との関係

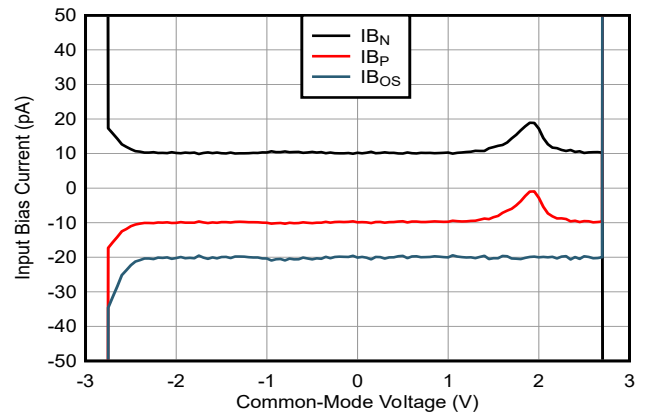


図 5-11. 入力バイアス電流と同相電圧との関係

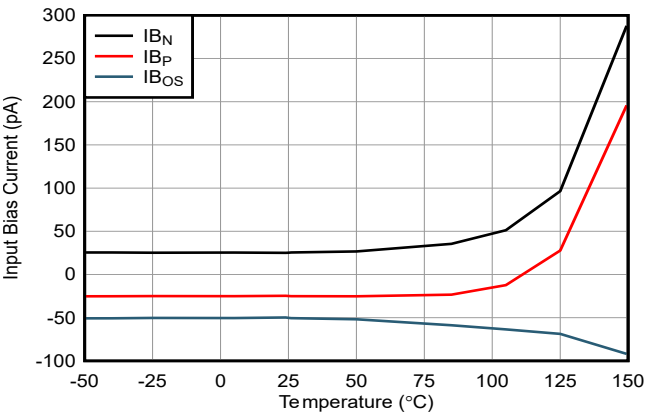


図 5-12. 入力バイアス電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±2.75V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 50pF の場合 (特に記述のない限り)

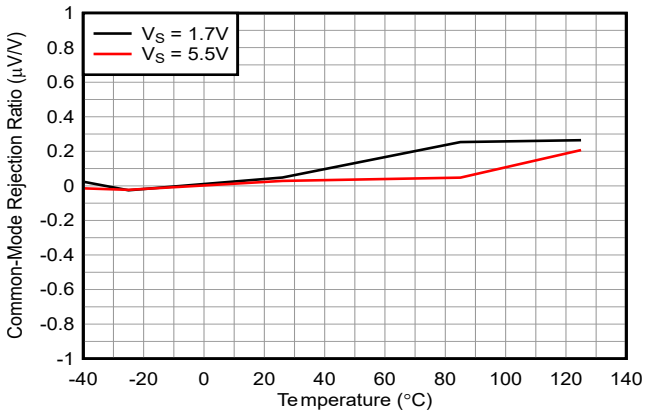


図 5-13. CMRR と温度との関係

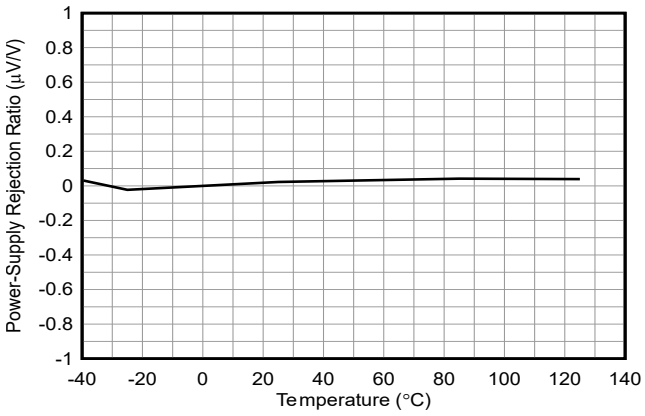


図 5-14. PSRR と温度との関係

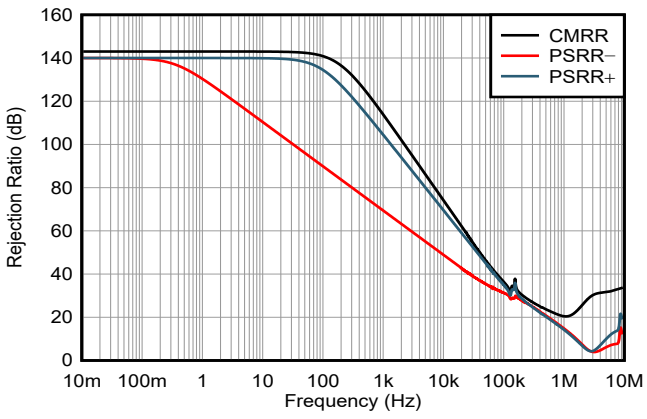


図 5-15. PSRR および CMRR と周波数との関係

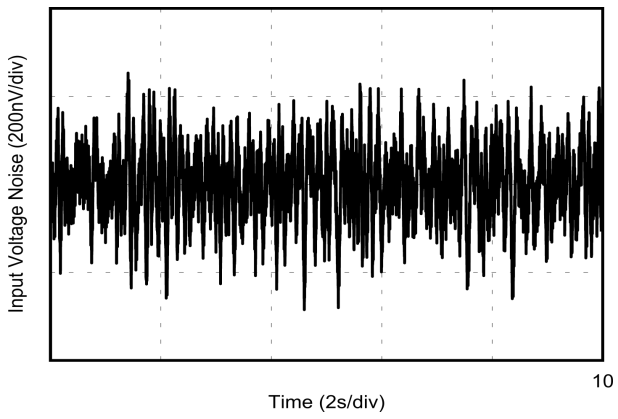


図 5-16. 0.1Hz～10Hz のノイズ

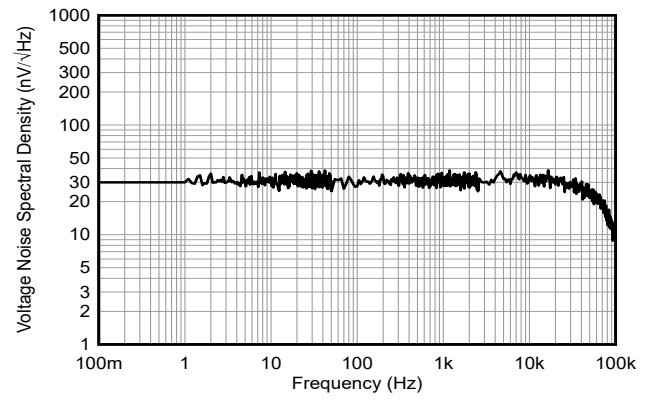


図 5-17. 入力電圧ノイズ スペクトル密度と周波数との関係

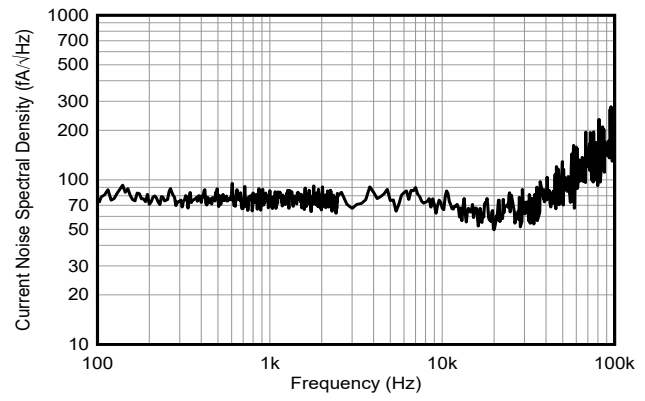


図 5-18. 入力電流ノイズ スペクトル密度と周波数との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±2.75V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 50pF の場合 (特に記述のない限り)

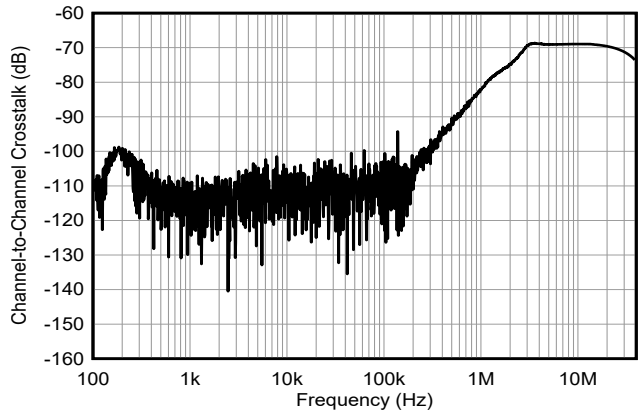


図 5-19. チャネル間クロストーク

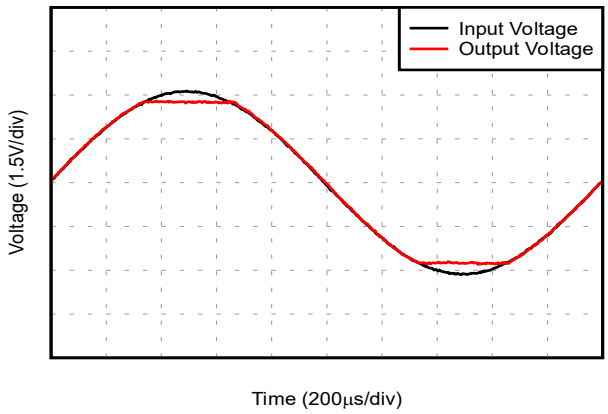
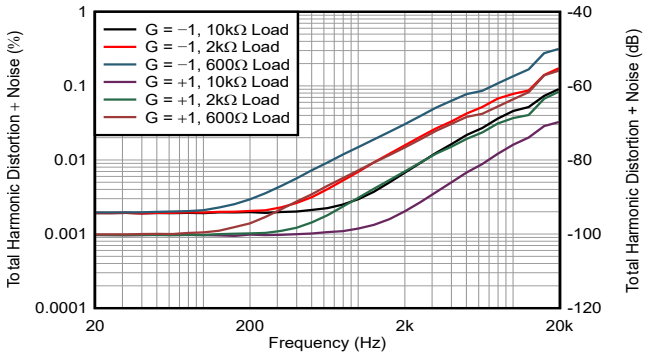
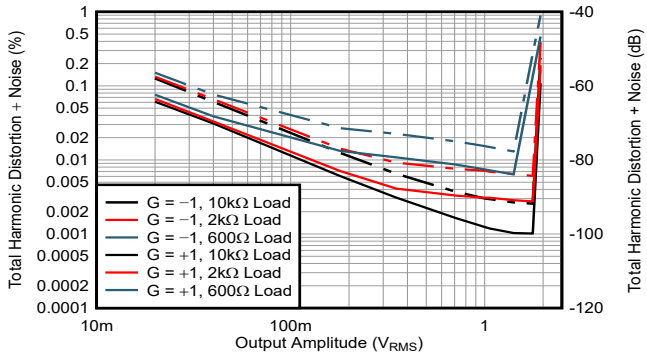


図 5-20. 位相反転が発生しない



V_S = 5.5V、V_{OUT} = 3V_{RMS}、BW = 80kHz

図 5-21. THD+N 比と周波数との関係



V_S = 5.5V、f = 1kHz、BW = 80kHz

図 5-22. THD+N と出力振幅との関係

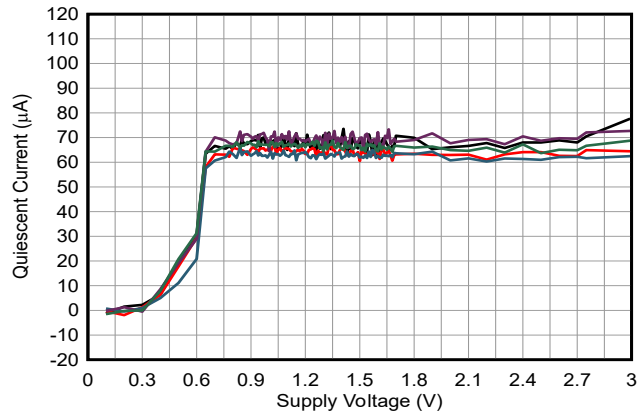


図 5-23. 静止電流と電源電圧との関係

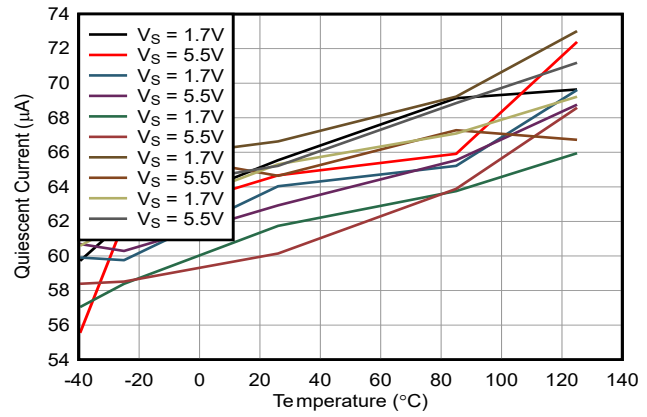


図 5-24. 静止電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±2.75V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 50pF の場合 (特に記述のない限り)

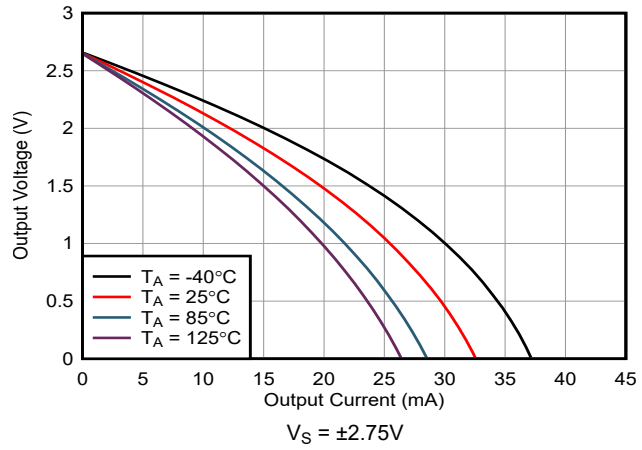


図 5-25. 出力電圧と出力電流との関係 (ソース)

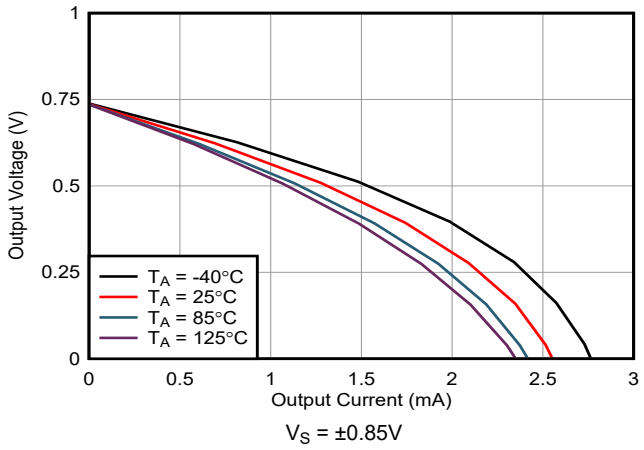


図 5-26. 出力電圧と出力電流との関係 (ソース)

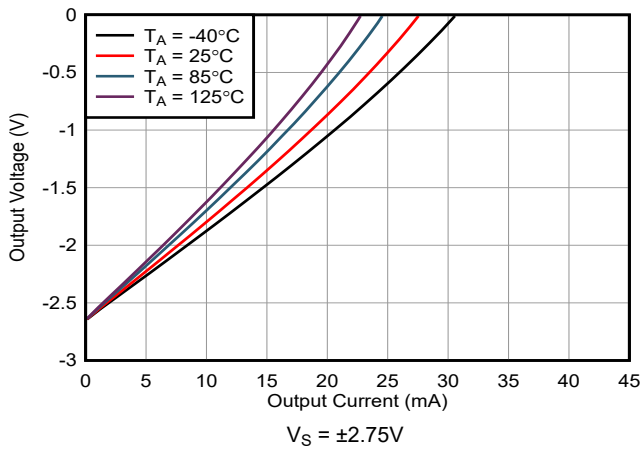


図 5-27. 出力電圧と出力電流との関係 (シンク)

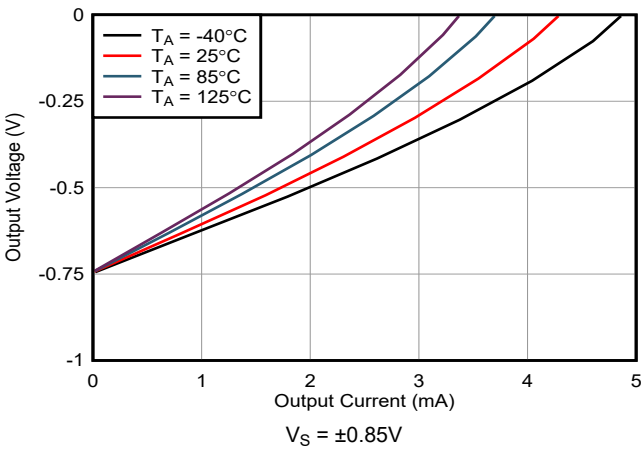


図 5-28. 出力電圧と出力電流との関係 (シンク)

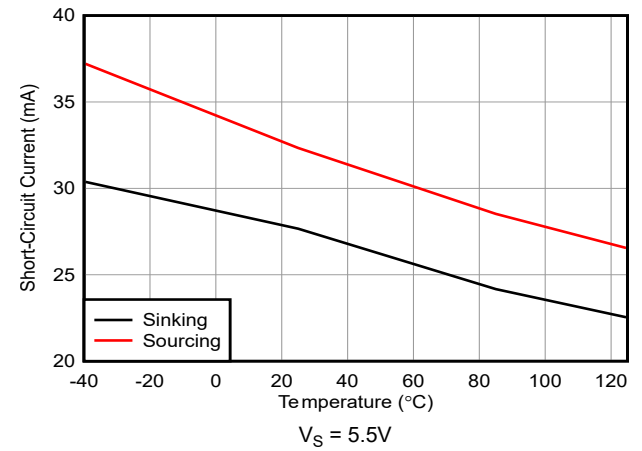


図 5-29. 短絡電流と温度との関係

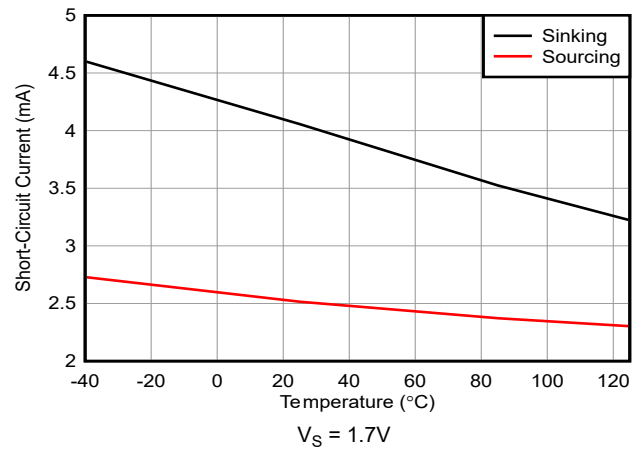
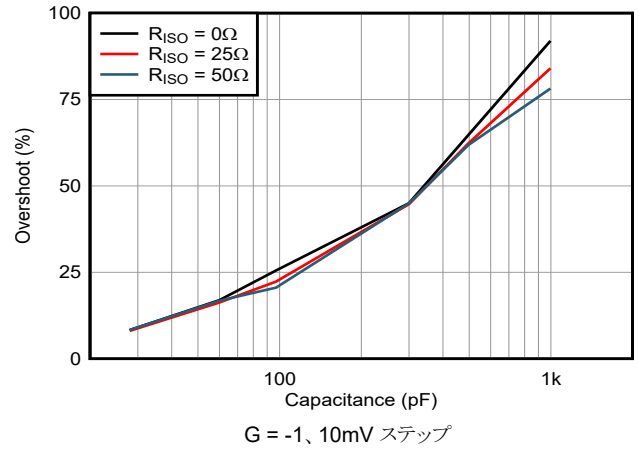


図 5-30. 短絡電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

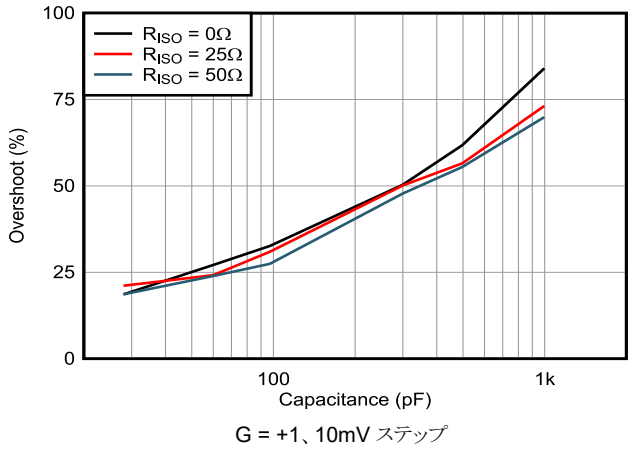
5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±2.75V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 50pF の場合 (特に記述のない限り)



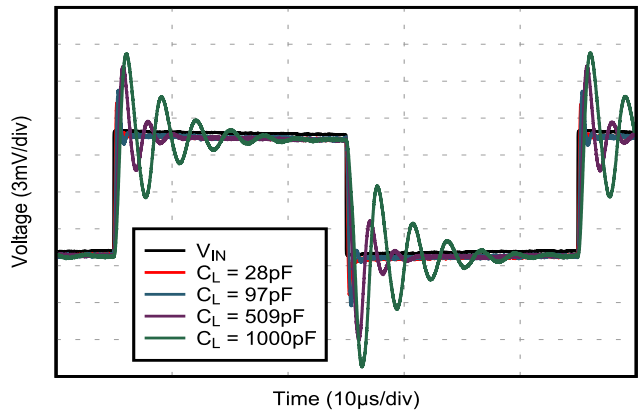
G = -1、10mV ステップ

図 5-31. 小信号オーバーシュートと容量性負荷との関係



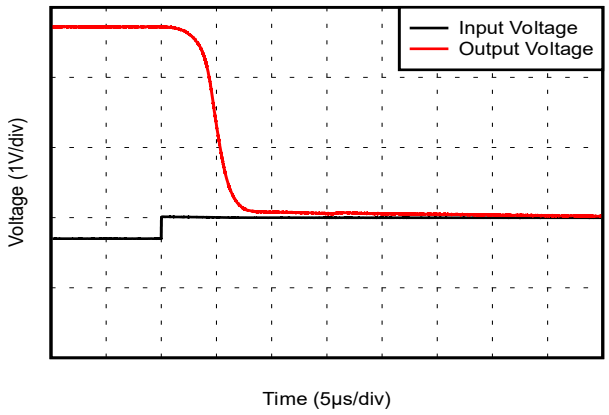
G = +1、10mV ステップ

図 5-32. 小信号オーバーシュートと容量性負荷との関係



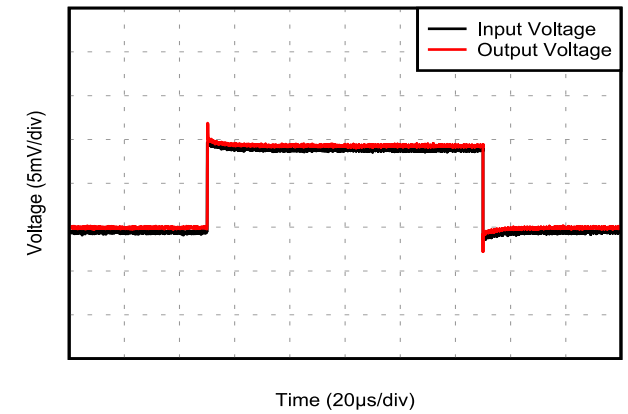
G = +1

図 5-33. 小信号電圧過渡応答とコンデンサ負荷 (C_L)



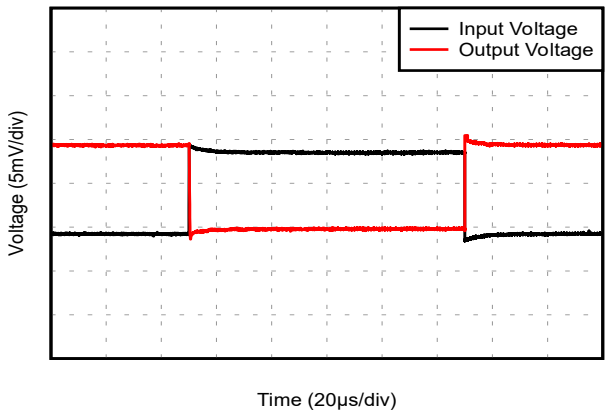
G = -1

図 5-34. 過負荷回復



G = +1

図 5-35. 小信号ステップ応答



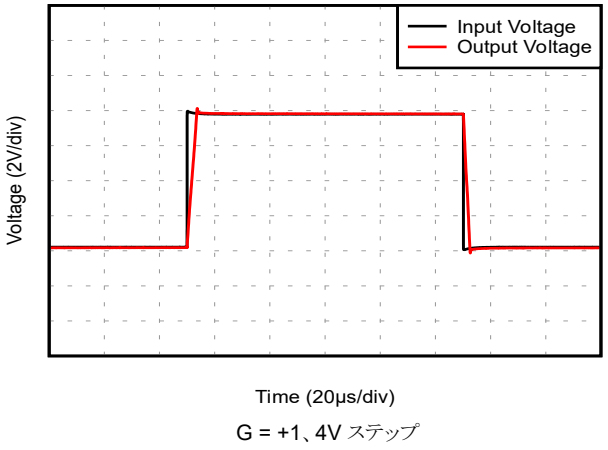
G = -1

図 5-36. 小信号ステップ応答

Copyright © 2025 Texas Instruments Incorporated

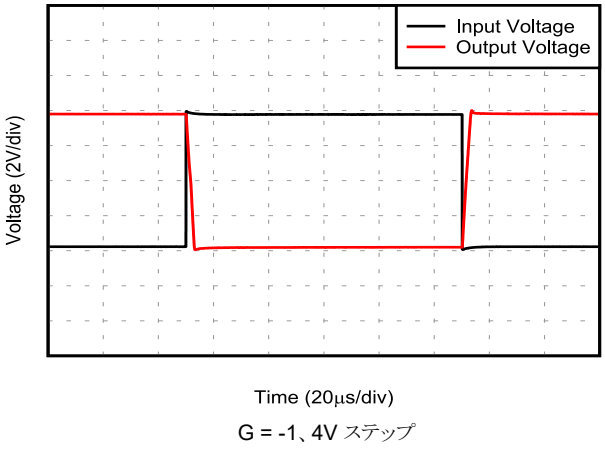
5.8 代表的特性 (続き)

T_A = 25℃、V_S = ±2.75V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 50pF の場合 (特に記述のない限り)



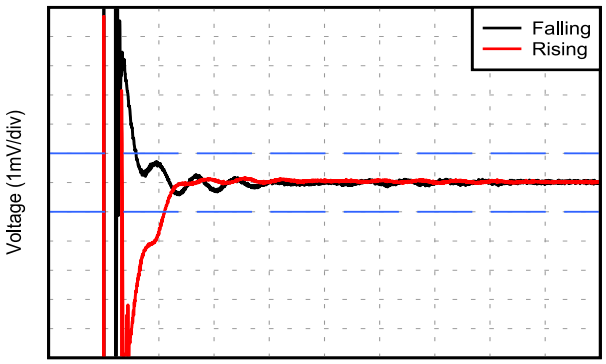
G = +1、4V ステップ

図 5-37. 大信号ステップ応答



G = -1、4V ステップ

図 5-38. 大信号ステップ応答



0.01% セトリング = ±100µV

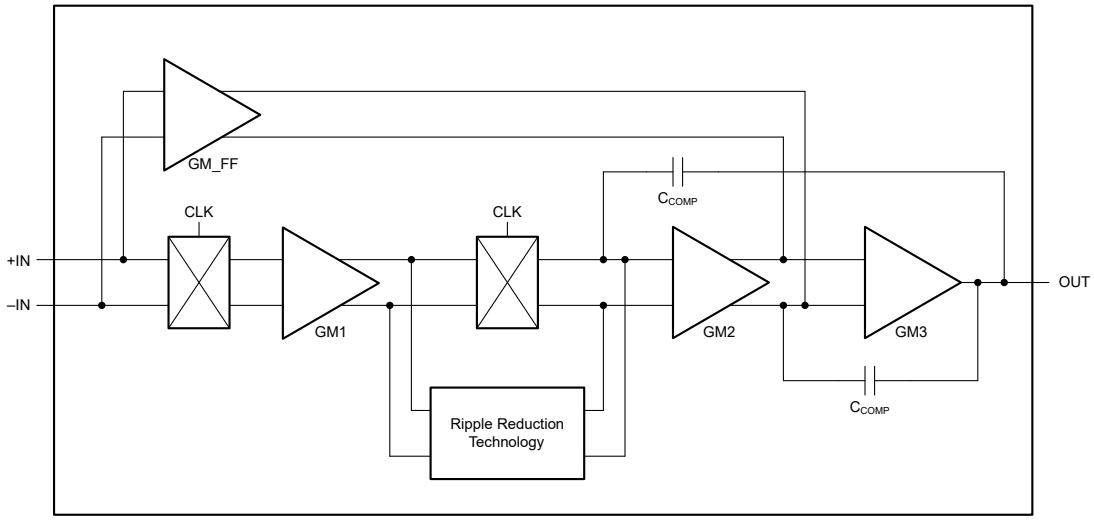
図 5-39. セトリング タイム

6 詳細説明

6.1 概要

OPAx383 ファミリの低消費電力ゼロドリフト アンプは、最新かつ独自の高精度ゼロドリフト技術を使用して設計されています。これらのアンプは、入力オフセット電圧と入力オフセット ドリフトが非常に低く、入出力の動的直線性は非常に高いです。OPAx383 は 1.7V～5.5V で動作し、ユニティ ゲインで安定しており、さまざまな汎用かつ高精度のアプリケーション向けに設計されています。また、OPAx383 の特長には、2.5MHz の帯域幅、1 アンプあたり典型的に 65µA の静止電流に対して 32nV/√Hz のノイズ スペクトル密度、そして 1/f ノイズがない点も含まれます。これらの特長により、OPAx383 はセンサー モジュールとのインターフェイスや、高忠実度のデジタル・アナログ変換器 (DAC) およびアナログ・デジタル変換器 (ADC) のバッファリングに最適な選択肢となります。

6.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 入力バイアス電流

通常動作時、OPAx383 の標準入力バイアス電流は 10pA です。このデバイスは、-40℃～+125℃の全温度範囲で低ドリフトを示します。入力ピン (+IN と -IN) の間にはアンチパラレル ダイオードが存在しないため、差動入力の最大電圧を制限するのは、電源電圧ピンに接続されたダイオードのみです。ただし、入力差動電圧が公称動作入力差動電圧を超える場合は注意が必要です。入力が分離されている場合、アンプ内部のスイッチング オフセット キャンセル パスが通常の動作条件を超え、通常動作に戻ると長いセトリング動作が発生する可能性があります。図 6-1 は OPAx383 の等価入力回路を示しています。

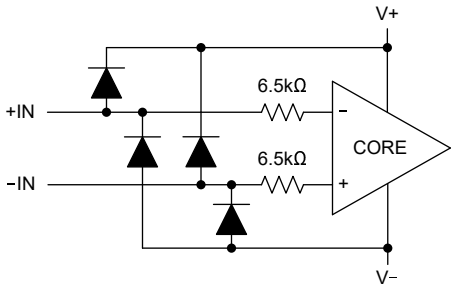


図 6-1. 等価入力回路

6.3.2 EMI 感受性と入力フィルタリング

オペアンプは、電磁干渉 (EMI) の影響を受ける可能性があります。通常、伝導 EMI (伝導によってデバイスに伝わる EMI) は、放射 EMI (電磁放射によってデバイスに伝わる EMI) よりも一般的に見られます。伝導 EMI がオペアンプに伝わると、アンプ出力の DC オフセットが公称値から変動する可能性があります。この変動は、内部の半導体接合部に関連する信号整流作用によるものです。すべてのオペアンプ ピン機能は EMI の影響を受ける可能性がありますが、入力ピンは最も影響を受けやすくなりがちです。OPAx383 オペアンプ ファミリは、EMI に対するアンプの応答を低減する内部入力ローパス フィルタを内蔵しています。同相モードと差動モードの両方のフィルタリングが、入力フィルタによって提供されます。OPAx383 の伝導 EMI の除去比を 図 6-2 に示します。

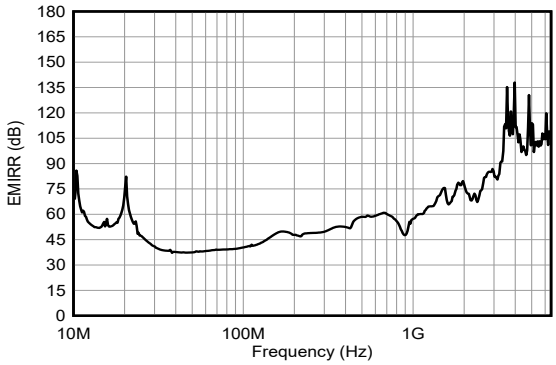


図 6-2. EMI 除去比

6.4 デバイスの機能モード

OPAx383 は単一の機能モードを備えており、電源電圧が 1.7V (±0.85V) を上回ると動作します。OPAx383 の仕様上の最大電源電圧は 5.5V (±2.75V) です。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

OPAx383 は、最新のゼロドリフト技術を採用した、ユニティ ゲイン安定で高精度のオペアンプです。独自のゼロドリフト回路を使用することで、時間と温度に対する入力オフセット電圧が低くなり、1/f ノイズ成分が減少するという利点が得られます。これらのデバイスは、PSRR が高いため、レギュレーションなしでバッテリ電源から直接動作するアプリケーションで良好に動作します。OPAx383 ファミリは完全なレール ツー レール入力用に最適化されているため、低電圧、単一電源動作、または分割電源での使用が可能です。これらの小型、高精度、低ノイズのアンプは、同相範囲が電源を 100mV 超過する、入力クロスオーバ歪のない高インピーダンス入力と、通常のテスト条件で電源から 5mV 以内でスイングするレール ツー レール出力を備えています。OPAx383 高精度アンプは、低ゲインまたは高ゲインのアップストリーム アナログ シグナル チェーン アプリケーションや、DAC バッファリングなどのダウンストリーム シグナル チェーン機能向けに設計されています。

7.1.1 ゼロドリフト クロッキング

OPAx383 は高度なゼロドリフト アーキテクチャを採用し、非常に低いオフセットおよびオフセット ドリフトを実現しています。このアーキテクチャでは、クロックとスイッチを内部で使用して DC 誤り訂正パスを作成します。クロッキングは内部でフィルタ処理され、ほとんどの構成で通常観測されません。シグナル チェーン内のクロック ノイズを最小限に抑えるため、次の注意事項に従ってください。このクロッキングで、アンプの入力に小さなチャージ インジェクション パルスが生成されるため、入力と直列に高抵抗 (> 100kΩ) を使用しないでください。これにより、出力でのクロック電圧ノイズの増加を避けることができます。入力ピンへのインピーダンスが整合した場合に、チャージ インジェクション パルスは最小化されます。より値の大きい抵抗を使用する場合は、両方のアンプ入力ピンでインピーダンスを整合します。

7.2 代表的なアプリケーション

7.2.1 双方向電流センシング

この単一電源、ローサイド、双方向電流検出設計例は、–1A から +1A までの負荷電流を検出します。シングルエンド出力は 110mV から 3.19V の範囲をカバーします。この設計では、低オフセット電圧およびレールツーレール入出力を特長とする OPAx383 を採用しています。一方のアンプは差動アンプとして構成され、もう一方のアンプは基準電圧を供給します。図 7-1 に、設計例の回路図を示します。

Copyright © 2025 Texas Instruments Incorporated

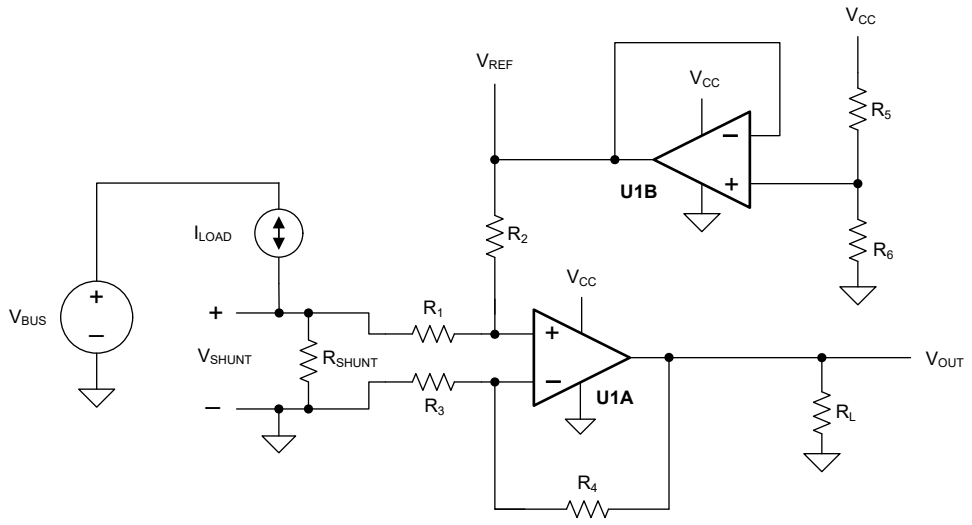


図 7-1. 双方向電流センシング回路図

7.2.1.1 設計要件

この設計には、次の要件があります。

- 電源電圧:3.3V
- 入力:-1A～+1A
- 出力:1.65V±1.54V (110mV～3.19V)

7.2.1.2 詳細な設計手順

負荷電流、I_{LOAD} はシャント抵抗 R_{SHUNT} を通ってシャント電圧 V_{SHUNT} を発生させます。その後、シャント電圧は U1A と R_1～R_4 で構成される差動アンプによって増幅されます。この差動アンプのゲインは、R_4 と R_3 の比によって設定されます。誤差を最小化するため、$R_2 = R_4$ かつ $R_1 = R_3$ に設定します。リファレンス電圧 V_{REF} は、U1B を使用して抵抗デバイダをバッファリングすることで供給されます。伝達関数は式 1 で与えられます。

$$V_{OUT} = V_{SHUNT} \times Gain_{Diff\text{-}Amp} + V_{REF} \quad (1)$$

ここで、

- $V_{SHUNT} = I_{LOAD} \times R_{SHUNT}$
- $Gain_{Diff\text{-}Amp} = \frac{R_4}{R_3}$
- $V_{REF} = V_{CC} \times \left(\frac{R_6}{R_5 + R_6}\right)$

この設計には、ゲインとオフセットという 2 種類の誤差があります。ゲイン誤差は、シャント抵抗の許容誤差と R_4 と R_3 の比、および同様に R_2 と R_1 の比によって発生します。分圧器 (R_5 と R_6) によってオフセット誤差が発生し、R_4/R_3 の比が R_2/R_1 とどの程度近いかがわかります。後者の値は差動アンプの CMRR に影響を及ぼし、最終的にオフセット誤差につながります。

V_{SHUNT} はローサイド測定であるため、V_{SHUNT} の値はシステム負荷のグランド電位です。したがって、最大値を V_{SHUNT} に配置する必要があります。この設計では、V_{SHUNT} の最大値を 100mV に設定します。式 2 では、最大シャント電圧が 100mV、最大負荷電流が 1A の場合のシャント抵抗の最大値を計算します。

$$R_{SHUNT(MAX)} = \frac{V_{SHUNT(MAX)}}{I_{LOAD(MAX)}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

R_{SHUNT} の許容誤差は、コストに正比例します。この設計では、許容誤差 0.5% のシャント抵抗を選択します。より高い精度が必要な場合は、0.1% 以下の抵抗を選択してください。

負荷電流は双方向であるため、シャント電圧範囲は -100mV～+100mV です。この電圧は、オペアンプ U1A に達する前に、R_1 と R_2 で分割されます。U1A の非反転ノードに存在する電圧が、デバイスの同相範囲内であることを確認します。OPAx383 などのオペアンプを使用してください。このオペアンプは、負の電源電圧を下回る同相範囲を備えています。OPAx383 の標準オフセット電圧はわずか ±0.5µV (最大 ±5µV) なので、オフセット誤差は最小限に抑えられます。

対称負荷電流が -1A～+1A の場合、分圧抵抗 (R_5 と R_6) は等しくする必要があります。シャント抵抗と整合するように、許容誤差 0.5% を選択します。消費電力を最小限に抑えるために、10kΩ の抵抗を使用します。

差動アンプのゲインを設定するには、OPAx383 のコモンモード範囲および出力スイングを考慮する必要があります。式 3 および 式 4 は、それぞれ 3.3V 電源時の OPAx383 の代表的なコモンモード範囲および最大出力スイングを示しています。

$$-100\text{mV} < V_{CM} < 3.4\text{V} \tag{3}$$

$$100\text{mV} < V_{OUT} < 3.2\text{V} \tag{4}$$

差動アンプのゲインは、式 5 を用いて算出されます。

$$\text{Gain}_{\text{Diff-Amp}} = \frac{V_{OUT(MAX)} - V_{OUT(MIN)}}{R_{SHUNT} \times (I_{MAX} - I_{MIN})} = \frac{3.2\text{V} - 100\text{mV}}{100\text{m}\Omega \times (1\text{A} - (-1\text{A}))} = 15.5\frac{\text{V}}{\text{V}} \tag{5}$$

R_1 と R_3 に選択される抵抗値は 1kΩ です。R_2 と R_4 には 15.4kΩ を選択します。この値は最も近い標準値だからです。したがって、差動アンプの計算上のゲインは 15.4 V/V です。

回路のゲイン誤差は主に、R_1～R_4 に依存します。この依存性の結果、0.1% の抵抗を選択します。この構成により、設計で 2 点較正が必要になる可能性が低くなります。必要に応じて、単純な 1 点較正により、0.5% の抵抗によって生じるオフセット誤差を除去します。

7.2.1.3 アプリケーション曲線

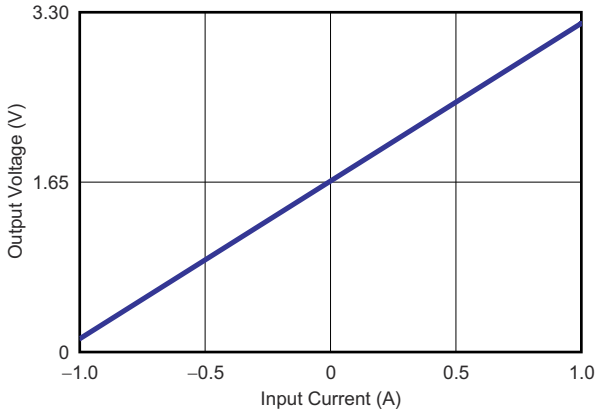


図 7-2. 双方向電流センシング回路の性能：出力電圧と入力電流との関係

7.2.2 ブリッジ センサ測定

図 7-3 は、トリム抵抗および 6 線式ブリッジ センサーを用いた比率測定精度を実現する、高 CMRR デュアルオペアンプの計測アンプ構成の OPAx383 を示しています。

Copyright © 2025 Texas Instruments Incorporated

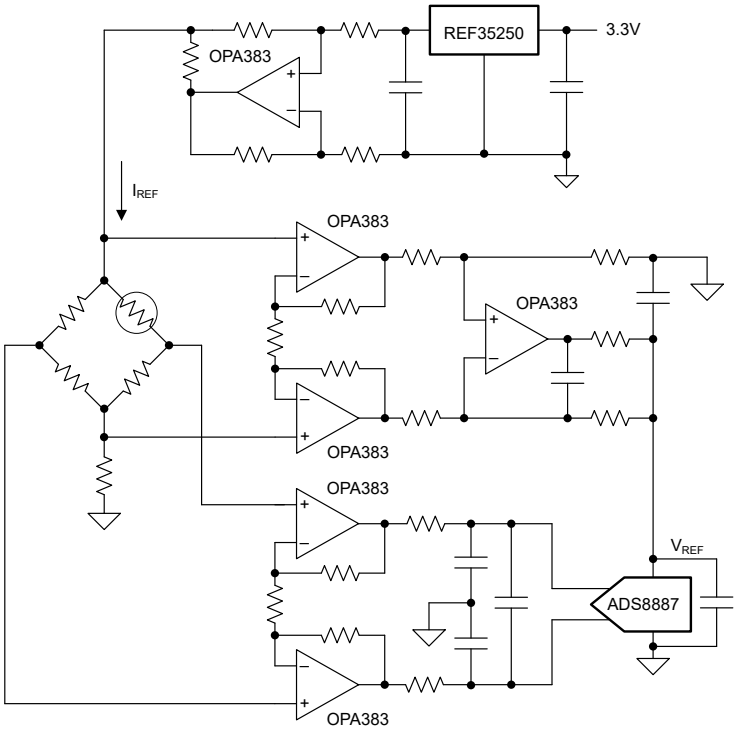


図 7-3. ブリッジセンサ測定回路図

7.3 電源に関する推奨事項

OPAx383 ファミリのデバイスは、単一電源で 1.7V～5.5V、デュアル電源で ±0.85V～±2.75V で動作が規定されています。動作電圧に大きな変動を引き起こす可能性のある主要パラメータを、セクション 5 に示します。

> **注意**
> 6V を超える電源電圧を印加すると、デバイスに恒久的な損傷を与える可能性があります (セクション 5.1 を参照)。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

適切なレイアウトのガイドラインに従ってください。トレースを短くし、可能な場合はプリント基板 (PCB) のグランド プレーンを使用し、表面実装部品をデバイス ピンのできるだけ近くに配置します。電源ピン付近の両端に 0.1µF のコンデンサを配置します。これらのガイドラインは、性能を向上させ、電磁干渉 (EMI) の影響を低減するなどの利点を実現するために、アナログ回路全体に適用する必要があります。

最小のオフセット電圧と高精度性能を実現するには、回路レイアウトと機械的条件を最適化する必要があります。異なる導体の接続部に形成される熱電対接合部で熱電効果 (ゼーベック効果) が発生するような温度勾配を避けます。確実に両方の入力ピンで電位が等しくなるようにして、これらの熱により発生する電位差をキャンセルします。レイアウトおよび設計に関するその他の考慮事項は以下のとおりです。

- 熱電係数の低い条件を使用します (異なる金属は避けてください)。
- 電源や他の熱源から部品を熱的に絶縁します。
- オペアンプおよび入力回路を、冷却ファンなどの空気流から遮蔽します。

これらのガイドラインに従うと、接合部によって温度が異なるものになる可能性が低減します。接合部によって温度が異なると、使用する材料によっては熱電気電圧ドリフトが 0.1µV/°C 以上になる可能性があります。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 レイアウト例

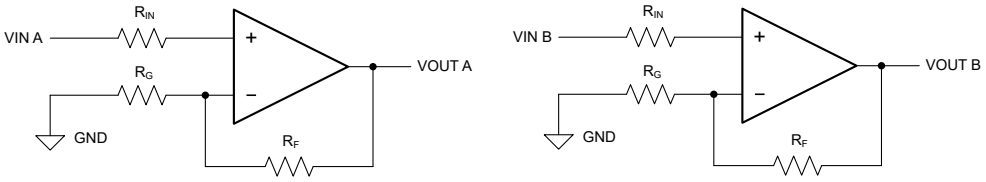


図 7-4. 回路図

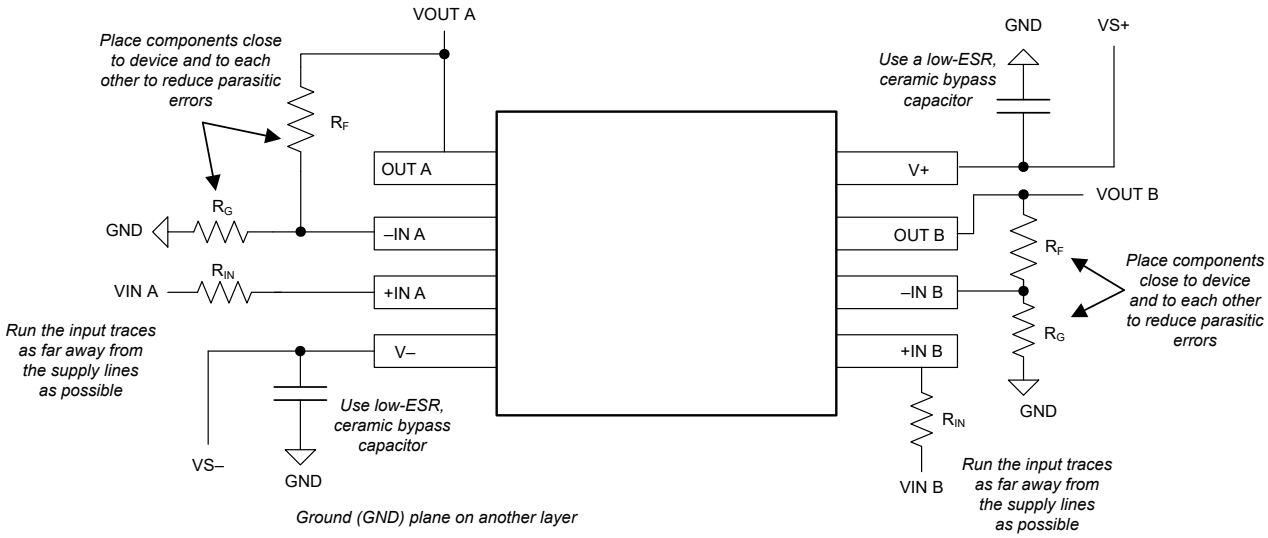


図 7-5. レイアウト例

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプの設計を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

Copyright © 2025 Texas Instruments Incorporated

8.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2025) to Revision C (November 2025) **Page**

- OPA4383PWR のステータスを*開発中製品*から*量産開始前*に更新 1

Changes from Revision A (May 2025) to Revision B (June 2025) **Page**

- OPA383DBVR のステータスを*開発中製品*から*量産開始前*に更新 1
- 入力オフセット電圧の室温の最大値に次の脚注を追加しました:「複数のロットにわたるデバイスの母集団ベンチシステムの測定から確立された仕様」 7
- 入力バイアス電流の室温の最大値に以下の脚注を追加しました:「複数のロットにわたるデバイスの母集団ベンチシステムの測定から確立された仕様」 7
- 室温での最大入力バイアス電流を 50pA から 62pA に変更 7
- -40°C ～ +85°C の最大入力バイアス電流を 60pA から 76pA に変更 7
- -40°C ～ +125°C の最大入力バイアス電流を 150pA から 212pA に変更 7
- 入力オフセット電流の室温の最大値に次の脚注を追加しました:「複数のロットにわたるデバイスの母集団ベンチシステムの測定から確立された仕様」 7
- 室温での最大入力オフセット電流を 100pA から 123pA に変更 7
- V_S = 5.5V 時の室温の最小 CMRR を 125dB から 122dB に変更 7
- V_S = 5.5V 時の -40°C ～ +125°C の最小 CMRR を 122dB から 120dB に変更 7
- Vs = 1.7V 時の CMRR の室温最小値に次の脚注を追加しました:「複数のロットにわたるデバイスの母集団ベンチシステムの測定から確立された仕様」 7
- V_S = 1.7V 時の室温の最小 CMRR を 122dB から 116dB に変更 7
- V_S = 1.7V 時の -40°C ～ +125°C の最小 CMRR を 120dB から 114dB に変更 7
- V_S = 5.5V、R_L = 10kΩ 時の室温の最小 A_{OL} を 130dB から 120dB に変更 7
- V_S = 1.7V および R_L = 10kΩ の室温の最小 A_{OL} を追加 7
- V_S = 5.5V、R_L = 10kΩ 時の、-40°C ～ +125°C の最小 A_{OL} を 124dB から 119dB に変更 7
- V_S = 5.5V、R_L = 2kΩ 時の室温の最小 A_{OL} を 125dB から 119dB に変更 7
- V_S = 1.7V および R_L = 2kΩ の室温の最小 A_{OL} を追加 7
- V_S = 5.5V、R_L = 2kΩ 時の、-40°C ～ +125°C の最小 A_{OL} を 122dB から 118dB に変更 7
- 過負荷回復時間を 1500ns から 2200ns に変更 7

Changes from Revision * (December 2024) to Revision A (May 2025) **Page**

- OPAx383 および OPA4383 を APL に更新 1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2383DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O2383
OPA2383DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O2383
OPA383DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3PMF
OPA4383PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O4383PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

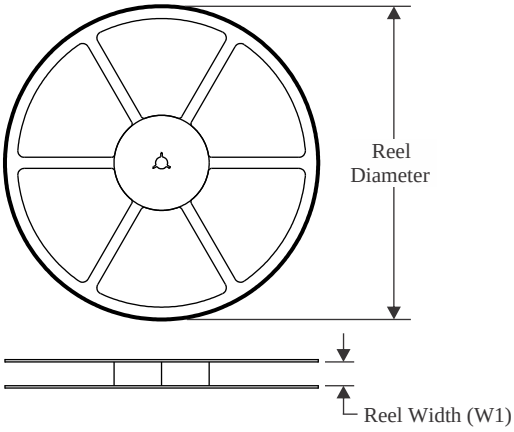
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

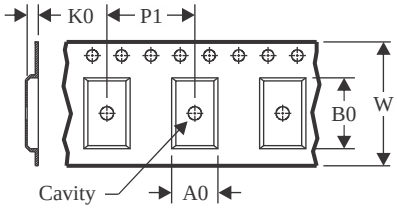
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

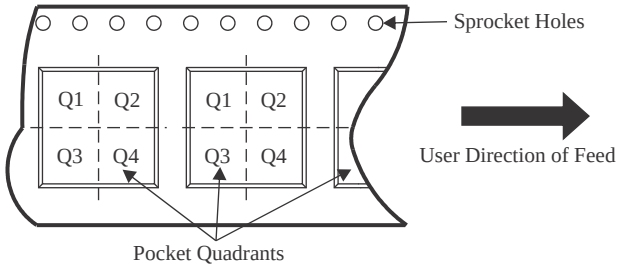


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

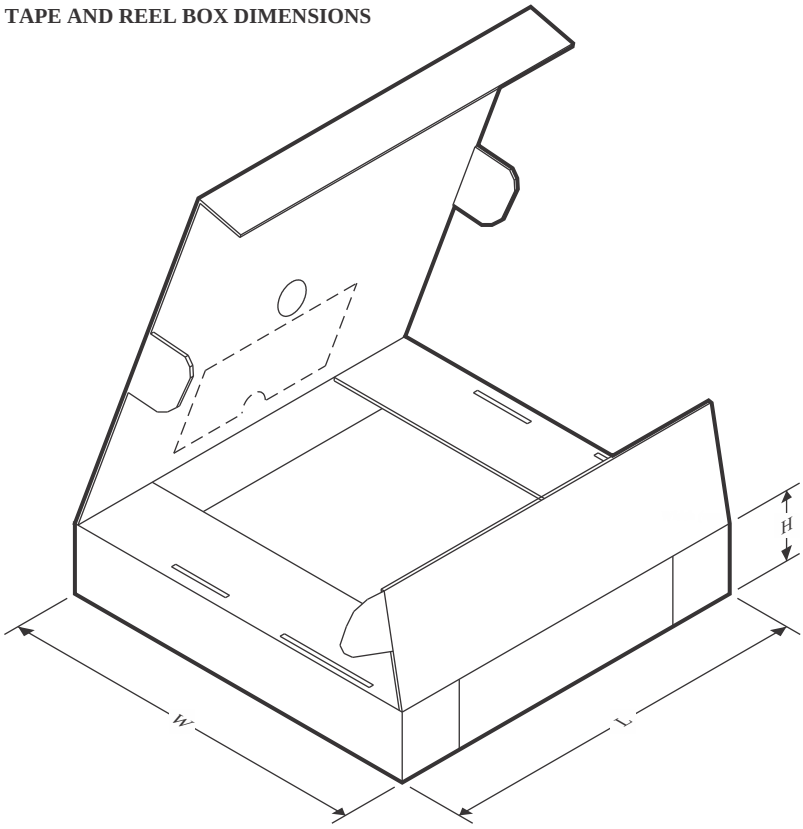
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2383DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA383DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA4383PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

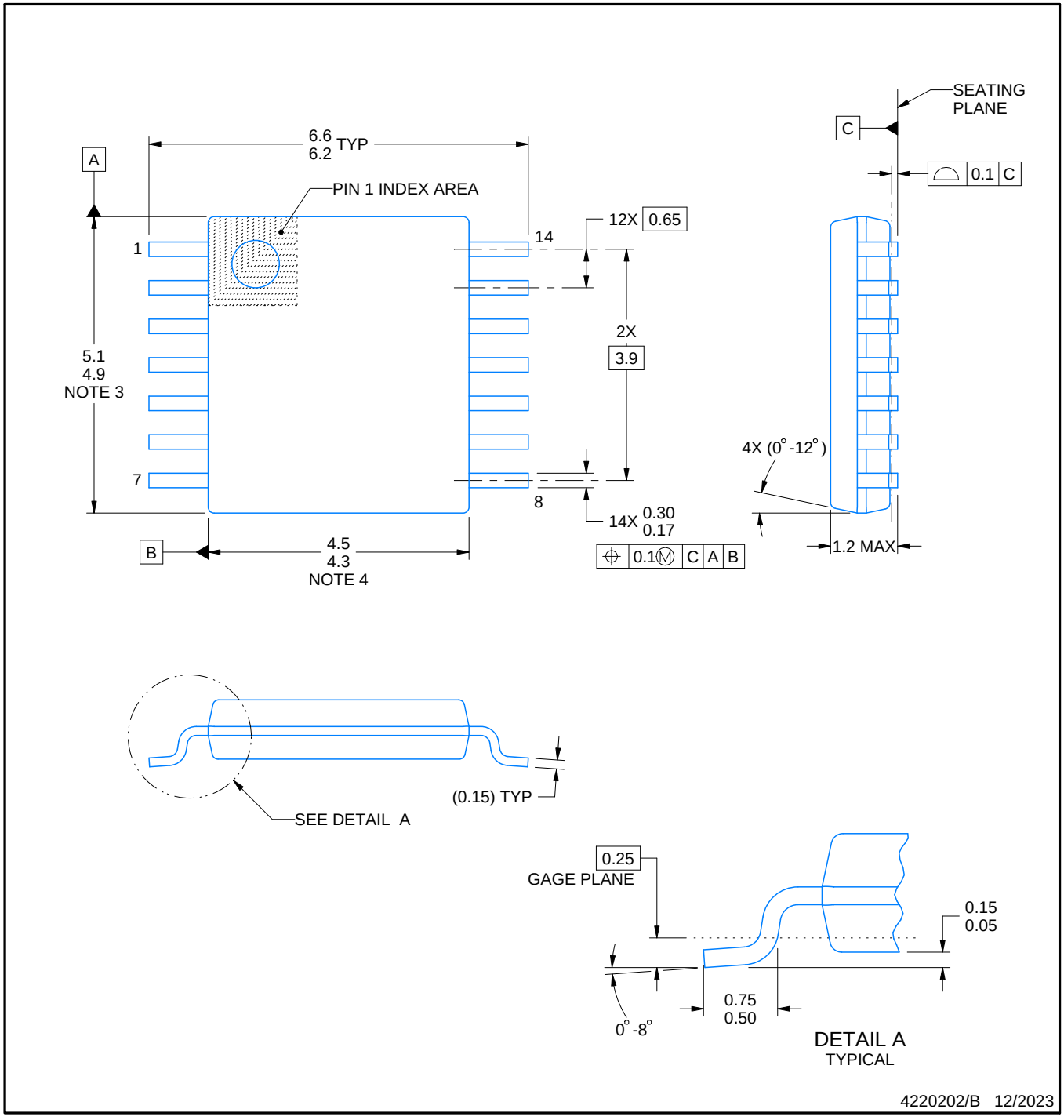
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2383DGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA383DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA4383PWR	TSSOP	PW	14	3000	353.0	353.0	32.0

PACKAGE OUTLINE

PW0014A

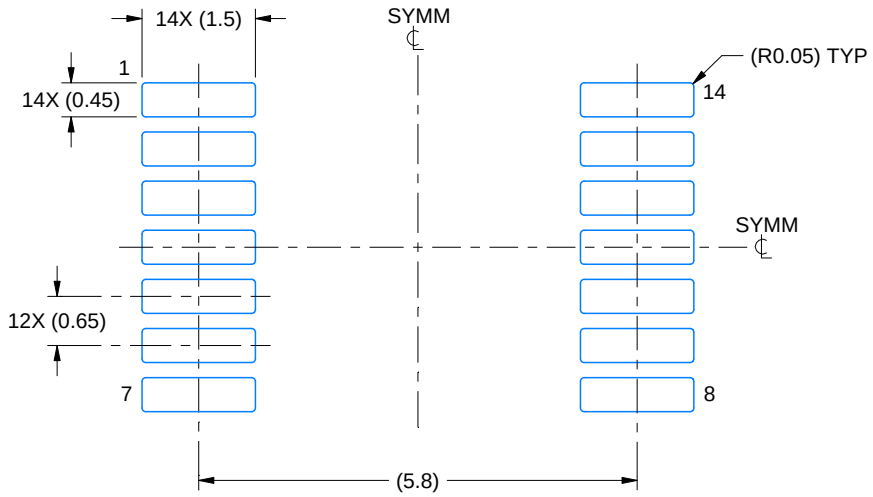
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

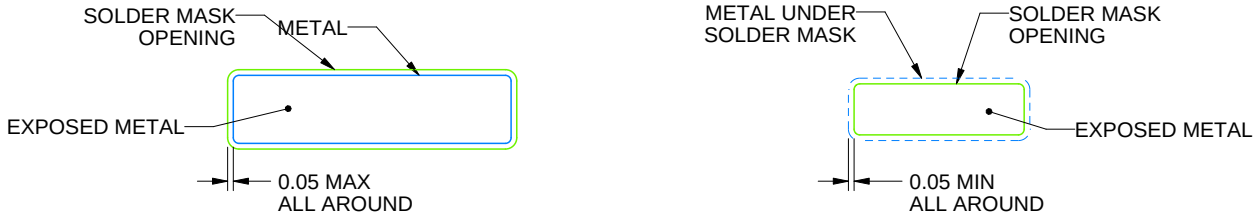


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

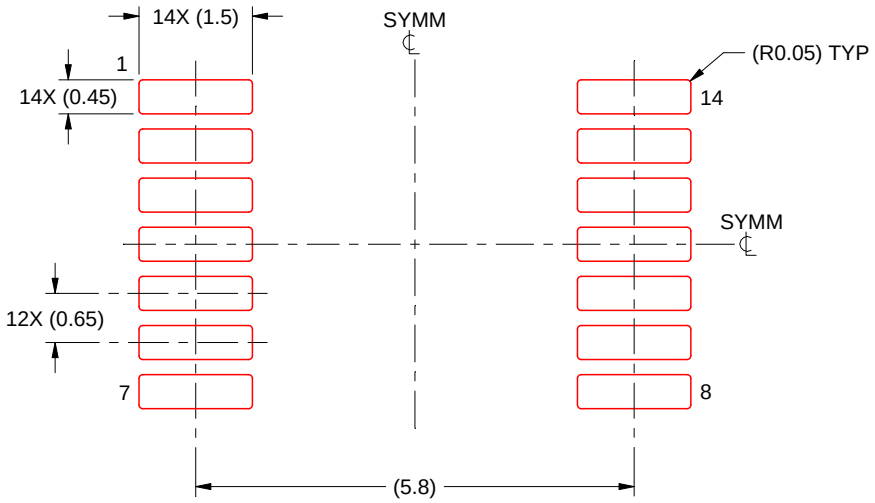


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

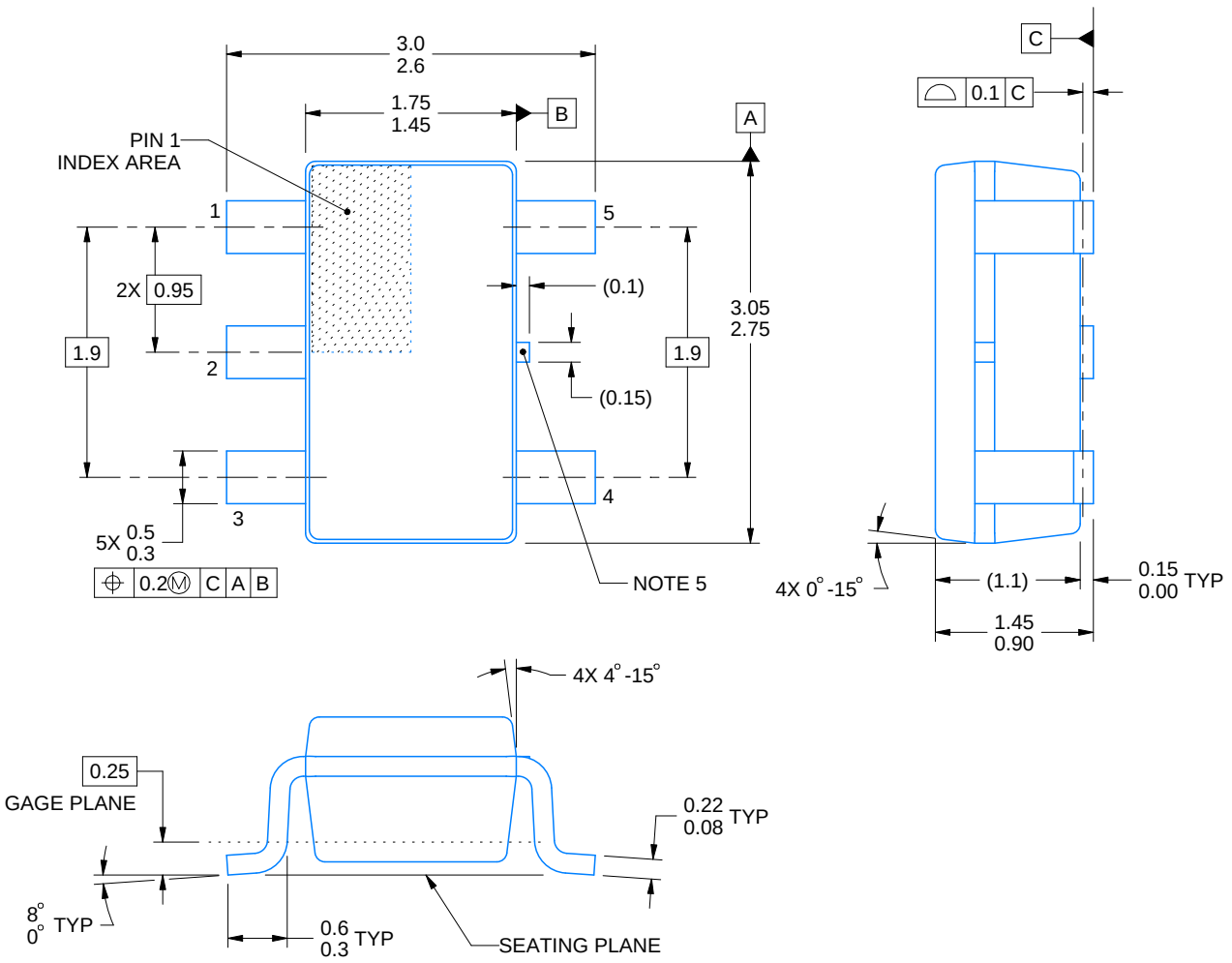
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

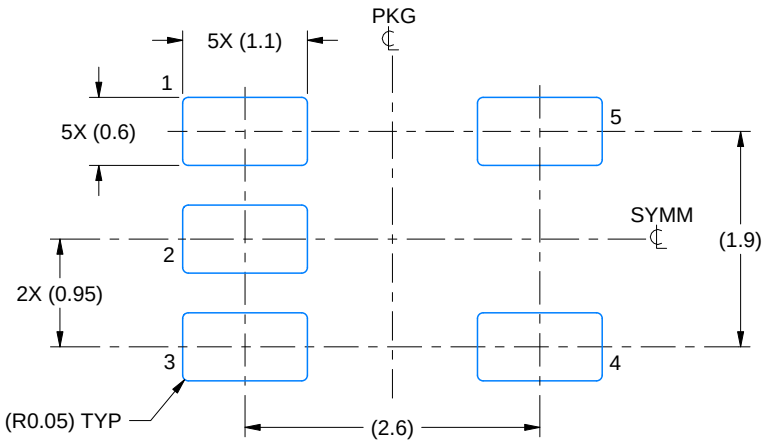
SMALL OUTLINE TRANSISTOR



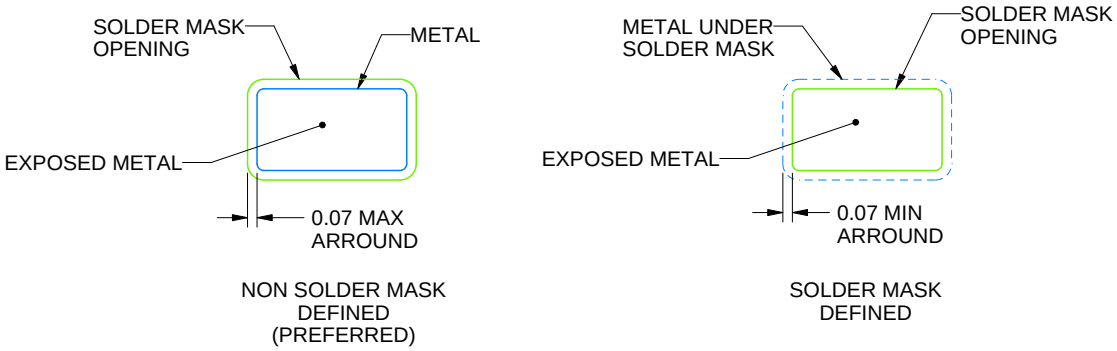
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

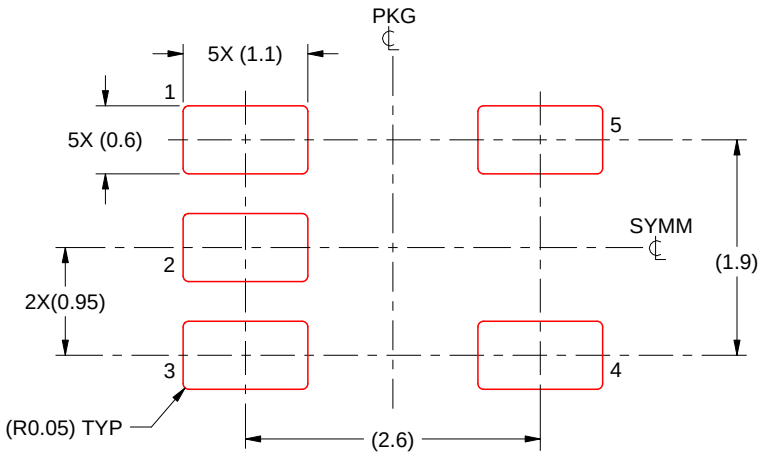


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

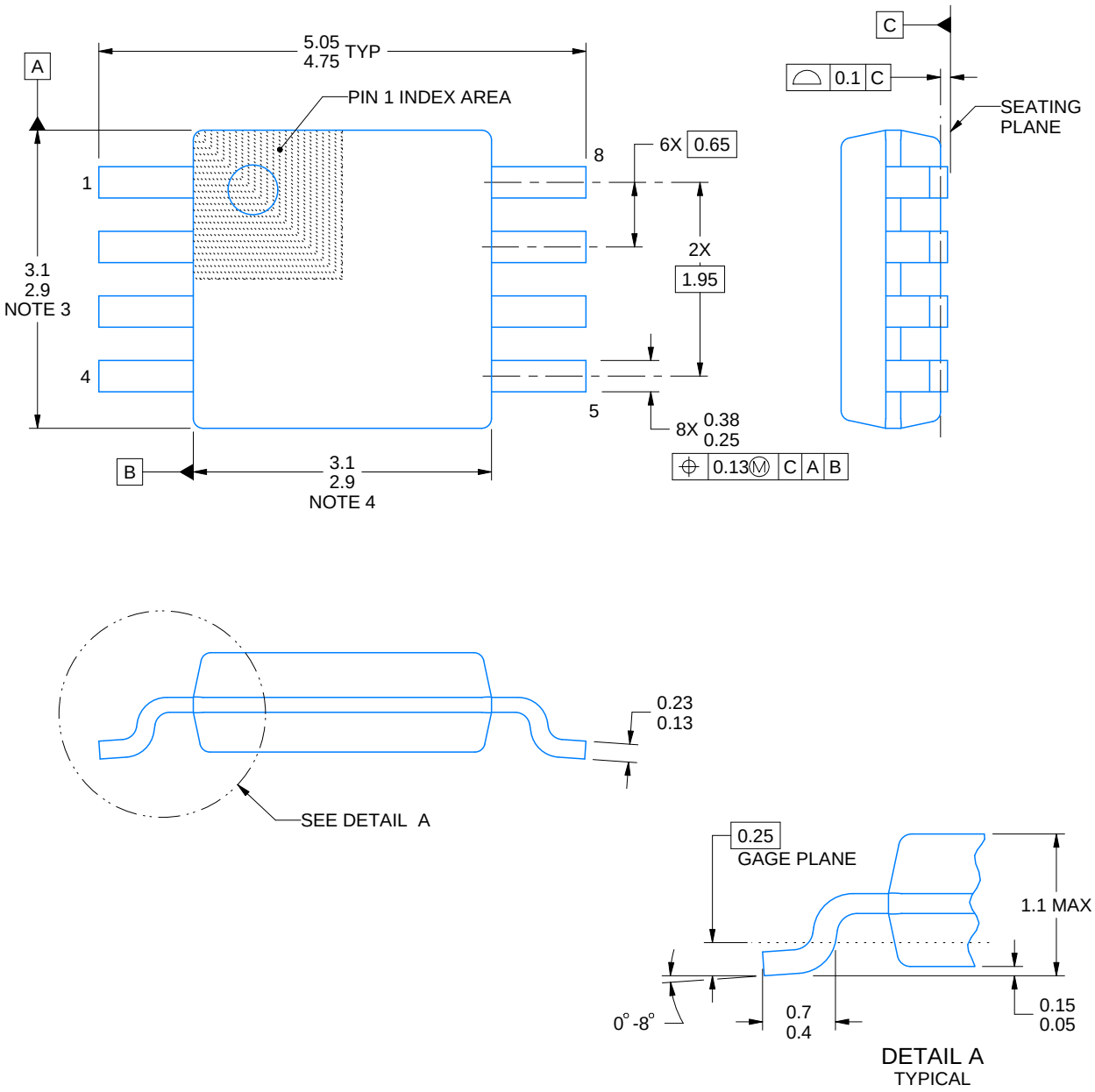
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

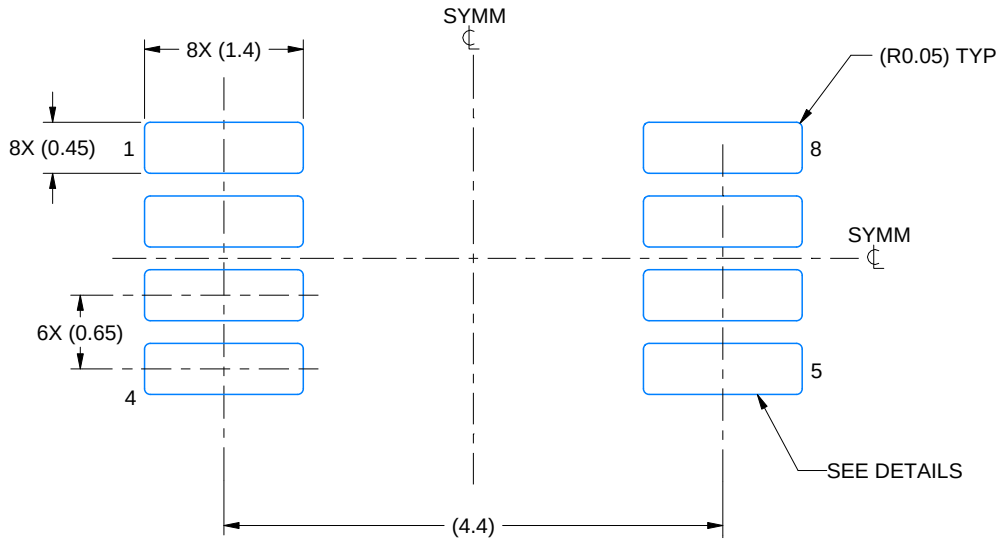
SMALL OUTLINE PACKAGE



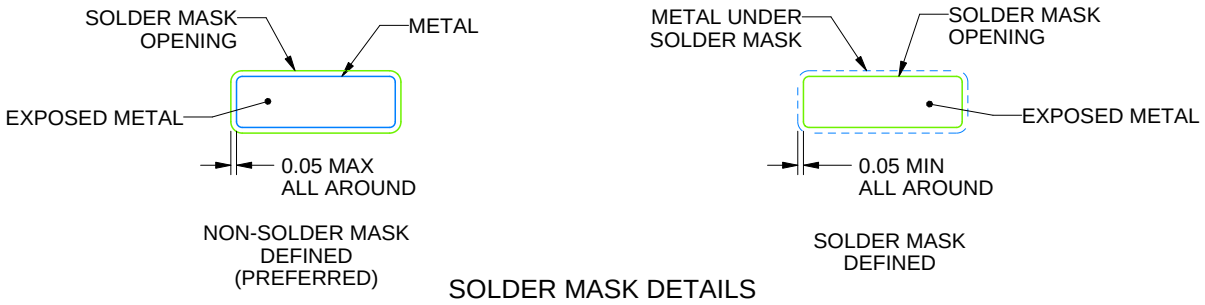
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

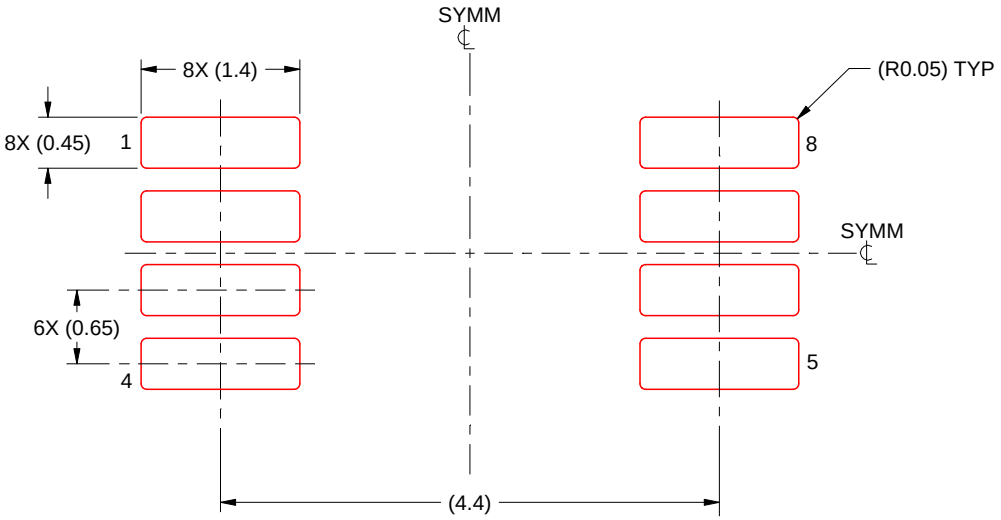


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月