

LDO および SPI 内蔵 TIOL221 デュアルチャネル IO-Link デバイス PHY

1 特長

- 電源電圧: 7V~36V
- 補助デジタル出力 (DO) チャネルとデジタル入力 (DI) チャネルを搭載した、IO-Link が構成可能な CQ 出力
- ピン制御または SPI により構成可能
- CQ および DO の両チャネルを IO-link メイン モジュールで使用するように構成可能
- PNP、NPN、または IO-Link が構成可能な CQ 出力
 - IEC 61131-9 COM1、COM2、COM3 のデータポートをサポート
 - ≥60m までの長いケーブル長をサポート
- 低消費電力で高い構成能力の出力ドライバ
 - 低 $R_{DS(ON)}$ 2.5Ω (標準値)
 - アクティブドライバの電流制限機能
 - ドライバの過電流制限を設定可能: 50mA~500mA
 - LP、CQ、DO、DI で最大 65V のアクティブ逆極性保護
 - 誘導性負荷に対する安全で高速な消磁
- 堅牢なシステムのための保護機能を内蔵
 - 過電流、過熱、UVLO フォルトのフォルト インジケータ
 - 拡張周囲温度動作範囲: -40°C~125°C
 - ±8kV IEC 61000-4-2 ESD 接触放電
 - ±4kV IEC 61000-4-4 電気的高速過渡
 - ±1.2kV、500Ω の IEC 61000-4-5 サージ
- 大容量誘導性負荷駆動能力
- 最大電流 20mA 対応の LDO を搭載
- オプションの外部レギュレータ入力 (5V) により、LDO の内部消費電力を低減
- スペースを節約する小型のパッケージ オプション
 - 4mm × 4mm VQFN パッケージ
 - 2.7mm × 2.7mm DSBGA パッケージ

2 アプリケーション

- フィールドトランシミッタおよびアクチュエータ
- ファクトリオートメーション
- プロセスオートメーション
- リモート IO の IO-link PHY

3 説明

TIOL221 トランシーバは、アクティブ逆極性保護機能を備えたデュアル低消費電力出力ドライバを内蔵しています。デバイスが 3 線式のインターフェイス経由で IO-Link マスターに接続されているとき、コントローラはリモートノードとの通信を開始してデータを交換でき、TIOL221 は通信の完全な物理レイヤとして機能します。このデバイスには、補助 DI チャネルも内蔵されています。

このデバイスは、最大 1.2kV (500Ω) の IEC 61000-4-5 サージに耐えることができ、また、逆極性保護を内蔵しています。構成可能で拡張された診断機能を有する SPI に加えて、シンプルなピン プログラマブル インターフェイスによりコントローラの回路と簡単に接続できます。出力電流制限は、外付け抵抗を使用して構成するか、SPI 経由で構成済みの制限値を使用して構成できます。TIOL221 はウェークアップ パルスを生成するように構成することができ、IO-Link のマスター アプリケーションで使用できます。低電圧、過電流、過熱状態に対するフォルト通知および内部保護機能を備えています。

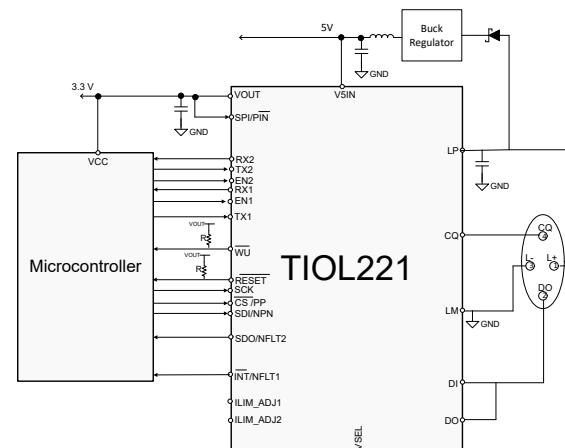
パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TIOL221	VQFN (24)	4 mm × 4 mm
	DSBGA (25) ⁽³⁾	2.7mm × 2.7 mm

(1) 詳細については、[セクション 12](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

(3) 製品プレビュー



代表的なアプリケーションの図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.4 デバイスの機能モード	26
2 アプリケーション	1	7.5 SPI のプログラミング	27
3 説明	1	8 TIOL221 のレジスタ	30
4 ピン構成および機能	3	9 アプリケーションと実装	41
5 仕様	5	9.1 アプリケーション情報	41
5.1 絶対最大定格	5	9.2 代表的なアプリケーション	41
5.2 ESD 定格	5	9.3 電源に関する推奨事項	44
5.3 ESD 定格 - IEC 仕様	5	9.4 レイアウト	45
5.4 推奨動作条件	5	10 デバイスおよびドキュメントのサポート	47
5.5 熱に関する情報	6	10.1 ドキュメントのサポート	47
5.6 電気的特性	6	10.2 ドキュメントの更新通知を受け取る方法	47
5.7 スイッチング特性	9	10.3 サポート・リソース	47
5.8 代表的特性	12	10.4 商標	47
6 パラメータ測定情報	13	10.5 静電気放電に関する注意事項	47
7 詳細説明	17	10.6 用語集	47
7.1 概要	17	11 改訂履歴	47
7.2 機能ブロック図	18	12 メカニカル、パッケージ、および注文情報	48
7.3 機能説明	18	12.1 メカニカル データ	49

4 ピン構成および機能

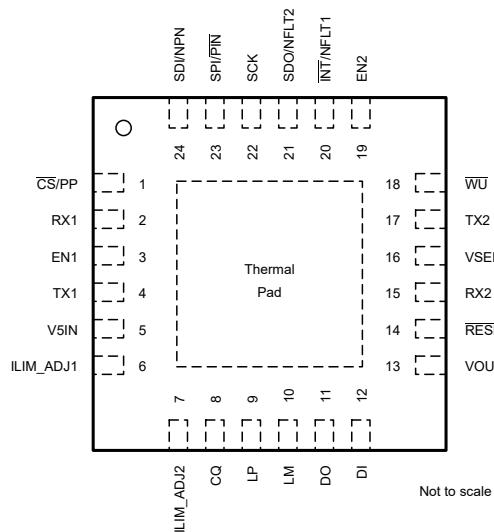


図 4-1. RGE (VQFN)、24 ピン
(上面図)

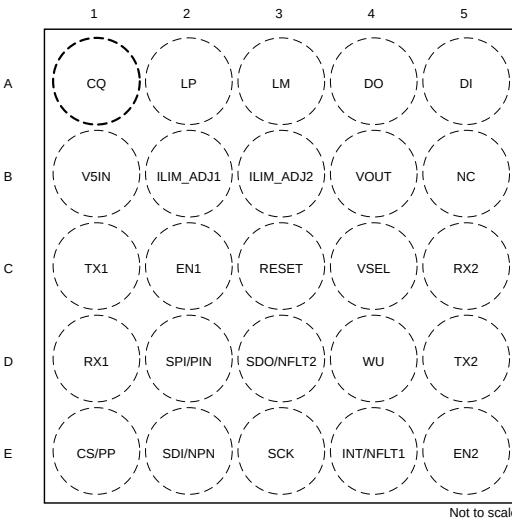


図 4-2. YAH (DSBGA)、25 ピン
(上面図、バンプ ダウン)

表 4-1. ピンの機能

ピン名	ピン番号		タイプ ⁽¹⁾	タイプ	説明
	VQFN	DSBGA			
CQ	8	A1	I/O	高電圧	IO-Link 信号データピン。
CS/PP	1	E1	I	デジタル	SPI モードのチップセレクト入力ピン。 ピンモードでのプッシュプル モード選択入力
DI	12	A5	I	高電圧	DI レシーバ入力。DI レシーバ出力は、RX2 ピンで監視できます。
DO	11	A4	O	高電圧	DO ドライバ出力。DO は、TX2 ピンの入力の逆ロジック レベルです。
EN1	3	C2	I	低電圧デジタル	CQ ドライバがローカル コントローラからの入力信号を有効にします。ロジック Low では、CQ 出力がハイ インピーダンスに設定されます。弱い内部プルダウン。
EN2	19	E5	I	低電圧デジタル	DO ドライバがローカル コントローラからの入力信号を有効にします。ロジック Low では、DO 出力がハイ インピーダンスに設定されます。弱い内部プルダウン。
ILIM_ADJ1	6	B2	I	低電圧アナログ	CQ ドライバの電流制限調整の入力。ILIM_ADJ1 と LM との間に抵抗 RSET1 を接続します。
ILIM_ADJ2	7	B3	I	低電圧アナログ	DO ドライバの電流制限調整の入力。ILIM_ADJ2 と LM との間に抵抗 RSET2 を接続します。
INT/NFLT1	20	E4	O	低電圧デジタル	CQ チャネル、オープンドレイン (ピンモード) の割り込み出力、プッシュプル (SPI モード) またはフォルト インジケータ
LM	10	A3	G	グランド	グランド。
LP	9	A2	PI	高電圧	デバイスへの電源入力 (標準値 24V)。1μF コンデンサを LM (グランド) に、デバイスにできる限り近づけて接続します。
NC	--	B5	NC	接続なし	内部未接続。
RX1	2	D1	O	低電圧デジタル	C/Q レシーバ ロジック出力。RX2 は、CQ 入力における信号の逆ロジック レベルです。
RX2	15	C5	O	低電圧デジタル	DI レシーバ ロジック出力。RX2 は、DI 入力における信号の逆ロジック レベルです。
SCK	22	E3	I	低電圧デジタル	SPI クロック入力。
SDI/NPN	24	E2	I	低電圧デジタル	SPI シリアル データ入力 (SPI モード) または NPN モード セレクタ (ピンモード)

表 4-1. ピンの機能 (続き)

ピン名	ピン番号		タイプ ⁽¹⁾	タイプ	説明
	VQFN	DSBGA			
SDO/NFLT2	21	D3	O	低電圧デジタル	SPI シリアル データ出力、プッシュプル (SPI モード) または DO チャネル用フォルト インダクタ、オープンドレイン (ピンモード)
SPI/PIN	23	D2	I	低電圧デジタル	SPI またはピンモード選択入力。ピンモード動作を行う場合は、このピンを Low に駆動します。SPI モード制御を行う場合は、このピンを High に駆動します。
TX1	4	C1	I	低電圧デジタル	ローカル マイコンからの CQ ドライバ入力データ。弱い内部プルアップ。
TX2	17	D5	I	低電圧デジタル	ローカル マイコンからの DO ドライバ入力データ。弱い内部プルアップ。
VOUT	13	B4	PO	低電圧	LDO レギュレータ出力。出力レベルは VSEL ピンにより決定されます
VSEL	16	C4	I	低電圧	<ul style="list-style-type: none"> 3.3V LDO 出力の場合は、LP を LDO 入力電源として使用し、GND に接続します 5V LDO 出力の場合は、LP を LDO 入力電源として使用し、VOUT に接続します 3.3V LDO 出力の場合は、V5IN を LDO 入力電源として使用し、このピンをフローティングのままにします
リセット	14	C3	O	低電圧	出力ピン、オープンドレイン、アクティブ Low をリセットします。このピンはリセットピンとして動作し、LP または VOUT の UV を示します。
V5IN	5	B1	PI	低電圧	(オプション) この 5V 電源入力ピンを外部レギュレータから接続して、内部レギュレータからの消費電力を低減できます。使わない場合は、このピンをフローティングのままにします。
WU	18	D4	O	低電圧デジタル	ローカル マイコンへのウェークアップ インジケータ。オープンドレイン出力。このピンはプルアップ抵抗を介して VOUT に接続します。
サーマル パッド	サーマル パッド	該当なし	G	グランド	最適な熱特性と電気的性能を実現するため、露出したサーマル パッドをグランド (LM) に接続します

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
LP, CQ, DO, DI	LP, CQ, DO, DI の定常状態電圧	-65	65	V
	LP, CQ, DO, DI の過渡パルス幅 < 100μs	-70	70	V
V _(LP) - V _(CQ) , V _(LP) - V _(DO) , V _(LP) - V _(DI) , V _(CQ) - V _(DO) , V _(CQ) - V _(DI) , V _(DO) - V _(DI)	バスピン間の電圧降下		65	V
V _{OUT}	レギュレータ出力電圧	-0.3	6	V
TX1, TX2, EN1, EN2, VSEL, RX1, RX2, CS/PP, SDI/NPN, SDO/NFLT2, SCK, INT/NFLT1, WU, ILIM_ADJ1, ILIM_ADJ2, SPI/PIN	ロジックピン電圧	-0.3	最小 (V _{OUT} +0.3, 6)	V
出力電流	RX1, RX2, WU, INT/NFLT1, SDO/NFLT2,	-5	5	mA
保管温度, T _{stg}		-55	170	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。特に指定のない限り、すべての電圧値は L ピンを基準としています。

5.2 ESD 定格

			値	単位	
V _(ESD)	静電放電	人体モデル (HBM), ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	すべてのピン	±4000	V
V _(ESD)	静電放電	デバイス帯電モデル (CDM), ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	すべてのピン	±750	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 ESD 定格 - IEC 仕様

			値	単位
V _(ESD)	静電放電	IEC 61000-4-2 ESD (接触放電), LP, CQ, DO, DI, LM ^{(1) (2)}	±8,000	V
	静電放電	IEC 61000-4-5, 1.2μs/50μs サージ、直列 500 Ω, LP, CQ, DO, DI, LM ⁽¹⁾	±1,200	
	静電放電	IEC 61000-4-4 EFT (高速過渡またはバースト), LP, CQ, DO, DI, LM ⁽¹⁾	±4,000	

(1) LP と LMとの間には、最低 100nF のコンデンサが必要です。V_{OUT} と LM との間には、最低 1μF のコンデンサが必要です。
(2) デバイスでは、±8000V を通過させるために、CQ/DO ドライバ出力と LM の間に最小 1nF のコンデンサが必要です。合格レベルは、最小 1nF のコンデンサなしで ±4000V です

5.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _(LP)	24V 入力電源電圧	7	24	36	V
V _(V_{SIN})	5V 入力電源電圧	4.5	5	5.5	V
V _(I)	TX1, TX2, EN1, EN2, CS/PP, SDI/NPN, SCK, SPI/PIN のロジックレベル入力電圧	3.3V 構成	3	3.3	3.6
		5V 構成	4.5	5	5.5
1/t _{BIT}	データレート (通信モード)			250	kbps
I _(V_{OUT})	LDO 出力電流			20	mA
T _A	動作時周囲温度	-40		125	°C
T _J	接合部温度	-40		150	°C

5.5 熱に関する情報

熱評価基準 ⁽¹⁾		TIOL221		単位
		RGE (24 ピン)	YAH (25 ピン)	
R _{θJA}	接合部から周囲への熱抵抗	32.2	58.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	27.2	0.2	°C/W
R _{θJB}	接合部から基板への熱抵抗	11.4	14.5	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.3	0.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	11.4	14.3	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.7	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、[yes アプリケーション ノート](#)を参照してください。

5.6 電気的特性

推奨動作条件および推奨自由空気温度範囲を超える場合 (特に記述のない限り)。LP = 24V、V_{VOUT} = 3.3V、T_A = 25°C の場合の標準的な値 (特に記述のない限り)。

パラメータ	テスト条件		最小値	標準値	最大値	単位
電源 (LP)						
I _(LP-SHDN)	シャットダウン モードでの電源静止電流	CQ TX および RX、DO、DI はディスエーブルになります。VOUT で無負荷 SPI モードのみ		1.2	2.1	mA
I _(LP-RX-ONLY)	入力のみがイネーブルされたときの電源電流	CQ と DO はディセーブルになります。CQ RX および DI はイネーブルになります。VOUT で無負荷。 R _{SETx} ≥ 10kΩ (電流制限 < 500mA)、EN1 = EN2 = L	CQ と DO はディセーブルになります。CQ RX および DI はイネーブルになります。VOUT で無負荷	1.4	2.5	mA
I _(LP-CQ-DO)	CQ と DO の両方がイネーブルのときの静止電源電流。外部から供給される V5IN	R _{SETx} ≥ 10kΩ。TX1= TX2 = H、CQ または DO で無負荷、プッシュプルまたは NPN モードのみ		4.5	5.5	mA
I _(LP-CQ-DO)		R _{SETx} ≥ 10kΩ。TX1= TX2 = L、CQ または DO で無負荷		3.6	4.5	mA
V _(LP-UVLO)	LP 低電圧ロックアウト	LP 立ち下がり:RESET ピンが Low になると UVLO を示します	6	6.3		V
V _(LP-UVLO)	LP 低電圧ロックアウト	LP 立ち上がり:RESET ピンが High になると UVLO 回復を通知します		6.5	6.8	V
V _(LP-UVLO,HYS)	LP 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド	150	250		mV
V _(LPW)	LP 低電圧警告	LP 立ち下がり	14	16	18	V
V _(LPW-HYS)	LP 低電圧警告ヒステリシス			530		mV
V5IN						
V5IN (UVLO, F)	V5IN の立ち下がり UVLO レベル	V5IN の立ち下がり	3.4	3.5	3.6	V
V5IN (UVLO, R)	V5IN の立ち上がり UVLO レベル	V5IN の立ち上がり	3.7	3.8	4.0	V
V5IN (UVLO, HYS)	V5IN UVLO ヒステリシス			0.3		V
I _{5_IN}	5VIN での入力電源電流	CQ および DO ディスエーブル、VOUT で無負荷	0.15	1		mA
リニアレギュレータ (VOUT)						
V _(VOUT)	電圧レギュレータ出力	VOUT を 5V に設定	4.75	5	5.25	V
		VOUT を 3.3V に設定	3.13	3.3	3.46	V
LINEREG _{V_{OUT}}	ライン レギュレーション (dV _(VOUT) /dV _(LP))	I _(VCC_OUT) = 1mA V _(LP) = 7V ~ 36V (VOUT = 5V) V _(LP) = 7V ~ 36V または V5IN = 4.5 ~ 5.5V (VOUT = 3.3V)			1.7	mV/V
LOADREG _{V_{OUT}}	ロード レギュレーション (dV _(VOUT) /V _(OUT))	VOUT = 5V の場合、V _(LP) = 24V VOUT = 3.3V の場合、V _(LP) = 24V または V5IN = 5V I _(VCC_OUT) = 100µA ~ 20mA			1	%

推奨動作条件および推奨自由空気温度範囲を超える場合(特に記述のない限り)。LP = 24V、V_{VOUT} = 3.3V、T_A = 25°C の場合の標準的な値(特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
UV _{VOUT5F}	VOUT の立ち下がり UV スレッショルド (5V 設定)	VSEL を VOUT に接続、VOUT 立ち下がり	3.4	3.6	3.8	V
UV _{VOUT5R}	VOUT の立ち上がり UV スレッショルド (5V 設定)	VSEL を VOUT に接続、VOUT 立ち上がり	3.6	3.8	4.0	V
UV _{VOUT3F}	VOUT の立ち下がり UV スレッショルド (3.3V 設定)	VSEL を GND またはフローティング (V5IN 電源) に接続、VOUT 立ち下がり	2.5	2.7	2.9	V
UV _{VOUT3R}	VOUT の立ち上がり UV スレッショルド (3.3V 設定)	VSEL を GND またはフローティング (V5IN 電源) に接続、VOUT 立ち上がり	2.6	2.8	3.0	V
PSSR	電源除去比	100kHz、I _(VCC_OUT) = 20mA		40		dB
ドライバ出力 (CQ, DO)						
R _{DSON-HS}	ハイサイドドライバ オン抵抗	I _{LOAD} = 200mA、電流制限 = 300mA			2.5	4.5
R _{DSON-LS}	ローサイドドライバ オン抵抗	I _{LOAD} = 200mA、電流制限 = 300mA			2.5	4.5
I _{O(LIM)}	ドライバ出力電流制限	SPI/PIN = LOW V _(DRIVER) = (V _{LP} - 3)V または 3V、	R _{SETx} = 110kΩ	35	55	70
			R _{SETx} = 10kΩ	300	350	400
			R _{SETx} = 0 ~ 5kΩ	500		mA
			R _{SETx} = OPEN	260	330	415
I _{O(LIM)}	ドライバ出力電流制限	SPI/PIN = HIGH、 V _(DRIVER) = (V _{LP} - 3) V または 3V、	3h[7:6] = 0h	35	60	75
			3h[7:6] = 1h	50	75	95
			3h[7:6] = 2h	100	140	175
			3h[7:6] = 3h	150	190	260
			3h[7:6] = 4h	200	230	330
			3h[7:6] = 5h	250	290	410
			3h[7:6] = 6h	300	350	485
			3h[7:6] = 7h	500	700	mA
I _{OZ(CQ)}	CQ リーケージ	EN1 = LOW、0 ≤ V _(CQ) ≤ (V _{LP} - 0.1V)		-2	2	μA
I _{LLM(CQ)}	CQ 負荷放電電流	EN1 = LOW、R _{SET1} = 0 ~ 5kΩ ⁽¹⁾ 、V _(CQ) ≥ 5V		5	8.5	15
I _{LLM(DO)}	DO 負荷放電電流	EN2 = LOW、R _{SET2} = 0 ~ 5 kΩ; V _(DO) ≥ 5V		5	8.5	15
I _{PU-DO}	DO ドライバの弱プルアップ電流	SPI/PIN = HIGH、EN2 = LOW、 TX2 = HIGH、RSET2:10kΩ ~ 110kΩ、弱プルアップがイネーブル (SPI モードのみ)	0 ≤ V(DO) ≤ (V _{LP} - 2V)	40	50	80
I _{PD-DO}	DO ドライバの弱プルダウン電流	SPI/PIN = HIGH、EN2 = LOW、 TX2 = LOW、RSET2:10kΩ ~ 110kΩ、弱プルダウンがイネーブル (SPI モードのみ)	2 ≤ V(DO) ≤ V _(LP)	40	50	80
I _{PU-CQ}	CQ ドライバの弱プルアップ電流	ドライバがディスエーブル、弱プルアップがイネーブル (SPI モード)	0 ≤ V(CQ) ≤ (V _{LP} - 2V)	40	50	80
I _{PD-CQ}	CQ ドライバの弱プルダウン電流	ドライバがディスエーブル、弱プルダウンがイネーブル (SPI モード)	2 ≤ V(CQ) ≤ V _(LP)	40	50	80
レシーバ入力 (CQ, DI)						
V _(THH)	入力スレッショルド「H」	V _(LP) > 18V、EN = LOW		10.5	13	V
V _(THL)	入力スレッショルド「L」			8	11.5	V
V _(HYS)	レシーバヒステリシス (V _(THH) - V _(THL))			0.75		V
V _(THH)	入力スレッショルド「H」	V _(LP) < 18V、EN = LOW	注を参照 ⁽²⁾	注を参照 ⁽³⁾		V

推奨動作条件および推奨自由空気温度範囲を超える場合(特に記述のない限り)。LP = 24V、V_{VOUT} = 3.3V、T_A = 25°C の場合の標準的な値(特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V _(THL)	入力スレッショルド「L」	V _(LP) < 18V、EN = LOW		注を参照 ⁽⁴⁾	注を参照 ⁽⁵⁾	0.75	V
V _(HYS)	レシーバヒステリシス (V _(THH) - V _(THL))						
C _{IN-CQ}	CQ 入力容量	CQ ドライバがディスエーブル、弱プルアップ/プルダウンがディスエーブル、f = 100kHz			150		pF
C _{IN-DI}	DI 入力容量	f = 100kHz			100		pF
I _{PU-DI}	DI 弱プルアップ電流	SPI モード、DI ピンで弱プルアップがイネーブル	0 ≤ V(DI) ≤ (V(LP) - 2V)	40	50	80	μA
I _{PD-DI}	DI 弱プルダウン電流	SPI モード、DI ピンで弱プルダウンがイネーブル	2 ≤ V(DI) ≤ V(LP)	40	50	80	μA

ロジックレベル入力 (CS/PP, SCK, SDI/NPN, SPI/PIN, EN1, EN2, TX1, TX2, VSEL)

V _{IL}	入力ロジック Low 電圧			0.3xVOUT	V
V _{IH}	入力ロジック High 電圧			0.7xVOUT	V
R _{PD}	EN1、EN2、SDI/NPN、SCK のプルダウン抵抗			100	kΩ
R _{PU}	TX1、TX2、CS/PP、SPI/PIN のプルアップ抵抗			100	kΩ
R _{PU}	VSEL へのプルアップ抵抗			500	kΩ

ロジックレベル出力 (WU, SDO/NFLT2, INT/NFLT1, RX1, RX2, RESET)

V _{OH}	出力ロジック High 電圧 RX1、RX2、SDO、INT	I _O = 4mA	I _O = 4mA	VOUT-0.5	V
V _{OL}	出力ロジック Low 電圧	I _O = 4mA		0.4	V
I _{OZ}	NFLT1、NFLT2、WU、RESET の出力 カハイインピーダンスリーケージ	ハイインピーダンスの出力、V _O = 0V または VCC_IN/OUT		-1	1 μA

保護回路

T _(WRN)	過熱警告			125	°C
T _(SDN)	サーマル シャットダウン	ダイ温度 T _J		150	160
T _(HYS)	シャットダウンの熱ヒステリシス			14	°C
T _(WRN)	警告用の熱ヒステリシス	ダイ温度 T _J	ダイ温度 T _J	14	°C
I _{REV}	逆極性での CQ、DO、DI リーク電流 (ドライバがディスエーブル)	EN1/2 = LOW、TX1/2 = x の場合、LP = 24V V _{(CQ/DO/} DI) = (V _(LP) - 36V) または V _{(CQ/DO/} DI) = (V _(LP) + 36V)		60	μA
		EN1/2 = LOW、TX1/2 = x の場合、LP = 24V V _{(CQ/DO/} DI) = (V _(LP) - 65V) または V _{(CQ/DO/} DI) = 65V		110	μA
	CQ、DO (ドライバがイネーブル)	EN1/2 = HIGH、TX1/2 = LOW、V _(CQ/DO ~ LP) = 3V、 R _{SET} ≥ 10kΩ		650	μA
		EN1/2 = HIGH、TX1/2 = HIGH、V _(CQ/DO ~ LM) = -3V		10	μA

(1) 電流フォルト表示と電流フォルト自動回復は無効になります。

(2) V_{THH} (min) = 5V + (11/18) [V_(LP) - 8V]

(3) V_{THH} (max) = 6.5V + (13/18) [V_(LP) - 8V]

(4) V_{THL} (min) = 4V + (8/18) [V_(LP) - 8V]

(5) V_{THL} (max) = 6V + (11/18) [V_(LP) - 8V]

5.7 スイッチング特性

推奨動作条件および推奨自由空気温度範囲を超える場合 (特に記述のない限り)。 $LP = 24V$ 、 $V_{VOUT} = 3.3V$ 、 $T_A = 25^\circ C$ の場合の標準的な値 (特に記述のない限り)。

パラメータ	テスト条件	テスト条件	テスト条件	最小値	標準値	最大値	単位	
CQ、DO ドライバ								
t_{PLH}	ドライバ伝搬遅延、Low から High へ遷移	ドライバ出力測定のテスト回路 とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび PNP 構成 $R_{SET} = 10k\Omega$			600	1200	ns	
t_{PHL}	ドライバ伝搬遅延、High から Low へ遷移	ドライバ出力測定のテスト回路 とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび NPN 構成 $R_{SET} = 10k\Omega$		600	1200	ns		
$t_{P(\text{skew})}$	ドライバ伝搬遅延スキー。 $ t_{PLH} - t_{PHL} $	ドライバ出力測定のテスト回路を参照してください ドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプル構成 $R_{SET} = 10k\Omega$		120		ns		
t_{PZH}	ドライバイネーブル遅延 High	ドライバ出力測定のテスト回路 と ドライバのイネーブル/ディスエーブル タイミング図を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび PNP 構成のみ $R_{SET} = 10k\Omega$			4		μs	
t_{PZL}	ドライバイネーブル遅延 Low	ドライバ出力測定のテスト回路 と ドライバのイネーブル/ディスエーブル タイミング図を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび NPN 構成のみ $R_{SET} = 10k\Omega$			4		μs	
t_{PHZ}	ドライバディスエーブル遅延 High	ドライバ出力測定のテスト回路 と ドライバのイネーブル/ディスエーブル タイミング図を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび PNP 構成のみ $R_{SET} = 10k\Omega$			4		μs	
t_{PLZ}	ドライバディスエーブル遅延 Low	ドライバ出力測定のテスト回路 と ドライバのイネーブル/ディスエーブル タイミング図を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび NPN 構成のみ $R_{SET} = 10k\Omega$			4		μs	
t_r	ドライバ出力立ち上がり時間	ドライバ出力測定のテスト回路 とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび PNP 構成 $R_{SET} = 10k\Omega$		200	530	900	ns	
t_f	ドライバ出力立ち下がり時間	ドライバ出力測定のテスト回路 とドライバ出力スイッチング波形を参照してください $R_L = 2k\Omega$ $C_L = 5nF$ プッシュプルおよび NPN 構成 $R_{SET} = 10k\Omega$		200	480	900	ns	

推奨動作条件および推奨自由空気温度範囲を超える場合(特に記述のない限り)。LP = 24V、V_{VOUT} = 3.3V、T_A = 25°C の場合の標準的な値(特に記述のない限り)。

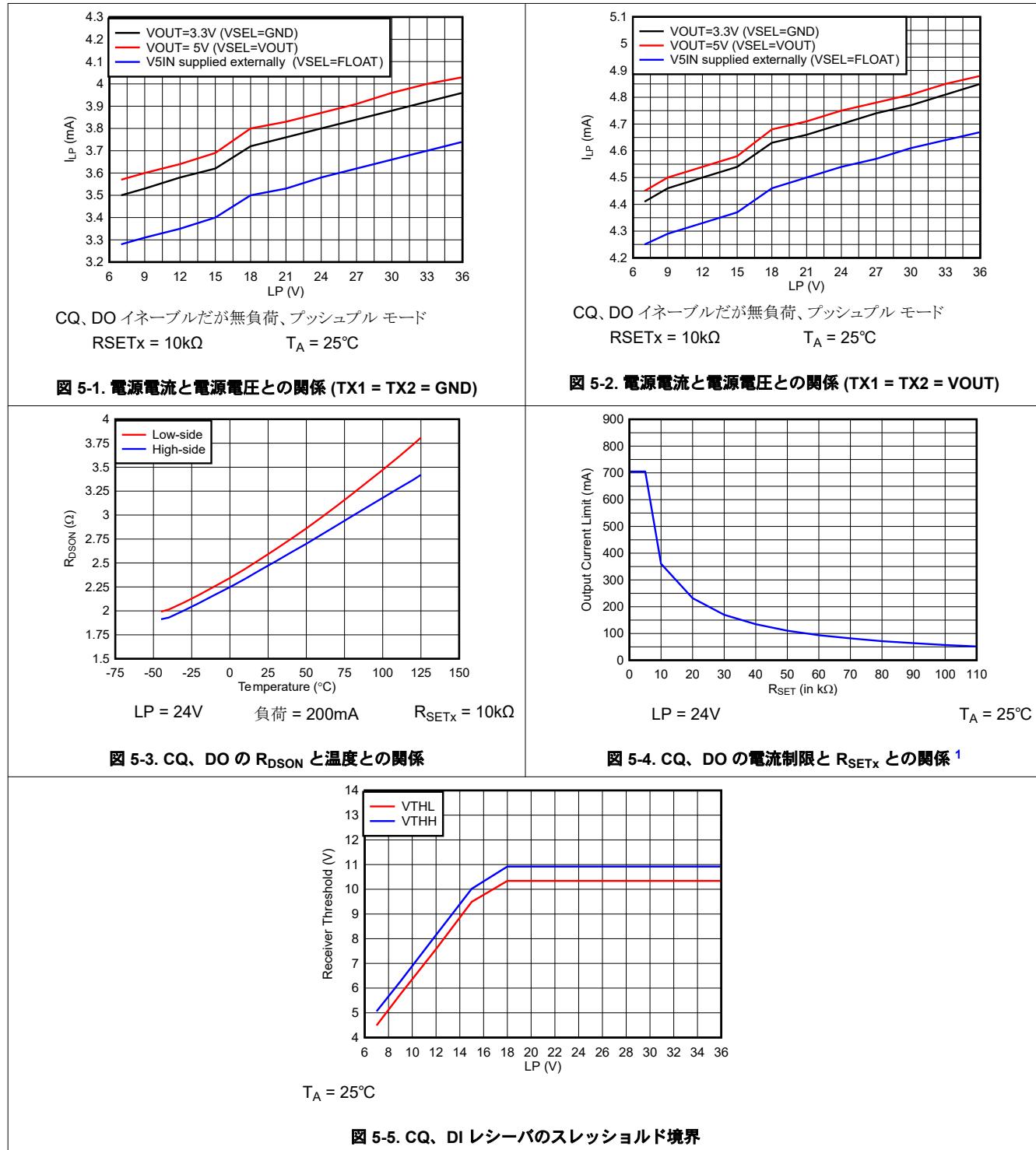
パラメータ		テスト条件	テスト条件	テスト条件	最小値	標準値	最大値	単位	
t _r - t _f	立ち上がりおよび立ち下がり時間の差	ドライバ出力測定のテスト回路とドライバ出力スイッチング波形を参照してください R _L = 2kΩ C _L = 5nF ブッシュプル構成のみ R _{SET} = 10kΩ				60	ns		
t _{WU1}	ウェークアップ認識開始	ウェークアップ認識のタイミング図を参照してください			45	60	75	μs	
t _{WU2}	ウェークアップ認識終了				85	100	145	μs	
t _{pWAKE}	ウェークアップ出力遅延				150		μs		
t _{WUL}	ウェーク検出時のウェークア出力パルス持続時間				175	225	285	μs	
t _{SC}	電流フォルト ブランкиング時間	ウェークアップ認識のタイミング図を参照してください	(SPI/PIN = lowかつ10kΩ ≤ R _{SET} ≤ 110kΩ)または SPI/PIN = highかつ CQ_BL_TIME[1:0] = 00b (CQ) または DO_BL_TIME[1:0] = 00b (DO)	0.175		0.2	ms		
			SPI/PIN = Highかつ CQ_BL_TIME[1:0] = 01b (CQ) または DO_BL_TIME[1:0] = 01b (DO)	0.25		0.5	ms		
			SPI/PIN = Highかつ CQ_BL_TIME[1:0] = 10b (CQ) または DO_BL_TIME[1:0] = 10b (DO)	5		ms			
			(SPI/PIN = LowかつILIM_ADJ フローティング)または SPI/PIN = Highかつ CQ_BL_TIME[1:0] = 11b (CQ) または DO_BL_TIME[1:0] = 11b (DO)	0.5	2	4	μs		
t _{AR}	電流フォルト後の自動再試行時間	電流フォルト後の自動再試行時間	SPI/PIN = L または SPI/PIN = H かつ CQ_RETRY_TIME = 00b	50		ms			
			SPI/PIN = H かつ CQ_RETRY_TIME = 01b	100		ms			
			SPI/PIN = H かつ CQ_RETRY_TIME = 10b	200		ms			
			SPI/PIN = H かつ CQ_RETRY_TIME = 11b	500		ms			
t _(UVLO)	LP UVLO 後の CQ および DO 再イネーブル遅延 ⁽¹⁾	UVLO 後の CQ および DO 再イネーブル遅延 ⁽¹⁾	SPI/PIN = L または SPI/PIN = H かつ T_UVLO = 1b0	0.05	0.25	0.5	ms		
t _(UVLO)	LP UVLO 後の CQ および DO 再イネーブル遅延 ⁽¹⁾	UVLO 後の CQ および DO 再イネーブル遅延 ⁽¹⁾	SPI/PIN = H および T_UVLO = 1b1	10	30	50	ms		
CQ、DI レシーバ									
t _{PLH_CQ} 、 t _{PHL_CQ}	CQ レシーバの伝搬遅延	レシーバのテスト回路図およびレシーバのタイミング図を参照、C _L = 15pF、	SPI/PIN = L または SPI/PIN = H かつ CQ_RX_FILTER = 1b0	0.2		0.36	μs		
			SPI/PIN = H かつ CQ_RX_FILTER = 1b1	1.15		1.6	μs		
t _{PLH_DI} 、 t _{PHL_DI}	DI レシーバの伝搬遅延		SPI/PIN = L または SPI/PIN = H かつ DI_RX_FILTER = 1b0	1		1.5	μs		
			SPI/PIN = H かつ DI_RX_FILTER = 1b1	1.8		2.7	μs		
SPI タイミング (CS、SCK、SDI、SDO/CUR_OK2)									
t _{INT_TOG}	INT ピンの High/Low 時間(トグル時)	C _{OUT} = 10pF	100		μs				

推奨動作条件および推奨自由空気温度範囲を超える場合(特に記述のない限り)。LP = 24V、V_{VOUT} = 3.3V、T_A = 25°C の場合の標準的な値(特に記述のない限り)。

パラメータ	テスト条件	テスト条件	テスト条件	最小値	標準値	最大値	単位
f _{SCK_BURST}	最大 SPI クロック周波数 SCK 周期 SCK パルス幅 High SCK パルス幅 Low	バーストモード				10	MHz
t _{SCK}						100	ns
t _{SCKH}						50	ns
t _{SCKL}						50	ns
f _{SCK}	最大 SPI クロック周波数 SCK 周期 SCK パルス幅 High SCK パルス幅 Low	非バーストモード				12.5	MHz
t _{SCK}						80	ns
t _{SCKH}						40	ns
t _{SCKL}						40	ns
t _{CS}	CS 立ち下がりエッジから SCK 立ち上がりまでの時間				20		ns
t _{CSH}	SCK 立ち上がりから CS 立ち上がりまでのホールド時間				40		ns
t _{DH}	SDI のホールド時間				10		ns
t _{DS}	SDI のセットアップ時間					25	ns
t _{DO}	SDO データの伝搬遅延	C _{OUT} = 10pF				20	ns
t _{DORF}	SDO 立ち上がりおよび立ち下がり時間	C _{OUT} = 10pF				20	ns
t _{CSPW}	最小 CS パルス幅 (SPI トランザクション間のアイドル時間)				10		ns

(1) この時間において CQ/DO 出力はハイインピーダンスのままです

5.8 代表的特性



¹ R_{SET} が 0 ~ 5kΩ 範囲の場合、TIOL221 は IO-Link アプリケーションでのウェークアップ パルスの生成に必要な 500mA をソース / シンクできます。また、 R_{SET} が 0 ~ 5kΩ 範囲の場合、ドライバが無効化されると、TIOL221 はプルダウン電流ソース (I_{LLM}) を有効にします。

6 パラメータ測定情報

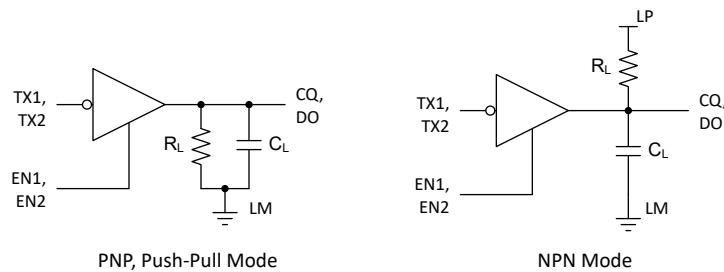


図 6-1. ドライバスイッチングのテスト回路

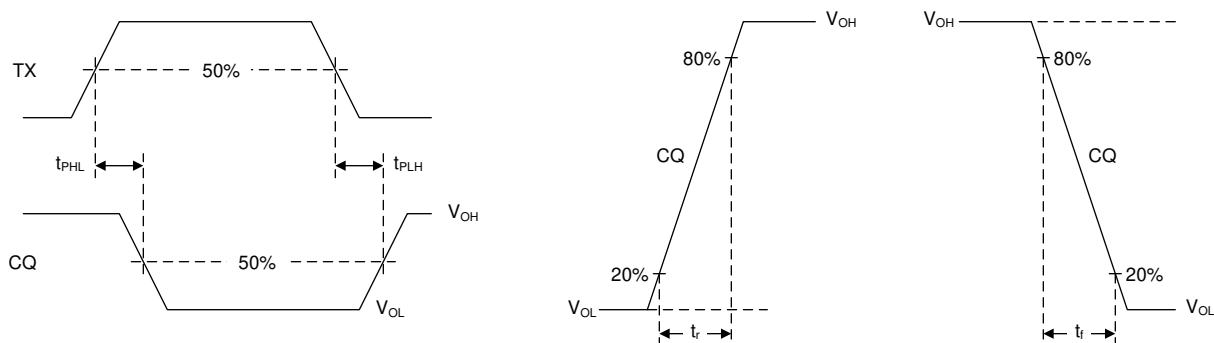


図 6-2. ドライバ出力のスイッチング測定時の波形

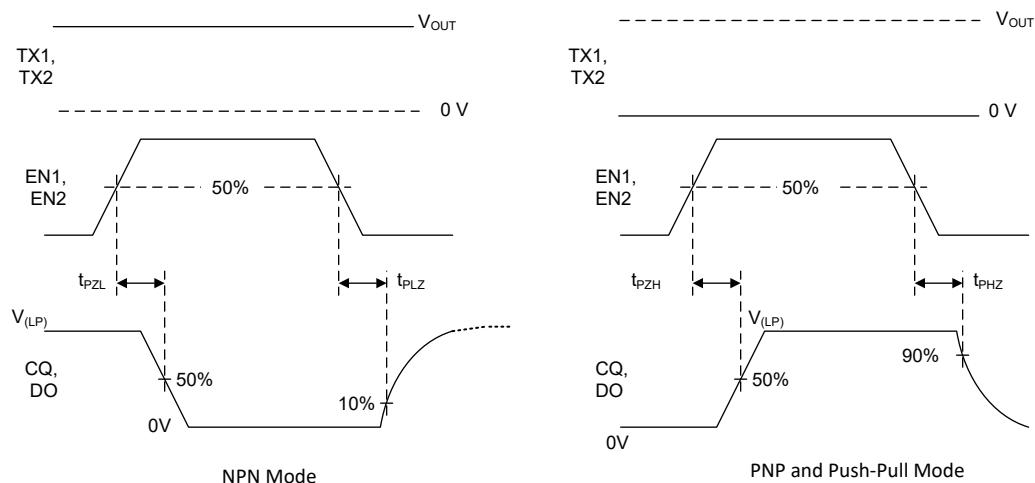


図 6-3. ドライバのイネーブルまたはディスエーブル時間測定の波形

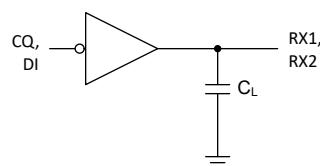


図 6-4. レシーバスイッチングのテスト回路

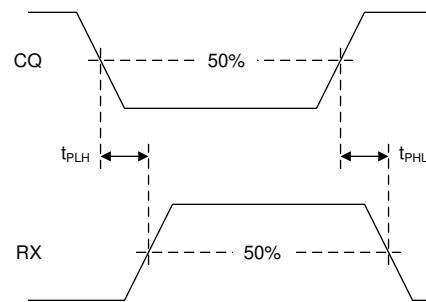
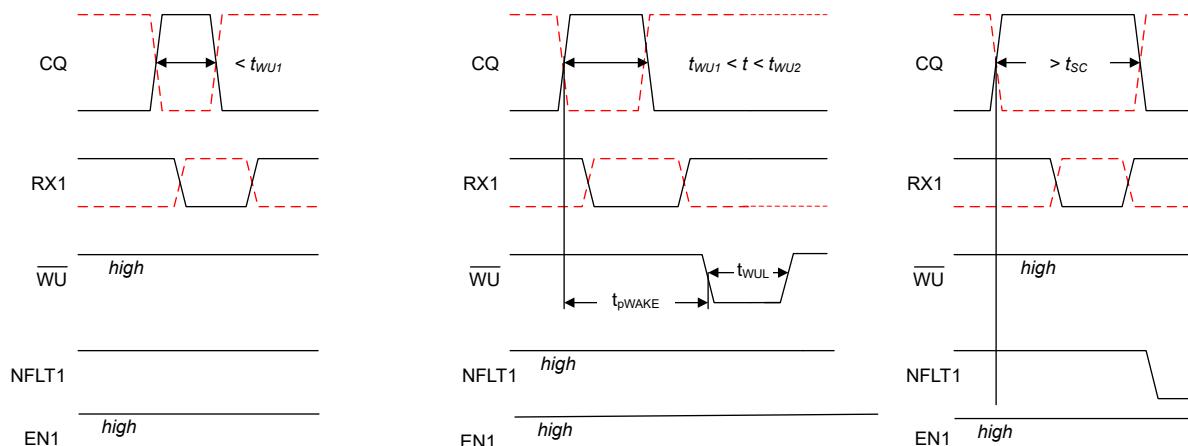


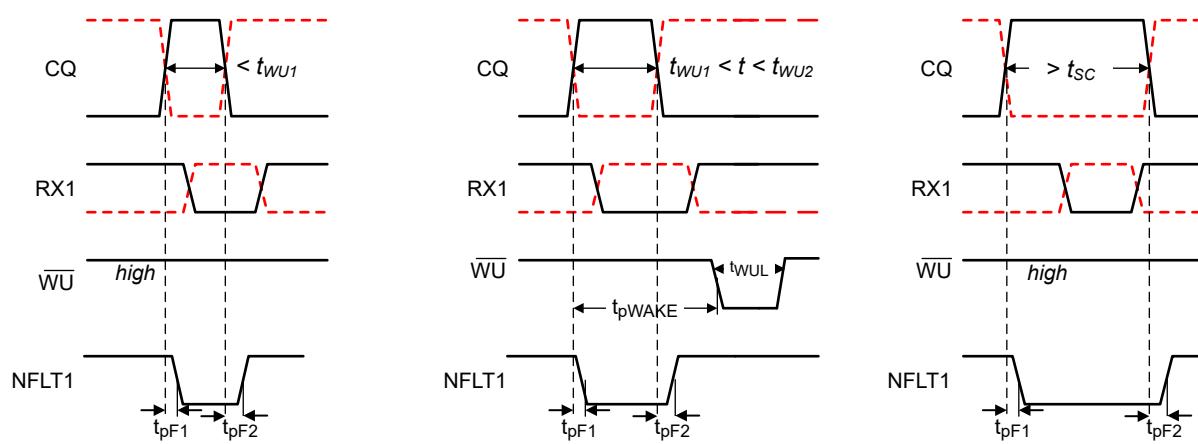
図 6-5. レシーバのスイッチング測定



a) Over-current due to transient

b) Valid Wake-up pulse

c) Over-current due to fault condition

図 6-6. EN = H および ILIM_ADJ = 10kΩ ~ 110kΩ、
TX = H (フル ライン)、TX = L (赤色の点線) の過電流およびウェーク条件

a) Over-current due to transient

b) Valid Wake-up pulse

c) Over-current due to fault condition

図 6-7. EN = H および ILIM_ADJ = フローティング、TX = H (フル ライン)、TX = L (赤色の点線) の過電流およ
びウェーク条件

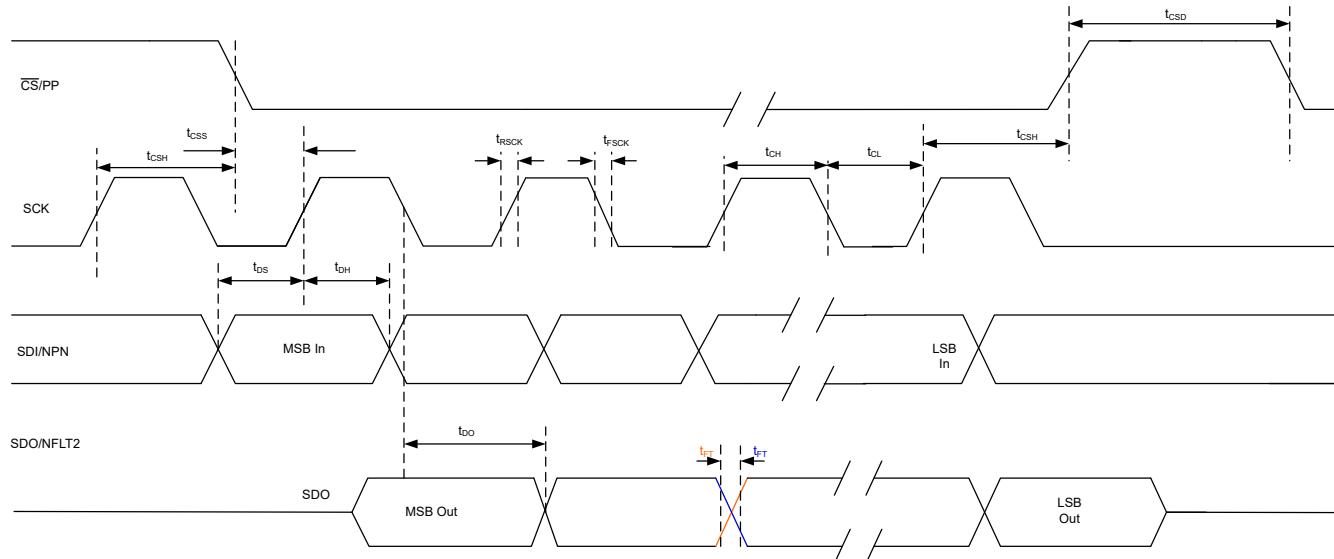


図 6-8. SPI 読み取り/書き込みタイミング特性

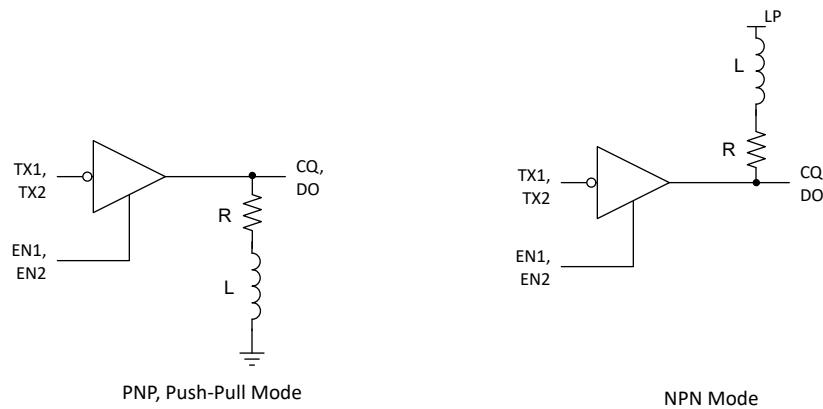


図 6-9. 誘導性負荷の駆動

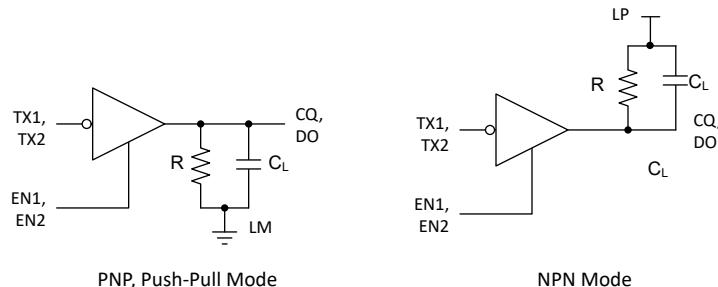


図 6-10. 容量性負荷の駆動

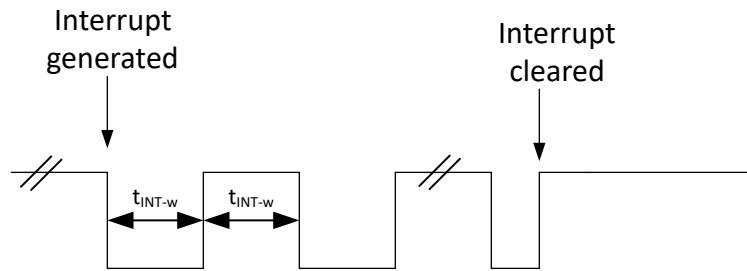


図 6-11. 割り込みピンのトグル動作 (SPI モード、`INT_TOG` = 1b)

7 詳細説明

7.1 概要

図 7-1 は TIOL221 の機能ブロック図を示しています。このデバイスには、IO-Link 互換のチャネル (CQ)、デジタル出力 ドライバ (DO)、デジタル入力 (DI) インターフェイスがあります。CQ および DO のドライバは、プッシュプル、ハイサイドドライバ (PNP)、またはローサイドドライバ (NPN) 構成のいずれかに、ピンモードの $\overline{CS/PP}$ ピンと SDI/NPN ピンを使用するか、シリアル ペリフェラル インターフェイス (SPI) 経由で使用できます。CQ ラインの内部レシーバは、24V 信号をレシーバ データ出力ピン RX1 の標準ロジック レベルに変換します。同様に、DI ラインの内部レシーバは、24V 信号をレシーバデータ出力ピン RX2 の標準ロジックレベルに変換します。シンプルなパラレル インターフェイスを使用して、デバイスとローカル コントローラとの間でデータやステータス情報を送受信します。

このデバイスは、ピンモード経由のピン (SPI/ \overline{PIN} が Low に接続されている場合) または SPI を使用する (SPI/ \overline{PIN} が High に接続されている場合) ことで構成できます。SPI インターフェイスを使用することで、マイコンは追加の診断およびステータス情報の読み取りや、デバイスの構成を行うことができます。

このデバイスには IEC 61000-4-4/5 EFT およびサージ保護機能が内蔵されています。さらに、 $\pm 70V$ の過渡電圧に耐えられるため、アプリケーションでより高いレベルの保護が必要な場合には、より広い範囲の TVS ダイオードを柔軟に選択できます。これらの内蔵堅牢性機能により、外付け保護回路を低減することで、システム レベルの設計を簡素化できます。

TIOL221 トランシーバは、過電流、過電圧、過熱状態に対する保護機能を実装しています。また、このデバイスは、外付けの抵抗を使用してドライバの出力電流の電流制限設定も提供します。

このデバイスは、内部のリニア レギュレータを介して IO-Link LP 電圧 (公称 24V) から低電圧電源を生成し、ローカル コントローラおよびセンサ回路に電力を供給します。

7.2 機能ブロック図

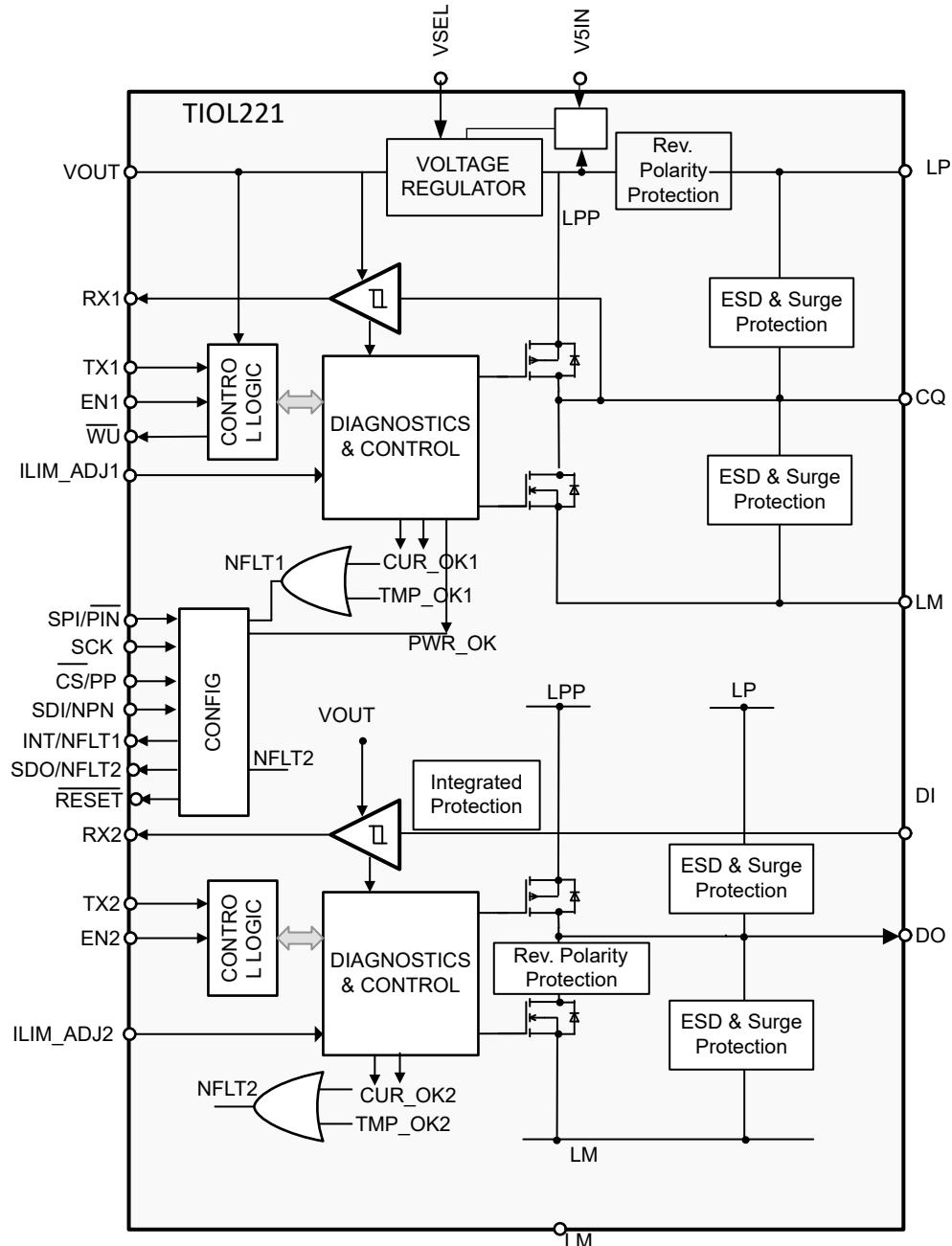


図 7-1. ブロック図

7.3 機能説明

7.3.1 ウェークアップ検出

TIOL221 の CQ チャネルは、IO-Link モードまたは標準入出力 (SIO) モードで動作できます。CQ チャネルが SIO モードで、IO-link コントローラ ノードがデバイス ノードとの通信を開始する場合、コントローラは CQ ラインを現在の状態とは反対の状態に駆動します。このデバイスは、IO-Link 仕様に準拠した CQ ロジック レベルに応じて、ウェークアップ期間 (通常は 80 μ s) にわたって電流 (≥ 500 mA) をシンクまたはソースします。TIOL221 は、ウェークアップ条件を検出し、 t_{WUL}

の間 \overline{WU} ピンを **Low** にアサートすることで、ローカルマイコンと通信します。IO-Link 通信仕様では、デバイスノードがウェークアップ信号を受信した後、 $500\mu\text{s}$ 内で受信モードに切り替えることが要求されます。

表 7-1. ウェークアップ機能 ($t_{WU1} < t < t_{WU2}$)

EN1	TX1	CQ 電流	WAKE	備考
L またはオープン	X	X	t_{WUL} の間 Low にアサートします	RX 出力が $t_{WU1} < t < t_{WU2}$ の間 High から Low、または Low から High に変化した場合、デバイスは t_{WUL} の間 Low にアサートされます
H	H またはオープン	$ I_{(CQ)} \geq I_{O(LIM)} \text{ mA}$	t_{WUL} の間 Low にアサートします	デバイスは、IO-Link バスを介して高レベルのウェークアップ要求を受信します
H	L	$ I_{(CQ)} \geq I_{O(LIM)} \text{ mA}$	t_{WUL} の間 Low にアサートします	デバイスは、IO-Link バスを介して低レベルのウェークアップ要求を受信します

有効なウェークアップ パルスよりも短いまたは長い過電流状態の場合、WAKE ピンはハイインピーダンス(非アクティブ)状態に維持されます。[図 6-6](#) に、これを示します。

SPI モードでは、 \overline{WU} が **Low** にアサートされていることに加えて、[WU_INT](#) ビットが設定されます。[DEVICE_CONFIG](#) レジスタで [WU_DIS](#) ビットを **1b** に設定することで、SPI モードでウェークアップ信号を無効化できます。ピンモードでは、ウェークアップ検出を無効化することはできません。

TIOL221 の DO チャネルは、ウェークアップ パルスを認識しません。DO ピンは過電流制限と検出を行います。

7.3.2 電流制限構成

CQ および DO ピンの出力電流を、ピンモードおよび SPI モードで独立して構成できます。

7.3.2.1 ピンモードでの電流制限構成

ピンモードでは、CQ および DO の電流制限は、それぞれ [ILIM_ADJ1](#) ピンおよび [ILIM_ADJ2](#) ピンの外付け抵抗で構成できます。 $10\text{k}\Omega$ の外付け抵抗による最大の電流制限設定により、動作温度および電圧範囲全体にわたって最小値 300mA が得られます。CQ および DO ドライバのピンモード構成については、[表 7-2](#) を参照してください。

電流フォルトによる出力ディスエーブルおよび電流フォルト自動回復機能は、[ILIM_ADJ1/2](#) ピンをフローティングにすることで無効化できます。ただし、この構成では、電流フォルト通知はアクティブのままであります。この機能は、大きな静電容量を駆動するときに役立ちます。

[ILIM_ADJ1/2](#) ピンがグランドに短絡したとき、CQ および DO ドライバは IO-link コントローラモードになるように構成できます。このモードでは、ドライバは最小 500mA をソースまたはシンクして、ウェークアップ要求を生成できます。また、ドライバは、ドライバ出力ピンの 5mA の小さな電流シンク(最小値)を有効にします。このモードでは、電流フォルト表示、出力ディスエーブル、自動回復機能は無効化されます。

表 7-2. ピンモードでの電流制限構成

ILIM_ADJ1/2 ピン状態	CQ/DO 電流制限(最小値)	電流による NFLT1/2 表示 フォルト	電流フォルト ブランギング時間 (t _{sc})	出力ディスエーブルと自動回復
R _{SET} 抵抗を L- に接続 ($10\text{k}\Omega \sim 110\text{k}\Omega$)	変数 ($35\text{mA} \sim 300\text{mA}$)	あり	$200\mu\text{s}$ (標準値)	あり
L- に接続 ($R_{SET} 0 \sim 5\text{k}\Omega$)	500mA	なし	該当なし	なし
オープン	260mA	あり	なし(即時フォルト表示)	なし

7.3.2.2 SPI モードでの電流制限構成

SPI モードにおいて、CQ および DO ドライバの電流制限を SPI を介して設定できます。CQ ドライバは [CQ_CURLIM](#) レジスタを使用して設定できます。[CQ_CURLIM\[7:5\]](#) レジスタを使用して電流制限を設定できます。

同様に、[DO_CURLIM\[7:5\]](#) レジスタを使用して DO ドライバの電流制限を設定できます。

7.3.3 CQ 電流フォルト検出、表示、自動回復

CQ の出力電流が、内部で設定された電流制限 $I_{O(LIM)}$ を、電流プランギング時間 t_{SC} より長い時間上回ると、デバイスは過電流フォルトとして検出します。

ピンモードでは、フォルト状態を示すため、INT/NFLT1 ピンがロジック Low に駆動されます。出力を、ターンオフ (自動回復モード) に設定するか、デバイスがサーマル シャットダウンに移行するまで電流供給を継続することができます。動作は、ILIM_ADJ1 ピンの接続方法によって異なります。[表 7-2](#) を参照してください。自動回復モードでは、ドライバが定期的に再試行することで、出力がまだ過電流状態にあるかどうかを確認します。このモードでは、出力は t_{SC} の間 t_{AR} 間隔でオンになります。ILIM_ADJ1 = OPEN または GND を設定することで、電流フォルト自動再試行モードを無効化できます。ILIM_ADJ1 = OPEN のとき、電流フォルト ブランギング時間はゼロになります。詳細については、電流制限インジケータ機能 ($t > t_{SC}$) を参照してください。

SPI モードでは、CQ_CURLIM レジスタ設定を使用して CQ ドライバの動作を設定できます。[CQ_CUR_LIM](#) ビットは電流制限値を設定し、[CQ_BL_TIME](#) および [CQ_RETRY_TIME](#) はそれぞれ現在のフォルト ブランギング時間と自動回復時間を設定します。[CQ_AUTO_RETRY_EN](#) は自動回復動作を制御します。

ドライバが無効の場合、電流制限インジケータは非アクティブになります。

7.3.4 DO 電流フォルト検出、表示、自動回復

DO の出力電流が、内部で設定された電流制限 $I_{O(LIM)}$ を、電流プランギング時間 t_{SC} より長い時間上回ると、デバイスは過電流フォルトとして検出します。

ピンモードでは、SDO/NFLT2 ピンはフォルト状態を示すためにロジック Low に駆動されます。出力を、ターンオフ (自動回復モード) に設定するか、デバイスがサーマル シャットダウンに移行するまで電流供給を継続することができます。この動作は、ILIM_ADJ2 ピンの接続方法によって異なります。自動回復モードで [表 7-2](#) を参照して、ドライバが定期的に再試行することで、出力がまだ過電流状態にあるかどうかを確認します。このモードでは、出力は t_{SC} の間 t_{AR} 間隔でオンになります。ILIM_ADJ2 = OPEN または GND を設定することで、電流フォルト自動再試行モードを無効化できます。ILIM_ADJ2 = OPEN のとき、電流フォルト ブランギング時間はゼロになります。

SPI モードでは、DO_CURLIM レジスタ設定を使用して DO ドライバの動作を設定できます。[DO_CUR_LIM](#) ビットは電流制限値を設定し、[DO_BL_TIME](#) および [DO_RETRY_TIME](#) はそれぞれ現在のフォルト ブランギング時間と自動回復時間を設定します。[DO_RETRY_EN](#) は自動回復動作を制御します。

ドライバが無効の場合、電流制限インジケータは非アクティブになります。

7.3.5 CQ および DI レシーバ

RX1 は CQ レシーバの出力です。レシーバ出力は CQ 入力の逆ロジックであり、レシーバ機能を表 7-3 にまとめます。ピンモードでは、CQ レシーバは常にオンです。SPI モードでは、RX1 出力に加えて、STATUS レジスタの CQ_RX_LEVEL ビットは CQ バス入力レベルのロジックレベルを反映します。SPI モードでは、CQ_CONFIG レジスタの RX_DIS ビットを設定することでレシーバを無効化できます。レシーバがディスエーブルのとき、RX1 出力はハイインピーダンスになり、ステータス レジスタの CQ_RX_LEVEL ビットは無効です。

表 7-3. CQ レシーバ機能

SPI/PIN	CQ 電圧	RX1	CQ_RX_LEVEL ビット	備考
L または (H && RX_DIS = 0)	$V_{(CQ)} < V_{(THL)}$	H	L	通常受信モード、入力 Low
	$V_{(THL)} < V_{(CQ)} < V_{(THH)}$?	?	不定の出力は High と Low のいずれかが可能です
	$V_{(THH)} < V_{(CQ)}$	L	H	通常受信モード、入力 High
	オープン	?	?	不定の出力は High と Low のいずれかが可能です
H && RX_DIS = 1	X	Z	Z	出力はハイインピーダンスになります

RX2 は DI レシーバの出力です。レシーバ出力は DI 入力の逆ロジックであり、レシーバ機能を表 7-3 にまとめます。ピンモードでは、DI レシーバは常にオンです。SPI モードでは、RX2 出力に加えて、STATUS レジスタの DI_LEVEL ビットは DI 入力のロジックレベルを反映します。SPI モードでは、DI_CONFIG レジスタの DI_DIS ビットを設定することでレシーバを無効化できます。レシーバがディスエーブルのとき、RX2 出力はハイインピーダンスになり、ステータス レジスタの DI_LEVEL ビットは無効です。

表 7-4. DI レシーバ機能

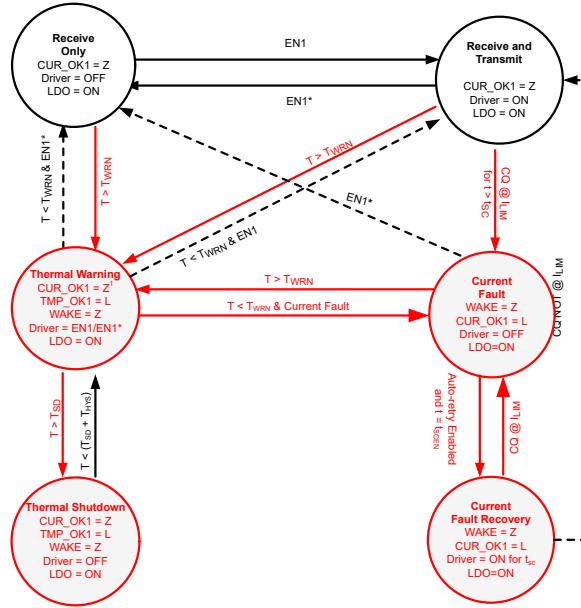
DI 電圧	RX2	DI_LEVEL ビット	備考
$V_{(DI)} < V_{(THL)}$	H	L	通常受信モード、入力 Low
$V_{(THL)} < V_{(DI)} < V_{(THH)}$?	?	不定の出力は High と Low のいずれかが可能です
$V_{(THH)} < V_{(DI)}$	L	H	通常受信モード、入力 High
オープン	?	?	不定の出力は High と Low のいずれかが可能です

7.3.6 障害通知

ピン モードでは、CQ ドライバが過電流状態に移行した場合、または CQ ドライバの温度センサが $T_{(WRN)}$ を超えた場合、NFLT1 ピンは Low に駆動されます。両方のフォルト条件がクリアされると、NFLT1 はハイインピーダンスに戻ります。

同様に、DO ドライバが過電流状態に移行した場合、または DO ドライバの温度センサが $T_{(WRN)}$ を超えた場合、NFLT2 ピンは Low に駆動されます。両方のフォルト条件がクリアされると、NFLT2 はハイインピーダンスに戻ります。

LP 電源または VOUT 電源が UVLO スレッショルドより低下した場合、RESET ピンが Low になります。LP と VOUT の両方が UVLO スレッショルドを上回ると、RESET ピンが High になります。



注:NFLT1 = [CUR_OK1 && TMP_OK1]。LDO にはサーマル センサが搭載されています。センサの温度が $T_{(SDN)}$ に達すると、LDO をオフにし、CQ と DO ドライバの両方をオフにすることができます。

図 7-2. CQ ドライバ状態図

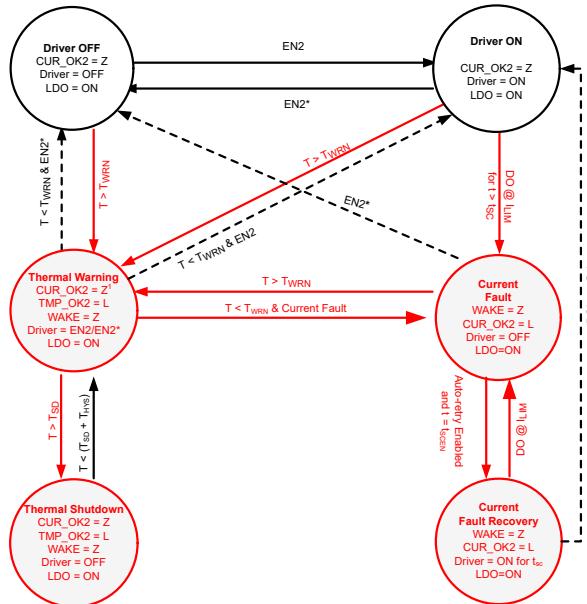


図 7-3. DO ドライバ状態図

注

注:NFLT2 = [CUR_OK2 && TMP_OK2]。LDO にはサーマル センサが搭載されています。センサの温度が $T_{(SDN)}$ に達すると、LDO をオフにし、CQ と DO ドライバの両方をオフにすることができます。

7.3.6.1 サーマル警告、サーマル シャットダウン

TIOL221 には、3 つの個別のサーマル センサが搭載されており、各ドライバに 1 つ、もう 1 つは LDO に接続されます。

CQ ドライバ周囲のダイ温度が $T_{(WRN)}$ を超えると、NFLT1 フラグが Low に保持され、過熱問題の可能性を示します。 T_J が $T_{(SDN)}$ を超えると、CQ ドライバは無効になります。LDO と DO ドライバは、それぞれのサーマル センサが $T_{(SDN)}$ を超えない限り動作します。温度が温度スレッショルドを下回ると（かつ $T_{(HYS)}$ 後）すぐに、EN1 および TX1 ピンの状態に従い、内部回路によってドライバが再度有効になります。

DO ドライバ周囲のダイ温度が $T_{(WRN)}$ を超えると、NFLT2 フラグが Low に保持され、過熱問題の可能性を示します。 T_J が $T_{(SDN)}$ を超えると、DO ドライバは無効になります。LDO と CQ ドライバは、それぞれのサーマル センサが $T_{(SDN)}$ を超えない限り動作します。温度が温度スレッショルドを下回ると（かつ $T_{(HYS)}$ 後）すぐに、EN2 および TX2 ピンの状態に従い、内部回路によってドライバが再度有効になります。

LDO 付近のサーマル センサによって、 $T_{(SDN)}$ を超える温度が検出されます。LDO と両方のドライバがオフになり、 \overline{RESET} が Low に保持されます。温度が温度スレッショルドを下回ると（かつ $T_{(HYS)}$ 後）すぐに、内部回路によって LDO が再度有効になり、VOUT が UVLO スレッショルドを上回った後、ドライバや \overline{RESET} が解放されます。

7.3.7 内蔵電圧レギュレータ (LDO)

TIOL221 にはリニア電圧レギュレータ (LDO) が内蔵されており、外部コンポーネントに電力を供給できます。LDO は最大 20mA を供給できます。LDO 出力レベルは VSEL ピンを使用して設定できます。VSEL が GND に接続されている場合、VOUT は LP で入力電源として 3.3V の出力を供給するように構成されます。VSEL がフローティングのままの場合、VOUT は 3.3V 出力を供給し、V5IN を電源入力として、デバイスの消費電力を低減します。VSEL が VOUT に接続されている場合、VOUT は 5V に設定されます。電源投入時に VSEL ピンのステータスが検出され、VOUT 出力レベルが決定され、次の電源オン サイクルまでラッチされます。

表 7-5. VSEL ピンを使用した LDO 出力構成

VSEL ピン接続	VOUT
LM に接続	3.3V (LP から供給)
フローティング	3.3V (V5IN から供給)
VOUT に接続	5V

5V 出力に構成した場合、電圧レギュレータは LM を基準として 7V ~ 36V の範囲の入力電圧 LP で動作します。3.3V 出力に構成した場合、レギュレータは V5IN 電源 (VSEL がフローティングのとき) または LP 電源 (VSEL が VOUT に接続されている場合) のいずれかで動作できます。

VOUT の 3.3V 出力の電源入力として V5IN を選択すると、オンチップの消費電力を低減できます。VSEL がフローティングに設定されているとき、V5IN 電源が存在しない、または V5IN_UVLO スレッショルドを下回った場合、VOUT レギュレータはシャットオフされ、 \overline{RESET} 出力はアクティブになります。

LDO は、出力に $1\mu\text{F}$ 以上の値の標準的なセラミックコンデンサを使用して安定するように設計されています。温度による値と ESR の変動が最小限に抑えられているため、X5R および X7R タイプのコンデンサが最適です。最大 ESR は 1Ω 未満である必要があります。許容誤差と DC バイアス効果により、出力安定性を確保するための最小容量は $1\mu\text{F}$ です。

電圧レギュレータには、大容量のデカップリング コンデンサや偶発的な短絡状態による初期起動突入電流に対して保護するため、35mA 電流制限が内蔵されています。

7.3.8 逆極性保護

逆極性保護回路は、LP、CQ、DO、DI、LM ピンへの誤った逆極性接続からデバイスを保護します。このピンの任意の組み合わせを、最大 65V (max) の DC 電圧に接続できます。いずれかのピン間の最大電圧は、いつでも 65V DC を超えないようにする必要があります。

7.3.9 サージ保護および過渡波形耐性を内蔵

デバイスの LP、CQ、DO、DI の各ピンは、ソース インピーダンス 500Ω で最大 1.2kV の $1.2/50 - 8/20\mu\text{s}$ IEC 61000-4-5 サージに耐えられます。サージテストは、LP と LM の間に最低 100nF の電源デカップリング コンデンサを使用し、VOUT と LM の間に最低 $1\mu\text{F}$ を使用して実施する必要があります。

より高い過渡保護レベルが必要な場合、外付け TVS ダイオードが必要になることがあります。システム設計者は、目的の電流レベルで、外部ダイオードの最大クランプ電圧が 65V 未満であることを確認する必要があります。このデバイスは、最大 $\pm 70\text{V}$ の過渡パルス $< 100\mu\text{s}$ に耐えられます。

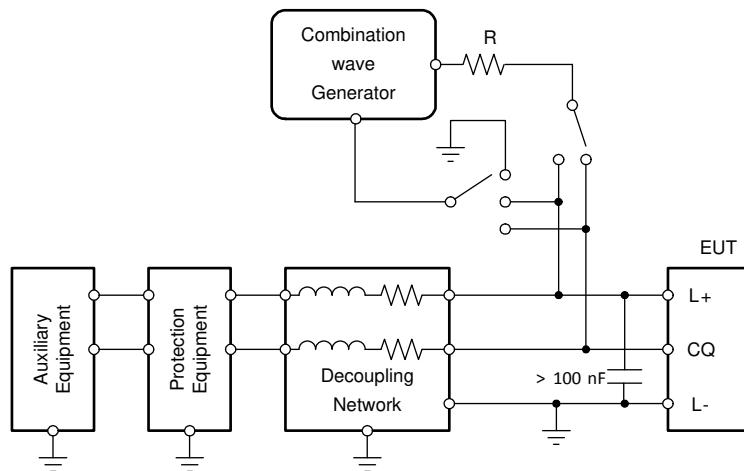


図 7-4. サージ テスト設定

7.3.10 低電圧誤動作防止(UVLO)

LP 電圧または VOUT 電源のいずれかがそれぞれの UVLO スレッショルドを下回ると、デバイスは UVLO に移行します。電源が UVLO スレッショルドを下回ると、ただちに $\overline{\text{RESET}}$ が Low になり、ドライバ (CQ および DO) はディスエーブル (ハイインピーダンス) になります。このモードではレシーバの性能は規定されていません。

電源が立ち上がりスレッショルドより高くなると、 $\overline{\text{RESET}}$ ピンは High になります。 $t_{(\text{UVLO})}$ 遅延後にドライバ出力がオンになります。

7.3.11 割り込み機能

この割り込みは、SPI モードで **INT** ピンを介して一部の重要なイベントをマイコンに通知するために使用されます。SPI モードでは、**INT** ピンはプッシュプル出力段です。割り込み生成イベントが発生すると、**INT** ピンは **Low** になります。

以下のイベントが割り込みを生成でき、割り込みレジスタに対応するビットが設定されます。

- サーマル シャットダウン (TSD_INT)
- CQ で有効なウェークアップ パルスを受信 (WU_INT)
- DO 出力過電流フォルト (DO_FAULT_INT)
- CQ 出力過電流フォルト (CQ_FAULT_INT)
- LP が警告スレッショルドを下回る (LPW_INT)
- V5IN が UVLO スレッショルドを下回る (UV_V5_INT)
- 温度が過熱警告スレッショルドを上回る (TEMP_WARN)

個別の割り込みイベントを **INT_MASK** レジスタでマスクできます。割り込みがマスクされている場合、その特定のイベントは **INT** ピンを有効にしません。ただし、割り込み生成イベントが発生すると、割り込みビットが設定されます。

割り込み生成イベントが存在しなくなった場合でも、割り込みビットは自動的にクリアされません。マイコンにより割り込みビットを明示的にクリアする必要があります。マイコンによってすべての割り込みビットがクリアされ (読み取り時にクリア)、そのイベントが持続しない場合、**INT** ピンが **High** になります。また、すべての割り込みビットがマスクされている場合、**INT** ピンも **High** になります。割り込みビットがマスクされておらず、割り込みビットのいずれかがまだ設定されている場合、**INT** ピンは再び **Low** になります。

7.4 デバイスの機能モード

このデバイスは 2 つのモード (ピン モードまたは SPI モード) で動作できます。SPI/PIN ピンが Low の場合、デバイスはピン モードで動作します。SPI/PIN ピンが High の場合、デバイスは SPI モードで動作します。

いずれかのモードでの CQ ドライバ制御については、[表 7-6](#) を参照してください。DO ドライバ制御については、[表 7-7](#) を参照してください。さらに、SPI モードを使用する場合、CQ と DO ドライバの両方を互いに接続して、より大きな負荷電流を駆動できます。この構成の設定については、[表 7-8](#) および [CQ および DO トラッキング モード](#) で説明します。ドライバモード、電流制限、過電流ブランкиング時間など、ドライバ構成設定を変更する前に、ドライバをディスエーブル状態にすることを推奨します。

表 7-6. CQ 制御

SPI/PIN	EN1	TX1	CQ_TX_MODE = 11 (CQ ディスエーブル)	CQ_Q	NPN モード	PNP モード	プッシュプル モード
L	L またはオープン	L	X	X	Z	Z	Z
		H	X	X	Z	Z	Z
	H	L	X	X	Z	H	H
		H	X	X	L	Z	L
H	L	L	0	0	Z	Z	Z
		H			Z	Z	Z
		L		1	Z	H	H
		H			Z	H	H
	H	L		0	Z	H	H
		H			L	Z	L
		L		1	Z	H	H
		H			Z	H	H
	X	X	1	X	Z	Z	Z

表 7-7. DO 制御

DO と CQ がトラック (DO_CQ_TRACK が 1b に設定) に設定されている場合、[表 7-8](#) を参照してください。

SPI/PIN	EN2	TX2	DO_MODE = 11 (DO ディスエーブル)	DO_Q	NPN モード	PNP モード	プッシュプル モード
L	L またはオープン	L	X	X	Z	Z	Z
		H	X	X	Z	Z	Z
	H	L	X	X	Z	H	H
		H	X	X	L	Z	L
H	L	L	0	0	Z	Z	Z
		H			Z	Z	Z
		L		1	Z	H	H
		H			Z	H	H
	H	L		0	Z	H	H
		H			L	Z	L
		L		1	Z	H	H
		H			Z	H	H
	X	X	1	X	Z	Z	Z

表 7-8. DO 制御 (DO_CQ_TRACK = 1b の場合)

DO と CQ をトラック (DO_CQ_TRACK を 1b に設定) に設定している場合、DO ドライバは CQ 構成に従い、ドライバ モード、電流制限、ドライバ設定を含む DO 構成は無視されます。

SPI/PIN	DO_CQ_TRACK ACK = 1b	EN2/TX2/ DO_MODE/ DO_CQ	EN1	TX1	CQ_TX_MO DE = 11 (CQ ディスエ ーブル)	CQ_Q	NPN モード (CQ 構成単 位)	PNP モード (CQ 構成単 位)	プッシュプル モード (CQ 構成単位)
H	1b	X	L	L	0	0	Z	Z	Z
				H			Z	Z	Z
				L		1	Z	H	H
				H			Z	H	H
			H	L		0	Z	H	H
				H			L	Z	L
				L		1	Z	H	H
				H			Z	H	H
			X	X	1	X	Z	Z	Z

表 7-9. ピンモードでの NPN、PNP、およびプッシュプル モードの選択

SPI/PIN	CS/PP	SDI/NPN	CQ および DO ドライバ モード
L	L	L	PNP
	L	H	NPN
	H	X	プッシュ プル
H	X	X	SPI インターフェイス経由で選択さ れた CQ および DO ドライバ モード

7.4.1 CQ および DO トラッキング モード

SPI モードでは、[DO_CQ_TRACK](#) ビット設定を使用して、TX1 のみを入力として、EN1 をイネーブル ピンとして使用して、CQ および DO 出力ドライバを互いに同期するように設定できます。このビットがイネーブルになると、両方のドライバは TX1 を入力として受け取り、EN1 イネーブル ピンによって制御されます。[DO_CQ_TRACK](#) ビットが設定されている場合、以下の構成が有効になります。

- DO 構成設定は無視され、CQ 構成設定が使用されます (過電流、ブランкиング時間、自動再試行、CQ_Q は両方のドライバに影響を及ぼします)
- TX2 および EN2 入力ピンは無視されます
- 一方のドライバが過電流または過熱フォルトに移行すると、両方のドライバがオフになります。
 - フォルト状態に移行するドライバのみの割り込みおよびステータス ビットが設定されます

7.5 SPI のプログラミング

SPI/PIN が High に設定される場合、TIOL221 は SPI モードで動作します。SPI 通信では、標準の SPI を使用します。物理的なデジタル インターフェイス ピンは、[CS/PP](#) (チップ セレクト アクティブ Low)、SDI/NPN (SPI データ入力)、SDO/NFLT2 (SPI データ出力)、および SCK (SPI クロック) です。各 SPI トランザクションは、R/W ビットが付いた 7 ビットアドレスによって開始されます。トランザクションで SDO ピンからシフトアウトされるデータは、常にステータス レジスタであるレジスタ [8'h01\[7:0\]](#) から始まります。このレジスタは、デバイスの高レベルのステータス情報を提供します。アドレスおよび R/W バイトに対する「応答」であるデータ バイトが、その後にシフト アウトされます。非バースト モードに対応する SPI 読み取りおよび書き込みフレーム図については、[図 7-6](#) および [図 7-5](#) を参照してください。バースト モードに対応する SPI 読み取りおよび書き込みフレーム図については、[図 7-8](#) および [図 7-7](#) を参照してください。

SPI コントローラは、TIOL221 と通信するために、SPI MODE0 (クロック極性 CPOL = 0 およびクロック位相 CPHA = 0) でクロック信号とデータ信号を生成する必要があります。SDI 上の SPI 入力データは、SCK の low エッジから high エッジでサンプリングされます。SDO 上の SPI 出力データは、SCK の high エッジから low エッジに変更されます。

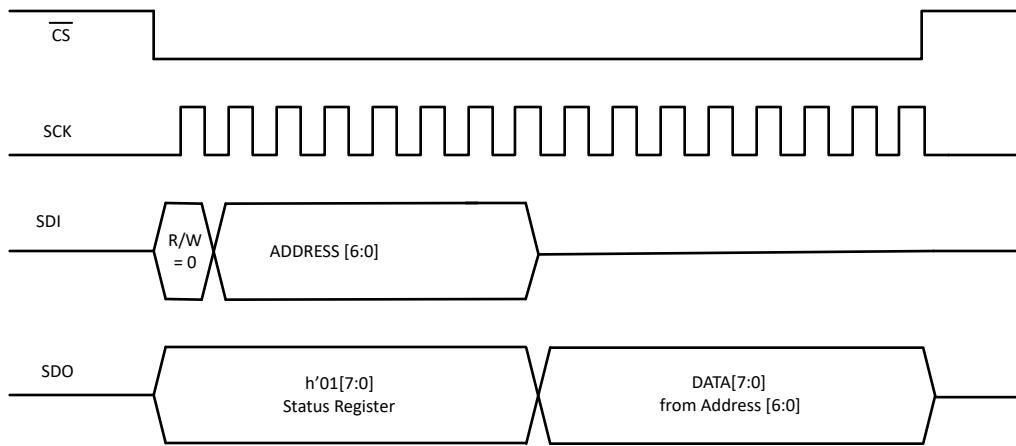


図 7-5. SPI 読み取り (シングル バイト)

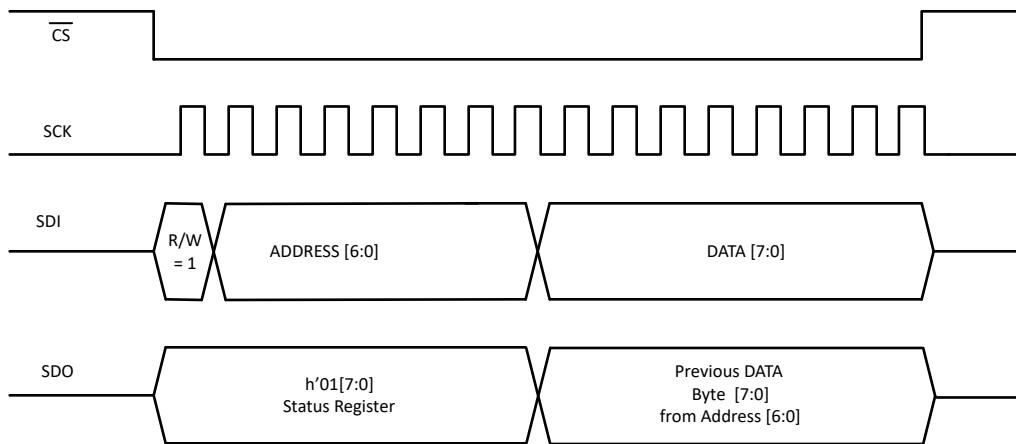


図 7-6. SPI 書き込み (シングル バイト)

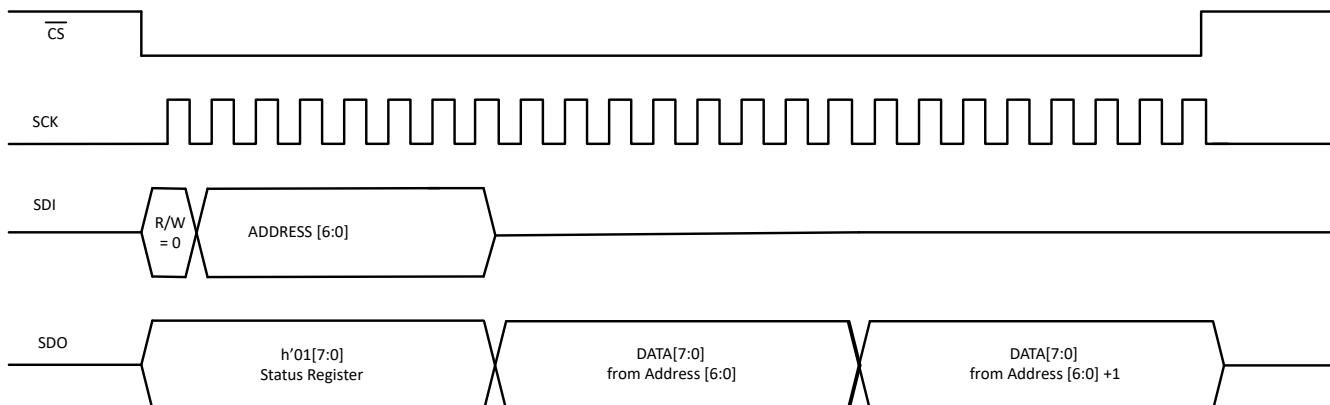


図 7-7. SPI 読み取り (バースト モード)

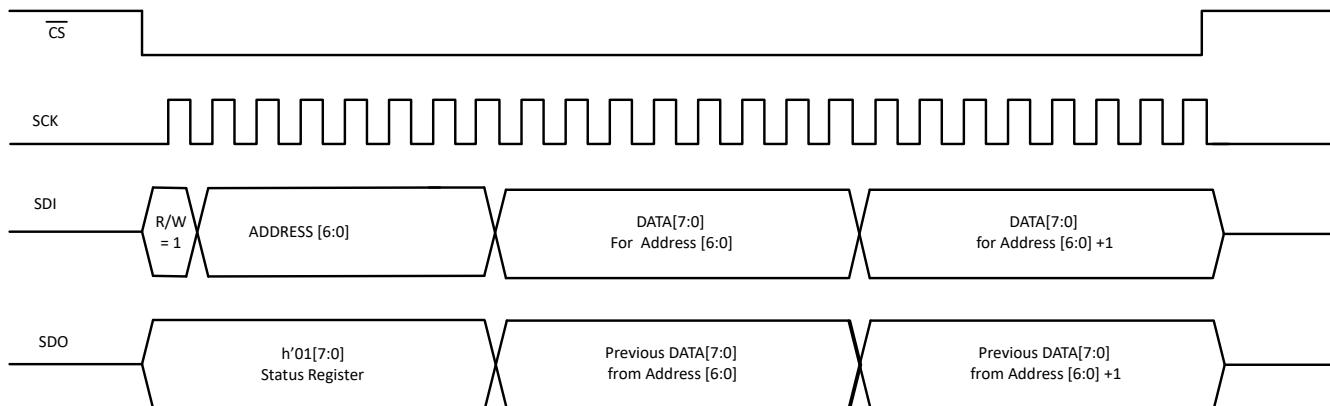


図 7-8. SPI 書き込み (バースト モード)

8 TIOL221 のレジスタ

TIOL221 レジスタのメモリマップされたレジスタを、表 8-1 に示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 8-1. TIOL221 のレジスタ

アドレス	略称	レジスタ名	セクション
0h	INT	割り込み	表示
1h	STATUS	ステータス	表示
2h	DEVICE_CONFIG	デバイス設定	表示
3h	CQ_CURLIM	CQ ドライバの電流制限	表示
4h	CQ_CONFIG	CQ の構成	表示
5h	DIO_CONFIG	DIO の構成	表示
6h	DO_CURLIM	DO ドライバの電流制限	表示
7h	DEVICE_ID	デバイス ID	表示
8h	INT_MASK	割り込みマスク	表示
9h	RESET_CONFIG	リセットピン構成レジスタ	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセスタイプに使用しているコードを示します。

表 8-2. TIOL221 のアクセス タイプ コード

アクセスタイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1 INT レジスタ (アドレス = 0h) [リセット = 00h]

図 8-1 に、INT を示し、表 8-3 に、その説明を示します。

概略表に戻ります。

割り込みレジスタは、各種の故障状態の現在のステータスを反映します。�ルトがクリアされた後も、割り込みレジスタは自動的にクリアされません。故障状態が存在しない場合、読み取り時にレジスタがクリアされます

図 8-1. INT レジスタ

7	6	5	4	3	2	1	0
TSD_INT	WU_INT	DO_FAULT_IN_T	CQ_FAULT_IN_T	LPW_INT	予約済み	UV_V5_INT	TEMP_WARN
RC-0b	RC-0b	RC-0b	RC-0b	RC-0b	R-0b	RC-0b	RC-0b

表 8-3. INT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TSD_INT	RC	0b	サーマルシャットダウン割り込みビット。�ルトがクリアされても、このビットは自動的にクリアされません。�ルトがすでに存在しない場合、読み取り時にビットがクリアされます 0b = デバイスはサーマルシャットダウン中ではありません 1b = デバイスはサーマルシャットダウンに移行しています
6	WU_INT	RC	0b	このビットは、CQ で IO-Link ウエークアップ条件が検出されると設定されます。 0b = ウエークアップ検出なし 1b = ウエークアップを検出
5	DO_FAULT_INT	RC	0b	DO ドライバに�ルト (過電流または熱) が発生すると、このビットが設定されます。 0b = DO ドライバに�ルトなし 1b = DO ドライバに�ルトが発生しました
4	CQ_FAULT_INT	RC	0b	CQ ドライバ フォルト (過電流または熱) が発生すると、このビットが設定されます。 0b = CQ ドライバに故障なし 1b = CQ ドライバに�ルトが発生しました
3	LPW_INT	RC	0b	LP が警告スレッショルドを下回ると、このビットが設定されます 0b = LP が警告スレッショルドを上回っています 1b = LP が警告スレッショルドを下回っています
2	予約済み	R	0b	予約済み
1	UV_V5_INT	RC	0b	V5IN 電源入力の低電圧 (VSEL ピンがフローティングで V5IN が LDO 入力の場合にのみ有効) 0b = V5IN での UV フォルトなし 1b = V5IN での UV フォルト発生
0	TEMP_WARN	RC	0b	過熱警告割り込み 0b = 過熱警告なし 1b = 過熱警告制限に達しました

8.2 STATUS レジスタ (アドレス = 1h) [リセット = 00h]

図 8-2 に、STATUS を示し、表 8-4 に、その説明を示します。

概略表に戻ります。

ステータス レジスタは、各種の故障状態の現在のステータスを反映します。このレジスタは読み取り専用で、フォルトがクリアされると自動的にクリアされます。注:ビットはフォルトの現在のステータスを反映するため、ソフトリセットでは STATUS レジスタ ビットはリセットされません。POR 回復ビットは、 LSB バイトがデータ出力に転送される時間によってクリアされるため、STATUS レジスタの読み取り時に MSB バイトを読み取ります

図 8-2. ステータス レジスタ

7	6	5	4	3	2	1	0
POR_RECOVE RY	TSD	DI_LEVEL	DO_FAULT	CQ_FAULT	UV_V5	CQ_RX_LEVEL	TEMP_WARN
RC-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-4. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	POR_RECOVERY	RC	0b	このビットは、デバイスが POR イベントから回復するときに設定されます。 このビットは、読み取り時にクリアされます 0b = デバイスは正常に動作しています 1b = デバイスは POR イベントから回復しました
6	TSD	R	0b	このビットはサーマル シャットダウンのステータスを反映します。温度がサーマル シャットダウン スレッショルドを下回ると、このビットは自動的にクリアされます 0b = サーマル シャットダウンなし 1b = サーマル シャットダウン中
5	DI_LEVEL	R	0b	このビットは、DI 電圧がロジック High のときに設定され、DI 電圧がロジック Low のときにクリアされます。注:DI_DIS ビットが 1 に設定されている場合、このビットは無効です。 0b = 0x0 1b = 0x1
4	DO_FAULT	R	0b	このビットは DO ドライブ フォルトのステータスを反映します 0b = DO ピンでフォルトなし 1b = DO ピンでフォルト発生
3	CQ_FAULT	R	0b	このビットは、CQ ドライバ フォルトのステータスを反映します 0b = CQ ピンでフォルトなし 1b = CQ ピンでフォルト発生
2	UV_V5	R	0b	このビットは、V5IN ピンの UV 状態のステータスを反映します 0b = V5IN 電圧が UVLO スレッショルドを上回っています 1b = V5IN が UVLO スレッショルドを下回っています
1	CQ_RX_LEVEL	R	0b	このビットは、CQ 電圧がロジック High のときに設定され、CQ 電圧がロジック Low のときにクリアされます。注:CQ_RX_DIS ビットが 1 に設定されている場合、このビットは無効です。 0b = 0x0 1b = 0x1
0	TEMP_WARN	R	0b	温度警告スレッショルドを上回っているか下回っているデバイス温度のステータスを示します 0b = 温度警告なし 1b = デバイスの温度が警告スレッショルドを上回っています

8.3 DEVICE_CONFIG レジスタ (アドレス = 2h) [リセット = 00h]

DEVICE_CONFIG を 図 8-3 に示し、表 8-5 で説明しています。

概略表に戻ります。

デバイス レベル構成レジスタ

図 8-3. DEVICE_CONFIG レジスタ

7	6	5	4	3	2	1	0
SOFT_RESET	WU_DIS	DO_CQ_TRACK	IOLINK_5MA_PD	DI_RX_FILTER	CQ_RX_FILTER	T_UVLO	INT_TOG
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-5. DEVICE_CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SOFT_RESET	R/W	0b	すべてのレジスタをデフォルトにリセットします。 注: 対応するフォルトステータスに応じて、ステータスおよび割り込みビットを引き続き設定できます。 0b = リセットしない 1b = デバイス構成をリセットします
6	WU_DIS	R/W	0b	0b = CQ はウェークアップ パルスを認識できます 1b = CQ はウェークアップ パルスを無視します
5	DO_CQ_TRACK	R/W	0b	ビットが設定されている場合、DO ドライバと CQ ドライバは両方とも TX 入力と CQ_CONFIG 設定の関数として追跡します。 0b = DO ドライバと CQ ドライバは独立しています 1b = DO および CQ ドライバは TX 入力の機能として追跡します
4	IOLINK_5MA_PD	R/W	0b	それぞれのドライバがディスエーブルのとき、CQ ドライバと DO ドライバの両方で 5mA プルダウン電流 ILLM を有効化します。注: CQ_CUR_LIM および DO_CUR_LIM 制限値は、CQ および DO でそれぞれ有効にするために 500mA に設定する必要があります。 0b = 5mA (min) プルダウン電流はディスエーブル 1b = それぞれのドライバがディスエーブルのとき、5mA (min) プルダウン電流はイネーブル
3	DI_RX_FILTER	R/W	0b	DI ラインの RX グリッチ フィルタをオンまたはオフにします 0b = DI グリッチ フィルタはディスエーブル 1b = DI グリッチ フィルタはイネーブル
2	CQ_RX_FILTER	R/W	0b	CQ ラインの RX グリッチ フィルタをオンまたはオフにします 0b = CQ RX グリッチ フィルタはディスエーブル 1b = CQ RX グリッチ フィルタはイネーブル
1	T_UVLO	R/W	0b	LP UVLO からの回復後、CQ、DO は遅延 t (UVLO) を再度有効にします 0b = 0.5ms (標準値) 1b = 30ms (標準値)
0	INT_TOG	R/W	0b	割り込みピントグルを有効にします 0b = 割り込みピンをアクティブ Low に設定 1b = 200μs 周期と 50% デューティサイクルでトグルするように割り込みピンが設定されています

8.4 CQ_CURLIM レジスタ (アドレス = 3h) [リセット = 20h]

図 8-4 に CQ_CURLIM を示し、表 8-6 にその説明を示します。

概略表に戻ります。

CQ ドライバ電流制限および自動再試行設定

図 8-4. CQ_CURLIM レジスタ

7	6	5	4	3	2	1	0
CQ_CUR_LIM		CQ_BL_TIME		CQ_RETRY_TIME		CQ_AUTO_RETRY_EN	
R/W-001b		R/W-00b		R/W-00b		R/W-0b	

表 8-6. CQ_CURLIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	CQ_CUR_LIM	R/W	001b	電流制限の設定 000b = 35mA (min) 001b = 50mA (min) 010b = 100mA (min) 011b = 150mA (min) 100b = 200mA (min) 101b = 250mA (min) 110b = 300mA (min) 111b = 500mA (min)
4-3	CQ_BL_TIME	R/W	00b	電流ブランкиング時間を設定します。 00b = 200μs (標準値) 01b = 500μs (標準値) 10b = 5ms (標準値) 11b = 0s (ブランкиング時間なし)
2-1	CQ_RETRY_TIME	R/W	00b	自動再試行時間を設定します 00b = 50ms (標準値) 01b = 100ms (標準値) 10b = 200ms (標準値) 11b = 500ms (標準値)
0	CQ_AUTO_RETRY_EN	R/W	0b	自動再試行を有効にします。有効にすると、ドライバはブランкиング時間の後に無効化され、リトライ時間後に再度有効になります。自動リトライが無効の場合、ドライバは有効なままで、サーマルシャットダウン後のみシャットオフします。注: ブランкиング時間が 2b11 (ブランкиング時間なし) に設定されている場合、自動リトライを有効にする必要があります。 0b=ディセーブル 1b = イネーブル

8.5 CQ_CONFIG レジスタ (アドレス = 4h) [リセット = 0Ch]

図 8-5 に CQ_CONFIG を示し、表 8-7 にその説明を示します。

概略表に戻ります。

PNP/NPN モードおよび弱いプルアップ / ダウン用の CQ 構成レジスタ

図 8-5. CQ_CONFIG レジスタ

7	6	5	4	3	2	1	0
予約済み	CQ_WEAK_PD_EN	CQ_WEAK_PU_EN		CQ_TX_MODE	CQ_Q	RX_DIS	
R-0b	R/W-0b	R/W-0b		R/W-11b	R/W-0b	R/W-0b	

表 8-7. CQ_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	予約済み
5	CQ_WEAK_PD_EN	R/W	0b	ドライバがディスエーブルのとき、CQ の弱いプルダウンを構成します 0b = 弱いプルダウンをディスエーブル 1b = 弱いプルダウンをイネーブル
4	CQ_WEAK_PU_EN	R/W	0b	ドライバがディスエーブルのとき、CQ の弱いプルアップを構成します 0b = 弱いプルアップがディスエーブル 1b = 弱いプルアップがイネーブル
3-2	CQ_TX_MODE	R/W	11b	ドライバの転送モードを構成します 00b = PNP モード 01b = プッシュプル モード 10b = NPN モード 11b = ドライバがディスエーブル
1	CQ_Q	R/W	0b	CQ ドライバ出力ロジック 0b = EN1 が Low (または CQ_DIS が Low) のとき CQ はハイインピーダンス 1b = CQ ドライバは、プッシュプルまたは PNP モードでロジック High を出力し、NPN モードではオフ
0	RX_DIS	R/W	0b	CQ ラインの RX を構成します 0b = RX を有効化 1b = RX を無効化

8.6 DIO_CONFIG レジスタ (アドレス = 5h) [リセット = 0Ch]

図 8-6 に DIO_CONFIG を示し、表 8-8 にその説明を示します。

概略表に戻ります。

図 8-6. DIO_CONFIG レジスタ

7	6	5	4	3	2	1	0
DI_WEAK_PD_EN	DI_WEAK_PU_EN	DO_WEAK_PD_EN	DO_WEAK_PU_EN	DO_MODE	DO_Q	DI_DIS	
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-11b	R/W-0b	R/W-0b	

表 8-8. DIO_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DI_WEAK_PD_EN	R/W	0b	DI の弱いプルダウンを構成します 0b = 弱いプルダウンをディスエーブル 1b = 弱いプルダウンをイネーブル
6	DI_WEAK_PU_EN	R/W	0b	DI ピンの内部の弱いプルアップを構成します 0b = 弱いプルアップがディスエーブル 1b = 弱いプルアップがイネーブル
5	DO_WEAK_PD_EN	R/W	0b	ドライバがディスエーブルのとき、DO の弱いプルダウンを構成します 0b = 弱いプルダウンをディスエーブル 1b = 弱いプルダウンをイネーブル
4	DO_WEAK_PU_EN	R/W	0b	ドライバがディスエーブルのとき、DO の弱いプルアップを構成します 0b = 弱いプルアップがディスエーブル 1b = 弱いプルアップがイネーブル
3-2	DO_MODE	R/W	11b	DO ドライバの転送モードを構成します 00b = PNP モード 01b = プッシュプル モード 10b = NPN モード 11b = ドライバがディスエーブル
1	DO_Q	R/W	0b	DO ドライバ出力ロジック 0b = EN2 が Low (または DO_DIS が Low) のとき DO はハイインピーダンス 1b = DO ドライバは、プッシュプルまたは PNP モードでロジック High を出力し、NPN モードではオフ
0	DI_DIS	R/W	0b	DI レシーバを構成します 0b = DI を有効化 1b = DI を無効化

8.7 DO_CURLIM レジスタ (アドレス = 6h) [リセット = 20h]

図 8-7 に DO_CURLIM を示し、表 8-9 にその説明を示します。

概略表に戻ります。

DO ドライバ電流制限および自動再試行設定

図 8-7. DO_CURLIM レジスタ

7	6	5	4	3	2	1	0
DO_CUR_LIM			DO_BL_TIME		DO_RETRY_TIME		DO_RETRY_EN
R/W-001b			R/W-00b		R/W-00b		R/W-0b

表 8-9. DO_CURLIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	DO_CUR_LIM	R/W	001b	電流制限の設定 000b = 35mA (min) 001b = 50mA (min) 010b = 100mA (min) 011b = 150mA (min) 100b = 200mA (min) 101b = 250mA (min) 110b = 300mA (min) 111b = 500mA (min)
4-3	DO_BL_TIME	R/W	00b	電流ブランкиング時間を設定します。注: 自動リトライが有効化されている場合、0b11 (ブランкиング時間なし) を設定しないでください。 00b = 200μs (標準値) 01b = 500μs (標準値) 10b = 5ms (標準値) 11b = 0s (ブランкиング時間なし)
2-1	DO_RETRY_TIME	R/W	00b	自動再試行時間を設定します。注: ブランкиング時間が 2b11 (ブランкиング時間なし) に設定されている場合、自動リトライを有効化しないでください。 00b = 50ms (標準値) 01b = 100ms (標準値) 10b = 200ms (標準値) 11b = 500ms (標準値)
0	DO_RETRY_EN	R/W	0b	自動再試行を有効にします 0b = ディセーブル 1b = イネーブル

8.8 DEVICE_ID レジスタ (アドレス = 7h) [リセット = 01h]

図 8-8 に DEVICE_ID を示し、表 8-10 にその説明を示します。

概略表に戻ります。

図 8-8. DEVICE_ID レジスタ

7	6	5	4	3	2	1	0
予約済み						リビジョン ID	
R-0b						R-001b	

表 8-10. DEVICE_ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0b	予約済み
2-0	リビジョン ID	R	001b	デバイス リビジョン番号を示します 001b = 1st リビジョン

8.9 INT_MASK レジスタ (アドレス = 8h) [リセット = 00h]

図 8-9 に INT_MASK を示し、表 8-11 にその説明を示します。

概略表に戻ります。

割り込みマスキング レジスタ割り込みがマスクされている場合、割り込みピンは割り込みを指示しませんが、割り込みレジスタは依然として割り込みを指示するように更新されます。

図 8-9. INT_MASK レジスタ

7	6	5	4	3	2	1	0
TSD_INT_MASK	WU_INT_MASK	DO_FAULT_IN_T_MASK	CQ_FAULT_IN_T_MASK	LPW_INT_MASK	予約済み	UV_V5_INT_MASK	TEMP_WARN_MASK
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-0b

表 8-11. INT_MASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TSD_INT_MASK	R/W	0b	0b = 割り込みアクティブ 1b = 割り込みマスク中
6	WU_INT_MASK	R/W	0b	0b = 割り込みアクティブ 1b = 割り込みマスク中
5	DO_FAULT_INT_MASK	R/W	0b	0b = 割り込みアクティブ 1b = 割り込みマスク中
4	CQ_FAULT_INT_MASK	R/W	0b	0b = 割り込みアクティブ 1b = 割り込みマスク中
3	LPW_INT_MASK	R/W	0b	0b = 割り込みアクティブ 1b = 割り込みマスク中
2	予約済み	R	0b	予約済み
1	UV_V5_INT_MASK	R/W	0b	0b = 割り込みアクティブ 1b = 割り込みマスク中
0	TEMP_WARN_MASK	R/W	0b	0b = 割り込みアクティブ 1b = 割り込みマスク中

8.10 RESET_CONFIG レジスタ (アドレス = 9h) [リセット = 00h]

図 8-10 に RESET_CONFIG を示し、表 8-12 にその説明を示します。

概略表に戻ります。

RESET ピンの動作を構成します

図 8-10. RESET_CONFIG レジスタ

7	6	5	4	3	2	1	0
RESET_SEL	RESET_POL						予約済み
R/W-00b		R-0b				R-0b	

表 8-12. RESET_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	RESET_SEL	R/W	00b	リセット出力を有効にするイベントを選択します 00b = UVLP と UVOUT の両方 01b = UVLP 10b = UVOUT 11b = 予約済み
5	RESET_POL	R	0b	リセット出力のために、アクティブ Low 構成とアクティブ High 構成を選択します 0b = ピン出力 Low (アクティブ Low) 1b = ピン出力 High (アクティブ High)
4-0	予約済み	R	0b	予約済み

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TIOL221 が 3 線式または 4 線式のインターフェイス経由で IO-Link マスターに接続されているとき (図 9-1)、コントローラは、TIOL221 IO-Link トランシーバが通信の完全な物理レイヤとして機能することで、リモートノードとの通信を開始してデータを交換できます。

9.2 代表的なアプリケーション

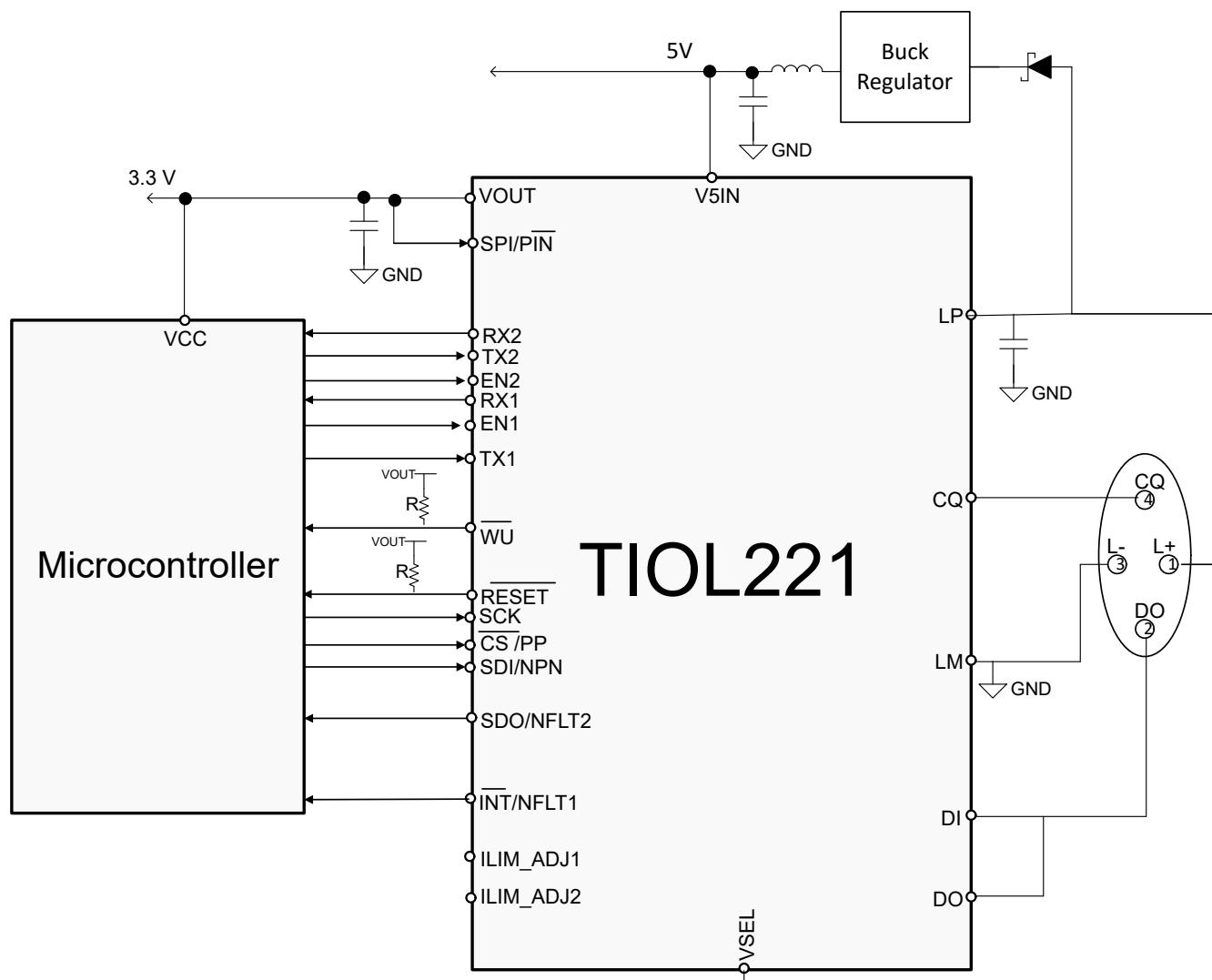


図 9-1. 代表的なアプリケーション回路図 (SPI モード)

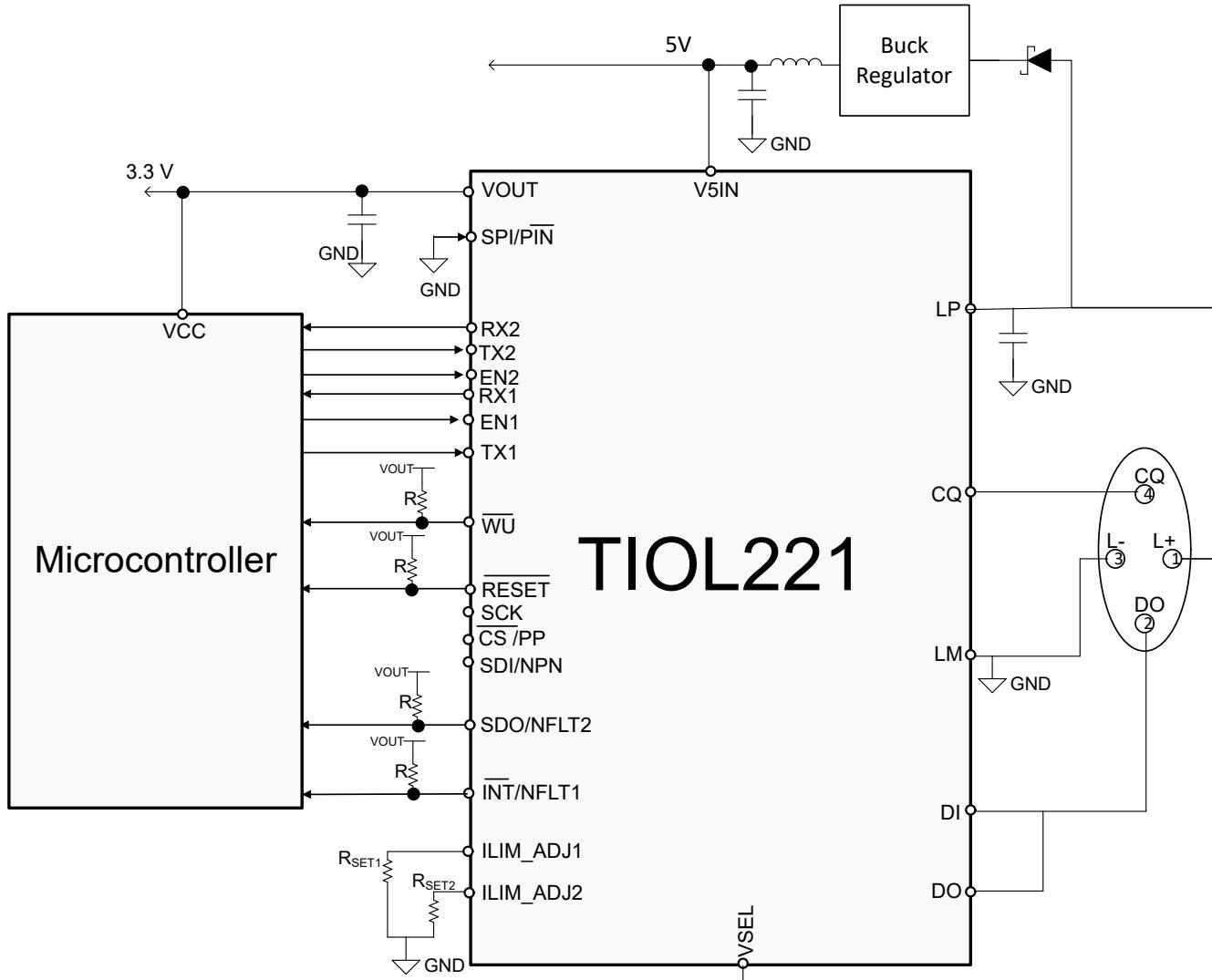


図 9-2. TIOL221 アプリケーション回路図 (ピン モード)

9.2.1 設計要件

TIOL221 IO-Link トランシーバは、IO-Link プロトコルを使用して通信するために、または幅広いセンサと負荷を検出または駆動する標準的なデジタル出力として使用できます。表 9-1 に、代表的なシステム設計の推奨部品を示します。

表 9-1. 設計パラメータ

パラメータ	設計要件	TIOL221 仕様
入力電圧範囲 (LP)	24V (標準値)、30V (最大値)	7V ~ 36V
出力電流 (CQ)	200mA	$R_{SET1} = 15k\Omega$ の場合は 250mA 制限 (最小値) を選択します
LDO 出力電圧	5V	$VOUT = 5V$ $VSEL = VOUT$ を接続
LDO 出力電流	5mA	$I_{(VOUT)}:$ 最大 20mA
NFLT1, NFLT2, \overline{WU} のプルアップ抵抗	10k Ω	10k Ω
LP デカップリングコンデンサ	0.1 μ F/100V	0.1 μ F/100V
VOUT 出力コンデンサ	1 μ F/10V	1 μ F/10V

表 9-1. 設計パラメータ (続き)

パラメータ	設計要件	TIOL221 仕様
最大周囲温度 T_A	105°C	TIOL221 は、 $T_J < T_{(SDN)}$ であれば 125°C の T_A までサポート可能

9.2.2 詳細な設計手順

9.2.2.1 容量性負荷の駆動

これらのデバイスは、CQ および DO 出力の容量性負荷を駆動できます。直列 / 並列抵抗のない純粋な容量性負荷と仮定すると、電流フォルトをトリガせずに充電できる最大容量は、次のように計算できます。

$$C_{LOAD} = \frac{[I_{O(LIM)} \times t_{SC}]}{V_{(L+)}} \quad (1)$$

より高い容量性負荷を駆動し、ドライバの過電流状態を回避するため、対応する ILIM_ADJx ピンをフローティングのままですることを推奨します。ILIM_ADJx ピンがフローティングのとき、TIOL221 はプランギング時間遅延 (t_{SC}) なしの過電流フォルトを示しますが、ドライバは無効化されません。もう 1 つのアプローチは、CQ 出力と負荷との間に直列抵抗を接続して大きな容量性負荷を駆動し、過電流状態を防止することです。容量性負荷を LM または LP に接続できます。

9.2.2.2 誘導性負荷の駆動

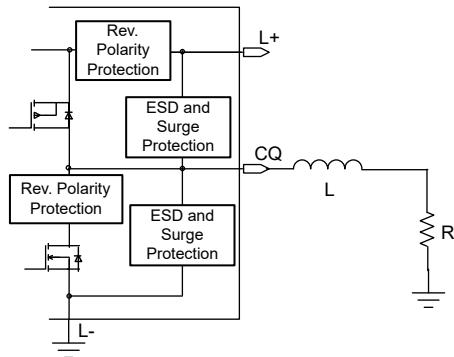
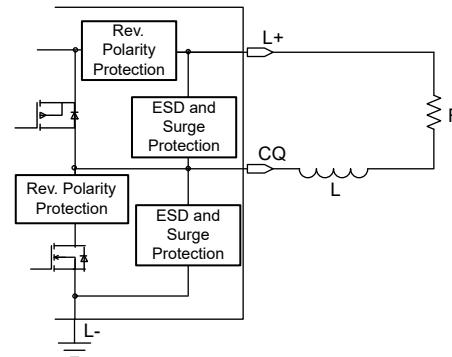
TIOL221 は、大きな誘導性負荷を磁化および消磁できます。これらのデバイスは、P スイッチ モードまたは N スイッチ モードのいずれかとして構成されている場合、高速かつ安全な消磁を可能にする内部回路を備えています。

P スイッチ構成では、ドライバ (CQ または DO) 出力が High に駆動されたときに、負荷インダクタ L が磁化されます。PNP がオフになると、ドライバ出力ピンにかなりの量の負の誘導性キックバックが発生します。この電圧は約 -15V に内部で安全にクランプされています。電源をオンにするときは、最良の結果を得るために EN ではなく、TX (high を保持) を使用することをお勧めします。

同様に、N スイッチ構成では、ドライバ出力が Low に駆動されると、負荷インダクタ L が磁化されます。NPN がオフになると、ドライバ出力ピンにかなりの量の正の誘導性キックバックが発生します。この電圧は約 15V に内部で安全にクランプされています。電源をオンにするときは、最良の結果を得るために EN ではなく、TX (high を保持) を使用することをお勧めします。

等価な保護回路を図 9-3 と図 9-4 に示します。抵抗性負荷 R の最小値は、次のように計算できます。

$$R = \frac{V_{(L+)}}{I_{O(LIM)}} \quad (2)$$


図 9-3. P スイッチ モード

図 9-4. N スイッチ モード

9.2.3 アプリケーション曲線

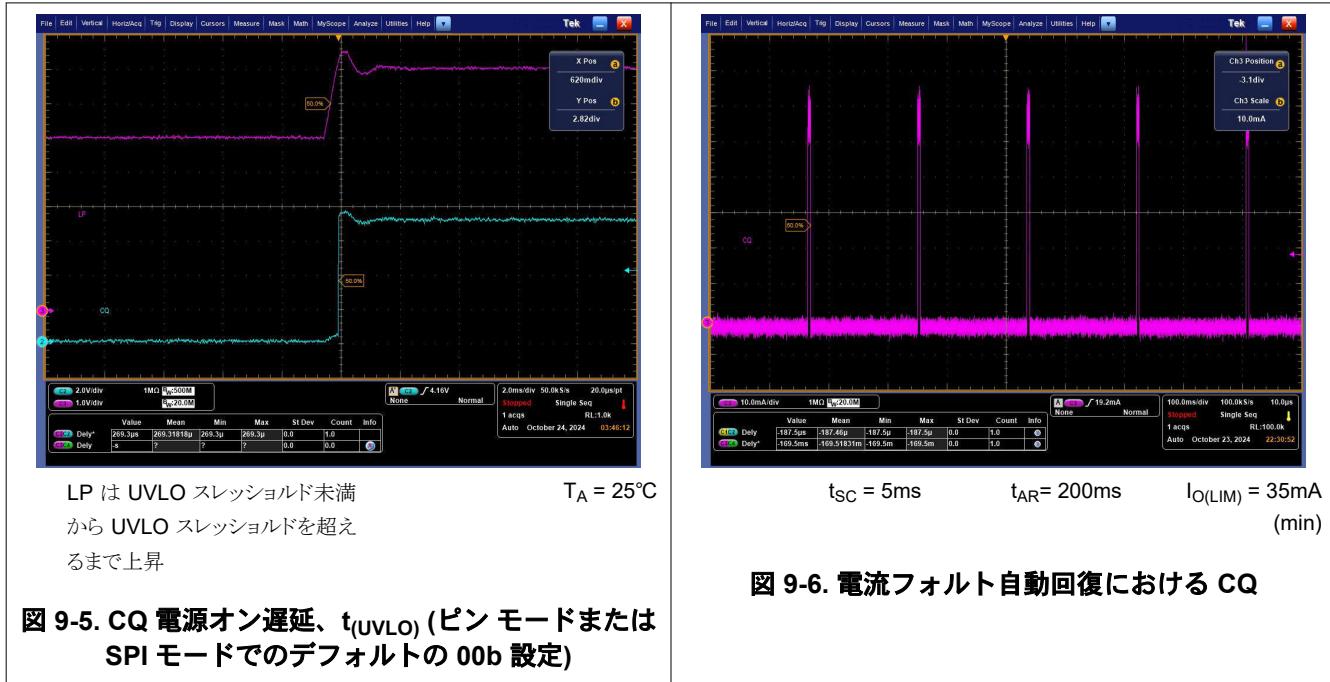


図 9-5. CQ 電源オン遅延、 $t_{(UVLO)}$ (ピン モードまたは SPI モードでのデフォルトの 00b 設定)

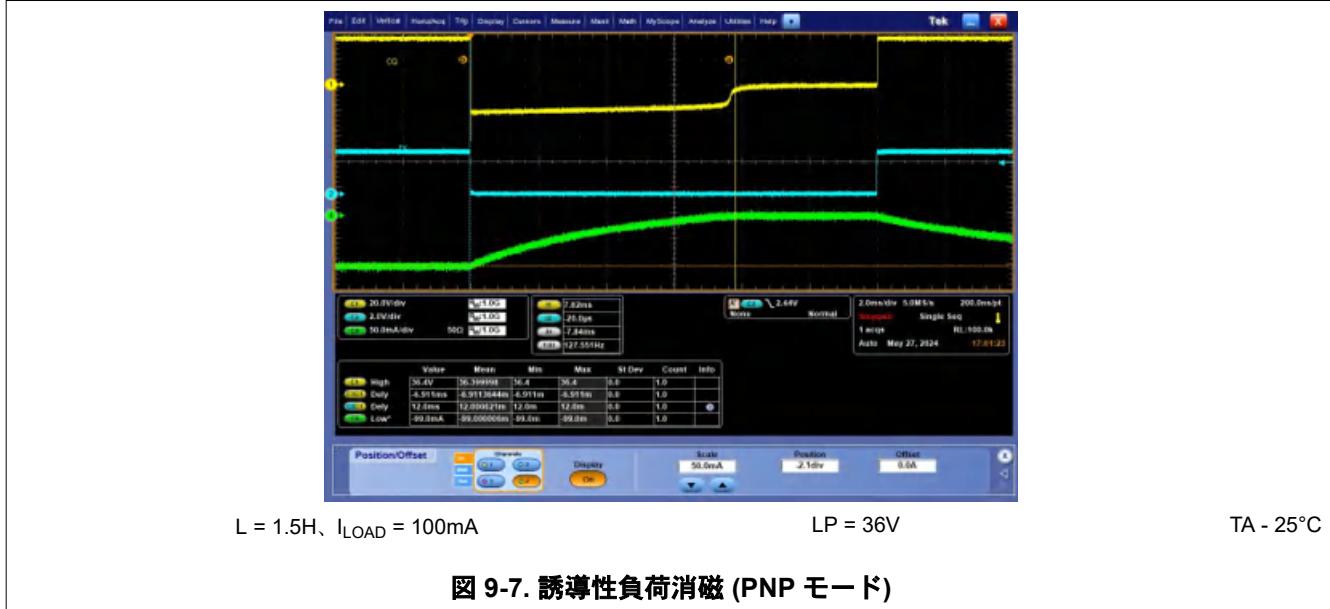


図 9-7. 誘導性負荷消磁 (PNP モード)

9.3 電源に関する推奨事項

TIOL221 トランシーバは、LP の公称電源 24V で動作するように設計されており、デバイスの推奨電源電圧範囲である 7V ~ 36V 内に維持するため、公称値から +12V および -17V まで変動できます。この電源は、少なくとも 100nF/100V のコンデンサを使用してバッファする必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

- 良好な熱伝導のため、4層基板の使用を推奨します。制御信号には第1層(最上層)を使用し、LMでは電源グランド層として第2層を使用し、24V電源プレーン(LP)には第3層を使用し、レギュレートされた出力電源(VOUT)には第4層を使用します。
- 最高の放熱性能を得るために、最大のサーマルビアを使用して、サーマルパッドをLMに接続します。
- LP、VOUT、LMにはプレーン全体を使用して、インダクタンスを最小にします。
- LPピンは、低ESRのセラミックデカップリングコンデンサを使用してグランドにデカップリングする必要があります。推奨されるコンデンサの最小値は100nFです。コンデンサの電圧定格は、最小50V(最大センサ電源フォルト定格によって100V)と、X5RまたはX7Rの誘電体を使用している必要があります。
- コンデンサの最適な配置は、大きな電源電流負荷時の電源電圧降下を低減するため、トランシーバのLPおよびLM端子にできるだけ近づけて配置するのが最適です。PCBレイアウト例については、図9-8を参照してください。
- すべてのオーブンドレイン制御出力は、10kΩプルアップ抵抗経由でVOUTプレーンに接続し、出力がハイインピーダンスのときに定義された電位をシステムコントローラ入力に供給します。
- ピンモードを使用する場合は、必要に応じてILIM_ADJ1/2とLMとの間にR_{SET}抵抗を接続します。
- VOUTでレギュレートされた出力電圧を、低ESRの≥1μFセラミックデカップリングコンデンサを使用してグランドにデカップリングします。このコンデンサは、電圧定格が最小10Vで、X5RまたはX7Rの誘電体を使用する必要があります。

9.4.2 レイアウト例

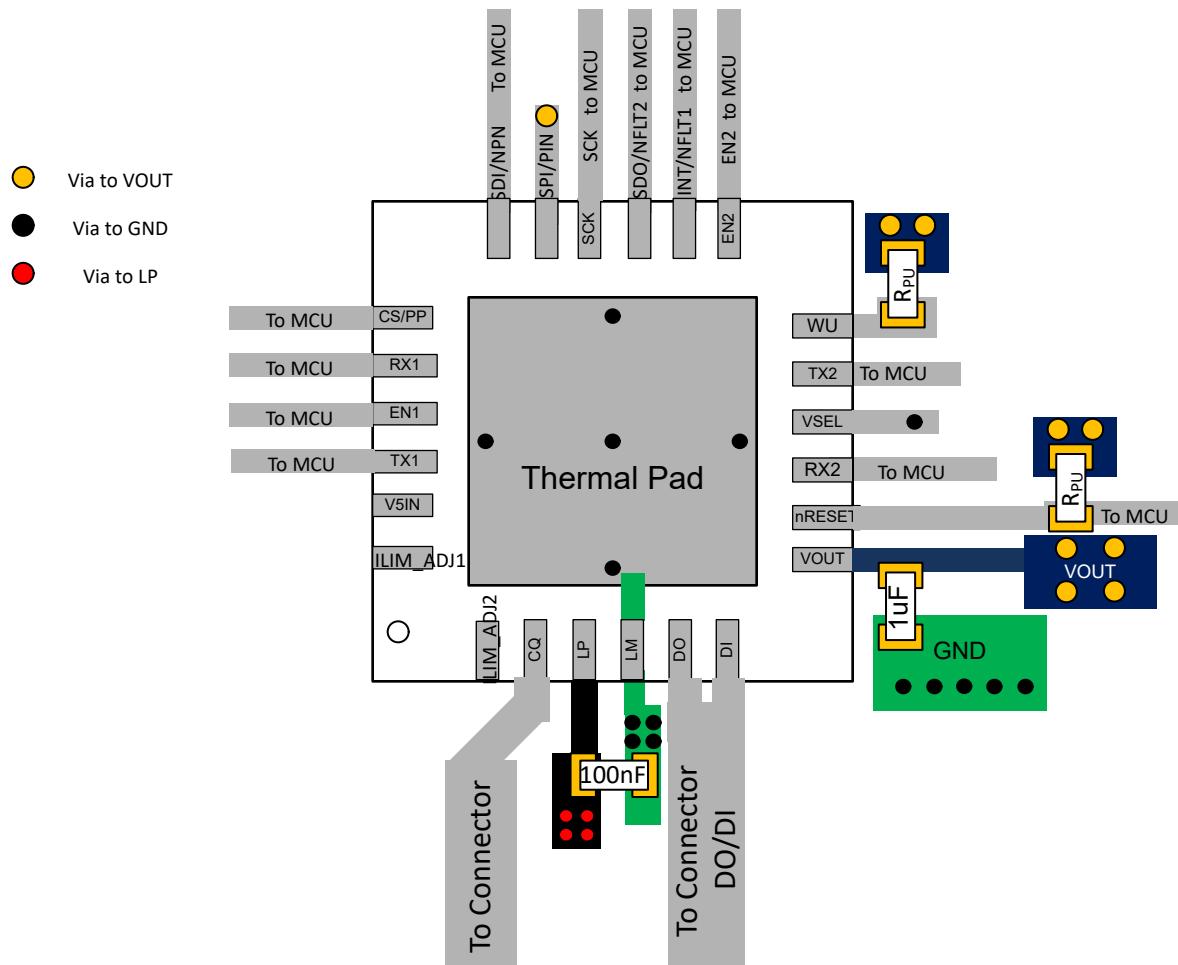


図9-8. QFNレイアウト例(SPIモード)

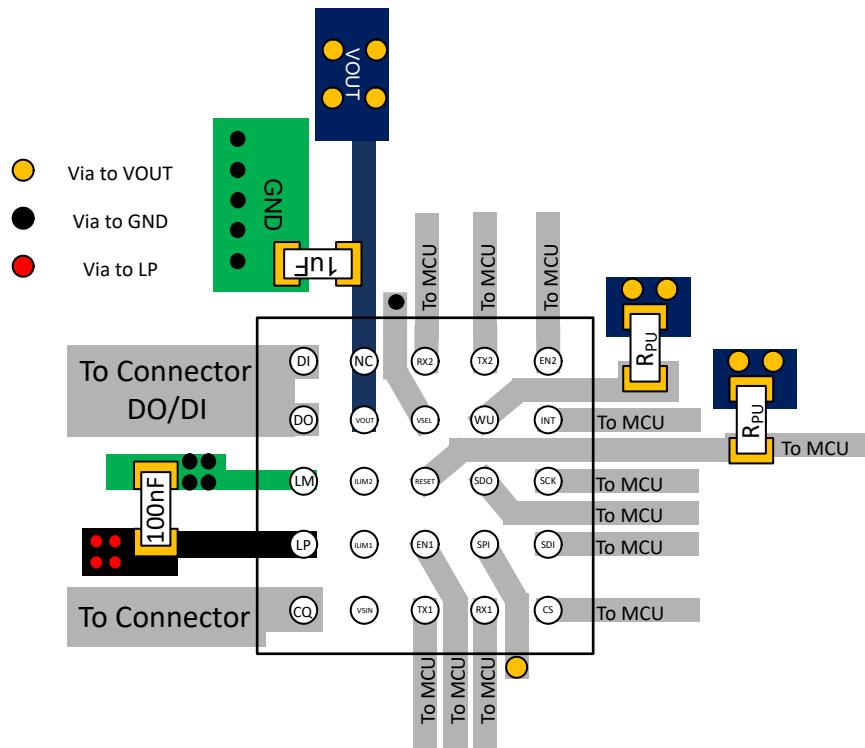


図 9-9. DSBGA レイアウト例 (SPI モード)

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

- テキサス・インスツルメンツ、『[TIOL221 評価基板 ユーザー ガイド](#)』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の【アラートを受け取る】をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2025) to Revision C (December 2025)	Page
・ より長い IO リンク ケーブル長のサポートに関する注を追加.....	1
・ 全体を通して YAH パッケージの熱評価基準を追加.....	5
・ 静止消費電流とドライバの伝搬遅延の仕様を規定するための更新を追加.....	5

Changes from Revision A (December 2024) to Revision B (October 2025)	Page
・ YAH (DSBGA) パッケージのピン番号を更新.....	3
・ 「 関連資料 」および「 ドキュメントのサポート 」セクションを追加.....	47

Changes from Revision * (September 2024) to Revision A (December 2024)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

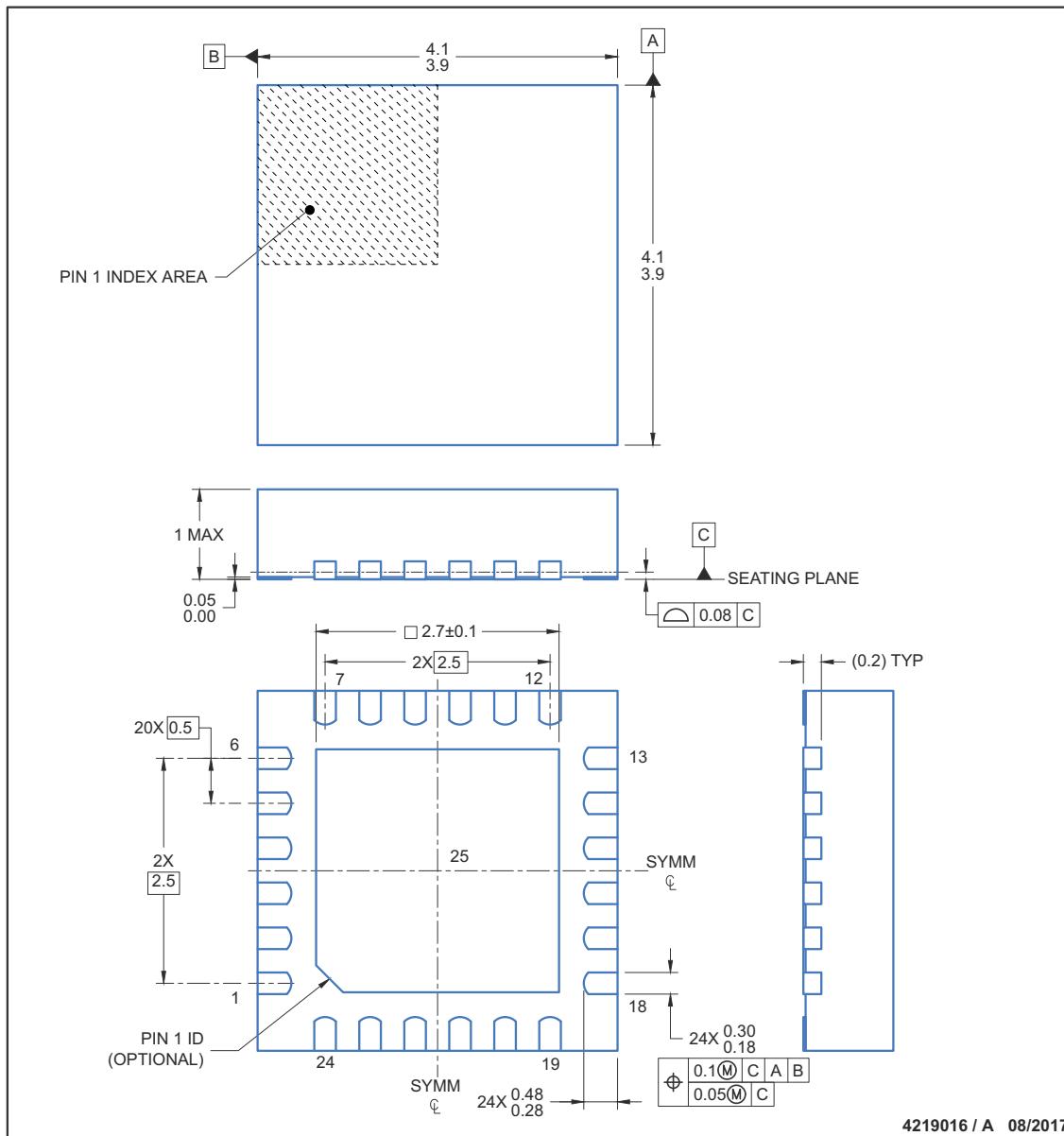
12.1 メカニカルデータ

RGE0024H

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



NOTES:

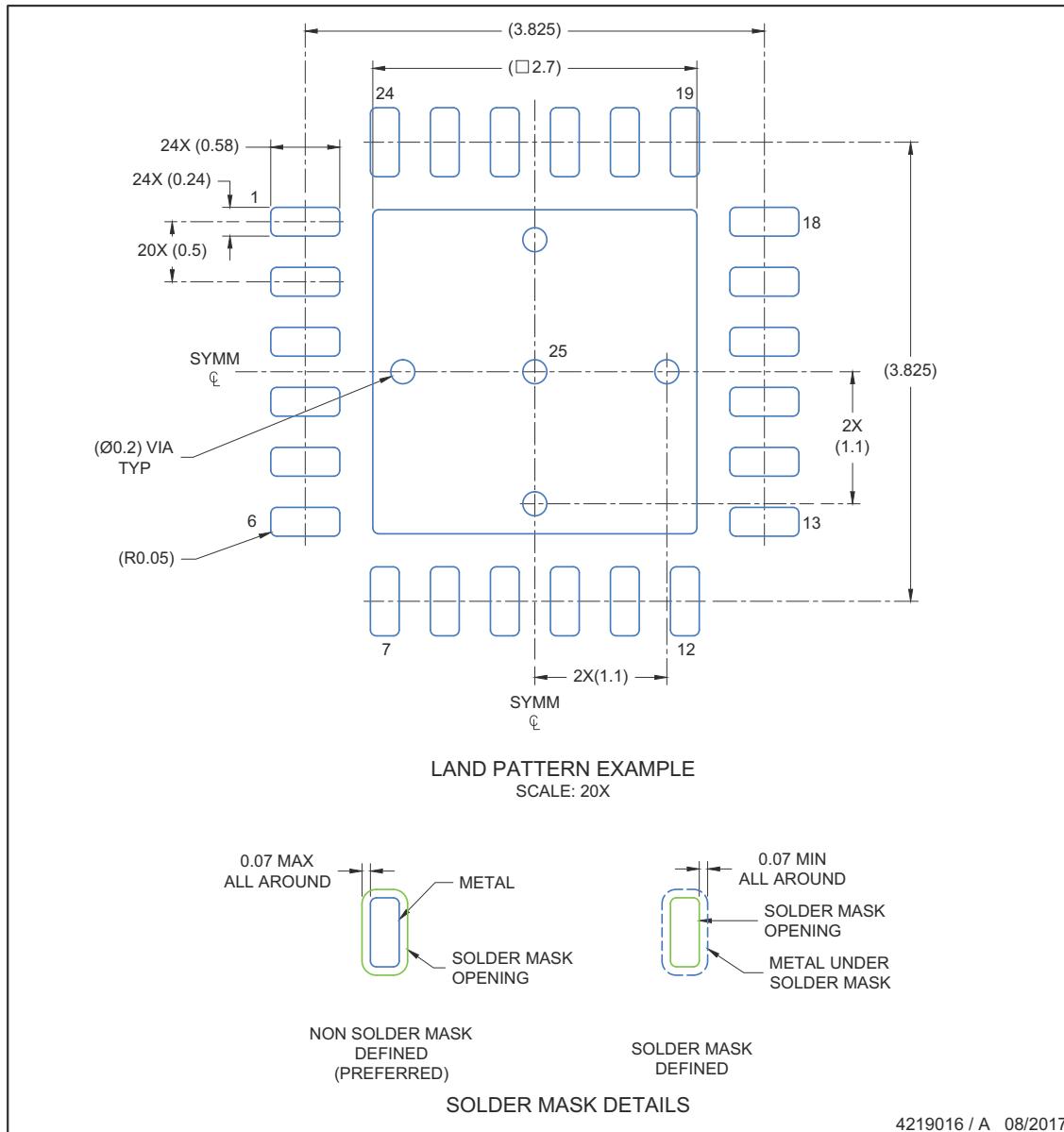
1. All linear dimensions are in millimeters. Any dimensions in parentheses are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024H

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



NOTES: (continued)

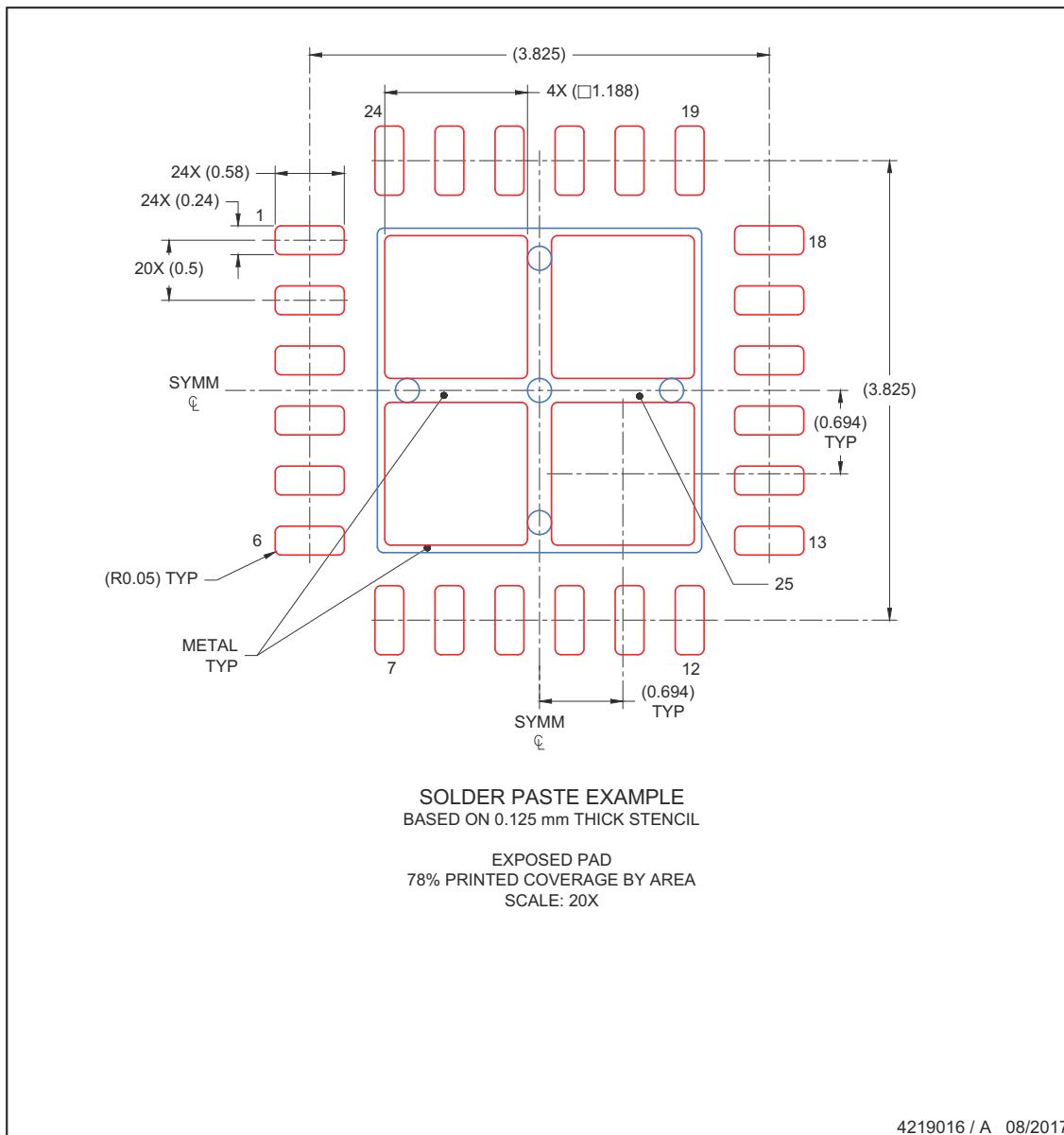
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary on board fabrication site.

EXAMPLE STENCIL DESIGN

RGE0024H

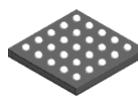
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD

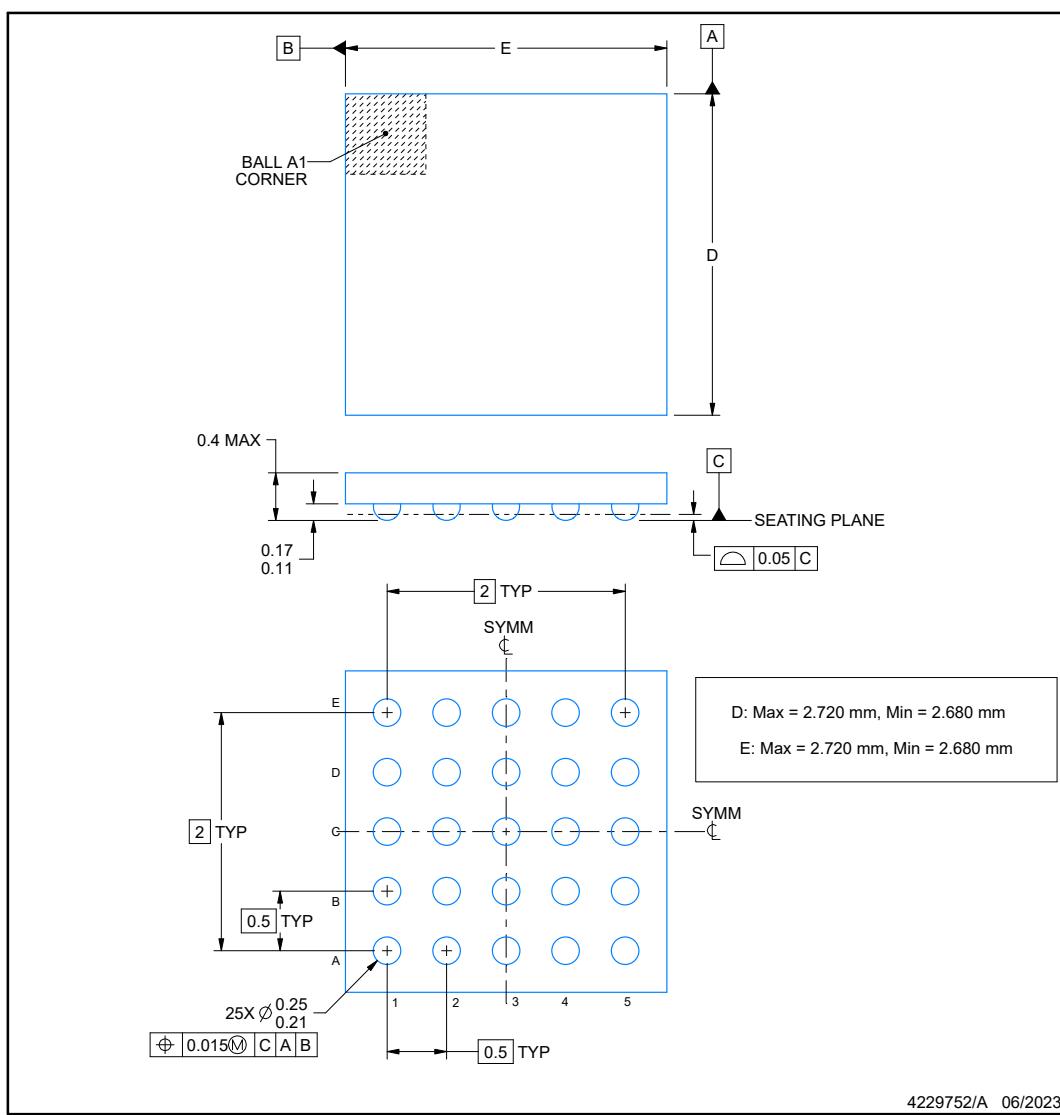


NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

YAH0025-C01**PACKAGE OUTLINE****DSBGA - 0.4 mm max height**

DIE SIZE BALL GRID ARRAY



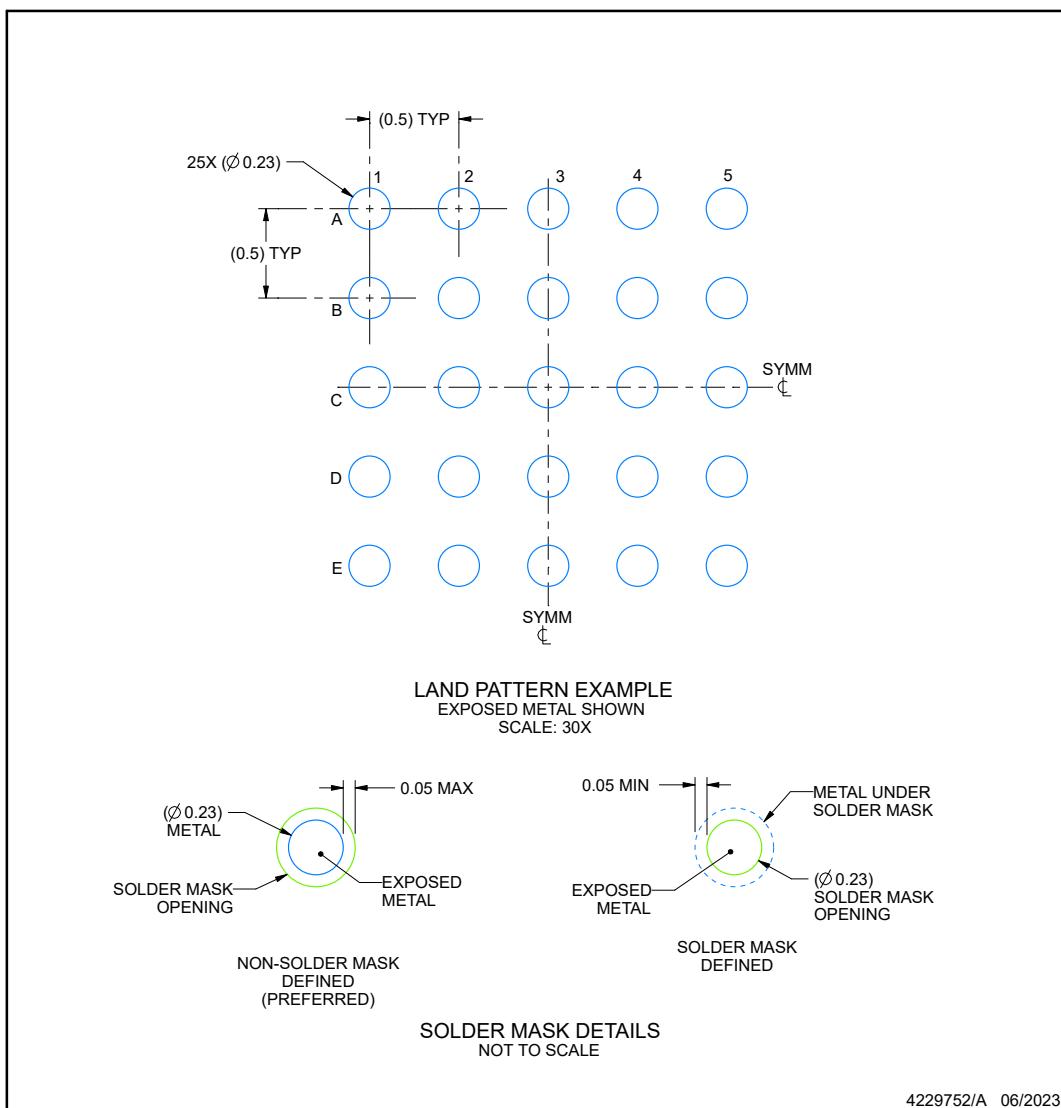
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT
YAH0025-C01

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

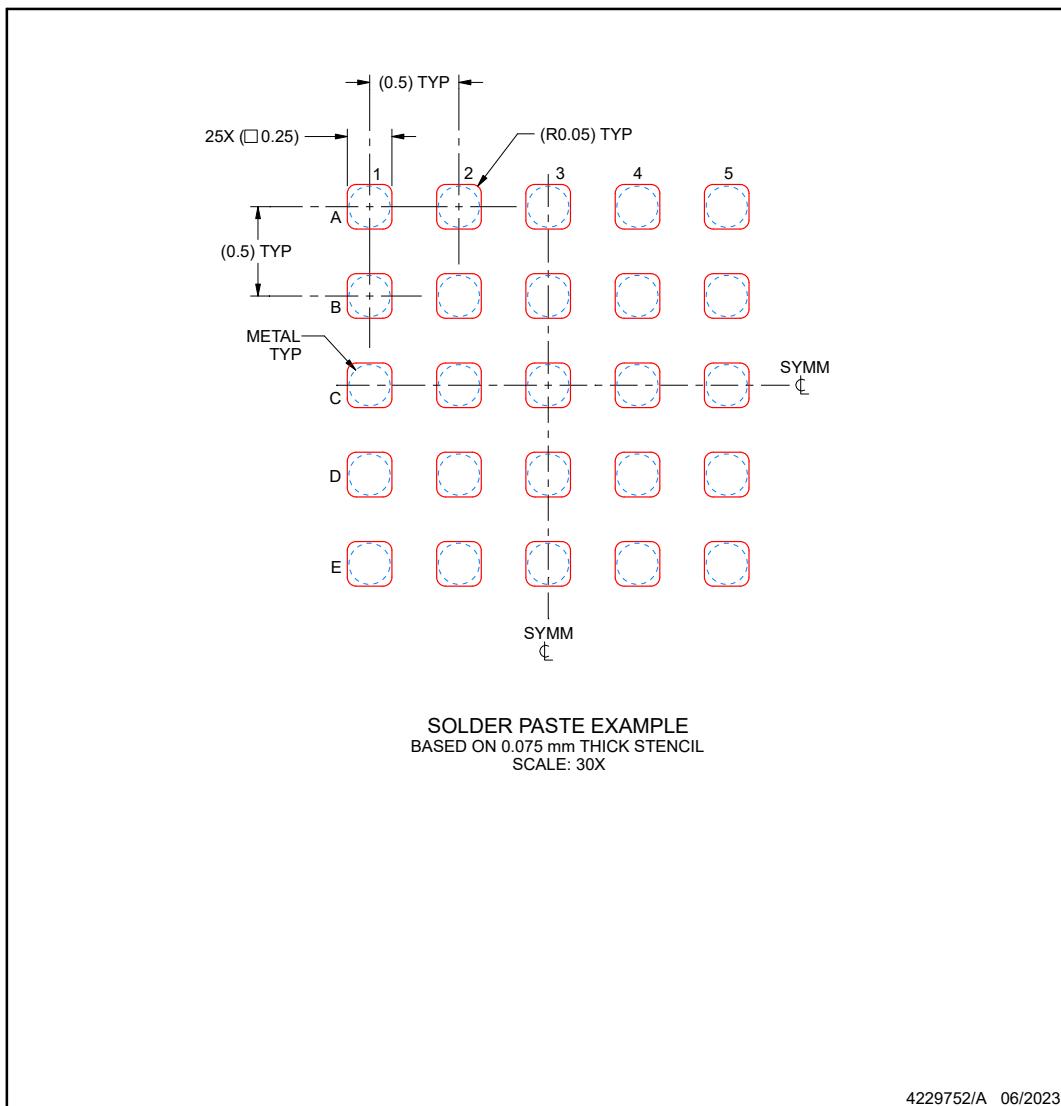
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YAH0025-C01

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TIOL221RGER	Active	Production	VQFN (RGE) 24	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TIOL 221
TIOL221RGER.A	Active	Production	VQFN (RGE) 24	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TIOL 221
TIOL221YAH	Active	Production	DSBGA (YAH) 25	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	TL221

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

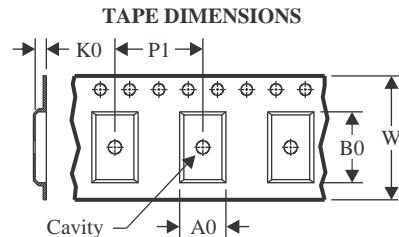
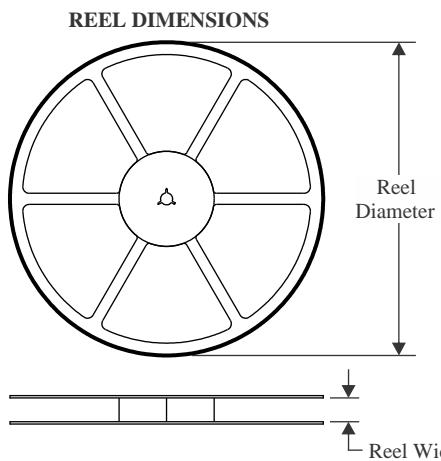
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

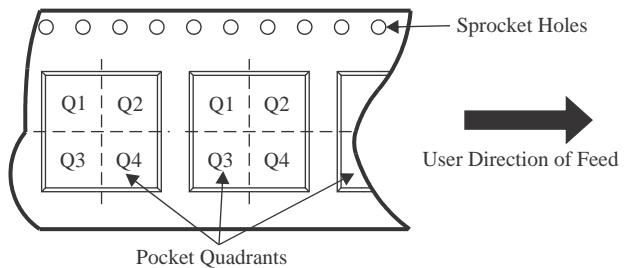
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

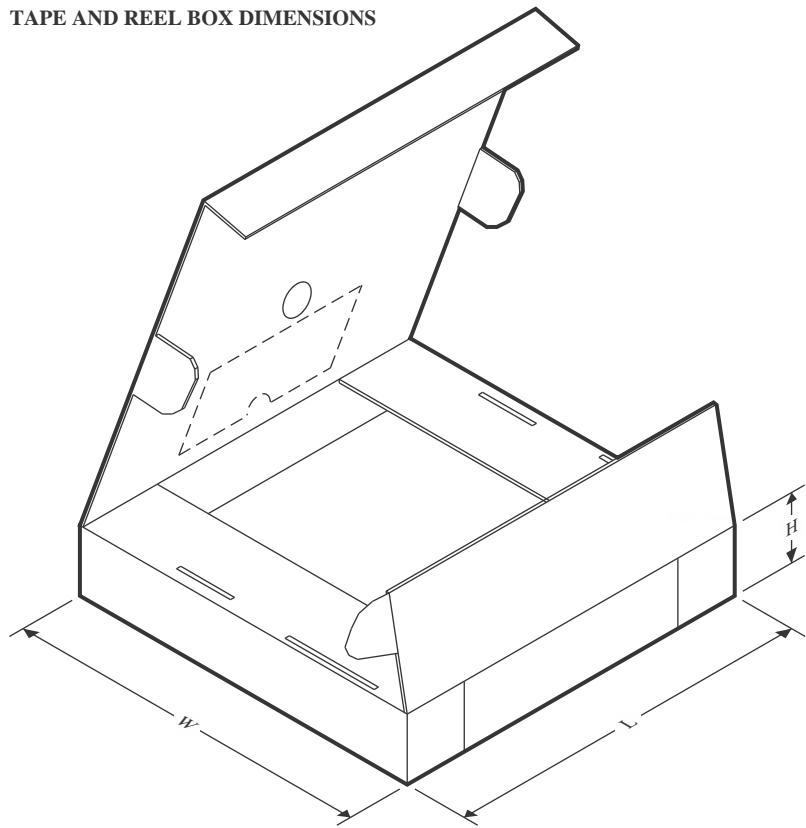
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TIOL221RGER	VQFN	RGE	24	5000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TIOL221YAH	DSBGA	YAH	25	3000	180.0	8.4	2.82	2.82	0.81	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TIOL221RGER	VQFN	RGE	24	5000	367.0	367.0	35.0
TIOL221YAH	DSBGA	YAH	25	3000	182.0	182.0	20.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月