

TCAN844-Q1 車載用、フォルト保護機能搭載、スタンバイモード付き CAN FD トランシーバ

1 特長

- 車載アプリケーション向けに AEC-Q100 認定済み
 - 人体モデル (HBM) ESD 保護: AEC Q100-002 準拠、CANH および CANL ピンで $\pm 12\text{kV}$
 - デバイス帯電モデル (CDM) ESD 保護: AEC Q100-011 準拠、 $\pm 500\text{V}$
 - IEC 61000-4-2 接触放電: $\pm 8\text{kV}$ (電源供給なし)
- ISO 11898-2:2024 の物理層規格に適合
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- Classical CAN のサポートと最適化された CAN FD 性能 (2Mbps と 5Mbps)
 - 短く対称的な伝搬遅延時間によりタイミング マージンを強化
- TCAN844V-Q1 の I/O 電圧範囲: $2.9\text{V} \sim 5.25\text{V}$
- 12V バッテリー アプリケーションをサポート
- レシーバの同相入力電圧: $\pm 12\text{V}$
- 保護機能:
 - バスフォルト保護: $\pm 40\text{V}$
 - 低電圧保護
 - TXD ドミナント タイムアウト (DTO)
 - サーマル シャットダウン保護 (TSD)
- 動作モード:
 - 通常モード
 - リモート ウェイクアップ要求をサポートする、低消費電力スタンバイモード
- 電源非接続時の最適化された挙動
 - バスおよびロジックピンは高インピーダンス (動作中のバス、アプリケーションに対して無負荷)
 - ホットプラグ対応: 電源オン / オフ時のバスおよび RXD 出力のグリッチフリー動作
- 8 ピン SOIC、小型フットプリント SOT-23、自動光学検査 (AOI) に適したリードレス VSON-8 パッケージ

2 アプリケーション

- 自動車および輸送システム
 - 車体制御モジュール
 - 車載ゲートウェイ
 - 先進運転支援システム (ADAS)
 - インフォテインメント

3 説明

TCAN844-Q1 は高速 CAN (Controller Area Network) トランシーバであり、ISO 11898-2:2024 高速 CAN 仕様の物理層要件に適合しています。

本デバイスは V_{IO} ピンによる内部ロジックレベル変換機能を備えているため、トランシーバの I/O を 3.3V または、 5V のロジックレベルに直接接続できます。このトランシーバは、低消費電力スタンバイモードと、ISO 11898-2:2024 に規定されたウェイクアップパターン (WUP) に適合した「CAN によるウェイク」をサポートしています。

このトランシーバは、サーマル シャットダウン (TSD)、TXD ドミナント タイムアウト (DTO)、電源低電圧検出、 $\pm 40\text{V}$ バスフォルト保護も備えています。これらのデバイスには、電源電圧低下またはフローティングピン発生時のフェイルセーフ動作が定義されています。これらのトランシーバは、業界標準の SOIC-8 および VSON-8 パッケージで供給されるだけでなく、省スペースの小型 SOT-23 パッケージオプションもあります。

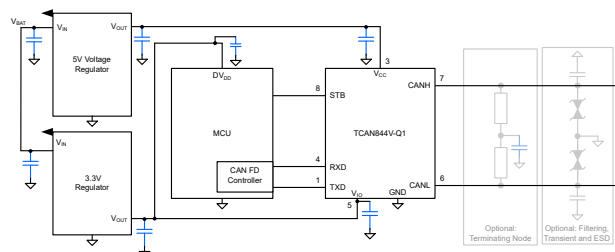
パッケージ情報

部品番号	パッケージ (1)	パッケージサイズ (2)
TCAN844-Q1	SOIC (D)	4.9mm × 6mm
	VSON (DRB)	3mm × 3mm
	SOT-23 (DDF)	2.9mm × 2.8mm

- (1) 詳細については、を参照してください。セクション 11
 (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

デバイス比較表

部品番号	ピン 5 で低電圧 I/O ロジックをサポート	ピン 8 のモード選択
TCAN844-Q1	なし	リモート ウェイクアップ
TCAN844V-Q1	あり	機能付き低消費電力スタンバイモード



概略回路図



目次

1 特長.....	1	7.2 機能ブロック図.....	14
2 アプリケーション.....	1	7.3 機能説明.....	14
3 説明.....	1	7.4 デバイスの機能モード.....	19
4 ピン構成および機能.....	3	8 アプリケーション情報に関する免責事項.....	22
5 仕様.....	4	8.1 使用上の注意.....	22
5.1 絶対最大定格.....	4	8.2 代表的なアプリケーション.....	22
5.2 ESD 定格.....	4	8.3 システム例.....	24
5.3 ESD 定格、IEC 仕様.....	4	8.4 電源に関する推奨事項.....	25
5.4 推奨動作条件.....	4	8.5 レイアウト.....	25
5.5 熱特性.....	4	9 デバイスおよびドキュメントのサポート.....	27
5.6 電源特性.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	27
5.7 損失定格.....	5	9.2 サポート・リソース.....	27
5.8 電気的特性.....	6	9.3 商標.....	27
5.9 スイッチング特性.....	7	9.4 静電気放電に関する注意事項.....	27
5.10 代表的特性.....	9	9.5 用語集.....	27
6 パラメータ測定情報.....	10	10 改訂履歴.....	27
7 詳細説明.....	13	11 メカニカル、パッケージ、および注文情報.....	28
7.1 概要.....	13		

4 ピン構成および機能

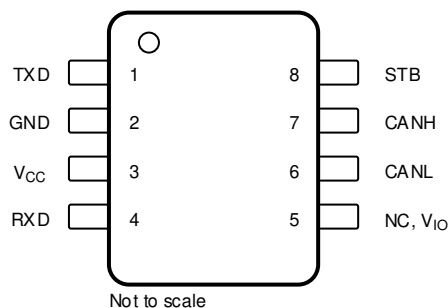


図 4-1. DDF パッケージ、8 ピン SOT
(上面図)

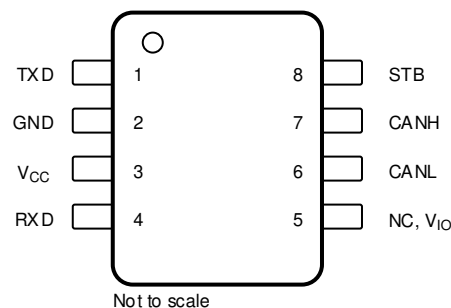


図 4-2. D パッケージ、8 ピン SOIC
(上面図)

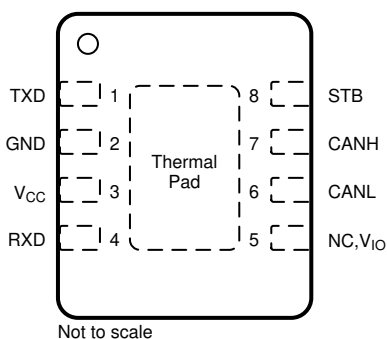


図 4-3. DRB パッケージ、8 ピン VSON
(上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
TXD	1	デジタル入力	CAN 送信データ入力、内蔵プルアップ
GND	2	GND	グラント接続
V _{CC}	3	電源	5V の電源電圧
RXD	4	デジタル出力	CAN 受信データ出力、デバイスの電源オフ時はトライステート
NC	5	—	内部接続なし。V _{IO} のないデバイス
V _{IO}		電源	接尾辞「V」のあるデバイスの I/O 電源電圧
CANL	6	バス IO	Low レベル CAN バス入出力ライン
CANH	7	バス IO	High レベル CAN バス入出力ライン
STB	8	デジタル入力	モード制御用スタンバイ入力、内蔵プルアップ
サーマルパッド (VSON のみ)		—	このサーマル パッドを複数のビアを介して内部の任意の PCB グランド プレーンに接続することで、放熱性能を向上できます。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V _{CC}	電源電圧	-0.3	6	V
V _{IO}	電源電圧 I/O レベル シフト	-0.3	6	V
V _{BUS}	CAN バス I/O 電圧 (CANH, CANL)	-40	40	V
V _{DIFF}	CANH と CANL 間の最大差動電圧範囲	-40	40	V
V _{Logic_Input}	ロジック入力端子電圧	-0.3	6	V
V _{RXD}	RXD 出力端子の電圧範囲	-0.3	6	V
I _{O(RXD)}	RXD 出力電流	-8	8	mA
T _J	動作接合部温度範囲	-40	165	°C
T _{STG}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、グランド端子を基準にしています。

5.2 ESD 定格

			値	単位
V _{ESD}	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	すべてのピンの HBM 分類レベル 3A	±4000 V
			グローバル ピン CANH および CANL の HBM 分類レベル 3B	±12000 V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠 分類レベル C4B	角のピン	±750 V
			その他のすべてのピン	±500 V

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 ESD 定格、IEC 仕様

			値	単位
V _{ESD}	システムレベルの静電気放電 (ESD)	CAN バス端子 (CANH CANL) から GND へ	IEC 61000-4-2: 電力供給接触放電	±8000 V

5.4 推奨動作条件

		最小値	公称値	最大値	単位
V _{CC}	電源電圧	4.75	5	5.25	V
V _{IO}	電源電圧 I/O レベル シフト	2.9		5.25	V
I _{OH(RXD)}	RXD 端子の High レベル出力電流	-2			mA
I _{OL(RXD)}	RXD 端子の Low レベル出力電流			2	mA
T _J	自由気流での動作温度 (熱特性表を参照)	-40		150	°C

5.5 熱特性

熱評価基準		TCAN844(V)-Q1			単位
		D (SOIC)	DRB (VSON)	DDF (SOT23)	
R _{θJA}	接合部から周囲への熱抵抗	130.1	67.7	180.5	°C/W

5.5 熱特性 (続き)

熱評価基準		TCAN844(V)-Q1			単位
		D (SOIC)	DRB (VSON)	DDF (SOT23)	
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	72.3	77.2	94.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	79.5	40.3	93.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	21.1	6.8	8.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	78.5	40.1	93.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	–	23.7	–	°C/W

5.6 電源特性

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{CC}	通常モードでの消費電流	ドミナント	TXD = 0V, $R_L = 60\Omega$, $C_L = \text{open}$		44	70	mA
	通常モードでの消費電流	ドミナント	TXD = 0V, $R_L = 50\Omega$, $C_L = \text{open}$		48	80	mA
	通常モードでの消費電流	バス障害が発生した場合でもドミナントです	TXD = 0V, CANH = CANL = $\pm 25\text{V}$, $R_L = \text{open}$, $C_L = \text{open}$			130	mA
	通常モードでの消費電流	リセッショ	TXD = V_{CC} , $R_L = 50\Omega$, $C_L = \text{開放}$, $R_{CM} = \text{開放}$		5.6	10	mA
	スタンバイ モードでの消費電流	TCAN844V	TXD = V_{IO} , $R_L = 50\Omega$, $C_L = \text{開放}$			5	μA
	スタンバイ モードでの消費電流	TCAN844	TXD = V_{CC} , $R_L = 50\Omega$, $C_L = \text{open}$			30	μA
I_{IO}	通常モードでの I/O 電源電流	ドミナント	RXD はフローティング、TXD = 0V		135	400	μA
	通常モードでの I/O 電源電流	リセッショ	RXD はフローティング、TXD = V_{IO}		28	150	μA
	スタンバイ モードでの I/O 電源電流		RXD はフローティング、TXD = V_{IO}		20	28	μA
UV_{VCC}	プロテクト モードでの V_{CC} の立ち上がり低電圧検出				4.2	4.6	V
UV_{VCC}	プロテクト モードでの V_{CC} の立ち下がり低電圧検出			3.5	4	4.5	V
UV_{VIO}	V_{IO} の立ち上がり低電圧検出				2.5	2.9	V
UV_{VIO}	V_{IO} の立ち下がり低電圧検出			2.1	2.4		V
T_{SDR}	サーマル シャットダウン温度、上昇			160		190	°C
T_{SDF}	サーマル シャットダウン温度、下降 (放出時)			150		180	°C
$T_{SD(HYS)}$	サーマル シャットダウン ヒステリシス				10		°C

5.7 損失定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	平均消費電力 通常モード	$V_{CC} = 5\text{V}$, $V_{IO} = 3.3\text{V}$, $T_J = 27^{\circ}\text{C}$, $R_L = 60\Omega$, $C_{L_RXD} = 15\text{pF}$ TXD 入力 = 250 kHz 50% デューティサイクルの 方形波		90		mW
		$V_{CC} = 5.25\text{V}$, $V_{IO} = 3.3\text{V}$, $T_J = 150^{\circ}\text{C}$, $R_L = 60\Omega$, $C_{L_RXD} = 15\text{pF}$ TXD 入力 = 2.5 MHz 50% デューティサイクルの 方形波		110		mW

5.8 電気的特性

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ドライバの電気的特性						
$V_{\text{CANH(D)}}$	バス出力電圧 (ドミナント) CANH	$V_{\text{TXD}} = 0\text{V}$, $R_L = 50\Omega \sim 65\Omega$, $C_L = \text{開放}$, $R_{\text{CM}} = \text{開放}$	2.75		4.5	V
$V_{\text{CANL(D)}}$	バス出力電圧 (ドミナント) CANL	$V_{\text{TXD}} = 0\text{V}$, $R_L = 50\Omega \sim 65\Omega$, $C_L = \text{開放}$, $R_{\text{CM}} = \text{開放}$	0.5		2.25	V
$V_{\text{CANH(R)}}$ $V_{\text{CANL(R)}}$	バス出力電圧 (リセッパ)	$V_{\text{TXD}} = V_{\text{CC}}$, $R_L = \text{開放 (無負荷)}$, $R_{\text{CM}} = \text{開放}$	2		3	V
V_{SYM}	ドライバ対称性 ($V_{\text{O(CANH)}} + V_{\text{O(CANL)}})/V_{\text{CC}}$	$\text{STB} = 0\text{V}$, $R_L = 60\Omega$, $C_{\text{SPLIT}} = 4.7\text{nF}$, $C_L = \text{開放}$, $R_{\text{CM}} = \text{開放}$, $\text{TXD} = 250\text{kHz}$, 1MHz , 2.5MHz	0.9		1.1	V/V
$V_{\text{SYM_DC}}$	DC 出力対称 ($V_{\text{CC}} - V_{\text{O(CANH)}} - V_{\text{O(CANL)}}$)	$R_L = 60\Omega$, $C_L = \text{開放}$	-400		400	mV
$V_{\text{DIFF(D)}}$	差動出力電圧通常 モードドミナント	$\text{TXD} = 0\text{V}$, $50\Omega \leq R_L \leq 65\Omega$, $C_L = \text{開放}$	1.5		3	V
		$\text{TXD} = 0\text{V}$, $45\Omega \leq R_L \leq 70\Omega$, $C_L = \text{開放}$	1.4		3.3	V
		$\text{TXD} = 0\text{V}$, $R_L = 2240\Omega$, $C_L = \text{open}$	1.5		5	V
$V_{\text{DIFF(R)}}$	差動出力電圧通常モード リセッパ	$\text{TXD} = V_{\text{CC}}$ または V_{IO} , $R_L = 60\Omega$, $C_L = \text{開放}$	-120		12	mV
		通常モード, $\text{TXD} = V_{\text{CC}}$ または V_{IO} , $R_L = \text{開放}$, $C_L = \text{開放}$	-50		50	mV
$V_{\text{CANH(INACT)}}$	バスバイアスが非アクティブの場合の CANH のバス出力電圧	$V_{\text{TXD}} = V_{\text{CC}}$ または V_{IO} , $R_L = \text{開放}$, $C_L = \text{開放}$, $R_{\text{CM}} = \text{開放}$	-0.1		0.1	V
$V_{\text{CANL(INACT)}}$	バスバイアスが非アクティブの場合の CANL のバス出力電圧	$V_{\text{TXD}} = V_{\text{CC}}$ または V_{IO} , $R_L = \text{開放}$, $C_L = \text{開放}$, $R_{\text{CM}} = \text{開放}$	-0.1		0.1	V
$V_{\text{DIFF(INACT)}}$	バスバイアスが非アクティブのときの CANH-CANL (リセッパ) のバス出力電圧	$V_{\text{TXD}} = V_{\text{CC}}$ または V_{IO} , $R_L = \text{開放}$, $C_L = \text{開放}$, $R_{\text{CM}} = \text{開放}$	-0.2		0.2	V
$I_{\text{CANH(OS)}}$	短絡時の定常状態出力電流、ドミナント	$-3.0\text{V} \leq V_{\text{CANH}} \leq +18.0\text{V}$, $\text{CANL} = \text{開放}$, $V_{\text{TXD}} = 0\text{V}$	-115			mA
$I_{\text{CANL(OS)}}$		$-3.0\text{V} \leq V_{\text{CANL}} \leq +18.0\text{V}$, $\text{CANH} = \text{open}$, $V_{\text{TXD}} = 0\text{V}$			115	mA
$I_{\text{OS_REC}}$	短絡時の定常状態出力電流、リセッパ	$-40\text{V} \leq V_{\text{BUS}} \leq +40\text{V}$, $V_{\text{BUS}} = \text{CANH} = \text{CANL}$	-5		5	mA
レシーバの電気的特性						
$V_{\text{DIFF_RX(D)}}$	レシーバがドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ	$-12\text{V} \leq V_{\text{CANL}} \leq +12\text{V}$ $-12\text{V} \leq V_{\text{CANH}} \leq +12\text{V}$	0.9		8	V
$V_{\text{DIFF_RX(R)}}$	レシーバリセッパ状態の差動入力電圧範囲、バスバイアスがアクティブ	$-12\text{V} \leq V_{\text{CANL}} \leq +12\text{V}$ $-12\text{V} \leq V_{\text{CANH}} \leq +12\text{V}$	-3		0.5	V
V_{HYS}	入力スレッシュホールド、通常モードのヒステリシス電圧	$-12\text{V} \leq V_{\text{CM}} \leq +12\text{V}$		80		mV
$V_{\text{DIFF_RX(D_INACT)}}$	レシーバドミナント状態の差動入力電圧範囲、バスバイアスがアクティブ時	$-12\text{V} \leq V_{\text{CANL}} \leq +12\text{V}$ $-12\text{V} \leq V_{\text{CANH}} \leq +12\text{V}$	1.15		8	V
$V_{\text{DIFF_RX(R_INACT)}}$	レシーバリセッパ状態の差動入力電圧範囲、バスバイアスがアクティブ中	$-12\text{V} \leq V_{\text{CANL}} \leq +12\text{V}$ $-12\text{V} \leq V_{\text{CANH}} \leq +12\text{V}$	-3		0.4	V
V_{CM}	同相モード範囲:		-12		12	V
$I_{\text{LKG(IOFF)}}$	パワーオフ (電源オフ) バス入力リーク電流	$\text{CANH} = \text{CANL} = 5\text{V}$, $V_{\text{CC}} = V_{\text{IO}} = \text{GND}$			5	μA
C_{I} 電力供給時、通常モード	グラウンドに対する入力容量 (CANH または CANL)	$\text{TXD} = V_{\text{CC}}$, $V_{\text{IO}} = V_{\text{CC}}$			20	pF
C_{ID} 電力供給時、通常モード	差動入力容量	$\text{TXD} = V_{\text{CC}}$, $V_{\text{IO}} = V_{\text{CC}}$			10	pF

5.8 電気的特性 (続き)

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{DIFF}	リセッパ状態中の差動入力抵抗	$V_{\text{TXD}} = V_{\text{CC}}$ または V_{IO} 、通常モード: $-2.0\text{V} \leq V_{\text{CANH}} \leq +7.0\text{V}$ 、 $-2.0\text{V} \leq V_{\text{CANL}} \leq +7.0\text{V}$	18		90	k Ω
$R_{\text{SE_CANH}}$ $R_{\text{SE_CANL}}$	リセッパ状態でのシングルエンド入力抵抗	$-2\text{V} \leq V_{\text{CANH}} \leq +7\text{V}$ $-2\text{V} \leq V_{\text{CANL}} \leq +7\text{V}$	9		45	k Ω
m_R	入力抵抗マッチング: $[1 - (R_{\text{IN(CANH)}} / R_{\text{IN(CANL)}})] \times 100\%$	$V_{\text{CANH}} = V_{\text{CANL}} = 5\text{V}$	-2%		2%	
TXD 端子 (CAN 送信データ入力)						
V_{IH}	High レベル入力電圧	TCAN844-Q1	$0.7 \times V_{\text{CC}}$			V
V_{IH}	High レベル入力電圧	TCAN844V-Q1	$0.7 \times V_{\text{IO}}$			V
V_{IL}	Low レベル入力電圧	TCAN844-Q1			$0.3 \times V_{\text{CC}}$	V
V_{IL}	Low レベル入力電圧	TCAN844V-Q1			$0.3 \times V_{\text{IO}}$	V
I_{IH}	High レベル入力リーク電流	$\text{TXD} = V_{\text{CC}} = V_{\text{IO}} = 5.25\text{V}$	-2.5	0	1	μA
I_{IL}	Low レベル入力リーク電流	$\text{TXD} = 0\text{V}$, $V_{\text{CC}} = V_{\text{IO}} = 5.25\text{V}$	-200		-20	μA
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	$\text{TXD} = 5.25\text{V}$, $V_{\text{CC}} = V_{\text{IO}} = 0\text{V}$	-1	0	1	μA
C_i	入力容量	$V_{\text{IN}} = 0.4 \times \sin(2\pi \times 2 \times 10^6 \times t) + 2.5\text{V}$		2		pF
RXD 端子 (データ出力を受信可能)						
V_{OH}	High レベル入力電圧	$I_O = -2\text{mA}$, TCAN844-Q1	$0.8 \times V_{\text{CC}}$			V
V_{OH}	High レベル入力電圧	$I_O = -2\text{mA}$, TCAN844V-Q1	$0.8 \times V_{\text{IO}}$			V
V_{OL}	Low レベル入力電圧	$I_O = 2\text{mA}$, TCAN844-Q1			$0.2 \times V_{\text{CC}}$	V
V_{OL}	Low レベル入力電圧	$I_O = 2\text{mA}$, TCAN844V-Q1			$0.2 \times V_{\text{IO}}$	V
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	$\text{RXD} = 5.25\text{V}$, $V_{\text{CC}} = V_{\text{IO}} = 0\text{V}$	-1	0	1	μA
STB 端子						
V_{IH}	High レベル入力電圧	TCAN844-Q1	$0.7 \times V_{\text{CC}}$			V
V_{IH}	High レベル入力電圧	TCAN844V-Q1	$0.7 \times V_{\text{IO}}$			V
V_{IL}	Low レベル入力電圧	TCAN844-Q1			$0.3 \times V_{\text{CC}}$	V
V_{IL}	Low レベル入力電圧	TCAN844V-Q1			$0.3 \times V_{\text{IO}}$	V
I_{IH}	High レベル入力リーク電流 STB	$V_{\text{CC}} = V_{\text{IO}} = \text{STB} = 5.25\text{V}$	-2		2	μA
I_{IL}	Low レベル入力リーク電流 STB	$V_{\text{CC}} = V_{\text{IO}} = 5.25\text{V}$, $\text{STB} = 0\text{V}$	-20		-2	μA
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	$\text{STB} = 5.25\text{V}$, $V_{\text{CC}} = V_{\text{IO}} = 0\text{V}$	-1	0	1	μA

5.9 スイッチング特性

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デバイスのスイッチング特性						
$t_{\text{PROP(LOOP1)}}$	合計ループ遅延、ドライバ入力 (TXD) からレシーバ出力 (RXD) まで、リセッパからドミナントまで	通常モード、 $V_{\text{IO}} = 3\text{V} \sim 5\text{V}$, $R_L = 60\Omega$, $C_L = 100\text{pF}$, $C_{L_RXD} = 15\text{pF}$		100	220	ns
$t_{\text{PROP(LOOP2)}}$	合計ループ遅延、ドライバ入力 (TXD) からレシーバ出力 (RXD) まで、ドミナントからリセッパまで	通常モード、 $V_{\text{IO}} = 3\text{V} \sim 5\text{V}$, $R_L = 60\Omega$, $C_L = 100\text{pF}$, $C_{L_RXD} = 15\text{pF}$		110	220	ns
t_{MODE}	モード変更時間 (通常からスタンバイモードへ、またはスタンバイから通常モードへ)				45	μs
$t_{\text{WK_FILTER}}$	有効なウェークアップパターンのフィルタ時間		0.5		1.8	μs

5.9 スイッチング特性 (続き)

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{WK_TIMEOUT}	バスウェークアップタイムアウト値		0.8		6	ms
ドライバのスイッチング特性						
t _{pHR}	伝搬遅延時間、High TXD からドライバリセッシブまで (ドミナントからリセッシブ)	R _L = 60Ω、C _L = 100pF、R _{CM} = open		50		ns
t _{pLD}	伝搬遅延時間、Low TXD からドライバドミナントまで (リセッシブからドミナントまで)			45		ns
t _{sk(p)}	パルススキュー (t _{pHR} -t _{pLD})			4		ns
t _R	差動出力信号の立ち上がり時間			32		ns
t _F	差動出力信号の立ち下がり時間			27		ns
t _{TXD_DTO}	ドミナント タイムアウト	R _L = 60Ω、C _L = 100pF	0.8		6.5	ms
レシーバのスイッチング特性						
t _{pRH}	伝搬遅延時間、バスリセッシブ入力から High 出力 (ドミナントからリセッシブ)	C _{L_RXD} = 15pF		75		ns
t _{pDL}	伝搬遅延時間、バスドミナント入力から Low 出力 (リセッシブからドミナントまで)			70		ns
t _R	RXD 出力信号の立ち上がり時間			10		ns
t _F	RXD 出力信号の立ち下がり時間			10		ns
FD タイミング特性						
t _{ΔBit(Bus)}	送信されるリセッシブビット幅変化: t _{BIT(TXD)} = 500 ns	R _L = 60Ω、C _L = 100pF、C _{L_RXD} = 15pF t _{ΔBit(Bus)} = t _{BIT(Bus)} - t _{BIT(TXD)}	-65		30	ns
t _{ΔBit(Bus)}	送信されるリセッシブビット幅変化: t _{BIT(TXD)} = 200 ns	R _L = 60Ω、C _L = 100pF、C _{L_RXD} = 15pF t _{ΔBit(Bus)} = t _{BIT(Bus)} - t _{BIT(TXD)}	-45		10	ns
t _{ΔBit(RXD)}	受信されたリセッシブビット幅の変動:t _{BIT(TXD)} = 500 ns	R _L = 60Ω、C _L = 100pF、C _{L_RXD} = 15pF t _{ΔBit(RXD)} = t _{BIT(RXD)} - t _{BIT(TXD)}	-100		50	ns
t _{ΔBit(RXD)}	受信されたリセッシブビット幅の変動:t _{BIT(TXD)} = 200 ns	R _L = 60Ω、C _L = 100pF、C _{L_RXD} = 15pF t _{ΔBit(RXD)} = t _{BIT(RXD)} - t _{BIT(TXD)}	-80		20	ns
t _{ΔREC}	レシーバのタイミングの対称性、t _{BIT(TXD)} = 500 ns	R _L = 60Ω、C _L = 100pF、C _{L_RXD} = 15pF Δt _{REC} = t _{BIT(RXD)} - t _{BIT(BUS)}	-65		40	ns
t _{ΔREC}	レシーバのタイミングの対称性、t _{BIT(TXD)} = 200 ns		-45		15	ns

5.10 代表的特性

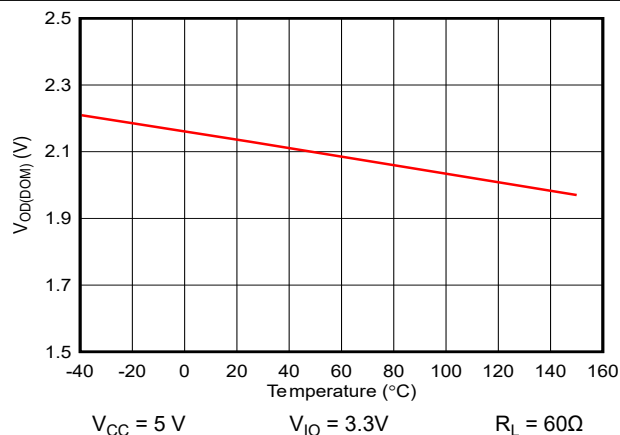


図 5-1. $V_{OD(DOM)}$ と温度との関係

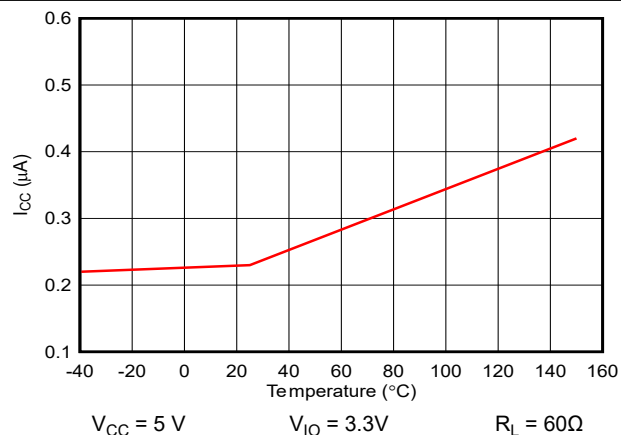


図 5-2. I_{CC} スタンバイと温度との関係

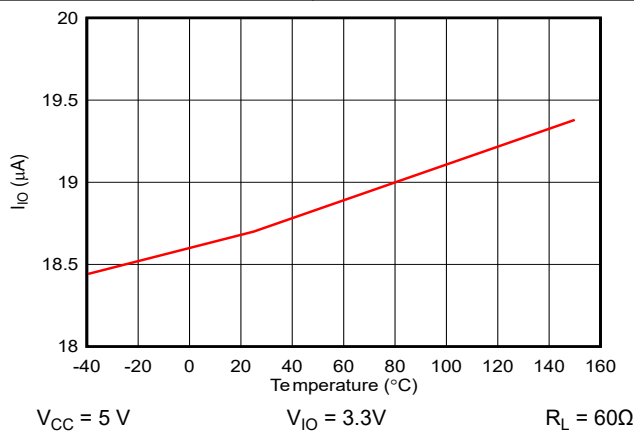


図 5-3. I_{IO} スタンバイと温度との関係

6 パラメータ測定情報

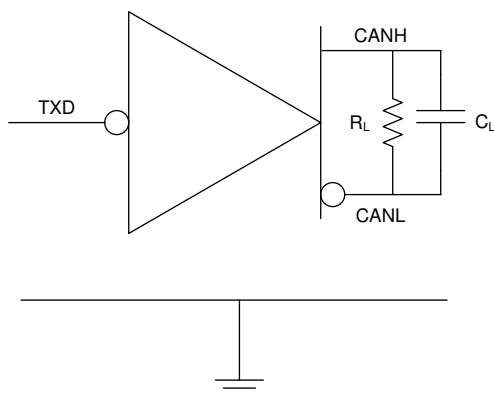


図 6-1. I_{CC} 測定回路

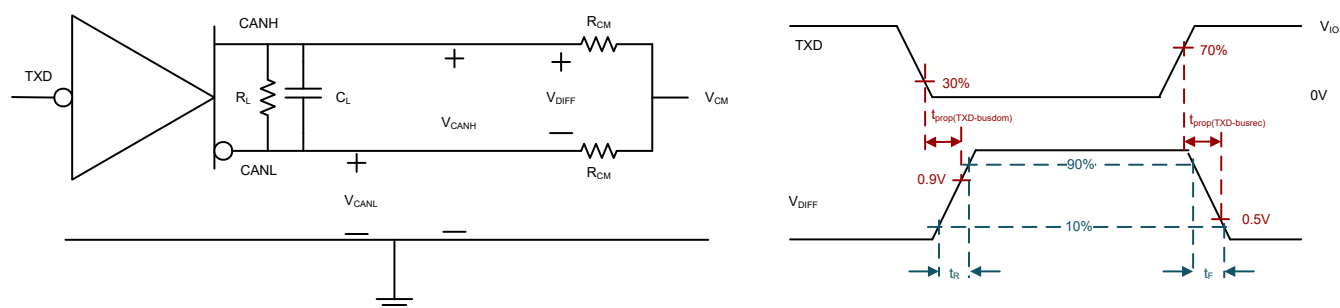


図 6-2. ドライバテスト回路と測定

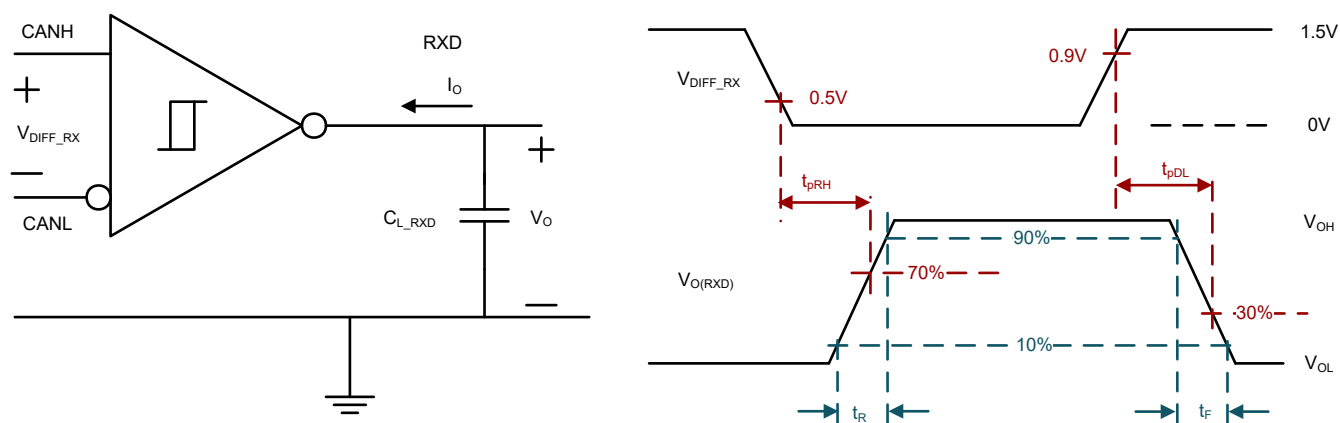


図 6-3. レシーバのテスト回路と測定

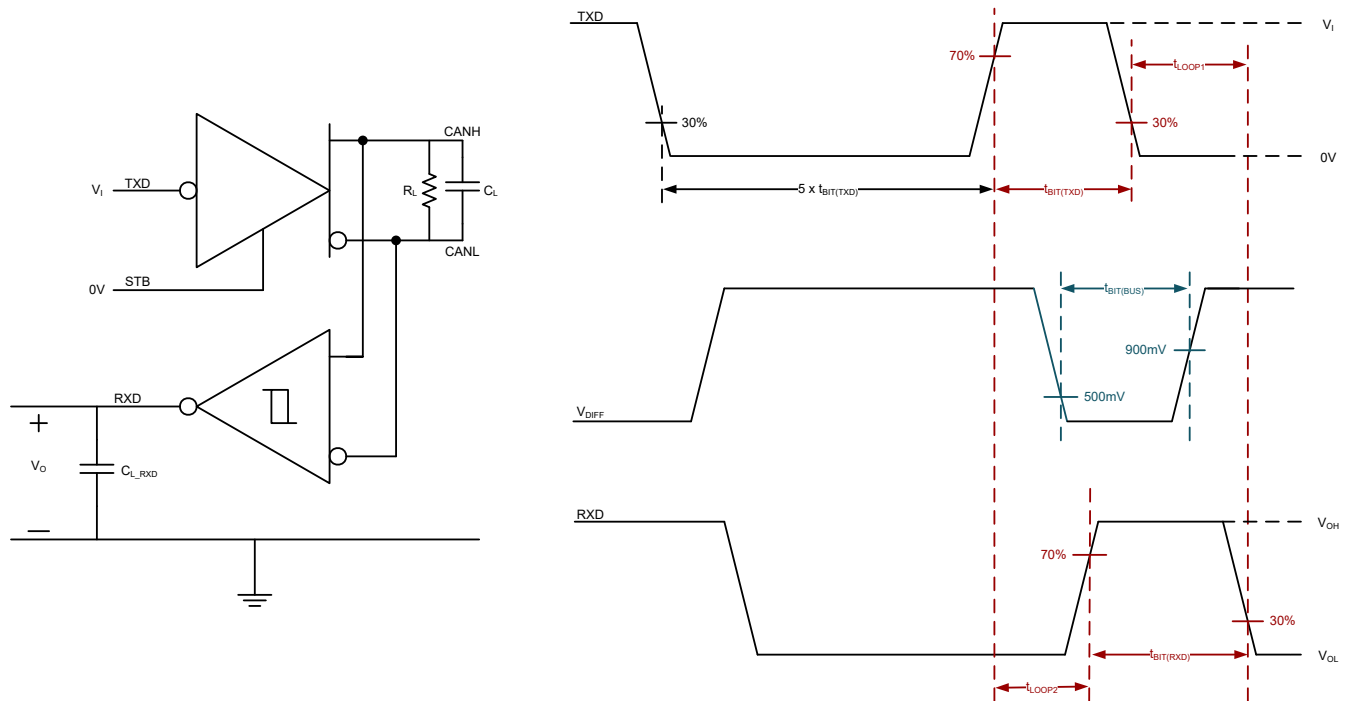


図 6-4. トランスミッタとレシーバのタイミング テスト回路と測定

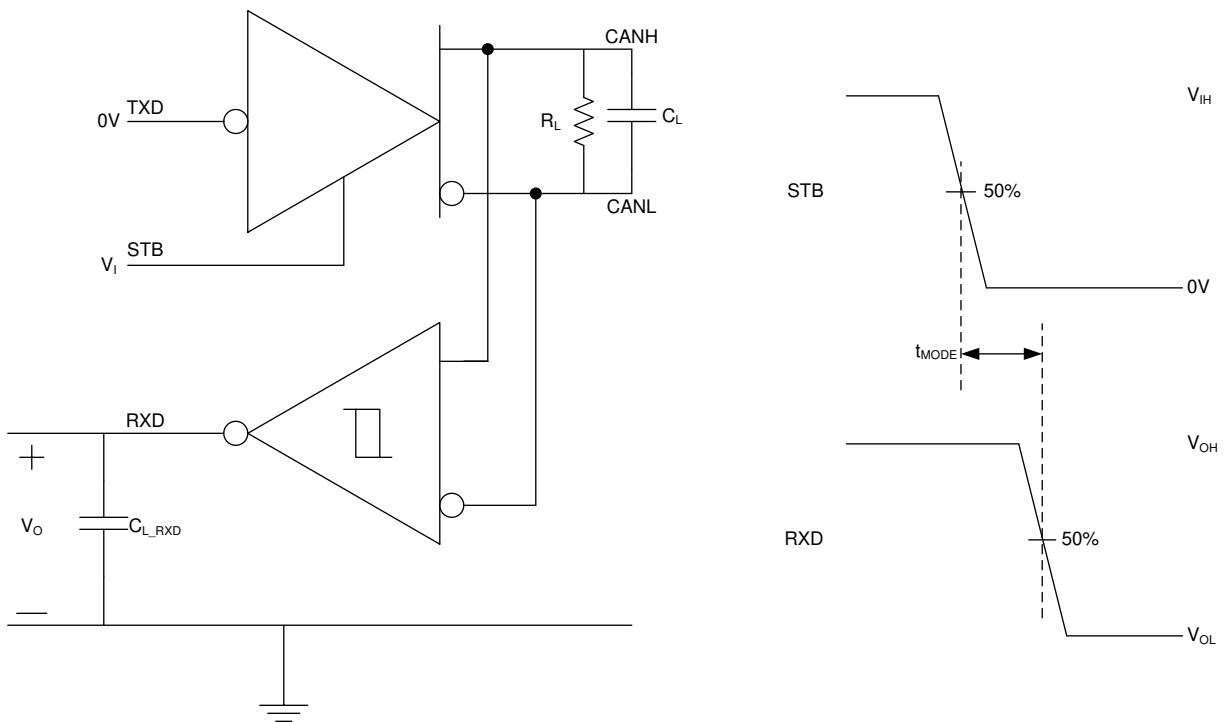


図 6-5. t_{MODET} テスト回路と測定

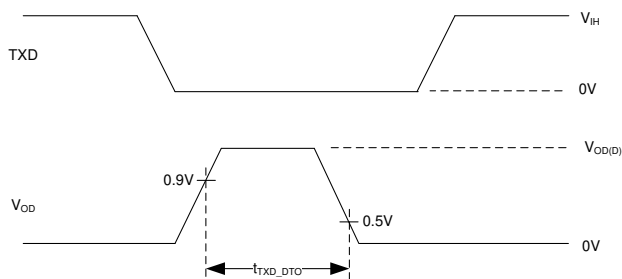
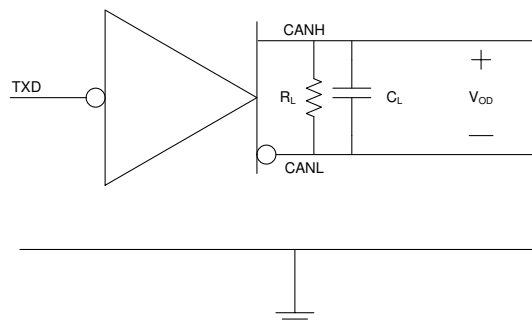


図 6-6. TXD ドミナントタイムアウトのテスト回路と測定

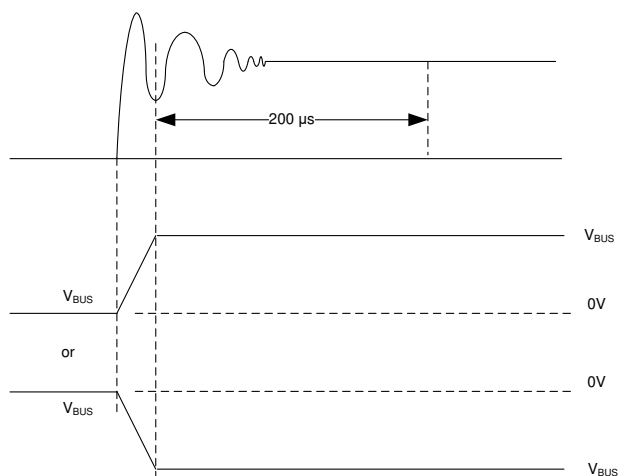
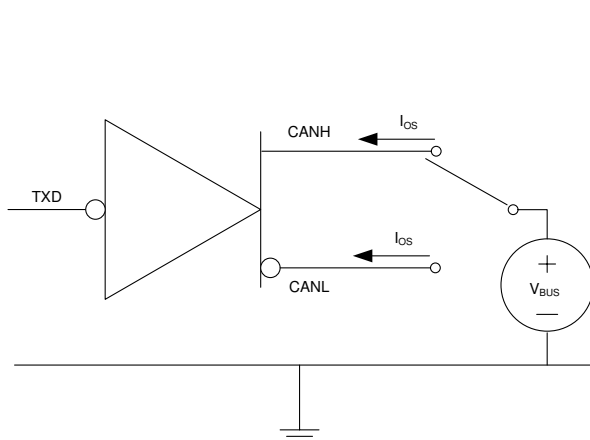


図 6-7. ドライバ短絡電流テスト回路と測定

7 詳細説明

7.1 概要

このデバイスは、ISO 11898-2:2024 高速 CAN (コントローラ エリア ネットワーク) 物理層規格の仕様に準拠しています。このトランシーバは、厳しい車載システム要件を満たすための各種保護機能を備えており、最高 5Mbps の CAN FD データレートもサポートします。

このデバイスは、以下の CAN および CAN FD 規格をサポートしています：

- 物理層の互換性：
 - ISO 11898-2:2024 高速メディア アクセス ユニット
 - SAE J2284-1:125kbps の車載用アプリケーション向けの高速 CAN (HSC)
 - SAE J2284-2:250kbps の車載用アプリケーション向けの高速 CAN (HSC)
 - SAE J2284-3:500kbps の車載用アプリケーション向けの高速 CAN (HSC)
 - SAE J2284-4:500kbps の車載用アプリケーション向けの高速 CAN (HSC) で、2Mbps の CAN FD データに対応
 - SAE J2284-5:500kbps の車載用アプリケーション向けの高速 CAN (HSC) で、5Mbps の CAN FD データに対応

7.2 機能ブロック図

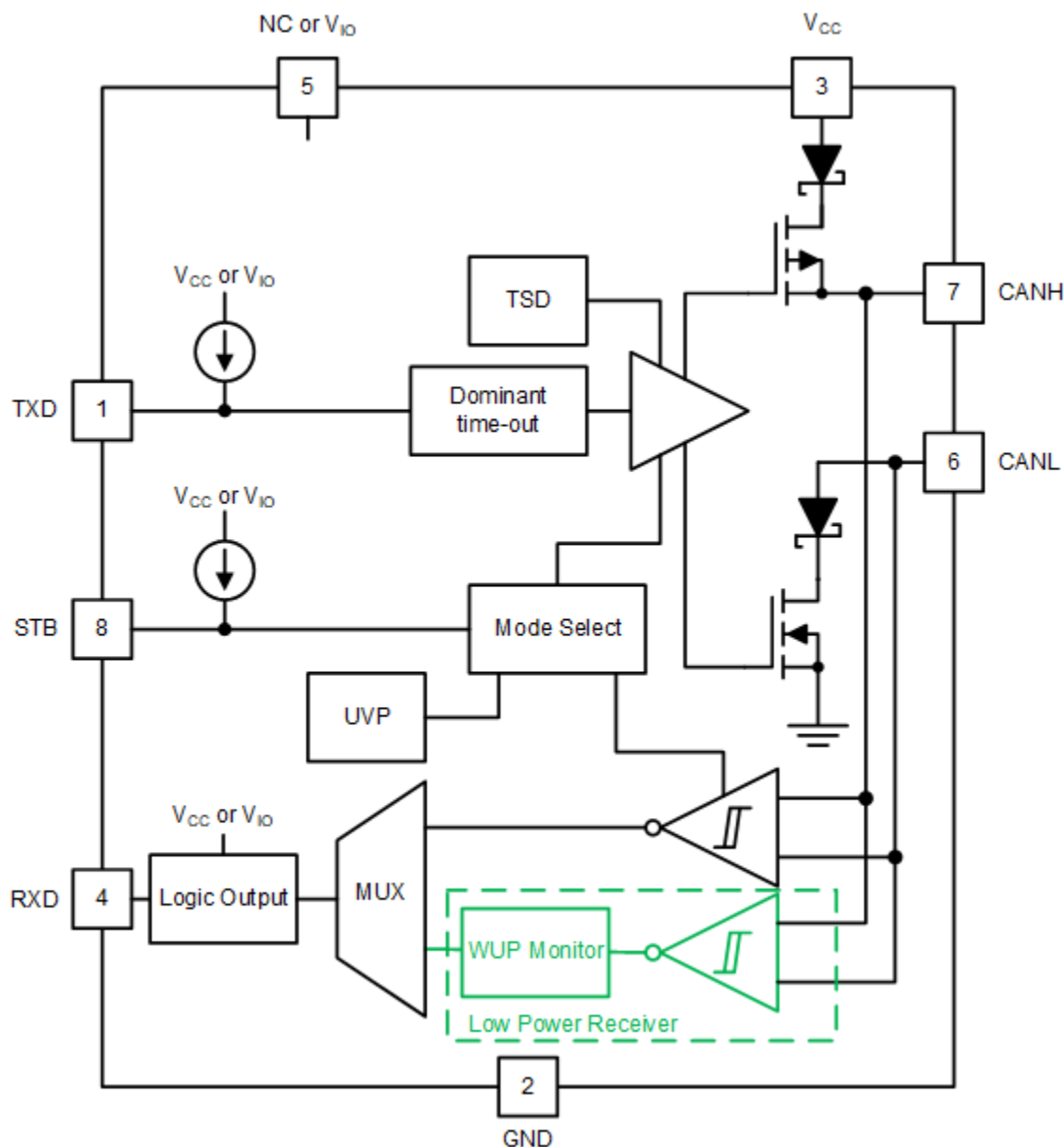


図 7-1. ブロック図

7.3 機能説明

7.3.1 ピン説明

7.3.1.1 TXD

TXD 入力、CAN コントローラからトランシーバへの V_{CC} または V_{IO} のいずれかを基準とするロジック レベル信号です。

7.3.1.2 GND

GND はトランシーバのグラント ピンです。このピンは、PCB グラントに接続する必要があります。

7.3.1.3 V_{CC}

V_{CC} は CAN トランシーバに 5V 電源を供給します。

7.3.1.4 RXD

RXD は、TCAN844-Q1 から CAN コントローラへの V_{CC} または V_{IO} のいずれかを基準とするロジックレベル信号です。このピンは、V_{IO} が存在した後にのみ駆動されます。

7.3.1.5 V_{IO}

V_{IO} ピンが CAN コントローラの電圧と一致するようなデジタル I/O 電圧を供給するため、レベル シフタが不要になります。V_{IO} ピンは 2.9V ~ 5.25V の電圧をサポートし、最も広いコントローラ範囲をサポートします。

7.3.1.6 CANH および CANL

CANH および CANL ピンは、CAN High と CAN Low の差動バスピンです。これらのピンは、CAN トランスミッタ、レシーバ、および低消費電力ウェークアップ レシーバに内部接続されています。

7.3.1.7 STB (スタンバイ)

STB ピンは、トランシーバのモード制御に使用される入力ピンです。STB ピンには、システム プロセッサから供給すること、静的なシステム電圧源から供給することもできます。通常モードが唯一の動作モードである場合は、STB ピンを GND に直接接続できます。

7.3.2 CAN バスの状態

CAN バスの動作時には、リセッスとドミナントの 2 つのロジック状態があります。[図 7-2](#) と [図 7-3](#) を参照してください。

ドミナント バス状態は、バスを差動で駆動する場合で、TXD ピンと RXD ピンは論理 LOW になります。リセッス バス状態は、バスがレシーバの高抵抗の内部入力抵抗 (R_{IN}) を介して V_{CC}/2 にバイアスされる場合で、TXD ピンと RXD ピンは論理 High になります。

アービトレーションの期間は、ドミナント状態がリセッス状態を上書きします。調停の際には、複数の CAN ノードが同時にドミナントビットを送信している可能性があり、この場合、バスの差動電圧は単ドライバの差動電圧よりも大きくなります。

TCAN844(V)-Q1 トランシーバには、低消費電力のスタンバイ (STB) モードが実装されており、バスのピンがレシーバの高抵抗の内部抵抗を介してグラウンドに弱くバイアスされる第 3 のバス状態が可能になります。[図 7-2](#) と [図 7-3](#) を参照してください。

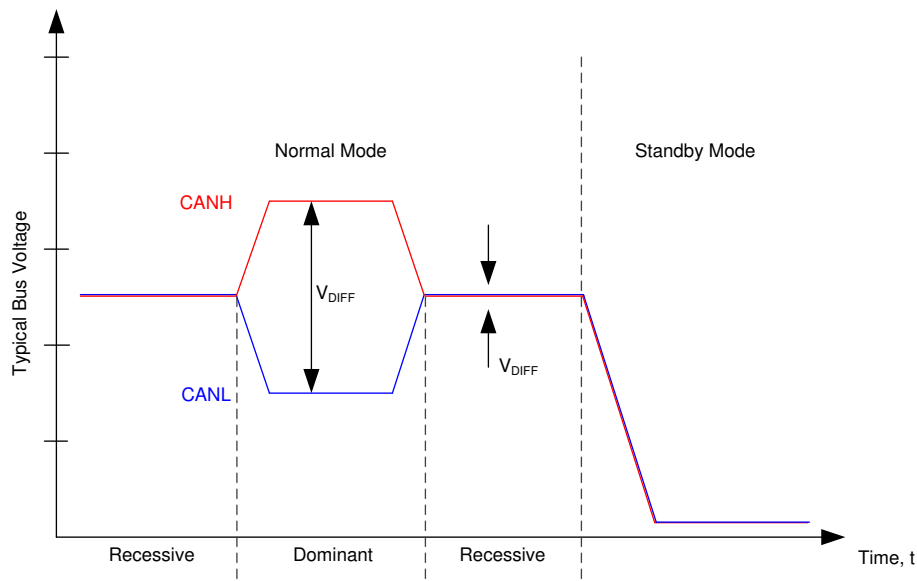
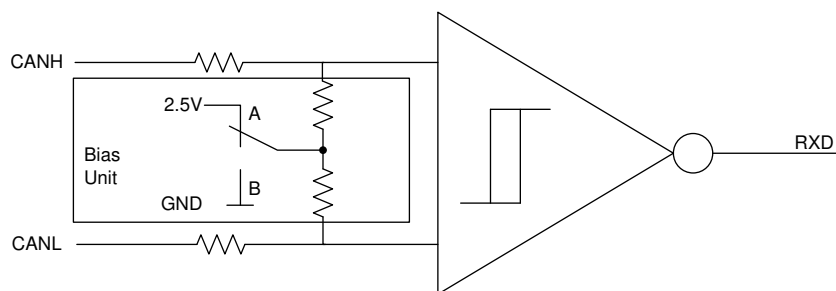


図 7-2. バスの状態



A - 通常モード、B - スタンバイ モード

図 7-3. 簡略化されたリセッсп同相バイアスユニットおよびレシーバ

7.3.3 TXD ドミナント タイムアウト (DTO)

CAN ドライバがアクティブな唯一のモードである通常モードでは、TXD DTO 回路は、TXD がタイムアウト期間 t_{TXD_DTO} よりも長くドミナントに保持されるハードウェアまたはソフトウェアの障害が発生した場合に、ローカル ノードがネットワーク通信をブロックすることを防ぎます。TXD DTO 回路は、TXD の立ち下がりエッジでトリガされます。回路のタイムアウト期間 t_{TXD_DTO} よりも前に立ち上がりエッジが確認されない場合、CAN ドライバはディセーブルになります。これにより、ネットワーク上の他のノード間の通信のためにバスが解放されます。TXD ピンにリセッсп信号が検出されると、CAN ドライバが再度アクティブになり、ドミナントタイムアウトがクリアされます。レシーバはアクティブに維持され、 $V_{CC}/2$ にバイアスされ、RXD 出力は TXD DTO フォルト中の CAN バスのアクティビティを反映します。

TXD DTO 回路で許容される最小ドミナント TXD タイムにより、デバイスの可能な最小送信データ レートが制限されます。CAN プロトコルでは、最悪の場合、(TXD 上で) 最大 11 個の連続したドミナントビットを許容しています。この場合、5 個の連続したドミナントビットの直後にエラー フレームが発生します。最小送信データ レートは 式 1 を使用して計算できます。

$$\text{Minimum Data Rate} = 11\text{bits} / t_{TXD_DTO} = 11\text{bits} / 0.8\text{ms} = 13.75\text{kbps} \quad (1)$$

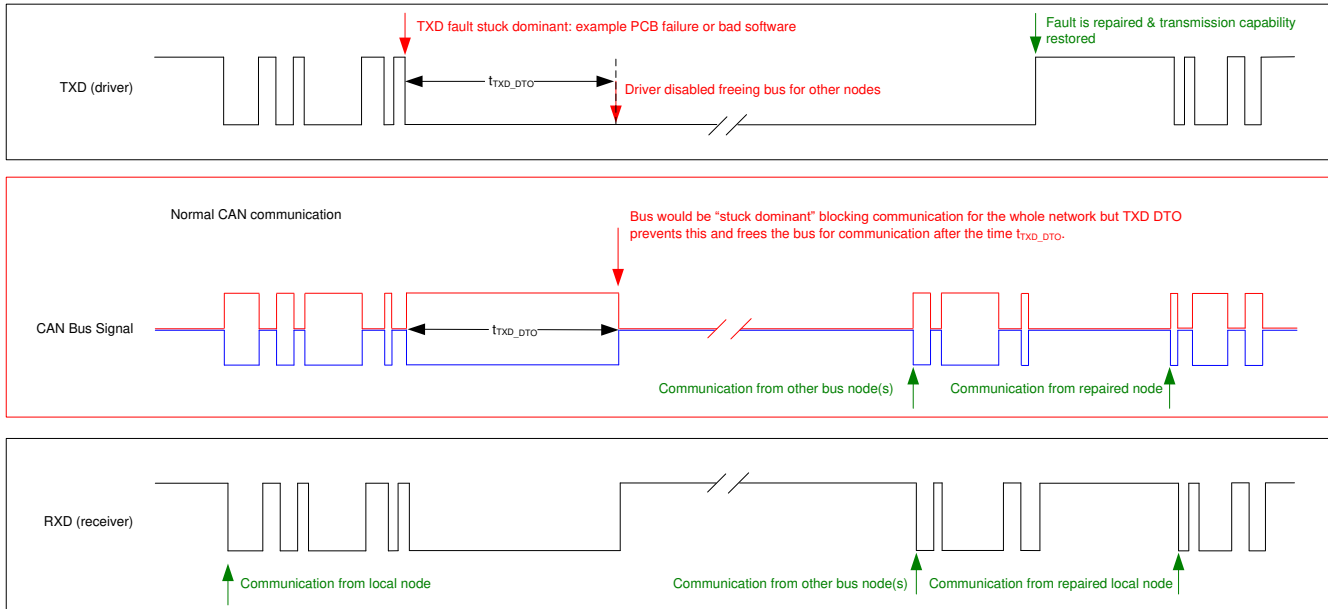


図 7-4. TXD ドミナントタイムアウトのタイミング図の例

7.3.4 CAN バスの短絡電流制限

TCAN844(V)-Q1 には、CAN バス ラインが短絡したときに短絡電流を制限するいくつかの保護機能があります。これには、ドミナントおよびリセシブ状態での CAN ドライバ電流制限、TXD ドミナント状態タイムアウトが含まれます。これにより、システム障害時にドミナント状態における大きな短絡電流が恒久的に発生することを防ぎます。CAN 通信中、バスはドミナント状態とリセシブ状態の間で切り替わります。短絡電流は、各バス状態における電流、または DC 平均電流と見なすことができます。CAN 設計で終端抵抗または同相モード チョークを選択するときは、平均電力定格 $I_{OS(AVG)}$ を使用します。ドミナント状態の割合は、TXD DTO と CAN プロトコルによって制限されます。これにより、ビット スタッフィング、制御フィールド、フレーム間隔により、強制的に状態が変化し、リセシブ ビットが発生します。これにより、データ フィールドにドミナント ビットが高割合で含まれている場合でも、バス上のリセシブ時間が最小限に抑えられます。

バスの平均短絡電流は、リセシブビットとドミナント ビットの比率と、それぞれの短絡電流に依存します。平均短絡電流は、式 2 で計算できます。

$$I_{OS(AVG)} = \% \text{ Transmit} \times [(\% \text{ REC_Bits} \times I_{OS(SS_REC)}) + (\% \text{ DOM_Bits} \times I_{OS(SS_DOM)})] + [\% \text{ Receive} \times I_{OS(SS_REC)}] \quad (2)$$

ここで:

- $I_{OS(AVG)}$ は平均短絡電流です。
- $\% \text{ Transmit}$ は、ノードが CAN メッセージを送信している割合です。
- $\% \text{ Receive}$ は、ノードが CAN メッセージを受信している割合です。
- $\% \text{ REC_Bits}$ は、送信された CAN メッセージ内のリセシブ ビットの割合です。
- $\% \text{ DOM_Bits}$ は、送信された CAN メッセージ内のドミナントビットの割合です。
- $I_{OS(SS_REC)}$ は、リセシブ定常状態の短絡電流です。
- $I_{OS(SS_DOM)}$ は、ドミナント定常状態の短絡電流です。

トランシーバ V_{CC} 電源の生成に使用される電源のサイズを決定するには、この短絡電流とネットワークで起こりうる故障事例を考慮する必要があります。

7.3.5 サーマル シャットダウン (TSD)

TCAN844(V)-Q1 の接合部温度がサーマル シャットダウン スレッショルド T_{TSD} を超えると、デバイスは CAN ドライバ回路をオフにし、TXD からバスへの伝送パスをブロックします。デバイスの接合部温度が T_{TSD} を下回ると、シャットダウン状

態はクリアされます。TSD フォルト時、CAN バスピンは $V_{CC}/2$ にバイアスされ、レシーバから RXD へのパスは動作し続けます。TCAN844(V)-Q1 TSD 回路にはヒステリシスが含まれており、TSD フォルト時の CAN ドライバ出力が発振しないようにしています。

7.3.6 低電圧誤動作防止

電源ピン V_{CC} および V_{IO} には低電圧検出機能があり、デバイスは保護状態になります。これにより、どちらかの電源ピンの低電圧イベント時にバスが保護されます。

表 7-1. 低電圧誤動作防止 - TCAN844-Q1

V_{CC}	デバイスの状態	BUS	RXD ピン
$> UV_{VCC}$	通常	TXD ごと	ミラーバス
$< UV_{VCC}$	保護	高インピーダンス	高インピーダンス

表 7-2. 低電圧誤動作防止 - TCAN844V-Q1

V_{CC}	V_{IO}	デバイスの状態	BUS	RXD ピン
$> UV_{VCC}$	$> UV_{VIO}$	通常	TXD ごと	ミラーバス
$< UV_{VCC}$	$> UV_{VIO}$	STB = High: スタンバイ モード	GND への弱いバイアス	V_{IO} : リモートウェイク要求 スタンバイ モード時のウェイクアップ パターン (WUP) によるリモートウェイク要求を参照
		STB = Low: プロテクト モード	高インピーダンス	リセッティング
$> UV_{VCC}$	$< UV_{VIO}$	保護	高インピーダンス	高インピーダンス
$< UV_{VCC}$	$< UV_{VIO}$	保護	高インピーダンス	高インピーダンス

低電圧状態が解消され、 t_{MODE} が経過すると、TCAN844-Q1 は通常モードに遷移します。ホストコントローラは再度 CAN トラフィックを送受信できます。

7.3.7 電源オフのデバイス

TCAN844(V)-Q1 は、デバイスの電源がオフの場合に、CAN バスに対してパッシブまたは無負荷となるように設計されています。バスのピンは、デバイスの電源がオフのときにリーク電流が小さいように設計されているため、デバイスはバスに負荷をかけません。これは、ネットワークの他の部分のノードが動作し続けている間に、ネットワークの一部のノードに電力が供給されていない場合に重要です。

また、ロジック ピンには、デバイスに電力が供給されていないときのリーク電流が小さく、電源が入ったままになっている可能性のある他の回路にピンの負荷がかかることはありません。

7.3.8 フローティング ピン

デバイスには重要なピンに内部プルアップがあり、ピンが浮いた場合にデバイスを既知の状態にします。ただし、この内部バイアスは、特にノイズの多い環境では、設計上、頼ることはできません。代わりに、内部バイアスをフェイルセーフ保護機能とみなす必要があります。

オープンドレイン出力をサポートする CAN コントローラを使用する場合、適切な外部プルアップ抵抗を選択する必要があります。これにより、CAN コントローラの TXD 出力が、CAN トランシーバの入力に対して許容可能なビット時間を維持できるようになります。ピンバイアス条件の詳細については、表 7-3 を参照してください。

表 7-3. ピンバイアス

ピン	プルアップまたはプルダウン	コメント
TXD	プルアップ	バスの障害または TXD DTO トリガを防止するため、TXD をリセッティングに弱くバイアスします
STB	プルアップ	システム電力の過剰を防止するため、STB を低消費電力スタンバイ モードに弱くバイアスします

7.4 デバイスの機能モード

7.4.1 動作モード

TCAN844(V)-Q1 には、通常モードとスタンバイ モードという 2 つのメイン動作モードがあります。STB ピンに High または Low レベルを印加することで、動作モードを選択できます。

表 7-4. 動作モード

STB	デバイス モード	ドライバ	レシーバ	RXD ピン
High	バス ウェイクアップ機能付きの低電流スタンバイ モード	無効	ローパワー レシーバーとバス モニタ イネーブル	有効な WUP を受信するまで High (リセッス) スタンバイ モード時のウェイクアップ パターン (WUP) によるリモート ウェイク要求を参照
Low	通常モード	有効	有効	バスの状態を反映します

7.4.2 通常モード

これは、TCAN844(V)-Q1 の通常の動作モードです。CAN ドライバとレシーバは完全に動作し、CAN 通信は双方向です。

このドライバは、TXD 入力のデジタル入力を、CANH および CANL バスピンの差動出力に変換します。

レシーバは、CANH および CANL からの差動信号を RXD 出力のデジタル出力に変換します。

7.4.3 スタンバイ モード

これは TCAN844(V)-Q1 のローパワー モードです。CAN ドライバとメインレシーバはオフになり、双方向 CAN 通信はできません。ローパワーのレシーバおよびバス モニタ回路が有効になることで、CAN バスを介して RXD ウェイクアップ要求を実行できます。図 7-5 に示されているように、ウェイクアップ要求は RXD に出力されます。ローカル CAN のプロトコル コントローラは、RXD の遷移 (High から Low) を監視し、STB ピンを Low にすることで、デバイスを通常モードに再びアクティブにする必要があります。このモードでは、CAN バス ピンが弱く GND にプルされます。図 7-2 および 図 7-3 を参照してください。

スタンバイ モードでは、必要なのは V_{IO} 電源のみです。したがって、 V_{CC} をオフにして、システム レベルの電流をさらに低減できます。

7.4.3.1 スタンバイ モード時のウェイクアップ パターン (WUP) によるリモート ウェイク要求

TCAN844(V)-Q1 はリモート ウェイクアップ要求をサポートしており、これによりバスがアクティブであることをホスト コントローラに通知し、ノードが通常動作に復帰する必要があることを示します。

このデバイスは、ISO 11898-2:2024 規格の複数フィルタドミナントウェイクアップパターン (WUP) を使用して、バスアクティビティを特定します。有効な WUP を受信すると、TCAN844(V)-Q1 の RXD 出力のフィルタ済みドミナントに対応する立ち上がりエッジと Low 期間で、ウェイク要求がコントローラに伝えられます。

WUP は、フィルタされたドミナント パルスに続き、フィルタされたリセッス パルス、そして最後に 2 回目のフィルタされたドミナント パルスで構成されます。最初のフィルタされたドミナント信号が WUP を開始し、その後バス モニタはフィルタされたリセッス信号を待機します。その他のバストラフィックはバス モニタをリセットしません。フィルタされたリセッス信号を受信すると、バス モニタはフィルタされたドミナント信号を待機状態となり、この場合も他のバストラフィックによってバス モニタがリセットされることはありません。2 回目のフィルタされたドミナント信号を受信すると、バス モニタは直ちに WUP を認識し、その後バスから追加のフィルタされたドミナント信号を受信するたびに、RXD 出力をローレベルに駆動します。

ドミナントまたはリセッスを「フィルタ済み」と見なすには、バスが t_{WK_FILTER} 時間より長い間、その状態にある必要があります。 t_{WK_FILTER} の変動により、以下のシナリオが適用されます。 $t_{WK_FILTER(MIN)}$ より短いバス状態は、WUP の一部として検出されることはないため、ウェイク要求は生成されません。 $t_{WK_FILTER(MIN)}$ と $t_{WK_FILTER(MAX)}$ の間のバス状態時間は、WUP の一部として検出され、ウェイクアップ要求が生成されることがあります。 $t_{WK_FILTER(MAX)}$ を超えるバス状態が

常に WUP の一部として検出されるため、ウェーク要求も常に生成されます。ウェークアップパターンのタイミング図については、[図 7-5](#) を参照してください。

WUP に使用されるパターンおよび t_{WK_FILTER} 時間により、ノイズやバス固着ドミナント故障が誤ったウェイク要求を引き起こすことを防止しながら、任意の有効なメッセージによってウェーク要求を開始できます。

ISO 11898-2:2024 規格では、短いウェークアップ フィルタ時間および長いウェークアップ フィルタ時間が定義されています。 t_{WK_FILTER} のタイミングは、両方のフィルタ範囲の最小値および最大値内に収まるように選択されています。このタイミングは、500kbps の 1 ビット時間、または 1Mbps の 2 バックツーバック ビット時間でフィルタがトリガされるように選択されています。500kbps 以下の任意の CAN フレームには、有効な WUP が含まれます。

堅牢性の層を追加し、誤ウェークアップを防止するために、本デバイスはウェークアップタイムアウト機能を実装しています。リモートウェークアップイベントが正常に発生するには、タイムアウト値 $t \leq t_{WK_TIMEOUT}$ 内に WUP 全体を受信する必要があります。そうでない場合、内部ロジックはリセットされ、トランシーバはウェイクアップせずに現在の状態のままになります。その後、このセクションで説明した制約に従って、完全なパターンを再び送信する必要があります。ウェイクタイムアウト機能付きウェークアップパターンのタイミング図については、[図 7-5](#) を参照してください。

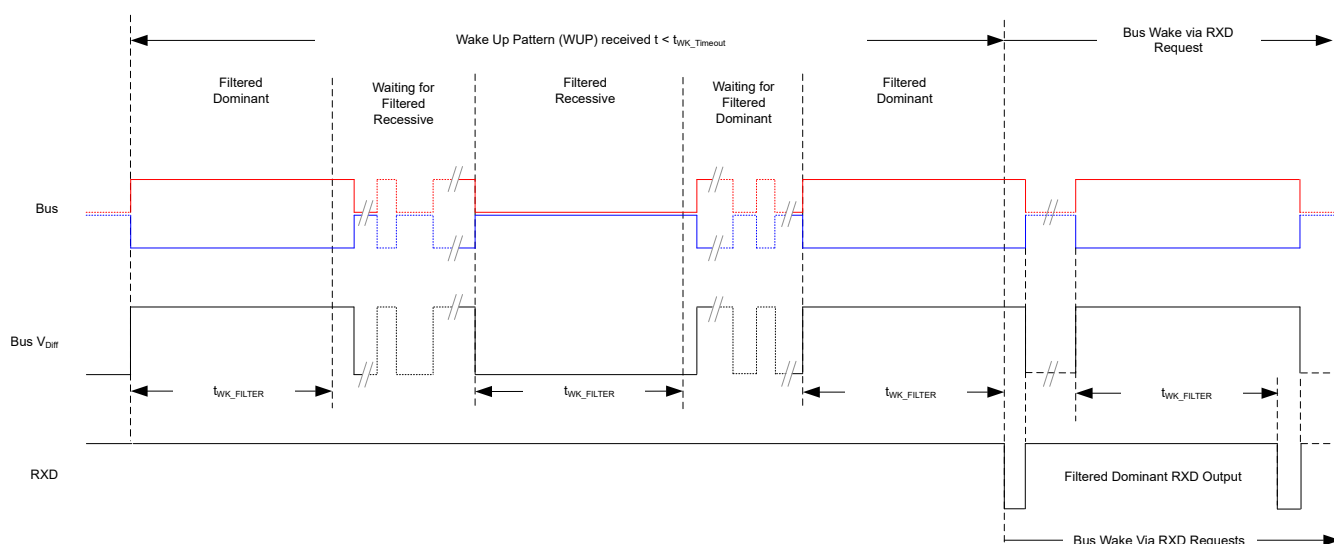


図 7-5. $t_{WK_TIMEOUT}$ によるウェークアップパターン (WUP)

7.4.4 ドライバおよびレシーバ機能

TCAN844-Q1 のロジック I/O は、5V システム向けの V_{CC} (TCAN844-Q1) か、3.3V または 5V システムに対応するマイコンとの互換性を確保するための V_{IO} (TCAN844V-Q1) のいずれかに対して、CMOS レベルをサポートしています。

表 7-5. ドライバ機能表

デバイス モード	TXD 入力 ⁽¹⁾	バス出力		駆動されているバスの状態 ⁽²⁾
		CANH	CANL	
通常	Low	High	Low	ドミナント
	High または open	高インピーダンス	高インピーダンス	バイアスリセシブ
スタンバイ	X	高インピーダンス	高インピーダンス	グラウンドにバイアス

(1) X = 無関係です

(2) バスの状態とバイアスについては、[図 7-2](#) および [図 7-3](#) を参照してください

表 7-6. レシーバ機能表の通常およびサイレントモード

デバイス モード	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD ピン
通常	$V_{ID} \geq 0.9 \text{ V}$	ドミナント	Low
	$0.5 \text{ V} < V_{ID} < 0.9 \text{ V}$	未定義	未定義
	$V_{ID} \leq 0.5 \text{ V}$	リセッシブ	High
スタンバイ	$V_{ID} \geq 1.15 \text{ V}$	ドミナント	High
	$0.4 \text{ V} < V_{ID} < 1.15 \text{ V}$	未定義	Low (リモートウェーク イベントが発生した場合) 図 7-5 を参照
	$V_{ID} \leq 0.4 \text{ V}$	リセッシブ	
任意	オープン ($V_{ID} \approx 0 \text{ V}$)	オープン	High

8 アプリケーション情報に関する免責事項

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

TCAN844(V)-Q1 トランシーバは、CAN プロトコルのリンク層部分を含むホスト コントローラまたは FPGA を搭載したアプリケーションで使用できます。図 8-1 に、5V コントローラ アプリケーションの一般的な構成を示します。バス終端を、説明のために示します。

8.2 代表的なアプリケーション

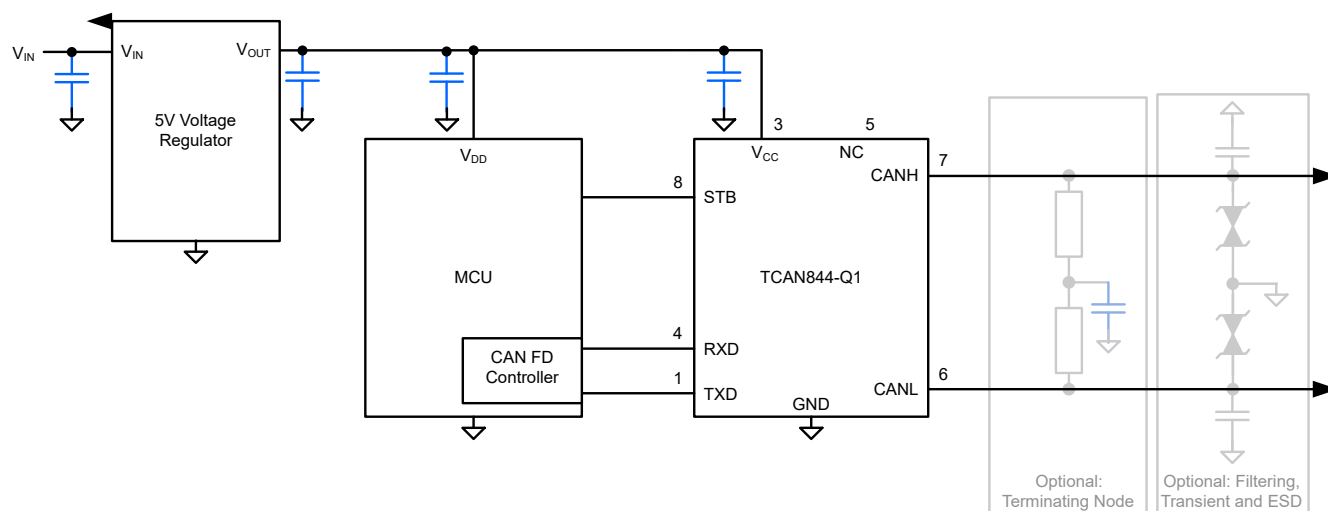


図 8-1. 5V の IO 接続を使用したトランシーバ アプリケーション

8.2.1 設計要件

8.2.1.1 CAN の終端

終端として、ケーブル上または終端ノード内のいずれかで、バスの両端に 120Ω 抵抗を 1 本配置できます。バスの同相電圧のフィルタリングと安定化が必要な場合は、分割終端を使用できます。図 8-2 を参照してください。スプリット終端は、差動信号ラインに重畳する高周波の同相ノイズをフィルタリングすることで、ネットワークの電磁放射特性を改善します。

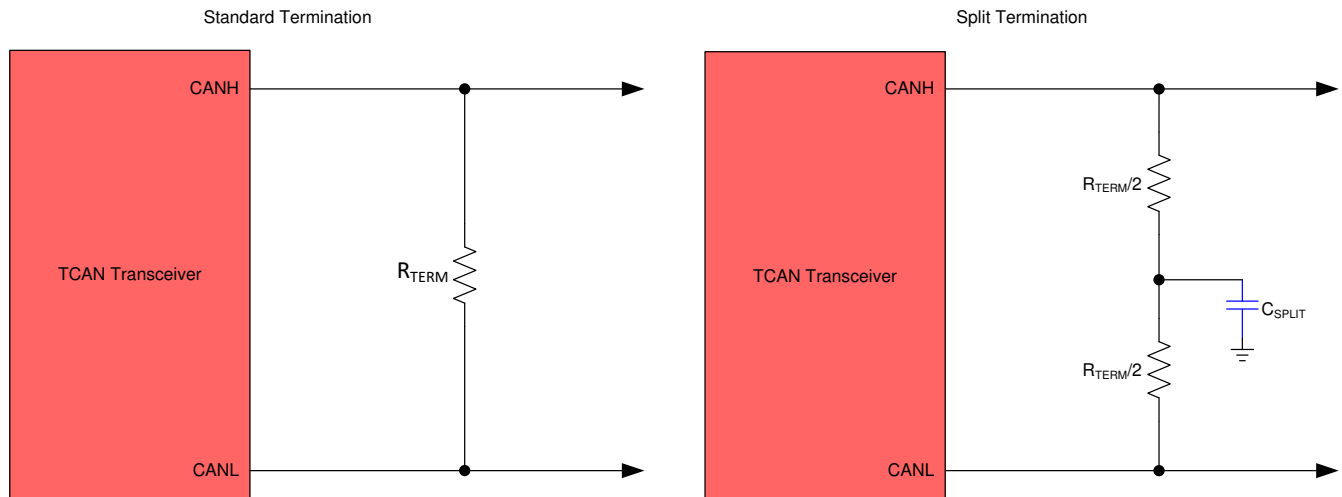


図 8-2. CAN バス終端の概念

8.2.2 設計手順の詳細

8.2.2.1 バスの負荷、長さ、ノード数

代表的な CAN アプリケーションは、最大バス長 40m、最大スタブ長 0.3m になる場合があります。ただし、注意深く設計すれば、より長いケーブル、より長いスタブ長、より多くのノードをバスに接続することができます。ノード数が多い場合は、TCAN844V-Q1 のような高入力インピーダンスのトランシーバが必要になります。

多くの CAN の組織および規格は、元の ISO 11898-2 規格外のアプリケーションへと CAN の使用を拡大してきました。さまざまな CAN 規格では、データレート、ケーブル長、およびバスの寄生負荷に対して、システム レベルでのトレードオフの決定を下しました。これらの CAN システム レベル仕様の例としては、ARINC 825、CANopen、DeviceNet、SAE J2284、SAE J1939、NMEA 2000 などがあります。

CAN ネットワークのシステム設計は、一連のトレードオフです。ISO 11898-2:2024 仕様では、ドライバの差動出力は $50\ \Omega \sim 65\ \Omega$ の範囲のバス負荷により規定されており、この場合、差動出力は 1.5V を上回る必要があります。TCAN844(V)-Q1 ファミリーは、最小 $50\ \Omega$ の 1.5V の要件を満たすことが規定されており、 $45\ \Omega$ のバス負荷で 1.4V の差動出力を満たすように規定されています。デバイスの差動入力抵抗は最小で $18\text{k}\Omega$ です。50 個の TCAN844V-Q1 トランシーバをバス上で並列に接続する場合、これは公称 $60\ \Omega$ のバス終端と並列に $360\ \Omega$ の差動負荷がある状態に相当し、合計バス負荷は約 $51\ \Omega$ になります。したがって、TCAN844(V)-Q1 ファミリーは、理論的には単一のバス セグメントで 50 個を超えるトランシーバをサポートします。ただし、CAN ネットワークの設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、タイミング、ネットワークの不均衡、グランド オフセット、および信号の完全性に対してマージンを与える必要があるため、実際の最大ノード数は通常、少なくなります。また、バス長は、慎重なシステム設計およびデータレートとのトレードオフにより、40m を超えて延長することもできます。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データレートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。

CAN ネットワーク設計におけるこの柔軟性は、元の ISO 11898-2 CAN 規格に基づいて構築されたさまざまな拡張規格および追加規格の重要な強みの 1 つです。ただし、この柔軟性を使用する場合、CAN 回路システムの設計者は、堅牢な回路の動作を実現するために、回路を適切に設計する必要があります。

アプリケーション レポート『コントローラ エリア ネットワークの物理層要件 (SLLA270)』を参照してください。この資料では、システム設計のすべての物理層パラメータについて詳細に説明しています。

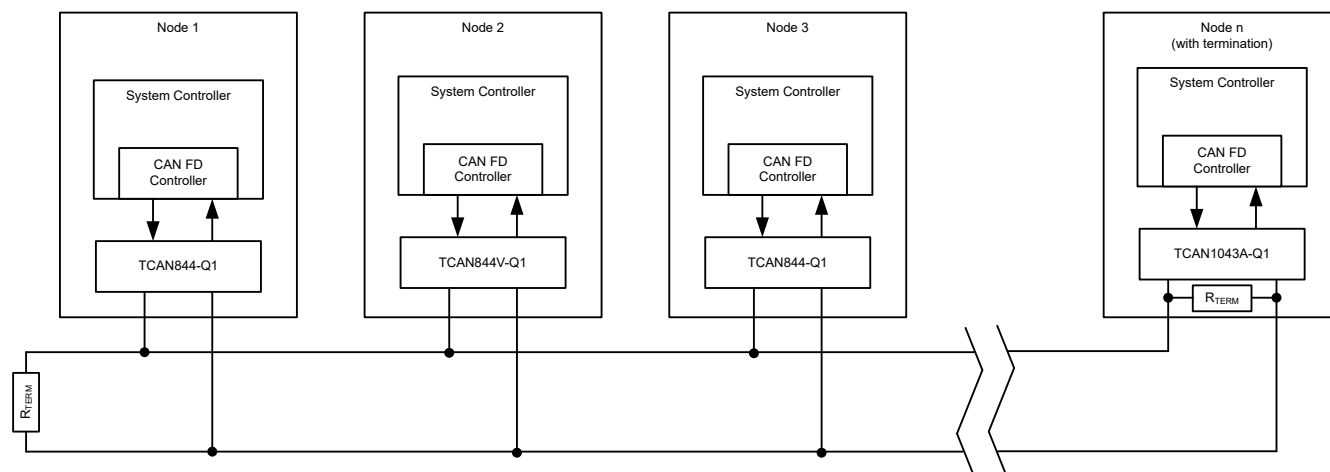
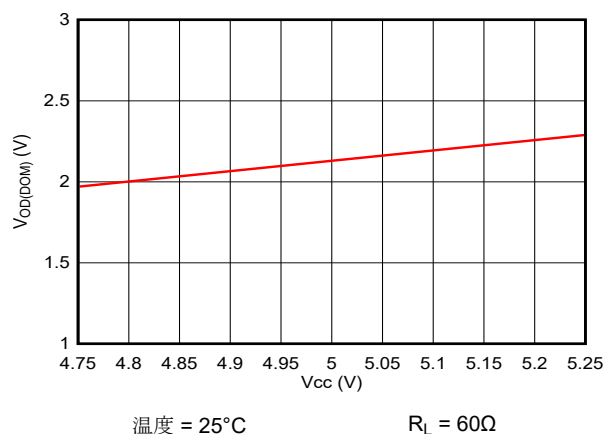


図 8-3. 代表的な CAN バス

8.2.3 アプリケーション曲線

図 8-4. $V_{OD(DOM)}$ と V_{CC} との関係

8.3 システム例

TCAN844V-Q1 トランシーバは通常、CAN プロトコルのリンク レイヤ部分を含むホスト コントローラまたは FPGA を搭載したアプリケーションで使用されます。3.3V アプリケーション回路を図 8-5 に示します。バス終端を、説明のために示します。

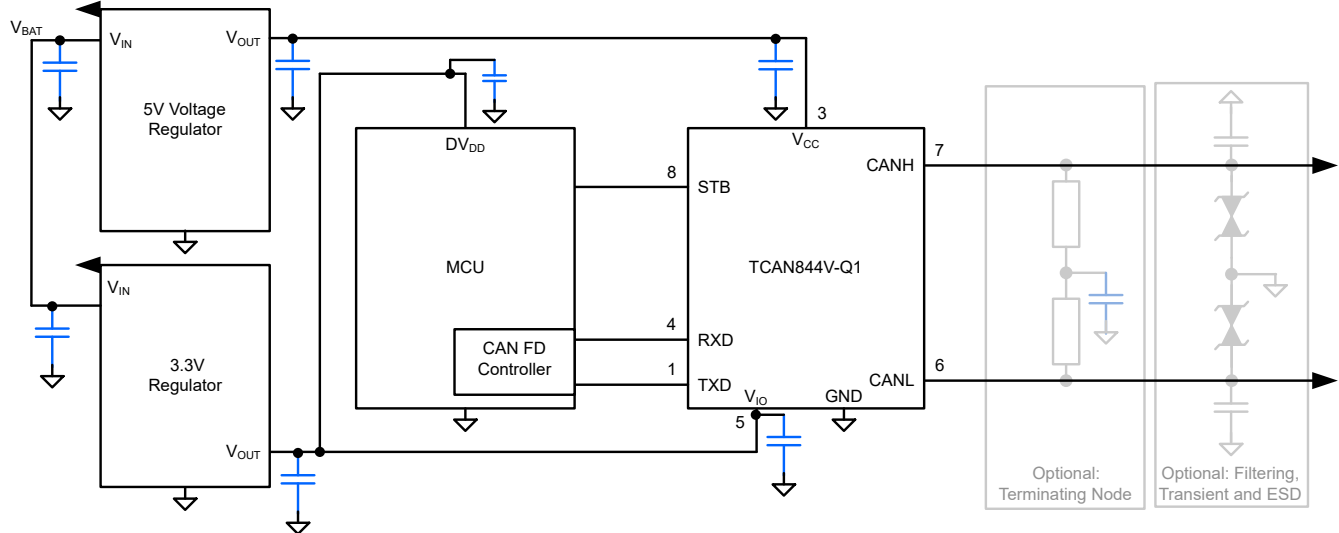


図 8-5. 3.3V の IO 接続を使用した標準的なトランシーバアプリケーション

8.4 電源に関する推奨事項

TCAN844-Q1 トランシーバは、4.75V ~ 5.25V のメイン V_{CC} 入力電圧電源範囲で動作するように設計されています。

TCAN844V-Q1 は、2.9V ~ 5.25V の範囲向けに設計された IO レベル シフト電源入力 V_{IO} を実装しています。

V_{CC} と V_{IO} の両方の入力が適切に調整されている必要があります。電源のフィルタリングに加えて、デカップリング容量 (通常 100nF) は、CAN トランシーバのメイン V_{CC} および V_{IO} 電源ピンの近くに配置できます。

8.5 レイアウト

堅牢で信頼性の高い CAN ノードの設計には、アプリケーションや設計要件に応じて特別なレイアウト手法が必要となる場合があります。過渡外乱には高い周波数成分があり、帯域幅が広いので、PCB 設計時に高周波レイアウト手法を適用できます。

8.5.1 レイアウトのガイドライン

- 保護回路をバス コネクタの近くに配置し、ノイズ過渡が基板全体に伝播するのを防止します。このレイアウト例では、オプションの過渡電圧抑制 (TVS) ダイオード D1 を示しています。システムレベルの要件がトランシーバの規定定格を超える場合に実装できます。この例では、オプションのバスフィルタ コンデンサ C4、および C5 も示しています。
- 信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。
- デカップリング コンデンサは、トランシーバの電源ピン V_{CC} および V_{IO} にできるだけ近づけて配置してください。
- 実効ビア インダクタンスを最小化するため、バイパス コンデンサと保護デバイスの V_{CC} およびグランド接続には少なくとも 2 つのビアを使用します。

注

高周波電流は、抵抗が最小なパスではなく、インピーダンスが最小なパスに追従します。

- このレイアウト例は、CAN ノードに分割終端を実装する方法を示しています。終端は 2 つの抵抗 R2 と R3 に分割され、終端の中央タップまたは分割タップはコンデンサ C3 を介してグランドに接続されます。分割終端は、バスの同相フィルタリングを提供します。終端抵抗に必要な終端の概念と電力定格の詳細については、[セクション 8.2.1.1](#)、[セクション 7.3.4](#)、および [式 2](#) を参照してください。

8.5.2 レイアウト例

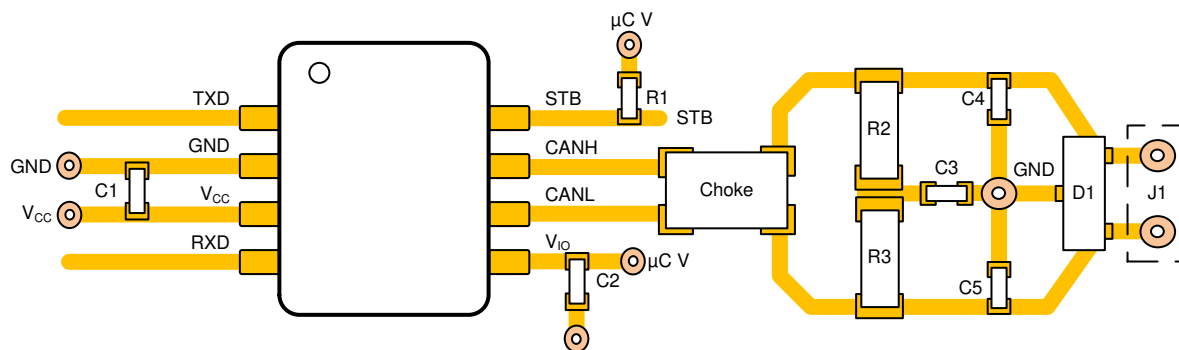


図 8-6. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (October 2024) to Revision B (June 2026)	Page
• $\pm 40V$ に拡張された V_{DIFF} 絶対最大定格.....	4
• コーナー ピンの CDM 性能値を含むように「ESD 定格」を更新.....	4
• 「電源特性」にサーマル シャットダウンの値を統合	5
• V_{SYM} のテスト条件に $TXD = 250kHz, 1MHz, 2.5MHz$ を追加.....	6
• I_{LKG} (IOFF) のテスト条件に $V_{CC} = V_{IO} = GND$ を追加.....	6
• V_{HYS} 、 R_{DIFF} 、 R_{SE_CANx} の説明を明確化.....	6
• 「最小データ レート」の式を更新.....	16

Changes from Revision * (October 2024) to Revision A (October 2024)	Page
• リビジョン A は、本データシートの最初の公開リリースです.....	1
• 「特長」の一覧に HBM、CDM、接触放電の情報を追加	1
• 「消費電力定格」表を追加	4
• 動作条件を変更: $T_J = -40^{\circ}C \sim 125^{\circ}C$ から $T_J = -40^{\circ}C \sim 150^{\circ}C$ へ (「電氣的特性」および「スイッチング特性」表において)	4
• 「代表的特性」のプロットを更新.....	9

- アプリケーション曲線のプロットを更新..... 24

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCAN844DDFRQ1	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844
TCAN844DDFRQ1.A	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844
TCAN844DRBRQ1	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844
TCAN844DRBRQ1.A	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844
TCAN844DRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844
TCAN844DRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844
TCAN844VDDFRQ1	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844V
TCAN844VDDFRQ1.A	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844V
TCAN844VDRBRQ1	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844V
TCAN844VDRBRQ1.A	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844V
TCAN844VDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844V
TCAN844VDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	T844V

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

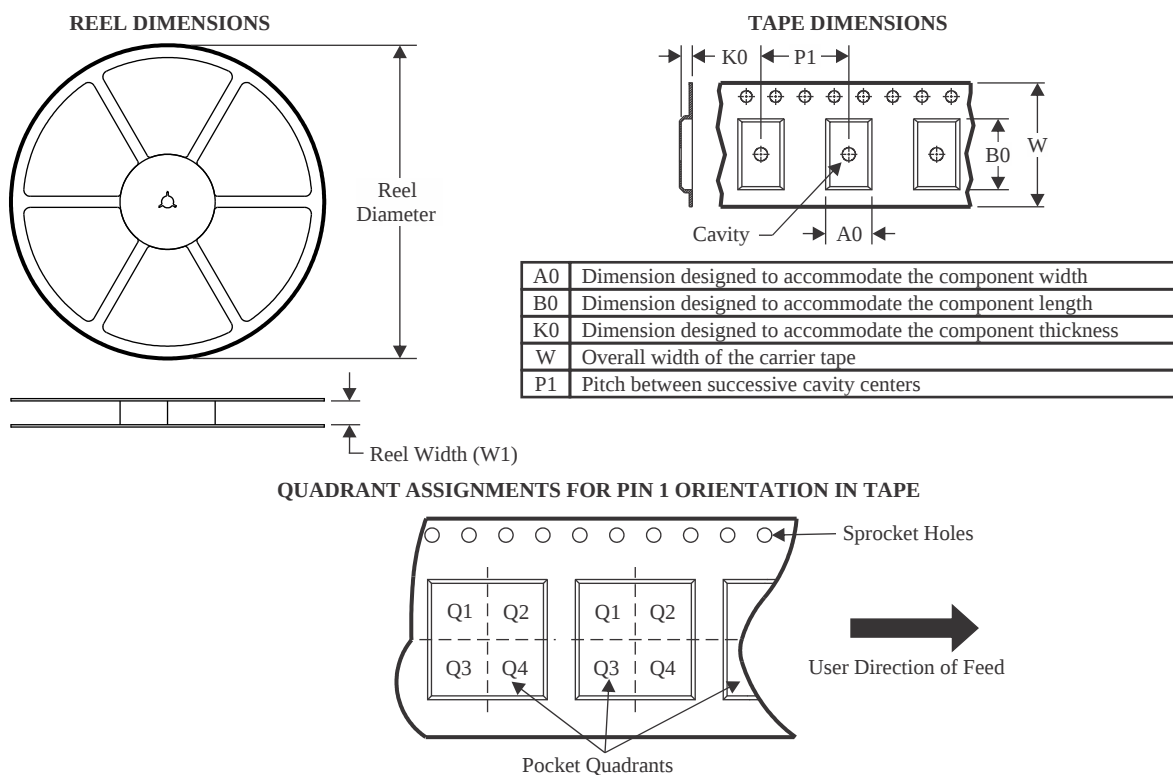
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

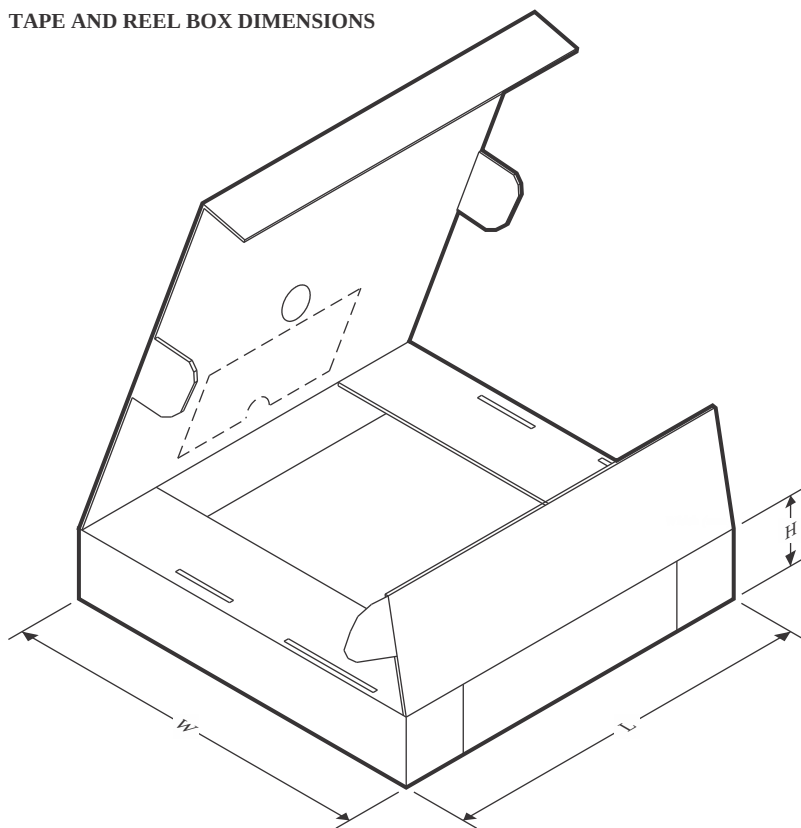
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAN844DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TCAN844DRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q1
TCAN844DRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TCAN844DRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TCAN844VDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TCAN844VDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q1
TCAN844VDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TCAN844VDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

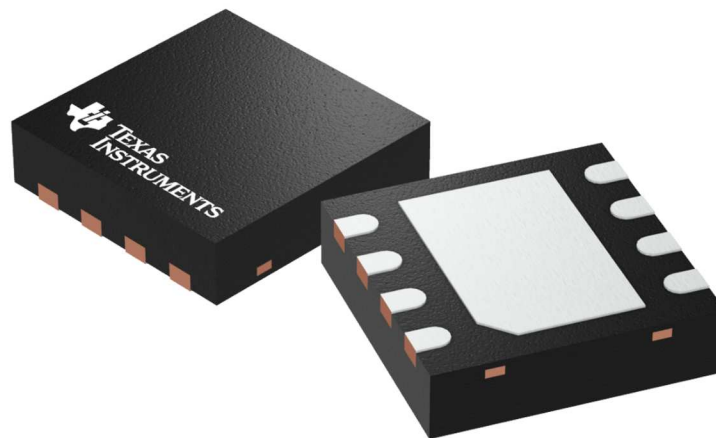
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAN844DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TCAN844DRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0
TCAN844DRQ1	SOIC	D	8	2500	340.5	338.1	20.6
TCAN844DRQ1	SOIC	D	8	2500	353.0	353.0	32.0
TCAN844VDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TCAN844VDRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0
TCAN844VDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
TCAN844VDRQ1	SOIC	D	8	2500	340.5	338.1	20.6

DRB 8

GENERIC PACKAGE VIEW

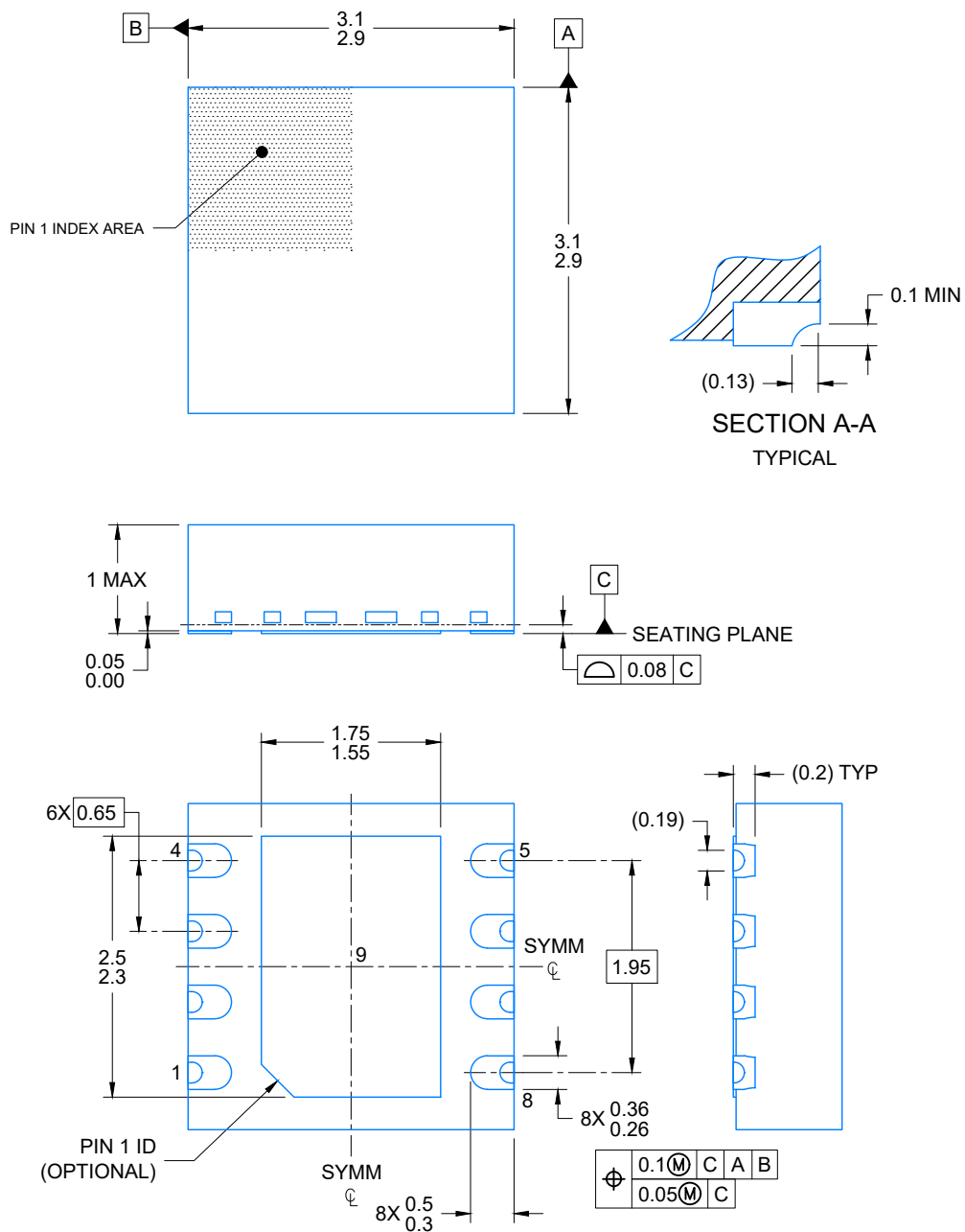
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

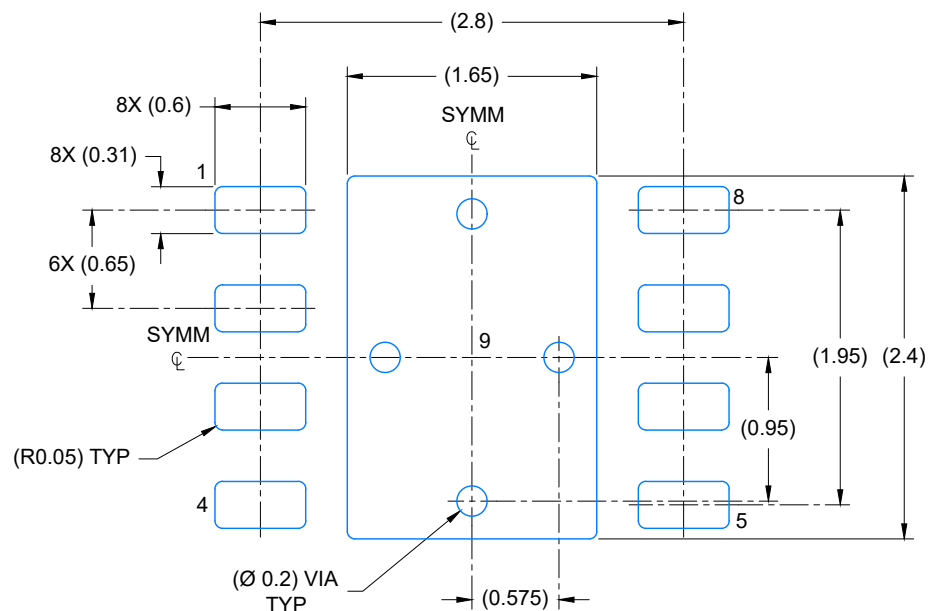
4203482/L



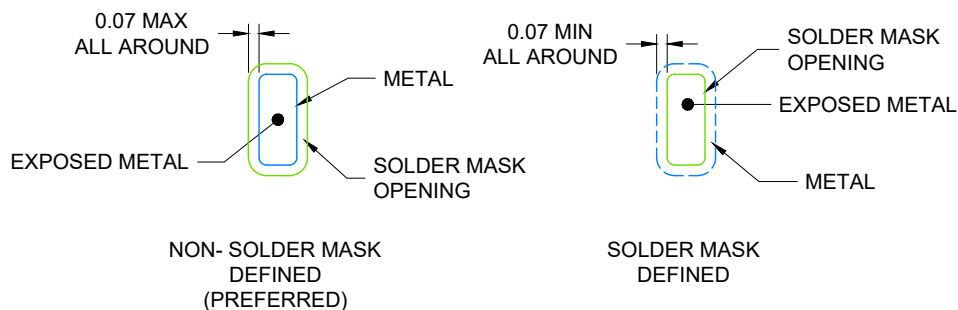
4225036/A 06/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

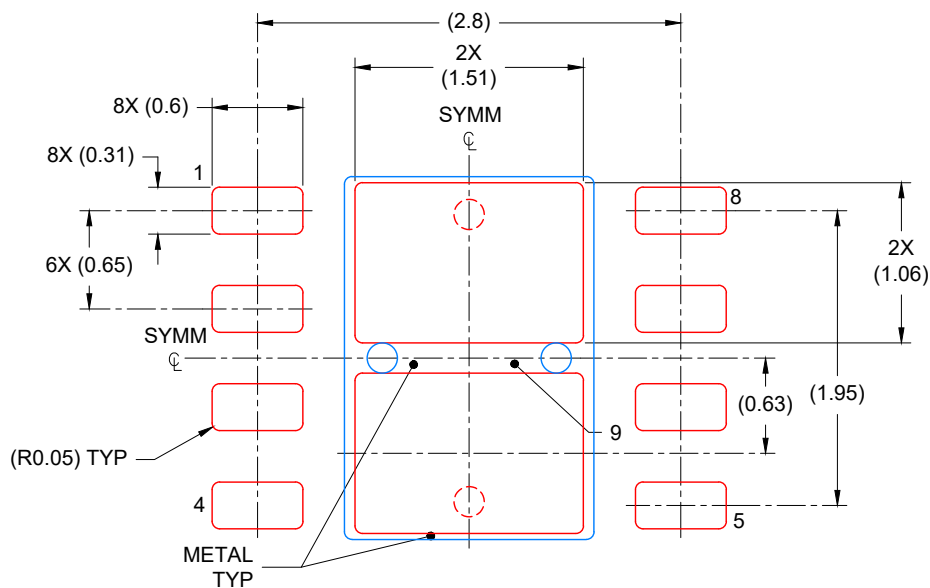


SOLDER MASK DETAILS

4225036/A 06/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED COVERAGE BY AREA
SCALE: 20X

4225036/A 06/2019

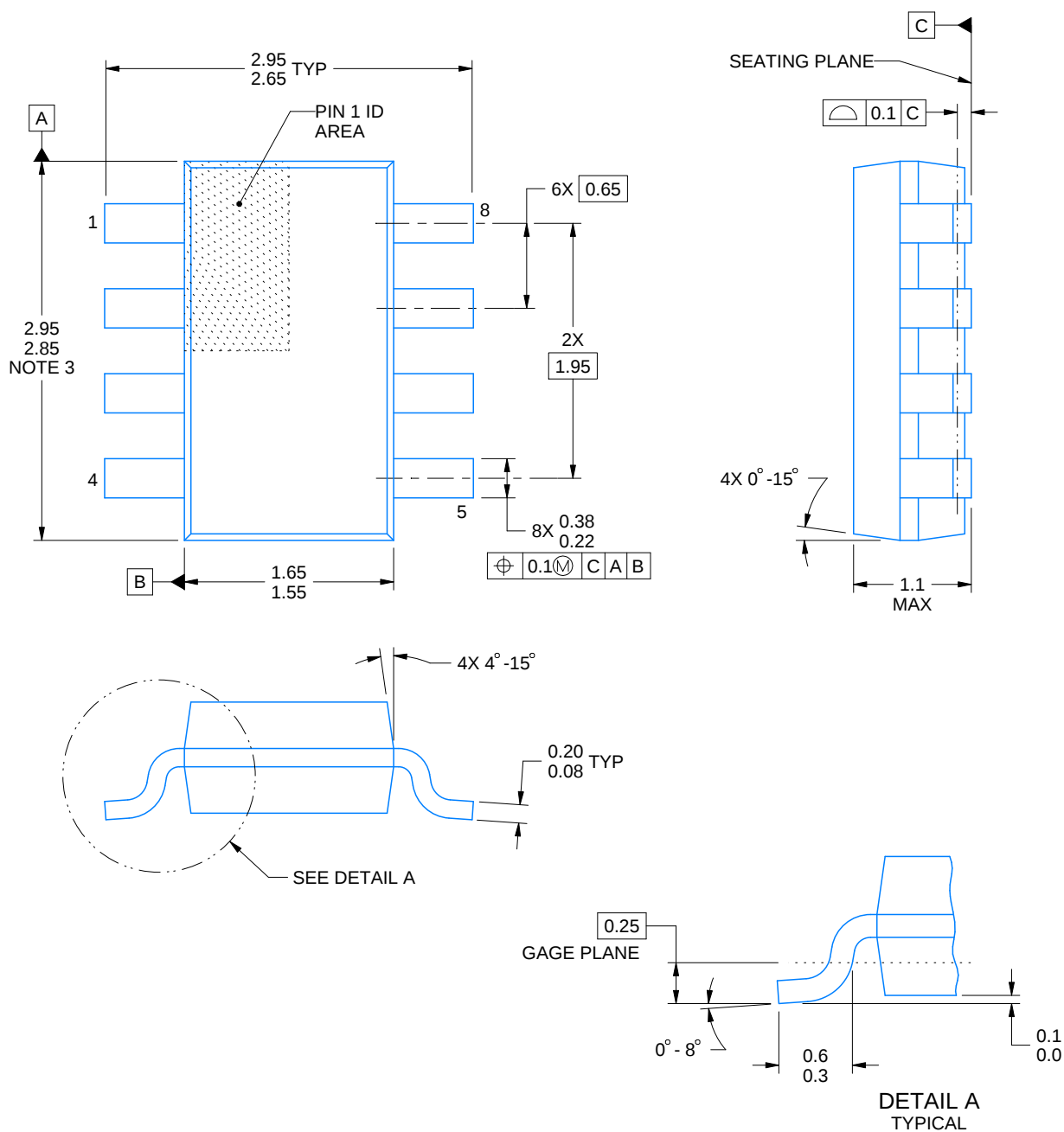
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



4222047/E 07/2024

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

2. This drawing is subject to change without notice.

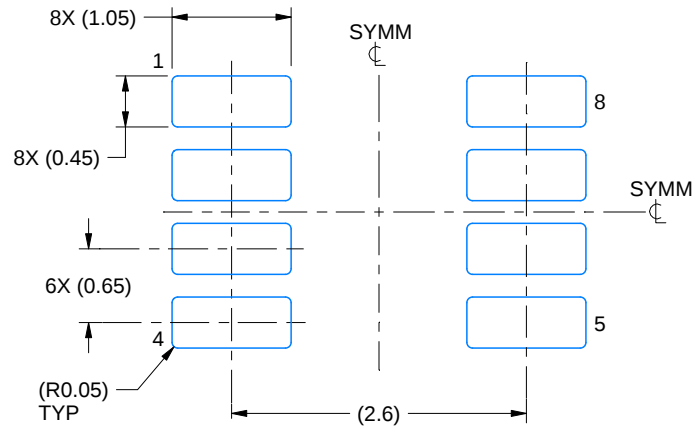
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

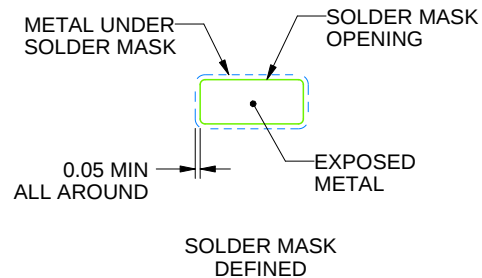
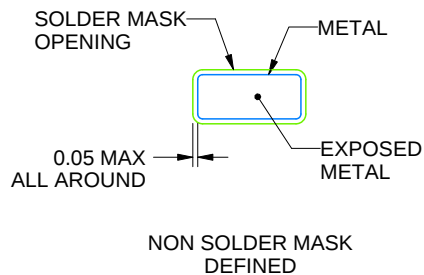
DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

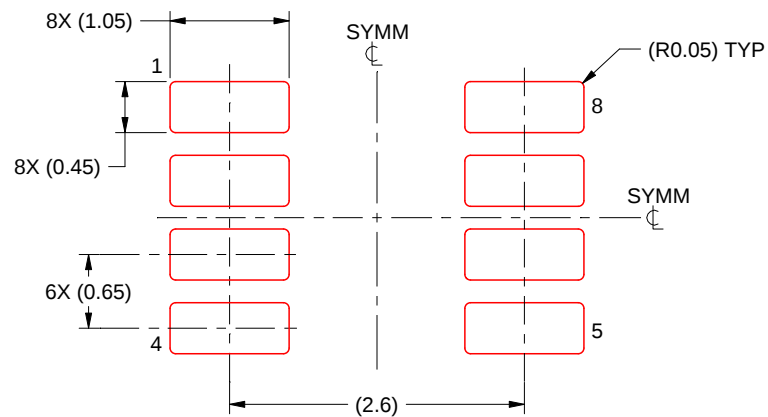
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



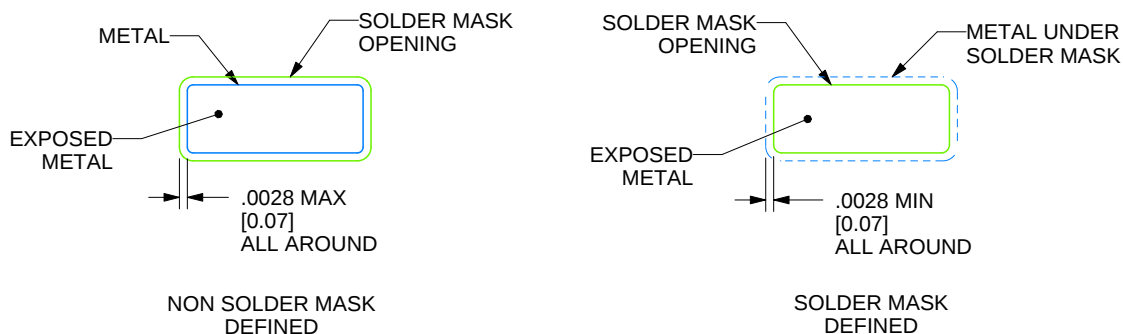
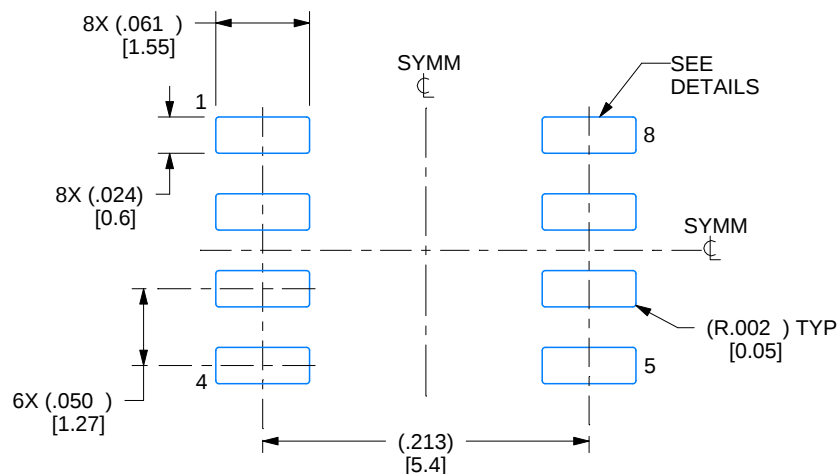
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

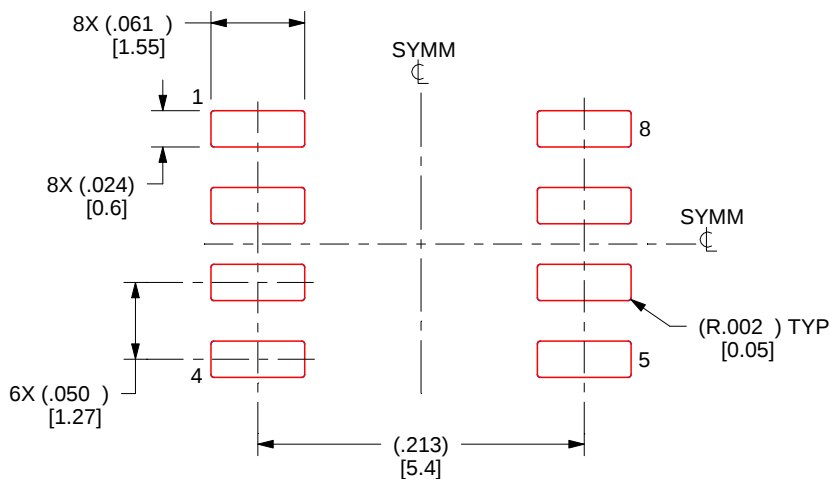
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月