BQ41Z90 高集積 3～16 セル バッテリ残量計、IT-DZT アルゴリズムおよび ECC 認証機能付き

1 特長

- 3～16 直列セル アプリケーション向け、高集積バッテリパック マネージャ
  - 超低消費電力の 32 ビット RISC CPU
  - 80V の耐性で、最大 16 個の直列セルを ADC 測定
  - ダイナミック Z-Track™ 残量測定アルゴリズムを搭載した高精度 SoC と SoH
  - 証明書ベースのセキュリティ保護されたフラッシュ メモリ
- 2 つの独立した ADC を持つ高精度アナログ フロントエンド:
  - 高精度の 18 ビット統合型、デルタ シグマ クーロン カウンタ
  - 入力変換とマルチプレクサを搭載した、高精度の 16 ビット デルタ シグマ
  - 電流と電圧の同時サンプリングに対応
  - 最大 8 個の外部サーミスタ測定と 1 つの内部温度センサをサポート
- 高速なターンオン時間とターンオフ時間を持つ強力なハイサイド NMOS FET 駆動
- 事前充電および事前放電 NMOS FET ドライバ向けのチャージ ポンプ サポート
- 個別のチャージャとシステム ポートが付属している、取り外し可能なバッテリの並列構成をサポート
- セルあたりのバイパスが最大 50mA のセル バランシングをサポート
- 診断用の寿命データ モニタとレコーダ
- 複数のホスト通信をサポート:
  - I^2C (最大 1MHz)
  - SMBus 3.2 (最大 1MHz)
- 低静止電流動作のための複数の電力モード
- SHA-1、SHA-2、または EC-KCDSA 認証による堅牢なバッテリ パックのセキュリティ

2 アプリケーション

- バッテリ バックアップ ユニット (BBU)
- 電動自転車 / 電動スクーター / 軽電気自動車 (LEV)
- ハンドヘルド掃除機およびロボット掃除機
- 園芸用ロボットおよび電動工具
- ドローン
- 医療およびテスト用機器
- その他の産業用バッテリ パック

3 説明

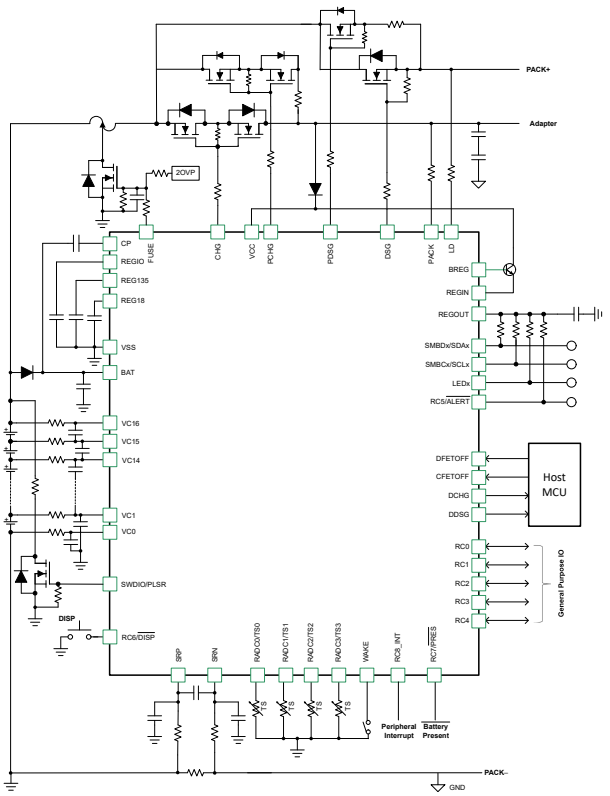
テキサス・インスツルメンツの BQ41Z90 は、リチウムイオン、LiFeP4、NiMH、およびリチウムポリマ バッテリ パックの 3～16 直列セルのためにフラッシュ プログラマブルな CPU、安全保護、楕円曲線暗号化 (ECC) 認証機能を提供する、統合型のバッテリ パック ベースのバッテリ パック マネージャ ソリューションです。

BQ41Z90 バッテリ パック マネージャは SMBus v3.2 または I^2C 互換の インターフェイスで通信を行い、超低消費電力かつ高速の 32 ビット プロセッサ、高精度アナログ測定機能、内蔵フラッシュ メモリ、ペリフェラル IO アレイ、NMOS 保護 FET 駆動、SHA-1、SHA-2、EC-KCDSA 認証レスポンダを組み合わせた、完全な高性能バッテリ管理ソリューションです。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
BQ41Z90 RSN	PVP (64)	7.00mm × 7.00mm

(1) 詳細については、セクション 11 を参照してください。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能:.....3
5 ピン互換の図.....6
6 仕様.....10
6.1 絶対最大定格.....10
6.2 ESD 定格.....11
6.3 推奨動作条件.....11
6.4 熱に関する情報.....12
6.5 電源電流.....12
6.6 電源セレクタ.....13
6.7 電流ウェイク検出器.....14
6.8 汎用入出力.....14
6.9 Aux REGOUT LDO.....16
6.10 LD ピン.....16
6.11 シェルフ タイマ.....16
6.12 セル バランシング.....17
6.13 コンパレータ ベースの検出 (SCOMP).....17
6.14 SCOMP のタイミング要件.....18
6.15 SCD コンパレータ.....18
6.16 ハイサイド NFET ドライバ (CHG、DSG、PCHG、PDSG).....19
6.17 FUSE ピン.....20
6.18 フラッシュ メモリ.....20
6.19 インターフェイス I/O.....21
6.20 I²C インターフェイスのタイミング.....21
7 詳細説明.....24
7.1 概要.....24
7.2 機能ブロック図.....25
7.3 機能説明.....26
8 アプリケーションと実装.....44
8.1 使用上の注意.....44
8.2 代表的なアプリケーション.....45
8.3 電源に関する推奨事項.....46
8.4 レイアウト.....46
9 デバイスおよびドキュメントのサポート.....51
9.1 サード・パーティ製品に関する免責事項.....51
9.2 ドキュメントのサポート.....51
9.3 ドキュメントの更新通知を受け取る方法.....51
9.4 サポート・リソース.....51
9.5 商標.....51
9.6 静電気放電に関する注意事項.....51
9.7 用語集.....51
10 改訂履歴.....51
11 メカニカル、パッケージ、および注文情報.....53

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能：

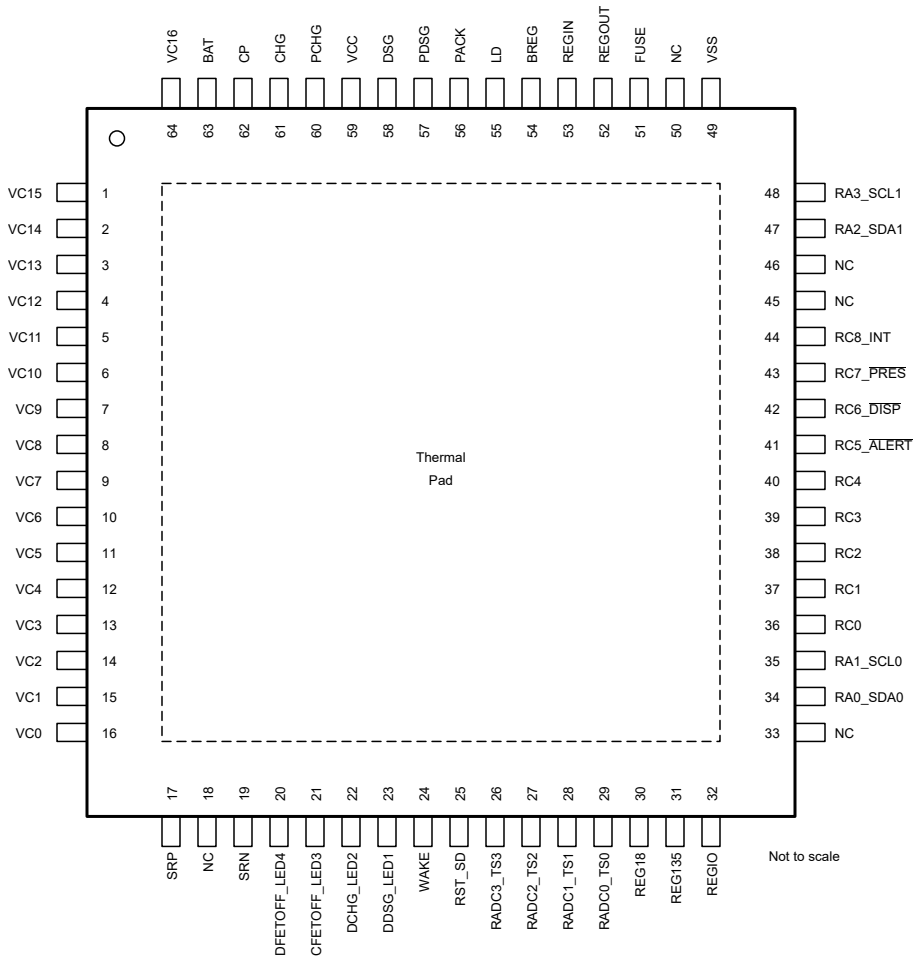


図 4-1. ピン配置図

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
VC15	1	AI	スタックの最下部から 15 番目のセルのセンス電圧入力ピン、スタックの最下部から 15 番目のセルのバランス電流入力、スタックの最下部から 16 番目のセルの復帰バランス電流
VC14	2	AI	スタックの最下部から 14 番目のセルのセンス電圧入力ピン、スタックの最下部から 14 番目のセルのバランス電流入力、スタックの最下部から 15 番目のセルの復帰バランス電流
VC13	3	AI	スタックの最下部から 13 番目のセルのセンス電圧入力ピン、スタックの最下部から 13 番目のセルのバランス電流入力、スタックの最下部から 14 番目のセルの復帰バランス電流
VC12	4	AI	スタックの最下部から 12 番目のセルのセンス電圧入力ピン、スタックの最下部から 12 番目のセルのバランス電流入力、スタックの最下部から 13 番目のセルの復帰バランス電流
VC11	5	AI	スタックの最下部から 11 番目のセルのセンス電圧入力ピン、スタックの最下部から 11 番目のセルのバランス電流入力、スタックの最下部から 12 番目のセルの復帰バランス電流
VC10	6	AI	スタックの最下部から 10 番目のセルのセンス電圧入力ピン、スタックの最下部から 10 番目のセルのバランス電流入力、スタックの最下部から 11 番目のセルの復帰バランス電流
VC9	7	AI	スタックの最下部から 9 番目のセルのセンス電圧入力ピン、スタックの最下部から 9 番目のセルのバランス電流入力、スタックの最下部から 10 番目のセルの復帰バランス電流

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	説明
名称	番号		
VC8	8	AI	スタックの最下部から 8 番目のセルのセンス電圧入力ピン、スタックの最下部から 8 番目のセルのバランス電流入力、スタックの最下部から 9 番目のセルの復帰バランス電流
VC7	9	AI	スタックの最下部から 7 番目のセルのセンス電圧入力ピン、スタックの最下部から 7 番目のセルのバランス電流入力、スタックの最下部から 8 番目のセルの復帰バランス電流
VC6	10	AI	スタックの最下部から 6 番目のセルのセンス電圧入力ピン、スタックの最下部から 6 番目のセルのバランス電流入力、スタックの最下部から 7 番目のセルの復帰バランス電流
VC5	11	AI	スタックの最下部から 5 番目のセルのセンス電圧入力ピン、スタックの最下部から 5 番目のセルのバランス電流入力、スタックの最下部から 6 番目のセルの復帰バランス電流
VC4	12	AI	スタックの最下部から 4 番目のセルのセンス電圧入力ピン、スタックの最下部から 4 番目のセルのバランス電流入力、スタックの最下部から 5 番目のセルの復帰バランス電流
VC3	13	AI	スタックの最下部から 3 番目のセルのセンス電圧入力ピン、スタックの最下部から 3 番目のセルのバランス電流入力、スタックの最下部から 4 番目のセルの復帰バランス電流
VC2	14	AI	スタックの最下部から 2 番目のセルのセンス電圧入力ピン、スタックの最下部から 2 番目のセルのバランス電流入力、スタックの最下部から 3 番目のセルの復帰バランス電流
VC1	15	AI	スタックの最下部から 1 番目のセルのセンス電圧入力ピン、スタックの最下部から 1 番目のセルのバランス電流入力、スタックの最下部から 2 番目のセルの復帰バランス電流
VC0	16	AI	スタックの最下部から 1 番目のセルの負端子のセンス電圧入力、スタックの最下部から 1 番目のセルの復帰バランス電流
SRP	17	AI	SRP と SRN の間のわずかな電圧を積分するために、内部クーロン カウンタ ペリフェラルに接続したアナログ入力ピンで、SRP はセンス抵抗の最上部です。充電電流により、SRN に対して SRP で正の電圧が生成されます
NC	18	NC	このピンは、シリコンには接続されていません
SRN	19	AI	SRP と SRN の間のわずかな電圧を積分するために、内部クーロン カウンタ ペリフェラルに接続したアナログ入力ピンで、SRN はセンス抵抗の最下部です。充電電流により、SRN に対して SRP で正の電圧が生成されます
DFETOFF_LED4	20	I/O	DFET をオフに維持するための DFETOFF 入力 (このピンがアサートされている間)、または電流シンク機能を備えた LED4 オープン ドレイン出力ピン。
CFETOFF_LED3	21	I/O	CFET をオフに維持するための CFETOFF 入力 (このピンがアサートされている間)、または電流シンク機能を備えた LED3 オープン ドレイン出力ピン。
DCHG_LED2	22	O	CFET がオフになる保護フォルトを示す DCHG 出力、または電流シンク機能を備えた LED2 オープン ドレイン出力ピン。
DDSG_LED1	23	O	DFET がオフになる保護フォルトを示す DDSG 出力、または電流シンク機能を備えた LED1 オープン ドレイン出力ピン。
WAKE	24	AI	デバイスをシャットダウン モードまたはハイバネーション モードからウェークアップするための押しボタン入力。
RST_SD	25	AI	リセット用の入力ピン
RADC3_TS3	26	AI	汎用 ADC またはサーミスタ入力
RADC2_TS2	27	AI	汎用 ADC またはサーミスタ入力
RADC1_TS1	28	AI	汎用 ADC またはサーミスタ入力
RADC0_TS0	29	AI	汎用 ADC またはサーミスタ入力
REG18	30	PO	内部 1.8V LDO 出力コンデンサの接続 (内部使用のみ)
REG135	31	PO	内部 1.35V LDO 出力コンデンサの接続 (内部使用のみ)
REGIO	32	PI	内部 3.3V/1.8V LDO 出力コンデンサの接続 (内部使用のみ)
NC	33	NC	このピンは、シリコンには接続されていません
RA0_SDA0	34	I/O	INT の有無を選択可能な汎用入力、またはマルチファンクション オープン ドレイン出力。SDA、SCL、SMBD、または SMBC として構成可能。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
RA1_SCL0	35	I/O	INT の有無を選択可能な汎用入力、またはマルチファンクション オープンドレイン出力。SDA、SCL、SMBD、または SMBC として構成可能。
RC0	36	I/O	INT の有無を選択可能な汎用デジタル入力、またはマルチファンクション プッシュプル出力。
RC1	37	I/O	INT の有無を選択可能な汎用デジタル入力、またはマルチファンクション プッシュプル出力。
RC2	38	I/O	INT の有無を選択可能な汎用デジタル入力、またはマルチファンクション プッシュプル出力。
RC3	39	I/O	INT の有無を選択可能な汎用デジタル入力、またはマルチファンクション プッシュプル出力。
RC4	40	I/O	INT の有無を選択可能な汎用デジタル入力、またはマルチファンクション プッシュプル出力。
RC5_$\overline{\text{ALERT}}$	41	I/O	INT の有無を選択可能な汎用デジタル入力、またはマルチファンクション プッシュプル出力。デフォルトでは、一般的なフォルトの検出を通知する $\overline{\text{ALERT}}$ 出力として設定されます。
RC6_$\overline{\text{DISP}}$	42	I/O	INT の有無を選択可能な汎用デジタル入力、またはマルチファンクション プッシュプル出力。デフォルトでは、$\overline{\text{DISP}}$ ボトム制御出力信号として設定されます。
RC7_$\overline{\text{PRES}}$	43	I/O	INT の有無を選択可能な汎用デジタル入力、またはマルチファンクション プッシュプル出力。バッテリの装着検出入力信号には、デフォルトで $\overline{\text{PRES}}$ が設定されます。
RC8_INT	44	I/O	INT の有無を選択可能な汎用デジタル入力、またはマルチファンクション プッシュプル出力
NC	45	NC	このピンは、シリコンには接続されていません
NC	46	NC	このピンは、シリコンには接続されていません
RA2_SDA1	47	IO	汎用入力、またはマルチファンクション オープンドレイン出力。SDA、SCL、SMBD、または SMBC として構成可能。
RA3_SCL1	48	IO	汎用入力、またはマルチファンクション オープンドレイン出力。SDA、SCL、SMBD、または SMBC として構成可能。
VSS	49	P	デバイスのグランド
NC	50	NC	このピンは、シリコンには接続されていません
FUSE	51	IO、A	ヒューズ センスとドライブ
REGOUT	52	AO	外部 LDO 出力で、2V、2.5V、3.0V、3.3V、5.0V にプログラム可能です。
REGIN	53	AI	外部 LDO REGOUT の入力ピン
BREG	54	AO	外部レギュレータ用トランジスタのベース制御信号
LD	55	AI	負荷検出ピン
PACK	56	AI	パック センス入力ピン
PDSG	57	AO	予備放電制御ピン
DSG	58	AO	放電制御ピン
VCC	59	P	2 次側電源入力
PCHG	60	AO	事前充電 (プリチャージ) 制御ピン
CHG	61	AO	充電制御ピン
CP	62	AO	チャージ ポンプ コンデンサ
BAT	63	P	バッテリからの 1 次電源入力
VC16	64	AI	スタックの最下部から 16 番目のセルのセンス電圧入力ピン、スタックの最下部から 16 番目のセルのバランス電流入力

(1) I = 入力、O = 出力、I/O = 入力または出力、AI = アナログ入力、AO = アナログ出力、G = グランド、P = 電源。

Copyright © 2026 Texas Instruments Incorporated

5 ピン互換の図

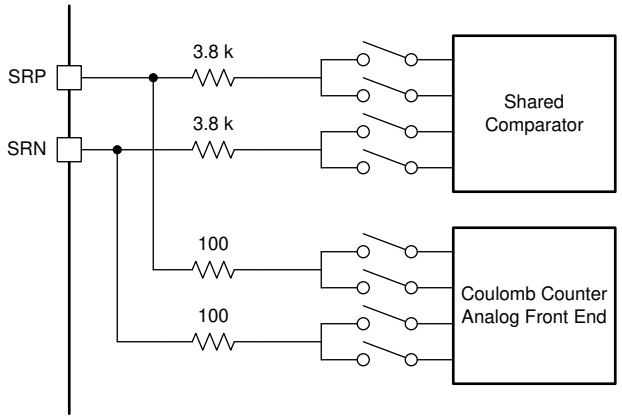


図 5-1. SRx ピン

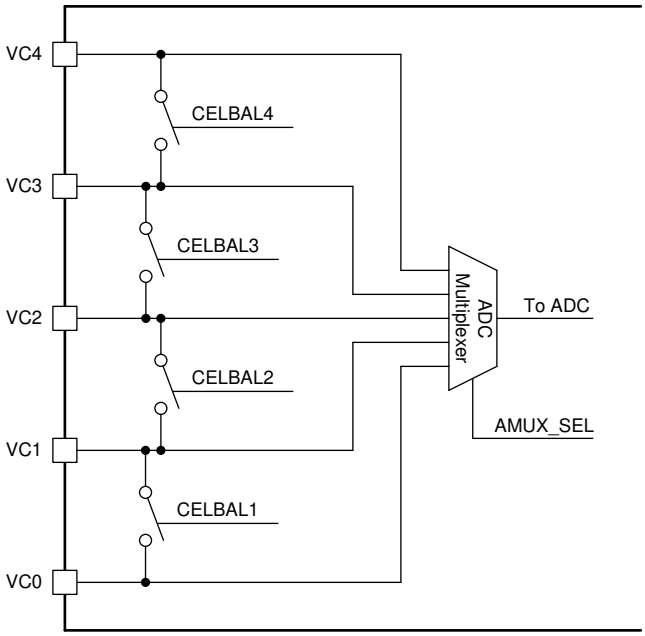


図 5-2. VCx ピン

Copyright © 2026 Texas Instruments Incorporated

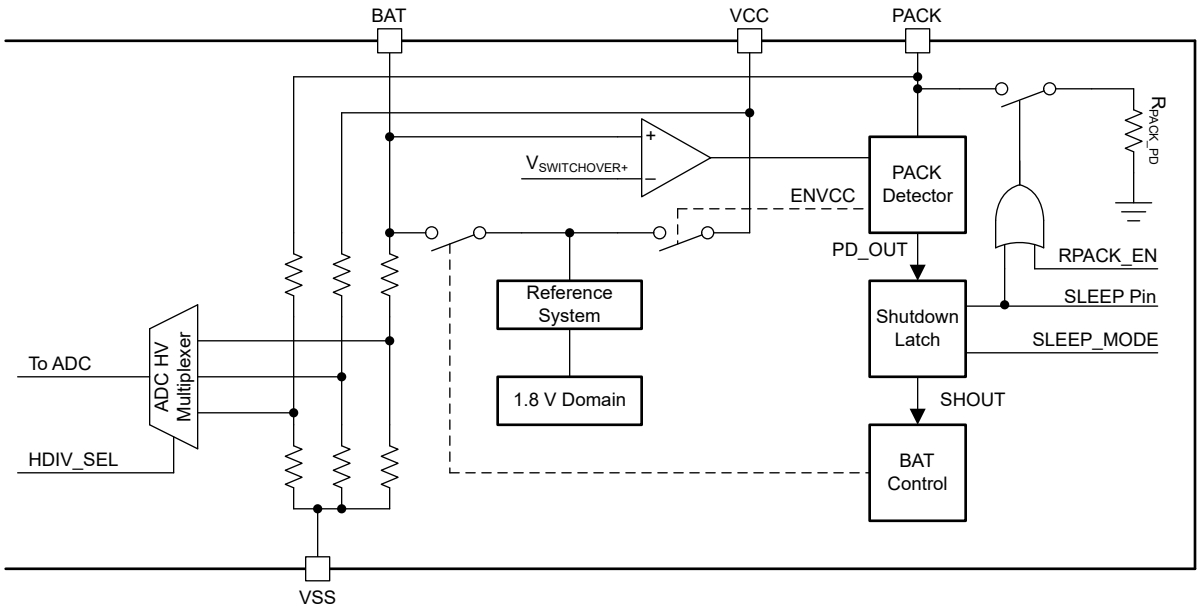


図 5-3. 電源ピン

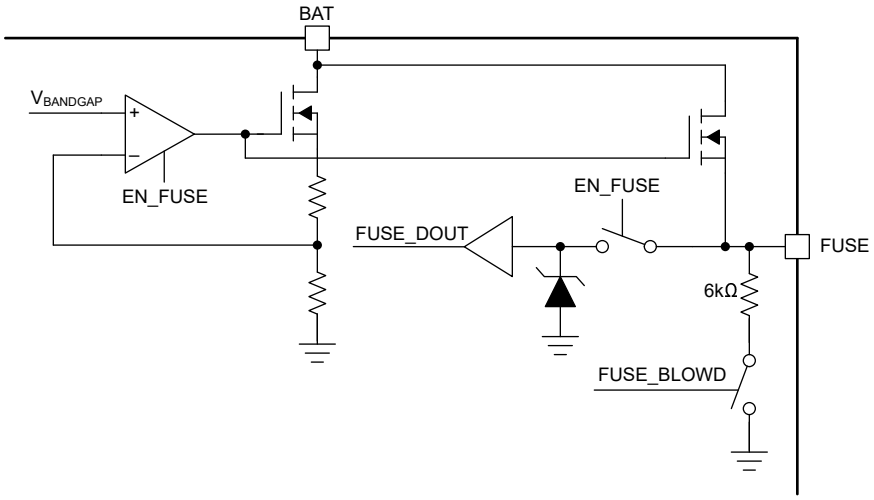


図 5-4. Fuse ピン

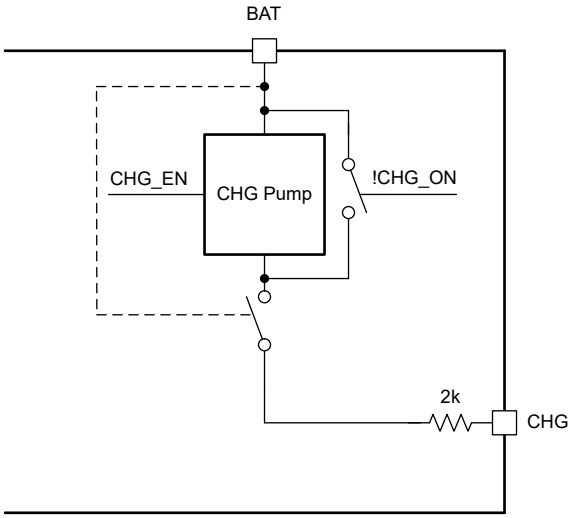


図 5-5. CHG ピン

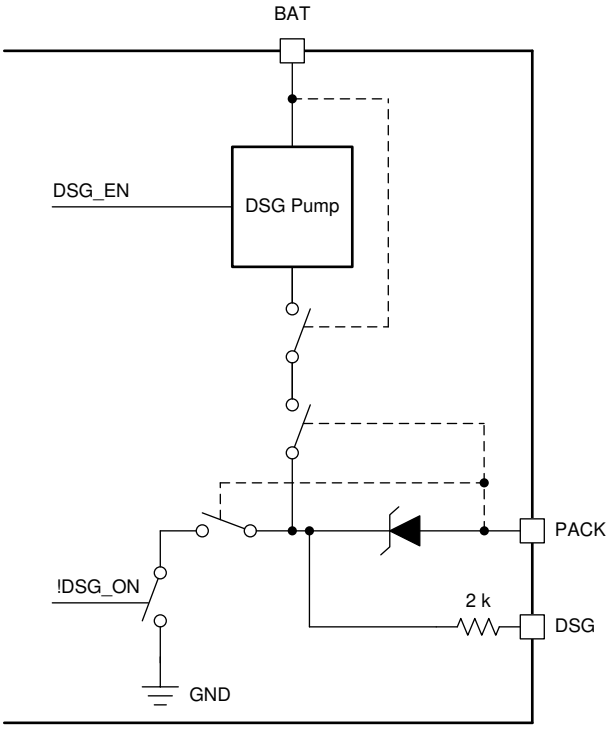


図 5-6. DSG ピン

Copyright © 2026 Texas Instruments Incorporated

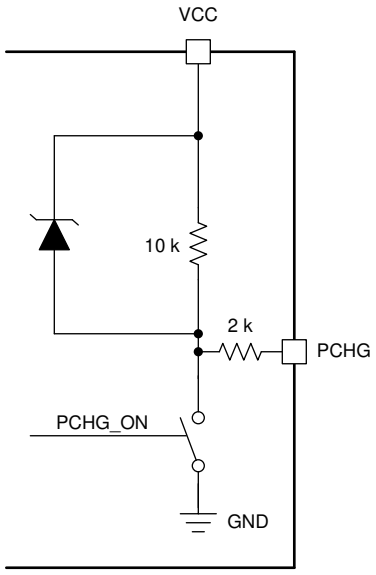


図 5-7. PCHG ピン

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		ピン	最小値	最大値	単位
V_{DD}	電源電圧範囲	BAT、VCC	VSS–0.3	VSS+85	V
V_{IN}	入力ピンの電圧	PACK、LD	VSS–0.3	VSS+85	V
		FUSE(2)	VSS–0.3	VSS+20 または V_{BAT}+0.3 の最小値	V
		REGIN	VSS–0.3	VSS+6 または V_{BREG}+0.3 の最小値	V
		RAx (SDL0、SCLK0、SDL1、SCLK1)	VSS–0.3	VSS+6	V
		RADCx、TSx、LEDx、DFETOFF、CFETOFF、WAKE、RST_SD	VSS–0.3	VSS+3.6	V
		RCx	VSS–0.3	VSS+3.6	V
		SRP、SRN	VSS–0.3	V_{REG18} + 0.3	V
		VC1、VC2、VC3、VC4、VC5、VC6、VC7、VC8、VC9、VC10、VC11、VC12、VC13、VC14、VC15、VC16	VSS – 0.3 および VC0–0.3 の最大値	VSS+85	V
		VC0	VSS–0.3	VSS+6	V
V_{OUT}	出力ピンの電圧	CP	V_{BAT}–0.3	VSS+85 または VBAT+15 の最小値	V
		CHG、DSG	VSS–0.3	VSS+85	V
		PCHG、PDSG	V_{BAT}–10 または V_{LD}–10 の最大値	VSS+85	V
		REG135	VSS–0.3	VSS+1.45	V
		REG18	VSS–0.3	VSS+2	V
		REGIO	VSS–0.3	VSS+3.5	V
		REGOUT	VSS–0.3	VSS+5.5	V
$I_{BALANCE}$	シングル セルを流れる最大セル バランシング電流	VC0 ～ VC16		100	mA
I_{SS}	最大 VSS 電流			75	mA
T_J	接合部温度 (動作時)		-40	125	°C
T_{STG}	保存温度		-55	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格 の範囲内であっても 推奨動作条件 の範囲外の場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) FUSE ピンに流れる電流は、(外付け直列抵抗を使用するなどで) 2mA 以下に制限する必要があります。

Copyright © 2026 Texas Instruments Incorporated

6.2 ESD 定格

			値	単位
V_{ESD}	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = –40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	公称値	最大値	単位
V_{DD}	電源電圧	BAT ピン、I_{REG18} ≤ 22mA	$V_{SWITCHOVER}$–		80	V
		VCC ピン	5		80	V
V_{IN}	入力電圧範囲	PACK、LD	0		80	V
		RAx (SDL0、SCLK0、SDL1、SCLK1)	0		5.5	V
		RCx	0		V_{REGIO}	V
		RADCx、TSx、LEDx、DFETOFF、CFETOFF、RST_SD	0		V_{REG18} + 0.3	V
		SRP、SRN ピン	-0.25		0.5	V
		VC16	VC_{15}-0.2		VC_{15}+5	V
		VC15	VC_{14}-0.2		VC_{14}+5	V
		VC14	VC_{13}-0.2		VC_{13}+5	V
		VC13	VC_{12}-0.2		VC_{12}+5	V
		VC12	VC_{11}-0.2		VC_{11}+5	V
		VC11	VC_{10}–.02		VC_{10}+5	V
		VC10	VC_{9}–.02		VC_{9}+5	V
		VC9	VC_{8}-0.2		VC_{8}+5	V
		VC8	VC_{7}-0.2		VC_{7}+5	V
		VC7	VC_{6}-0.2		VC_{6}+5	V
		VC6	VC_{5}-0.2		VC_{5} +5	V
		VC5	VC_{4}-0.2		VC_{4}+5	V
		VC4	VC_{3}-0.2		VC_{3}+5	V
		VC3	VC_{2}-0.2		VC_{2}+5	V
		VC2	VC_{1}-0.2		VC_{1}+5	V
		VC1	VC_{0}–.02		VC_{0}+5	V
		VC0	-0.2		0.5	V
V_{OUT}	出力電圧範囲	CHG、DSG、PCHG、PDSG	0		80	V
V_{OUT}	出力電圧範囲	FUSE	0		28	V
C_{BAT}(1)	BAT の外部コンデンサ	ディレーティングした値は、2.2V、100V のコンデンサ	0.47	1		µF
C_{VCC}(1)	VCC の外部コンデンサ	ディレーティングした値は、2.2V、100V のコンデンサ	0.1	0.47		µF

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = –40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	公称値	最大値	単位
C_{REGIO} (1)	REGIO 外部コンデンサ	ディレーティングした値は、3.3V、10V のコンデンサ	0.47	1	2.2	µF
C_{REG18} (1)	REG18 外付けコンデンサ	ディレーティングした値は、1.8V、10V のコンデンサ	0.47	1	2.2	µF
C_{REG135} (1)	REG135 外付けコンデンサ	ディレーティングした値は、1.35V、10V のコンデンサ	0.47	1	2.2	µF
Cp	チャージ ポンプ コンデンサ	ディレーティングした値は、2.2V、100V のコンデンサ	100	470	2200	nF
CC	外部セル入力コンデンサ	ディレーティングした値は、2.2V、100V のコンデンサ		100		nF
R_C	外部セル測定入力抵抗		20		100	Ω
R_{PACK} (1)	PACK 直列外部抵抗	最小スタートアップ電圧を実現するため	2	10	12	kΩ
I_{SS} (1)	VSS ピンを流れる最大電流	LDO、GPIO、セル バランシングを搭載			200	mA
T_A (2)	自由空気での動作温度		-40		105	°C

(1) 設計により規定されています。実製品の検査は行っていません。
(2) 接合部温度を推奨範囲内に保つため、追加の冷却対策が必要になる場合があります。

6.4 熱に関する情報

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

熱評価基準(1)		PVP (QFP)	単位
		64 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	29.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	16.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	12.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	12.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	0.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

6.5 電源電流

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{ACTIVE} (1)	ACTIVE モード	CPU の動作中、ADC および CC がオン、保護機能がオン、CHG および DSG FET がオン、通信なし		500		µA
I_{SLEEP} (2)	SLEEP モード	CPU 停止、ADC および CC がオン、保護機能がオン、CHG および DSG FET がオン、RAM の内容を保持、フラッシュの読み取り / 書き込み / 消去なし、通信なし		250		µA

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{DEEPSLEEP}$	ディープ スリープ モード	CPU 停止、ADC および CC がオフ、保護機能がオフ、CHG および DSG FET がオフ、RAM の内容を保持、フラッシュの読み取り / 書き込み / 消去なし、通信なし		80		µA
$I_{HIBERNATE}$	ハイバネーション モード	PACK および WAKE の検出機能を除き、すべての電源がオフ		30		µA
I_{SHELF}	SHELF モード	PACK 検出機能および低消費電力タイマを除き、すべての電源がオフ		3	5	µA
I_{SHUT}	シャットダウン モード	PACK 検出機能を除き、すべての電源がオフ。GPIO ピンに電源が供給されていない場合の外部プルアップ		0.6	2	µA

(1) アクティブ モードにおいて、CPU および ADC/CC のデューティ サイクルを 4% 未満に制御する一般的なファームウェア設定でデバイスが動作していると仮定
(2) スリープ モードにおいて、CPU および CC のデューティ サイクルを 1% 未満に制御する一般的なファームウェア設定でデバイスが動作していると仮定

6.6 電源セレクタ

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源セレクタ						
$V_{STARTUP}$	PACK のスタートアップ電圧	1ms の V_{PACK} > $V_{STARTUP}$	3.5	4.5	5.5	V
$V_{SWITCHOVER-}$	BAT から VCC への切り替え電圧	V_{BAT} < $V_{SWITCHOVER-}$	4.9	4.95	5.05	V
$V_{SWITCHOVER+}$	VCC から BAT への切り替え電圧	V_{BAT} > $V_{SWITCHOVER-}$ + V_{HYS}	5.85	6.1	6.5	V
V_{HYS}	切り替えヒステリシス電圧	$V_{SWITCHOVER+}$ - $V_{SWITCHOVER-}$		1.02		V
T_{SD_ALERT+}	サーマル シャットダウン アラート温度上昇	セル数 > 7S	110	120	135	°C
		セル数 ≤ 7S	115	120	135	°C
T_{SD_ALERT-}	サーマル シャットダウン アラート温度下降	リセットの終了、REG135 イネーブル	100	102		°C
T_{SD+}	サーマル シャットダウン温度上昇			140	148	°C
T_{SD-}	サーマル シャットダウン温度下降	REG18 イネーブル	122	130		°C
I_{LKG}	入力リーク電流	BAT ピン、BAT = 0V、VCC = 60V、PACK = 60V			1	µA
		PACK ピン、BAT = 60V、VCC = 0V、PACK = 0V			1	µA
R_{PACK_PD}	内部プルダウン抵抗	PACK ピン	30	40	50	kΩ
パワーオン リセット						
t_{RST_POR}(1)	パワーオン リセット時間: 有効な入力電圧の印加からマイコンの POR 解除まで			2.5	4.0	ms
t_{RST_ROM}(1)	パワーオン リセット時間: 有効な入力電圧が印加されてから、ROM コードの実行準備が整った CPU まで移行			5	10	ms

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{RST_EXE}(1)	パワーオン リセット時間：有効な入力電圧が印加されてから、フラッシュ コードの実行準備が整った CPU まで移行	ROM によって実行されるフラッシュ アレイの CRC は含まれません		5	10	ms

(1) 設計により規定されています。実製品の検査は行っていません。

6.7 電流ウェイク検出器

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{WAKE_THR}	ウェークアップ電圧スレッショルド	公称設定、V_{SRP} — V_{SRN} に基づくスレッショルド		±0.5 ～ ±7.5 (0.5 刻み)		mV
$V_{WAKE_THR_ERR}$(1)	ウェークアップ電圧スレッショルド エラー	T_A = 25°C、V_{WAKE} = V_{SRP} – V_{SRN}	-350		350	µV

(1) 設計により規定されています。実製品の検査は行っていません。

6.8 汎用入出力

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 85°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
低電圧 GPIO (RA および RC ポート)						
V_{IN}	入力電圧範囲	RA0..3 (SDA0、SCL0、SDA1、SCL1)	-0.2		5.5	V
V_{IN}	入力電圧範囲	RC0..8	-0.2		$V_{REG3.3}$	V
V_{IH}(2)	High レベル入力電圧	RA0..3 (SDA0、SCL0、SDA1、SCL1)	0.7 x V_{REGIO}			V
V_{IH}(2)	High レベル入力電圧	RC0..8	0.7 x V_{REGIO}			V
V_{IL}(2)	Low レベル入力電圧	RA0..3 (SDA0、SCL0、SDA1、SCL1)			0.3 x V_{REGIO}	V
V_{IL}(2)	Low レベル入力電圧	RC0..8			0.3 x V_{REGIO}	V
V_{IOHYS}(1)	入力のヒステリシス	RA0..3、RC0..8	75			mV
V_{OH}(2)	出力電圧 High	RC0..8 : I_{OH} = –450µA	0.7*V_{REGIO}			V
V_{OL}	出力電圧 Low	RA0..3 (SDA0、SCL0、SDA1、SCL1): I_{OH} = 3mA			0.35	V
V_{OL}	出力電圧 Low	RC0..8 : I_{OH} = 1mA			0.35	V
$t_{PWMRISE}$	PWM 出力立ち上がり時間	RC0、RC1：C_L = 100pF、Q_{tot} = 1nC、ゲートドライブの 0% ～ 90%、PWM_SYNC = 1			6	µs
$t_{PWMFALL}$	PWM 出力立ち下がり時間	RC0、RC1：C_L = 100pF、Q_{tot} = 1nC、ゲートドライブの 100% ～ 10%、PWM_SYNC = 1			6	µs
R_{BUSPD}	内部弱プルダウン抵抗	RA0...3、常時オン	3.2	4	4.8	MΩ
R_{WKPD}	内部プルダウン抵抗	RA0...3 (SDA0、SCL0、SDA1、SCL1)	35	40	50	kΩ
R_{WKPD}	内部プルダウン抵抗	RC0...8	15	20	30	kΩ
R_{WKPU}	内部プルアップ抵抗	RC0...8	180	100	120	kΩ

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 85°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_I(1)	入力容量	RA0...3 (SDA0、SCL0、SDA1、SCL1)		1.8		pF
C_I(1)	入力容量	RC0...8		1.5		pF
I_{lkg}(1)	入力リーク電流	RA0...3、常時オンの R_{BUSPD} プルダウンを含む		0.5	2	µA
I_{lkg}(1)	入力リーク電流	RC0...8		1	2	µA
ADC 入力付き GPIO (RADC ポート)						
V_{IN}	入力電圧範囲	RADCx/TS：ADC 入力として使用する場合、内部リファレンス (V_{REF1})	-0.2		1	V
		RADCx/TS：ADC 入力として使用する場合、外部リファレンス (V_{REG18})	-0.2		0.8 x V_{REG18}	V
		弱いプルアップなしの RADCx/TS (n = 0 ～ 8)	-0.2		5.5	V
		弱いプルアップを備えた RADCx/TS (n = 0 ～ 8)	-0.2		V_{REGIO}	V
V_{IH}(2)	High レベル入力電圧	RADCx/TS	0.7 x V_{REGIO}			V
V_{IL}(2)	Low レベル入力電圧	RADCx/TS0			0.3 x V_{REGIO}	V
V_{IOHYS}(1)	入力のヒステリシス	RADCx/TS	75			mV
V_{OH}(2)	出力電圧 High	RADCx/TS：I_{OH} = –1mA	0.7*V_{REGIO}			V
V_{OL}(2)	出力電圧 Low	RADCx/TS：I_{OL} = 3mA			0.3 x V_{REGIO}	V
R_{WKPD}	内部弱プルダウン抵抗	RADC0...8	0.8	1	1.2	MΩ
R_{WKPU}	内部弱プルアップ抵抗	RADC0...8	0.8	1	1.2	MΩ
C_I(1)	入力容量	RADC0...8		2		pF
I_{lkg}(1)	入力リーク電流	RADC0...8		1	5	µA
電流シンク機能付き低電圧 GPIO (RL/LED ポート)						
V_{IN}	入力電圧範囲	弱いプルアップなし	-0.2		5.5	V
V_{IN}(2)	入力電圧範囲	弱いプルアップ付き	-0.2		V_{REGIO}	V
V_{IH}(2)	High レベル入力電圧		0.7*V_{REGIO}			V
V_{IL}(2)	Low レベル入力電圧				0.3 x V_{REGIO}	V
V_{IOHYS}(1)	入力のヒステリシス		75			mV
V_{OH}(2)	出力電圧 High	I_{OH} = -1mA	0.7*V_{REGIO}			V
I_{OL}	シンク電流	V_{OL} = 1V	3.5	5	6.5	mA
R_{WKPD}	内部弱プルダウン抵抗		0.8	1	1.2	MΩ
R_{WKPU}	内部弱プルアップ抵抗		0.8	1	1.2	MΩ
C_I(1)	入力容量			5		pF
I_{lkg}(1)	入力リーク電流			1	2	µA

(1) 設計により規定されています。実製品の検査は行っていません。
(2) V_{REGIO} は、OTP の構成に応じて 1.8V または 3.3V に設定できます。

Copyright © 2026 Texas Instruments Incorporated

6.9 Aux REGOUT LDO

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{BAT_REGOUT}	V_{REGOUT} 動作時の最小 V_{BAT} 電圧(1)	V_{BAT} ≥ 7.5V		7.5	8.5	V
$V_{REGOUT_3.3}$	レギュレータ電圧 (3.3V に設定)	VREGIN ≥ 4.2V、I_{REG} = 0mA ～ 100mA	3	3.3	3.6	V
$V_{REGOUT_5.0}$	レギュレータ電圧 (5.0V に設定)	V_{BREG} ≥ 5.8V、I_{REG} = 0mA ～ 100mA	4.5	5	5.5	V
$\Delta V_{REGOUT(TEMP)}$	温度レギュレーション	ΔV_{REGOUT} と (25°C における V_{REGOUT}、I_{REGOUT} = 20mA、V_{REGIN} = 5.5V、V_{REGOUT} は公称 3.3V に設定)	-1.5	±0.25	1.5	%
$\Delta V_{REGOUT(LINE)}$	ライン レギュレーション	ΔV_{REGOUT} と (25°C における V_{REGOUT}、V_{REGIN} = 5.5V、I_{REGOUT} = 20mA、V_{REGIN} は 5V ～ 6V に変化、V_{REGOUT} は公称 3.3V に設定)	-1		1	%
$\Delta V_{REGOUTLOAD}$	ロード レギュレーション	I_{REGOUT} = 1 ～ 5mA	-2.6		2.6	%
$\Delta V_{REGOUTLOAD}$	ロード レギュレーション	I_{REGOUT} = 1 ～ 100mA	-5		5	%
I_{SC}	外部 BJT によるレギュレータ短絡電流制限	V_{REGOUT} = 0V	101		230	mA
C_{EXT_REGIN}	REGIN から VSS への外付けコンデンサ(1)			0.02		µF
C_{EXT}	REGOUT から VSS への外付けコンデンサ(1)		1			µF
$\Delta V_{O(TEMP)}$	温度によるレギュレータ出力	25°C における ΔV_{REGIN} と V_{REGIN} との関係、I_{REGIN} = 50mA、V_{BAT} > 8.5V		±1		%
I_{Max}	外部 BJT を使用せずに BREG から出力される最大電流(1)	短絡条件の場合 (V_{BREG} = 0V)	2	3	4	mA

(1) 設計により規定されています。

6.10 LD ピン

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{LD}	LD ピン直列抵抗値		2	10		kΩ
$I_{(PULLUP)}$	BAT ピンから LD ピンへの内部プルアップ電流、負荷検出機能に使用	V_{BAT} ≥ 8V、V_{LD} = VSS	1.75	3	4.05	mA
C_{IN}	入力容量			5		pF

6.11 シェルフ タイマ

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$F_{OSC_SHUTDOWN}$	シャットダウン モードでの発振器の動作周波数			2		kHz

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{WAKEUP_DELAY}	プリロードされたウェークアップ遅延時間 (選択可能オプション:33 秒、66 秒、131 秒、262 秒、524 秒、1048 秒、2097 秒、4194 秒)		33		4194	s
F_{LOSC_DRIFT} (1) (2)	室温でのトリム後の周波数ドリフト	25°C	-5		5	%
F_{LOSC_DRIFT} (1)(2)	温度変化に伴うトリム後の周波数ドリフト	–25°C ～ 65°C	-8		8	%
		–40°C ～ 85°C	-10		10	%

(1) 設計により規定されています。実製品の検査は行っていません。
(2) 周波数ドリフトは、T_A = 25°C のときにトリムされた周波数から組み込まれ、測定されます。このとき、最小値と最大値は特性に基づくもので、OTP に保存されています。

6.12 セル バランシング

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{(CB)}$	内部セル バランシング抵抗(1)(2)	$V_{VC(n)} – V_{VC(n–1)}$ = 1.5V、1 ≤ n ≥ 16、V_{BAT} ≥ 4.7V での内部 FET スイッチの $R_{DS(ON)}$	15	28	46	Ω

(1) チャージ ポンプが動作していない場合、最大 80V の V_{BAT} での動作をサポートします。チャージ ポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧がピンの最大規定電圧を超えないように、V_{BAT} の最大電圧を下げる必要があります。
(2) セル バランシングは、絶対最大許容電流に基づいて電流を制限し、デバイスの推奨動作温度を超えないように制御する必要があります。これは、オフ チップ セル入力抵抗のサイズを適切に設定し、同時にバランスをとることができるセル数を制限することで実現できます。

6.13 コンパレータ ベースの検出 (SCOMP)

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{OT}(1)	過熱検出抵抗のスレッショルド	OT_SEL = 0x07 ～ 0x7F		893～108000		Ω
		OT_SEL = 0x15 (35°C)		7200		Ω
		OT_SEL = 0x18 (40°C)		6000		Ω
		OT_SEL = 0x1c (45°C)		4909		Ω
		OT_SEL = 0x20 (50°C)		4154		Ω
		OT_SEL = 0x24 (55°C)		3600		Ω
		OT_SEL = 0x2a (60°C)		3000		Ω
		OT_SEL = 0x30 (65°C)		2571		Ω
		OT_SEL = 0x36 (70°C)		2250		Ω
		OT_SEL = 0x3e (75°C)		1929		Ω
		OT_SEL = 0x47 (80°C)		1662		Ω
		OT_SEL = 0x50 (85°C)		1459		Ω
		OT_SEL = 0x5c (90°C)		1256		Ω
		OT_SEL = 0x68 (95°C)		1102		Ω
		OT_SEL = 0x75 (100°C)		973		Ω
		OT_SEL = 0x7f (105°C)		893		Ω
R_{OT_ACC}	過熱検出抵抗のスレッショルド精度	T_A = –25°C ～ 65°C	-2.5		2.5	%
R_{OT_ACC}	過熱検出抵抗のスレッショルド精度	T_A = –40°C ～ 85°C	-5		5	%

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OCC}	充電時の過電流 (OCC) 電圧スレッショルド範囲	公称設定、2mV 刻みでプログラム可能、V_{SRP} — V_{SRN} に基づくスレッショルド	2		254	mV
V_{OCD}	放電時の過電流 (OCD1、OCD2) 電圧スレッショルド範囲	公称設定、2mV 刻みでプログラム可能、V_{SRP} — V_{SRN} に基づくスレッショルド	-2		-254	mV
V_{OC_ACC}	過電流 (OCC、OCD1、OCD2) 検出電圧スレッショルドの精度	|設定| < 20mV	-1.5		1.5	mV
		|設定| = 20mV ～ 56mV	-4		4	mV
		|設定| = 56mV ～ 100mV	-5		5	mV
		|設定| > 100mV	-5		5	mV

(1) 103AT NTC サーミスタを使用した場合の予期温度スレッショルド

6.14 SCOMP のタイミング要件

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
F_{SCOMP}	SCOMP 検出クロック周波数			32768		Hz
F_{SCOMP_ERR}	SCOMP 検出クロック周波数エラー		-3		3	%
t_{SCD} (1)(2)	短絡フォルトの検出遅延	最小遅延後、15.625µs 間隔でプログラム可能	5		3970	µs
t_{OCC} (1)(2)	充電時の過電流フォルトの検出遅延	最小遅延後、0.0625ms 間隔でプログラム可能	0.187		1531	ms
t_{OCD1} (1)(2)	放電 1 の過電流フォルトの検出遅延	最小遅延後、0.0625ms 間隔でプログラム可能	0.187		1531	ms
t_{OCD2} (1)(2)	放電の過電流フォルト 2 の検出遅延	最小遅延後、0.0625ms 間隔でプログラム可能	0.187		1531	ms
t_{OT} (1)(2)	過熱フォルトの検出遅延	最小遅延後、0.55ms 間隔でプログラム可能	1		31	s
t_{WAKE_CD} (1)(2)	放電時の電流ウェークの検出遅延	最小遅延後、0.187ms 間隔でプログラム可能	0.187		383	ms
t_{WAKE_CC} (1)(2)	充電時の電流ウェークの検出遅延	最小遅延後、0.187ms 間隔でプログラム可能	0.187		383	ms

(1) 設計により規定されています。実製品の検査は行っていません。
(2) LFO 周波数誤差は含まれません

6.15 SCD コンパレータ

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{SCD}	放電電圧スレッショルド範囲内の短絡	公称設定、V_{SRP} – V_{SRN} に基づくスレッショルド、プログラム可能。	-500		-10	mV
V_{SCD_ACC}	放電時の短絡の電圧スレッショルド検出精度 (1)	T_A = -40°C ～ +85°C、$V_{(SCD)}$ 設定 < 20mV	-15		15	公称スレッショルドの %
		T_A = –40°C ～ +85°C、$V_{(SCD)}$ 設定 ≥ 20mV	-35		35	公称スレッショルドの %

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{SCD_DLY}	放電時の短絡検出遅延	最速設定 (V_{SRN} – V_{SRP} に 3mV を印加)		8		µs
		最速設定 (V_{SRN} – V_{SRP} に 25mV を印加)		600		ns
		公称設定、最小遅延から最大遅延まで、15.2µs 刻みでプログラム可能	19.2		3900	µs

(1) 特性評価と製造試験の組み合わせによる仕様

6.16 ハイサイド NFET ドライバ (CHG、DSG、PCHG、PDSG)

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{FETON}	BAT を基準とした CHG ピンの電圧、LD/PACK を基準とした DSG ピンの電圧、6V ≤ V_{BAT} ≤ 80V、V_{LD} ≤ V_{DSG} (1)(2)	V_{BAT} ≥ 6V、CHG/DSG C_L = 20nF、R_{GS} = 10MΩ、チャージ ポンプの通常動作設定	9	10	12	V
V_{FETON_LP}	BAT を基準とした CHG ピンの電圧、LD/PACK を基準とした DSG ピンの電圧、6V ≤ V_{BAT} ≤ 80V、V_{LD} ≤ V_{DSG} (1)(2)	V_{BAT} ≥ 6V、CHG/DSG C_L = 20nF、R_{GS} = 10MΩ、チャージ ポンプ低消費電力モード設定	6	7	8.5	
V_{FET_UVLO}	BAT を基準とした CHG ピンの電圧、LD/PACK を基準とした DSG ピンの電圧、6V ≤ V_{BAT} ≤ 80V、V_{LD} ≤ V_{DSG} (1)(2)	V_{BAT} ≥ 6V、CHG/DSG C_L = 20nF、R_{GS} = 10MΩ、チャージ ポンプの通常モード設定	4.5	5	6.5	V
$V_{FET_UVLO_LP}$	BAT を基準とした CHG ピンの電圧、LD/PACK を基準とした DSG ピンの電圧、6V ≤ V_{BAT} ≤ 80V、V_{LD} ≤ V_{DSG} (1)(2)	V_{BAT} ≥ 6V、CHG/DSG C_L = 20nF、R_{GS} = 10MΩ、チャージ ポンプの低消費電力モード設定時の低電圧ロックアウト (UVLO)	2.5	3	3.5	
V_{SRCFOL_FETON}	BAT を基準とした DSG オン電圧	CHG/DSG C_L = 20nF、R_{GS} = 10MΩ、ソース フォロワ モード		0		V
$V_{CHGFETOFF}$	BAT を基準とした CHG オフ電圧	CHG/DSG C_L = 20nF、R_{GS} = 10MΩ、定常状態の値			0.7	V
$V_{DSGFETOFF}$	LD/PACK を基準とした DSG オフ電圧	CHG/DSG C_L = 20nF、R_{GS} = 10MΩ、定常状態の値			0.1	V
t_{CHG/DSG_FET_ON}	CHG と DSG の立ち上がり時間	CHG/DSG C_L = 20nF、R_{GS} = 10MΩ、R_{GATE} = 100Ω、0.5V ～ 4V ゲート ソース間オーバードライブ、チャージ ポンプの高オーバードライブ設定 (4)(5)		21	40	µs
$t_{CHGFETOFF}$	BAT への CHG 立ち下がり時間	CHG C_L = 20nF、R_{GS} = 10MΩ、R_{GATE} = 100Ω、$V_{(FETON)}$ (5) の 90% ～ 10%		46	65	µs
$t_{DSGFETOFF}$	DSG の LD/PACK ピンに対する立ち下がり時間	DSG C_L = 20nF、R_{GATE} = 100Ω、R_{GS} = 10MΩ、$V_{(FETON)}$ の 90% ～ 10% (5)		2	20	µs

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PCHG/PDSG_FET_ON}$	PCHG と PDSG の立ち上がり時間	PCHG/PDSG C_L = 5nF、R_{GS} = 10MΩ、R_{GATE} = 100Ω、0.5V ～ 4V ゲート ソース間オーバードライブ、チャージ ポンプの高オーバードライブ設定(4)(5)		21	40	µs
$t_{PCHGFETOFF}$	BAT への PCHG 立ち下がり時間	PCHG C_L = 5nF、R_{GS} = 10MΩ、R_{GATE} = 100Ω、$V_{(FETON)}$(5) の 90% ～ 10%		150	250	µs
$t_{PDSGFETOFF}$	PDSG の LD/PACK ピンに対する立ち下がり時間	PDSG C_L = 5nF、R_{GS} = 10MΩ、R_{GATE} = 100Ω、$V_{(FETON)}$ の 90% ～ 10% (5)		150	250	µs
t_{CP_START}	チャージ ポンプの起動時間	C_L = 20nF、$C_{(CP1)}$ = 470nF、$V_{(FETON)}$ の 10% ～ 90%			20	ms
C_{CP1}	チャージ ポンプ コンデンサ(3)		100	470	2200	nF

(1) チャージ ポンプが動作していない場合、最大 80V の V_{BAT} での動作をサポートします。チャージ ポンプが動作している場合は常に (5.5V または 11V モード)、CP1、CHG、DSG の電圧が最大規定電圧を超えないように、V_{BAT} の最大電圧を下げる必要があります。
(2) DSG ドライバが有効化されると、CHG ドライバが無効化され、LD ピンに $V_{LD} > V_{DSG}$ になるように電圧が印加されると、DSG の電圧は約 V_{LD} — 0.7V に上昇します
(3) 設計により規定されています。
(4) 特性評価によって仕様規定されています
(5) 最高の性能を実現するため、設計およびシステム評価中に R_{GATE} を最適化できます。FET ターン オン / オフの過高速化を回避するため、より大きな値が必要な場合があります。この結果、セルおよびハーネスのインダクタンスによる大きな電圧過渡が発生する可能性があります。

6.17 FUSE ピン

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	高出力電圧 (ヒューズを駆動している場合)	V_{BAT} ≥ 8V、C_L = 10nF、5kΩ 負荷。	6	6.5	7	V
V_{OH}	V_{BAT} を基準とする高出力電圧 (ヒューズを駆動している場合)	2.7V ≤ V_{BAT} < 8V、C_L = 10nF、5kΩ 負荷。	-1.5		0	V
V_{IH}	High レベル入力 (ヒューズ検出用)	デバイスのピンへの電流は、最大 2mA に制限する必要があります	2			V
V_{IL}	Low レベル入力 (ヒューズ検出用)				0.9	V
C_{IN}(1)	入力容量			1.8		pF

(1) 設計により規定されています。量産では検査していません。

6.18 フラッシュ メモリ

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DR}(1)	データ保持期間		10	100		年
	フラッシュ プログラミングの書き込みサイクル(1)		20000			サイクル
t_{FPWRUP}(2)	フラッシュ パワーアップ時間	PM_CONFIG_ACTIVE の変更から PM_CONFIG_ST の更新へ		150	200	µs
$t_{FPWRDOWN}$(1)	フラッシュ電源ダウン	PM_CONFIG_ACTIVE の変更から PM_CONFIG_ST の更新へ		6	15	µs
$t_{ROWPROG}$(1)	ワード (128 ビット) のプログラミング時間	高レベル API (ROM API) の使用を含む		100		µs

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{MASSERASE}$ (1)	一括消去時間	高レベル API (ROM API) の使用を含む		34	500	ms
$t_{SECTORERASE}$ (1)	セクタの消去時間	高レベル API (ROM API) の使用を含む		14	500	ms

(1) 設計により規定されています。実製品の検査は行っていません。
(2) キャラクタライゼーションにより確認されました。実製品の検査は行っていません。

6.19 インターフェイス I/O

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I2C						
V_{IH} (2)	高入力電圧	SDA、SCL	0.7 x V_{REG18}			V
V_{IL} (2)	低入力電圧	SDA、SCL	-0.5		0.3 x V_{REG18}	V
V_{OL}	出力 LOW 電圧	SDA、SCL、I_{OL} = –3mA			0.4	V
t_{SP} (1)	入力フィルタにより抑制されるスパイクのパルス幅	SDA、SCL、AGFSEL = 0x3			50	ns
C_{IN} (1)	入力容量	SDA、SCL		1.8		pF
C_B (1)	バス容量 / ライン	SDA、SCL			100	pF
I_{LKG} (1)	入力リーク電流	SDA、SCL、常時オンの R_{BUSPD} プルダウンを含む		0.5	2	µA
SMBus						
V_{BUS}	公称バス電圧	SMBD、SMBC	1.8		5	V
	動作バス電圧	SMBD、SMBC	1.62		5.5	V
V_{IH}	高入力電圧	SMBD、SMBC	1.35		V_{BUS}	V
V_{IL}	低入力電圧	SMBD、SMBC			0.8	V
V_{OL}	出力 LOW 電圧	SMBD、SMBC、I_{OL} = –3mA			0.4	V
t_{SP} (1)	入力フィルタにより抑制されるスパイクのパルス幅	SMBD、SMBC、AGFSEL = 0x3			50	ns
C_{IN} (1)	入力容量	SMBD、SMBC		1.8		pF
C_B (1)	バス容量 / ライン	SMBD、SMBC			100	pF
I_{LKG} (1)	入力リーク電流	SMBD、SMBC、常時オンの R_{BUSPD} プルダウンを含む		0.5	2	µA

(1) 設計により規定されています。量産では検査していません。
(2) V_{REG18} を超えるプル アップ電圧での使用では、電圧およびタイミング スレッショルドは引き続き V_{REG18} に基づいています。

6.20 I²C インターフェイスのタイミング

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
I2C 100kHz						
f_{SCL}	クロック周波数				100	kHz
$t_{HD:STA}$	START 条件のホールド時間		4			µs
t_{LOW}	SCL クロックの Low 期間		4.7			µs

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
t_{HIGH}	SCL クロックの High 期間		4			µs
$t_{SU:STA}$	リピート START セットアップ時間		4.7			µs
$t_{HD:DAT}$	ホールド時間のデータ		0			µs
$t_{SU:DAT}$	セットアップ時間のデータ		250			ns
	データ出力セットアップ時間		250			ns
t_r (2)	SDA と SCL の立ち上がり時間	V_{REGIO} の 30% ～ 70%			1000	ns
t_F (2)	SDA と SCL の立ち下がり時間	V_{REGIO} の 30% ～ 70%			300	ns
$t_{SU:STO}$	STOP 条件のセットアップ時間		4			µs
t_{BUF}	STOP と START との間のバス解放時間		4.7			µs
$t_{VD:DAT}$ (1)(3)(4)	データ有効時間				3.45	µs
$t_{VD:ACK}$ (1)(3)(4)	データ有効アクノリッジ時間				3.45	µs
t_{BUSLOW}	デバイスによる最大 SCL/SDA Low (BUSLOW) 信号検出時間	BUSLOWCNT = 0x1		0.5		s
t_{BUSLOW}	デバイスによる最大 SCL/SDA Low (BUSLOW) 信号検出時間	BUSLOWCNT = 0x2		1		s
t_{BUSLOW}	デバイスによる最大 SCL/SDA Low (BUSLOW) 信号検出時間	BUSLOWCNT = 0x4		2		s
t_{BUSLOW}	デバイスによる最大 SCL/SDA Low (BUSLOW) 信号検出時間	BUSLOWCNT = 0x7		3.5		s
C_D	各バス ラインの容量性負荷				400	pF
I2C 400kHz						
f_{SCL}	クロック周波数				400	kHz
$t_{HD:STA}$	START 条件のホールド時間		0.6			µs
t_{LOW}	SCL クロックの Low 期間		1.3			µs
t_{HIGH}	SCL クロックの High 期間		0.6			µs
$t_{SU:STA}$	リピート START セットアップ時間		0.6			µs
$t_{HD:DAT}$	ホールド時間のデータ		0			µs
$t_{SU:DAT}$	セットアップ時間のデータ		100			ns
	データ出力セットアップ時間		100			ns
t_r (2)	SDA と SCL の立ち上がり時間	V_{REGIO} の 30% ～ 70%	20		300	ns
t_F (2)	SDA と SCL の立ち下がり時間	V_{REGIO} の 30% ～ 70%	20 * (V_{REGIO}/ 5.5)		300	ns
$t_{SU:STO}$	STOP 条件のセットアップ時間		0.6			µs
t_{BUF}	STOP と START との間のバス解放時間		1.3			µs
$t_{VD:DAT}$ (1)(2)(3)	データ有効時間				0.9	µs
$t_{VD:ACK}$ (1)(2)(3)	データ有効アクノリッジ時間				0.9	µs
t_{BUSLOW}	デバイスによる最大 SCL/SDA Low (BUSLOW) 信号検出時間	BUSLOWCNT = 0x1		0.5		s
		BUSLOWCNT = 0x2		1		s
		BUSLOWCNT = 0x4		2		s
		BUSLOWCNT = 0x7		3.5		s
C_D	各バス ラインの容量性負荷				400	pF
I2C 1MHz						
f_{SCL}	クロック周波数				1000	kHz

Copyright © 2026 Texas Instruments Incorporated

標準値は T_A = 25°C、V_{BAT} = 59.2V の場合、最小値/最大値は T_A = -40°C ～ 105°C、V_{BAT} = 5V ～ 80V の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
$t_{HD:STA}$	START 条件のホールド時間		0.26			µs
t_{LOW}	SCL クロックの Low 期間		0.5			µs
t_{HIGH}	SCL クロックの High 期間		0.26			µs
$t_{SU:STA}$	リピート START セットアップ時間		0.26			µs
$t_{HD:DAT}$	ホールド時間のデータ		0			µs
$t_{SU:DAT}$	セットアップ時間のデータ		50			ns
	データ出力セットアップ時間		50			ns
t_r (2)	SDA と SCL の立ち上がり時間	V_{REGIO} の 30% ～ 70%			120	ns
t_F (2)	SDA と SCL の立ち下がり時間	V_{REGIO} の 30% ～ 70%	20 * (V_{REGIO}/ 5.5)		120	ns
$t_{SU:STO}$	STOP 条件のセットアップ時間		0.26			µs
t_{BUF}	STOP と START との間のバス解放時間		0.5			µs
$t_{VD:DAT}$ (1)(2)(3)	データ有効時間				0.45	µs
$t_{VD:ACK}$ (1)(2)(3)	データ有効アクノリッジ時間				0.45	µs
t_{BUSLOW}	デバイスによる最大 SCL/SDA Low (BUSLOW) 信号検出時間	BUSLOWCNT = 0x1		0.5		s
		BUSLOWCNT = 0x2		1		s
		BUSLOWCNT = 0x4		2		s
		BUSLOWCNT = 0x7		3.5		s
C_D	各バス ラインの容量性負荷				100	pF

(1) この最大値が満たされるのは、SCL 信号の LOW 期間 (t_{LOW}) を本デバイスがストレッチ (延長) しない場合に限られます。
(2) V_{REGIO} は、OTP の選択に応じて 1.8V または 3.3V に設定できます。
(3) $t_{VD;DAT}$ = データ信号が必要とする SCL LOW から SDA 出力 (HIGH または LOW、どちらか長い方) までの時間。
(4) $t_{VD;ACK}$ = アクノリッジ信号が必要とする SCL LOW から SDA 出力 (HIGH または LOW、どちらか長い方) までの時間。

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

BQ41Z90 バッテリ パック マネージャは、フラッシュベースのファームウェアと統合型ハードウェア保護機能を採用し、3 ～ 16 直列セルを含むバッテリ スタック アーキテクチャ向けの包括的なソリューションを提供する高集積デバイスです。BQ41Z90 デバイスは、Dynamic Z-Track™ テクノロジーを活用して、動的な負荷条件の下でも、充電状態を高精度で報告します。このテクノロジーは、TI の有名な Impedance Track™ 残量計アルゴリズムの拡張版で、バッテリ寿命全体にわたるインピーダンスの変化を追跡して、フル充電容量 (FCC)、充電状態 (SoC)、健全性 (SoH) を正確に推定します。

BQ41Z90 デバイスは、直列構成の FET を持つシステムと、並列の充電パスと放電パスを持つシステムをサポートしており、さまざまな充電電流と放電電流の大きさに対応できます。並列構成では、負荷接続経由で放電を行っている間、このデバイスをチャージャ コネクタに接続できます。また、このデバイスは、1 つの FET のみを使用する、または FET を使用しないシステムもサポートしており、FET を外部プロテクタで置き換えることができます。

BQ41Z90 デバイスは、SHA-1 および SHA-2 認証オプションに加えて、バッテリ パックのセキュリティを強化するため、楕円曲線暗号 (ECC) 認証機能を備えています。ECC 認証では、固有の非対称秘密 / 公開鍵暗号化を使用するため、ホスト システムで同じ秘密を共有する必要はありません。

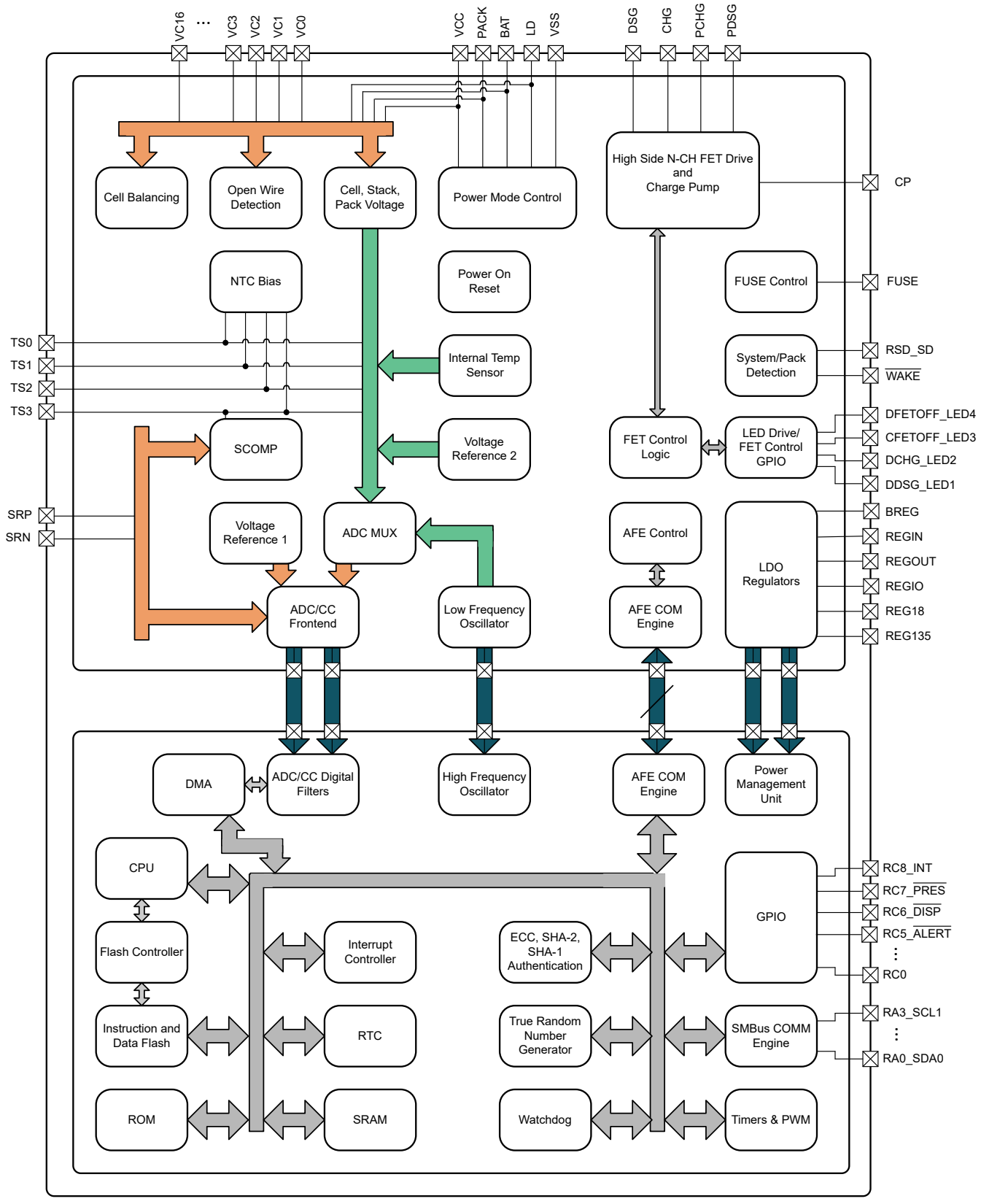
BQ41Z90 デバイスには、充電および放電の際に過電圧、過熱、短絡検出、過電流に起因するフォルト条件を検出するためのハードウェア コンパレータ、および FET をオフにしてこれらのフォルト条件からデバイスを保護するためのハードウェア ドライバが搭載されています。デバイスのファームウェアには、ソフトウェアに基づく第 1 レベルおよび第 2 レベルの安全警告・保護機能を提供します。これには、過電圧、低電圧、過電流、短絡電流、過熱といった状態に対する保護に加え、ハードウェア ウォッチドッグのタイムアウトや、セル間の充電状態 / 電圧の不均衡といったその他のフォルト状態に対する保護が含まれます。

BQ41Z90 バッテリ パック マネージャは、SBS v3.2 準拠の SMBus インターフェイスまたは I^2C 準拠のインターフェイスを介してホスト システムと接続し、最先端の超低消費電力 32 ビット RISC プロセッサを用いて命令やデータを処理します。高性能の統合ペリフェラルにより、0.25mΩ までのセンス抵抗をサポートし、電流 / 電圧データの同時変換により、瞬時の電力計算が可能です。

以下のセクションでは、BQ41Z90 バッテリ マネージャの一部として含まれる主要な部品ブロックについて詳しく説明します。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図


VC16
...
VC3
VC2
VC1
VC0
VCC
PACK
BAT
LD
VSS
DSG
CHG
PCHG
PDSG
Cell Balancing
Open Wire Detection
Cell, Stack, Pack Voltage
Power Mode Control
High Side N-CH FET Drive and Charge Pump
CP
NTC Bias
Power On Reset
FUSE Control
FUSE
TS0
TS1
TS2
TS3
Internal Temp Sensor
System/Pack Detection
RSD_SD
WAKE
SCOMP
Voltage Reference 2
FET Control Logic
LED Drive/ FET Control GPIO
DFETOFF_LED4
CFETOFF_LED3
DCHG_LED2
DDSG_LED1
SRP
SRN
Voltage Reference 1
ADC MUX
AFE Control
LDO Regulators
BREG
REGIN
REGOUT
REGIO
REG18
REG135
ADC/CC Frontend
Low Frequency Oscillator
AFE COM Engine
DMA
ADC/CC Digital Filters
High Frequency Oscillator
AFE COM Engine
Power Management Unit
CPU
Flash Controller
Instruction and Data Flash
ROM
Interrupt Controller
RTC
SRAM
ECC, SHA-2, SHA-1 Authentication
True Random Number Generator
Watchdog
GPIO
SMBus COMM Engine
Timers & PWM
RC8_INT
RC7_PRES
RC6_DISP
RC5_ALERT
RC0
RA3_SCL1
RA0_SDA0

7.3 機能説明

7.3.1 デバイスの機能モード

7.3.1.1 アナログ フロント エンド (AFE)

アナログ フロント エンド (AFE) には、以下の機能を含む、デバイスのアナログ機能の大部分が組み込まれています。

- セルの電圧、温度、その他の信号を測定するために使用する A/D コンバータ (ADC)。
- クーロンと電流量の測定に使用するクーロン カウンタ (CC)。
- 充電、プリチャージ、放電、プリディスチャージの制御および保護用のハイサイド NFET ドライバ。
- AFE への電源供給およびマイコンへの電力供給に使用される低ドロップアウト レギュレータ (LDO)。
- AFE のメイン クロックである低周波数発振器 (LFO)。
- ハードウェア故障検出 (SCOMP および SCD)による各種保護機能。
  - 放電時の過電流 (OCD)
  - 充電時の過電流 (OCC)
  - 過熱 (OT)
  - 短絡検出 (SCD)
- セクション 6.12 への対応および断線検出 (OWD) のためのセル バイパス制御。
- LED 駆動に対応する定電流シンク I/O

各機能には、設定可能な複数のオプションがあり、その詳細は「AFE レジスタ」のセクションに記載されています。

7.3.1.2 パワー マネージメント

BQ41Z90 には 3 つの LDO と多数の構成オプションが搭載されており、デバイスを正しく動作させ、使用事例に応じて消費電力が最適になるよう、これらを管理する必要があります。

7.3.1.2.1 電力モードの構成

BQ41Z90 には多くの機能があり、ファームウェア制御によって有効 / 無効にできます。

シャットダウンを除くさまざまな電力モード構成間での遷移は、主にファームウェアによって制御されます。また、GPIO、通信、電流検出、充電器検出、ADC ステート マシン、RTC、タイマといった、割り込みを発生させることが可能な機能によっても制御されます。

表 7-1. 電力モードの遷移

	次の状態					
現在の状態	通常	スリープ	ディープスリープ	ハイバネーション	Shelf (保管)	シャットダウン
通常	-	ファームウェア	ファームウェア	ファームウェア	ファームウェア	ファームウェア / 低電圧
スリープ	IO、通信、保護、スレッショルドを超える電流、充電器検出	-				低電圧
ディープスリープ	IO、通信、充電器検出、RTC タイマ		-			低電圧
ハイバネーション	IO、通信、充電器検出、RTC タイマ			-		低電圧
Shelf (保管)	充電器検出、シェルフ タイマ、ウェーク ボタン				-	低電圧
シャットダウン	充電器検出、ウェーク ボタン					--

7.3.1.2.2 電源制御

BQ41Z90 デバイスは、動作条件に応じて電源電圧を動的に管理します。

シャットダウン モードから終了を開始するには、$V_{BAT} > V_{SWITCHOVER–} + V_{HYS}$ のときに WAKE プッシュ ボタンを検出するか、PACK ピンを $V_{STARTUP}$ より高い電圧に接続する必要があります (たとえば、充電器の接続など)。次に、デバイスは内部スイッチを VCC に接続し、このピンを使用して内部の 1.8V LDO に電力を供給します。これにより、その後すべての

Copyright © 2026 Texas Instruments Incorporated

デバイス ロジックとフラッシュ動作に電力が供給されます。V_{BAT} > $V_{SWITCHOVER–}$ + V_{HYS} になるまで、デバイスには VCC から電力が供給され続けます。このスレッショルドを超えると、AFE は内部スイッチを BAT 側に接続してデバイスに電力を供給し、VCC 側のスイッチを切り離します。

DSG FET は、そのボディ ダイオードを通じて PACK+ ノードからデバイスの VCC ピンへ電流が流れるように接続されることが想定されています。そのため、VCC ピンへ直接電源を接続する必要はありません。

BAT が V_{BAT} < $V_{SWITCHOVER–}$ まで低下すると、AFE は内部スイッチを VCC に接続してデバイスに電力を供給し、スイッチを BAT から切断して、チャージャから電力を供給できるようにします。VCC ピンに有効な電源が存在しない場合、デバイスはパワーダウンします。

BAT に接続された外部ダイオードおよびコンデンサは、瞬間的な電源電圧を供給します。これにより、V_{BAT} が $V_{SWITCHOVER–}$ よりも低くなる過渡的な短絡または過負荷イベントによるシステムのブラウンアウトを防止するのに役立ちます。

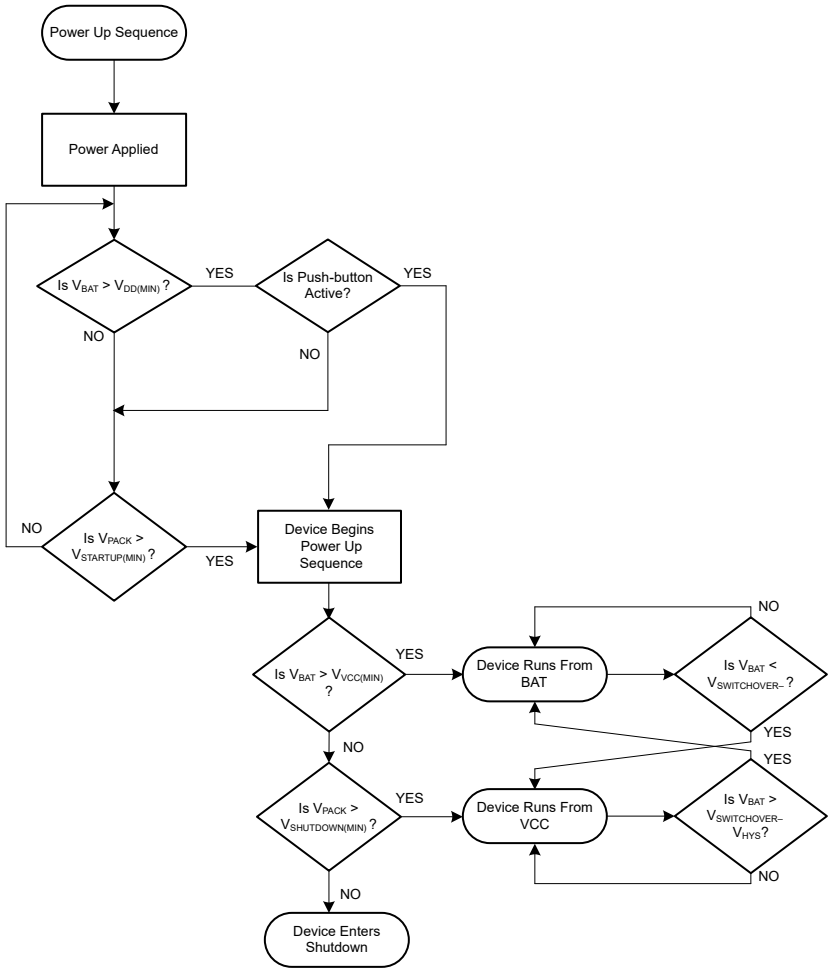


図 7-1. パワーアップ シーケンス

7.3.1.2.2.1 ハイバネーション モード

ハイバネーション モードは、充電器を接続しなくてもデバイスがハイバネーション モードから復帰できる状態を維持しながら、消費電力を最小限に抑えるために、デバイス内部の主要なブロックを完全に電源オフにする低消費電力モードです。ハイバネーションへの移行は、ファームウェアのコマンドから行います。ハイバネーションからの復帰は、主に充電器検出、WAKE ピンのアサート、またはリアル タイム クロック アラーム機能を使用して行います。

ハイバネーション モードに移行する際、マイコンは、RAM を有効な状態に維持し、リアルタイム クロックを有効にするようにデバイスを構成できます。ハイバネーション モードで FET をオフにする必要がある場合は、ハイバネーションに移行する前にファームウェアで FET をオフにする必要があります。消費電力を抑えるために、ファームウェア制御によって I2C/SMBus 通信が無効化されているため、デバイスはこの通信を介してハイバネーション モードから復帰することはできません。I2C/SMBus 通信が無効化されておらず、その通信の START 条件を受信した場合、デバイスは HFO の起動を待つ間、SCL Low のタイムアウト時間である 25ms に達するまでクロック ストレッチを行います。ただし、ハイバネーション モードでは HFO は起動しません。

7.3.1.2.2.2 シャットダウン モード

シャットダウン モードは、シャットダウン状態からの復帰を可能にするサポート回路を除き、デバイスの電源が完全にオフになる超低消費電力モードです。主な復帰回路は、内部の R_{PACK_PD} と外部の R_{PACK} を使用して PACK ピンにおける $V_{STARTUP}$ スレッショルドを検出する小規模な電圧検出回路です。R_{PACK_PD} は、シャットダウンに入ると自動的に有効になりますが、FW 制御下で有効・無効にすることもできます。

スタックの最上位電圧または最小セル電圧に基づいて自動的にシャットダウン モードに移行するようにデバイスを構成することができます。スタックの最上位電圧がプログラムされたスタック電圧スレッショルドを下回るか、または最小セル電圧がプログラムされたセル電圧スレッショルドを下回ると、シャットダウン モード シーケンスが自動的に開始されます。セル電圧に基づくシャットダウンは、配線間の測定に使用されているセル入力ピンには適用されません。

BQ41Z90 デバイスが通常モードまたはスリープ モードである間は、構成によってこの機能が有効になっていれば、内部温度の測定値がプログラムされたスレッショルドを超えた場合、プログラムされた遅延時間後にデバイスをシャットダウン モードに移行するように構成することもできます。

シャットダウン モードからのパワーアップの詳細については、電源制御を参照してください。

7.3.1.2.2.3 SHELF モード

シェルフ モードとは、デバイスがシャットダウン モードにあるものの、低消費電力タイマが有効化されており、そのタイマを使用して時刻を記録するとともに、必要に応じてセル測定を行うために定期的にウェークアップできる状態のことです。このモードは、配送または長期保管に使用できます。

ファームウェアのサブコマンドによってシェルフ モード シーケンスが開始されると、デバイスは遅延を待機してからシェルフ モードに移行する前に保護 FET を無効化します。ただし、PACK または LD ピンの電圧が依然として $V_{STARTUP}$ レベルを上回っている場合は、PACK または LD の電圧がそのレベルを下回るまでシャットダウンが遅延します。

デバイスは、メモリの定期的整合性チェックを実行するように構成でき、何らかの破損が検出された場合には、ウォッチドッグ リセットを強制的に発生させます。メモリ故障の場合のリセット サイクルを回避するため、ウォッチドッグ リセットの発生後、プログラムされた秒数以内にメモリ エラーが検出された場合、デバイスはリセットするのではなくシャットダウン モードに移行します。

シャットダウン モードはシェルフ モードよりも優先され、シェルフ モードに関連するすべてのアナログ レジスタをオーバーライドおよびリセットします。シェルフ モードでは、バッテリ電圧が事前にプログラムされたスレッショルドを下回ると、ゲージは電力を節約するためにシャットダウン モードに移行します。シャットダウン モードまたはシェルフ モードに移行する前に、デバイスをシャットダウン状態からウェークアップできるように、WAKE ピンをプルアップして High にしておく必要があります。

7.3.1.2.2.4 ウェーク機能

本デバイスは、GPIO または通信からの割り込み、またはスリープまたはハイバネーション中の RTC タイマによってウェークアップできます。デバイスがシャットダウン モードまたはシェルフ モードにある場合、WAKE ピンまたは PACK ピンに $V_{STARTUP}$ を超える電圧を印加することによって、デバイスを復帰させることができます (充電器が直列 FET 構成で接続されている場合など)。

RADC4_Wakep ピンには、高ソース インピーダンスで約 5V の電圧が供給されます。RADC4 が VSS へのスイッチなどによって Low に引き下げられると、デバイスはシャットダウン モードまたはシェルフ モードから復帰します。

Copyright © 2026 Texas Instruments Incorporated

注

RADC4 をサーミスタに接続して温度測定することはできません。

デバイスがシャットダウンから復帰すると、LDO を含む内部回路が起動を開始し、マイコンが初期化を実行します。続いて、メモリから設定を読み込み、初期測定を行い、その結果を有効な保護機能の基準と照らし合わせて評価した上で、条件が整っていれば FET を有効にします。これは、設定に応じて、より高速な電源投入を行うように構成できます。

BQ41Z90 デバイスを長期保管に移行する際に、シェルフ モードからの意図しないウェークアップを回避するための対策として、プログラムされた分数後に自動的にシェルフ モードに再移行するようにデバイスを構成できます。

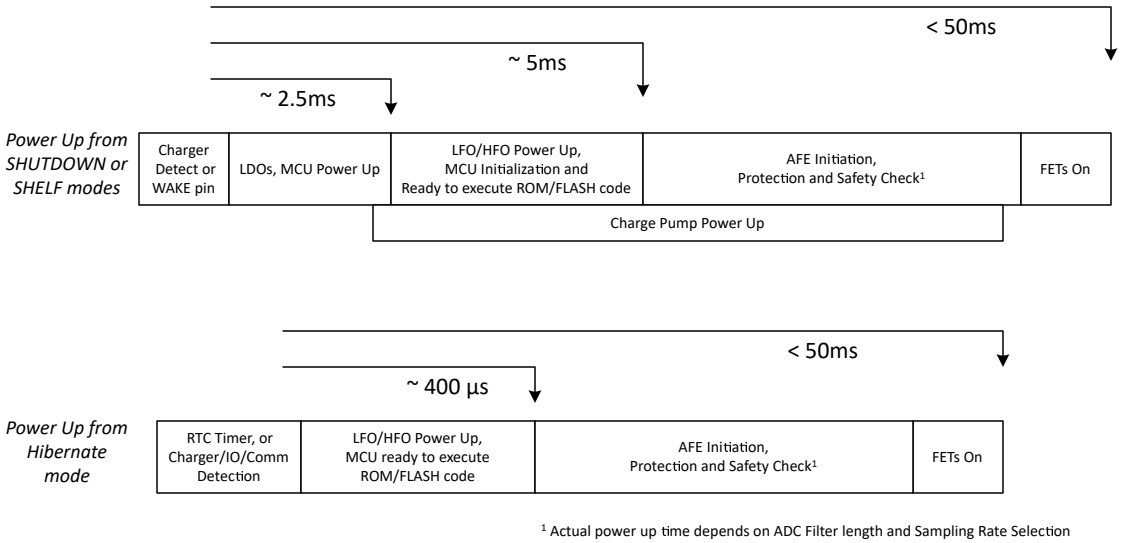


図 7-2. デバイスのウェークアップのタイミング

7.3.1.2.3 パワー マネージメント ユニット

7.3.1.2.3.1 PMU の概要

マイコンのデジタル ダイには、RUN、STOP、STANDBY という 3 つのハードウェア電力モードがあります。これらはステート マシンによって管理されます。

RUN はアクティブ電力モードです。読み取り、消去、プログラム モードのフラッシュ メモリを含め、すべての機能が動作できます。RAM と ROM をオンの状態にでき、プロセッサは最大クロック周波数で動作でき、すべてのペリフェラルをアクティブにできます。RUN モードでは、使用されていない FLASH、RAM、または ROM をファームウェアによってオフにし、消費電力を削減することも可能です。

STOP は低消費電力モードです。このモードでは、フラッシュおよび ROM をオフにし、RAM を保持状態にすることで、消費電力を削減できます。このモードではプロセッサは停止しますが、他の周辺装置は引き続き動作します。

STANDBY は低消費電力モードです。このモードでは、AFE にスリープ信号がアサートされ、VDD コア電圧レギュレータ (REG135) の状態が通常モードから低消費電力モードに変更されます。このモードでは、HFO はオフになり、一部の周辺装置のみが動作しています。LDO が低消費電力モードのため、このモードではフラッシュと ROM が無効化され、RAM は保持モードになります。このモードに入ると、ロジックは 32kHz で動作します。

PMU モードからシステム パワー モードへの代表的なマッピングは次のとおりです。

- RUN：通常
- STOP：スリープとディープスリープ
- STANDBY：ハイバネーション、およびシャットダウンへの移行。シャットダウンからの復帰はリセットによって行われます。

7.3.1.2.4 サーマル シャットダウン

BQ41Z90 は、LDO のローカルに内蔵された温度センサを使用して、デバイスが過熱しているかどうかを判定します。内部温度センサが t_{SD_ALERT+} に達すると、マイコンはリセット状態になり、REG18 と AFE は有効のままになりますが、REG135 は無効になります。温度が低下して t_{SD_ALERT-} に達すると、デバイスは REG135 を有効にし、マイコン電源オン シーケンスを開始できるようにします。

ただし、温度が上昇し続けて内部温度センサが t_{SD+} に達すると、REG135 と REG18 の両方が無効になった状態でデバイスがリセット状態になります。内部デバイス温度が t_{SD-} を下回ると、REG18 の電源オンは許可されますが、温度が t_{SD_ALERT-} を下回るまで、デバイスの電源オン シーケンスは開始できません。

7.3.1.2.5 低ドロップアウト レギュレータ (LDO)

BQ41Z90 は、デバイスをサポートする 1.8V 公称出力 LDO (REG18)、1.35V 公称出力 LDO (REG135)、REGIO (1.8V/3.3V)、REGOUT (2.5V、3V、3.3V、5V をプログラム可能) の 4 つの低ドロップアウト レギュレータを内蔵しています。

7.3.1.2.5.1 REG18

このレギュレータは AFE に実装されており、AFE、REG135、フラッシュ チャージ ポンプ、GPIO、およびマイコン ダイのアナログ回路に電力を供給するために使用されます。最適な動作のためには、1µF コンデンサ (C_{REG18}) を REG18 ピンのできるだけ近くに接続する必要があります。

LDO には出力短絡保護がありますが、ハイバネーション モードでは、この保護機能の制限値が低くなります。

REG18 出力は、デバイスの外部で他の回路に電力を供給するために使用されますが、$I_{REG18EXT}$ の最大電流に制限されています。

注

REG18 LDO から利用可能な最大負荷電流には、REG135 LDO 電流と、REG18 ピン上のすべての外部負荷電流の両方が含まれます。

7.3.1.2.5.2 REG135

このレギュレータは、CPU、RAM、ROM、フラッシュなどのマイコン デジタル コアに電力を供給するために使用される AFE に配置されています。最適な動作のためには、1µF コンデンサ (C_{REG135}) を REG135 ピンのできるだけ近くに接続する必要があります。

LDO には出力短絡保護がありますが、ハイバネーション モードでは、この保護機能の制限値が低くなります。

REG135 出力は、外部回路では使用できません。

7.3.1.2.5.3 REGIO

BQ41Z90 には専用 LDO があり、通信 IO に VDDIO を供給します。REGIO の出力電圧は、OTP ビット制御により 3.3V または 1.8V にプログラムできます。OTP ビットが、ファームウェアがデフォルトの電圧レベルを制御できるようにプログラムされている場合、デフォルトの電圧はフラッシュ構成ビットによって決定されます。それ以外の場合、OTP は REGIO 電圧をデフォルトで 3.3V に設定します。

7.3.1.2.5.4 REGOUT

BQ41Z90 デバイスの REGOUT LDO は外部での使用を想定しており、出力電圧は 2.5V、3.0V、3.3V、5.0V にプログラムできます。ペリフェラル デバイスを駆動するために使用する場合、BREG ピンは外部のバイポーラ接合トランジスタ (BJT) と組み合わせて使用する必要があります。

BJT の負荷電流要件、ひいては許容消費電力の制限が懸念される場合には、セル スタックの上端と BJT のコレクタとの間に、外付けの直列抵抗を追加することができます。抵抗のサイズ設定によって、消費電力を BJT とどのように分担するかが決まります。

Copyright © 2026 Texas Instruments Incorporated

BQ41Z90 をスリープ ハイバネーション モードに移行させる際、REGOUT が引き続き動作している必要がある場合には、ハイバネーション モード中も内部 VREF イネーブル信号がオンのままになるよう設定する必要があります。これは、最小消費電力オプションであるスリープ ハイバネーション モードに移行するために ROM コマンドを送信する前に、TST_CTRL3 レジスタの値を 0x08 に設定することで実現できます。もう一つの方法は、VREF が常にオンの状態となる、SLEEP FULL_POWER モードを使用することです。AIF_CTRL1 = 0x5 に設定することで、SLEEP FULL_POWER が有効化されます。

BQ41Z90 の電源がオフのとき、REGOUT を外部電源と OR 接続して、外部デバイスを引き続き駆動できます。

7.3.1.3 リセット管理

BQ41Z90 デバイスは、パワーオン リセット (POR)、ウィンドウ付きウォッチドッグ タイマ (WWDT) によるリセット、オプションのフラッシュ DED 開始リセット、セキュリティ違反開始リセット、CPU 開始リセットを含む、複数のハードウェア方法でリセットできます。このデバイスは、外部ピン アサートによりマイコン リセットまたはパワーオン リセットにトリガすることもできます (次のセクションの説明を参照)。デバイス上のアプリケーション ファームウェアがこれを許可し、動作している場合 (たとえば、ManufacturerAccess ( ) コマンドを使用してマイコンのパワー サイクルをトリガするなど)、ホストからの通信を介してデバイスをリセットに構成することもできます。

表 7-2. リセット ソースとそのリセット対象ブロック

リセット タイプ	ブロック リセット						
	CPU	マイコン DieDigital	RAM	通信	マイコンの診断レジスタ(2)	AFE の診断レジスタ (3)	AFE
POR	X	X	X	X	X	X	X
マイコン	X	X	X	X			
WWDT	X						
通信(1)	X	X	X	X		X	X

(1) 実装されているファームウェア機能に基づいています
(2) マイコンの診断レジスタは、FAULT_LOG と USER_DATA です
(3) AFE の診断レジスタは、AIF_CTRL1 [MCU_RESET_REASON] です

- **パワー オン リセット(POR)**

  AFE は、V_{REG18} の電圧が $V_{REG18POR–}$ を下回るとパワーオン リセットに移行します。これは通常、BAT ピンと VCC ピンの両方の電圧が解消されることによってトリガされます。V_{REG18} が t_{RST} 時間の間 $V_{REG18POR–} + V_{HYS}$ を上回ると、デバイスはリセットを終了します。

  パワー サイクルが発生した場合、BQ41Z90 AFE は内部 RESET 出力ピンを t_{RST_POR} 期間にわたって High に保持し、オンチップ トリムを読み込みます。また、内蔵の 1.8V LDO、1.35V LDO、LFO が安定した後、マイコン ダイをリセットから解除します。

  マイコン ダイがリセットから解除されると、電源が投入されて、限定的なトリムの読み込みが行われた後、CPU が有効になります。電源が印加されてから、この段が t_{RST_ROM} になるまでの時間。

  CPU が起動し、ROM 初期化コードが実行されると、フラッシュ コードの実行を開始できます。電源が印加されてから、この段が t_{RST_EXE} になるまでの時間。
- **マイコンのリセット**

  マイコンのリセットは、WWDT、CPU、セキュリティ違反、またはオプションのフラッシュ DED によってトリガされることがあります

  – CPU によって開始されるリセット。

    これはマイコン上で発生し、AFE には影響を与えません。これにより、CPU に関連するすべてがリセットされ、。
- **ウィンドウ付きウォッチドッグ タイマによって開始されるリセット**

  これはマイコン上で発生し、AFE には影響を与えません。これにより、WWDT がリセットおよび USER_DATA レジスタをトリガしたことを示す RESET_REASON レジスタ以外の、マイコン内のすべてがリセットされます。

Copyright © 2026 Texas Instruments Incorporated

- **マイコン電源リサイクルによるリセット**

  BQ41Z90 のマイコンは、AFE へのコマンドを使用してリセットできます。AFE は AFE の REG135 レギュレータ出力を無効化してから有効化することで、マイコンへの電源を再投入します。

7.3.1.3.1 AFE ウォッチドッグ

BQ41Z90 には AFE ウォッチドッグ機能があり、マイコンが何らかの理由で応答しなくなった場合に、FET が無期限にオンのままにならないようにします。

ウォッチドッグ タイマは、FET がオンのときのみ有効になります。

注

WDT アラートは、FET がオンのままになっていない限り、マイコンをウェークアップするために使用することはできません

プログラム可能なタイマは 3 つあります。

- 1 つ目はアラートタイマで、0.25 秒刻みで最大 32 秒まで設定できます
- 2 つ目は、アラート発生後、マイコンがリセットされるまでの時間を設定するタイマで、0.25 秒刻みで最大 8 秒まで設定できます
- 3 つ目は、マイコンのリセット後、FET がオフになるまでの時間を設定するタイマで、0.25 秒刻みで最大 8 秒まで設定できます

マイコンは、AFE ウォッチドッグに定期的に応答し、すべてのタイマをリセットするとともに、FET をオンにできるようにします。

7.3.1.4 診断機能

BQ41Z90 デバイスは、システムが動作の堅牢性を向上させるために使用できる一連の診断機能を搭載しています。これらの機能には、デバイスに内蔵されている電圧リファレンスのセルフチェック、LDO 出力のセルフチェック、LFO 周波数のハードウェア モニタ、マイコンの内部ウォッチドッグ、電源投入またはリセット時のメモリ チェックなどが含まれます。内蔵のフラッシュと SRAM には ECC 機能も備わっています。『BQ41Z90 テクニカル リファレンス マニュアル』には、これらの機能の詳細が記載されています。

7.3.1.5 内部発振器

BQ41Z90 には 2 つの発振器が内蔵されており、デバイスの各種機能をサポートします。各クロック ソースは各種の内部クロック周波数をサポートしています。これらの周波数は、個別の周波数および発振器ソースが必要に応じて有効化または無効化されるように、自動的に管理されています。低周波数発振器は常時オンです。

7.3.1.5.1 低周波数発振器 (LFO)

低周波数発振器 (通常は 262.144kHz) は AFE ダイ上にあり、REG18 から電力を供給します。LFO は AFE の管理に使用されるほか、内部ダイからダイへの接続を経由してマイコンに供給されます。

このデバイスには LFO ウォッチドッグが搭載されており、フォルトと保護 FET をオフにするアクションをトリガできます (そのように構成されている場合)。

7.3.1.5.2 高周波発振器 (HFO)

高周波数発振器 (通常は 32.768MHz) はマイコン ダイ上にあり、REG18 から電力を供給します。

HFO はマイコン上の CPU およびデジタル ペリフェラルに使用され、そのモードが有効な場合は ADC 変調器に分周された 524.288kHz 出力が供給されます。

7.3.1.5.3 低消費電力発振器 (LPO)

LPO はシェルフ タイマを生成するための専用発振回路であり、標準で 2kHz の周波数で動作します。POR イベント後にデバイスがシェルフ モードからウェークアップするかどうかを示すために、AFE レジスタを構成できます。

Copyright © 2026 Texas Instruments Incorporated

タイマは、デバイスがシェルフ モードに入った後、遅延時間をカウント ダウンします。ウェークアップまでの遅延時間は、シェルフ モードに移行する前に構成できます。プリロード済みのウェークアップ遅延時間は、33 秒、66 秒、131 秒、262 秒、524 秒、1048 秒、2097 秒、4194 秒の範囲で選択できます。シェルフ モードに入ると、BQ41Z90 は定期的にウェークアップして、安全性のチェックを行い、測定データを記録することができます。

7.3.2 温度測定

BQ41Z90 は、内蔵温度センサに加えて、最大 4 つの外付け負の温度係数 (NTC) サーミスタを測定できます。

7.3.2.1 外部温度測定のサポート

BQ41Z90 デバイスは、RADCx ポート ピンで最大 4 つの外付けサーミスタをサポートできます。このデバイスには、測定中にサーミスタにバイアスを印加するための 18kΩ (標準値) の内部プルアップ抵抗が 2 つ搭載されています。1 つ目の内部プルアップ抵抗は RADC0、RADC1、および RADC2 に使用され、2 つ目の内部プルアップ抵抗は RADC3 に使用されます。RADC3 は、ハードウェア フォルト検出 (SCOMP) ブロックへの温度入力としても使用されます。RADC3 の抵抗はトリミングされており、そのトリミングは RADC0..2 抵抗と共有されています。

2 つの抵抗値および RADCx パッドの抵抗値は、工場での製造時に測定され、温度計算に使用するためにデバイス内部に保存されます。その他の内部配線抵抗は 1Ω 未満です。

高精度の温度結果を得るため、デバイスは、サーミスタのプルアップ抵抗のバイアスに使用する ADC リファレンスと同じ 1.8V LDO 電圧を使用します。これにより、LDO 電圧レベルから誤差の影響を取り除くレシオメトリック測定が実行されます。

RADCx ピンを使用しない場合は、内部の弱いプルダウンを有効にしておく必要があります。

7.3.2.2 内部温度センサ

内蔵温度センサは AFE ダイの REG18 LDO の近くに配置されており、デバイスが過熱した場合のデバイスのサーマル シャットダウンを作動させるために使用されるほか、ADC マルチプレクサで選択することで、ADC を介して温度を測定することも可能です。

7.3.3 ランダム セル接続のサポート

BQ41Z90 デバイスは、パック製造中にセルをデバイスにランダムに接続するシーケンスをサポートしています。セルは任意の順序で BQ41Z90 に接続できますが、テキサス・インスツルメンツは VSS と VC0 を最初に接続することを推奨しています。たとえば、最初に 16 セル スタックのセル 10 をピン VC10 と VC9 につながる入力端子に接続し、次にセル 4 をピン VC4 と VC3 につながる入力端子に接続できます。セル 1 の負端子は、最初に VC0 に接続する必要はありません。別の例として、すでに組み立てられており、セルがすでに相互に接続されているセル スタックについて考えます。スタックはコネクタを介して PCB に接続され、コネクタは PCB に差し込みまたは半田付けされます。この場合、PCB へ接続される順序はランダムにでき、特定のシーケンスで制御する必要はありません。

ただし、製造時にセルを接続する方法には、次のような制限があります:

- 誤解を避けるために、最下位セル (セル 1) を VC15 に接続したり最上位セル (セル 16) を VC4 に接続するなど、スタック内のセルをデバイス上の**任意の** VC ピンにランダム接続**できない**ことに注意してください。スタック内のセルは、最も低いセル (セル 1) を VC1 と VC0 の間に接続し、次に高い電圧のセル (セル 2) を VC2 と VC1 の間に接続するなど、ピンを昇順に接続する必要があります。
- ランダムなセル接続は高電圧の耐性があるピン VC1 ～ VC16 でサポートされます。

注

VC0 は電圧耐性が低くなっています。これは、セルを PCB に接続する前に、直列セル入力抵抗を経由して VC0 を PCB 上の VSS ピンに接続する必要があるためです。そのため、セルの接続時に VC0 ピンの電圧は VSS ピンの電圧に近い値に維持されます。VC0 が直列抵抗を経由して PCB 上の VSS に接続されていない場合、セルをランダムな順序で接続できません。

- VC1 ～ VC16 の各ピンには、ピンと隣接する下側セルの入力ピンとの間 (VC16 と VC15 の間、VC9 と VC8 の間など) にダイオードが含まれており、通常動作では逆バイアスとなります。これは、下側セルの入力ピンを高電圧に駆動しながら上側セルの入力ピンを低電圧に駆動してはならないことを意味します。このように接続すると、これらのダイオードに順バイアスがかかります。セルを接続する際は、セルの入力端子は通常、適切なセルに接続する前にフローティングにする必要があります。各セルを接続すると過渡電流が短時間流れることが予想されますが、セル電圧はすぐに、DC 電流がダイオードに流れない安定した状態になります。ただし、セル入力ピンと他の端子 (VSS や他のセル入力ピンなど) の間に大きなキャパシタンスが含まれている場合は、過渡電流が過剰になり、デバイスが発熱する可能性があります。そのため、テキサス・インスツルメンツは各セル入力ピンに使用するキャパシタンスは、仕様で推奨される値に制限することをお勧めします。

注

セルを初めて接続した後、デバイスを通常動作モードに移行させるには、充電器を接続するか、WAKE ピンを有効にする必要があります。ファームウェアが実行されている場合、セル接続フェーズ中にデバイスがシャットダウンモードに移行することがあります。WAKE ピンを使用してデバイスを起動できるのは、デバイスの電源が安定した後に当該ピンをプルアップした場合に限られます。

デバイスの電源投入時の詳細については、電源制御を参照してください。

7.3.3.1 VC ピンのセル用途と相互接続用途での比較

BQ41Z90 デバイスを 16 直列セルより少ないシステムで使用する場合、追加のセル入力を使用して測定性能を向上できます。たとえば、パック内の 2 つのセル間に長い接続が存在する場合があり、その結果、図 7-3 に示す CELL-A と CELL-B 間のように、セル間の相互接続抵抗がかなり大きくなる可能性があります。VC12 を CELL-B の正端子の近くに接続し、VC13 を CELL-A の負端子の近くに接続することで、セル間の相互接続抵抗の I·R 電圧がどちらのセル電圧測定にも含まれないため、CELL-A と CELL-B に対してより正確なセル電圧測定値が得られます。デバイスが相互接続抵抗と同期電流の両端の電圧を報告するため、CELL-A と CELL-B の間の相互接続抵抗も動作中に計算して監視することができます。以下に示すように、この方法で接続されたセル入力に直列抵抗とバイパス コンデンサを配置することを推奨します。

注

推奨される最小電圧 –0.2V を使用して、各セル入力の差動入力が –0.3V (絶対最大値データシートの制限値) を下回らないようにすることが重要です。したがって、相互接続抵抗の両端での I·R の電圧降下がこの要件に違反しないことが重要です。

Copyright © 2026 Texas Instruments Incorporated

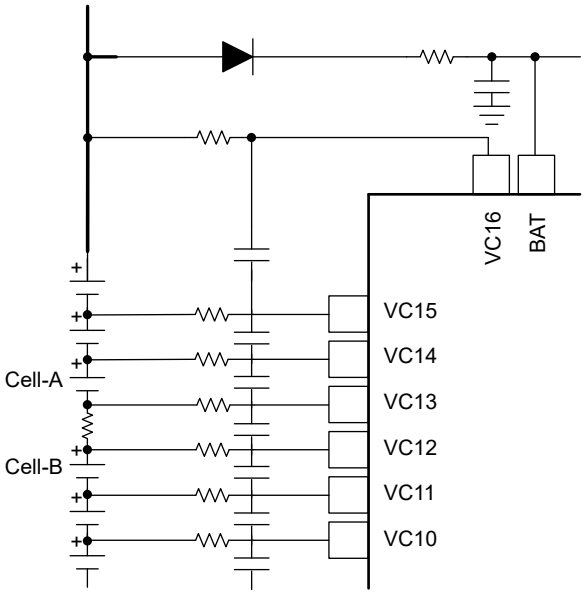


図 7-3. セル入力ピンを使用した相互接続測定

この相互接続を介した接続が不要な場合 (または、追加の抵抗とコンデンサを避けることが望ましい場合)、図 7-4 の VC13 に示すように、未使用のセル入力ピンを隣接するセル入力ピンに短絡する必要があります。

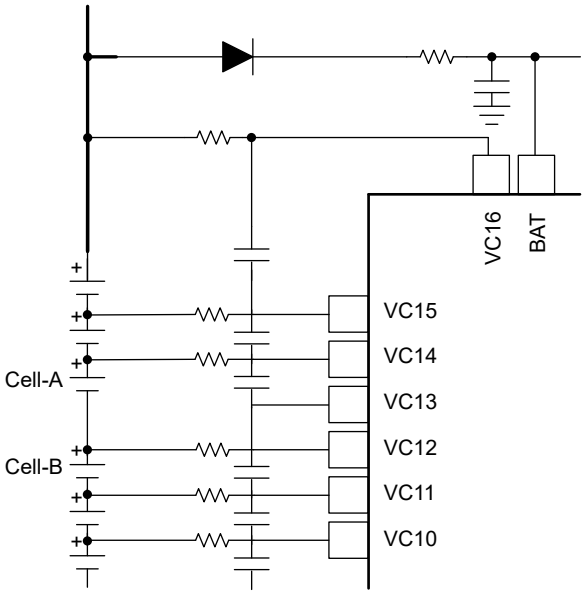


図 7-4. 未使用セル入力ピンの終端処理

図 7-5 に、各種直列セル数構成における標準的なセルから VC ピンへの接続を示します。デバイスはこの情報を使用して、相互接続の測定に使用される、またはまったく使用されない入力に関連するセル電圧保護機能を無効化します。すべての入力の電圧測定値は、セルに使用されているかどうかにかかわらず、16 ビット形式 (mV 単位) と 32 ビット形式 (未加工の ADC カウント数単位) で報告されます。

Copyright © 2026 Texas Instruments Incorporated

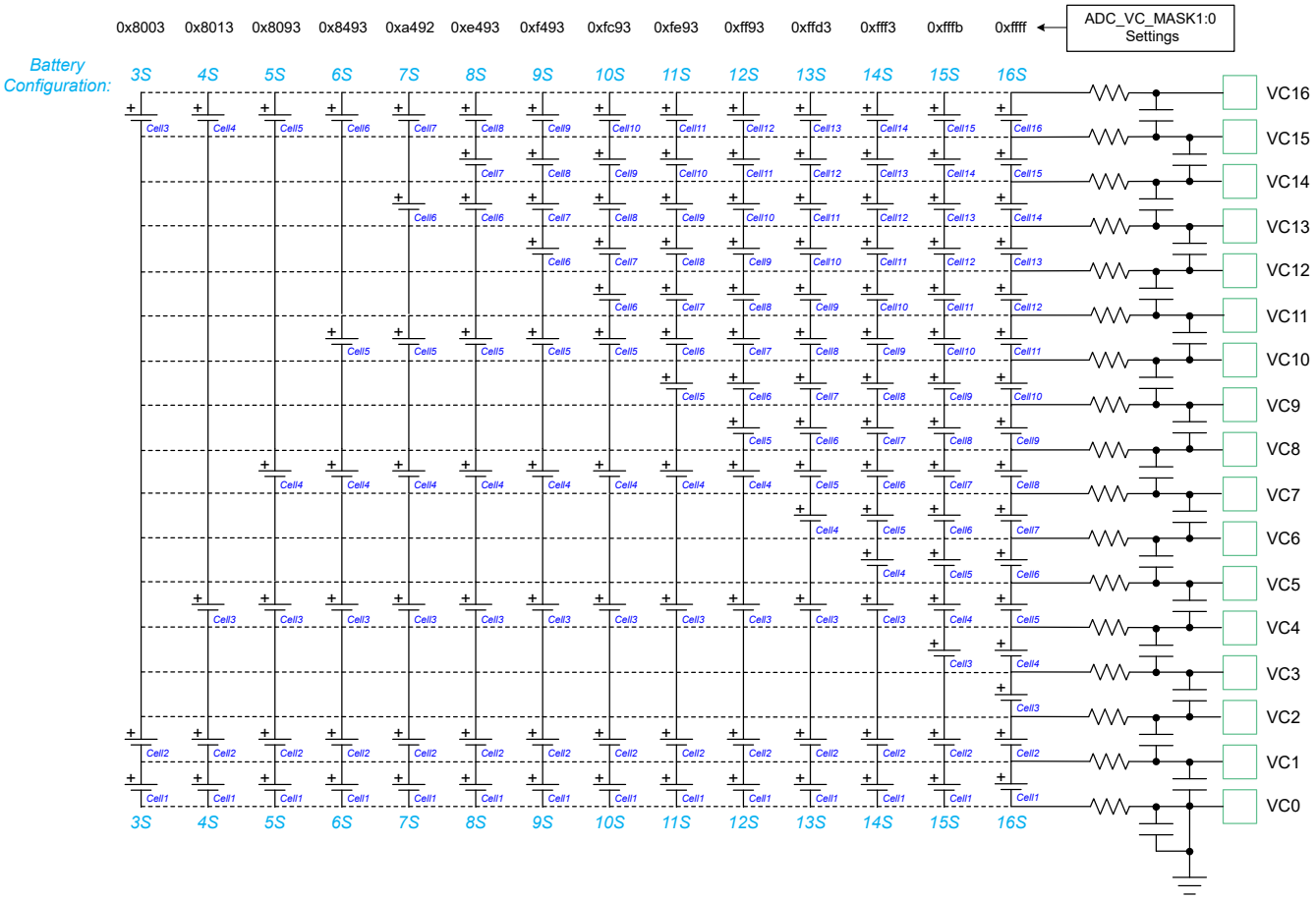


図 7-5. 各種のセル数での標準的なセルから VC ピンへの接続

7.3.3.2 未使用のピン

特定のアプリケーションでは、一部のデバイス ピンが必要ない場合があります。この場合にそれぞれを終端処理する方法を以下に説明します。

表 7-3. 未使用ピンの終端

ピン	名称	推奨事項
1–16、64	VC0–VC16	セル入力 1、2、および 16 は、VC1 と VC0 間、VC2 と VC1 間、および VC16 と VC15 間にセルを接続して、常に実際のセルに接続される必要があります。VC0 は PCB 上の抵抗とコンデンサを経由してピン 49 (VSS) に接続する必要があります。未使用セル (セル 3 ～ セル 15、ピン 1 ～ 13) に関連するピンは、セル スタックに接続して相互接続抵抗を測定したり、実際のセルにケルビン接続したりできます。この場合、実際のセルに接続されているピンと同様に、接続には直列抵抗と並列コンデンサを含める必要があります (「セクション 7.3.3.1」を参照)。もう 1 つのオプションは、未使用の VC ピンを隣接する VC ピンに直接短絡することです。すべての VC ピンは、隣接する VC ピン、実際のセルに (R および C を介して)、またはスタック相互接続抵抗 (R および C を介して) のいずれかに接続する必要があります。
17、19	SRP、SRN	これらのピンを使用しない場合、ピン 49 (VSS) に接続する必要があります。
18、33、45、46	NC	これらのピンはシリコンに接続されておらず、フローティングのままにするか、隣接するピンに接続するか、VSS に接続できます。
20～23、26～29、34～44、47～48	RADCx (0...8、RAD4 を除く) RAx、RCx、	これらのピンを使用しない場合 (RADC4 _Wake を除く)、フローティングのままにするか、ピン 49 (VSS) に接続できます。これらのピン (RADC4 _Wake を除く) はいずれも、動作中に内部の弱いプルダウン抵抗を有効にするように構成できます。ただし、これは必須ではありません。
24	RADC-Wake	デバイスをシャットダウン モードに移行させる場合は、このピンをフローティングのままにする必要があります。アプリケーションでシャットダウン モードを使用しない場合、このピンをフローティングのままにするか、ピン 17 (VSS) に接続できます。

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 未使用ピンの終端 (続き)

ピン	名称	推奨事項
25	RST_SD	このピンをフローティングのままにするか、REG18 に High にする必要があります。
52	REGOUT	これらのピンを使用しない場合、フローティングのままにするか、ピン 49 (VSS) に接続できます。
53	REGIN	このピンを使用しない場合、ピン 49 (VSS) に接続する必要があります。
54	BREG	このピンを使用せず、ピン 53 (REGIN) も使用しない場合は、両方のピンをピン 49 (VSS) に接続する必要があります。このピンを使用せず、ピン 53 を使用する場合 (外部ソースから駆動する場合など) は、このピンをピン 53 (REGIN) に接続する必要があります。
51	FUSE	このピンを使用しない場合、フローティングのままにするか、ピン 49 (VSS) に接続できます。
57	PDSG	このピンを使用しない場合、フローティングのままにする必要があります。
60	PCHG	このピンを使用しない場合、フローティングのままにする必要があります。
55	LD	DSG ドライバを使用しない場合、このピンは直列抵抗を介して PACK+ コネクタに接続するか、ピン 49 (VSS) に接続できます。
58	DSG	このピンを使用しない場合、フローティングのままにする必要があります。
61	CHG	このピンを使用しない場合、フローティングのままにする必要があります。
62	CP	このピンを使用しない場合、ピン 63 (BAT) に接続する必要があります。 **注** CP1 が BAT に接続されている状態でチャージ ポンプが有効になると、デバイスは約 200µA 多く電力を消費します。

7.3.4 セル バランシングをサポート

BQ41Z90 デバイス内蔵のセル バランシング FET を使用することで、AFE は特定のセルまたは多数のセルの周囲にセル電流をバイパスし、バッテリ スタック全体の効果的なバランシングを行うことができます。セル接続と VCx 入力ピンの間に配置する外付け直列抵抗によって、バランシング電流の大きさが設定されます。この値は、最大 I_{CB} に制限する必要があります。

セル バランシング回路は、CB_CTRL[CB_CELBAL] 制御レジスタを構成することで有効または無効にすることができます。効果的なセル バランシングを実現するため、20Ω ～ 100Ω および の直列入力抵抗を推奨します。

ステート マシンを使用して ADC 経由で VCELL を通常測定する場合、選択されたセル バランシング用 FET および隣接するセル バランシング用 FET は、ADC 構成時間および ADC 測定時間の間、自動的に無効化されます。この設定により、VCELL 測定が最も正確になります。ADC 測定が完了すると、セル バランシング用 FET は、ただちに 、あらかじめ設定された状態に戻ります。

7.3.4.1 断線検出

BQ41Z90 には、セル バランシング FET を使用することで、ファームウェアによって実現される VCx 断線検出機能をサポートしています。ADC マルチプレクサ を使用して、それぞれセル 1 ～ 16 を測定します。デバイスは、その特定のセル チャネル測定用に CB FET を自動的に有効にします。

セル スタックから PCB への接続に応じて、機能と検出方法はわずかに異なります。

1. PCB への BAT–/VC0– 接続を 1 つだけ使用します。この場合、各 VCx 入力には同じセル バランシング制限抵抗が必要です。VC1、2、3、4…、16 の切断検出の場合、ファームウェアが電圧を測定し、その電圧が正常なセル電圧に非常に近い場合は配線が接続されていると判断し、0V に近い場合は配線が接続解除されていると判断します。VC0 が断線しているかどうかを検出するために、ファームウェアは VC0:VC1 を測定し、測定結果が 0 または負の値であれば、セル バランシング FET を使用しているかどうかにかかわらず、配線が断線していると判断します。
2. PCB に対する個別の BAT– と VC0 接続を使用します。この構成では、VC0 に直列接続された外部抵抗を 20Ω 以下に低減します。VC0、1、2、3、4…、16 の切断検出の場合、ファームウェアが電圧を測定し、その電圧が正常なセル電圧に非常に近い場合は配線が接続されていると判断し、0V に近い場合は配線が接続解除されていると判断します。

Copyright © 2026 Texas Instruments Incorporated

7.3.5 保護および充電制御出力

BQ41Z90 デバイスには、CHG および DSG 制御用の 2 つのハイサイド N チャネル FET ドライバ、および P-CHG (プリチャージ) および P-DSG (プリ放電) 制御用の 2 つのハイサイド N チャネル FET ドライバ、および FUSE 出力機能が搭載されており、システムからセルを接続解除し、充電電流を制御するさまざまな方法を提供します。

7.3.5.1 ハイサイド NFET ドライバ

BQ41Z90 デバイスには、CHG、DSG、PCHG、PDSG 保護 FET を駆動するためのチャージ ポンプとハイサイド NFET ドライバが内蔵されています。チャージ ポンプは、BAT ピンと CP ピンとの間に接続され、チャージ ポンプが有効なときにオーバードライブ電圧まで充電される外付けコンデンサを使用します。

チャージ ポンプ電圧のオーバードライブ レベルは、構成設定に基づいて 7V または 10V に設定できます。一般に、7V の設定では FET が駆動されているときの消費電力が低くなり、10V オーバードライブが高いほど FET のオン抵抗が低減されます。FET を高いオーバードライブ レベルで駆動したときに大きなゲート リーク電流が発生すると、チャージ ポンプでこれをサポートするためのデバイス電流が大きくなる可能性があります。この場合、低いオーバードライブ レベルを使用すると、リーク電流が低減され、デバイス電流が低減されます。

FET のゲートとソースの間に 10MΩ の抵抗が必要です。保護フォルトが検出されると、充電 (CHG) FET と放電 (DSG) FET は自動的に無効化され、。ゲート ドライブが無効になると、内部回路によって CHG が BAT に、DSG が PACK に放電されます。

BQ41Z90 デバイスの FET ドライバは、顧客の要件に応じて、以下の複数の方法で制御できます:

完全自律型
BQ41Z90 デバイスは、保護フォルトを検出し、FET を自律的に無効化し、回復状態を監視して、ホスト プロセッサの関与を必要とせずに FET を自律的に再有効化できます。デバイスは、使用事例に応じて自律保護機能を構成できる柔軟性を備えています。
部分的に自律型
BQ41Z90 デバイスは、保護フォルトを検出し、FET を自律的に無効化できます。ホストが割り込みを受信してフォルトを認識すると、ホストはデジタル通信インターフェイス経由でコマンドを送信して、ホストが解除を決定するまで FET をオフ状態に維持できます。
または、ホストが CFETOFF ピンまたは DFETOFF ピンをアサートして FET をオフに維持することもできます。これらのピンがアサートされている間は、FET の再有効化はブロックされます。これらのピンがデアサートされると、再有効化をブロックしていない場合 (フォルト状態が引き続き存在する場合、CFETOFF ピンまたは DFETOFF ピンがアサートされる場合など)、BQ41Z90 は FET を再度有効にします。
手動制御
BQ41Z90 デバイスは、保護フォルトを検出し、割り込みピンを介してホスト プロセッサに割り込みを送信できます。ホスト プロセッサは、(必要に応じて) 通信バス上を介してフォルトのステータス情報を読み取ることができ、ホスト プロセッサから CFETOFF ピンまたは DFETOFF ピンを駆動するか、デジタル通信インターフェイス経由のコマンドによって、CHG または DSG FET を迅速にオフにすることができます。
ホストが FET を再度オンにすることを決定すると、適切なコマンドを書き込むか、CFETOFF ピンと DFETOFF ピンをデアサートします。これにより、BQ41Z90 デバイスは、再有効化を妨げるものがない場合、FET を再有効化します。

7.3.5.2 プリチャージ モードと プリディスチャージ モード

BQ41Z90 デバイスにはプリチャージ機能が搭載されており、ハイサイドの PCHG NFET (PCHG ピンによって駆動) を介して充電することで、低電圧状態のバッテリに対する充電電流を低減できます。プリチャージ (PCHG) FET を大電力抵抗と直列に配置して電流を設定します。最小セル電圧がプログラム可能なスレッショルドを下回ると、バッテリがプログラム可能な電圧レベルに達するまで PCHG FET を使用して充電します。PCHG FET は、保護フォルトが検出されると自動的に無効化されます。また、。

このデバイスはプリディスチャージ機能もサポートしており、この機能で負荷に電力供給を開始したときに突入電流を低減するために、まず直列抵抗でハイサイド PDSG NFET (PDSG ピンから駆動) を有効にして、負荷を徐々に充電させることができます。プリディスチャージ モードが有効な場合、DSG FET がオンになって負荷に電力供給されるたびに、デバイスは最初に PDSG FET を有効にし、次に DSG FET をオンにして PDSG FET をオフにするよう遷移します。

Copyright © 2026 Texas Instruments Incorporated

PCHG および PDSG ドライバは、有効化されている間、シンクできる電流に制限があります。そのため、FET ゲート ソース間に 1MΩ 以上の抵抗を使用することを推奨します。

7.3.5.3 FET の構成

BQ41Z90 は CHG、DSG、PCHG、PDSG の制御機能を提供し、さまざまな構成に対応する柔軟性を備えています。このデバイスは、直列または並列構成の FET を搭載したシステムをサポートしています。このシステムには、充電器をコネクタに接続するための個別パス、および放電 (負荷) 接続を使用しないシステム、および一方または両方の FET を使用しないシステムが含まれます。FET の配置は、保護を目的とした直列構成と並列構成で異なります。

CHG FET がオフで、DSG または PDSG FET がオンで、プログラマブル スレッショルドを上回る放電電流 (非常に大きな放電電流) が検出された場合、デバイスは CHG FET をオンにして、CHG FET ボディ ダイオードを流れて FET を損傷させる電流を防止します。電流がスレッショルドを上回ると (つまり、放電電流が減少した場合)、オフ状態の理由が依然として存在する場合、CHG FET は再度オフになります。

DSG FET がオフで、CHG または PCHG FET がオンで、プログラマブル スレッショルドを超える電流 (非常に大きな充電電流) が検出された場合、デバイスは DSG FET をオンにし、DSG FET ボディ ダイオードを流れて FET を損傷させる電流を防止します。電流がスレッショルドを下回ると (つまり、充電電流が減少した場合)、オフ状態の理由が依然として存在する場合、DSG FET は再度オフになります。

直列 FET 構成を使用する場合、BQ41Z90 デバイスは、1 つの FET がオフで 1 つの FET がオンのときにボディ ダイオードを保護します。並列構成を使用すると、ボディ ダイオード保護は無効化されます。

7.3.5.4 CFETOFF、DFETOFF ピンの機能

BQ41Z90 デバイスには 2 つのピン (CFETOFF と DFETOFF) があり、ホスト シリアル通信インターフェイスを経由せずに、保護 FET ドライバを迅速に無効化するために使用できます。選択されたピンがアサートされると、デバイスはそれぞれの保護 FET を無効化します。FET ターンオフ機能が不要な場合、CFETOFF ピンと DFETOFF ピンは両方とも、他の機能に使用できます。

注

選択したピンがデアサートされても、ホストが選択したピンを設定した後にシリアル通信インターフェイスを使用して FET を無効化するコマンドを送信した場合など、FET の再有効化を妨げる他の項目がない場合にのみ、それぞれの FET は有効になります。

BQ41Z90 デバイスの FET ドライバは、顧客の要件に応じて、以下の複数の方法で制御できます:

完全自律モード:BQ41Z90 デバイスは、保護フォルトを検出し、FET を自律的に無効化し、回復状態を監視して、ホスト プロセッサの関与を必要とせずに FET を自律的に再有効化できます。

部分的に自律型:ホストが CFETOFF ピンまたは DFETOFF ピンをアサートして FET をオフに維持することもできます。これらのピンがアサートされている間は、FET の再有効化はブロックされます。これらのピンがデアサートされると、再有効化をブロックしていない場合 (フォルト状態が引き続き存在する場合、CFETOFF ピンまたは DFETOFF ピンがアサートされる場合など)、BQ41Z90 は FET を再度有効にします。

手動モード:BQ41Z90 デバイスは、保護フォルトを検出し、ALERT ピンを介してホスト プロセッサに割り込みを送信できます。ホスト プロセッサは、(必要に応じて) 通信バス上を介してフォルトのステータス情報を読み取ることができ、ホスト プロセッサから CFETOFF ピンまたは DFETOFF ピンを駆動することで、CHG または DSG FET をオフにすることができます。

ホスト入力 (CFETOFF/DFETOFF) が選択されている場合、これらの入力は、SCD/OCC/OCD 状態の検出など、BQ41Z90 が FET をオフにするその他の要因と論理和 (「OR」) がとられます。これらの状態では、各 FET (CHG/DSG/PCHG/PDSG) をオフにする必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.3.5.5 DDSG および DCHG ピンの動作

BQ41Z90 デバイスには 2 つのマルチファンクション ピン DDSG および DCHG があります。これらのピンは、ロジック レベルの出力として構成してホスト プロセッサや外部回路 (すなわち、DDSG および DCHG 機能) にフォルト関連の信号を供給でき、サーミスタ入力、汎用 ADC 入力として、または LED 電流シンク用に構成できます。

デジタル出力として使用する場合、これらのピンをアクティブ High 出力を駆動するように構成できます。その際、REG18 1.8V LDO から出力電圧を駆動します。

ピンが DDSG および DCHG 機能用に構成されている場合、(DCHG ピン上で) 通常時に CHG ドライバが無効になるか、(DDSG ピン上で) 通常時に DSG ドライバが無効になる原因となる保護フォルトに関連する信号を送信します。内蔵ハイサイド NFET ドライバをシステムで使用できない場合、これらの信号を使用して外部保護回路を制御できます。また、手動 FET 制御モードで割り込みとしてもこれらを使用でき、これにより FET を無効化するのにコマンドを介すか、CFETOFF ピンおよび DFETOFF ピンを使用するかをホスト プロセッサが決定できます。

7.3.5.6 ハードウェア故障検出 (SCOMP および SCD)

BQ41Z90 には、複数の電圧条件の検出に使用される、時分割方式のコンパレータと構成可能なデジタル スケジューラが内蔵されており、SCOMP_CTRL[SCOMP_EN] = 1 に設定すると有効になります。この機能に搭載されている検出機能として、放電 1 および 2 保護時の過電流、充電保護時の過電流、過熱保護があります

表 7-4. SCOMP 機能による FET の動制御作

条件	DSG	CHG	PDSG	PCHG
放電 1 および 2 の過電流	OFF	変化なし	OFF	変化なし
充電時の過電流	変化なし	OFF	変化なし	OFF
過熱	構成可能	構成可能	構成可能	構成可能

デジタル スケジューラは、電気的機能のタイミング要件を満たす役割を果たします。すべての測定値は、1 ～ 9 回の連続検出を行うように構成できます。

また、BQ41Z90 には、短絡を高速に検出するための専用コンパレータも内蔵されています。充電保護における短絡電流および放電保護における短絡電流は、それぞれ CHG、DSG、PCHG、PDSG の各 FET をオフにすることができます。また、短絡状態が解消されるまで、これらの FET が再びオンになるのを防ぎます。ただし、これらの機能が FET を直接オンにすることはありません

表 7-5. SCD 機能による FET の動作制御

条件	DSG	CHG	PDSG	PCHG
短絡の検出	OFF	OFF	OFF	OFF

7.3.5.7 FET UVLO 保護

BQ41Z90 は FET UVLO 制御機能を搭載しており、FET のアンダードライブと過熱を防止します。外部コンデンサのポンプ電圧を使用する準備ができたとき、または低すぎるときにデジタル回路に通知するために使用できます。ポンプ電圧に基づく信号がチャージ ポンプ ブロック内で生成され、デジタル回路に送信されて、通常の FET 動作モードでポンプが 5V を上回っているか、低消費電力動作モードで 3V を上回っているかを示します。デジタル回路は、UVLO 状態が検出された場合には FET をオン状態に保持するか、または FET をオフするように構成できます。この機能が不要な場合は、オフにできます。

7.3.5.8 ヒューズ ドライブ

BQ41Z90 AFE は、永続的な障害が発生した場合に、外部ヒューズを溶断する能力を備えています。ヒューズ ドライブは BAT 入力ピンから供給されし、AIF_ANA_DIN レジスタを使用して状態を監視できます。ヒューズ出力を駆動するには、AIF_CTRL2 [FUSE_BLOWD] = 1 を設定します。ファームウェアが FUSE ピンを駆動しない場合、、ヒューズ ドライブを構成し、第二段階の電圧保護回路などの外部ソースから FUSE ピンに入力される信号を監視することができます。

Copyright © 2026 Texas Instruments Incorporated

FUSE 出力を使用しない場合、ピンを VSS に接続する必要があります。FUSE が Low 状態の場合、このピンは内部の弱いプルアップを使用して、FUSE ピンとヒューズ ドライブ回路との間の切断を検出します。

7.3.6 負荷検出機能

放電ラッチ中の短絡または放電ラッチ保護フォルト中の過電流が発生し、DSG FET がオフの場合、負荷の除去が検出されたときにデバイスを回復するように構成できます。この機能は、システムに取り外し可能なパックが搭載されている場合に役立ちます。たとえば、フォルトが発生した際にユーザーがパックをシステムから取り外せる場合、または DSG FET が無効になった状態でバッテリ パックにかかる実効システム負荷が設定されたスレッショルド (最小値 300Ω) を超えている場合に役立ちます。このデバイスは、LD ピンから 3mA 電流源を定期的に有効にし、LD ピンにおいて設定されたスレッショルドのレベルを超える電圧が検出された場合にフォルトを回復します。パックに低インピーダンス負荷が依然として存在する場合、デバイスが LD ピンで測定する電圧はスレッショルド電圧よりも低くなり、負荷検出に基づく回復を防止します。パックがシステムから取り外され、実効負荷が高い場合、デバイスはフォルトから回復できます。この機能を使用して、電源投入時に CHG および DSG FET をオンにする前に、負荷インピーダンスが低すぎるかどうかを検出することもできます。

注

通常、PACK+ 端子と LD ピンの間に外部抵抗を接続して、システムのキャリブレーションに基づいて必要なスレッショルド電圧に達することができます。負荷インピーダンスを検討する際には、この抵抗を考慮に入れる必要があります。負荷検出電流は、プログラム可能な期間にわたって有効化され、別のプログラム可能な期間には無効化されます。このシーケンスは、負荷が除去されたとして検出されるか、タイムアウトするまで繰り返されます。

7.3.7 MCU 周辺機器

このデバイスのマイコンには、多数のペリフェラルが搭載されています。

7.3.7.1 汎用および特殊機能 I/O

BQ41Z90 デバイスには 4 種類の I/O が備わっており、マイコン側に 13 個、AFE 側に 8 個配置されています。

I/O ポート	ダイの位置	推奨最大電圧	I/O タイプ	内部プルアップ / ダウン抵抗が利用可能	スペシャル ファンクション
RAx	マイコン	5.5V	オープン ドレイン	プルダウンのみ	通信
RCx	マイコン	V_{REG18}	プッシュ プル	あり	通信、パルサ、SWD ポート
RLx	AFE	5.5V	オープン ドレイン	あり	LED 電流シンク
RADCx	AFE	V_{REG18}	オープン ドレイン	あり	温度センサ入力。

GPIO ピンの構成オプションと説明については、「IOMUX レジスタ」および「GPIO レジスタ」セクションに詳述されています。

7.3.7.1.1 Low 電圧 RAx I/O

4 つの汎用オープン ドレイン I/O は BQ41Z90 デバイスで使用でき、マイコンに搭載されています。プログラム可能なプルダウンおよび割り込み機能オプションが用意されています。

RA0 ～ RA3 ピンは 1MHz 動作に対応しており、SMBus または I2C としての使用を想定しています。具体的には、RA0 ～ RA1 ピンは I2C0 のペリフェラルに、RA2 ～ RA3 ピンは I2C1 のペリフェラルに使用されます。どちらのバスも、ターゲットまたはホストとして構成できます。

各 RAx ピンには、静電放電 (ESD) にさらされる可能性のあるノードに対して、最低 250Ω の直列外部抵抗が必要です。

Copyright © 2026 Texas Instruments Incorporated

7.3.7.1.2 Low 電圧 RCx I/O

BQ41Z90 デバイスでは、2 つの汎用トライステート I/O を利用できます。これらのピンは、V_{REG18} まで許容されていて、マイコンに損傷を与えません。各 RCx ピンには内部プルアップおよびプルダウンが搭載されており、RCWKPUP およびレジスタを使用して有効にできます。

RC0 RC1 はパルサ出力ピンとしても機能し、PWM モジュールで駆動して、ADC と同期できます。

RC0/SWDIO と RC1/SWCLK 経由で、SWD インターフェイスも使用できます。

7.3.7.1.3 定電流シンク I/O

BQ41Z90 デバイスでは、5 つの汎用トライステート I/O を利用できます。これらは GPIO として使用することも、外部 LED を駆動するための定電流シンクとして構成することもできます。各 RLx ピンには内部プルアップが含まれており、ピン構成レジスタを使用して有効にできます。

> **注意**
>
> パックの外部と接続する RL ピン (プルダウンやプルアップなど) に任意の回路を接続する場合は、BAT ピンにダイ オードを接続する必要があります。BAT ピンにダイオードがない場合、フォルト発生時にバッテリが充電されてしまう予期せぬ経路が生じる可能性があります。

7.3.7.2 通信インターフェイス

BQ41Z90 は、ターゲット モードとコントローラ モードで、SMBus 3.2 と I^2C シリアル インターフェースの両方をサポートしています。通信インターフェイスは、デフォルトでは RA0 と RA1、または RA2 と RA3 を介して使用できます。SMBus および I^2C コントローラは、RA0 および RA1 に割り当てて同一バス上のコントローラとして動作させるか、あるいは RA2 および RA3 に割り当てて第 2 のバス上のコントローラとして動作させることができます。

使用方法の組み合わせは次のとおりです。

1. SMBus ターゲットのみ
2. 同一バス上の SMBus ターゲットと SMBus コントローラ
3. 別のバス上の SMBus ターゲットと I^2C コントローラ
4. I^2C ターゲットのみ
5. 別のバス上の I^2C コントローラと I^2C ターゲット
6. 別のバス上の SMBus コントローラと SMBus ターゲット

通信 API を使用して、SMBus および I^2C 通信インターフェイスを簡素化します。

7.3.7.2.1 I^2C インターフェイス

BQ41Z90 デバイスは、双方向データ転送を可能にする I^2C インターフェイス (データ SDA およびクロック SCL) を備えています。

デバイスには、以下の I^2C 機能が含まれています。

- I^2C バス上のデバイスは、7 ビット アドレッシングを用いて、コントローラまたはターゲットのいずれかとして指定できます。
- 4 つの I^2C モードをサポート:
  - コントローラ送信
  - コントローラ受信
  - ターゲット送信
  - ターゲット受信
- サポートされている送信速度:
  - 標準モード (Sm) (最大 100kbps のビット レート)
  - 高速モード (Fm) (最大 400kbps のビット レート)

Copyright © 2026 Texas Instruments Incorporated

  - 高速モード プラス (Fm+) (最大 1Mbps のビット レート)
- 受信および送信用に独立した 8 バイト FIFO
- デュアル ターゲット アドレス機能
- グリッチ抑制
  - アナログ グリッチ除去有効:デフォルトで GFCTL[AGFSEL] = 0x3 であり、これを変更しないことが推奨されます。
  - デジタル グリッチ除去:デフォルトで GFCTL[DGFSEL] = 0x0 であり、0x4 に設定する必要があります。
  - 推奨される GFCTL の設定は 0x704 です
- 独立したコントローラとターゲットの割り込み生成
- アービトレーション (調停) 機能、クロック同期を備えたコントローラ操作
- SMBus 用ハードウェア サポート
- クロック Low タイムアウトの検出と割り込み
- 送信と受信に別々のチャネルを備えた DMA のハードウェア サポート

7.3.7.2.2 SMBus インターフェイス

このデバイスは、ファームウェアと連携して、パケット エラー チェック (PEC) をサポートする SBS v3.2 プロトコルに準拠する SMBus インターフェイス (SMBC および SMBD) を備えています。また、SMBC ピンおよび SMBD ピンには、SMBus ノードのフローティングによる潜在的なノイズを防止するため、1MΩ のプルダウン抵抗も内蔵されています。

SMBus インターフェイスは I^2C HW モジュールを使用しており、I^2C レジスタを用いて構成可能な追加機能を備えています。

7.3.7.3 認証サポート

BQ41Z90 は、ハードウェア周辺装置と ROM 機能との間における ECC、SHA-1、および SHA-2 認証アルゴリズムをサポートしています。これについては、以降のセクションで説明します。

7.3.7.3.1 ECC 認証

堅牢なバッテリ パックのセキュリティを実現するために、BQ41Z90 は楕円曲線暗号 (ECC) 認証機能を搭載しています。ECC 認証では、固有の非対称秘密 / 公開鍵暗号化を使用するため、ホスト システムで同じ秘密を共有する必要はありません。

BQ41Z90 デバイス内の ECC 認証プロトコルは、国際標準化機構 (ISO) 仕様である 14888-3 に基づいて実装された、韓国の認証に基づく楕円曲線デジタル署名アルゴリズム (EC-KCDSA) です。EC-KCDSA シグネチャ (チャレンジからの応答) は、B-163 または B-233 擬似ランダム楕円曲線に基づいて計算されます。この曲線は、米国国立標準技術研究所 (NIST) が発行している FIPS 186-3 から自由に入手できます。B-163 または B-233 に基づく楕円曲線のパラメータは、変更する必要がないため、マスク ROM にハード コードされます。

詳細は http://csrc.nist.gov/publications/PubsFIPS.html を参照してください。

BQ41Z90 には、ROM ベースの EC-KCDSA ライブラリ関数の性能を向上させるための、ハードウェア ベースのバイナリ フィールド アクセラレータ ペリフェラルが搭載されています。このアクセラレータは、バイナリ フィールドのすべての加算および乗算をハードウェアで直接処理するため、他の CPU タスクと並列に計算を実行でき、EC-KCDSA 実装の全体的な速度が大幅に向上します。最上位レベルの EC-KCDSA シグネチャ生成プロトコルはマスク ROM で処理され、算術アクセラレータから取得された計算結果を使用して、デバイスのシリアル インターフェース経由でホスト システムに提供される最終的な認証シグネチャを構築します。

秘密鍵と公開鍵は、プログラム フラッシュから分離された物理的に安全なメモリにプログラムおよび保存することができるため、シリアル インターフェース経由で値へのアクセスや読み出しを試みないようにできます。

鍵ペアは外部で生成されるため、ホスト システムは BQ41Z90 デバイスからシグネチャを要求する前に公開鍵に関する知識を必要とします。SHA-1 認証と同様に、シグネチャ生成を開始する前に、ランダム チャレンジをシステム ホストが作成し、BQ41Z90 に送信する必要があります。そこから、マスク ROM は、ライブラリ関数呼び出しを使用してプログラム フラッシュで最終的な結果を使用できるようにする前に、統合型演算アクセラレータおよび CPU と通信するために必要なすべてのタスクの実行を処理します。

Copyright © 2026 Texas Instruments Incorporated

7.3.7.3.2 SHA-1 をサポート

BQ41Z90 は ROM を介して SHA-1 をサポートしていますが、セキュアなキー ストレージ以外に、特別なハードウェア サポートは備えていません。

7.3.7.3.3 SHA-2 をサポート

BQ41Z90 は ROM を介して SHA-2 をサポートしていますが、セキュアなキー ストレージ以外に、特別なハードウェア サポートは備えていません。

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

BQ41Z90 は、1 次側保護サポートを搭載したバッテリ残量計であり、3 ～ 16 直列のリチウム イオンまたは LFP バッテリ パックと組み合わせて使用できます。特定のバッテリ パック用の包括的なパラメータ セットを実装および設計するため、開発時に、PC にインストールされたグラフィカル ユーザー インターフェイス ツールであるバッテリ マネジメント スタジオ (bqStudio) が必要です。bqStudio ツールにインストールされているファームウェアには、この製品のデフォルト値があります。bqStudio ツールを使用すると、これらのデフォルト値を特定のアプリケーション要件に合わせて変更することができます。開発の過程で、保護機能における故障トリガ スレッショルド、動作に必要な各機能の有効または無効化の設定、セルの構成、使用するセルに最適な化学物質など、システム パラメータが確定します。このデータを「ゴールデン イメージ」と呼びます。

注

ロード済みのデバイス ファームウェアには未テストの機能が含まれているる可能性があります。デバイスのファームウェアページにある最新のファームウェアに更新してください。このページには機能とリリース品質レベルに関する情報も含まれています。ファームウェアの詳細は、テクニカル リファレンス マニュアルを参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.2 代表的なアプリケーション

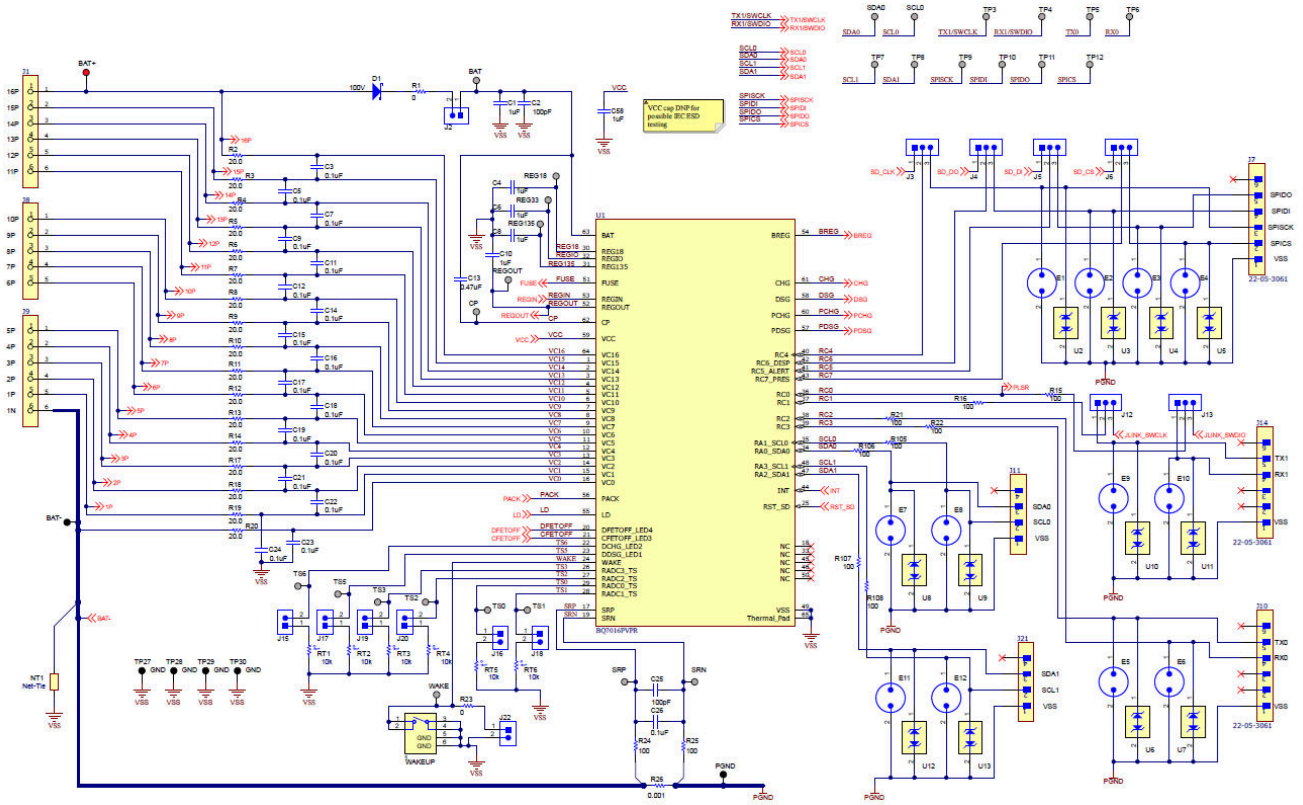


図 8-1. 代表的なアプリケーション

8.2.1 設計要件

表 8-1 に、BQ41Z90 メイン パラメータのデフォルト設定を示します。bqStudio ツールを使用して、具体的なアプリケーションやバッテリ パックの構成要件に合わせてゲージ設定を更新します。

残量計テストを実行する前に、デバイスのキャリブレーションを行う必要があります。bqStudio キャリブレーション ページに従ってデバイスのキャリブレーションを行い、bqStudio ケミストリ ページを使用して、デバイスに構成されている ChemID を更新します。

表 8-1. 設計パラメータ

設計パラメータ	例
セルの構成	3S
設計容量	4400mAh
デバイス ケミストリ	1210 (LiCoO2/グラフ化炭素)
標準温度でのセル過電圧	4300mV
セル低電圧	2500mV
シャットダウン電圧	2300mV
充電モードでの過電流	6000mA
放電モードでの過電流	-6000mA
放電モードでの短絡	SRP、SRN 間で 0.1V/R_{Sense}
安全性過電圧	4500mV

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 設計パラメータ (続き)

設計パラメータ	例
セル バランシング	無効
内部または外部温度センサ	外部温度センサが使用されています
低温充電	0°C
低温放電	0°C
ブロードキャスト モード	無効

8.3 電源に関する推奨事項

デバイスは、動作条件に応じて電源電圧を動的に管理します。通常、BAT 入力はデバイスへの主な電力源です。BAT ピンは、バッテリ スタックの正の終端に接続する必要があります。BAT ピンの入力電圧範囲は 5V ～ 80V です。

VCC ピンは 2 次電源入力であり、BAT 電圧が最小 VCC を下回るとアクティブになります。これにより、本デバイスは PACK ピンに接続されているチャージャ (存在する場合) から電力を供給できます。VCC ピンは CHG および DSG FET の共通ドレインに接続する必要があります。チャージャ入力は PACK ピンに接続する必要があります。

BAT 入力には、VSS に 1µF コンデンサを接続し、BAT ピンのできるだけ近くに配置する必要があります。また、BAT 入力には、バッテリ スタックの上面と入力コンデンサとの間にダイオードが必要で、PACK が VSS に短絡しても入力コンデンサが放電されないようにします。

VCC 入力にはコンデンサは必要ありませんが、追加する場合は、VCC ピンのできるだけ近くに接続する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

バッテリ残量計の回路基板は、大電流の配線と超低電流の半導体デバイスの基本的な非互換性により、困難な環境です。望ましくない配線間の結合を防止する最善の方法は、図 8-2 に示すような部品配置を行うことです。ここでは、大電流セクションが電子デバイスから基板の反対側にあります。明らかに、これは機械的な制約のために多くの状況では不可能です。ただし、大電流トレースを信号トレースから離して配線し、BQ41Z90 に直接入るように試みる必要があります。IC 基準電圧およびレジスタは、ほとんどの場合、大電流パスからの磁気および容量結合によって損傷することがあります。図 8-3 に示すように、サージ電流および ESD イベント中は、大電流パターンは誘導性のように見え、不要なノイズがバッテリ残量計の電子機器の敏感なノードに結合される可能性があることに注意してください。

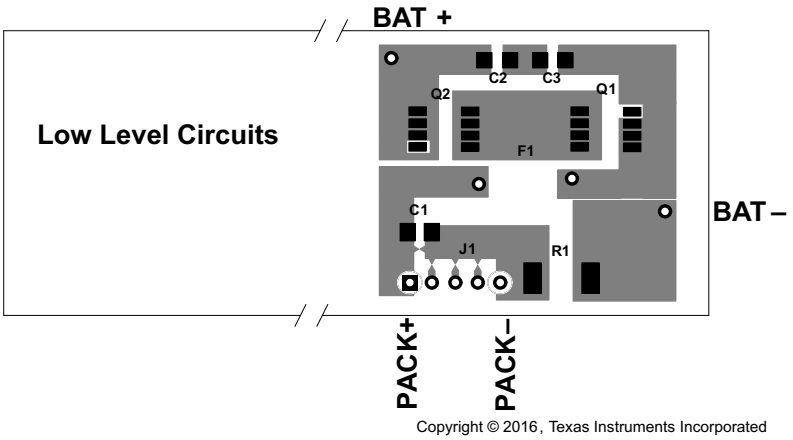


図 8-2. 高電流セクションと低電流セクションを分離することで、ノイズ耐性の点で有利になります

Copyright © 2026 Texas Instruments Incorporated

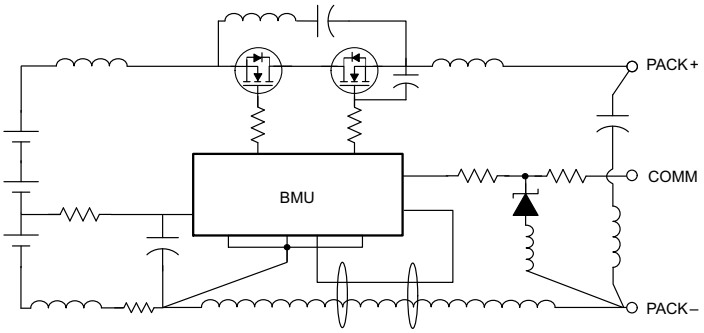


図 8-3. 大電流と低レベルの信号ラインの間にはクローズ間隔を避けてください

電流とセルの上限電圧と下限電圧を高精度測定するには、ケルビン電圧センシングが非常に重要です。フィルタ回路の部品はすべて、各デバイス ピンのできるだけ近くに配置します。センス抵抗からのトレースは、フィルタ回路と並列に配線します。フィルタ回路の周囲にグランド プレーンを追加すると、ノイズ耐性を高めることができます。図 8-4 と図 8-5 は、正しいケルビン電流検出を示します。

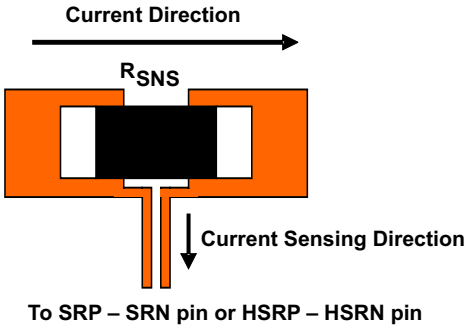


図 8-4. 検出抵抗の PCB レイアウト

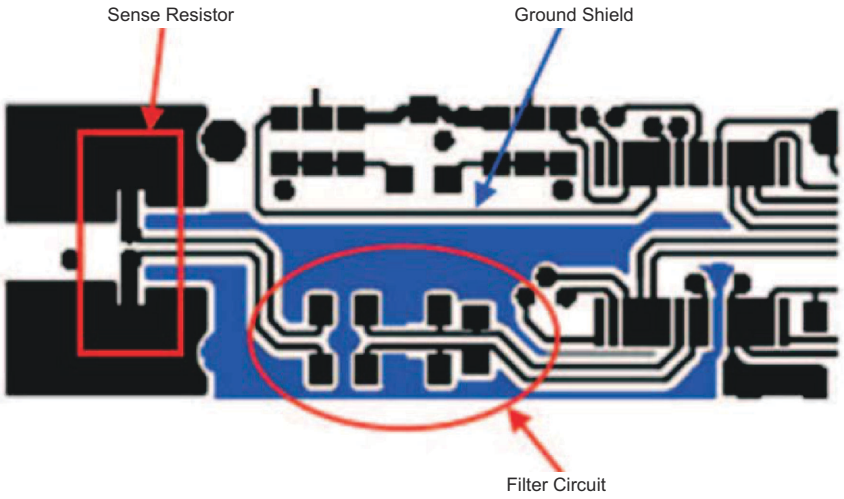


図 8-5. センス抵抗、グランド シールド、フィルタ回路のレイアウト

システム レベルで ESD に対する復元力を改善するためのいくつかの提案をテストし、性能を大幅に向上させました:

- グランド プレーンを追加する:グランド プレーンを使用してレイアウトに分散容量を追加することで、IC のピンの電圧が低下します。多層 PCB の場合は、信号層をグランド プレーンで分離します。層を追加して ESD システム レベルの性能を向上します。

- VCC コンデンサを実装済みで、残量計 IC のできるだけ近くに配置してください。

8.4.1.1 プロテクタ FET のバイパス コンデンサとパック端子のバイパス コンデンサ

一般的な原理として、広い銅パターンを使用して、バイパス コンデンサ回路のインダクタンスを低減することが挙げられます。図 8-6 では、この手法をレイアウト例で示しています。

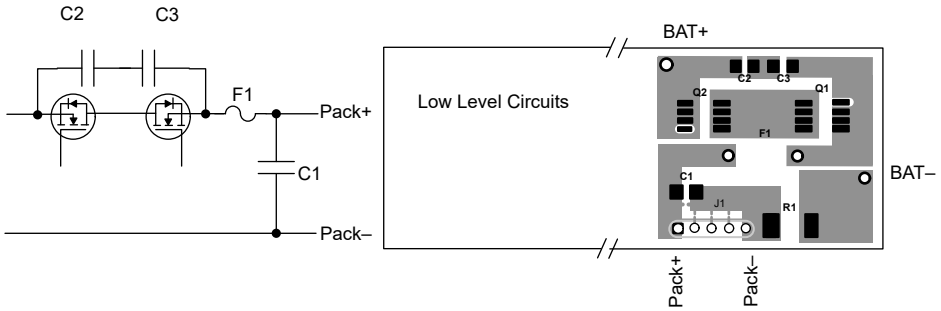


図 8-6. 銅のパターンが広いため、バイパス コンデンサ C1、C2、C3 のインダクタンスを小さくできます

8.4.1.2 ESD スパーク ギャップ

コネクタのスパーク ギャップを使用して、デジタル インターフェイス クロック、データ、他の通信ラインを ESD から保護します。図 8-7 のパターンを推奨します。ポイント間に 0.2mm の間隔を設定します。

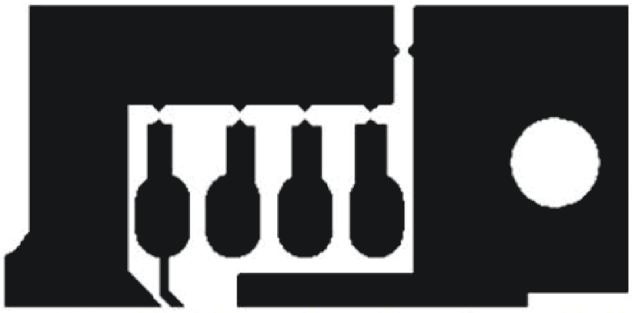


図 8-7. 推奨されるスパーク ギャップ パターンは、通信ラインを ESD から保護するのに役立ちます

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

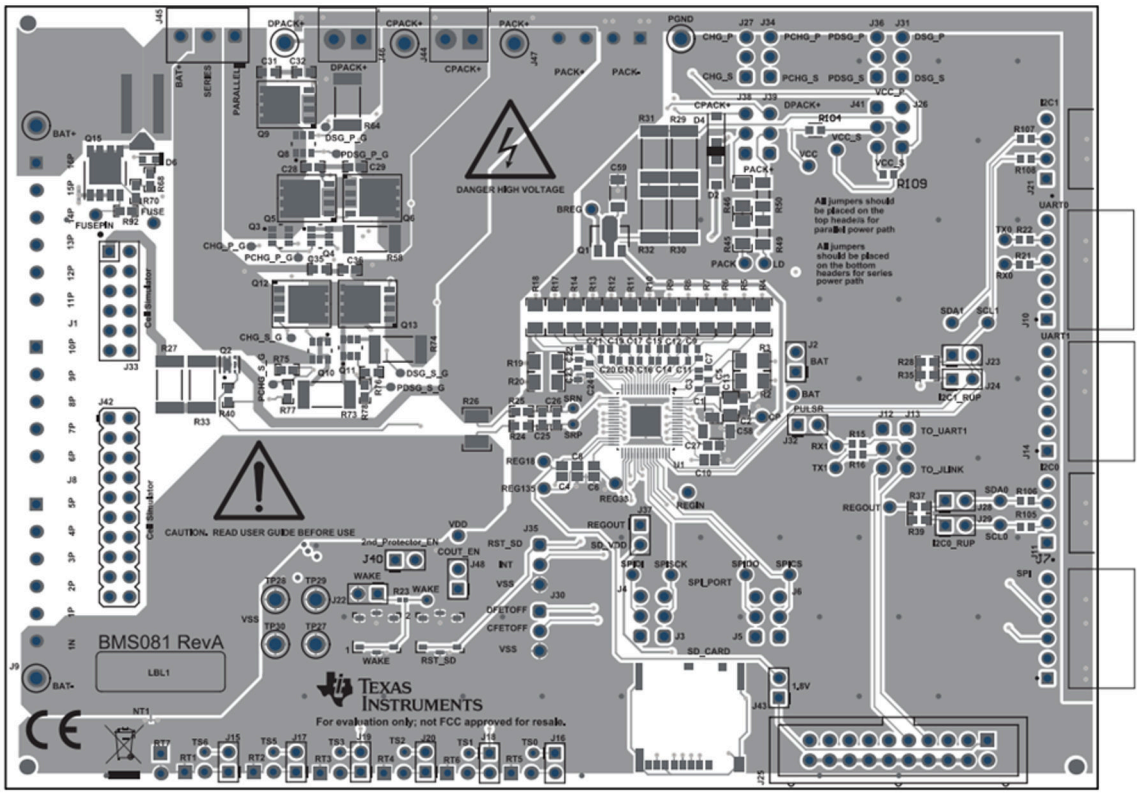


図 8-8. 上層

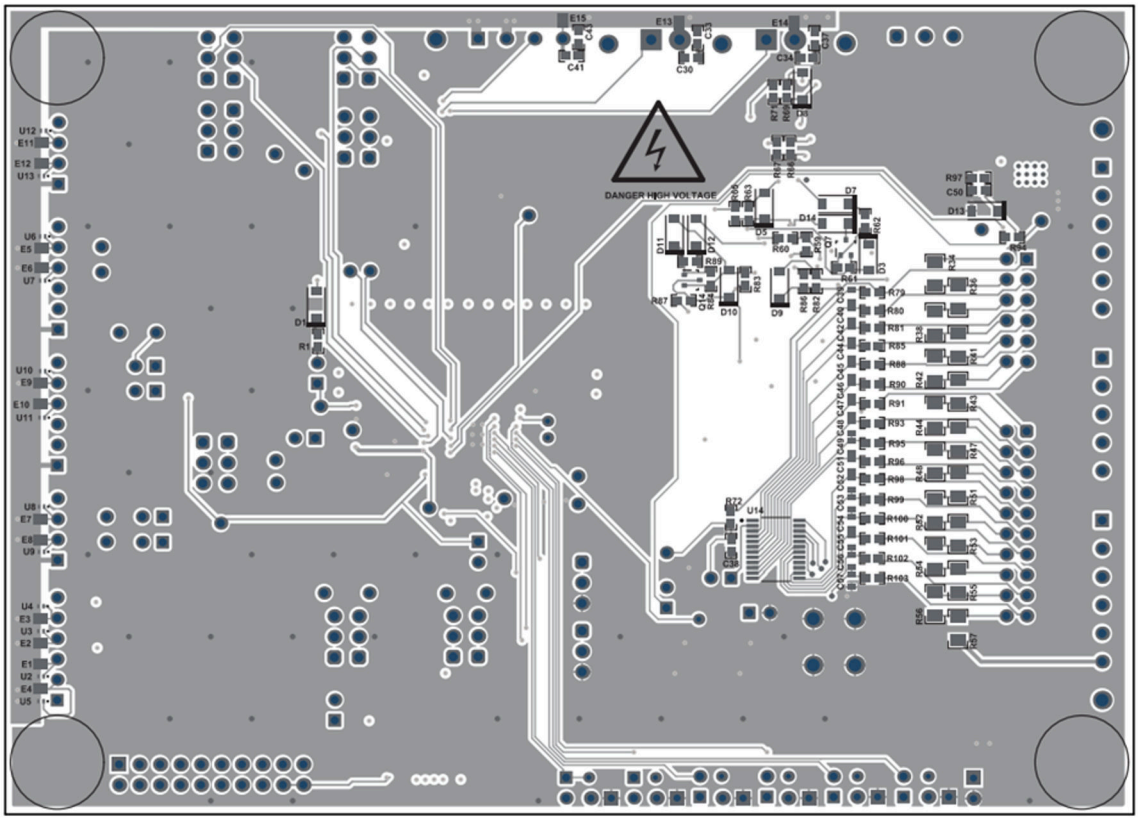


図 8-9. 下層

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

ダイナミック Z-Track™, Dynamic Z-Track™, and Impedance Track™ are trademarks of Ti.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2026) to Revision C (October 2026)	Page
• デバイス ファームウェアのアップデートに関する注を追加	44

Changes from Revision A (December 2024) to Revision B (October 2026) **Page**

- データシート ステータスを「事前情報」から「量産データ」に更新 1
- ファームウェアで有効化される機能に合わせて、ピン 20、21、22、23、26、27 の名称を更新ピン 25 の説明を更新 3
- WAKE ピンを V_{IN} リストに追加し、RADCx ピンを V_{IN} リストに移動 10
- VCx ピンを別々の行に分割し、V_{IN} リストの範囲を訂正 11
- $I_{DEEPSLEEP}$ および $I_{HIBERNATE}$ を追加 I_{SHELF} のテスト条件を修正し、低消費電力タイマを参照するように変更 12
- $V_{STARTUP}$、$V_{SWITCHOVER–}$、$V_{SWITCHOVER+}$ の最小値を更新 $T_{SDSLERT+}$ を 2 行に分割 $T_{SD–}$ の最小値を更新 13
- 「RA および RC ポート」セクションで、V_{IOHYS} の最小値を削除、R_{WKPD} の最小値および標準値を更新、R_{WKPU} の最小値を訂正。「RADC ポート」セクションで、V_{IL}、V_{OH}、V_{OL} のテスト条件を明確化「RL/LED ポート」セクションで、I_{OL} の最小値、R_{WKPD} の最小値、R_{WKPU} の最小値を更新 14
- V_{OC_ACC} の最小値を更新 17
- V_{SCD_DLY} 最小値およびテスト条件を更新 18
- V_{FETON}、V_{FETON_LP}、$V_{FET_UVLO_LP}$、$V_{CHGFETOFF}$ から PCHG と PDSG の参照を削除。V_{FETON}、V_{FETON_LP}、$V_{FET_UVLO_LP}$ パラメータの説明を訂正 19
- SHELF への移行オプションを明確化 26
- RST_SD をアクティブ "Low" に訂正 28
- 消費電力に関する REGOUT BJT の使用方法、および低消費電力モードにおける REGOUT の使用方法について、詳細な説明を追加 30
- 「A/D コンバータ (ADC)」セクションを削除し、関連する詳細情報を『テクニカル リファレンス マニュアル』に移動 33
- セルを初めて接続した後の動作に関する詳細な注記を追加 33
- ピンは使用されないため、RST_SD の推奨事項を更新 36
- 「リアルタイム クロック」セクションを削除。当該セクションは現在、『テクニカル リファレンス マニュアル』に記載 41
- グリッチ抑制の詳細について詳細な説明を追加 42
- キーのプログラミングと管理への参照を削除 44
- 「レイアウトのガイドライン」セクションにサブセクションを追加 46
- レイアウト例セクションを追加 49

Changes from Revision * (December 2024) to Revision A (December 2024) **Page**

- 「3 ～ 6 セル」を「3 ～ 16 セル」に更新 1

日付	改訂	注
December 2024	*	初版リリース

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PBQ41Z90PVPT	Active	Preproduction	HTQFP (PVP) | 64	1000 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
PBQ41Z90PVPT.A	Active	Preproduction	HTQFP (PVP) | 64	1000 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

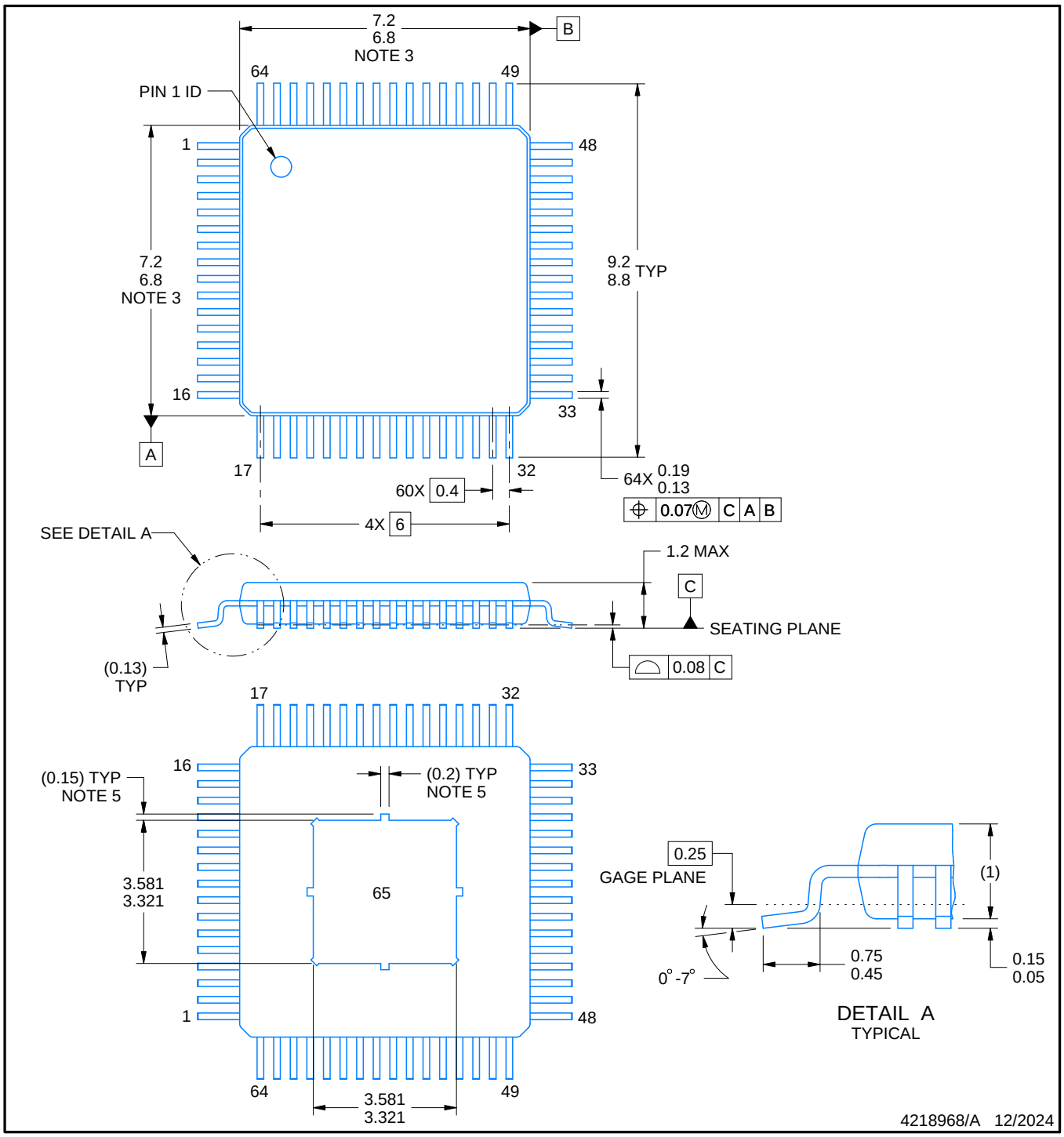
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

PVP0064A

PowerPAD™ HTQFP - 1.2 mm max height

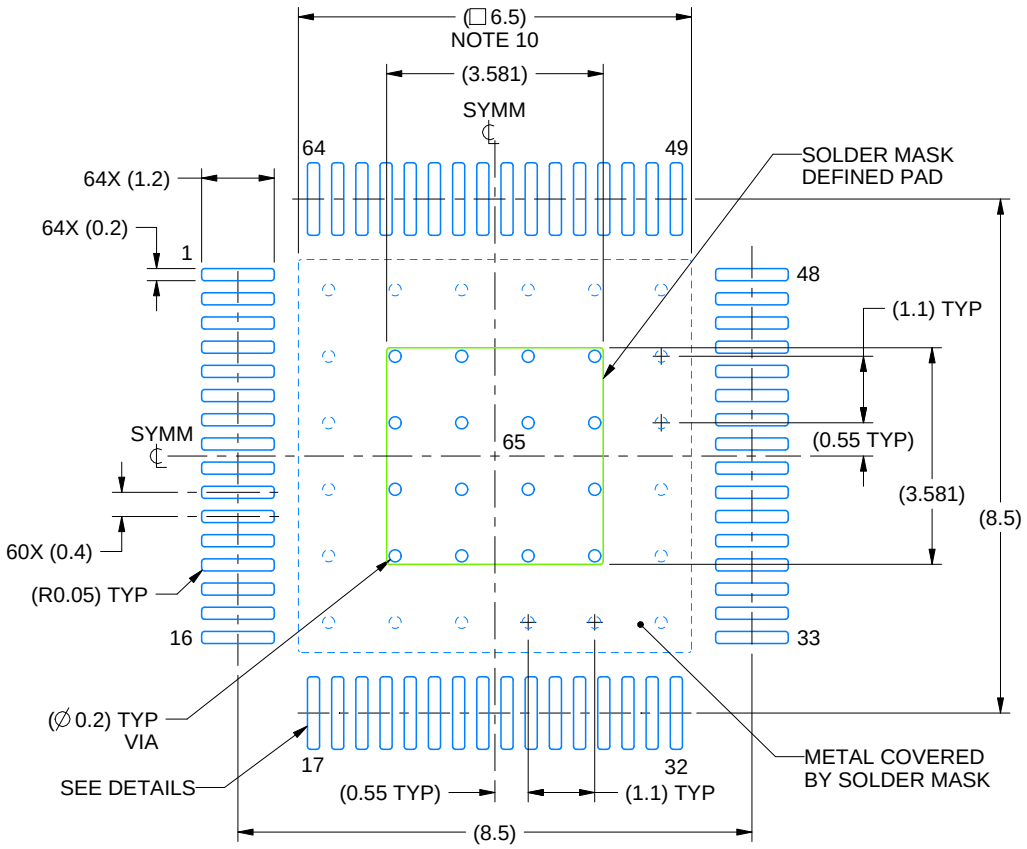
PLASTIC QUAD FLATPACK



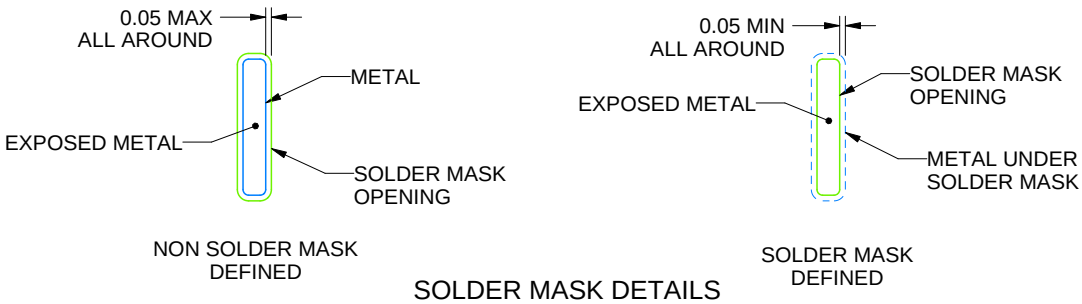
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

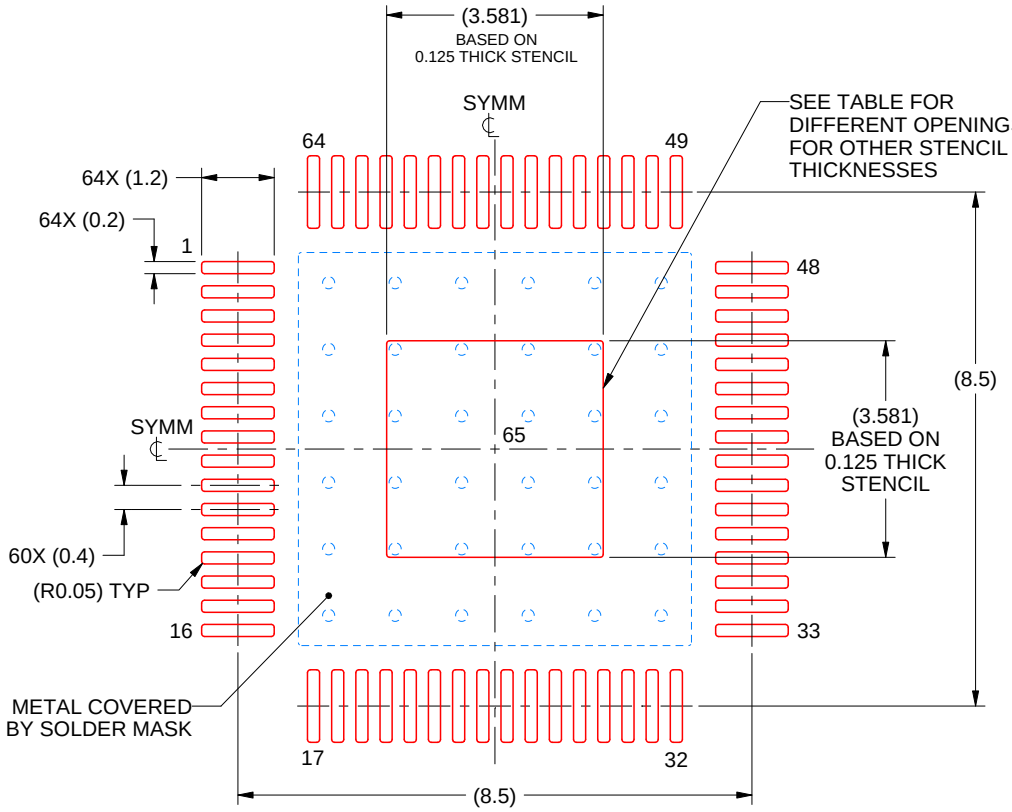


SOLDER MASK DETAILS

4218968/A 12/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.004 X 4.004
0.125	3.581 X 3.581 (SHOWN)
0.150	3.269 X 3.269
0.175	3.026 X 3.026

4218968/A 12/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月