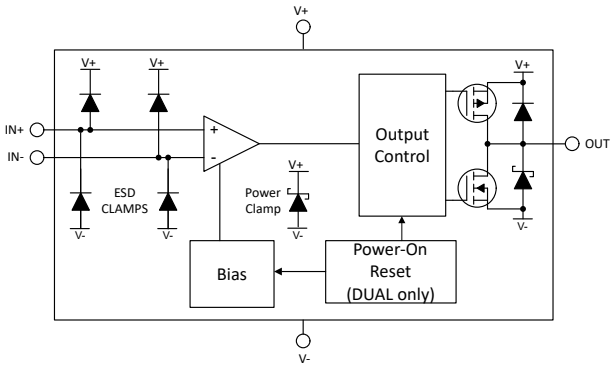
TLV323x-Q1 レール ツー レール入力の 20ns 高速コンパレータ

1 特長

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1:動作時周囲温度範囲 – 40℃ ～ 125℃
- 伝搬遅延時間:20ns
- 入力オフセット電圧:±4mV 以下
- 低い電源電流:1 チャネルあたり 200µA
- 各レールから 100mV 拡張された入力電圧同相範囲
- 内部ヒステリシス:1.55mV
- 既知の起動条件を提供するパワーオン リセット (デュアル チャネルのみ)
- プッシュプル出力

2 アプリケーション

- テレマティクス eCall
- 車載用ヘッド ユニット
- インストルメント クラスタ
- オンボード チャージャ (OBC) / ワイヤレス チャージャ



ブロック図

3 説明

TLV323x-Q1 は、プッシュプル出力を備えた 5V シングルおよびデュアル チャネル コンパレータのファミリです。このファミリは速度と消費電力の組み合わせが非常に優れており、伝搬遅延は 20ns、電源電圧範囲は 2.7V～5V で、チャネルあたりの静止時電流はわずか 200µA です。

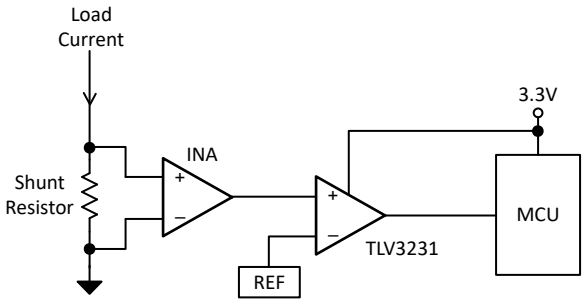
同様に、TLV323x-Q1 は標準のリード付きおよびリードレス パッケージで供給され、レール ツー レール入力、低オフセット電圧、大きな出力駆動電流などの特長があります。これらの特長と高速な応答時間により、本コンパレータは電流センシング、ゼロクロス検出、その他精度と速度が重要なさまざまなアプリケーションに最適です。

すべてのデバイスは、-40℃～125℃°C の拡張工業用温度範囲で仕様が規定されています。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)(2)
TLV3231-Q1	SC-70 (5)	1.25mm × 2.00mm
	SOT-23 (5)	1.60mm × 2.90mm
TLV3232-Q1	VSSOP (8)	3.00mm × 3.00mm
	WSON (8)	2.00mm × 2.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



ローサイド電検出流

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

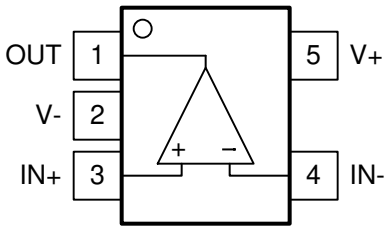
目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
ピン構成：TLV3231-Q1 および TLV3232-Q1.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報、TLV3231.....5
5.5 熱に関する情報、TLV3232.....5
5.6 電気的特性.....6
5.7 スイッチング特性.....7
5.8 代表的特性.....8
6 詳細説明.....14
6.1 概要.....14
6.2 機能ブロック図.....14
6.3 機能説明.....14
6.4 デバイスの機能モード.....14
7 アプリケーションと実装.....16
7.1 アプリケーション情報.....16
7.2 代表的なアプリケーション.....19
7.3 電源に関する推奨事項.....20
7.4 レイアウト.....20
8 デバイスおよびドキュメントのサポート.....22
8.1 ドキュメントのサポート.....22
8.2 ドキュメントの更新通知を受け取る方法.....22
8.3 サポート・リソース.....22
8.4 商標.....22
8.5 静電気放電に関する注意事項.....22
8.6 用語集.....22
9 改訂履歴.....22
10 メカニカル、パッケージ、および注文情報.....23

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

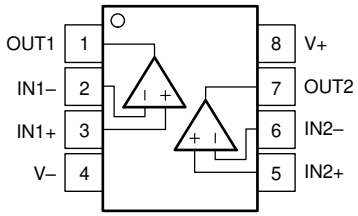
ピン構成：TLV3231-Q1 および TLV3232-Q1



DCK、DBV パッケージ
SC70、SOT-23-5
上面図
(標準の「ノース ウェスト」ピン配列)

表 4-1. ピン機能：TLV3231-Q1

ピン		I/O	説明
名称	番号		
OUT	1	O	出力
V-	2	-	負電源電圧
IN+	3	I	非反転 (+) 入力
IN-	4	I	反転 (-) 入力
V+	5	-	正電源電圧



DGK、DSG パッケージ
8 ピン VSSOP、WSON
上面図

表 4-2. ピン機能：TLV3232-Q1

ピン		I/O	説明
名称	番号		
OUT1	1	O	出力、チャネル 1
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
V-	4	-	負 (最低) 電源またはグランド
IN2+	5	I	非反転入力、チャネル 2
IN2–	6	I	反転入力、チャネル 2
OUT2	7	O	出力、チャネル 2
V+	8	-	正 (最高) 電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

	最小値	最大値	単位
電源電圧 V_S = (V+) - (V-)		6	V
差動入力電圧、VID	-6	6	V
(V–) から入力ピン (IN+、IN-) (2)	–0.5	(V+) + 0.5	V
入力ピンへの電流 (IN+、IN-)	-10	10	mA
出力短絡検出電流	-100	100	mA
出力短絡時間		10	s
接合部温度、T_J		150	℃
保管温度、T_{stg}	-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力端子は (V-) と (V+) に対してダイオード クランプされています。電源レールを超えて 0.5V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
電源電圧 V_S = (V+) - (V-)	2.7	5.5	V
入力電圧範囲	(V-) - 0.1	(V+) + 0.1	V
周囲温度、T_A	-40	125	℃

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報、TLV3231

熱評価基準 (1)		TLV3231		単位
		DBV (SOT-23)	DCK (SC70)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	196.4	220	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	94	135	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	63	65	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	30.5	34	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	62.6	65	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 熱に関する情報、TLV3232

熱評価基準 (1)		TLV3232		単位
		DGK (VSSOP)	DSG (WSON)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	154.5	78.1	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	88.8	99.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	49.1	44.4	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.8	5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	87.4	44.4	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	19.5	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性

T_A = 25°C のとき、V_S = 2.7V ～ 5V、V_{CM} = V_S / 2 (特に記述のない限り)。代表値は T_A = 25℃ 時に測定

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 入力特性						
V_{IO}	入力オフセット電圧	V_S = 5V、V_{CM} = V_S/2		±0.5	±4	mV
V_{IO}	入力オフセット電圧	V_S = 5V、V_{CM} = V_S/2、T_A = -40 ～ 125℃			±4.5	mV
V_{HYS}	ヒステリシス	V_S = 5V、V_{CM} = V_S/2	0.5	1.55	3	mV
V_{HYS}	ヒステリシス	V_S = 5V、V_{CM} = V_S/2、T_A = -40 ～ 125℃			3.5	mV
V_{CM}	同相電圧範囲		(V-) - 0.1		(V+)+0.1	V
I_B	入力バイアス電流	V_S = 5V、V_{CM} = V_S/2、T_A = -40 ～ 125℃		0.01	10	nA
I_{OS}	入力オフセット電流	V_S = 5V、V_{CM} = V_S/2			200	pA
C_{IN}	入力容量			2		pF
CMRR	同相除去比	V_{CM} = V_{EE} - 0.1V ～V_{CC} + 0.1V		82		dB
DC 出力特性						
V_{OH}	(V+) からの電圧スイング	V_S = 5V、(V-) = 0V、I_{Source} = 2mA			200	mV
V_{OL}	(V-) からの電圧スイング	V_S = 5V、(V-) = 0V、I_{Sink} = 2mA			200	mV
I_{SC}	短絡電流	V_S = 5V、ソース		45		mA
		V_S = 5V、シンク		45		
電源						
I_Q	電源電流/チャネル	V_S = 2.7V および 5V、無負荷、出力 Low		200	250	µA
I_Q	電源電流/チャネル	V_S = 2.7V および 5V、無負荷、出力 Low、T_A = -40℃ ～ 125℃			350	µA
$V_{POR\ (postive)}$	パワーオン リセット電圧 (デュアルのみ)			2.1		V
PSRR	電源除去比	V_S = 2.7V ～ 5.5V、無負荷、T_A = -40℃ ～ 125℃		92		dB

Copyright © 2026 Texas Instruments Incorporated

5.7 スイッチング特性

V_S = 5V の場合、V_{CM} = V_S/2。C_L = 15pF (T_A = 25°C のとき) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PHL}	伝搬遅延時間、High から Low (シングル)	入力の中間点から出力の中間点まで、V_{OD} = 10mV		22		ns
t_{PHL}	伝搬遅延時間、High から Low (デュアル)	入力の中間点から出力の中間点まで、V_{OD} = 10mV		25		ns
t_{PHL}	伝搬遅延時間、High から Low (シングルおよびデュアル)	入力の中間点から出力の中間点まで、V_{OD} = 50mV		15	25	ns
t_{PLH}	伝搬遅延時間、Low から High (シングル)	入力の中間点から出力の中間点まで、V_{OD} = 10mV		20		ns
t_{PLH}	伝搬遅延時間、Low から High (デュアル)	入力の中間点から出力の中間点まで、V_{OD} = 10mV		25		ns
t_{PLH}	伝搬遅延時間、Low から High (シングルおよびデュアル)	入力の中間点から出力の中間点まで、V_{OD} = 50mV		15	25	ns
f_{TOGGLE}	入力トグル周波数	V_{IN} = 200mV_{PP} 正弦波、出力 High が V_{CC} の 90% に達するとき - V_{EE} または出力 Low が V_{CC} の 10% に達するとき - V_{EE}		55		MHz
t_R	立ち上がり時間	20% ～ 80% で測定		1.6		ns
t_F	立ち下がり時間	20% ～ 80% で測定		1.6		ns
t_{ON}	パワーアップ時間	電源オン時に、出力が入力を反映するには、(V+) が 4µs の間 2.1V を上回る必要があります。		4.5		µs

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

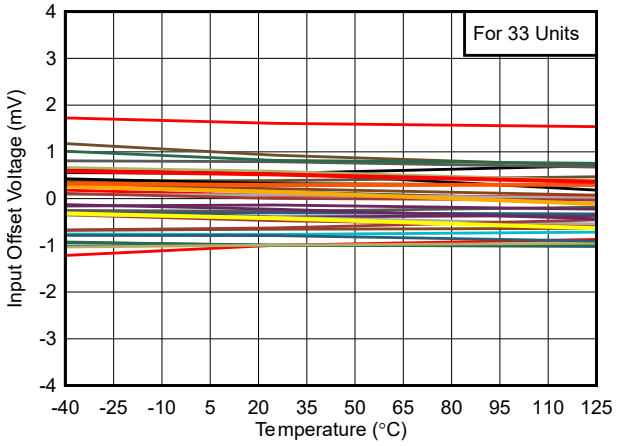


図 5-1. オフセットと温度との関係

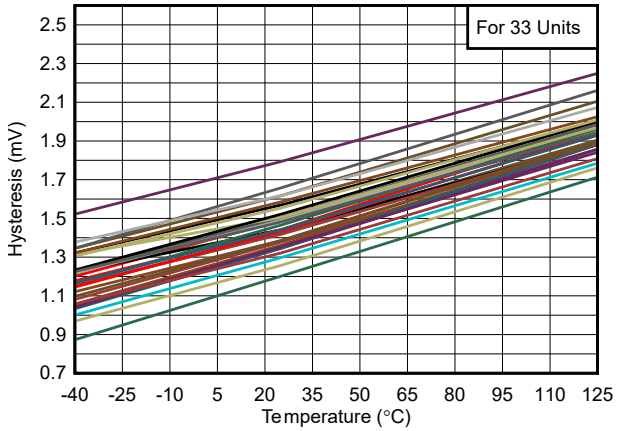


図 5-2. ヒステリシスと温度との関係

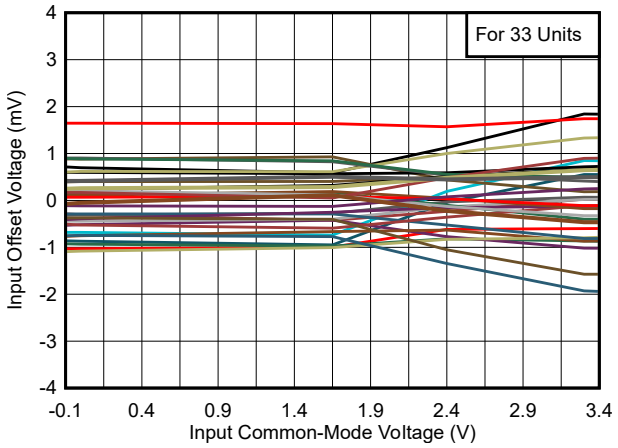


図 5-3. オフセットと同相との関係、3.3V

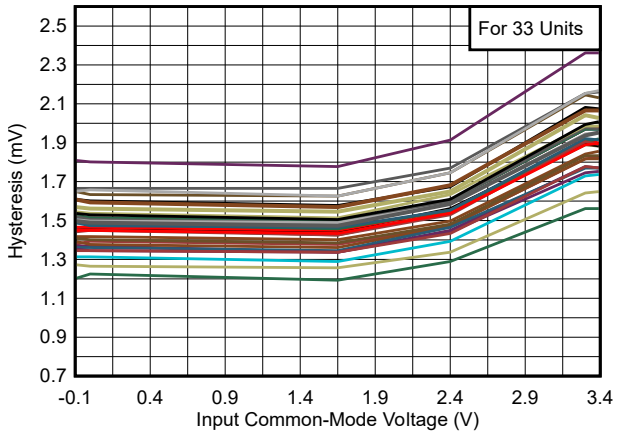


図 5-4. ヒステリシスと同相との関係、3.3V

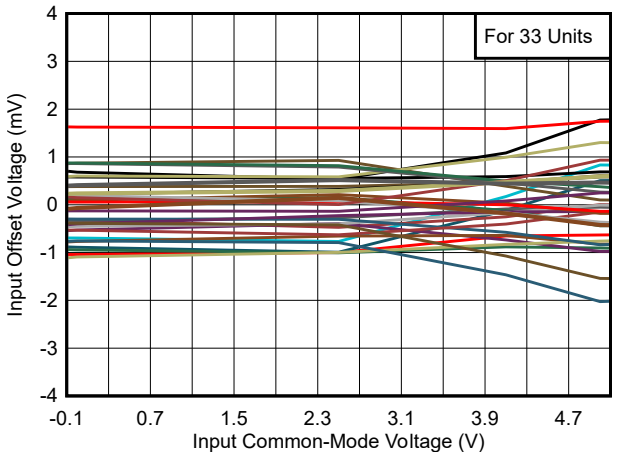


図 5-5. オフセットと同相との関係、5V

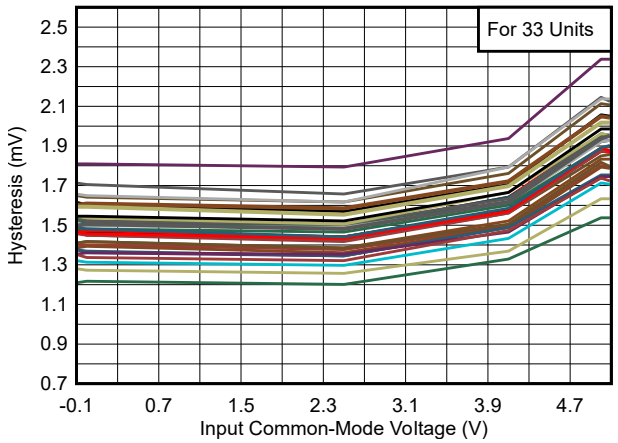


図 5-6. ヒステリシスと同相との関係、5V

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

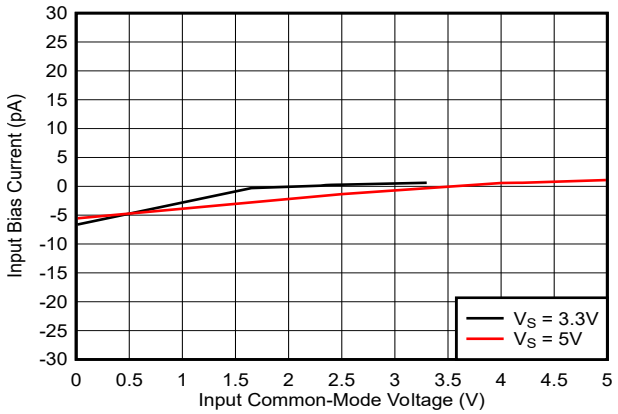


図 5-7. バイアス電流と同相との関係

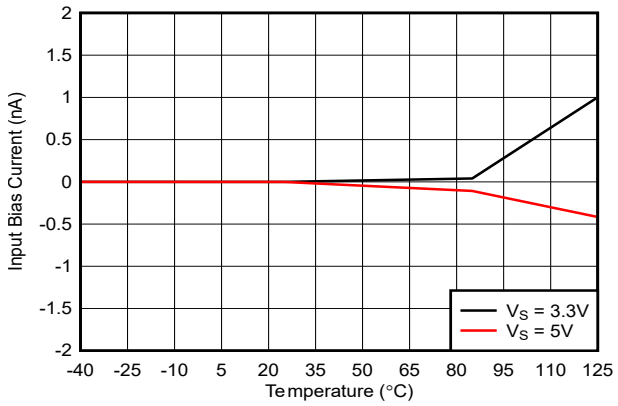


図 5-8. バイアス電流と温度との関係

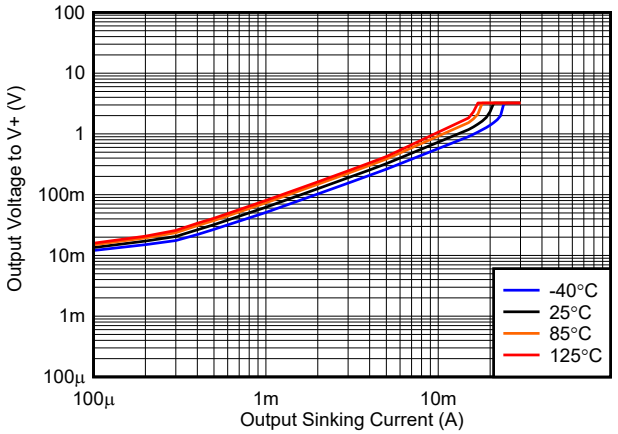


図 5-9. 出力電圧と出力ソース電流の関係、3.3V

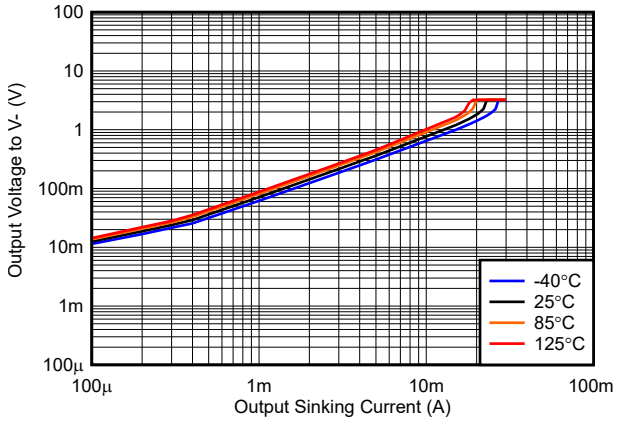


図 5-10. 出力電圧と出力シンク電流の関係、3.3V

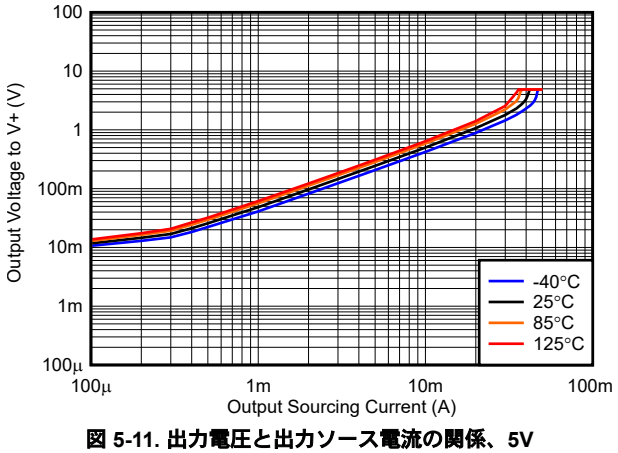


図 5-11. 出力電圧と出力ソース電流の関係、5V

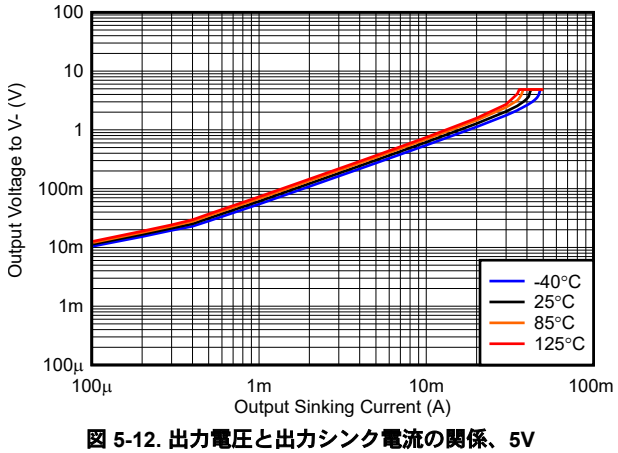


図 5-12. 出力電圧と出力シンク電流の関係、5V

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

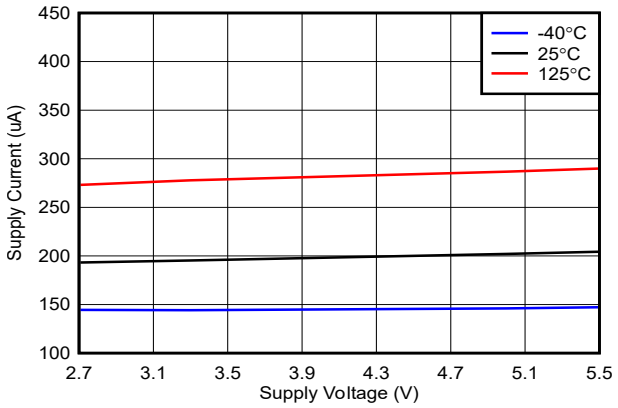


図 5-13. 電源電流と電源電圧との関係 (出力 Low)

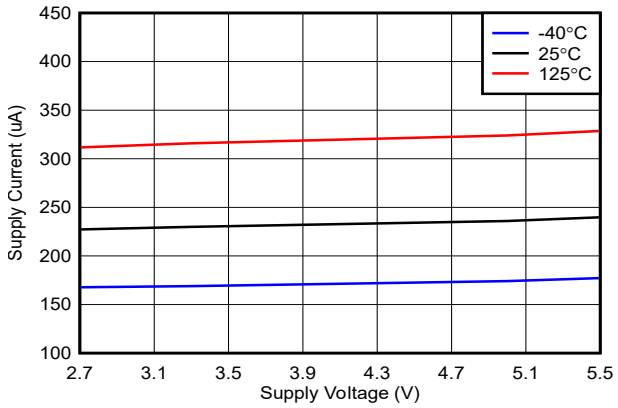


図 5-14. 電源電流と電源電圧との関係 (出力 High)

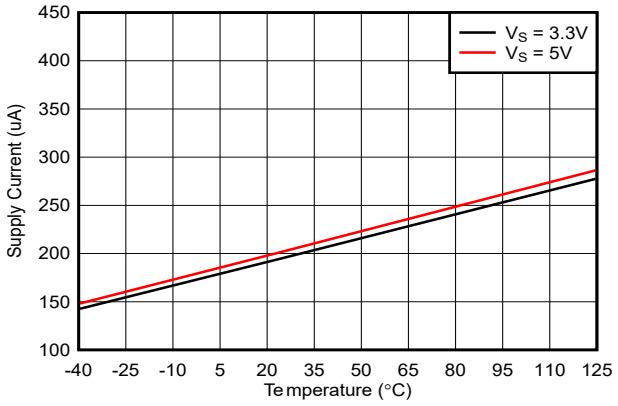


図 5-15. 電源電流と温度との関係 (出力 Low)

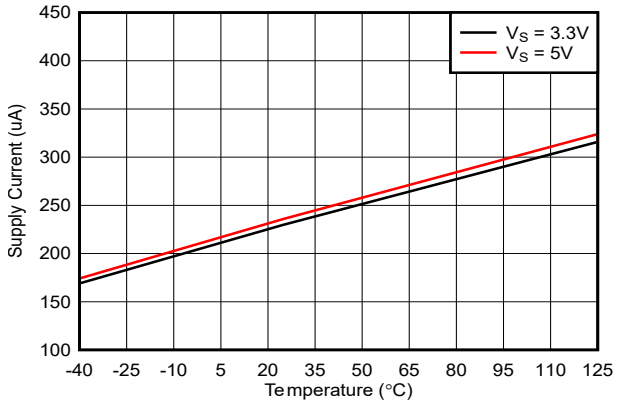


図 5-16. 電源電流と温度との関係 (出力 High)

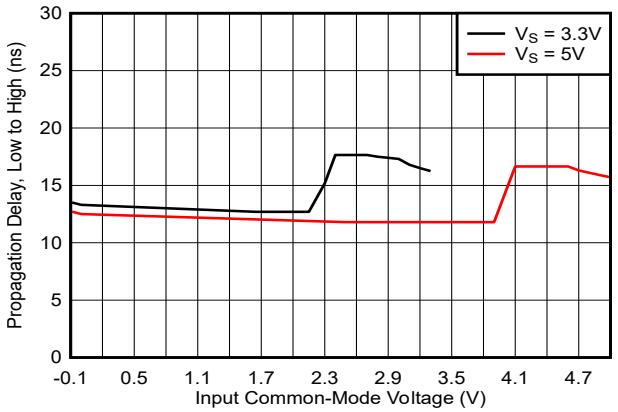


図 5-17. 伝搬遅延 (Low から High) と同相との関係

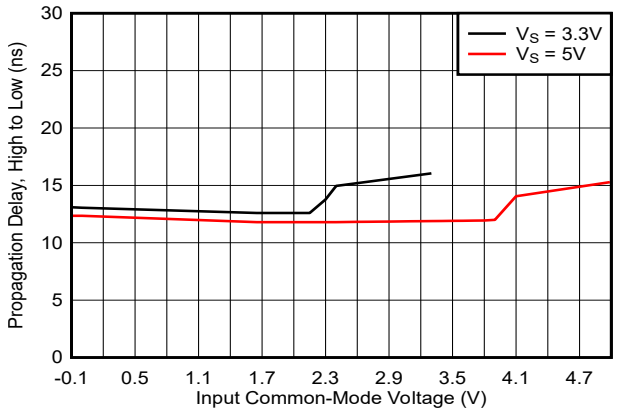


図 5-18. 伝搬遅延 (High から Low) と同相との関係

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

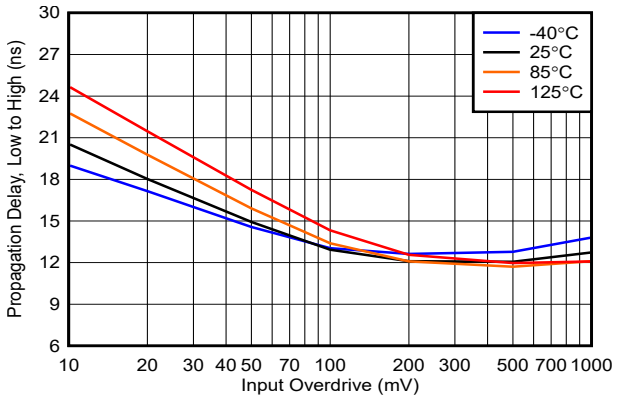


図 5-19. シングルの伝搬遅延 (Low から High) とオーバードライブとの関係 (3.3V)

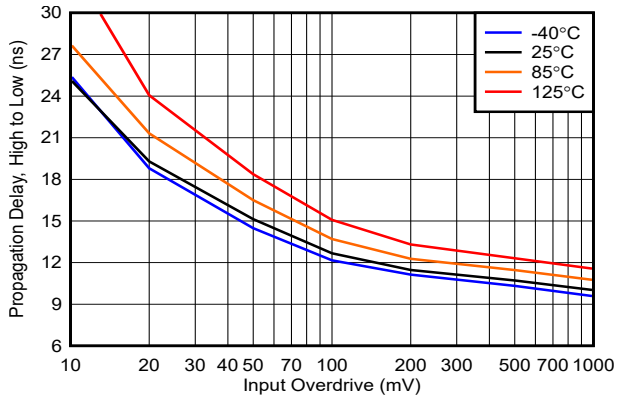


図 5-20. シングルの伝搬遅延 (High から Low) とオーバードライブとの関係 (3.3V)

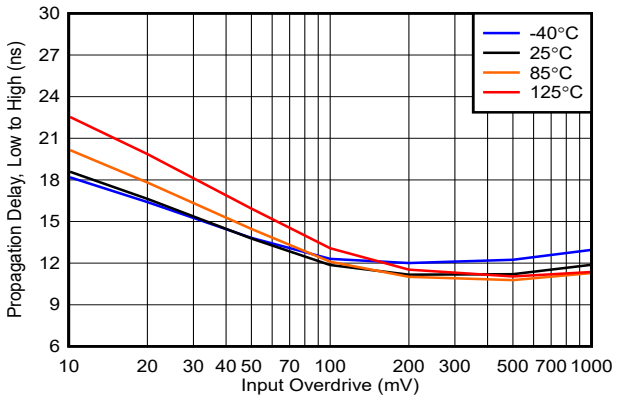


図 5-21. シングルの伝搬遅延 (Low から High) とオーバードライブとの関係 (5V)

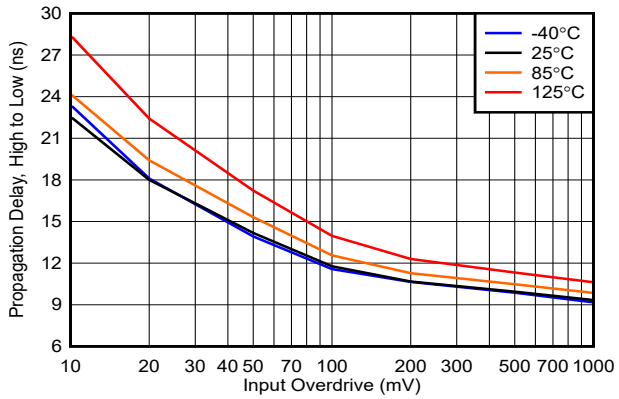


図 5-22. シングルの伝搬遅延 (High から Low) とオーバードライブとの関係 (5V)

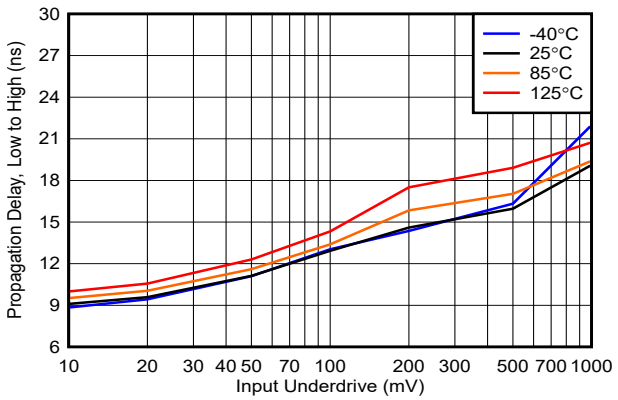


図 5-23. シングルの伝搬遅延 (Low から High) とアンダードライブとの関係 (3.3V)

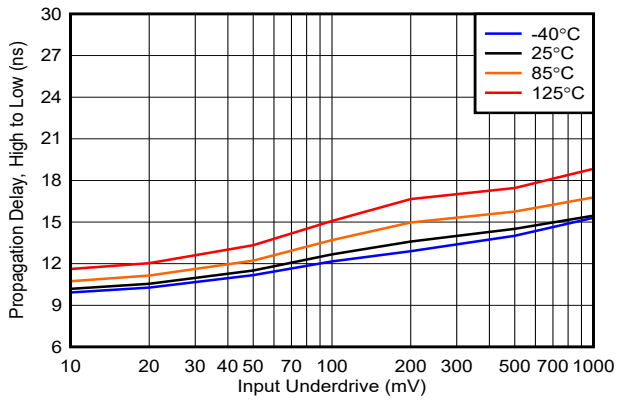


図 5-24. シングルの伝搬遅延 (High から Low) とアンダードライブとの関係 (3.3V)

5.8 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

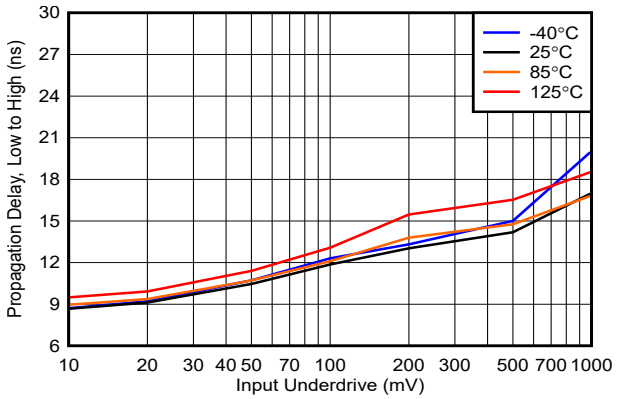


図 5-25. シングルの伝搬遅延 (Low から High) とアンダードライブとの関係 (5V)

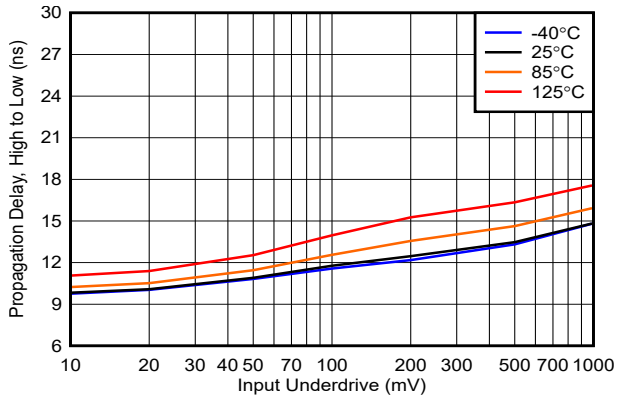


図 5-26. シングルの伝搬遅延 (High から Low) とアンダードライブとの関係 (5V)

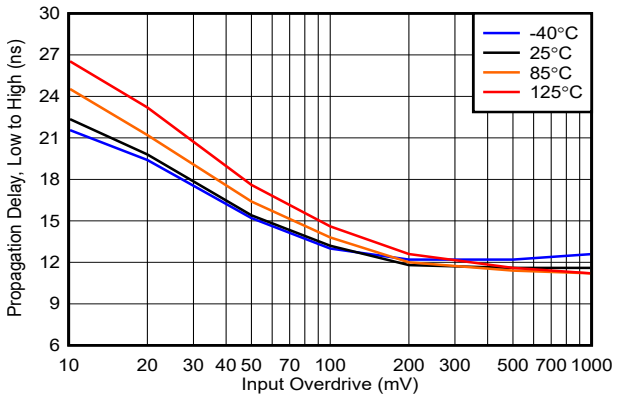


図 5-27. デュアルの伝搬遅延 (Low から High) とオーバードライブとの関係 (3.3V)

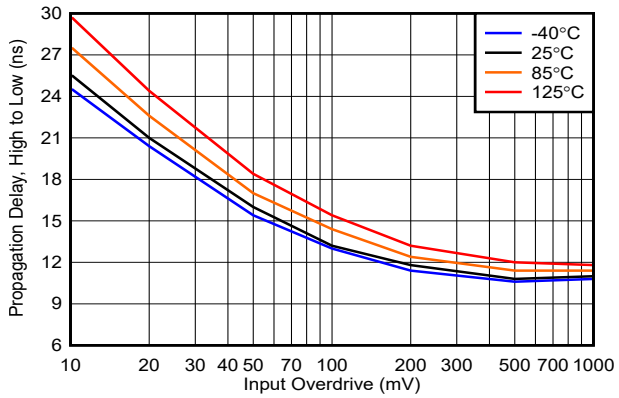


図 5-28. デュアルの伝搬遅延 (High から Low) とオーバードライブとの関係 (3.3V)

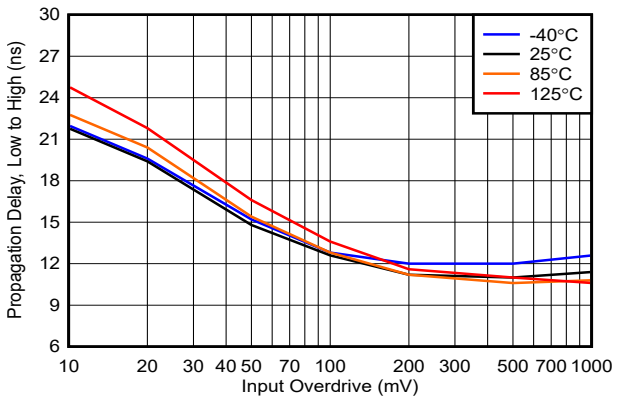


図 5-29. デュアルの伝搬遅延 (Low から High) とオーバードライブとの関係 (5V)

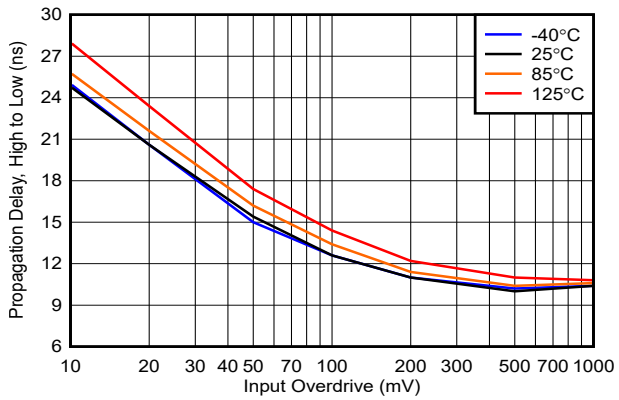


図 5-30. デュアルの伝搬遅延 (High から Low) とオーバードライブとの関係 (5V)

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C、V_S = 5V、C_L = 15pF、V_{CM} = V_S/2V、$V_{UNDERDRIVE}$ = 50mV、$V_{OVERDRIVE}$ = 50mV (特に記述のない限り)。

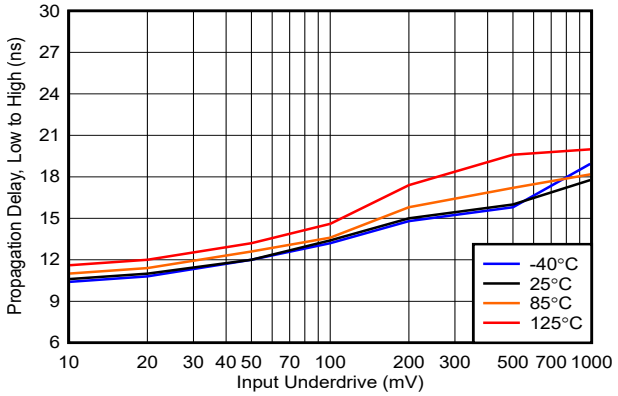


図 5-31. デュアルの伝搬遅延 (Low から High) とアンダードライブとの関係 (3.3V)

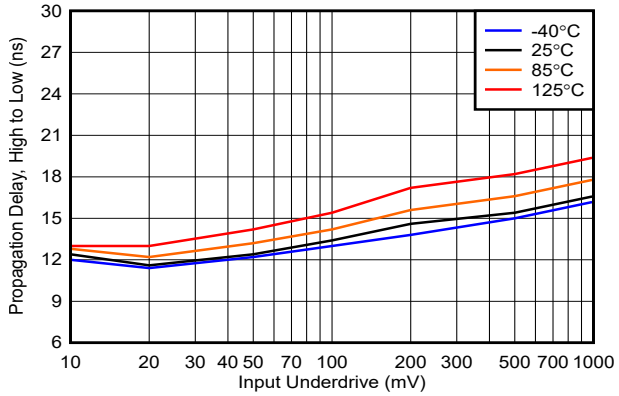


図 5-32. デュアルの伝搬遅延 (High から Low) とアンダードライブとの関係 (3.3V)

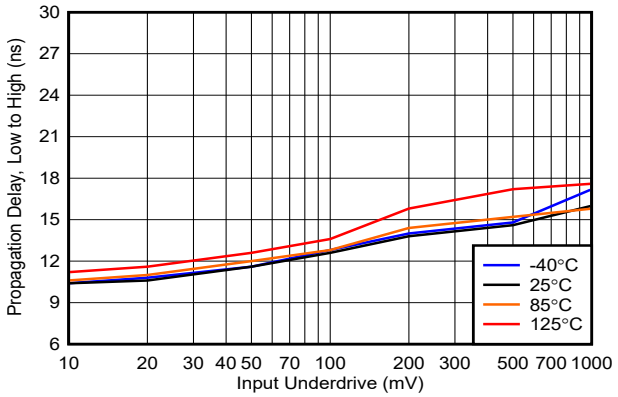


図 5-33. デュアルの伝搬遅延 (Low から High) とアンダードライブとの関係 (5V)

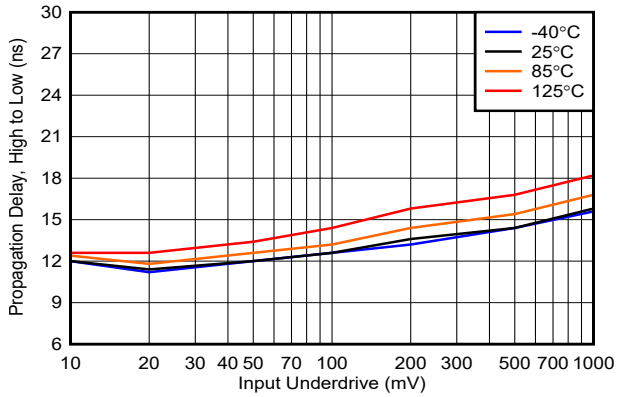


図 5-34. デュアルの伝搬遅延 (High から Low) とアンダードライブとの関係 (5V)

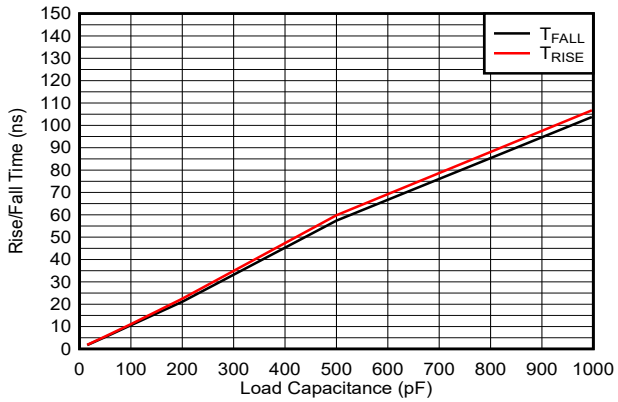


図 5-35. 立ち上がり時間/立ち下がり時間と容量性負荷との関係

6 詳細説明

6.1 概要

TLV323x-Q1 デバイスは、プッシュプル出力を備えた高速コンパレータです。

6.2 機能ブロック図

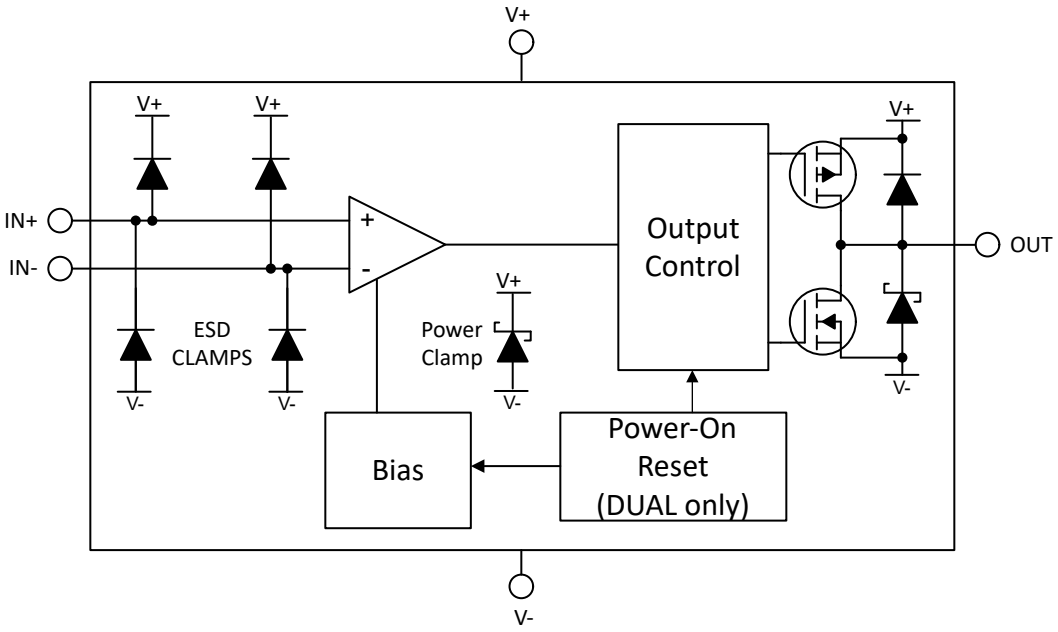


図 6-1. ブロック図

6.3 機能説明

TLV323x-Q1 は、チャネルあたり 200µA を消費し、20ns の伝播遅延があります。TLV323x-Q1 は、高速な電圧過渡および電流過渡を検出すると同時に、シングルエンドのプッシュプル出力により低消費電力を維持します

6.4 デバイスの機能モード

6.4.1 入力

入力には (V+) および (V-) への内部 ESD 保護回路が組み込まれています。入力用の電圧はレールより 0.3V 高い値に制限されます。

電源やバッファ付きリファレンス ラインなど、低インピーダンスのソースに接続する場合は、クランプが導通したときに過渡電流を制限するため、入力と直列に電流制限抵抗を追加することを TI では推奨しています。電流を 10mA 以下に制限します。直列抵抗の 1 つの形態は、抵抗入力分圧器またはネットワークです。

6.4.2 内部ヒステリシス

以下に、デバイスのヒステリシス伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と $V_{IN–}$ の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} は内部ヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

  (TLV323x-Q1 ファミリの場合は通常 1.55mV)

Copyright © 2026 Texas Instruments Incorporated

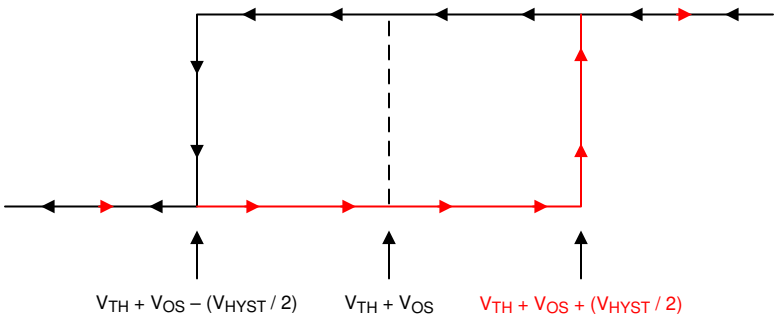


図 6-2. ヒステリシスの伝達曲線

6.4.3 出力

TLV323x-Q1 にはプッシュプル出力段があり、シンク電流とソース電流の両方を供給できます。このため、LED や MOSFET ゲートなどの負荷を駆動でき、外付けプルアップ抵抗で電力を浪費する必要もありません。プッシュプル出力は、絶対に他の出力に接続しないでください。

出力を電源レールに直接短絡すると (出力が Low のとき (V+) または出力が High のとき (V-))、熱暴走が発生して、デバイスが破壊される可能性があります。出力が短絡する可能性がある場合は、消費電力を制限するために直列の電流制限抵抗を使用することを推奨します。

使用しないプッシュプル出力はフローティングのままにします。電源、グランド、または他の出力に接続してはなりません。

6.4.4 ESD 保護

入力および出力には (V+) および (V-) への内部 ESD 保護回路が組み込まれています。

入力用の電圧はレールより 0.3V 高い値に制限されます。電源やバッファ付きリファレンス ラインなど、低インピーダンスのソースに入力を接続する場合は、クランプが導通したときに過渡電流を制限するため、入力と直列に電流制限抵抗を追加することを TI では推奨しています。電流を 10mA 以下に制限します。

6.4.5 パワーオン リセット (POR) - デュアル チャネルのみ

TLV3232-Q1 デバイスには内部パワーオン リセット (POR) 回路があり、既知のスタートアップまたはパワーダウン状態を維持します。電源 (V+) がランプ アップまたはランプ ダウンしている間、POR 回路は 2.2V の V_{POR} を超えたあと、最大 2.5us アクティブになります。電源電圧が最小電源電圧以上であれば、遅延時間が経過した時点で、コンパレータの出力は差動入力 (V_{ID}) の状態を反映します。

TLV3232-Q1 デバイスでは、以下に示すように、POR 期間 (t_{on}) 中は出力が Low に保持されます。

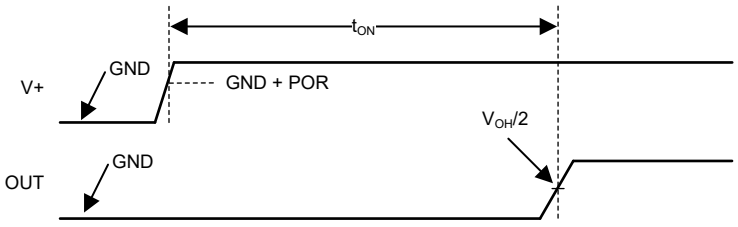


図 6-3. パワーオン リセットのタイミング図

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 基本的なコンパレータの定義

7.1.1.1 動作

基本コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力の基準電圧 (V_{REF}) と比較します。以下の 図 7-1 の例で、V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) はロジック "Low" (V_{OL}) になります。V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) は論理 "High" (V_{OH}) になります。表 7-1 に、出力の条件のまとめを示します。入力ピンを入れ替えることにより、出力ロジックを反転できます。

表 7-1. 出力条件

入力の条件	出力
IN+ > IN-	"High" (V_{OH})
IN+ = IN-	不定 (チャタリング - 「ヒステリシス」を参照)
IN+ < IN-	"Low" (V_{OL})

7.1.1.2 伝搬遅延

入力が基準電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。伝搬遅延は、"High" から "Low" への入力遷移と "Low" から "High" への入力遷移で異なることがあります。図 7-1 では、伝搬遅延を t_{pLH} と t_{pHL} として示し、入力の中間点から出力の中間点までで測定しています。

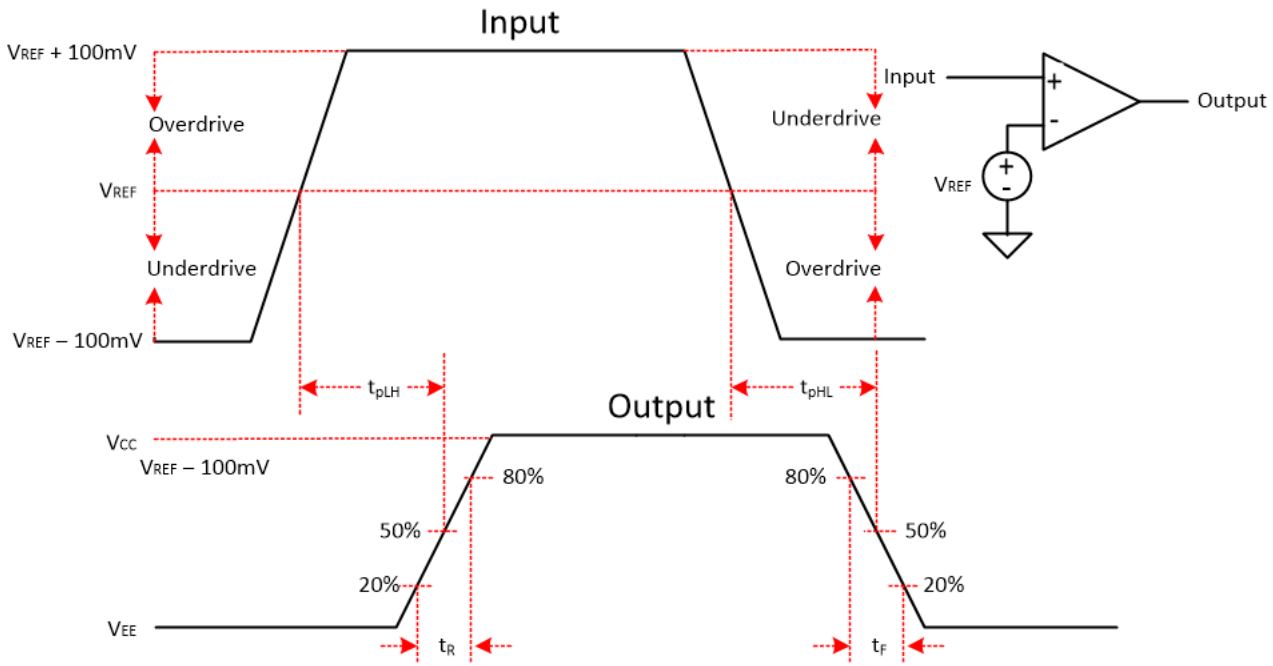


図 7-1. コンパレータのタイミング図

Copyright © 2026 Texas Instruments Incorporated

7.1.1.3 オーバードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク ツー ピーク電圧の合計ではありません。オーバードライブ電圧は、伝搬遅延 (t_p) に影響を与える可能性があります。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加することを推奨します。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 80% から 20% のポイントまでの時間です。

7.1.2 ヒステリシス

基本的なコンパレータ構成では、印加された差動入力電圧がコンパレータのオフセット電圧に近いときに、ノイズの多い「チャタリング」出力が発生することがあります。通常これは、入力信号の動きが非常に低速で、コンパレータのスイッチング スレッショルドを超えたときに発生します。この問題は、コンパレータに外部のヒステリシスを追加することで防止できます。

TLV323x-Q1 の内部ヒステリシスは 1.55mV と最小限であるため、電流出力の状態に応じてコンパレータのトリップ ポイントを調整する正帰還ループの形で外部ヒステリシスを適用できます。

図 7-2 に、ヒステリシスの伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と $V_{IN–}$ の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} はヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

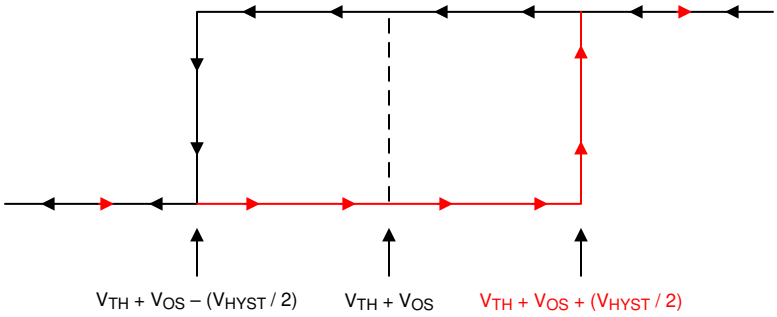


図 7-2. ヒステリシスの伝達曲線

詳細については、アプリケーション ノート SBOA219「ヒステリシス回路付き / なしのコンパレータ」を参照してください。

7.1.2.1 ヒステリシス付きの反転コンパレータ

図 7-3 に示すように、ヒステリシス付きの反転コンパレータには、コンパレータの電源電圧 (V_{CC}) を基準とする 3 つの抵抗ネットワークが必要です。

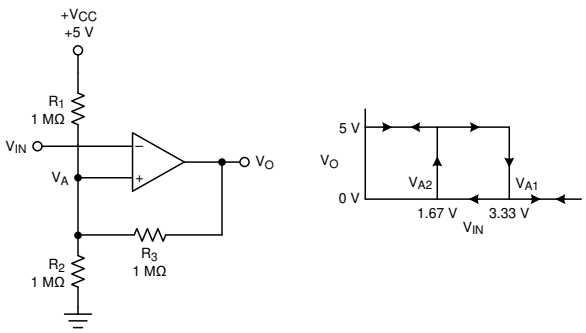


図 7-3. ヒステリシス付き反転構成の TLV3231-Q1

出力が "High" と "Low" のときの等価な抵抗ネットワークを図 7-3 に示します。

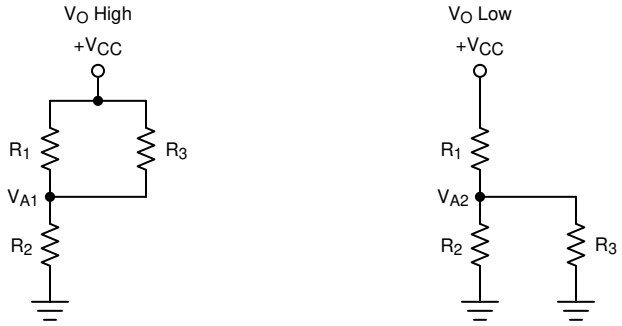


図 7-4. 反転構成の抵抗等価ネットワーク

V_{IN} が V_A より低い場合、出力電圧は "High" です (わかりやすいように、V_O は V_{CC} と同じ高さでスイッチすると仮定)。図 7-4 に示すように、3 つのネットワーク抵抗は R2 と直列の R1 || R3 として表現されます。

以下の式 1 は、"High" から "Low" へのトリップ電圧 (V_{A1}) を定義します。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \quad (1)$$

V_{IN} が V_A より高くなると、出力電圧は "Low" になります。この場合、式 2 に示すように、3 つのネットワーク抵抗は R1 と直列の R2 || R3 として表現されます。

式 2 を使用して、"Low" から "High" へのトリップ電圧 (V_{A2}) を定義します。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \quad (2)$$

式 3 は、このネットワークによって提供される総ヒステリシスを定義します。

$$\Delta V_A = V_{A1} - V_{A2} \quad (3)$$

7.1.2.2 ヒステリシス付きの非反転コンパレータ

図 7-5 に示すように、ヒステリシス付きの非反転コンパ レータには、反転入力側に 2 つの抵抗ネットワークと 1 つのリファレンス電圧 (V_{REF}) が必要です。

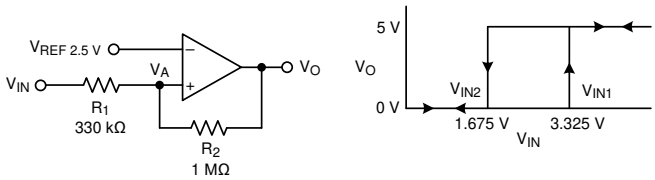


図 7-5. ヒステリシス付き非反転構成の TLV3231-Q1

出力が "High" と "Low" のときの等価な抵抗ネットワークを図 7-6 に示します。

Copyright © 2026 Texas Instruments Incorporated

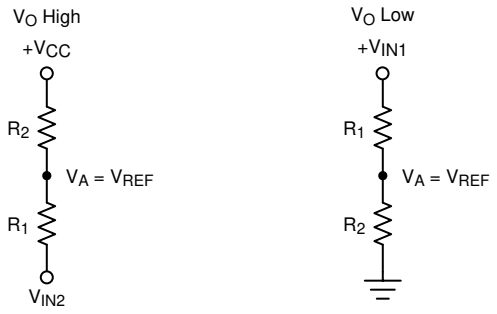


図 7-6. 非反転構成の抵抗ネットワーク

V_{IN} が V_{REF} を下回ると、出力は "Low" になります。出力が "Low" から "High" に切り替わるには、V_{IN} が V_{IN1} のスレッショルドよりも高くなる必要があります。式 4 を使用して、V_{IN1} を計算します。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

V_{IN} が V_{REF} を上回ると、出力は "High" になります。コンパレータが "Low" 状態に戻るには、V_{IN} が V_{IN2} よりも降下する必要があります。式 5 を使用して、V_{IN2} を計算します。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

式 6 に示すように、この回路のヒステリシスは V_{IN1} と V_{IN2} の差です。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

詳細については、アプリケーション ノート SNOA997 「ヒステリシス回路付き反転コンパレータ」および SBOA313 「ヒステリシス回路付き非反転コンパレータ」を参照してください。

7.2 代表的なアプリケーション

7.2.1 ローサイド電流センシング

次の図は、高速コンパレータを使用した単純なローサイド電流センシング回路を示しています。この設計はアンプを使用しないため、応答時間はコンパレータの伝搬遅延のみによって制限されます。応答時間が短いため、この設計は速度が精度よりも重要である場合の短絡検出に適しています。シャント抵抗の両端の電圧が、R1 と R2 によって生じる臨界過電流スレッショルドに達すると、コンパレータの出力状態が変化します。

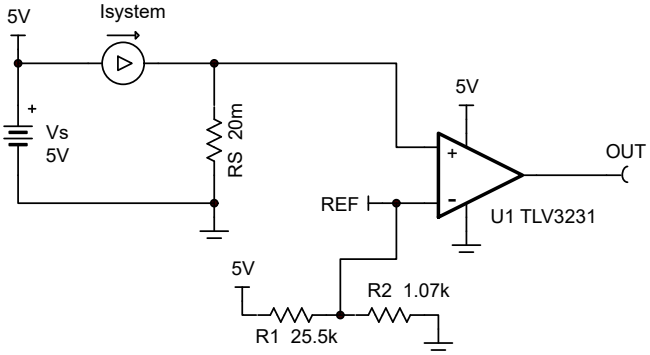


図 7-7. 電流検出

7.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- アラート (過電流) イベントは、システム電流 (Isystem) が 10A に達したときに発生します
- アラート信号 (OUT) はアクティブ High
- 5V 電源で動作

7.2.1.2 詳細な設計手順

シャント抵抗 (RS) の両端での消費電力と電圧降下を最小限に抑えるため、20mΩ の値を選択します。10A の過電流レベルにより RS の両端で 200mV の降下が生じるため、R1 と R2 は、レギュレーションされた 5V 電源電圧から 200mV の分圧抵抗値を生成するように計算されます。システムが 10A の最大値付近で動作すると予測される場合は、ヒステリシス付きの非反転コンパレータ に示すように、設計にヒステリシスを追加できます。

7.2.1.3 アプリケーション曲線

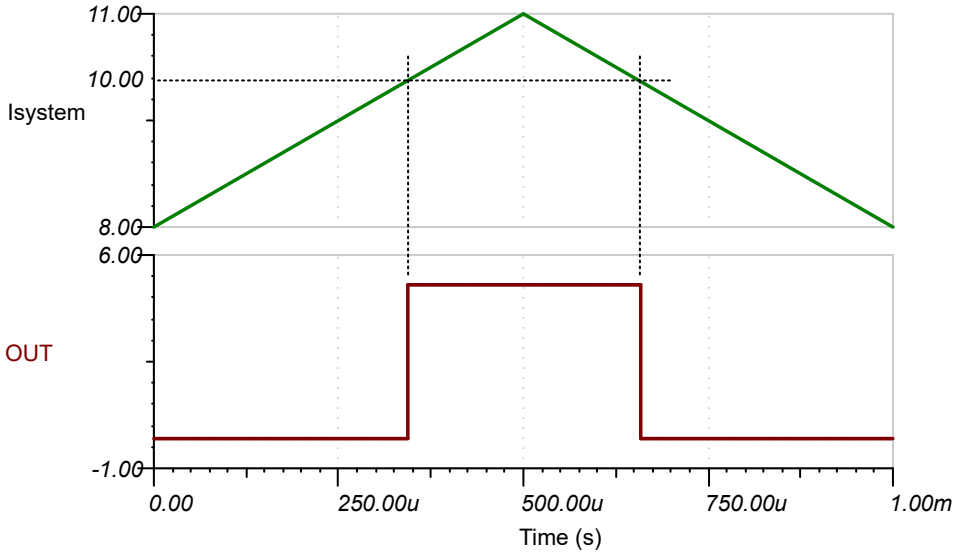


図 7-8. 過電流の結果

7.3 電源に関する推奨事項

出力エッジが高速であるため、電源リンギングおよび誤トリガーや発振を防ぐために、電源ピンのバイパス コンデンサが必要です。(V+) ピンとグランド ピンの間に低 ESR の 0.1µF セラミック バイパス コンデンサを直接接続し、*それぞれ*のデバイスで電源を直接バイパスします。出力遷移時間中に、特にプッシュプル出力デバイスの場合、狭いピーク電流が流れる場合があります。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリンギングが発生する可能性があり、これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

デバイスには、「分割」電源 ((V+) および (V-))、または「単一」電源 ((V+) および GND) から電力を供給できます ((V-) ピンに GND を印加)。いずれのタイプについても、入力信号を推奨の入力範囲内に維持する必要があります。「分割」電源では、出力は GND ではなく (V-) の電位まで「Low」 (V_{OL}) になることに注意してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

高精度のコンパレータ アプリケーションには、ノイズやグリッチを最小限に抑えた安定した電源が必要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック デバイスとして扱う必要があります。バイパス コンデンサは電源ピンにできる限り近づけて配置し、必要に応じてベタのグランド プレーンに接続します。また、できれば (V+) ピンと GND ピンの間に直接接続します。

Copyright © 2026 Texas Instruments Incorporated

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。カップリングを低減するために、出力間に (V+) または GND のパターンが存在する場合を除いて、出力パターンと入力パターンを並列に配置しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (<100Ω) の抵抗を追加して、制御された長い非インピーダンストレース上のリンギングや反射を減衰させることもできます。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンストレースを使用することができます。

7.4.2 レイアウト例

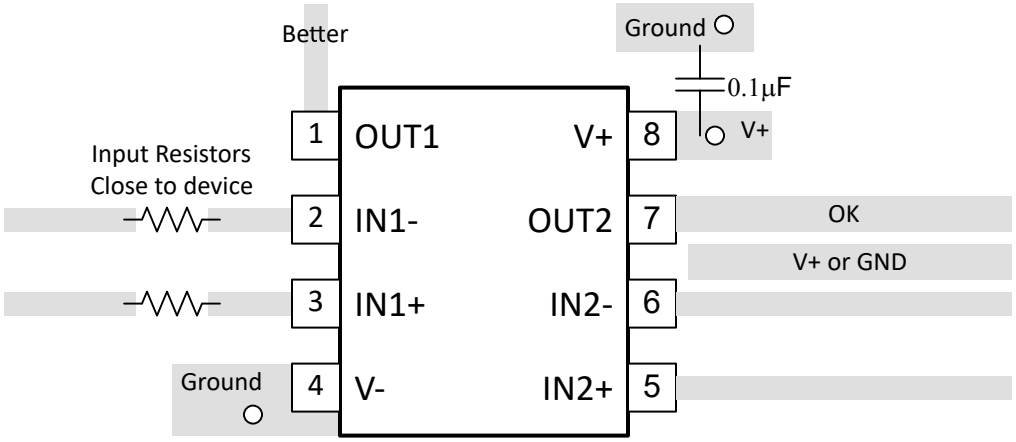


図 7-9. デュアル レイアウトの例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

『アナログ エンジニア向け回路設計ヒント集：アンプ(コンパレータのセクションを参照)、SLYY137

『Precision Design、ヒステリシス付きコンパレータのリファレンス デザイン』、TIDU020

『ヒステリシス回路付き / なしのコンパレータ』、SBOA219

『ヒステリシスを持つ反転コンパレータ回路』、SNOA997

『ヒステリシスを持つ非反転コンパレータ回路』、SBOA313

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2025) to Revision C (October 2026)	Page
• 表 4-2 のピン番号を更新	3

Changes from Revision A (December 2024) to Revision B (June 2025)	Page
• ドキュメント全体でデュアル TLV3232 をリリース	1

Copyright © 2026 Texas Instruments Incorporated

- デュアル チャネル オプションの個別の伝搬遅延データを追加 1

Changes from Revision * (June 2024) to Revision A (December 2024) **Page**

- SOT-23 パッケージの量産データのリリース 1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3231QDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1SR
TLV3231QDCKRQ1.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1SR
TLV3232QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3MRS

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3231-Q1, TLV3232-Q1 :

- Catalog : TLV3231, TLV3232

NOTE: Qualified Version Definitions:

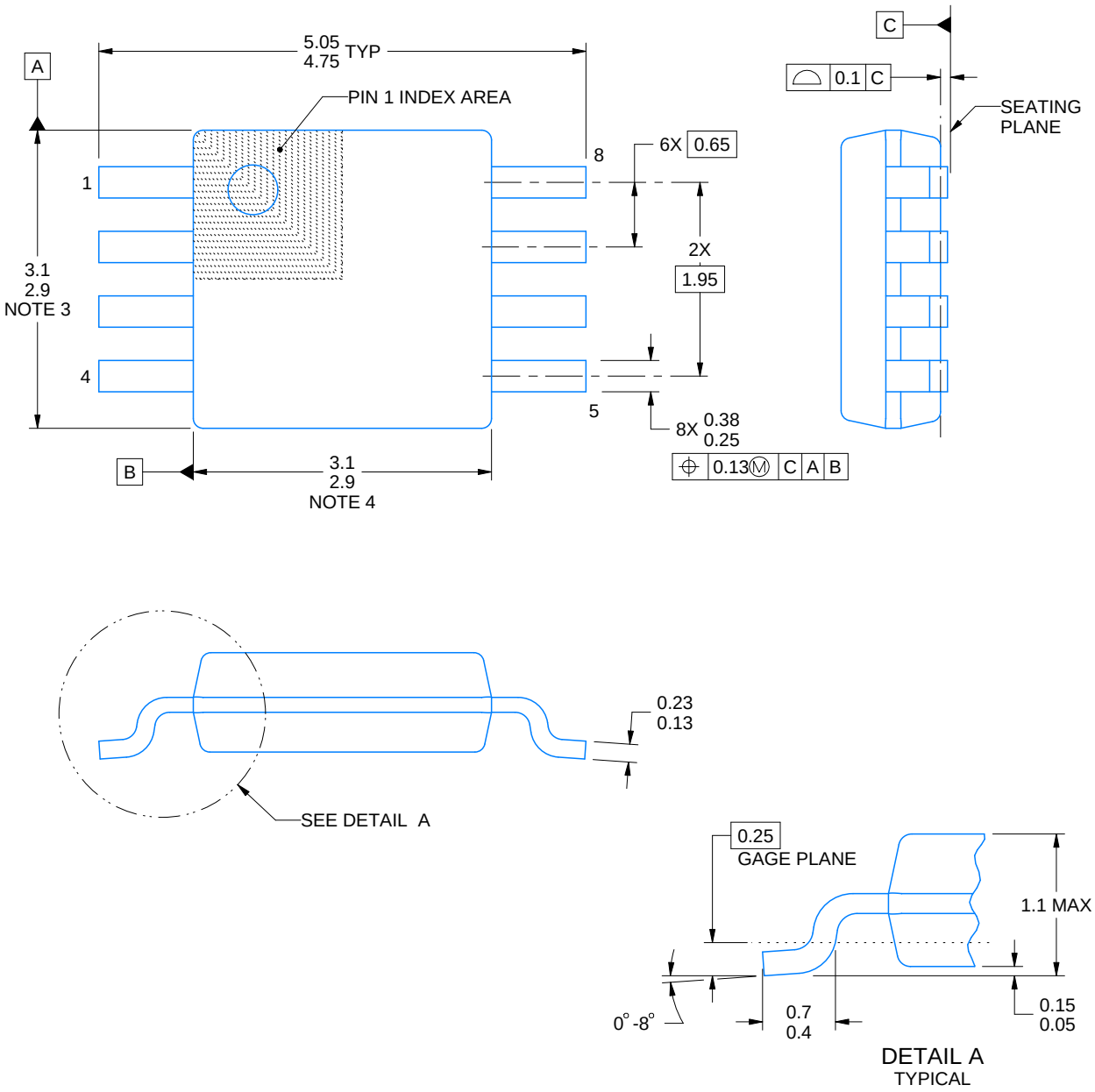
- Catalog - TI's standard catalog product

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

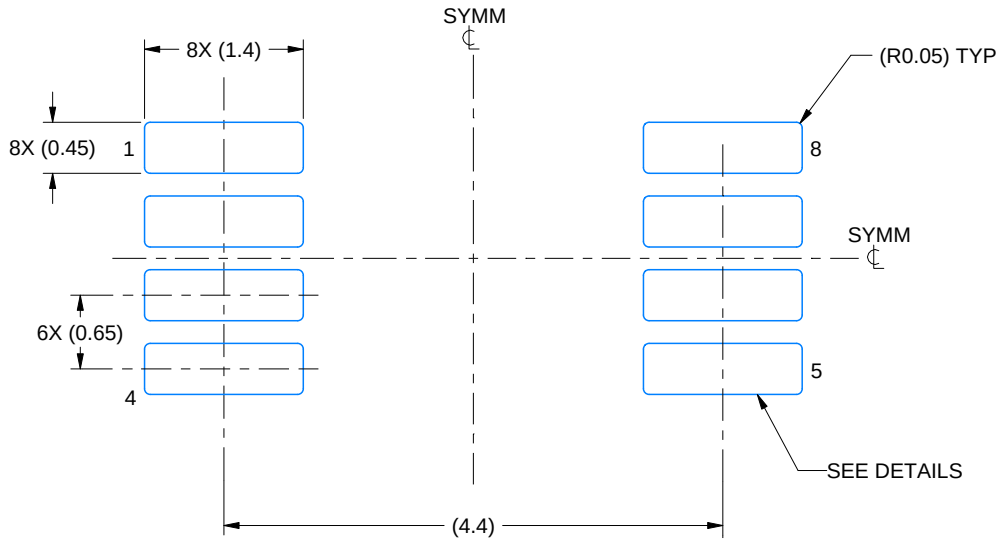
SMALL OUTLINE PACKAGE



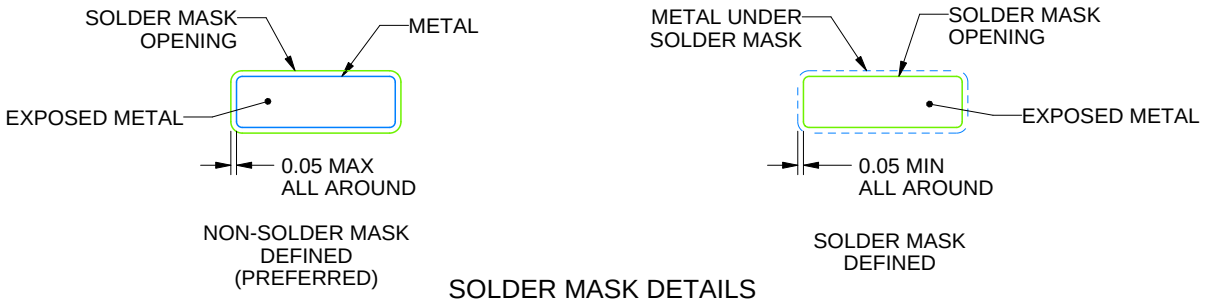
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

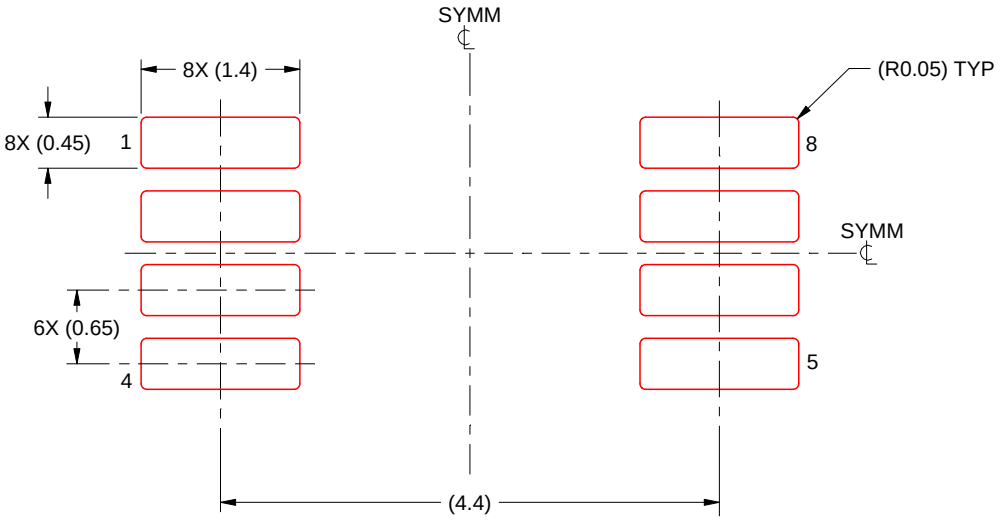


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

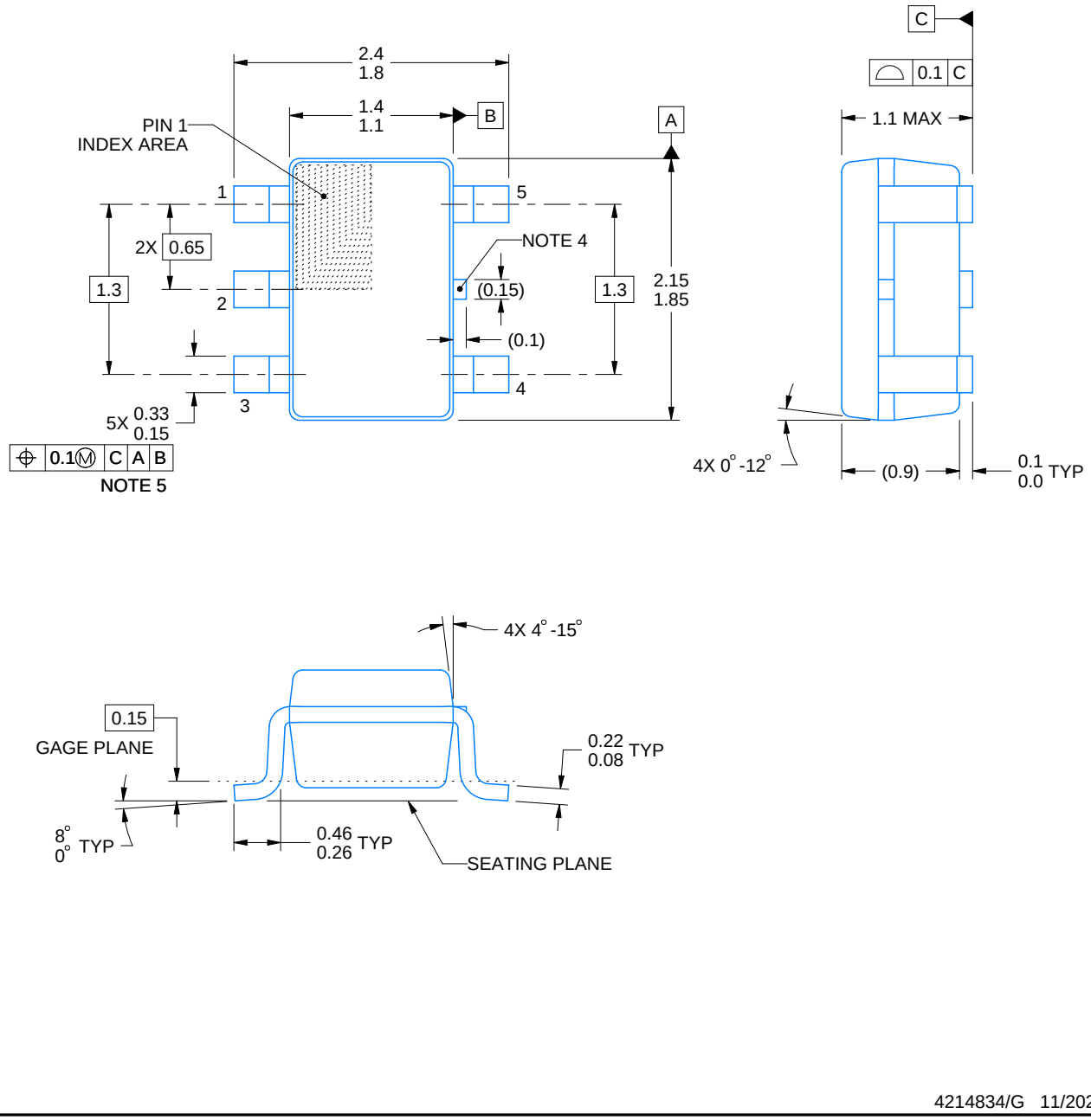
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

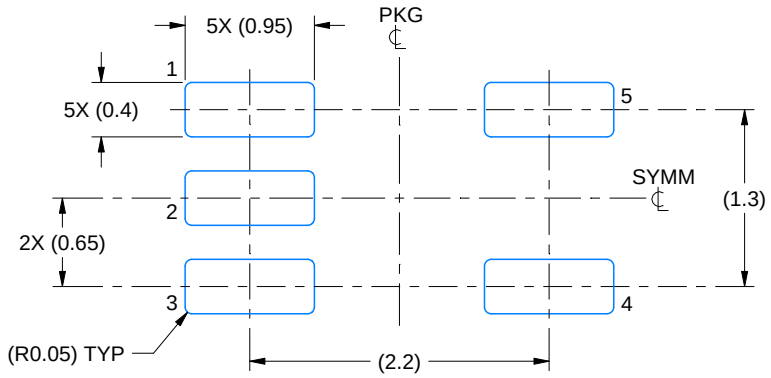
SMALL OUTLINE TRANSISTOR



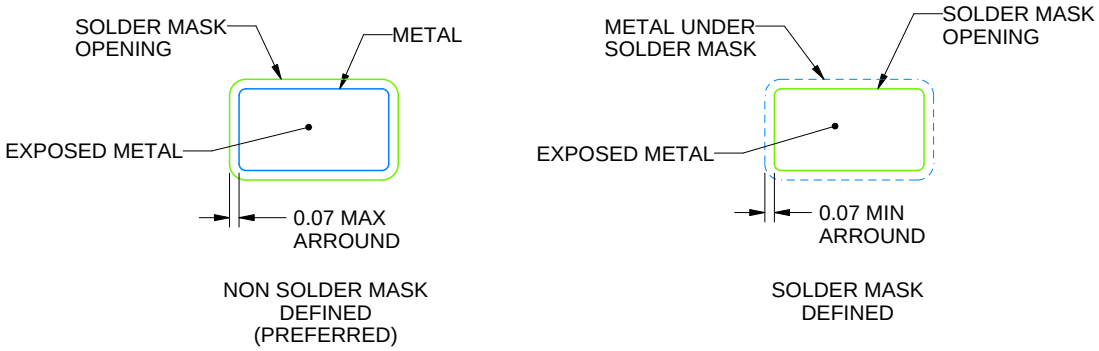
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

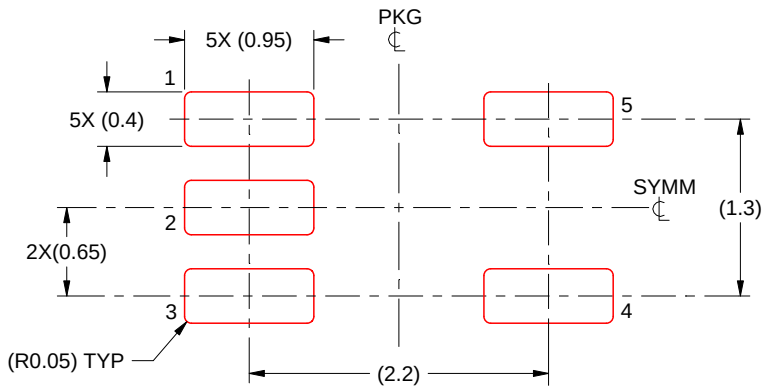


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月