

ADCインターフェイス・アプリケーション用 RLCフィルタの設計

概要

高性能A/Dコンバータの特性は向上し続けていますが、コンバータのダイナミックレンジをフルに変換する場合、アンプとコンバータ入力とのインターフェイスが重要な要素となります。本アプリケーション・ノートはシンプルな2次のパッシブ(受動)フィルタの特性および計算式について説明します。

目次

| | |
|--|---|
| 1 はじめに | 2 |
| 2 フィルタ接続形態およびオプション | 2 |
| 3 設計例 | 3 |
| 4 入力インピーダンスの考察 | 4 |
| 5 差動フィルタおよび R_2 オプションへの変換 | 5 |
| 6 2次伝達関数の使用による実際の W_0 と Q の推定 | 7 |
| 7 W_0 と Q の使用による実際の L と C の見積り | 8 |

SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

1 はじめに

高速コンバータへの最終段インターフェイスは、ノイズ帯域制限およびコンバータからのサンプリング・グリッチを緩和するパス(コンデンサを通る)を与える両方の役割をするため、一般的には単純なRCフィルタが用いられていました。この単純なインターフェイスでは、コンバータのSN比および入力アナログ帯域幅の増加につれて不十分になってきました。単純な2次RLCフィルタは、より低いノイズ電力帯域幅とアナログ入力範囲の高周波における3次高調波歪みをより強力に減衰させる両方を実現できます。

2 フィルタ接続形態およびオプション

図1は、これから解析するシングルエンド入出力型フィルタの基本形を示します。ここでは、一般に標準的なフィルタとされる構成に、グランドへの2個目の抵抗(R_2)が含まれています。この抵抗はインターフェイス設計全体の中で設計オプションを提供します。また、設計上の柔軟性があるため、この先の解析で検討されます。ここで $R_2 \rightarrow \infty$ の場合、後で説明する本抵抗の削除は明らかにひとつのオプションであるという結論が、代数的に容易に得られます。しかし、最初により詳しい解析を展開します。

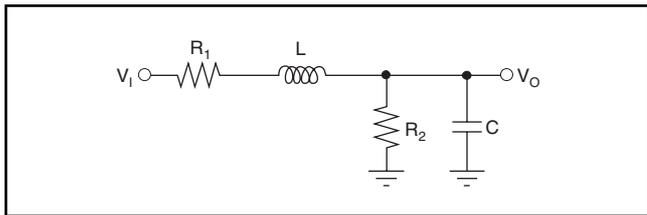


図1. 提案するRLC受動フィルタ

V_1 がオペアンプの出力であり、 V_0 がADCの入力であるアプリケーションでは、アンプのDC動作電圧とADCの同相入力電圧の整合を要する場合、 R_2 はオペアンプ出力段にDCバイアス電流を提供します。このDC電流により、アンプに一般的なAB級出力段をA級段に代えられるため、高調波歪みを改善できます。最終的に設計が R_1 の代わりにDCブロッキング・コンデンサを要する場合、 R_2 はADC入力におけるDCバイアス抵抗になります。図1の回路では、 R_2 は V_1 から V_0 への信号のDCとACの減衰という犠牲を伴います。そこで、 R_2 を使用する設計では、この減衰が10%以下になるように R_1 と R_2 の値を選びます。また、 R_2 は V_1 におけるDC電位もわずかに低下させます。この低下は、 V_1 のDC電圧を相応に持ち上げるように調整して回復できます。すなわち、図1が差動フィルタになる差動入力型ADCの場合、 R_2 はグラウンドに接続されないノード間の抵抗にできます。このようにしても、差動出力に関して等しいフィルタ特性を示し、かつ同相DC動作電圧の減衰はありません。これらのオプションに関しては、フィルタ設計に関する議論の後でより詳細に展開します。

式(1)は図1の一般的なラプラス伝達関数を示します。

$$\frac{V_0}{V_1} = \frac{\frac{1}{LC}}{s^2 + s \left[\frac{1}{R_2 C} + \frac{R_1}{L} \right] + \left(1 + \frac{R_1}{R_2} \right) \frac{1}{LC}} \quad (1)$$

ここで、 R_2 によるDC電圧の減衰を次のように定義し、

$$\alpha = R_2 / (R_1 + R_2)$$

また、 V_1 から見えるDCインピーダンスを次のように定義すると、

$$R_T = R_1 + R_2$$

式(1)は式(2)になります。

$$\frac{V_0}{V_1} = \frac{\frac{1}{LC}}{s^2 + s \left[\frac{1}{\alpha R_T C} + \frac{R_T(1-\alpha)}{L} \right] + \frac{1}{\alpha LC}} \quad (2)$$

式(2)から、2次フィルタの重要な要素は式(3)および(4)のように書けます。

$$W_0 = \sqrt{\frac{1}{\alpha LC}} \quad (3)$$

$$Q = \frac{\sqrt{\frac{1}{\alpha LC}}}{\frac{1}{\alpha R_T C} + \frac{R_T(1-\alpha)}{L}} \quad (4)$$

この W_0 と Q は2次フィルタの周波数特性を示します。ここで、 R_T (コンバータに必要なDCバイアス点を作り出すため V_1 からのDC定常電流を設定する R_T)と、信号ゲインに許容できる減衰としての α の両値を決定します。これら2個の抵抗と目標の W_0 と Q を与えることで、式(3)および(4)は所用の L と C について解くことができます。

式(3)と(4)を少しばかり操作すると、式(5a)と(5b)に示すように所要の L を求めることができます。また L が求まると、式(6)により所要の C が求まります。(5a)と(5b)の両式が L の正しい解になりますが、式(5a)により与えられる大きい方の L の値を採用すると、所要の C の値が小さくなります。逆に、式(5b)による L 値を採用すると、 C の値が大きくなります。入力寄生容量が大きいコンバータは式(5b)を用いることになります。

$$L = \frac{R_T}{2W_0Q} \left[1 + \sqrt{1 - (1-\alpha)(2Q)^2} \right] \quad (5a)$$

あるいは

$$L = \frac{R_T}{2W_0Q} \left[1 - \sqrt{1 - (1-\alpha)(2Q)^2} \right] \quad (5b)$$

式(3)を C について解くと式(6)が得られます。次に式(5a)あるいは式(5b)の結果のいずれかを代入すると、所要の C が得られます。

$$C = \frac{1}{\alpha L(W_0)^2} \quad (6)$$

式(5a)と(5b)から2つの制限が導出できます。具体的には $\alpha \rightarrow 1$ (すなわち $R_2 \rightarrow \infty$)の場合、式(5a)だけが解を持ち、式(5b)はゼロになります。これは式(5b)の小L・大Cの解が R_2 を含む設計オプションの場合に存在することを示します。また、 α とQの組み合わせではLの解が虚数になります。そこで、ある α を決めた後式(5a)と(5b)の根号内が負にならない範囲のQを解くことが効果的な選択になります。式(7)にこの制約を示します。

$$Q < \frac{1}{2} \sqrt{\frac{1}{1-\alpha}} \quad (7)$$

一般に $\alpha \geq 0.9$ ならばQの制約はさほどありません。なぜなら通常フィルタ出力にはピーク特性を望まないからです。例えば、 $\alpha = 0.9$ のとき、Qが式(5a)と(5b)で解を得るには < 1.58 でなければなりません。Qが1.58という設計目標では周波数特性に4.4dBのピークが生じます(式(20)参照)。Qのより代表的な選択値は、最も平坦なパワースフィルタの特性が得られる0.707です。Q=0.707のときは式(5a)は式(8)のように簡単になります。

$$L = \frac{R_T}{2W_0Q} (1 + \sqrt{2\alpha - 1}) \quad (8)$$

ここで再び $\alpha \rightarrow 1$ (すなわち $R_2 \rightarrow \infty$)の場合、Lに関するより代表的な計算式(9)が得られます。このとき R_T は R_1 のみであり、Q = 0.707と仮定します。

$$L = \frac{R_T}{W_0Q} \quad (9)$$

3 設計例

図1の回路を用いて、今まで求めた設計式を適用して2次のRLC受動フィルタを実現します。

3.1 条件および目標

V_I には2.5VのDC成分があり、コンバータ入力の中央値と一致するものとします。 V_I からの5mAのDCバイアス電流はアンプの歪みを改善するものとします。 $R_T = 500\Omega$ 信号の減衰を0.915dBのとき $\alpha = 0.9$ が必要になります。

10MHzまで優れた平坦さが必要であるとし、-3dBのカットオフ周波数を18MHzとします。このシステムには複数のポールがあるため、9MHzでの0.5dBのロールオフをフィルタで補償する必要があります。この0.5dBのピーキングには、式(20)からQ = 0.864が必要になります。すると、 F_{-3dB} が18MHzになる F_0 は、式(21)から次のようになります。

$$W_0 = (2\pi) * \frac{18\text{MHz}}{1.176} = (2\pi) * 15.31\text{MHz} = 2\pi F_0$$

式(5a)に上式を使用すると(必ず $F_0 = 15.31\text{MHz}$ に係数 2π をかけてラジアンに変換するのを忘れないこと)、式(10a)に示されるLが与えられます。

$$L = \frac{500\Omega}{2(2\pi)15.31\text{MHz} (0.864)} \left[1 + \sqrt{1 - (1 - 0.9)(2(0.864))^2} \right] = 5.5\mu\text{H} \quad (10a)$$

求められたLと式(6)により、Cが式(11a)のように与えられます。

$$C = \frac{1}{0.9(5.5\mu\text{H})(2\pi 15.31\text{MHz})^2} = 21.7\text{pF} \quad (11a)$$

R_2 を適切な位置に付加して得られるもう一方の解法(小L大C)を考察すると、各値を式(5b)に代入して式(10b)が与えられます。

$$L = \frac{500\Omega}{2(2\pi)15.31\text{MHz}(0.864)} \left[1 - \sqrt{1 - (1 - 0.9)(2(0.864))^2} \right] = 0.49\mu\text{H} \quad (10b)$$

次に、このLを式(6)に代入して式(11b)が与えられます。

$$C = \frac{1}{0.9(0.49\mu\text{H})(2\pi 15.31\text{MHz})^2} = 245\text{pF} \quad (11b)$$

さらに設計を続けると、

$$R_2 = 0.9 * 500\Omega = 450\Omega \text{ となり、} \\ R_1 = R_T - R_2 = 500\Omega - 450\Omega = 50\Omega$$

図2は最終的な設計値(式(10a)および(11a)の結果)を示し、図3は各LとCの結果による周波数特性のシミュレーションを示します。

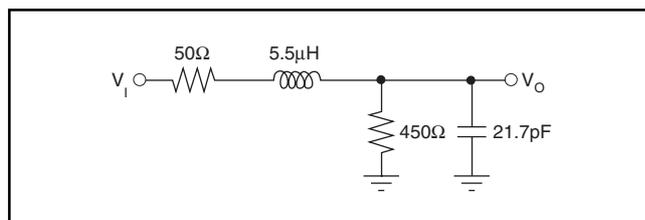


図2. 低容量キャパシタを用いた18MHzカットオフ、0.5dBピーキングの設計例

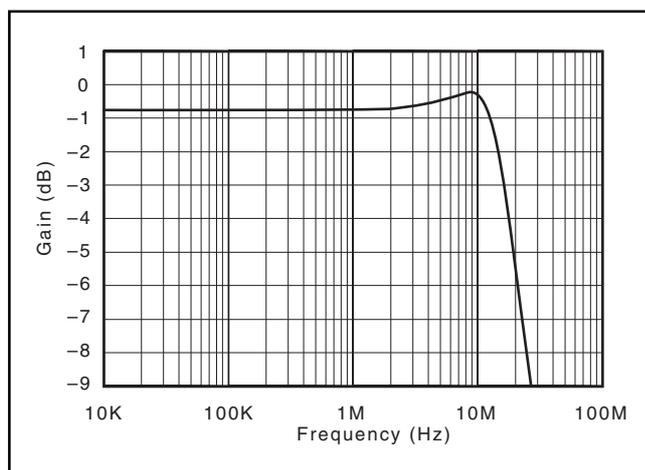


図3. フィルタ特性のシミュレーション

このフィルタ特性は、低周波数帯域における0.9dBの損失、9MHzでの0.5dBのピーキング、18MHzの-3dBカットオフ周波数を期待通りに示しています。 V_I におけるノイズ・スペクトラムのノイズ電力帯域幅のリミットは別にすると、このフィルタは所要の入力周波数範囲の高域側における高調波歪みをある程度減衰し

ています。例えば、最大アナログ周波数範囲が10MHzまでの場合、入力周波数が6MHzを超えるにつれて3次高調波が著しく減衰します。6MHz入力時は3次高調波が18MHzになり、 V_1 における高調波電力より3dBの減衰が見られます。この入力周波数が10MHzまでになると、この2次フィルタは30MHzになる3次高調波を12.4dB減衰します。この高調波の減衰は2次高調波項にはあまり効果がなく、また、2つのキャリア信号が接近して位置している3次の相互変調項にはまったく影響しません。この2次歪みについては、アンプとフィルタ回路の両方を差動形式にすると容易に処理できます。

4 入力インピーダンスの考察

図2のフィルタ例は、 V_1 を駆動するアンプの負荷になります。このフィルタを見るインピーダンスが周波数全体にわたって非常に低いと、アンプにとって余分な負荷になってしまい、歪み特性の劣化を生じます。図4は、LとCの各組み合わせを用いた入力インピーダンスのシミュレーションを示します。

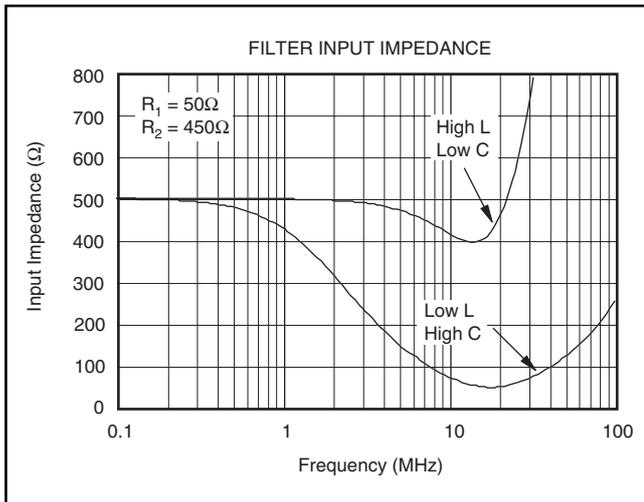


図4. RLCフィルタの入力インピーダンスのシミュレーション

予想したように、低周波の入力インピーダンスは設計で選んだ R_T (500Ω)になり、高周波では2つの解法でまったく異なった特性を示します。小L大Cの解法(式(10b)および(11b))は、周波数が増加するにつれて非常に低いインピーダンスを示します。10MHzでの $< 100\Omega$ という負荷インピーダンスは、 V_1 を駆動するアンプが本来実現し得る歪み特性を著しく低下させます。

このフィルタ設計オプションで適度な高負荷インピーダンスを保つには、小L大Cの設計オプションを採用する場合、 R_1 の最小値を200Ωに増加することを推奨します。このようにすると、回

路のLC部分が非常に低インピーダンスになっても、負荷インピーダンスに必要な最小値を保ちます。しかし、より大きな信号減衰が許されないかぎり、200Ωの抵抗は R_1 および R_2 にて得られるA級バイアス電流を制限します。したがって、 V_1 とグランド間に抵抗を追加(フィルタ特性の形状に影響なし)してA級バイアス電流を与える方が、より大きな信号減衰よりも好ましいです。

抵抗値を大きくし、 $R_1 = 200\Omega$ で $\alpha = 0.9$ を維持すると($R_2 = 1800\Omega$, $R_T = 2000\Omega$)、式(10b)と式(11b)によりLの値は大きく、Cの値は小さくなり、図5のフィルタ設計が得られます。

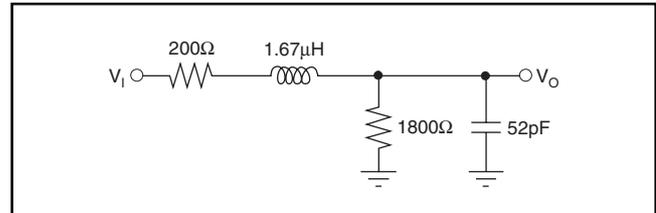


図5. より高入力インピーダンスのフィルタ

この定数にすると、図3に示すものと同じ周波数特性が得られます。そのうえ、図4に示すものよりはるかに大きな最小入力インピーダンスを保ちます。図2と図5の2オプションのフィルタについて、その入力インピーダンスの比較を図6に示します。このLが小さくCが大きい設計オプションは特に有効です。なぜならLが大きくCが小さいオプションでは要求されるCの値がコンバータの入力寄生容量を下回ってしまう帯域でも、このオプションではカットオフ周波数を増加できるからです。

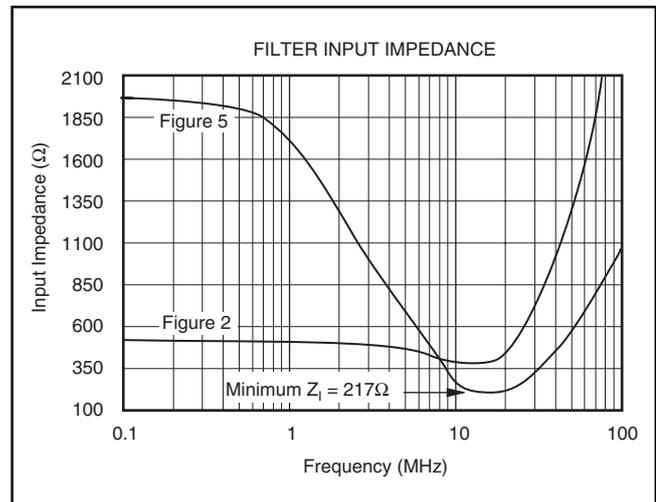


図6. 図2と図5の入力インピーダンスの比較

5 差動フィルタおよび R_2 オプションへの変換

最新の高性能ADCは、偶数次高調波を抑圧してSFDR(スプリアス・フリー・ダイナミックレンジ)を改善するために、差動入力形式を提供しています。図2のフィルタ設計例を差動フィルタに変換するため、各素子を複写しただけの図7について最初に考察します。

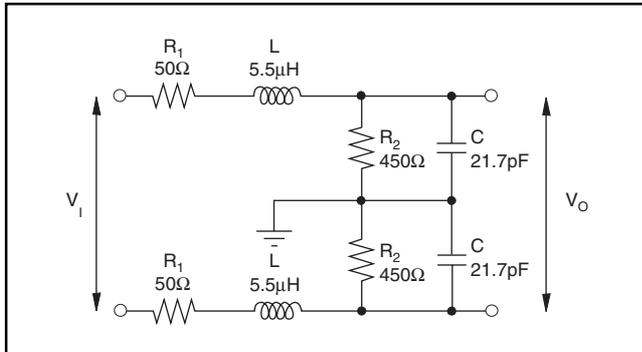


図7. 差動用2次フィルタ

図7の動作を理解するうえで重要な相違は、同相および差動モードの両特性を考察することです。ADC入力に最も重要な差動信号にとって、 R_2 とCの midpointを接地したこの回路は図2と全く同様です。 V_1 の同相成分には、 R_2 によって与えられるDC負荷が見え、差動入力信号と同じ周波数特性があります。

DCバイアスは必要であるが、同相フィルタリングが不要な場合を想定すると、2個のコンデンサを直列に1個のコンデンサに結合して、より単純な図8の回路になります。

図8では、入力同相信号には R_2 による同相負荷がまだ見えますが、Cによるフィルタ効果はありません。この純粋な差動コンデンサは、差動信号のフィルタとしてのみ働き、あらゆる同相AC信号は通過します。このことは一般的に容認できることです。なぜなら、 V_1 に入力されるAC同相信号はとても小さく、より重要なのは、最新の差動入力ADCは周波数全体にわたって同相成分を

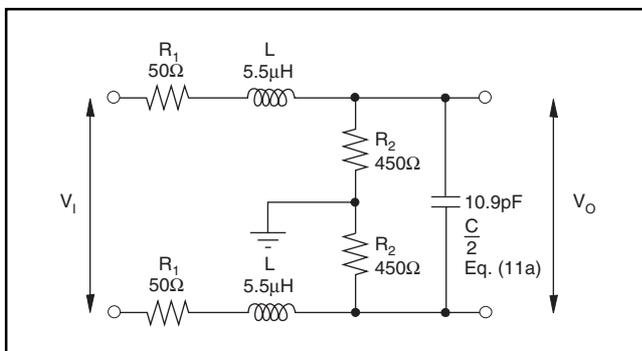


図8. 単純化した差動フィルタ

十分除去するからです。

図8のコンデンサの値は、ほぼコンバータの入力寄生容量になり得ます。実際に、このコンデンサは入力寄生容量のみで実現でき外付け部品が不要な場合もあります。他のアプリケーションでは、ADCの入力寄生容量が図8で要求される値を超える場合があります。そのような場合はLとCの第2の解法を使用して、ADCの入力容量を含んだ実装が可能なポイントまでLを小さくCを大きくします。

図9はDCバイアス電流が無いフィルタ設計の例を示します。ここではLとCの第2の解法でADCの入力容量以上にCを大きくするために、 R_2 を含む必要があります。また R_1 と R_2 を図8の比率まで大きくしています。

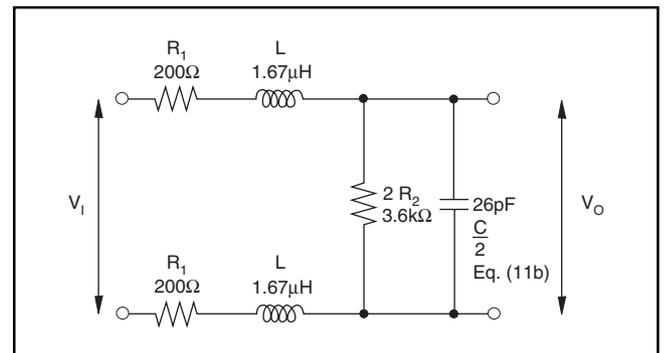


図9. 同相負荷が無い代替のLC値

ここでは、シングルエンド解析による R_2 抵抗を2個結合し、純粋な差動負荷を与えています。コンデンサの値は、図7のトポロジーから図9に等価になるように、コンデンサを式(11b)で与えられた値の半分にしています。

この回路には、DC、ACも共に同相負荷がありません。 V_1 における差動信号について図7と同じフィルタ特性を示します。同相負荷が無いので、 V_1 における同相信号の減衰および V_1 からのバイアスDC電流はありません。

この設計には、他にも R_2 に関する興味深い使用法がいくつかあります。例えば、使用しているアンプがADCの必要とする正の入力範囲までスイングできない場合、 R_2 を正電源に接続して抵抗のレベルシフトを正方向にすることができます。

具体例：+5V電源で動作するADCの入力を $2V_{pp}$ とします。ここで、同相電圧の名目値が2.5Vであり、そのレベルから $\pm 0.5V$ のシフトが可能とします。またアンプは $\pm 5V$ で動作し、電源電圧付近にスイングするとその歪み特性を損なうものとします。このときADCのフルスケール入力を得るには、ADCの両入力の同相電圧を2~3Vの範囲に入れ、そこから $\pm 0.5V$ のスイングしなければなりません。したがって、アンプの出力を1.5VDCに位置させ、+5V電源に接続した抵抗網で2V DCにレベルシフトするように設計します。

$R_1 = 200\Omega$ に設定すると、0.5Vのレベルシフトにはわずかに2.5mAのシンク電流が必要になります。1.5Vのアンプ出力から+5V電源への全電流が2.5mAならば、 $R_1 + R_2$ の値は1400 Ω を要し、 $R_2 = 1200\Omega$ および $\alpha = (1200/1400) = 0.857$ になります。このアッテネータの出力で $\pm 0.5V$ をフルに得るには、アンプは $\pm 0.5V / (0.857) = \pm 0.583V$ のスイングを必要とします。したがって、DCを1.5Vに固定させると、アンプからは0.917Vから2.083Vの出力スイングが必要になります。この出力スイングおよび出力ピンのA級バイアス電流は、+5V単電源のレール・ツー・レール出力を備えたアンプには十分実現可能です。

$R_T = 1400\Omega$ と $\alpha = 0.857$ を用いて最大限に平坦なバタワースフィルタ($Q = 0.707$)および $F_{-3dB} = 28MHz$ のフィルタ特性を目標とする設計を続けます。LとCに関する第2設計オプションを使用して大きいCの値を求め、次に差動の単コンデンサ設計の値に変換します。式(8)を用いて、負号(-)を根号の前に代入した式(12)のようにLについて解きます。

$$L = \frac{1400\Omega}{2(2\pi)28MHz(0.707)} \left(1 - \sqrt{2(0.857) - 1}\right) = 873nH \quad (12)$$

$$C = \frac{1}{0.857(873nH)(2\pi 28MHz)^2} = 43pF \quad (13)$$

図10は完成した設計を示し、代表的なアンプとADCが含まれています。アンプには、AC結合された信号がゲイン3倍の反転トポロジーに与えられ、非反転入力には、同相出力を直接設定する1.5V DCがバイアスされています。

また、 R_2 の別の上手な利用法は、 R_1 に直列にDCブロッキング用のコンデンサを接続し、ADCの同相電圧を R_2 経由で与えることです。この設計では、 R_2 は一般に R_1 よりはるかに大きく、 $\alpha \rightarrow 1$ になります。式(14)は、このフィルタのハイパス部分の近似的な伝達関数(ローパス設計のためのLCを無視)であり、図11の解析回路を用いています。

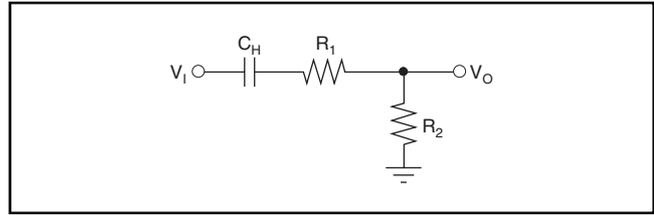


図11. ハイパスの解析回路

$$\frac{V_O}{V_I} = \left[\frac{R_2}{R_1 + R_2} \right] * \frac{s}{s + \frac{1}{C_H(R_1 + R_2)}} = \alpha \frac{s}{s + \frac{1}{C_H R_T}} \quad (14)$$

例として、 $R_T = 300\Omega$ 、 $\alpha = 0.98$ で16kHzにハイパスのポールを持たせることを設計目標にします。また、バタワース特性で2次のローパスを再度16MHzにします。

$$\begin{aligned} C_H &= 0.033\mu F \\ R_2 &= 294\Omega \\ R_1 &= 6\Omega \end{aligned}$$

Lについて第1解法(式(5a))を使用して、

$$L = 4.2\mu H$$

および

$$C = 24.2pF$$

この設計の全体を図12に示します。

この回路は図8に非常に似ており、ブロッキング・コンデンサと、2個の R_2 の midpoint にグラウンドの代わりに同相基準電圧を与えています。図13は、図12の小信号周波数特性のシミュレーションを示します。

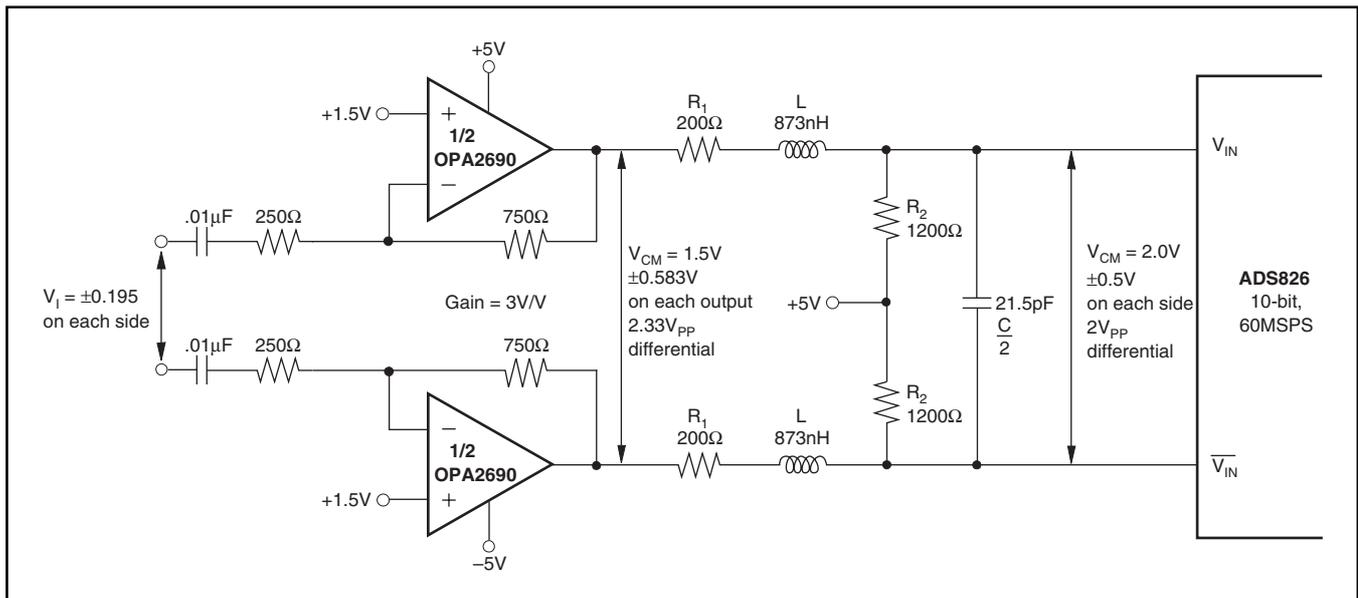


図10. 同相成分をレベルシフトしたRLCフィルタ

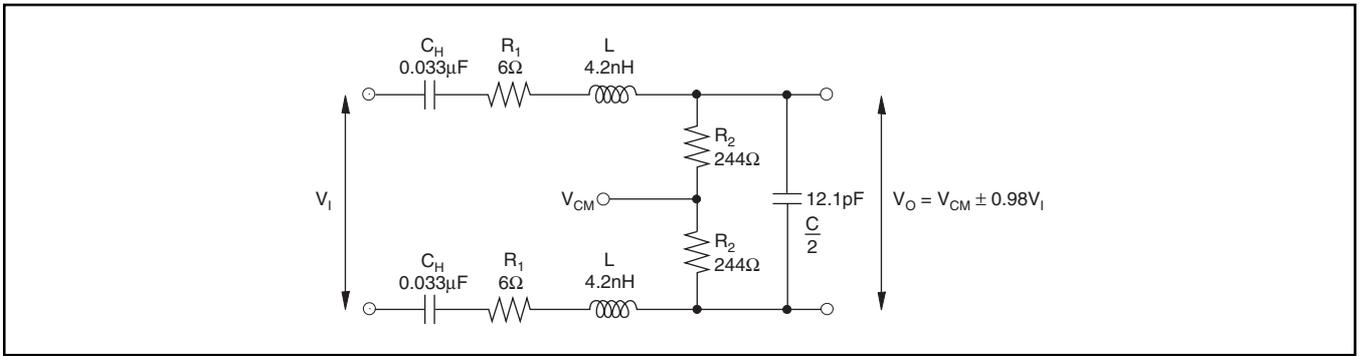


図12. 同相基準電圧を用いたハイパスLCフィルタ

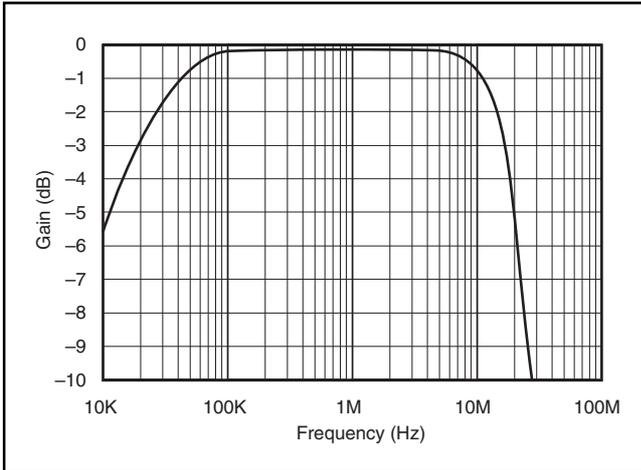


図13. 図12の回路の周波数特性シミュレーション

6 2次伝達関数を用いた実際の W_0 および Q の推定

ここで述べる設計は、ノイズ電力帯域幅の制御と高調波がカットオフ周波数より下がってきたときの歪みの減衰についてそれらの簡単な手法を提供します。実際のフィルタ特性が実物に対する理想的な解析から外れるのは、珍しいことではありません。いくつかの原因により、この理想とのずれを説明できます。

- アンプ帯域幅のフィルタ通過域におけるロールオフ。シングルエンドあるいは差動の V_I が前段のアンプから来るとすると、フィルタのカットオフ周波数以下におけるわずかなロールオフでも、見込みより低い f_{-3dB} として表れます。
- インダクタの自己共振。インダクタの自己共振周波数は所要のフィルタ特性の形状を維持するために、期待しているカットオフ周波数よりはるかに高い必要があります。そのため、小インダクタ設計(小 L 大 C)がよく好まれます。ただし、コンバータの動作に大容量値が容認される場合です。
- フィルタの C に並列に追加されるコンバータ入力容量。ほとんどの場合、これはADCのデータシートで見積りできます。最近のパイプライン差動入力コンバータは、クロック周波数と入力電圧の両方に関係しない入力容量値を示しま

す。以前のあるアーキテクチャーのコンバータには、クロック周波数および/あるいは入力信号電圧に依存する入力容量を示すものもありました。

フィルタのベンチテストにより、測定されたフィルタ特性からADC入力容量を抽出する簡便な方法を示します。目的の通過域全体にわたって平坦なアンプと、自己共振周波数が所要のカットオフ周波数よりはるかに高いインダクタとを使用する場合、測定したフィルタ特性のずれは、コンバータ入力容量および/あるいはフィルタ出力電圧を測定したプローブ容量により生じています。この容量抽出の出発点は測定した周波数特性から、その周波数特性になるには W_0 と Q の値がどれくらいさかのぼる作業をすることです。この作業をするには、2次ローパスフィルタの簡単な復習が役に立ちます。

2次ローパスフィルタの基本的な伝達関数を式(15)に示します。

$$\frac{V_O}{V_I} = \frac{AW_0^2}{s^2 + s\frac{W_0}{Q} + W_0^2} \quad (15)$$

特性周波数(W_0)はポールが複素共役対の場合、S平面における原点からポールまでの距離になります。式(15)の各単位はふつう角周波数です。これは W_0 を 2π で割算してヘルツ(Hz)に変換できます。式(15)の Q は各ポールがどのような複合かを示します。

S平面の原点から複合ポールまでのベクトルがS平面の負の実軸と作る角度は、 $\cos^{-1}\left(\frac{1}{2Q}\right)$ で与えられます。 Q に関する重要ないくつかの値と、そのときのポールの位置は下記の通りです。

- $Q < 0.5$ の場合、ポールは両方とも実数です。
- $Q = 0.5$ の場合、 $-W_0$ で2個の連続したポールが発生します。
- $Q = 0.577$ の場合、周波数特性は最善の位相リニアリティである2次のベッセルになります。
- $Q = 0.707$ の場合、周波数特性はゲインが最も平坦である2次のバターワースになります。

$Q = 0.707$ ではポールはS平面の負の実軸と $\pm 45^\circ$ になります。

周波数領域重視のADCアプリケーションに選ばれるフィルタの大部分は、少なくともバターワースか、それよりわずかに大きい Q になります。 Q が0.707を超えるにつれて、周波数特性はピークを生じ始めます。また-3dBの帯域幅が拡大しフィルタを通過する

積分ノイズが増加します。Q = 0.707に設計したフィルタは、そのほとんどが測定した特性にわずかなピーキングを示します。このピーキングはフィルタに設定した容量に並列に加わる寄生容量によるものです。この寄生容量が実際のフィルタのQを増加します。ここで式(4)に戻り、これをいくらか変形してCを分離し、フィルタのQを与える式(16)を得ます。

$$Q = \left(R_T \sqrt{\frac{\alpha}{L}} \right) \frac{\sqrt{C}}{1 + C \frac{\alpha(1-\alpha)R_T^2}{L}} \quad (16)$$

この式はQに関してまだ相当複雑な数式であり、Cによる依存性が正か負か明白に示していません。そこで、式(16)からQ対Cの導関数を求め、それを操作して正の導関数の条件を求めると、式(17)の制約が得られます。この式(17)が<1である場合、寄生容量およびADC入力容量によって見込みよりCが大きければ、ここで議論されているRLCフィルタのQは増加します。

$$\frac{(1-\alpha)R_T^2}{L^2W_0^2} < 1 \quad (17)$$

式(17)にL(式(5a)と式(5b))を使用を代入すると、Cの増加でQが増加する条件である次式が得られます。

$$\frac{(1-\alpha)(2Q)^2}{(1 \pm \sqrt{1-(1-\alpha)(2Q)^2})^2} < 1 \quad (18)$$

同じ数式が分子と根号内に認められるので、この式は変数X = (1-α)*(2Q)²で書き直すことができ、式(19)が得られます。

$$\frac{X}{(1 \pm \sqrt{1-X})^2} < 1 \quad (19)$$

ここで、式(5a)および式(5b)のLについて解を得るには、Xは1以下でなければなりません。式(19)の左辺が1になるように式(19)を解くと、分母の正負の項いずれの場合もX = 1のみで成り立つことが分かります。分母の正の解法(大L小C、式(5a))を使用すると、必ず式(19)の解<1になります。これは、Cが設計値より増加すると、式(5a)を使用して実現したフィルタのQが必ず増加することを意味します。したがって、ピーキングの増加で実際のW₀とQを抽出する場合、コンバータの寄生Cを抽出するには、この解法(大L小C、式(5a))が好まれます。面白いことに、式(5b)の解法を用いて、実装に余分な寄生Cを付加すると、必ずQが減少します。このアプローチを用いても、コンバータの寄生Cは抽出できます。しかし、もっと直接的な方法は、ロールオフする特性でW₀とQを抽出するよりも、ピーク周波数とピーク量を識別することです。

これらのRLCフィルタの実物を測定した周波数特性があれば、その周波数特性の形状と合致するW₀およびQを推定することができます。その中の完璧なアプローチは、最小自乗誤差使って式(15)に対してデータをフィッティングし、誤差を最小にするW₀とQを求めることです。なお、式(15)は周波数全体にわたって実際のデータとよく整合がとれます。

また、より簡便なアプローチは、特性上の重要なデータの2点を測定することです。次に、この2データを使って2個の未知数、すなわちW₀とQについて解きます。特性にピーキングがあればQ

>0.707を意味し、このときゲインのピーキング量および-3dB帯域幅を測定するのが簡単なアプローチです。これは、式(5a)による大L小Cの解法に対して好まれ、かつ最も有効なアプローチです。式(20)がピーキング量とQの関係を与え、Qが得られると式(21)がW₀とF_{-3dB}の関係を与えます。

$$\text{Peaking (dB)} = 20 \log \frac{Q}{\sqrt{1 - \frac{1}{4Q^2}}} \quad (20)$$

$$F_{-3dB} = \frac{W_0}{2\pi} \sqrt{\left(1 - \frac{1}{2Q^2}\right) + \sqrt{\left(1 - \frac{1}{2Q^2}\right)^2 + 1}} \quad (21)$$

ピーキングはQのみに依存するので、このアプローチは単純化されます。式(20)をQについて解き、ピーキングを目標ゲイン(前に議論されたフィルタにおけるα)に対するピーク・ゲインの比(β)として与えると式(22)が得られます。

$$Q = \frac{\beta}{\sqrt{2}} \sqrt{1 + \sqrt{1 - \frac{1}{\beta^2}}} \quad (22)$$

式(22)にβ = 1を代入すると、予想通りのQ = 0.707が得られます。すなわちピーキングが無い場合は、Q = 0.707による最大限に平坦なバタワース特性が得られます。

測定されたF_{-3dB}とピーキングから見積もられたQを式(21)に代入することにより、W₀の解を簡単に求められます。

7 W₀とQの使用による実際のLとCの見積り

フィルタを実現する議論の最終段階は、見積もったW₀とQから、LとCがどのような値を求める作業をすることです。ここで、R₁とR₂の値がある程度明確に分かっているものとします。それによって、この解析に必要なR_Tとαが得られます。

式(5)と(6)に戻り、W₀とQを直接代入するとLが得られます(式(5a)あるいは式(5b)を使用)。次に式(6)により、測定された周波数特性を説明するCの値が求められます。フィルタが大L小Cの値で実装された場合、式(5a)を用いると回路における実際の値の見積もりができます。次に式(6)で、回路に実際にある全体のCの見積もりができます。

同様に、小L大Cの値が使用された場合、式(5b)がLを与え、式(6)がCを与えます。

予測したL値は、回路実装に非常に長い配線がないかぎり、使用するインダクタの許容範囲内である必要があります。より重要なことは予測したCの値です。この予測値から、プローブ容量および回路に実装した実際のコンデンサ値を減算し、レイアウトによる寄生の見積り容量を加算したものが、ADCの入力段に見える見かけの容量になります(文献1参照)。この実際のADC入力容量とレイアウト容量の和の値が決まると、フィルタに使用するコンデンサの値を減らして、フィルタの設計目標をより精度よく満足することができます。

結論

アンプからコンバータへの最終段フィルタを、代表的なRCから直列抵抗およびシャント抵抗を用いたRLCフィルタに変更すると、コンバータを効率よく駆動する数多くの設計オプションが得られます。アンプの出力側からは、単純なRCインターフェイスにおいて安定性やピーキング問題を生じやすいC負荷がもはや見えません。コンバータ側からは、高周波時にシャントのCとRによる信号源が主として見えるだけとなります。インダクタは、高周波の帯域外周波数時にアンプとコンバータの両者を相互に分離する働きをします。

また、2次のロールオフを使用すると、システムのSNRとSFDRを改善します。単純なRCフィルタ(ノイズ電力帯域幅が $1.57 \cdot F_{-3dB}$)から2次のバターワースフィルタ(ノイズ電力帯域幅が $1.11 \cdot F_{-3dB}$)に変更すると、積分ノイズ電力が $\sqrt{\frac{1.57}{1.11}} = 1.19$ だけ低減します。

同じ F_{-3dB} に設定した上記2種のフィルタの入力に等しいホワイトノイズ電力を印加した場合、2次フィルタはその出力におけるSNRを $20 \log(1.19) = 1.5\text{dB}$ だけ改善します。同様に、2次フィル

タにおける2次のロールオフは、入力における高調波を1次フィルタよりも早く減衰します。差動の実装方式では、3次の歪み項のみが主に存在します。入力の基本周波数が $F_{-3dB}/3$ を超えると、いずれのフィルタも入力にある3次の高調波を減衰します。なぜなら、一般にアンプの3次高調波は、ループゲインのロールオフのために 20dB/dec の割合で増加します。そこで、 40dB/dec の2次フィルタをアンプの後段に用いると、最悪ケースの出力3次高調波は $F_{-3dB}/3$ で発生します。したがって、これを所要の最大周波数より低く配置すると、(アンプ+フィルタ)の組み合わせによる特性範囲の拡張を実現できます。

参考文献

1. Schmid, R. 高速アナログ設計における基板の寄生の測定
アプリケーションノート(SBOA094)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認ください。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上