

# ADS1216、ADS1217、ADS1218の 較正ルーチンおよびレジスタ値生成

Joseph Wu

Data Acquisition Group

高分解能アナログ-デジタル・コンバータ (ADC) では、可能な限り最高のパフォーマンスを達成するために、オフセットとゲインの較正を頻繁に行うという方法を取ることがあります。温度、PGAゲイン、電源電圧、そして最も重要な間引き率の変化は測定精度に影響する可能性があります。このアプリケーション・ノートでは、ADC製品のADS1216、ADS1217、ADS1218ファミリーで較正ルーチンがどのように働き、フルスケール・レジスタ (FSR) とオフセット較正レジスタ (OCR) の値をどのように生成するかということについて説明します。

これらのデルタ-シグマ ( $\Delta\Sigma$ ) ADCでは、5つの異なるコードをもとにして2種類の較正を実行します。そのひとつはSELFOCAL、SELFGCAL、SELCALという3つの自己較正ルーチン、もうひとつはSYSOCALとSYSGCALというシステム較正ルーチンです。これらの各較正はFSRやOCR、ま

たはその両方に効果を与えます。デルタ-シグマADCでは、高分解能を獲得する手段としてオーバーサンプリングを使用します。これらの24ビット・8チャンネルの部品により、正確さと、2.7V~5.25Vの電源で動作する幅広いダイナミック・レンジが実現できます。内部バッファによりハイ・インピーダンス入力を生成するため、トランスデューサや低レベル電圧信号への直接接続が可能です。

このファミリーの最初の製品はADS1216であり、その入力範囲は $\pm V_{REF}$  (PGAゲイン=1の場合) です。ADS1218の特色は、4kバイトのFLASHメモリが追加されていることです。ADS1217はADS1216と似ていますが、入力範囲はその倍の $\pm 2V_{REF}$  (PGAゲイン=1の場合) です。

このアプリケーション・ノートは、MSC1210、MSC1211、MSC1212にも適用されます。これらの製品には、上記と同様の8チャンネルADCが組み込まれています。

## 内 容

1. 較正 .....	2
1.1 自己較正 .....	2
1.2 システム較正 .....	2
2. デジタル・フィルタと較正レジスタの詳細 .....	2
3. 例 .....	5
4. 結論 .....	5
5. 較正についての注意事項 .....	6
6. 用語集 .....	6
7. 参照文献 .....	6

## 1. 較正

較正は、ADS1216、ADS1217、ADS1218の動作変化に影響される可能性があります。温度、PGAゲイン、基準電圧、間引き率の変動は、オフセット較正レジスタ (OCR: Offset Calibration Register) とフルスケールレジスタ (FSR: Full Scale Register) の期待値に影響を与える可能性があります。デジタルフィルタの出力は、データをデータ出力レジスタ (DOR: Data Output Register) に送信する前に、この両方の値によって修正されます。

較正コードのうち、ADS1216、ADS1217、ADS1218の各々が持っているのは自己較正とシステム較正の2グループです。このデバイスファミリー向けには5つの較正コードが用意されています。これらのコードの詳細については、セクション1.1と1.2で説明します。

### 1.1 自己較正

ADS1216、ADS1217、ADS1218の持つ較正のひとつは内部較正、つまり自己較正です。自己較正 (self-cal) コードは3つあります。なお、本文中のコメントは関連するデータシートから直接引用している場合もあります。(完全な情報については、「参考文献」をご覧ください。)

- **SELFOCAL** - 自己オフセット較正では、コンバータへの入力が両方とも、AINCOMに内部的に接続されます。こうして入力がゼロとなります。その後、OCRがデジタルフィルタの出力を記録します。その後に行われる読み込みでは、このレジスタの内容がデジタルフィルタの出力から減算されます。これにより、部品に固有の内部的なオフセット誤差が較正されます。
- **SELFGCAL** - 自己ゲイン較正は、コンバータのゲインを較正するために使用されます。コンバータの入力は  $V_{REF+}$  と  $V_{REF-}$  に内部的に接続され、コンバータでは入力がADS1216とADS1218の正のフルスケールであると仮定します。(ADS1217については入力範囲が他の2つより大きいために、正のフルスケールの1/2と仮定されます。) SELFGCALでは、デジタルフィルタに起因するゲイン誤差を補償し、FSRを更新します。PGAゲインが1以外の場合、基準電圧がスケールされた補償となります。
- **SELFCAL** - 自己較正ルーチンでは最初にSELFOCAL、次にSELFGCALを実行します。これにより、OCRとFSRの両方が更新されます。

### 1.2 システム較正

もうひとつの較正は外部較正、つまりシステム較正です。これらの較正ルーチンでは、適切な信号を選択された入力に送り込む必要があります。

- **SYSOCAL** - システム・オフセット較正では、ユーザーが入力チャネルを選択し、入力をゼロにした上で、SYSOCALコマンドを実行する必要があります。これにより、システム全体に関連したあらゆるオフセット誤差をすべて較正できます。OCRはこのコマンドによって更新されます。
- **SYSGCAL** - システム・ゲイン較正では、ユーザーが入力チャネルを選択し、正のフルスケール入力を供給し、SYSGCALコマンドを実行する必要があります。FSRはこのコマンドによって更新されます。

## 2. デジタルフィルタと較正レジスタの詳細

ADS1216、ADS1217、ADS1218にはどれも、モード (Mode) ・レジスタと間引き (Decimation) レジスタで選択可能な4つのモードのひとつで実行できるデジタルフィルタがあります。各モードは  $\sin(x)/x$ 、つまりsincフィルタを基にしています。高速セトリングフィルタ (FS) では、 $1 t_{data}$  周期でセトリングします。sinc<sup>2</sup>フィルタ (S2) は低ノイズであり、 $2 t_{data}$  周期でセトリングします。sinc<sup>3</sup>フィルタ (S3) はさらに低ノイズですが、 $3 t_{data}$  周期でセトリングします。最後の動作モードは、自動モードです。このモードでは、デジタルフィルタの出力が、最初の2つのデータ読み込み (reads) がFSに起因し、3番目がS2に起因し、4番目以降の読み込み (reads) がS3に起因するというものになります。これらの動作モードの詳細については、各々のデータシートを参照してください。デジタルフィルタの最初の2つのモードの較正ではノイズが多くなるため、OCRとFSRの値の精度も落ちることになります。

デジタルフィルタは、すべての較正で特に重要となる部品です。間引き率が変わると、デジタルフィルタのゲインも変わります。OCRは、デジタルフィルタに至る、入力回路とモジュレータのオフセットをゼロにします。これに対し、FSRは間引き率の変化に起因するフルスケール変化の較正を行います。オフセットまたはゲインについての較正では、 $7 t_{data}$  周期 (オフセット較正とゲイン較正両方を行う

SELCALでは、 $14t_{data}$ (周期)が必要になります。これは、両方の場合とも、オフセットまたは $V_{REF}$ のどちらかを入力としてサンプリングしているためです。レジスタにとって最も良い値を取得するために、フィルタからは7つのサンプルが採取されます。最初の3つは破棄され、残った4つが平均化されます。デジタル・フィルタと、OCRレジスタとFSRレジスタの実装を図1に示します。

モジュレータの出力はデジタル・フィルタに送られ、間引き率(DR: decimation ratio)の関数によってスケールされます。OCRレジスタの値はその後、デジタル・フィルタの出力から減算されます。次にFSRを乗算し、DORを取得します。

最初に、デジタル・フィルタのゲインがモジュレータの出力に印加されます。デジタル・フィルタのゲイン(DFG)は間引き率の関数であり、次の式で表されます。

$$DFG = \frac{3}{4} (DR^3 \cdot 2^A) \tag{1}$$

間引き率に加えて、デジタル・フィルタのゲインは、デジタル・フィルタの数字を低い間引き率に合わせるための倍率にも影響されます。この倍率は、上記の式でAとして与えられています。倍率Aも、表1に列挙された間引き率に決定される整数です。間引き率が分かれば、使用するAの値を表から見つけることができます。必要な間引き率が表にない場合は、その値に最も近い間引き率を表から見つけて、それに対応したAを取得する必要があります。(例えば1000というDRが必要な場合には、表に記載のDRのうち1000に最も近いものが1023であるため、 $A = -7$ が使用できます。)

デジタル・フィルタの後では、OCRの値が減算されます。較正では、OCRはオフセット較正サイクルの間に生成されます。オフセット較正サイクルでは、ゼロ・オフセットにな

DR	A	DFG (DR <sup>3</sup> で乗算)
20	10	768
25	9	384
31	8	192
40	7	96
50	6	48
63	5	24
80	4	12
101	3	6
127	2	3
161	1	1.5
203	0	0.75
255	-1	0.375
322	-2	0.1875
406	-3	0.09375
511	-4	0.046875
645	-5	0.0234375
812	-6	0.01171875
1,023	-7	0.005859375
1,290	-8	0.002929688
1,625	-9	0.001464844
2,047	-10	0.000732422

表 1. 任意の間引き率に対応したデジタル・フィルタのゲイン

るべき入力が接続されます。デジタル・フィルタの出力は、OCRレジスタに記録されます。このオフセット値は次に、後続の読み込み(readings)から減算されます。図2は、オフセット較正のプロセスです。

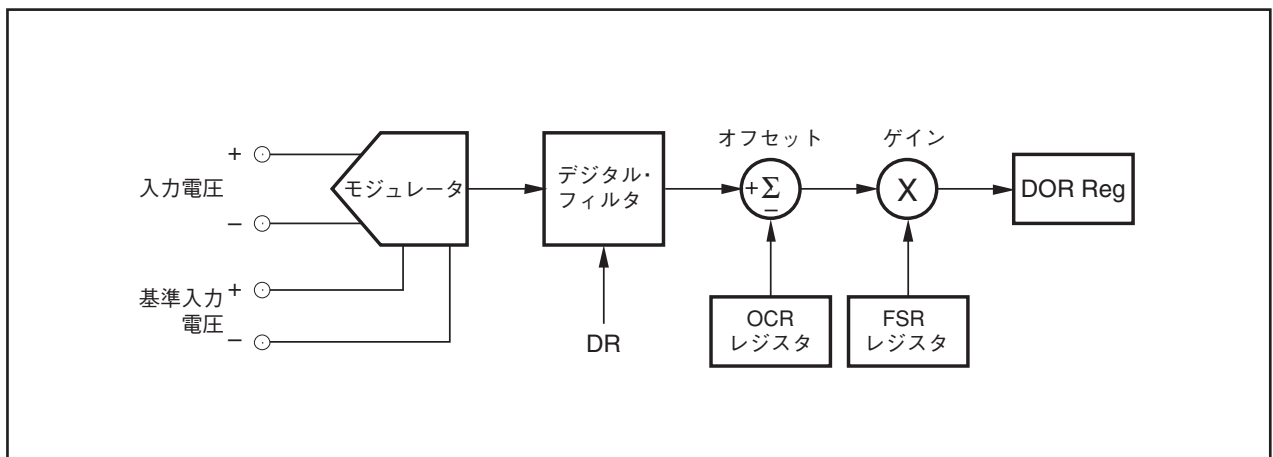


図 1. ADS1216, ADS1217, ADS1218のデジタル・フィルタと較正レジスタ

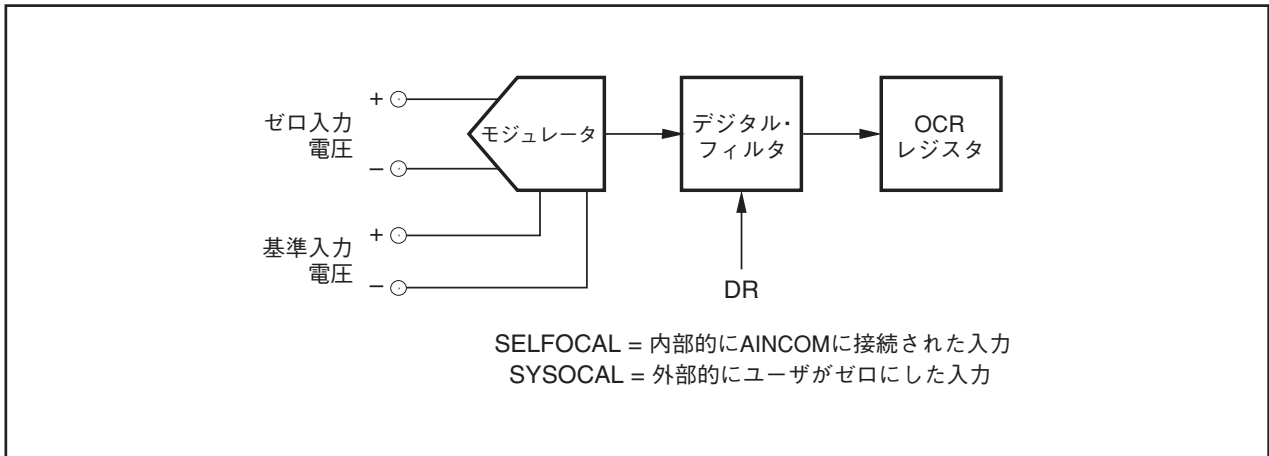


図 2. OCRレジスタ値を較正で生成する

OCRが減算された後、FSRの乗算によって出力データが取得されます。FSRではフルスケールを基準電圧に調整します。ゲイン較正中は、入力が基準電圧に設定されます。(ADS1216とADS1218の場合、これは正のフルスケールです。ADS1217の場合、これは正のフルスケールの1/2です)ゲイン較正中のデジタル・フィルタの出力はOCRの値が減算されたもので、減算後の値は出力を較正して正のフルスケールにするために使用されます。FSRは逆関数を使用して計算します。数学的には、OCRの値を減算した後のデジタル・フィルタの出力は、h1FFFFFFFから分割されます。このプロセスを下の式で記述し、図3のブロック図で図解します。

$$FSR = \frac{h1FFFFFFF}{\text{デジタル・フィルタ出力} / \text{OCR}} \quad (2)$$

PGAゲインの値が様々であるという点について、注意すべきなのは、自己ゲイン較正では入力が内部的に、 $V_{REF}$ のある倍率(スケール)に設定されているということです。システム・ゲイン較正では、PGAゲインと基準電圧に応じて、正しい正のフルスケールに入力が設定されている必要があります。

オフセット較正では、入力がゼロに設定され、モジュレータから見えるような $V_{in}$ に対してもOCRが見つかります。FSRは、オフセット較正からは独立しています。ゲイン較正では、モジュレータ入力が $V_{REF+}$ と $V_{REF-}$ に設定され、確実に出力が正のフルスケールを読み込む(DORがh7FFFFFFFを読み込む)ようにFSRが計算されます。

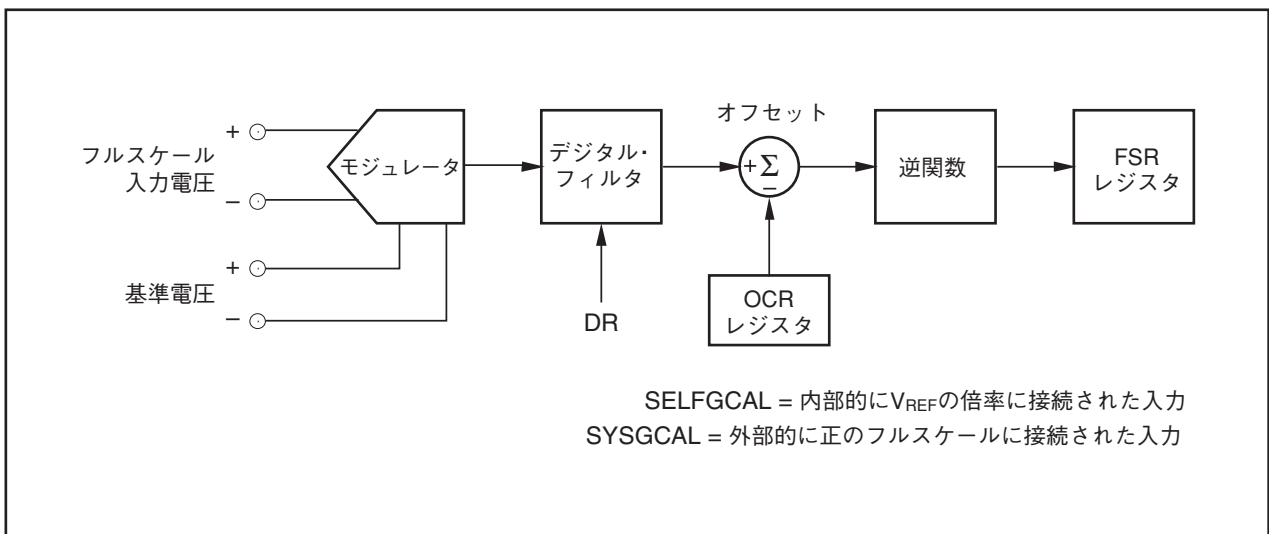


図 3. 較正での、FSRレジスタ値の生成

これで、OCRレジスタとFSRレジスタがどのように計算され使用されるかがある程度理解できたために、DORの式が記述できるようになりました。ADS1216とADS1218では、次のようになります。

$$\text{DOR} = \left[ \left[ \frac{V_{in}}{V_{REF}} \cdot \text{DFG} \right] - \text{OCR} \right] \cdot \frac{\text{FSR}}{2^{22}}$$

バイポーラ・モード (3)

$$\text{DOR} = \left[ \left[ \frac{V_{in}}{V_{REF}} \cdot \text{DFG} \right] - \text{OCR} \right] \cdot \frac{\text{FSR}}{2^{21}}$$

ユニポーラ・モード (4)

ADS1217では、次のようになります。

$$\text{DOR} = \left[ \left[ \frac{V_{in}}{2 \cdot V_{REF}} \cdot \text{DFG} \right] - \text{OCR} \right] \cdot \frac{\text{FSR}}{2^{22}}$$

バイポーラ・モード (5)

$$\text{DOR} = \left[ \left[ \frac{V_{in}}{2 \cdot V_{REF}} \cdot \text{DFG} \right] - \text{OCR} \right] \cdot \frac{\text{FSR}}{2^{21}}$$

ユニポーラ・モード (6)

### 3. 例

ここでは、OCRとFSRをどのように判定するかを説明するための例をいくつか示します。

#### 例 1

ADS1217がバイポーラ・モードで動作しており、基準入力電圧が2.5V、オフセット電圧が0V、間引き率が625であるとします。SELFCALが実行されます(これは、最初にSELFCAL、次にSELFGCALを連続して実行するのと同じです。)

0Vでの入力については、OCRがh000000と判定されるのが理想的です。ただしFSRは、逆関数から逆算して計算されます。

$$\text{FSR} = (\text{h1FFFFFFFFFFFF}) / (\text{DFG} - \text{OCR}) \quad (7)$$

$$\begin{aligned} \text{The FSR} &= [(\text{h1FFFFFFFFFFFF}) \\ & / ((.75 * 625^3 * 2^{-5}) - \text{h000000})] \\ & = \text{h5DD332}. \end{aligned}$$

#### 例 2

ADS1216がユニポーラ・モードで動作しており、基準入力電圧が1.25V、間引き率が200であるとします。ところがユーザーの手違いにより、0.5Vの入力電圧をチャンネルAIN0～AIN1に入力し、それらのチャンネルを選択し、SYSOCALとSELFGCALを順に実行してしまったとします。オフセットの誤差が大きくなると、ゲイン較正にも誤差が生じます。

$$\text{OCR} = \frac{V_{in}}{V_{REF}} \cdot \text{DFG} \quad (8)$$

これで、OCR = (0.5/1.25) \* (0.75 \* 2003 \* 2<sup>0</sup>) = 2400000 = h249F00となります。

FSR = [(h1FFFFFFFFFFFF) / ((.75 \* 2003 \* 2<sup>0</sup>) - h249F00)] = h95217Cです。

これは、OCRに誤差があると、FSRの計算にも誤差が生じる可能性があることを説明するために設定した例です。

#### 例 3

例2での手違いに気付いたユーザーが、入力を正しくゼロにして(ただし5mVのシステム・オフセット電圧が存在します)、同じSYSOCALとSELFGCALを実行したとします。

式(8)を使用すると、OCR = (0.005/1.25) \* (.75 \* 2003 \* 2<sup>0</sup>) = d24000 = h005DC0となります。

次に、SELFGCALが内部的に基準電圧に切り替わり、ゲインを較正します。

式(7)を使用すると、FSR = [(245 - 1) / (.75 \* 2003 \* 2<sup>0</sup>)] = h1FFFFFFFFFFFF/h5B8D80 = h597A7Eとなります。

### 4. 結論

多くの場合、較正がどのように、またなぜうまく機能するのかということについて、ユーザーが細かいところまで気をつかう必要はないはずです。これらのADコンバータは、少ないコマンドを介してシンプルな較正を行うようにできています。ただし、設計が思い通りにいかない場合に、これらの較正の係数が何に起因するのかを理解することは大切です。OCRレジスタとFSRレジスタの内容を導き出す計算は、問題が発生したときにその原因を突き止め、解決するのに役立ちます。また、このアプリケーション・ノートには、較正についての一般的な注意事項がいくつか含まれています。これらの部品を使う際に、ユーザーは本論で使用されている重要語句の用語集とともに、これらの注意事項を考慮しておく必要があります。

## 5. 較正についての注意事項

ADS1216、ADS1217、ADS1218を使用する際に役立つ可能性のある、較正についてのいくつかの注意事項を次に示します。

1. 較正は、間引き率の変化に追従するために行う必要があります。デジタル・フィルタのゲインは間引き率とともに変動します。したがって間引き率が変化すれば、デジタル・フィルタのゲインも変化します。その後は、FSR値が最新の較正からはずれて、誤ったゲインの元となります。同様に、オフセットは較正の変化に影響されます。
2. PGAの変化には、較正が必須です。この変化は、オフセット較正にとって有益なものです。ゲインが高いほど、ゲイン較正の結果のFSR値に影響するノイズも増える可能性があります。様々なPGAゲインの測定で見られるノイズについては、適切なデータシートを参照してください。
3. 温度変化には、較正が必須である場合があります。ドリフト・パフォーマンスが重要である場合は、温度変化も重要になるためです。入力オフセットも基準電圧もゲイン誤差も、すべて温度の影響を受ける可能性があります。
4. 電源の変化にも較正が必須である場合があります。温度によって変化したパラメータと同じパラメータが、電源変化によっても変化する可能性があります。
5. オフセット較正またはゲイン較正には、 $7t_{data}$ 周期を必要とします。これは、自己較正かシステム較正のどちらにかかると時間です。SELCALコマンドでは、部品が $14t_{data}$ 周期でSELFOCALとSELFGCALを経験する必要があります。
6. 入力バッファは、システム・ゲイン較正に影響する可能性があります。システム較正はアナログ入力として同じ線を使用するため、同じ制限を受けることになります。入力バッファがオンで、 $V_{REF}$ がSYSGCALについてサンプリングされる場合、信号はバッファの入力動作範囲内にある必要があります。つまり、 $V_{REF}$ はAGND+0.05V ~ AVDD-1.5Vの間にある必要があります。
7. 較正にとって最適なのは、自動モード又は $\text{sinc}^3$ フィルタを使うことです。どんなフィルタを使用しても、較正には時間がかかります。 $\text{sinc}^3$ フィルタは最も低ノイズであるため、較正にはこれを使うのが一番です。OCRとFSRにとって最良の値を一度得てしまえば、あとはデータ読み取りに使用すると決めたフィルタを自由に使えます。
8. PGAオフセットDAC (ODAC) は、較正に影響する可能性があります。ODACは、フルスケール入力範囲の1/2もPGA入力をシフトします。この入力シフトはオフセット誤差のように見えるため、部品の較正に影響する可能性があり、較正の後で設定する必要があります。

## 6. 用語集

A.	DFGの計算に使用する指数因子
DFG.	デジタル・フィルタ・ゲイン Digital Filter Gain
DOR.	データ出力レジスタ Data Output Register
DR.	間引き率 Decimation Ratio
FSR.	フルスケール・レジスタ Full Scale Register
MSB.	最上位ビット Most Significant Bit
OCR.	オフセット較正レジスタ Offset Calibration Register
ODAC.	オフセットDAC Offset DAC
SELCAL.	SELFOCALの後、SELFGCALが実行される自己較正
SELFGCAL.	自己ゲイン較正 Self-Gain Calibration
SELFOCAL.	自己オフセット較正 Self-Offset Calibration
SYSGCAL.	システム・ゲイン較正 System Gain Calibration
SYSOCAL.	システム・オフセット較正 System Offset Calibration

## 7. 参照文献

- ADS1216 製品データシート (SBAS171B)
- ADS1217 製品データシート (SBAS260)
- ADS1218 製品データシート (SBAS187)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといひます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されてもありませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2007, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上