

## C6000ペリフェラルズリファレンス・ガイドに関する 参考資料(ホストポート・インターフェイス)

アプリケーション技術部

### アブストラクト

本資料は、日本語版TMS320C6000ペリフェラルズリファレンス・ガイドのうち「第7章 ホストポート・インターフェイス」を抜粋したものです。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

## 本文章について

本資料は、「TMS320C6000 Peripherals Reference Guide」(spru190c)を翻訳したTMS320C6000ペリフェラルズリファレンス・ガイド(spru537)の「第7章 ホストポート・インターフェイス」を抜粋したものです。

元となった英語版文書はのちに改定され、現在はC6000デバイスのペリフェラルの概要のみを述べる資料となっています。ペリフェラルの詳細説明に関しては、ペリフェラル固有のリファレンス・ガイドを用意しています。

本資料は、日本語でのペリフェラル理解の手助けのために、英語版ペリフェラル・リファレンス・ガイドの参考資料として用意しました。ペリフェラルの詳細につきましては、必ず最新の英語版リファレンス・ガイド及びデータシートをご参照ください。

## 参考文献

1. TMS320C6000 DSP Peripherals Overview Reference Guide (SPRU190)
2. TMS320C6000 DSP Host-Post Interface (HPI) Reference Guide (SPRU578)

## ホストポート・インターフェイス

---

---

---

この章では、外部プロセッサによりメモリー・マップ領域をアクセスするためのホストポート・インターフェイスについて解説します。ホストポート・コントロール・レジスタと信号についても解説します。

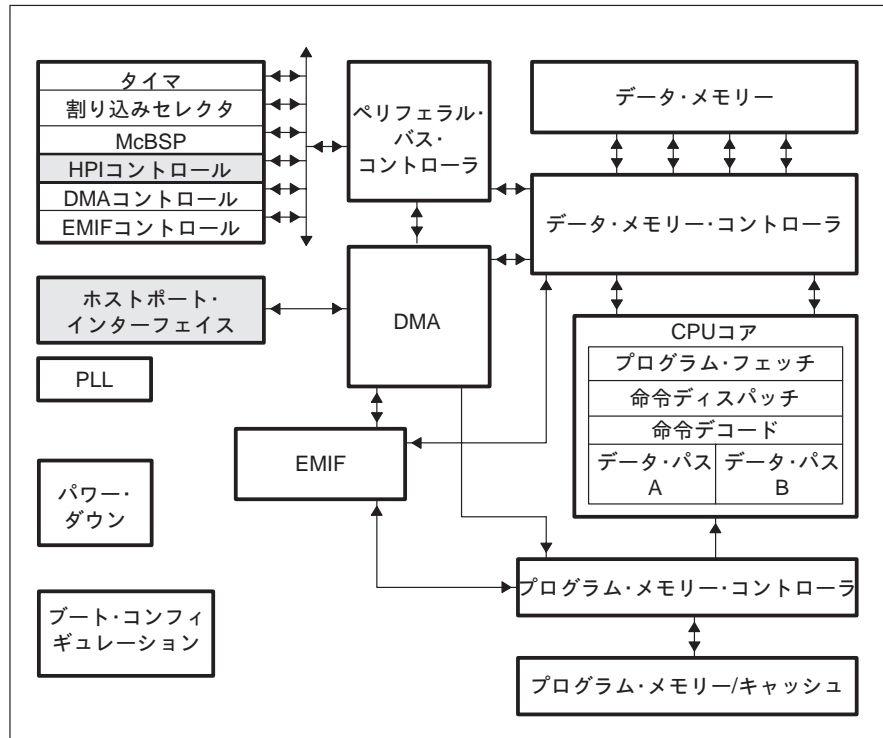
Topic	Page
7.1 概要 .....	7-2
7.2 HPIの信号の解説 .....	7-7
7.3 HPIレジスタ .....	7-16
7.4 ホスト・アクセスのシーケンス .....	7-19
7.5 リセット時におけるHPIを介したメモリー・アクセス .....	7-28

## 7.1 概要

ホストポート・インターフェイス(HPI)は、ホスト・プロセッサがCPUのメモリー領域をアクセスするための16ビット幅の平行・ポートです。ホスト・デバイスが、インターフェイスのマスターとして動作することを可能として、アクセスを容易にしています。ホストとCPUは、内部または外部のメモリーを介して情報を交換することができます。ホストは、メモリーにマッピングされたペリフェラルに直接にアクセスすることができます。CPUのメモリー領域に対する接続は、DMAを通じて行われます。CPUではアクセスすることができない専用のアドレス・レジスタとデータ・レジスタがHPIをDMA補助チャンネルと接続し、これにより、HPIがCPUのメモリー領域に接続されます。ホストとCPUの双方は、HPIコントロール・レジスタ(HPIC)にアクセスすることができます。ホストは、外部データ信号及びインターフェイス・コントロール信号により、HPI・アドレス・レジスタ(HPIA)、HPI・データ・レジスタ(HPID)、そしてHPICにアクセスすることができます。

図7-1にオンチップ・ペリフェラルのブロック図におけるHPIの関連部分を示します。

図7-1. TMS320C6201/C6701ブロック図



C6201/C6701 HPIの場合と同様に、C6211/C6711 HPIにより、外部ホスト・プロセッサがC6211/C6711のアドレス領域にリード及びライトのアクセスすることが可能です。C6201 HPIがDMA補助チャネルを使ってアクセスするのに対して、C6211/C6711 HPIは内部アドレス生成ハードウェアに直接つながっています。C6211/C6711の動作に、特定のEDMAチャネルは使用されません。代わりに、内部アドレス生成ハードウェアがリード/ライト・リクエスト及びアクセスを実行します。

図7-2. TMS320C6211/C6711 ブロック図

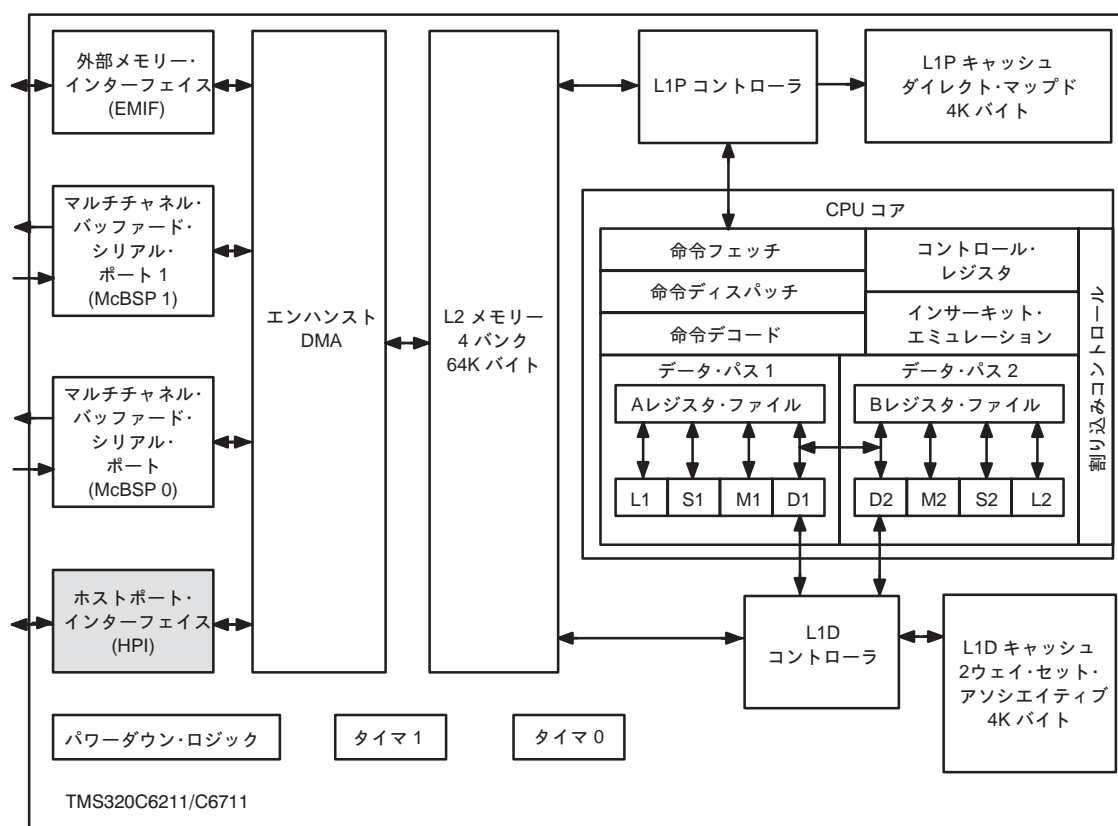


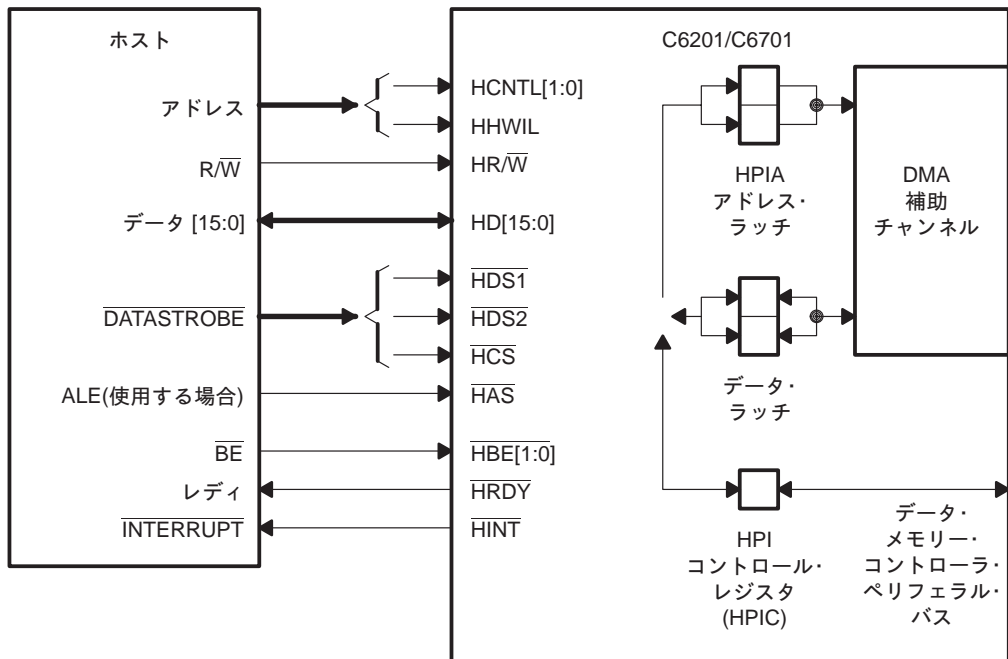
図7-3は、C6201/C6701 HPIの簡略化されたブロック図を示します。

HPIでは、連続する16ビット転送を自動的に組み合わせることにより、経済的な16ビット外部インターフェイスで32ビット・データをCPUに提供します。ホスト・デバイスが、HPIDを通じてデータを転送すると、DMA補助チャンネルが、CPUのメモリー領域をアクセスします。

16ビット・データ・バスであるHD[15:0]は、ホストとの間で情報を交換します。チップのアーキテクチャが32ビットのワード構造であるため、ホストとの転送は、すべて、16ビット・ハーフ・ワードを2回連続させた形で行われます。HPIのデータライトのアクセス(HPID)があるとき、 $\overline{\text{HBE}}[1:0]$ バイト・イネーブルは、ライトするべきバイトを選択します。HIPA、HPIC、それにHPIDに対するリード・アクセスには、バイト・イネーブルは使用されません。専用のHHWILピンは、2つのハーフ・ワードのうちどちらが転送されているかを示します。内部コントロール・レジスタのビットで、ワードの上位のハーフ・ワードに、どちらのハーフ・ワードを置いたのかを決定します。フル・ワードのアクセスでは、ホストは、HPIのアクセス中に、最初のハーフ・ワードと2番目のハーフ・ワード(HHWIL ロー/ハイ)の順番を変えることはできません。

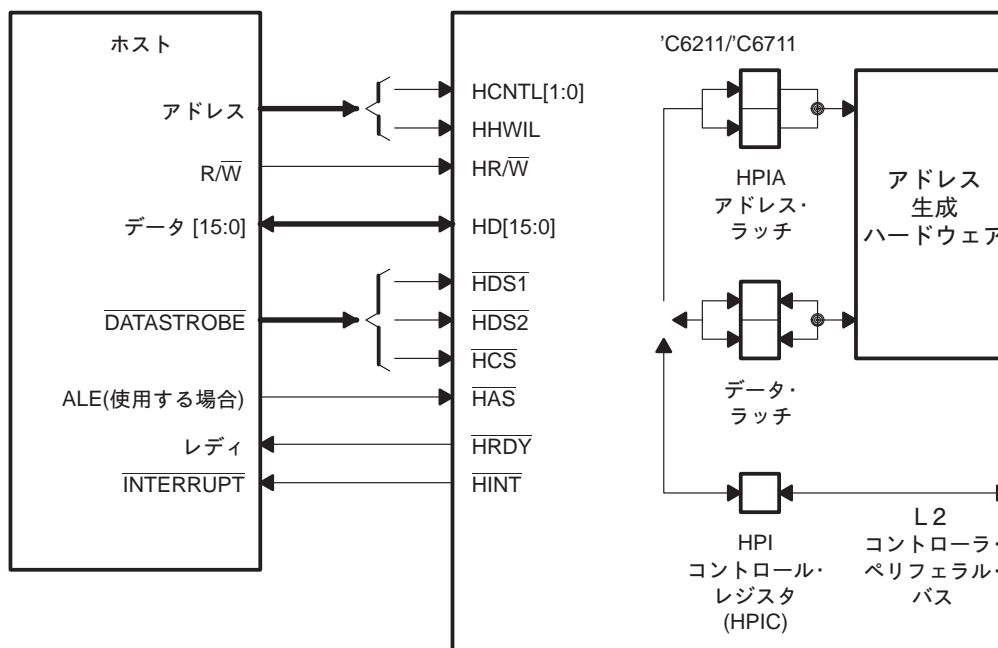
7

図7-3. HPIブロック図



C6211/C6711のピン・インターフェイスは、表7-4に示すように、バイト・イネーブル(C6211/C6711では/HBE[1:0])がないこと以外はC6211と同様です。16ビット・バスHD[15:0]を通じたすべてのアクセスは、ハーフ・ワードのペアで行われます。

図7-4. TMS320C6211/C6711のHPIブロック図



2つのデータ・ストロブ( $\overline{\text{HDS1}}$ と $\overline{\text{HDS2}}$ )、リード/ライト・セレクト( $\overline{\text{HR/W}}$ )、それにアドレス・ストロブ( $\overline{\text{HAS}}$ )により、HPIは、追加のロジックなしに、または、僅かのロジックの追加により、業界標準となっている様々なホスト・デバイスとのインターフェイスを可能とします。HPIは、マルチプレクスされた、または、専用のアドレス/データ・バス、データ・ストロブ、それにリード/ライト・ストロブ、またはリードとライト個別のストロブを持つホストとのインターフェイスを簡単に行なうことができます。

HCNTL[1:0]コントロール入力は、どのHPIレジスタがアクセスされているかを示します。これらの入力により、ホストは、HPIA(ソースまたはデスティネーション領域へのポインタとして機能します)、HPIC、またはHPIDのうち、どれに対してアクセスしているかを特定します。これらの入力とHHWILは、一般に、ホストのアドレス・バスのビット、またはそれらを使用した回路によって直接ドライブされます。ホストは、HPICへのライトによりCPUへの割り込みを発生させることができ、CPUは、 $\overline{\text{HINT}}$ 出力をアクティブとすることによりホストへの割り込みを発生させることができます。

ホストは、HPIAのオプションである自動アドレス・インクリメントの状態ではHPIDにアクセスすることができます。この機能により、連続した領域へのリード/ライトを簡単に行なうことができます。また、自動インクリメントを使用したHPIDリードでは、データは、自動的にインクリメントされたアドレスからプリフェッチされ、次のホストからのリード・リクエストに対するレイテンシを減らすことができます。

HPIレディ・ピン( $\overline{\text{HRDY}}$ )により、ホストのウェイト・ステートを挿入することができます。メモリー・マッピングされた領域がHPIを介してアクセスされる場合のレイテンシやホストのアクセスの速度に応じ、ウェイト・ステートが必要となる場合があります。ホストのアクセス速度によっては、ホストが直前のHPIDライト・アクセスやプリフェッチされたHPIDのリード・アクセスが終了する前にホストポートをアクセスしようとするにより、ノットレディの状態となる場合も考えられます。この場合には、HPIは、 $\overline{\text{HRDY}}$ によりホストを切り離します。 $\overline{\text{HRDY}}$ により、ホストのアクセス速度を自動的に(ソフトウェア・ハンドシェイクを使わずに)DMA補助チャンネルからのデータ配信の速度にあわせるといったことが簡単にできます。 $\overline{\text{HRDY}}$ ピンを利用できないようなハードウェア・システムでは、HPICのHRDYビットを使ってソフトウェア・ハンドシェイクを行なうこともできます。



## 7.2 HPIの信号の解説

HPIインターフェイスの外部信号は、さまざまなホスト・デバイスとの間で柔軟なインターフェイスを実現できるように設計されています。表7-1に、HPIのピンとその機能を示します。この節では、それぞれのピンについて詳しく説明します。

表7-1. HPI外部インターフェイス信号

信号名	信号種別 <sup>†</sup>	信号数	ホストの接続	信号の機能
HD[15:0]	I/O/Z	16	データ・バス	
HCNTL[1:0]	I	2	アドレスまたはコントロール線	HPIアクセス・タイプ制御
HHWIL	I	1	アドレスまたはコントロール線	ハーフ・ワード識別入力
$\overline{\text{HAS}}$	I	1	アドレス・ラッチ・イネーブル (ALE)またはアドレス・ストロープまたは未使用(プルアップ)	ホストのマルチプレクスされたアドレス/データに対してアドレスとデータを区別
$\overline{\text{HBE}}[1:0]$	I	2	バイト・イネーブル	データライトのバイト・イネーブル
$\overline{\text{HR}}/\overline{\text{W}}$	I	1	リード/ライト ストロープ、アドレス線、またはマルチプレクスされたアドレス/データ	リード/ライト 選択
$\overline{\text{HCS}}$	I	1	アドレスまたはコントロール線	データ・ストロープ入力
$\overline{\text{HDS}}[1:2]$	I	1 1	リード・ストロープ及びライト・ストロープまたはデータ・ストロープ	データ・ストロープ入力
$\overline{\text{HRDY}}$	O	1	非同期レディ	現在のHPIアクセスのレディ状態
$\overline{\text{HINT}}$	O	1	ホスト割り込み入力	ホストへの割り込み信号

<sup>†</sup> I=入力、O=出力、Z=ハイ・インピーダンス

### 7.2.1 データ・バス:HD[15:0]

HD[15:0]は、パラレル、双方向、スリーステートのデータ・バスです。HPIのリード・アクセスの実行中を以外は、ハイ・インピーダンス状態とされます。

### 7.2.2 アクセス・コントロール選択:HCNTL[1:0]

HCNTL[1:0]は、アクセスされている内部HPIレジスタを示します。これらの2つのピンの状態により、HPIアドレス(HPIA)、HPIデータ(HPID)、またはHPIコントロール(HPIC)レジスタへのアクセスを選択します。また、HPIDレジスタは、オプションの自動アドレス・インクリメントによりアクセスすることができます。表7-2に、HCNTL[1:0]ビットの機能を示します。

表7-2. HPI 入力コントロール信号機能選択の解説

HCNTL1	HCNTL0	解説
0	0	ホストによるHPIコントロールレジスタ(HPIC)のリードまたはライト
0	1	ホストによるHPIアドレスレジスタ(HPIA)のリードまたはライト
1	0	ホストによるHPIデータレジスタ(HPID)のリードまたはライト。HPIアドレスレジスタ(HPIA)は、ワード・アドレス単位(4バイト・アドレス)でポストインクリメントされる
1	1	ホストによるHPIデータレジスタ(HPID)のリードまたはライト、HPIアドレスレジスタ(HPIA)への影響なし

### 7.2.3 ハーフ・ワード識別選択: HHWIL

HHWILは、転送が最初のハーフ・ワードであるか2番目のハーフ・ワードであるかを判断しますが、最上位のハーフ・ワードであるか最下位のハーフ・ワードであるかは判断しません。この章で説明するHPICレジスタのHWOBビットの状態が、どちらのハーフ・ワードが最下位であるか最上位であるかを決定します。HHWILは、最初のハーフ・ワードについてはロー、2番目のハーフ・ワードについてはハイとなります。

C6211/C6711ではバイト・イネーブル・ピンはないので、HHWILとHWOBによって、データレジスタHPID内のハーフ・ワードの位置を特定します。これを、エンディアンによる最下位アドレス・ビットと合わせて、表7-3に示します。

表7-3. HPIデータ・ライト・アクセス

データタイプ リトル・エンディアン(LE)/ ビッグ・エンディアン(BE)	HWOB	最初のライト (HHWIL=0)/ 論理LSB アドレス・ビット	2番目のライト (HHWIL=1) 論理LSB アドレス・ビット
ハーフ・ワード リトル・エンディアン(LE) ビッグ・エンディアン(BE)	0	上位ハーフ・ワード LE=10 BE=00	下位ハーフ・ワード LE=00 BE=10
ハーフ・ワード リトル・エンディアン(LE) ビッグ・エンディアン(BE)	1	下位ハーフ・ワード LE=00 BE=10	上位ハーフ・ワード LE=10 BE=00
ワード リトル・エンディアン(LE) ビッグ・エンディアン(BE)	0	上位ハーフ・ワード LE=00 BE=00	下位ハーフ・ワード LE=00 BE=00
ワード リトル・エンディアン(LE) ビッグ・エンディアン(BE)	1	下位ハーフ・ワード LE=00 BE=00	上位ハーフ・ワード LE=00 BE=00

#### 7.2.4 バイト・イネーブル: $\overline{\text{HBE}}[1:0]$

HPIDへのライト時に、 $\overline{\text{HBE}}[1:0]$ の値が、32ビット・ワードのうちどのバイトに書かれるのかを示します。 $\overline{\text{HBE}}[1:0]$ の値は、HPIAやHPICへのアクセス、HPIDのリードに対しては重要ではありません。HPIDでのライト時に、 $\overline{\text{HBE}}0$ が、ハーフ・ワードの中の最下位バイトをイネーブルし、 $\overline{\text{HBE}}1$ が、ハーフ・ワードの中の最上位バイトをイネーブルします。表7-4に、バイト・イネーブルの有効な組み合わせを示します。バイトのライトに対しては、2つのハーフ・ワード・アクセスにおいて1度だけ $\overline{\text{HBE}}$ がイネーブルされます。ハーフ・ワードのデータライトに対しては、どちらかの(双方ではない)のハーフ・ワード・アクセスにおいて双方の $\overline{\text{HBE}}$ がアクティブ(ロー)とされなければなりません。ワード・アクセスに対しては、双方のハーフ・ワード・アクセスにおいて両方の $\overline{\text{HBE}}$ がアクティブ(ロー)とされなければなりません。その他の組み合わせは無効です。バイト・イネーブルとCPUのエンディアン(LENDIANピンにより選択)により、アクセスする論理アドレスが決定されます。

表7-4. HPIデータ・ライト・アクセスにおけるバイト・イネーブル

データ・ライト・タイプ	HBE[1:0]				有効論理アドレス LSB (バイナリ)	
	HWOB=0	最初のライト HHWIL=0	2番目のライト HHWIL=1			
	HWOB=1	2番目のライト HHWIL=1	最初のライト HHWIL=0	リトル・エンディアン	ビッグ・エンディアン	
バイト		11	10	00	11	
バイト		11	01	01	10	
バイト		10	11	10	01	
バイト		01	11	11	00	
ハーフ・ワード		11	00	00	10	
ハーフ・ワード		00	11	10	00	
ワード		00	00	00	00	

### 7.2.5 リード/ライト選択: $\overline{HR/W}$

$\overline{HR/W}$ は、ホストのリード/ライト選択の入力です。ホストは、HPIのリードには $\overline{HR/W}$ をハイに、ライトにはローにドライブしなければなりません。リード/ライト選択出力か、リードまたはライトのストローブのないホストでは、アドレス線の1つをこの機能に使用することができます。

### 7.2.6 レディ: $\overline{HRDY}$

アクティブ(ロー)のときには、 $\overline{HRDY}$ は、HPIが転送に対してレディ状態にあることを示します。アクティブでないときには、 $\overline{HRDY}$ は、HPIが現行のリード・アクセス、直前のHPIDのリード・プリフェッチまたはライト・アクセスのための内部処理のためにビジー状態であることを示します。

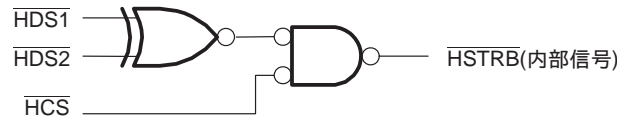
### 7.2.7 ストローブ: $\overline{HCS}$ , $\overline{HDS1}$ , $\overline{HDS2}$

$\overline{HCS}$ 、 $\overline{HDS1}$ 、それに $\overline{HDS2}$ は、次のいずれかを持っているホストとの接続を許可します。

- リード/ライト・セレクト付きのシングル・ストローブ出力
- 独立したリードとライトのストローブ出力。この場合には、リードまたはライトの選択は、アドレスの違いを利用して行われます。

図7-5に、 $\overline{\text{HCS}}$ 、 $\overline{\text{HDS1}}$ 、それに $\overline{\text{HDS2}}$ 入力の等価回路を示します。

図7-5. 入力論理の選択



$\overline{\text{HCS}}$ 、 $\overline{\text{HDS1}}$ 、それに $\overline{\text{HDS2}}$ を組み合わせることで、内部 $\overline{\text{HSTRB}}$ 信号をアクティブ(ロー)とすることができます。 $\overline{\text{HCS}}$ がアクティブで、かつ、 $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ のどちらか(双方ではない)がアクティブのときにだけ $\overline{\text{HSTRB}}$ はアクティブとなります。 $\overline{\text{HSTRB}}$ の立ち下がり時に $\overline{\text{HAS}}$ がインアクティブ(ハイ)にプル・アップされている場合、 $\text{HCNTL}[1:0]$ 、 $\text{HHWIL}$ 、それに $\text{HR}/\overline{\text{W}}$ がサンプルされます。このため、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$ 、それに $\overline{\text{HCS}}$ のうち一番遅いものがサンプリング・タイムを制御します。 $\overline{\text{HCS}}$ は、HPIのイネーブル入力として使用され、アクセスの間、ローに保たれていなければなりません。しかしながら、実際にアクセスの境界を決定する信号は $\overline{\text{HSTRB}}$ であるので、 $\overline{\text{HDS1}}$ と $\overline{\text{HDS2}}$ の双方が適切に遷移する限り、 $\overline{\text{HCS}}$ は、連続する複数のアクセスの間、ローに保たれていてもかまいません。

独立したリードとライトのストロブを持ったホストでは、これらのストロブを $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ のいずれかに接続します。単一のデータ・ストロブを持ったホストでは、これを $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ のいずれかに接続し、未使用のピンをプル・アップとします。 $\overline{\text{HDS1}}$ と $\overline{\text{HDS2}}$ の接続に関係なく、 $\text{HR}/\overline{\text{W}}$ は転送の方向を決定するために必要とされます。 $\overline{\text{HDS1}}$ と $\overline{\text{HDS2}}$ は、内部的に排他的論理和をとられているため、アクティブ・ハイのデータ・ストロブを持ったホストでは、このストロブを $\overline{\text{HDS1}}$ または $\overline{\text{HDS2}}$ のいずれかに接続し、他方をプル・ダウンしなければなりません。

$\overline{\text{HSTRB}}$ は、次の4つの目的に使用されます。

- 1) リード時には、 $\overline{\text{HSTRB}}$ の立ち下がりエッジにより、すべてのアクセス・タイプに対するHPIのリード・アクセスが始まります。
- 2) ライト時には、 $\overline{\text{HSTRB}}$ の立ち上がりエッジにより、すべてのアクセス・タイプに対するHPIのライト・アクセスが始まります。
- 3) 立ち下がりエッジにより、 $\text{HHWIL}$ 、 $\text{HR}/\overline{\text{W}}$ 、それに $\text{HCNTL}[1:0]$ を含むHPIコントロール用の入力がラッチされます。 $\overline{\text{HAS}}$ も、コントロール入力のラッチに影響します。 $\overline{\text{HAS}}$ については、7.2.8節を参照してください。
- 4)  $\overline{\text{HSTRB}}$ の立ち上がりエッジにより、 $\overline{\text{HBE}}[1:0]$ 入力とライトするデータがラッチされます。

$\overline{\text{HCS}}$ は、 $\overline{\text{HRDY}}$ 出力をゲートします。すなわち、ノットレディの状態は、 $\overline{\text{HCS}}$ がアクティブ(ロー)の場合のみで、 $\overline{\text{HRDY}}$ ピンが、ハイにドライブされることにより示されます。それ以外の場合には、 $\overline{\text{HRDY}}$ はアクティブ(ロー)です。

## 7.2.8 アドレス・ストロブ入力: $\overline{\text{HAS}}$

$\overline{\text{HAS}}$ 入力を使って $\text{HCNTL}[1:0]$ 、 $\text{HHWIL}$ 、 $\text{HR}/\overline{\text{W}}$ をサンプルする場合、これらの信号をアクセス・サイクルの早い段階でサンプルできるので、バス・ステートをアドレスからデータ情報

に切りかえる時間を取ることができます。この機能により、アドレスとデータがマルチプレクスされたタイプのバスとのインターフェイスが容易になります。このタイプのシステムでは、アドレス・ラッチ・イネーブル(ALE)信号がしばしば用いられ、通常、この信号が $\overline{\text{HAS}}$ に接続されます。

アドレス・バスとデータ・バスがマルチプレクスされたホストでは、 $\overline{\text{HAS}}$ を、ALEまたはこれと等価なピンに接続します。HHWIL、HCNTL[1:0]、それに $\text{HR}/\overline{\text{W}}$ は、 $\overline{\text{HAS}}$ の立ち下がりがエッジでラッチされます。 $\overline{\text{HAS}}$ が使用される場合には、 $\overline{\text{HAS}}$ は、 $\overline{\text{HCS}}$ 、 $\overline{\text{HDS1}}$ 、または $\overline{\text{HDS2}}$ のうちいずれか遅い信号よりは早くアクティブにしなければなりません。分離したアドレスとデータのバスを持ったホストでは、 $\overline{\text{HAS}}$ をプルアップしておくことができます。この場合には、HHWIL、HCNTL[1:0]、それに $\text{HR}/\overline{\text{W}}$ は、 $\overline{\text{HAS}}$ がインアクティブ(ハイ)の間に、 $\overline{\text{HDS1}}$ 、 $\overline{\text{HDS2}}$ 、または $\overline{\text{HCS}}$ のうち最もタイミングの遅い信号の立ち下がりがエッジによりラッチされます。

### 7.2.9 ホストへの割り込み: $\overline{\text{HINT}}$

$\overline{\text{HINT}}$ は、ホスト割り込み出力であり、HPICのHINTビットによって制御されます。このビットは、チップがリセットされている間は、0にセットされます。この信号については、7.3.4節で詳しく説明します。 $\overline{\text{HINT}}$ ピンも、リセット時に、ハイとなります。

### 7.2.10 HPIバス・アクセス

図7-6と図7-8に、 $\overline{\text{HAS}}$ が使用されない場合のHPIのアクセス・タイミングを示します。図7-7と図7-9は、 $\overline{\text{HAS}}$ が使用される場合のHPIのアクセス・タイミングを示します。 $\overline{\text{HSTRB}}$ は、図7-5で示すように、内部的に生成されたストロブ信号を表します。制御信号であるHCNTL[1:0]、 $\text{HR}/\overline{\text{W}}$ 、HHWIL、それに $\overline{\text{HBE}}[10:0]$ は、基本的にホストによってドライブされます。HCNTL[1:0]と $\text{HR}/\overline{\text{W}}$ は、両方のハーフ・ワード・アクセスに対して同じ値をとるはずですが、HHWILについては、最初のハーフ・ワードの転送については、ロー・レベル、2番目のハーフ・ワードについては、ハイ・レベルである必要があるため、分離して表示してあります。 $\overline{\text{HAS}}$ が使用されない(図7-6に示すように、プルアップされている)場合には、 $\overline{\text{HSTRB}}$ の立ち下がりがエッジでこれらの信号をラッチします。図7-7と図7-9に示すように、 $\overline{\text{HAS}}$ が使用されている場合には、 $\overline{\text{HAS}}$ の立ち下がりがエッジによりこれらの値をラッチします。この場合には、 $\overline{\text{HAS}}$ の立ち下がりがエッジは、 $\overline{\text{HSTRB}}$ の立ち下がりがエッジよりも先行しなければなりません。リード時には、データは、 $\overline{\text{HSTRB}}$ の立ち下がりがエッジからしばらくして、有効となります。HPIDに、まだ有効なデータがない場合には、データは、 $\overline{\text{HRDY}}$ の立ち下がりがエッジでセット・アップされ、 $\overline{\text{HSTRB}}$ の立ち上がりエッジまで保持されます。ライト時には、ホストは、 $\overline{\text{HSTRB}}$ の立ち上がりエッジでデータと $\overline{\text{HBE}}[1:0]$ をセット・アップしなければなりません。HPIは、16ビットの外部インターフェイスを通じて、32ビット・データをCPUに送ります。これは、2つの連続したハーフ・ワード転送の組み合わせにより自動的に行われます。

$\overline{\text{HRDY}}$ が、ローのときには、HPIが転送の実行についてレディ状態となっています。 $\overline{\text{HCS}}$ は $\overline{\text{HRDY}}$ をイネーブルし、 $\overline{\text{HRDY}}$ は、 $\overline{\text{HCS}}$ がハイのときには、常にローとなっています。

図7-6と図7-7に示す例1では、 $\overline{\text{HCS}}$ の立ち下がりで $\overline{\text{HRDY}}$ が立ち上がっていますが、これは、HPIが、直前のHPIDライト、または自動インクリメントを伴った直前のHPIDライトまたはリードのためにビジー状態となっていることを示しています。

ホストが、HPIDからの自動インクリメントなしのリード・アクセスを実行するときには、HPIは、リード・リクエストをDMA補助チャンネルに送り、 $\overline{\text{HRDY}}$ がハイとなります。このイベントは、 $\overline{\text{HSTRB}}$ の最初の立ち下がりエッジで発生します。 $\overline{\text{HRDY}}$ は、DMA補助チャンネルがリクエストされたデータをHPIDにロードするまで、ハイ・レベルを保持します。2番目のリード・アクセス時には、最初の時点で、データはすでにHPIDの中にあります(DMA補助チャンネルは、ワード・リードを実行します)。このように、2番目のハーフ・ワードHPIDリードでは、ノット・レディの状態となることなく、 $\overline{\text{HRDY}}$ はロー・レベルを保持します。

HPIDの自動インクリメント付きのリード・アクセスでは、次のアドレスによって指し示されるデータは、現行のリードが完了するとすぐにフェッチされます。このため、現行のリードの2番目のハーフ・ワードの転送( $\overline{\text{HSTRB}}$ の2番目の立ち上がりエッジ)の後で、 $\overline{\text{HRDY}}$ は再びハイ・レベルとなり、HPIがデータのプリフェッチのためにビジー状態であることを示します。HPIDのライト・アクセスの間に、HPIDへの2つのハーフ・ワードがホストから転送されます。このライト・アクセスの終わりに、 $\overline{\text{HRDY}}$ はハイ・レベルとなり( $\overline{\text{HSTRB}}$ の2番目の立ち上がりエッジ)、HPIDの内容は、HPIAで指定されたアドレスへ、32ビット・ワードとして転送されます。HPICやHPIAとのリードやライトは、 $\overline{\text{HRDY}}$ 信号に影響を与えません。

図7-6. HPIリードのタイミング( $\overline{\text{HAS}}$ 不使用、プルアップ)

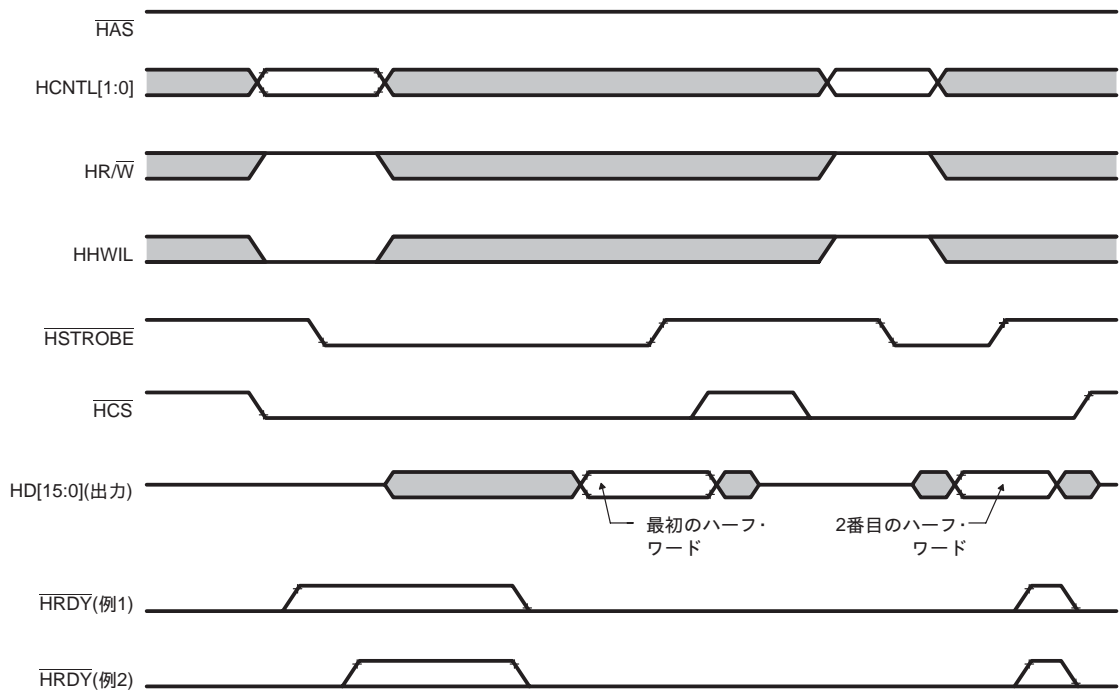


図7-7. HPIリードのタイミング( $\overline{\text{HAS}}$ 使用)

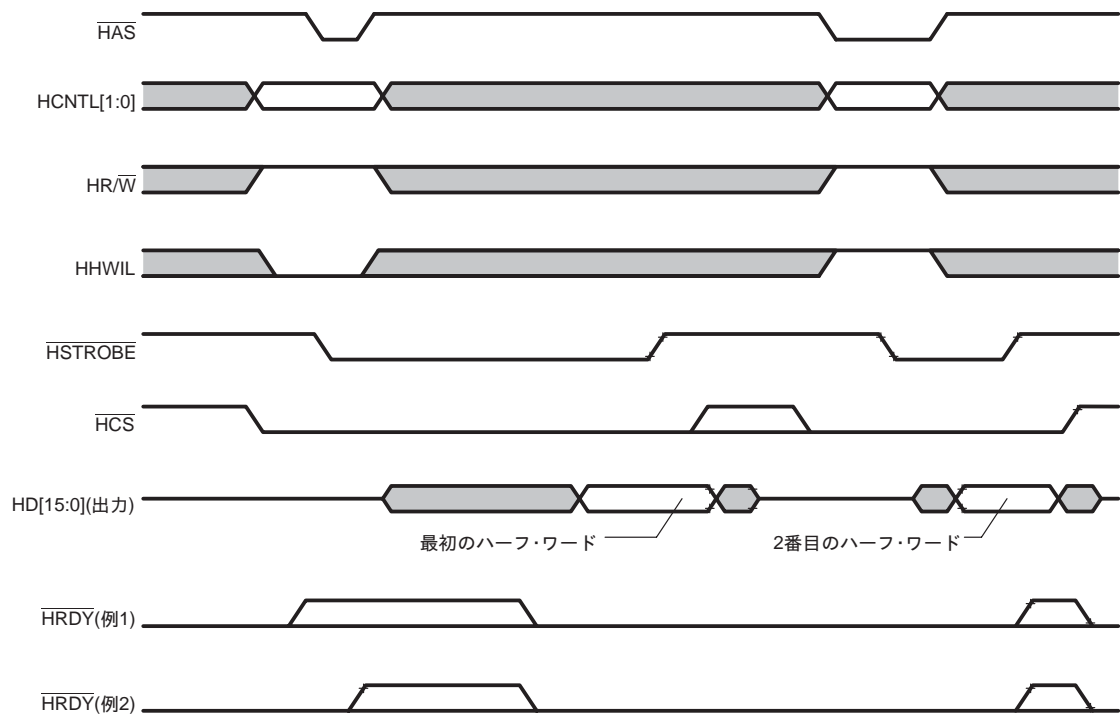
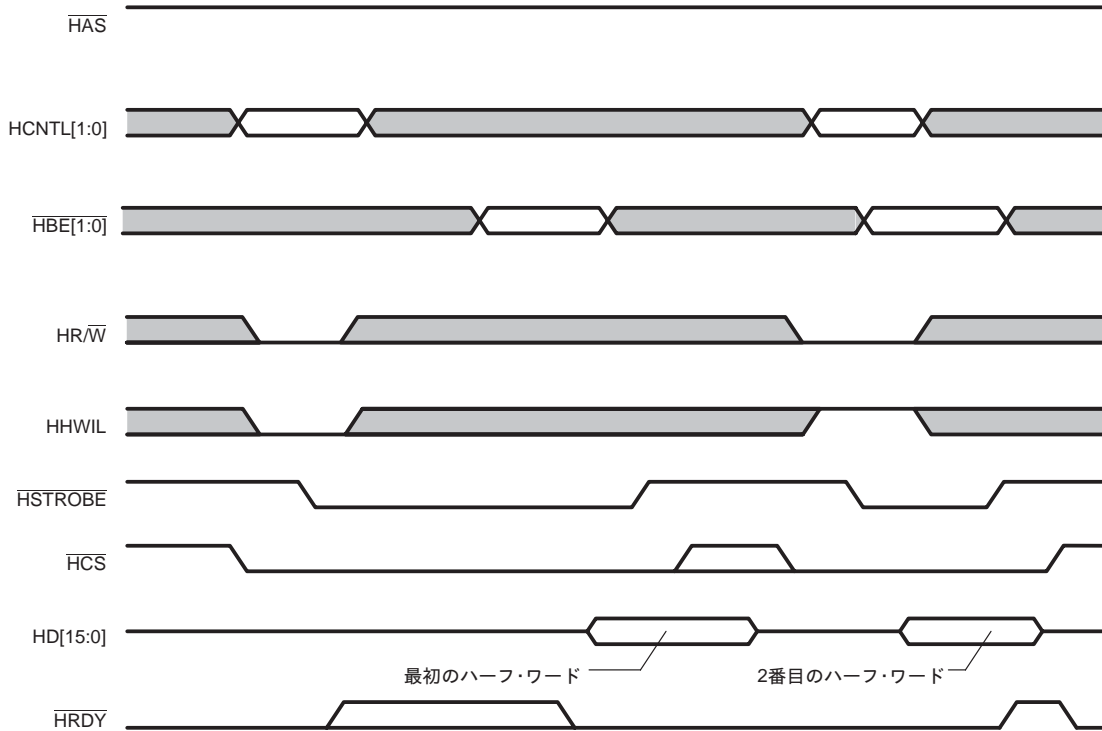
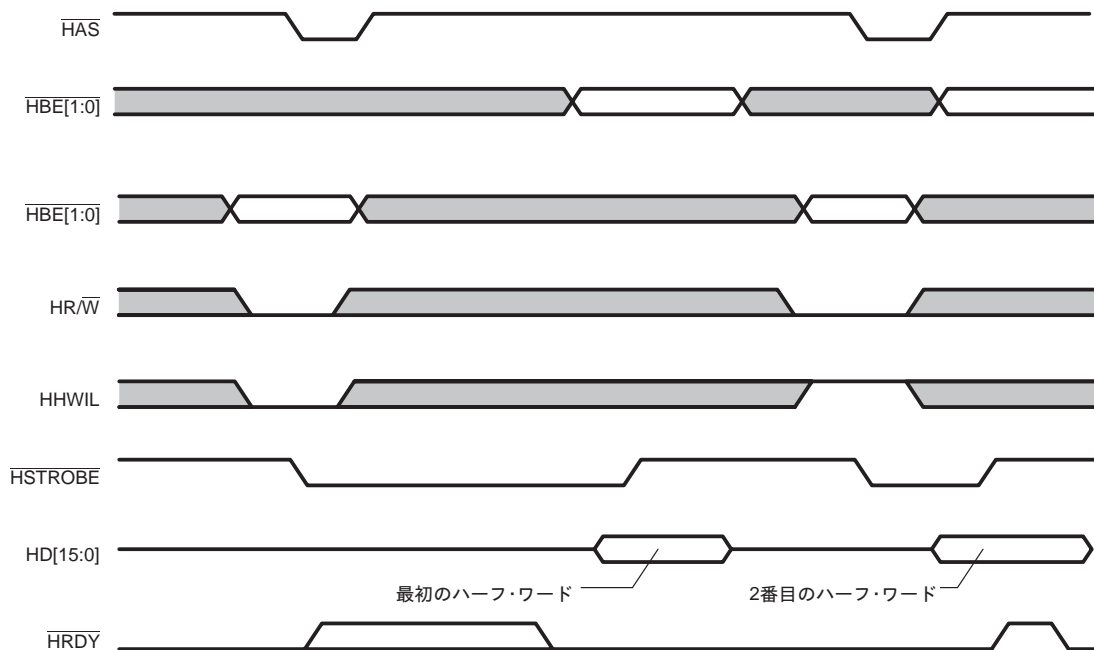




図7-8. HPIライトのタイミング( $\overline{\text{HAS}}$ 不使用、プルアップ)図7-9. HPIライトのタイミング( $\overline{\text{HAS}}$ 使用)

### 7.3 HPIレジスタ

表7-5は、HPIがホスト・デバイスとCPUの間のコミュニケーションに使用する3つのレジスタをまとめたものです。HPIDは、現行のアクセスがリードであれば、HPIがメモリーへのアクセスによりリードしたデータを保持しており、現行のアクセスがライトであれば、HPIによってメモリーにライトされるデータを保持しています。HPIAは、現行のアクセスが発生した時点でHPIによりアクセスされるメモリーのアドレスを保持しています。このアドレスは、30ビット・ワードのアドレスとなっており、このため、最下位の2ビットはHPIAによるライトによっては影響を受けず、常に0がリードされます。

表7-5. HPIのレジスタの解説

レジスタ略号	レジスタ名	ホスト リード/ライト アクセス	CPU リード/ライト アクセス	CPU リード/ライト (16進バイト・アドレス)
HPID	HPI データ	RW	—	—
HPIA	HPI アドレス	RW	—	—
HPIC	HPI コントロール	RW	RW	0188 0000h

#### 7.3.1 HPIコントロール・レジスタ(HPIC)

図7-10に示され、表7-6で説明されるHPICは、コンフィギュレーション・ビットの設定とインターフェイスの初期化のために、通常の場合、最初にアクセスされるレジスタです。HPICは、32ビットのレジスタとして構成されており、上位のハーフ・ワードと下位のハーフ・ワードは同じ内容を持っています。ホストのライトにおいては、ハーフ・ワードの双方が同一である必要があります。下位のハーフ・ワードと上位のハーフ・ワードは、実際に、同じ場所に格納されています。リードのみ可能な予約ビットは、実際の格納はされていません。HPICの値とHPIの動作は、CPUによる下位のハーフ・ワードへのライトによってのみ影響されます。

図7-10. HPIC レジスタ

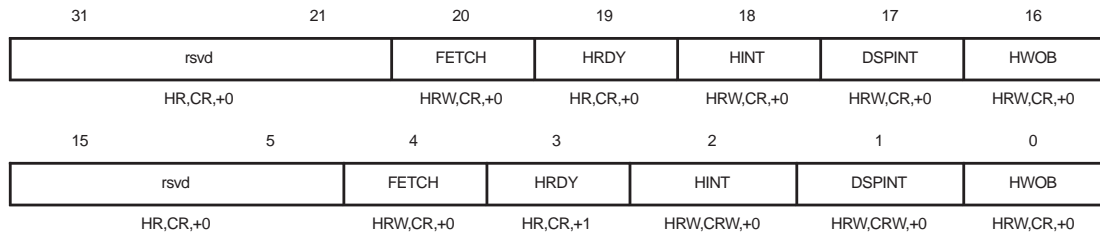


表7-6. HPIコントロール・レジスタ(HPIC)ビットの解説

ビット	解説	参照
HWOB	<p>ハーフ・ワード・オーダリング・ビット</p> <p>HWOB=1では、最初のハーフ・ワードが下位となります。HWOB=0では、最初のハーフ・ワードが上位となります。HWOBは、データ転送とアドレス転送の双方に影響を与えます。このビットは、ホストによってのみ書き換え可能です。HWOBは、最初のデータ・レジスタまたはアドレス・レジスタに対するアクセスの前に初期化する必要があります。</p>	7.4
DSPINT	<p>ホスト・プロセッサからCPU/DMAへの割り込みです。</p>	7.3.3
HINT	<p>DSPからホストへの割り込みです。このビットのNOTにより、CPUのHINT出力状態が判定できます。</p>	7.3.4
HRDY	<p>ホストへのレディ信号です。(HRDYピンと違って)HCSによってマスクされません。HRDY=0であれば、内部バスがHPIデータ・アクセス・リクエストの終了待機中です。</p>	7.3.2
FETCH	<p>ホストのフェッチ・リクエストです。</p> <p>このレジスタ・フィールドからのホストまたはCPUによるリード値は、常に0です。</p> <p>ホストがこのビットに1をライトすることにより、HPIAで指し示されるアドレスのワードに対するHPIDへのフェッチのリクエストが発行されます。ただし、ライト値の1は、このビットに実際にライトされるわけではありません。</p>	7.3.2

### 7.3.2 HRDYとFETCHによるソフトウェア・ハンドシェーク

これまでに説明したように、 $\overline{\text{HRDY}}$ ピンは、ホストに対してHPIDのアクセスが終了していないことを示します。例えば、現行のHPIDアクセスは、直前のHPIDのライト・アクセスの終了または直前のHPIDプリフェッチ・リードの終了の待機中であるかもしれません。また、現行のHPIDリード・アクセスが、リクエストしたデータの到着の待機中であるかも知れません。HPICレジスタのHRDYビットとFETCHビットは、ハードウェア・レディ・コントロールのないシステムにおいて、HPI接続のためのソフトウェア・ハンドシェークを行なうことができます。FETCHビットとHRDYビットは、リード転送を行うために、次のように使用することができます。

- 1) ホストが、ポーリングによりHPICのHRDYビットが1であることを確認します。
- 2) ホストが、HPIAに適当な値をライトします。HPIAにすでに値がセットされている場合には、このステップをスキップします。
- 3) ホストが、FETCHビットに1をライトします。
- 4) ホストが、もう一度HRDY=1のポーリングを行ないます。
- 5) ホストが、HPIDのリード動作を行ないます。ここで、HPIは、すでにレディ状態にあります(HRDY=1)。
- 6) ポストインクリメントのリードの場合には、ステップ4に行きます。同じ位置からリードを行なうには、ステップ3に行きます。違うアドレスで行なうには、ステップ2に行きます。

HRDYビットだけで次のようにライト動作を行なうことができます。

- 1) ホストが、HRDY=1のポーリングを行ないます。
- 2) ホストが、HPIAに適当な値をライトします。(HPIAにすでに値がセットされている場合には、このステップをスキップします。)
- 3) ホストが、HPIDのライト動作を実行します。もう一度ライト動作を行なうためには、ステップ1に行きます。

### 7.3.3 DSPINTによるホスト・デバイスからCPUへの割り込みの発生

ホストは、HPICのDSPINTビットへのライトによりCPUに対する割り込みを発生することができます。DSPINTビットは、内部のDSPINT信号に直接反映されます。DSPINT=0の状態ではDSPINT=1のライトを行なうと、ホストは、DSPINT信号をローからハイへ遷移させます。割り込みセクタによりDSPINT割り込みが選択されている場合には、CPUは、割り込みの条件としてDSPINTの遷移を検出します。CPUは、DSPINTに1をライトすることにより、DSPINTビットをクリアすることができます。ホストまたはCPUからのDSPINT=0のライトは、DSPINTのビットや信号に影響を与えません。

### 7.3.4 $\overline{\text{HINT}}$ によるCPUからホストへの割り込みの発生

CPUは、HPICのHINTビットへのライトにより、 $\overline{\text{HINT}}$ 信号に対して、アクティブな割り込み条件を送ることができます。HINTビットは、反転され $\overline{\text{HINT}}$ ピンに直接反映されます。CPUは、HINT=1のライトにより、 $\overline{\text{HINT}}$ をアクティブにすることができます。ホストは、HINTに1をライトすることにより、 $\overline{\text{HINT}}$ をクリアして、インアクティブとすることができます。ホストまたはCPUからのHINT=0のライトは、HINTビットや $\overline{\text{HINT}}$ 信号に影響を与えません。

HINTビットは、ホスト・インターフェイスの側で2回に分けてリードされます。ホストによる1度目と2度目のハーフ・ワードリード結果は、CPUがこれらのリード動作の間にこのビットの状態を書き換えている場合には、互いに異なったものとなります。

## 7.4 ホスト・アクセスのシーケンス

ホストは、次の処理を下記の手順の通り実行することで、HPIアクセスを開始します。

- 1) HPICレジスタの初期化
- 2) HPIAレジスタの初期化
- 3) HPIDレジスタとの間のデータライト、または、データリード

HPIDとの間でリードまたはライトを行なうことにより、HPIDとDMA補助チャンネルの間での希望するデータの転送が開始されます。ホストによりHPIレジスタをアクセスするには、HPIバス上での2つのハーフ・ワード・アクセス:最初のハーフ・ワードをHHWILがローの状態、次のハーフ・ワードをHHWILがハイの状態で行なうことが必要です。通常は、ホストは、最初のハーフ・ワード/次のハーフ・ワード(HHWIL ロー/ハイ)のシーケンスを分離しません。このシーケンスが壊れると、データが失われ、好ましくない実行結果となる場合があります。最初のハーフ・ワードのアクセスのために、直前のHPIのリクエストの終了を待たなければならない場合があります。直前のリクエストとしては、HPIDのライトやブリフエッチされたHPIDのリードが含まれます。このため、HPIは、HPIがこのリクエストを開始できるようになるまで、 $\overline{\text{HRDY}}$ をインアクティブ( $\overline{\text{HRDY}}$ をハイ)の状態とします。2番目のハーフ・ワードのアクセスでは、最初のハーフ・ワードのアクセスのときにはそれまでのアクセスがすべて完了しているため、常に、 $\overline{\text{HRDY}}$ がアクティブの状態にあります。

### 7.4.1 HPICとHPIAによるホストの初期化

データにアクセスする前に、ホストは、HPICレジスタのHWOBビット、次いでHPIAの順に(HWOBはHPIAのアクセスに影響を与えるためこの順序で行なう必要があります)初期化を行なう必要があります。HWOBの初期化の後で、ホストは、正しいハーフ・ワードのアライメントで、HPIAへのライトを行なうことができます。表7-7と表7-8は、それぞれ、HWOB=1、HWOB=0のときの初期化シーケンスをまとめたものです。この例では、HPIAは80001234hに設定されます。これらのアクセスのすべてにおいて、HPICレジスタのHRDYビットがセットされます。表の中の“?”は、値が不定であることを示します。

ホスト・アクセスのシーケンス

表7-7. HWOB=1とHPIAの初期化

イベント	アクセス中の値					アクセス後の値		
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HHWIL	HPIC	HPIA	HPID
ホストからHPICへの最初のハーフ・ワードのライト	0001	xx	0	00	0	00090009	????????	????????
ホストからHPICへの2番目のハーフ・ワードのライト	0001	xx	0	00	1	00090009	????????	????????
ホストからHPIAへの最初のハーフ・ワードのライト	1234	xx	0	01	0	00090009	???1234	????????
ホストからHPIAへの2番目のハーフ・ワードのライト	8000	xx	0	01	1	00090009	80001234	????????

注：表の中の?は、値が不定であることを示します。

7

表7-8. HOWB=0とHPIAの初期化

イベント	アクセス中の値					アクセス後の値		
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HHWIL	HPIC	HPIA	HPID
ホストからHPICへの最初のハーフ・ワードのライト	0000	xx	0	00	0	00080008	????????	????????
ホストからHPICへの2番目のハーフ・ワードのライト	0000	xx	0	00	1	00080008	????????	????????
ホストからHPIAへの最初のハーフ・ワードのライト	8000	xx	0	01	0	00080008	8000????	????????
ホストからHPIAへの2番目のハーフ・ワードのライト	1234	xx	0	01	1	00080008	80001234	????????

注：表の中の?は、値が不定であることを示します。

#### 7.4.2 自動インクリメントを伴わないHPIDリード・アクセス

HPIが初期化された後で、ホストがあるアドレスに対して自動インクリメントを伴わないリード・アクセスをしようとしていると仮定します。また、ホストがリードしようとしているワードは、アドレス80001234hにあり、そのアドレスにあるワードの値は、789ABCDEhであるとします。表7-9と表7-10は、それぞれ、HWOB=1とHWOB=0についてのこのようなアクセスをまとめたものです。最初のハーフ・ワードのアクセスがあると、HPIは、直前のリクエストがある場合には、その終了を待ちます。このとき、 $\overline{\text{HRDY}}$ ピンはハイ・レベルに保たれています。次に、HPIは、リード・リクエストをDMA補助チャンネルに送ります。ペンディングとなっているリクエストがない場合には、このリード・リクエストは、 $\overline{\text{HSTRB}}$ の立ち下がリエッジで発生します。 $\overline{\text{HRDY}}$ ピンは、DMA補助チャンネルがリクエストされたデータをHPIDにロードするまで、ハイ・レベルに保たれます。DMA補助チャンネルのリード動作は、すべてワード・リードの形で行われるため、2番目のリード・アクセスの時点で、データはすでにHPIDにあります。このようにして、2番目のハーフ・ワードHPIDリードでは、ノット・レディの状態となることなく、 $\overline{\text{HRDY}}$ ピンはアクティブのままです。この例では、HPIはワード・リードだけを行なうため、バイト・イネーブルは重要ではありません。

ホスト・アクセスのシーケンス

表7-9. HPIに対する自動インクリメントを伴わないデータ・リード・アクセス:HWOB=1

イベント	アクセス中の値						アクセス後の値		
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HRDY	HHWIL	HPIC	HPIA	HPID
HPIDからホストへの最初のハーフ・ワードのリード データ・ノット・レディ	????	xx	1	11	1	0	00010001	80001234	????????
HPIDからホストへの最初のハーフ・ワードのリード データ・レディ	BCDE	xx	1	11	0	0	00090009	80001234	789ABCDE
HPIDからホストへの2番目のハーフ・ワードのリード	789A	xx	1	11	0	1	00090009	80001234	789ABCDE

注: 表の中の?は、値が不定であることを示します。

表7-10. HPIに対する自動インクリメントを伴わないデータ・リード・アクセス:HWOB=0

イベント	アクセス中の値						アクセス後の値		
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HRDY	HHWIL	HPIC	HPIA	HPID
HPIDからホストへの最初のハーフ・ワードのリード データ・ノット・レディ	????	xx	1	11	1	0	00000000	80001234	????????
HPIDからホストへの最初のハーフ・ワードのリード データ・レディ	789A	xx	1	11	0	0	00080008	80001234	789ABCDE
HPIDからホストへの2番目のハーフ・ワードのリード	BCDE	xx	1	11	0	1	00080008	80001234	789ABCDE

注: 表の中の?は、値が不定であることを示します。

7



### 7.4.3 自動インクリメントを伴ったHPIDリード・アクセス

自動インクリメントの機能により、ホストは連続的なアクセスを効率的に行なうことができます。この機能により、ホストは、HPIDのリードとライトのアクセスの双方において、インクリメントされたアドレスをHPIAにロードするという作業から開放されます。リード・アクセスでは、現行のリードが完了するとすぐに、次のアドレスによって指し示されたデータがフェッチされます。連続したリードの間の時間は、データをプリフェッチするために使われるため、次のアクセスに対するレイテンシが削減されます。プリフェッチは、ホストがHPICレジスタにFETCH=1をライトすることによっても行われます。次のHPIアクセスがHPIDリードであれば、データは、再びフェッチされることはなく、プリフェッチされたデータがホストに送られます。その他の場合には、HPIは、プリフェッチが完了するのを待つ必要があります。

表7-11は、自動インクリメントを伴ったリード・アクセスをまとめたものです。最初のハーフ・ワード・アクセスが完了すると( $\overline{\text{HSTRB}}$ の最初の立ち上がりエッジ)、アドレスは、次のワードへとインクリメントされ、この例では8000 1238hとなります。ここで、このアドレスにあるデータは87654321hであるとしします。このデータはプリフェッチされ、HPIDにロードされます。プリフェッチの動作は、2番目のハーフ・ワード・リードの $\overline{\text{HSTRB}}$ の立ち上がりエッジにより開始します。

表7-11. HPIに対する自動インクリメントを伴ったリード・アクセス:HWOB=1

イベント	アクセス中の値						アクセス後の値		
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HRDY	HHWIL	HPIC	HPIA	HPID
HPIDからホストへの最初のハーフ・ワードのリード データ・ノット・レディ	????	xx	1	10	1	0	00010001	80001234	????????
HPIDからホストへの最初のハーフ・ワードのリード データ・レディ	BCDE	xx	1	10	0	0	00090009	80001234	789ABCDE
HPIDからホストへの2番目のハーフ・ワードのリード	789A	xx	1	10	0	1	00090009	80001234	789ABCDE
プリフェッチ データ・ノット・レディ	????	xx	x	xx	1	x	00010001	80001238	789ABCDE
プリフェッチ データ・レディ	????	xx	x	xx	0	x	00090009	80001238	87654321

注: 表の中の?は、値が不定であることを示します。

表7-12. HPIに対する自動インクリメントを伴ったリード・アクセス:HWOB=0

イベント	アクセス中の値						アクセス後の値		
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HRDY	HHWIL	HPIC	HPIA	HPID
ホストによる最初のハーフ・ワードのリード データ・ノット・レディ	????	xx	1	10	1	0	00000000	80001234	????????
ホストによる最初のハーフ・ワードのリード データ・レディ	789A	xx	1	10	0	0	00080008	80001234	789ABCDE
ホストによる2番目のハーフ・ワードのリード	BCDE	xx	1	10	0	1	00080008	80001234	789ABCDE
プリフェッチ データ・ノット・レディ	????	xx	x	xx	1	x	00000000	80001238	789ABCDE
プリフェッチ データ・レディ	????	xx	x	xx	0	x	00080008	80001238	87654321

注：表の中の?は、値が不定であることを示します。

#### 7.4.4 自動インクリメントを伴わないホスト・データ・ライト・アクセス

HPIへのライト・アクセスの間、HPIDの最初のハーフ・ワードの部分(HWOBの設定により選択される最下位ハーフ・ワードまたは最上位ハーフ・ワード)は、ホストからのデータによって上書きされ、HHWILピンがローのときに、最初のHBE[1:0]ペアがラッチされます。HPIDの2番目のハーフ・ワードの部分は、ホストからのデータによって上書きされ、2番目のHBE[1:0]ペアが、HHWILがハイのときにHSTRBの立ち上がりエッジによってラッチされます。このライト・アクセスの終わり(HSTRBの2番目の立ち上がりエッジ)に、HPIDは、HPIAによって指定されるアドレスへ32ビット・ワードとして4つの関連するバイト・イネーブルとともに転送されます。

表7-13と表7-14は、それぞれ、HWOB=1とHWOB=0についてのHPIDライト・アクセスをまとめたものです。ホストは、5566hをアドレス8000 1234hの下位にライトしていますが、このアドレスは、あらかじめHPIAによって指し示されています。このアドレスは、値0によって開始するものとします。HPIは、それまでの転送が完了するまで、HRDYをハイとして、ホストを遅延させます。HPIDにペンディングとなっているライトがないときは、通常、ライト・アクセスは、ノット・レディの時間なしに進行します。HBE[1:0]のペアは、下位16ビットの転送のためにのみイネーブルされます。

表7-13. HPIに対する自動インクリメントを伴わないデータ・ライト・アクセス:HWOB=1<sup>†</sup>

イベント	アクセス中の値						アクセス後の値			アドレス 80001234
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HRDY	HHWIL	HPIC	HPIA	HPID	
ホストからHPID への最初のハー フワードのライ ト  それまでのアクセ スの完了待ち	5566	00	0	11	1	0	00010001	80001234	????????	00000000
ホストからHPID への最初のハー フワードのライ ト	5566	00	0	11	0	0	00090009	80001234	????5566	00000000
ホストからHPID への2番目のハー フワードのライ ト	wxyz	11	0	11	0	1	00090009	80001234	wxyz5566	00000000
アクセス完了待ち	????	??	?	??	1	?	00010001	80001234	wxyz5566	00005566

注：表の中の?は、値が不定であることを示します。



表7-14. HPIに対する自動インクリメントを伴わないデータ・ライト・アクセス:HWOB=0<sup>†</sup>

イベント	アクセス中の値						アクセス後の値			アドレス 80001234
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HRDY	HHWIL	HPIC	HPIA	HPID	
ホストからHPID への最初のハー フワードのライ ト  それまでのアクセ スの完了待ち	wxyz	11	0	11	1	0	00000000	80001234	????????	00000000
ホストからHPID への最初のハー フワードのライ ト	wxyz	11	0	11	0	0	00080008	80001234	wxyz????	00000000
ホストからHPID への2番目のハー フワードのライ ト	5566	00	0	11	0	1	00080008	80001234	wxyz5566	00000000
アクセス完了待ち	????	??	?	??	1	?	00080008	80001234	wxyz5566	00005566

<sup>†</sup> wxyzは、HDピンにおける値が任意であることを示します。

注：表の中の?は、値が不定であることを示します。

7.4.5 自動インクリメントを伴ったHPIDライト・アクセス

表7-15と表7-16は、それぞれ、HWOB=1とHWOB=0についてのホストによる自動インクリメント付きライトをまとめたものです。これらの例は、HCNTL[1:0]の値とライト動作の後で33hをアドレス8000 1238hのワードの最上位バイトにライトしている点を除けば、7.4.4節のものと同じです。インクリメントは、次のHPIDライト・アクセスについてのHSTRBの立ち上がりエッジにおいて発生します。次のアクセスが、HPIAまたはHPICのアクセスまたはHPIDのリードであるときは、自動インクリメントは発生しません。

表7-15. HPIに対する自動インクリメントを伴ったライト・アクセス:HWOB=1††

イベント	アクセス中の値						アクセス後の値			アドレス 80001234	アドレス 80001238
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HRDY	HHWIL	HPIC	HPIA	HPID		
ホストからHPIDへの最初のハーフ・ワードのライト それまでのアクセスの完了待ち	5566	00	0	10	1	0	00010001	80001234	????????	00000000	00000000
ホストからHPIDへの最初のハーフ・ワードのライト レディ	5566	00	0	10	0	0	00090009	80001234	???5566	00000000	00000000
ホストからHPIDへの2番目のハーフ・ワードのライト	wxyz	11	0	10	0	1	00090009	80001234	wxyz5566	00000000	00000000
ホストからHPIDへの最初のハーフ・ワードのライト それまでのアクセスの完了待ち	nopq	11	0	10	1	0	00010001	80001234	wxyz5566	00005566	00000000
ホストからHPIDへの最初のハーフ・ワードのライト	nopq	11	0	10	0	0	00090009	80001238	wxyznopq	00005566	00000000
ホストからHPIDへの2番目のハーフ・ワードのライト	33rs	01	0	10	0	1	00090009	80001238	33rsnopq	00005566	00000000
アクセス完了待ち	????	??	?	??	1	?	00010001	80001238	33rsnopq	00005566	33000000

† wxyz、rs、及びnopqは、HPIDにおける値が任意であることを示します。

注：表の中の?は、値が不定であることを示します。

表7-16. HPIに対する自動インクリメントを伴ったライト・アクセス:HWOB=0<sup>†</sup>

イベント	アクセス中の値						アクセス後の値			アドレス 80001234	アドレス 80001238
	HD	HBE[1:0]	HR/W	HCNTL[1:0]	HRDY	HHWIL	HPIC	HPIA	HPID		
ホストから HPIDへの最初 のハーフ・ ワードのライ ト  それまでのア クセスの完了 待ち	wxyz	11	0	10	1	0	00000000	80001234	????????	00000000	00000000
ホストから HPIDへの最初 のハーフ・ ワードのライ ト  レディ	wxyz	11	0	10	0	0	00080008	80001234	wxyz???	00000000	00000000
ホストから HPIDへの2番 目のハーフ・ ワードのライ ト	5566	00	0	10	0	1	00080008	80001234	wxyz5566	00000000	00000000
ホストから HPIDへの最初 のハーフ・ ワードのライ ト  それまでのア クセスの完了 待ち	33rs	01	0	10	1	0	00000000	80001234	wxyz5566	00005566	00000000
ホストから HPIDへの最初 のハーフ・ ワードのライ ト	33rs	01	0	10	0	0	00080008	80001238	33rs5566	00005566	00000000
ホストから HPIDへの2番 目のハーフ・ ワードのライ ト	nopq	11	0	10	0	1	00080008	80001238	33rsnopq	00005566	00000000
アクセス完了 待ち	????	??	?	??	1	?	00000000	80001238	33rsnopq	00005566	33000000

<sup>†</sup> wxyz、rs、及びnopqは、HPIDにおける値が任意であることを示します。

注：表の中の?は、値が不定であることを示します。

#### 7.4.6 シングル・ハーフ・ワード・サイクル

通常の動作では、個々の転送は、2つのハーフ・ワード・アクセスにより構成されなければなりません。しかしながら、動作を高速化するために単一のハーフ・ワード・アクセスを実行することができます。この手法は、次のような場合には便利なものです。

- HPICのライト及びリード: 表7-7では、最初のライトの後でHPICの全体が正確にライトされています。HPICにライトを行なうときには、ホストは、HHWILを気にする必要がなく、2つのハーフ・ワードの双方に対して2つの連続したライトを行なう必要もありません。これと同様に、ホストは、HPICからのリードを1回だけとすることもできます。なぜなら、2つのハーフ・ワードは、同じ値を持っているからです。

- HPIAのライト及びリード: 表7-7では、HHWILとHWOBによって選択されるHPIAのアクセスの部分は、ハーフ・ワード・アクセスのたびごとに更新されます。よって、HPIAの上位16ビットまたは下位16ビットを書き換えるためには、当然、ホストは、HHWILとHWOBのビットにより、どちらかを選択しなければなりません。ホストは、HPIAのうち必要な半分のみをリードすることもできます。
- HPIDリード・アクセス: リード・アクセスは、実際には、最初のハーフ・ワード・アクセス(HHWILがロー)によってトリガされます。このように、リードに際して、ホストが最初のハーフ・ワード(HWOBによる選択により、最下位または最上位)だけを必要とするときは、ホストは2番目のアドレスをリクエストする必要がありません。しかしながら、2番目のハーフ・ワードのリードを行わない限り、プリフェッチは発生しません。最初のハーフ・ワードのリード(HHWILがロー)を行なうこと、または、新しい値をHPIAにライトすることにより、それまでのプリフェッチのリクエストは無効とされます。一方、2番目のハーフ・ワード(HHWILがハイ)だけをリードすることは許されず、実行結果は未定義となります。
- ライト・アクセス: ライト・アクセスは、2番目のハーフ・ワードのアクセス(HHWILがハイ)によってトリガされます。このため、連続するライト・アクセスの中で、HHWILのハイ(及び、関連するバイト・イネーブル)によって選択されるHPIDの部分のみの書き換えが必要とされる場合は、ホストは、シングル・サイクルでライトを行なうことができます。この手法の主な用途としては、メモリーをあるデータで埋めつくすことが挙げられます。ホストにより、 $\overline{\text{HBE}}[1:0]=00$ として、最初のライト・アクセスの双方のハーフ・ワードをライトします。次のライト・アクセスで、ホストは、最初のアクセスの場合と同様に、HPIDのうちHHWIL(ハイ)で選択された部分に最初のライト・アクセスと同じ値をライトします。この場合には、ホストは、すべてのライト・アクセスにおいて、自動インクリメント付き(HCNTL[1:0])のライトを実行します。

## 7.5 リセット時におけるHPIを通じたメモリー・アクセス

リセットの間、 $\overline{\text{HCS}}$ がアクティブ・ローのときには $\overline{\text{HRDY}}$ はインアクティブ・ハイとなり、 $\overline{\text{HCS}}$ がインアクティブのときには $\overline{\text{HRDY}}$ がアクティブとなります。チップがリセットされている間は、HPIを使用することはできません。しかし、いくつかのブート・モードでは、ホストがCPUのメモリー領域に対してライトを行なうことができます(アクセス前に外部メモリーを設定するために、EMIFコンフィギュレーション・レジスタに値をライトする場合があります)。デバイス、これらのブート・モードでは、デバイスはリセットの状態にはありませんが、CPU自体は、ブートが完了するまでリセット状態となります。詳細については、「第10章 ブート・コンフィギュレーション、リセット、メモリー・マップ」を参照してください。



# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上