

C6000ペリフェラルズリファレンス・ガイドに関する 参考資料(ブート・モード及びコンフィグレーション)

アプリケーション技術部

アブストラクト

本資料は、日本語版TMS320C6000ペリフェラルズリファレンス・ガイドのうち「第10章 ブート・モード及びコンフィグレーション」を抜粋したものです。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

本文章について

本資料は、「TMS320C6000 Peripherals Reference Guide」(spru190c)を翻訳したTMS320C6000ペリフェラルズリファレンス・ガイド(spru537)の「第10章 ブート・モード及びコンフィグレーション」を抜粋したものです。

元となった英語版文書はのちに改定され、現在はC6000デバイスのペリフェラルの概要のみを述べる資料となっています。ペリフェラルの詳細説明に関しては、ペリフェラル固有のリファレンス・ガイドを用意しています。

本資料は、日本語でのペリフェラル理解の手助けのために、英語版ペリフェラル・リファレンス・ガイドの参考資料として用意しました。ペリフェラルの詳細につきましては、必ず最新の英語版リファレンス・ガイド及びデータシートをご参照ください。

参考文献

1. TMS320C6000 DSP Peripherals Overview Reference Guide (SPRU190)
2. TMS320C620x/C670x DSP Boot Modes and Configuration Reference Guide (SPRU642)

ブート・モード及びコンフィギュレーション

この章では、ブート・モードとTMS320C6000プラットフォームで使用されるデバイス・コンフィギュレーションについて解説します。

また、利用できるブート・プロセス、デバイスのリセットについても解説します。

Topic	Page
10.1 概要	10-2
10.2 デバイスのリセット	10-2
10.3 ブート・コンフィギュレーション	10-3
10.4 デバイス・コンフィギュレーション	10-11

10.1 概要

TMS320C6000プラットフォームでは、多くのブート・コンフィギュレーションの中から適切なデバイスの初期化の方法を選択することによって、リセットの後にデバイスが実行する処理を指定することができます。C6000プラットフォームでは、以下のブート・コンフィギュレーションのいくつか、またはすべてが設定可能です。

- メモリー・マップの選択により、アドレス0に内部メモリーまたは外部メモリーのどちらをマッピングするかを選択できる
- アドレス0に外部メモリーがマップされる場合に、外部メモリーのタイプを選択できる
- CPUの動作が可能となる前に、アドレス0にあるメモリーを初期化するためのブート・プロセスを選択できる

10.2 デバイスのリセット

外部デバイスのリセットには、アクティブ・ローの信号である $\overline{\text{RESET}}$ を使用します。 $\overline{\text{RESET}}$ がローに保たれている間に、デバイスはリセットされ、あらかじめ定められたリセット状態に初期化されます。スリーステート出力はすべてハイ・インピーダンス状態となり、その他の出力はデフォルト状態に戻ります。 $\overline{\text{RESET}}$ の立ち上がりエッジで、プロセッサはあらかじめ定められたブート・コンフィギュレーションにより動作を開始します。リセット中にPLL設定ピンへ変更を加えたときには、PLLが安定するまでの間 $\overline{\text{RESET}}$ パルスを与える必要があります。

10.3 ブート・コンフィギュレーション

外部ピンであるBOOTMODE[4:0]により、ブート・コンフィギュレーションを行ないます。BOOTMODE[4:0]の値は、RESETがローである間にラッチされます。表10-1にBOOTMODE[4:0]のすべての値と、対応するブート・プロセス、それにメモリー・マップを示します。例えば、BOOTMODE[4:0]に値00000bを設定すると、メモリー・マップ0が選択され、アドレス0のメモリー・タイプとして4バンクで構成された8ビット幅のSDRAMが選択され、ブート・プロセスはなしとなります。SDWIDビットは、EMIF SDRAMコントロールレジスタにあります。

表10-1. ブート・コンフィギュレーションのまとめ

BOOT-MODE [4:0]	メモリー・マップ	アドレス0におけるメモリー	ブート・プロセス
00000	MAP 0	SDRAM:4つの8ビット・デバイス(SDWID=0)	なし
00001	MAP 0	SDRAM:2つの16ビット・デバイス(SDWID=1)	なし
00010	MAP 0	32ビット非同期、デフォルト・タイミング	なし
00011	MAP 0	SBSRAM、CPUクロック・レートの2分の1	なし
00100	MAP 0	SBSRAM、CPUクロック・レート	なし
00101	MAP 1	内部	なし
00110	MAP 0	外部、デフォルト設定値	HPI
00111	MAP 1	内部	HPI
01000	MAP 0	SDRAM:4つの8ビット・デバイス(SDWID=0)	8ビットROM、デフォルト・タイミング
01001	MAP 0	SDRAM:2つの16ビット・デバイス(SDWID=1)	8ビットROM、デフォルト・タイミング
01010	MAP 0	32ビット非同期、デフォルト・タイミング	8ビットROM、デフォルト・タイミング
01011	MAP 0	SBSRAM、CPUクロック・レートの2分の1	8ビットROM、デフォルト・タイミング
01100	MAP 0	SBSRAM、CPUクロック・レート	8ビットROM、デフォルト・タイミング
01101	MAP 1	内部	8ビットROM、デフォルト・タイミング
01110		予約	
01111		予約	
10000	MAP 0	SDRAM:4つの8ビット・デバイス(SDWID=0)	16ビットROM、デフォルト・タイミング
10001	MAP 0	SDRAM:2つの16ビット・デバイス(SDWID=1)	16ビットROM、デフォルト・タイミング

表10-1. ブート・コンフィギュレーションのまとめ(続き)

BOOT-MODE [4:0]	メモリー・マップ	アドレス0におけるメモリー	ブート・プロセス
10010	MAP 0	32ビット非同期、デフォルト・タイミング	16ビットROM、デフォルト・タイミング
10011	MAP 0	SBSRAM、CPUクロック・レートの2分の1	16ビットROM、デフォルト・タイミング
10100	MAP 0	SBSRAM、CPUクロック・レート	16ビットROM、デフォルト・タイミング
10101	MAP 1	内部	16ビットROM、デフォルト・タイミング
10110		予約	
10111		予約	
11000	MAP 0	SDRAM:4つの8ビット・デバイス(SDWID=0)	32ビットROM、デフォルト・タイミング
11001	MAP 0	SDRAM:2つの16ビット・デバイス(SDWID=1)	32ビットROM、デフォルト・タイミング
11010	MAP 0	32ビット非同期、デフォルト・タイミング	32ビットROM、デフォルト・タイミング
11011	MAP 0	SBSRAM、CPUクロック・レートの2分の1	32ビットROM、デフォルト・タイミング
11100	MAP 0	SBSRAM、CPUクロック・レート	32ビットROM、デフォルト・タイミング
11101	MAP 1	内部	32ビットROM、デフォルト・タイミング
11110		予約	
11111		予約	

TMS320C6201/C6701は、リセット時に専用のBOOTMODEピンからラッチしてブート・コンフィギュレーションを選択します。

TMS320C6202/C6203では、拡張バスの5つのデータ線、XD[4:0]をラッチして、ブート・コンフィギュレーションを設定します。XD[4:0]は、BOOTMODE[4:0]に直接対応しており、外部のプルアップ、またはプルダウン抵抗を使って設定されます。

TMS320C6211/C6711は、ホストポート・データ線からラッチして、ブート・コンフィギュレーションを設定します。C6211/C6711では、メモリー・マップは1つだけであり、内部メモリーはアドレス0に位置しているため、5つのBOOTMODEビットのうち2つだけが必要です。HD[4:3]がBOOTMODE[4:3]ピンに対応します。表10-1に示す完全なブート・コンフィギュレーションは、C6211/C6711では、表10-2に示すように大幅に省略されています。ブート・モードの設定には、HD[4:3]に外部抵抗が必要です。C6211/C6711は、ホストポート・データ線を含むほぼすべての入出力信号が内部的にプルアップ、もしくはプルダウン抵抗と接続されています。BOOTMODE[4:3]は、内部的に01bになっているため、8ビットROMのブート・モードに設定されています。このブート・モードを選択する場合には、外部抵抗は必要ありません。異なるブート・モードが必要な場合は、反対側にプルアップ/プルダウンするための外部抵抗を使用します。推奨する抵抗の値については、対応するデバイスのデータシートを参照してください。

表10-2. TMS320C6211/C6711ブート・コンフィギュレーションのまとめ

BOOTMODE[4:0]	ブート・プロセス
00xxx	ホストポート・インターフェイス
01xxx	8ビットROM、デフォルト・タイミング
10xxx	16ビットROM、デフォルト・タイミング
11xxx	32ビットROM、デフォルト・タイミング

10.3.1 メモリー・マップ

表10-3に、C6201/C6701の2つのメモリー・マップである、マップ0とマップ1を示します。マップ0が外部メモリーをアドレス0にマッピングされているのに対し、マップ1が内部メモリーをアドレス0にマッピングされている点が異なります。プログラム・メモリーとデータ・メモリーの詳細については、第2章と第3章を参照してください。

表10-3. TMS320C6201/C6701メモリー・マップ

アドレス範囲(16進)	サイズ(バイト)	マップのメモリー・ブロックの解説	
		マップ0	マップ1
0000 0000–0000 FFFF	64K	外部メモリー・インターフェイスCE0	内部プログラムRAM
0001 0000–003F FFFF	4M–64K	外部メモリー・インターフェイスCE0	予約
0040 0000–00FF FFFF	12M	外部メモリー・インターフェイスCE0	外部メモリー・インターフェイスCE0
0100 0000–013F FFFF	4M	外部メモリー・インターフェイスCE1	外部メモリー・インターフェイスCE0
0140 0000–0140 FFFF	64K	内部プログラムRAM	外部メモリー・インターフェイスCE1
0141 0000–017F FFFF	4M–64K	予約	外部メモリー・インターフェイスCE1
0180 0000–0183 FFFF	256K	内部ペリフェラル・バスEMIFレジスタ	
0184 0000–0187 FFFF	256K	内部ペリフェラル・バスDMAレジスタ	
0188 0000–018B FFFF	256K	内部ペリフェラル・バスHPIレジスタ	
018C 0000–018F FFFF	256K	内部ペリフェラル・バスMcBSP0レジスタ	
0190 0000–0193 FFFF	256K	内部ペリフェラル・バスMcBSP1レジスタ	
0194 0000–0197 FFFF	256K	内部ペリフェラル・バス・タイマ0レジスタ	
0198 0000–019B FFFF	256K	内部ペリフェラル・バス・タイマ1レジスタ	
019C 0000–019F FFFF	256K	内部ペリフェラル・バス割り込みセクタ・レジスタ	
01A0 0000–01FF FFFF	6M	内部ペリフェラル・バス(予約)	
0200 0000–02FF FFFF	16M	外部メモリー・インターフェイスCE2	
0300 0000–03FF FFFF	16M	外部メモリー・インターフェイスCE3	
0400 0000–7FFF FFFF	2G–64M	予約	
8000 0000–8000 FFFF	64K	内部データRAM	
8001 0000–FFFF FFFF	2G–64K	予約	

C6202には、C6201/C6701のメモリー・マップの拡張版にあたる、2つのメモリー・マップがあります。C6201/C6701で有効なアドレス範囲は、C6202でも有効です。主に、3つの相違点があります。C6202はより大きな内部メモリー領域を持っており、拡張バスのための4つの外部メモリー領域があります(XCE[3:0])。また、シリアル・ポートが3つあります。C6202のメモリー・マップを表10-4に示します。

表10-4. TMS320C6202メモリー・マップ

マップのメモリー・ブロックの解説			
アドレス範囲(16進)	サイズ(バイト)	マップ0	マップ1
0000 0000–0003 FFFF	256K	外部メモリー・インターフェイスCE0	内部プログラムRAM
0004 0000–003F FFFF	4M–256K	外部メモリー・インターフェイスCE0	予約
0040 0000–00FF FFFF	12M	外部メモリー・インターフェイスCE0	外部メモリー・インターフェイスCE0
0100 0000–013F FFFF	4M	外部メモリー・インターフェイスCE1	外部メモリー・インターフェイスCE0
0140 0000–0143 FFFF	256K	内部プログラムRAM	外部メモリー・インターフェイスCE1
0144 0000–017F FFFF	4M–256K	予約	外部メモリー・インターフェイスCE1
0180 0000–0183 FFFF	256K	内部ペリフェラル・バスEMIFレジスタ	
0184 0000–0187 FFFF	256K	内部ペリフェラル・バスDMAレジスタ	
0188 0000–018B FFFF	256K	内部ペリフェラル・バス拡張バス・レジスタ	
018C 0000–018F FFFF	256K	内部ペリフェラル・バスMcBSP0レジスタ	
0190 0000–0193 FFFF	256K	内部ペリフェラル・バスMcBSP1レジスタ	
0194 0000–0197 FFFF	256K	内部ペリフェラル・バス・タイマ0レジスタ	
0198 0000–019B FFFF	256K	内部ペリフェラル・バス・タイマ1レジスタ	
019C 0000–019C 01FF	512	内部ペリフェラル・バス割り込みセクタ・レジスタ	
019C 0200–019C FFFF	256K–512	内部ペリフェラル・バス・パワーダウン・セクタ・レジスタ	
01A0 0000–01A3 FFFF	256K	予約	
01A4 0000–01A7 FFFF	256K	内部ペリフェラル・バスMcBSP2レジスタ	
01A8 0000–01FF FFFF	5.5M	予約	
0200 0000–02FF FFFF	16M	外部メモリー・インターフェイスCE2	
0300 0000–03FF FFFF	16M	外部メモリー・インターフェイスCE3	
0400 0000–3FFF FFFF	1G–64M	予約	
4000 0000–4FFF FFFF	256M	拡張バスXCE0	
5000 0000–5FFF FFFF	256M	拡張バスXCE1	
6000 0000–6FFF FFFF	256M	拡張バスXCE2	
7000 0000–7FFF FFFF	256M	拡張バスXCE3	
8000 0000–8001 FFFF	128K	内部データRAM	
8002 0000–FFFF FFFF	2G–128K	予約	

C6203のメモリー・マップは、C6202のメモリー・マップと非常によく似ています。違いが存在するのは、C6203では利用できる内部メモリーが7Mビットに増えているからです。この中で、内部プログラムまたはキャッシュとして3Mビットの領域を持っており、これは2つのブロックから成ります。ブロック0は256Kバイトのメモリー・マップド・プログラム領域です。ブロック1は128Kバイトの領域で、プログラム・キャッシュとして、またはメモリー・マップド・プログラム領域として使用することが可能です。4Mビットのデータ・メモリーは、256Kバイトのブロックを2つ持っています。表10-5に、C6203のメモリー・マップを示します。

表10-5. TMS320C6203 メモリー・マップ

アドレス範囲(16進)	サイズ(バイト)	マップのメモリー・ブロックの解説	
		マップ0	マップ1
0000 0000-0005 FFFF	384K	外部メモリー・インターフェイスCE0	内部プログラムRAM
0006 0000-003F FFFF	4M-384K	外部メモリー・インターフェイスCE0	予約
0040 0000-00FF FFFF	12M	外部メモリー・インターフェイスCE0	外部メモリー・インターフェイスCE0
0100 0000-013F FFFF	4M	外部メモリー・インターフェイスCE1	外部メモリー・インターフェイスCE0
0140 0000-0145 FFFF	384K	内部プログラムRAM	外部メモリー・インターフェイスCE1
0146 0000-017F FFFF	4M-384K	予約	外部メモリー・インターフェイスCE1
0180 0000-0183 FFFF	256K	内部ペリフェラル・バスEMIFレジスタ	
0184 0000-0187 FFFF	256K	内部ペリフェラル・バスDMAレジスタ	
0188 0000-018B FFFF	256K	内部ペリフェラル・バス拡張バス・レジスタ	
018C 0000-018F FFFF	256K	内部ペリフェラル・バスMcBSP0レジスタ	
0190 0000-0193 FFFF	256K	内部ペリフェラル・バスMcBSP1レジスタ	
0194 0000-0197 FFFF	256K	内部ペリフェラル・バス・タイマ0レジスタ	
0198 0000-019B FFFF	256K	内部ペリフェラル・バス・タイマ1レジスタ	
019C 0000-019C 01FF	512	内部ペリフェラル・バス割り込みセクタ・レジスタ	
019C 0200-019C FFFF	256K-512	内部ペリフェラル・バス・パワーダウン・セクタ・レジスタ	
01A0 0000-01A3 FFFF	256K	予約	
01A4 0000-01A7 FFFF	256K	内部ペリフェラル・バスMcBSP2レジスタ	
01A8 0000-01FF FFFF	5.5M	予約	
0200 0000-02FF FFFF	16M	外部メモリー・インターフェイスCE2	
0300 0000-03FF FFFF	16M	外部メモリー・インターフェイスCE3	
0400 0000-3FFF FFFF	1G-64M	予約	
4000 0000-4FFF FFFF	256M	拡張バスXCE0	
5000 0000-5FFF FFFF	256M	拡張バスXCE1	
6000 0000-6FFF FFFF	256M	拡張バスXCE2	
7000 0000-7FFF FFFF	256M	拡張バスXCE3	
8000 0000-8007 FFFF	512K	内部データRAM	
8008 0000-FFFF FFFF	2G-512K	予約	

C6211/C6711では、メモリー・マップは表10-6に示す1つだけです。内部メモリーが必ずアドレス0にマッピングされており、プログラム・メモリー及びデータ・メモリーのどちらとしても使用可能です。C6201とC6211/C6711に共通のペリフェラルを設定するためのレジスタは、同じアドレスにマッピングされています。C6201では、8000 0000hに内部データ・メモリーがマッピングされていますが、C6211/C6711では、外部メモリーがマッピングされています。

表10-6. TMS320C6211/C6711メモリー・マップ

アドレス範囲(16進)	サイズ(バイト)	マップのメモリー・ブロックの解説
0000 0000–0000 FFFF	64K	内部RAM(L2)
0001 0000–017F FFFF	24M–64K	予約
0180 0000–0183 FFFF	256K	内部コンフィギュレーション・バスEMIFレジスタ
0184 0000–0187 FFFF	256K	内部コンフィギュレーション・バスL2コントローラ・レジスタ
0188 0000–018B FFFF	256K	内部コンフィギュレーション・バスHPIレジスタ
018C 0000–018F FFFF	256K	内部コンフィギュレーション・バスMcBSP0レジスタ
0190 0000–0193 FFFF	256K	内部コンフィギュレーション・バスMcBSP1レジスタ
0194 0000–0197 FFFF	256K	内部コンフィギュレーション・バス・タイマ0レジスタ
0198 0000–019B FFFF	256K	内部コンフィギュレーション・バス・タイマ1レジスタ
019C 0000–019F FFFF	256K	内部コンフィギュレーション・バス割り込みセクタ・レジスタ
01A0 0000–01A3 FFFF	256K	内部コンフィギュレーション・バスEDMA RAM及びレジスタ
01A4 0000–2FFF FFFF	768M–26880K	予約
3000 0000–37FF FFFF	128M	McBSP0/1データ
3800 0000–7FFF FFFF	1G–128M	予約
8000 0000–87FF FFFF	128M	外部メモリー・インターフェイスCE0
8800 0000–8FFF FFFF	128M	予約
9000 0000–97FF FFFF	128M	外部メモリー・インターフェイスCE1
9800 0000–9FFF FFFF	128M	予約
A000 0000–A7FF FFFF	128M	外部メモリー・インターフェイスCE2
A800 0000–AFFF FFFF	128M	予約
B000 0000–B7FF FFFF	128M	外部メモリー・インターフェイスCE3
B800 0000–BFFF FFFF	128M	予約
C000 0000–FFFF FFFF	1G	予約

10.3.2 リセット・アドレスのメモリー

複数のメモリー・マップを持ったC6000プロセッサでは、ブート・コンフィギュレーションにより、表10-1に示すように、プロセッサの動作におけるリセット・アドレスであるアドレス0にマッピングされるメモリー・タイプが決定されます。BOOTMODE[4:0]ピンによってMAP1が選択されると、内部メモリーがマッピングされます。デバイスのモードがMAP0であれば、外部メモリーがマッピングされます。外部メモリーが選択されると、BOOTMODE[4:0]は、リセット・アドレスにマッピングされるメモリーのタイプも決定します。これらのオプションによって、EMIFコントロール・レジスタには、アドレスのメモリー・タイプに対応した適切なリセット値がライトされます。

C6211/C6711では、BOOTMODE[4:0]の設定にかかわらず常に内部RAMがアドレス0にマッピングされます。

10.3.3 ブート・プロセス

ブート・プロセスは、BOOTMODE[4:0]のピンによって、表10-1のように決定されます。3つのブート・モードを選択することができます。

- ブート・プロセスなし: CPUは、アドレス0から直接に実行を開始します。システムでSDRAMが使用されている場合には、SDRAMの初期化が完了するまで、CPUは停止状態とされます。このブート・プロセスは、C6211/C6711では利用できません。
- ROMブート・プロセス: 外部ROMにあるメモリーの内容が、DMA/EDMAによってアドレス0で始まる領域にコピーされます。ブート・プロセスは、デバイスが外部リセットが解除された時点から開始しますが、この転送プロセスの間は、内部的にはCPUはリセット状態になっています。このブート・プロセスでは、ROMのビット幅を選択することができます。この場合には、EMIFは、連続する8ビット・バイトまたは16ビット・ハーフ・ワードをアセンブルし、転送すべき32ビット・ワードにまとめます。C6201/C6701/C6202/C6203では、これらの8bitまたは16bitの値は、外部メモリーにリトル・エンディアン・フォーマットで格納されていることが仮定されており、また、通常は、外部メモリーとしてROMデバイスが使用されます。

C6211/C6711では、システムで使用されるエンディアン・フォーマット(ビッグ・エンディアンまたはリトル・エンディアン)で格納されます。

上記の転送は、DMA/EDMAによって自動的にROMからアドレス0への、1単一フレームのブロック転送を実行するようにセットされます。

ブロック転送の終了後に、CPUのリセット状態が解除され、CPUは、アドレス0から実行を開始します。

ROMブート・プロセスは、C6000デバイスによって若干異なります。

- **C6201/C6202/C6203/C6701:** DMAはCE1からアドレス0へ64Kバイトを、デフォルトのROMタイミングを使用してコピーします。転送後、CPUはアドレス0から実行を開始します。
- **C6211/C6711:** EDMAはCE1の先頭からアドレス0へ1Kバイトを、デフォルトのROMタイミングを使用してコピーします。転送後、CPUはアドレス0から実行を開始します。

- ホスト・ブート・プロセス: デバイスの他の部分がリセットから開放されていますが、CPUはリセット状態にホールドされます。この期間内に、外部のホストは、必要に応じてホスト・インターフェイスを通じて外部メモリー・コントロール・レジスタを含め、CPUのメモリー領域を初期化することができます。ホストによる初期化がすべて終了すると、ブート・プロセスを終了するために、ホストにより、HPIコントロール・レジスタ (HPIC)のDSPINTビットに1をライトする必要があります。このライトによって、ブート・コンフィギュレーション・ロジックがCPUをリセット状態から開放し、CPUはアドレス0から実行を開始します。DSPINTは、CPUがリセットの状態が発生するため、CPUによるラッチは行なわれません。また、HPIブート・プロセスが選択されている場合にのみ、CPUがDSPINTにより内部リセット状態から解除されます。ホストはすべてのメモリーをリード/ライトできます。これによって、ホストは必要に応じてプロセッサに送るデータを変更することができます。

注:

ホスト・ブート・プロセスは、以下のようにデバイスによって異なります。

- **C6201、C6701、C6211、C6711:** ホスト・ブートにはHPIが使用されます。HPIは常にスレーブ・インターフェイスで、特に設定は必要ありません。
- **C6202、C6203:** ホスト・ブートには拡張バスが使用されます。ホスト・インターフェイスの形式は、リセット期間にラッチされる設定で決定されます。

10.4 デバイス・コンフィギュレーション

デバイスの動作を決定するために、いくつかのデバイス設定がリセット中に実行されます。

10.4.1 入力クロック・モード

オンチップのPLL周波数マルチプライヤは、定常のCLKMODE入力ピンを通して設定されます。C6000プラットフォームのデバイスによって、CLKMODEピンの数は異なります。×1(PLLバイパス)と×4(CLKIN×4)のモードのみサポートされています。PLLのモード選択を表10-7に示します。

表10-7. PLLマルチプライヤ選択

	C6201/C6701	C6202	C6211/C6711
PLLモード	CLKMODE[1:0]	CLKMODE[2:0]	CLKMODE0
×1	00b	000b	0b
×4	11b	001b	1b
予約	その他	その他	

10.4.2 エンディアン・モード

すべてのC6000デバイスでは、ビッグ・エンディアンまたはリトル・エンディアン・モードで動作するように設定することができます。リトル・エンディアンを選択するには、LENDIANフラグに1をセットし、ビッグ・エンディアンでは0にします。選択の方法は、デバイスによって若干異なります。C6201/C6701では、専用のLENDIAN入力ピンがあります。C6211/C6711は、ホストポート・インターフェイスの9番目のデータ線HD[8]をサンプルします。C6202/C6203は拡張バスの9番目のデータ線XD[8]をサンプルします。デバイスのピンは、プルアップまたはプルダウンの抵抗によって設定されます。

C6211では、HD8が内部にプルアップ抵抗を持っており、デフォルトでリトル・エンディアンが選択されます。リトル・エンディアンがシステムで使用されるモードの場合、外部に抵抗は必要ありません。ビッグ・エンディアンの場合には、信号を反対側にするために外部に抵抗が使用されます。推奨される抵抗値は、デバイスのデータシートを参照してください。

エンディアン・モードについて詳細は、2.6.7節データ・エンディアンを参照してください。

10.4.3 TMS320C6202拡張バス

C6202の拡張バスは、拡張バスの他のデータ線、XD[31:9]及びXD[7:5]のプルアップまたはプルダウン抵抗によって設定されます。拡張バスの設定方法について詳細は、8.7節 拡張バスによるブート時の設定を参照してください。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上