

## C6000ペリフェラルズリファレンス・ガイドに関する 参考資料(マルチチャネル・バッファード・シリアル・ポート)

アプリケーション技術部

### アブストラクト

本資料は、日本語版TMS320C6000ペリフェラルズリファレンス・ガイドのうち「第11章 マルチチャネル・バッファード・ファード・シリアル・」を抜粋したものです。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

## 本文章について

本資料は、「TMS320C6000 Peripherals Reference Guide」(spru190c)を翻訳したTMS320C6000ペリフェラルズリファレンス・ガイド(spru537)の「第11章 マルチチャンネル・バッファード・シリアル・ポート」を抜粋したものです。

元となった英語版文書はのちに改定され、現在はC6000デバイスのペリフェラルの概要のみを述べる資料となっています。ペリフェラルの詳細説明に関しては、ペリフェラル固有のリファレンス・ガイドを用意しています。

本資料は、日本語でのペリフェラル理解の手助けのために、英語版ペリフェラル・リファレンス・ガイドの参考資料として用意しました。ペリフェラルの詳細につきましては、必ず最新の英語版リファレンス・ガイド及びデータシートをご参照ください。

## 参考文献

1. TMS320C6000 DSP Peripherals Overview Reference Guide (SPRU190)
2. TMS320C6000 DSP Multichannel Buffered Serial Port (McBSP) Reference Guide (SPRU580)

## マルチチャネル・バッファード・シリアル・ポート

---

---

---

この章では、2つのマルチチャネル・バッファード・シリアル・ポート(McBSP)の動作とハードウェアを解説します。この章では、また、McBSPのレジスタの定義とタイミングについても解説します。

Topic	Page
11.1 特長 .....	11-2
11.2 McBSPのインターフェイス信号とレジスタ .....	11-3
11.3 データの送信と受信 .....	11-18
11.4 $\mu$ -Law/A-Law圧伸 .....	11-49
11.5 プログラマブルなクロックとフレーミング .....	11-52
11.6 マルチチャネル選択動作 .....	11-67
11.7 SPI プロトコル:CLKSTP .....	11-79
11.8 McBSPの汎用入出力ポート .....	11-86

## 11.1 特長

マルチチャンネル・バッファード・シリアル・ポート(McBSP)は、TMS320C2x、C3x、C5x、C54xの標準シリアル・ポートを基礎として構成されています。McBSPは、次の機能を持っています。

- 全二重通信
- 連続したデータ・ストリームの扱いを可能とするダブル・バッファード・データ・レジスタ
- 送信/受信のための独立したフレーム処理とクロック処理
- 業界標準のコーデック、アナログ・インターフェイス・チップ(AICs)、その他のシリアル接続のA/D、D/Aデバイスとの直接のインターフェイス
- データ転送のための外部シフト・クロックまたは周波数のプログラマブルな内部シフト・クロック
- 5チャンネルのDMAコントローラを通じた自動バッファリングの機能

これらに加えて、McBSPは次のような機能を持っています。

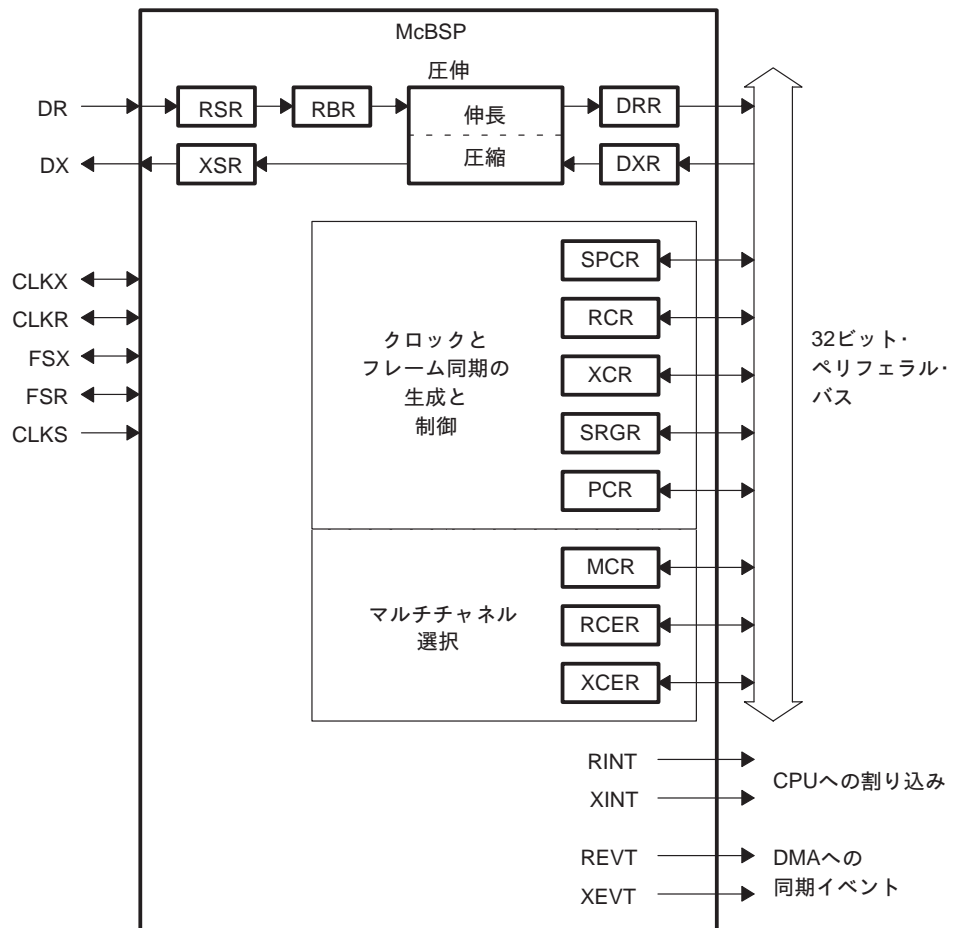
- 以下に対して、直接のインターフェイスが可能
  - T1/E1 フレーム
  - 以下のMVIPスイッチング・コンパチブル及びST-BUS対応のデバイス
    - MVIPフレーム
    - H.100フレーム
    - SCSAフレーム
  - IOM-2対応デバイス
  - AC97対応デバイス、マルチフェーズ・フレーム同期機能付き
  - IIS対応デバイス
  - SPI™ デバイス
- 128チャンネルまでのマルチチャンネル送受信
- 8、12、16、20、24、及び32ビットを含む幅広いデータ・サイズ
- $\mu$ -Law及びA-Lawの圧伸
- オプションによりLSBファーストまたはMSBファーストの8ビット・データ転送
- フレーム同期とデータ・クロックについての極性のプログラムによる設定
- 内部クロック及びフレーム生成を柔軟なプログラムにより柔軟に設定可能

## 11.2 McBSPのインターフェイス信号とレジスタ

マルチチャネル・バッファード・シリアル・ポート(McBSP)は、データ・パスとコントロール・パスによって構成され、外部デバイスとの接続を行いません。送受信ごとに別々のピンを通じて外部デバイスとの間のデータ通信を行いません。制御情報(クロック同期とフレーム同期)は、他の4つのピンを通じて通信されます。デバイスは、内部ペリフェラル・バスを通じてアクセス可能な32ビット幅のコントロール・レジスタを使用して、McBSPとの通信を行いません。

McBSPは、図11-1に示すように、データ・パスとコントロール・パスにより構成されています。表11-1に示す7つのピンにより、コントロール・パスとデータ・パスが外部デバイスに接続されます。

図11-1. McBSPブロック図



McBSPにインターフェイスされているデバイスとの間のデータ通信は、送信がデータ送信(DX)ピンを通じて、受信がデータ受信(DR)ピンを通じて行われます。制御情報(クロックとフレーム同期)は、CLKX、CLKR、FSX、それにFSRを通じて通信されます。C6xは、内部ペリフェラル・バス(2.7節 ペリフェラル・バスを参照)を通じてアクセスされる32ビット幅のコントロール・レジスタを通じてMcBSPとの通信を行いません。CPUやDMAは、データ受信レジスタ(DRR)からデータの受信を行ない、データ送信レジスタ(DXR)に送信するデータをライトします。DXRにライトされたデータは、送信シフト・レジスタ(XSR)を通じてDXに出力(シフト・アウト)されます。同様に、DRピンの受信データは、受信シフト・レジスタ(RSR)にシフトされ、受信バッファ・レジスタ(RBR)にコピーされます。さらに、RBRの内容は、DRRにコピーされ、CPUまたはDMAによるリードが可能になります。このようにして、内部データの移動と外部データの通信を同時に行なうことができます。

データ受信レジスタ及びデータ送信レジスタ(DRR及びDXR)は表11-2に示す位置にマッピングされています。TMS320C6211/C6711では、DRR及びDXRは、表11-3に示すように、30000000h-33FFFFFFh(McBSP0)、34000000h-37FFFFFFh(McBSP1)にもマッピングされます。TMS320C6211/6711のCPU及びEDMAは、表11-3に示すすべてのメモリー領域のDRR及びDXRにアクセスすることができます。30000000h-33FFFFFFhのどの位置へのライトも、018C0004hに位置するMcBSP 0のDXRへのライトと同じこととなります。30000000h-33FFFFFFhのどの位置からのリードも、018C0000hに位置するMcBSP0のDRRからのリードと同じこととなります。同様に、34000000h-37FFFFFFhの任意の位置からのリードは01900000hに位置するMcBSP1のDRRからのリードと、34000000h-37FFFFFFhの任意の位置へのライトは01900004hに位置するMcBSP1のDXRへのライトと同じこととなります。DRRからのリード、及びDXRへのライトは3xxxxxxhまたは018Cxxxxh/0190xxxxhから選択することができます。018Cxxxxh及び0190xxxxhへのアクセスはペリフェラル・バスが使用されます。ペリフェラル・バスをシリアル・ポート動作以外の機能に空けておくために、EDMAの設定には3xxxxxxhのアドレスを使用することを推奨します。McBSPコントローラ・レジスタは018Cxxxxh/01900000hにのみマッピングされています。

CPUによるアクセスが可能な他のレジスタにより、McBSPによる制御方法を設定します。McBSPのレジスタを表11-2に示します。コントロール・ブロックは、内部クロック生成、フレーム同期信号生成、これらの信号の制御、それにマルチチャネル選択の各ブロックから構成されます。このコントロール・ブロックは、表11-4に示す4つの信号を通じて、CPUに対する割り込みやDMAに対するイベントなどの通告をします。

表11-1. McBSPのインターフェイス信号

ピン	I/O/Z	解説
CLKR	I/O/Z	受信クロック
CLKX	I/O/Z	送信クロック
CLKS	I	外部クロック
DR	I	受信シリアル・データ
DX	O/Z	送信シリアル・データ
FSR	I/O/Z	受信フレーム同期
FSX	I/O/Z	送信フレーム同期

注： I=入力、O=出力、Z=ハイ・インピーダンス

表11-2. McBSPレジスタ

16進バイト・アドレス			略号	McBSPレジスタ名†	参照節
McBSP0	McBSP1	McBSP2‡			
-	-	-	RBR	受信バッファ・レジスタ	11.2
-	-	-	RSR	受信シフト・レジスタ	11.2
-	-	-	XSR	送信シフト・レジスタ	11.2
018C 0000	0190 0000	01A4 0000	DRR	データ受信レジスタ‡¶	11.2
018C 0004	0190 0004	01A4 0004	DXR	データ送信レジスタ#	11.2
018C 0008	0190 0008	01A4 0008	SPCR	シリアル・ポート・コントロール・レジスタ	11.2.1
018C 000C	0190 000C	01A4 000C	RCR	受信コントロール・レジスタ	11.2.2
018C 0010	0190 0010	01A4 0010	XCR	送信コントロール・レジスタ	11.2.2
018C 0014	0190 0014	01A4 0014	SRGR	サンプル・レート・ジェネレータ・レジスタ	11.5.1.1
018C 0018	0190 0018	01A4 0018	MCR	マルチチャネル・コントロール・レジスタ	11.6.1
018C 001C	0190 001C	01A4 001C	RCER	受信チャネル・イネーブル・レジスタ	11.6.3.1
018C 0020	0190 0020	01A4 0020	XCER	送信チャネル・イネーブル・レジスタ	11.6.3.1
018C 0024	0190 0024	01A4 0024	PCR	ピン・コントロール・レジスタ	11.2.1

† RBR, RSR, XSRは、CPUまたはDMAから直接アクセスすることができません。

‡ このレジスタは、CPUとDMAによってリードのみ行なうことができます。ライトはできません。

§ C6202/C6203でのみ利用可能

¶ C6211/C6711では、DRRは、McBSP0では30000000h-33FFFFFFhに、McBSP1では34000000h-37FFFFFFhにもマッピングされています。

# C6211/C6711では、DXRは、McBSP0では30000000h-33FFFFFFhに、McBSP1では34000000h-37FFFFFFhにもマッピングされています。

表11-3. TMS320C6211/6711データ受信及び送信レジスタ(DRR/DXR)マッピング

シリアル・ポート	アクセスに使用されるバス	
	ペリフェラル・バス	EDMAバス
McBSP 0	0x018C0000	0x30000000-0x33FFFFFF
McBSP1	0x01900000	0x34000000-0x37FFFFFF



表11-4. McBSPからCPUへの割り込みとDMA同期イベント

割り込み名	解説	参照節
RINT	CPUへの受信割り込み	11.3.3
XINT	CPUへの送信割り込み	11.3.3
REVT	DMAへの受信同期イベント	11.3.2.1
XEVT	DMAへの送信同期イベント	11.3.2.2

### 11.2.1 シリアル・ポートの設定

シリアル・ポートは、図11-2と図11-3に示す32ビットのシリアル・ポート・コントロール・レジスタ(SPCR)とピン・コントロール・レジスタ(PCR)を通じて設定することができます。SPCRとPCRは、McBSPステータス・コントロール・ビットを持っています。表11-5と表11-6に、それぞれ、SPCRとPCRフィールドのまとめを示します。

PCRは、受信部または送信部がリセットの状態、シリアル・ポートのピンを汎用の入力または出力のピンに設定するためにも使用されます。(11.8節を参照)

図11-2. シリアル・ポート・コントロール・レジスタ(SPCR)

31		24	23	22	21	20	19	18	17	16				
reserved <sup>†</sup>			$\overline{\text{FRST}}$	$\overline{\text{GRST}}$	XINTM	XSYNCERR <sup>‡</sup>	$\overline{\text{EMPTY}}$	XRDY	$\overline{\text{XRST}}$					
R, +0			RW, +0	RW, +0	RW, +0	RW, +0	R, +0	R, +0	RW, +0					
15	14	13	12	11	10	8	7	6	5	4	3	2	1	0
DLB	RJUST	CLKSTP	Rsvd <sup>†</sup>	DXENA <sup>§</sup>	Rsvd <sup>†</sup>	RINTM	RSYNCERR <sup>‡</sup>	RFULL	RRDY	$\overline{\text{RRST}}$				
RW,+0	RW, +0	RW,+0	R, +0	RW, +0	R, +0	RW, +0	RW, +0	R, +0	R, +0	R, +0	RW, +0			

<sup>†</sup> 予約の領域については、対応する記憶領域は設定されていません。ただし、リード値は、常に0となります。

<sup>‡</sup> このビットに1をライトすることによりエラー状態となります。このビットは、主にテストのため、またはこのような動作が必要とされる場合に使用されます。

<sup>§</sup> DXENAの機能はC6211/C6711でのみ利用可能です。

表11-5. シリアル・ポート・コントロール・レジスタ(SPCR)フィールドの解説

名前	機能	参照節
$\overline{\text{FRST}}$	フレーム同期ジェネレータのリセット $\overline{\text{FRST}}=0$ : フレーム同期生成のロジック回路がリセットされます。フレーム同期信号は、サンプル・レート・ジェネレータによって生成されません。 $\overline{\text{FRST}}=1$ : 8CLKGクロック後に、フレーム同期信号が生成されます。すべてのフレーム・カウンタに、プログラムされた値がロードされます。	11.5.3
$\overline{\text{GRST}}$	サンプル・レート・ジェネレータのリセット $\overline{\text{GRST}}=0$ : サンプル・レート・ジェネレータがリセットされます。 $\overline{\text{GRST}}=1$ : サンプル・レート・ジェネレータのリセット状態が解除されます。CLKGは、サンプル・レート・ジェネレータ・レジスタ(SRGR)にあらかじめプログラムされた値にドライブされます。	11.5.1.2
RINTM	受信割り込みモード RINTM=00b: RRDYによりRINTがドライブされる RINTM=01b: マルチチャネル動作のサブフレームの終わりでRINTが生成される RINTM=10b: 新しいフレーム同期によりRINTが生成される RINTM=11b: RSYNCERRによりRINTが生成される	11.3.3
XINTM	送信割り込みモード XINTM=00b: XRDYによりXINTがドライブされる XINTM=01b: マルチチャネル動作のサブフレームの終わりでXINTが生成される XINTM=10b: 新しいフレーム同期によりXINTが生成される XINTM=11b: XSYNCERRによりXINTが生成される	11.3.3
RSYNCERR	受信同期エラー	11.3.7.2
	RSYNCERR=0:フレーム同期なしエラー	11.3.7.5
	RSYNCERR=1:McBSPによりフレーム同期エラー検出	
XSYNCERR	送信同期エラー	11.3.7.2
	XSYNCERR=0:フレーム同期なしエラー	11.3.7.5
	XSYNCERR=1:McBSPによりフレーム同期エラー検出	
$\overline{\text{XEMPTY}}$	送信シフト・レジスタ(XSR)エンプティ $\overline{\text{XEMPTY}}=0$ :XSRがエンプティ $\overline{\text{XEMPTY}}=1$ :XSRがエンプティでない	11.3.7.4

表11-5. シリアル・ポート・コントロール・レジスタ (SPCR) フィールドの解説 (続き)

名前	機能	参照節
RFULL	受信シフト・レジスタ (RSR)・フル・エラー状態 RFULL=0:受信部がオーバ・ラン状態ではない RFULL=1:DDRリードなし、RBRがフル、RSRが新しいエレメントでフル	11.3.7.1
RRDY	受信部レディ RRDY=0: 受信部/送信部がレディでない RRDY=1: 受信部がDRRからのデータリードレディ状態	11.3.2
XRDY	送信部レディ XRDY=0: 送信部がレディでない XRDY=1: 送信部がDXRへのデータライトレディ状態	11.3.2
$\overline{RRST}$	受信部のリセット、これにより受信部がリセットまたはイネーブルされる $\overline{RRST}$ =0:シリアル・ポート受信部がディスエーブルされリセット状態 $\overline{RRST}$ =1:シリアル・ポート受信部がイネーブル	11.3.1
$\overline{XRST}$	送信部リセット、これにより送信部がリセットまたはイネーブルされる $\overline{XRST}$ =0:シリアル・ポート送信部がディスエーブルされリセット状態 $\overline{XRST}$ =1:シリアル・ポート送信部がイネーブル	11.3.1
DLB	デジタル・ループ・バック・モード DLB=0:デジタル・ループ・バック・モード・ディスエーブル DLB=1:デジタル・ループ・バック・モード・イネーブル	11.5.2.5 11.5.2.6 11.5.3.2
RJUST	受信データの符号拡張及び格納方法 RJUST=00b:右寄せし、DRRの上位ビットをゼロづめ RJUST=01b:右寄せし、DRRの上位ビットを符号拡張 RJUST=10b:左寄せし、DRRの下位ビットをゼロづめ RJUST=11b:予約	11.3.8

表11-5. シリアル・ポート・コントロール・レジスタ (SPCR) フィールドの解説 (続き)

名前	機能	参照節
CLKSTP	<p>クロック・ストップ・モード</p> <p>CLKSTP=0xb: クロック・ストップ・モード・ディスエーブル、ノンSPIモードに対して通常のクロッキング</p> <p>以下の条件でさまざまなSPIモードに対してクロック・ストップ・モードがイネーブルされる</p> <p>CLKSTP=10b及びCLKXP=0:立ち上がりエッジでディレイなくクロック・スタート</p> <p>CLKSTP=10b及びCLKXP=1:立ち下がりエッジでディレイなくクロック・スタート</p> <p>CLKSTP=11b及びCLKXP=0:立ち上がりエッジでディレイつきクロック・スタート</p> <p>CLKSTP=11b及びCLKXP=1:立ち下がりエッジでディレイつきクロック・スタート</p>	11.7
DXENA	<p>DXイネーブラーC6211/C6711でのみ利用可能。DXにデータが出力される際の拡張ディレイをイネーブルします。このビットは、データそのものではなく、DXピンのハイ・インピーダンスをコントロールするので、データの第1ビットのみ遅れます。</p> <p>DXENA=0:DXイネーブラがオフ</p> <p>DXENA=1:DXイネーブラがオン</p>	11.6.4

図11-3. ピン・コントロール・レジスタ(PCR)

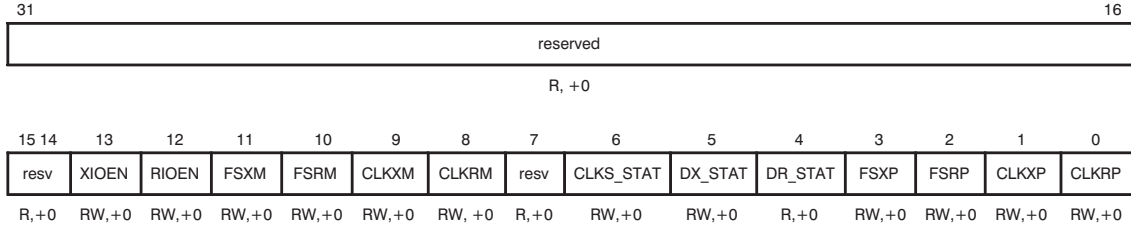


表11-6. ピン・コントロール・レジスタ(PCR)フィールドの解説

名前	機能	参照節
RIOEN	SPCRの $\overline{RRST}=0$ のときのみ受信部が汎用入出力モード。 RIOEN=0: DRピンとCLKSピンは汎用入力ではない。FSRとCLKRは汎用入出力ではなく、シリアルポート動作を行なう。 RIOEN=1: DRピンとCLKSピンは汎用入力ではない。FSRとCLKRは汎用入出力。これらのシリアル・ポート・ピンはシリアル・ポート動作をしない。	11.8
XIOEN	SPCRの $\overline{XRST}=0$ のときのみ送信部が汎用入出力モード。 XIOEN=0: CLKSピンは汎用入力ではない。DXピンは汎用出力ではない。FSXとCLKXは汎用入出力ではない。 XIOEN=1: CLKSピンは汎用入力。DXピンは汎用出力。FSXピンとCLKXピンは汎用入出力。これらのシリアル・ポート・ピンはシリアル・ポート動作をしない。	11.8
FSXM	送信フレーム同期モード FSXM=0: フレーム同期信号は、外部のソースにより供給される、FSXは入力ピン FSXM=1: フレーム同期の生成は、SRGRのサンプル・レート・ジェネレータ・フレーム同期ビットFSGMによって決定される	11.5.3.3 及び 11.8
FSRM	受信フレーム同期モード FSRM=0: フレーム同期信号、は外部のデバイスにより生成される、FSRは入力ピン FSRM=1: フレーム同期信号は、サンプル・レート・ジェネレータによって内部で生成される、FSRは、SRGRのGSYNC=1(11.5.1.1参照)のときを除いて出力ピン	11.5.3.2 及び 11.8

表11-6. ピン・コントロール・レジスタ(PCR)フィールドの解説 (続き)

名前	機能	参照節
CLKRM	受信部クロック・モード ケース1:SPCRのデジタル・ループバック・モードがセットされていない(DLB=0) CLKRM=0: 受信クロック(CLKR)は、外部クロックによってドライブされる入力 CLKRM=1: CLKRは出力ピンであり、サンプル・レート・ジェネレータによってドライブされる ケース2:SPCRのデジタル・ループバック・モードがセットされている(DLB=1) CLKRM=0: 受信クロック(CLKRピンではない)は、PCRのCLKXMビットに基づいた送信クロック(CLKX)でドライブされる、CLKRは、ハイ・インピーダンス状態 CLKRM=1: CLKRは出力ピンであり送信クロックによりドライブされる、送信クロックは、PCRのCLKXMビットに従って生成される	11.5.2.6 及び 11.8
CLKXM	送信部クロック・モード CLKXM=0: 送信クロックは、CLKXピンを入力ピンとして外部クロックによりドライブされる CLKXM=1: CLKXピンは出力ピンであり内部のサンプル・レート・ジェネレータによってドライブされる SPIモード(SPCRのCLKSTPが0以外の値)では: CLKXM=0: McBSPはスレーブであり(CLKX)は、システムのSPIマスタによりドライブされる。CLKRは内部でCLKXによりドライブされる CLKXM=1: McBSPはマスタであり、送信クロック(CLKX)を生成して受信クロック(CLKR)とシステムの中のSPI対応のスレーブのシフト・クロックをドライブする	11.5.2.6 及び 11.8  11.7
CLKS_STAT	CLKSピンの状態、汎用入力として選択されている場合のCLKSの値	11.8
DX_STAT	DXピンの状態、汎用出力として選択されている場合のDXピンの値	11.8
DR_STAT	DRピンの状態、汎用入力として選択されている場合のDRピンの値	11.8
FSRP	受信フレーム同期極性 FSRP=0:フレーム同期パルスFSRがアクティブ・ハイ FSRP=1:フレーム同期パルスFSRがアクティブ・ロー	11.3.4.1 及び 11.8
FSXP	送信フレーム同期極性 FSXP=0:フレーム同期パルスFSXPがアクティブ・ハイ FSXP=1:フレーム同期パルスFSXPがアクティブ・ロー	11.3.4.1 及び 11.8

表11-6. ピン・コントロール・レジスタ(PCR)フィールドの解説 (続き)

名前	機能	参照節
CLKXP	送信クロック極性 CLKXP=0:送信データはCLKXの立ち上がりエッジでドライブされる CLKXP=1:送信データはCLKXの立ち下がりエッジでドライブされる	11.3.4.1 及び 11.8
CLKRP	受信クロック極性 CLKRP=0:受信データはCLKRの立ち下がりエッジでサンプルされる CLKRP=1:受信データはCLKRの立ち上がりエッジでサンプルされる	11.3.4.1 及び 11.8

### 11.2.2 受信及び送信コントロール・レジスタ:RCRとXCR

図11-4と図11-5に示す受信及び送信コントロール・レジスタ(RCRとXCR)は、それぞれ、受信と送信の動作におけるさまざまなパラメータを設定します。

図11-4. 受信コントロール・レジスタ(RCR)

31	30	24	23	21	20	19	18	17	16
RPHASE	RFRLLEN2	RWDLEN2		RCOMPAND		RFIG		RDATDLY	
RW, +0	RW, +0	RW, +0		RW, +0		RW, +0		RW, +0	
15	14	8	7	5	4	3	0		
reserved		RFRLLEN1		RWDLEN1		RWDREVRST†		reserved	
R, +0		RW, +0		RW, +0		RW, +0		R, +0	

† RWDREVRST及びXWDREVRSTの32ビット反転機能はC6211/C6711でのみ利用可能です。

図11-5. 送信コントロール・レジスタ(XCR)

31	30	24	23	21	20	19	18	17	16
XPHASE	XFRLEN2	XWDLEN2		XCOMPAND		XFIG		XDATDLY	
RW, +0	RW, +0	RW, +0		RW, +0		RW, +0		RW, +0	
15	14	8	7	5	4	3	0		
reserved		XFRLEN1		XWDLEN1		XWDREVRST†		reserved	
R, +0		RW, +0		RW, +0		RW, +0		R, +0	

† RWDREVRST及びXWDREVRSTの32ビット反転機能はC6211/C6711でのみ利用可能です。



表11-7. 受信/送信コントロール・レジスタ(RCR/XCR)フィールドの解説

名前	機能	参照節
RPHASE	受信フェーズ RPHASE=0:シングル・フェーズのフレーム RPHASE=1:デュアル・フェーズのフレーム	11.3.4.2
XPHASE	送信フェーズ XPHASE=0:シングル・フェーズのフレーム XPHASE=1:デュアル・フェーズのフレーム	11.3.4.2
RFRLN(1/2)	フェーズ1とフェーズ2における受信フレーム長 RFRLN(1/2)=000 0000b:フェーズあたり1ワード RFRLN(1/2)=000 0001b:フェーズあたり2ワード ・ ・ ・ RFRLN(1/2)=111 1111b:フェーズあたり128ワード	11.3.4.3
XFRLN(1/2)	フェーズ1とフェーズ2における送信フレーム長 XFRLN(1/2)=000 0000b:フェーズあたり1ワード XFRLN(1/2)=000 0001b:フェーズあたり2ワード ・ ・ ・ XFRLN(1/2)=111 1111b:フェーズあたり128ワード	11.3.4.3
RWDLEN(1/2)	フェーズ1とフェーズ2における受信エレメント長 RWDLEN(1/2)=000b:8ビット RWDLEN(1/2)=001b:12ビット RWDLEN(1/2)=010b:16ビット RWDLEN(1/2)=011b:20ビット RWDLEN(1/2)=100b:24ビット RWDLEN(1/2)=101b:32ビット RWDLEN(1/2)=11Xb:予約済	11.3.4.4

表11-7. 受信/送信コントロール・レジスタ(RCR/XCR)フィールドの解説 (続き)

名前	機能	参照節
XWDLEN(1/2)	フェーズ1とフェーズ2における送信エレメント長 XWDLEN(1/2)=000b:8ビット XWDLEN(1/2)=001b:12ビット XWDLEN(1/2)=010b:16ビット XWDLEN(1/2)=011b:20ビット XWDLEN(1/2)=100b:24ビット XWDLEN(1/2)=101b:32ビット XWDLEN(1/2)=11Xb:予約済	11.3.4.4
RCOMPAND	受信圧伸モード、00b以外のモードは、対応するRWDLENが8ビットデータを表す000bに設定されている場合にのみ適用 RCOMPAND=00b: 圧伸なし、データ転送はMSBファーストで開始 RCOMPAND=01b: 圧伸なし、8ビットデータ、転送はLSBファーストで開始 RCOMPAND=10b: 受信データについて $\mu$ -Lawによる圧伸 RCOMPAND=11b: 受信データについてA-Lawによる圧伸	11.4
XCOMPAND	送信圧伸モード、00b以外のモードは、対応するXWDLENが8ビットデータを表す000bに設定されている場合にのみ適用 XCOMPAND=00b: 圧伸なし、データ転送はMSBファーストで開始 XCOMPAND=01b: 圧伸なし、8ビットデータ、転送はLSBファーストで開始 XCOMPAND=10b: 送信データについて $\mu$ -Lawによる圧伸 XCOMPAND=11b: 送信データについてA-Lawによる圧伸	11.4
RFIG	受信フレーム無視(ignore) RFIG=0: 予期しない受信フレーム同期パルスにより、転送を再開 RFIG=1: 予期しない受信フレーム同期パルスを無視	11.3.6.1
XFIG	送信フレーム無視(ignore) XFIG=0: 予期しない送信フレーム同期パルスにより、転送を再開 XFIG=1: 予期しない送信フレーム同期パルスを無視	11.3.6.1

表11-7. 受信/送信コントロール・レジスタ(RCR/XCR)フィールドの解説 (続き)

名前	機能	参照節
RDATDLY	受信データ・ディレイ RDATDLY=00b:0ビット・データ・ディレイ RDATDLY=01b:1ビット・データ・ディレイ RDATDLY=10b:2ビット・データ・ディレイ RDATDLY=11b:予約	11.3.4.6
XDATDLY	送信データ・ディレイ XDATDLY=00b:0ビット・データ・ディレイ XDATDLY=01b:1ビット・データ・ディレイ XDATDLY=10b:2ビット・データ・ディレイ XDATDLY=11b:予約	11.3.4.6
RWDREVR	32ビットを反転して受信。C6211/C6711でのみ利用可能。 RWDREVR=0:32ビット・リバース・ディセーブル RWDREVR=1:32ビット・リバース・イネーブル。32ビット・データは最下位ビットから受信されます。RWDLENは32ビット動作に設定されている必要があります。それ以外での動作は不定です。	11.3.9
XWDREVR	32ビットを反転して送信。 XWDREVR=0:32ビット・リバース・ディセーブル XWDREVR=1:32ビット・リバース・イネーブル。32ビット・データは最下位ビットから送信されます。XWDLENは32ビット動作に設定されている必要があります。それ以外での動作は不定です。	11.3.9

### 11.3 データの送信と受信

ページ 11-3の図11-1に示すように、受信動作には、3段のバッファが使用され、送信操作には2段のバッファが使用されます。受信データは、DRに入力され、RSRにシフトされます。エレメント全体(8、12、16、20、24、または32ビット)が受信されると、受信バッファレジスタ(RBR)がフルでない限り、RSRの内容がRBRにコピーされます。さらに、RBRの内容は、DRRがCPUまたはDMAによってリードされていない場合を除き、DRRにコピーされます。

送信データは、CPUまたはDMAによってDXRにライトされます。XSRの中にデータがない場合には、DXRの値がXSRにコピーされます。それ以外の場合には、データの最後のビットがDXにシフトアウトされたときに、DXRの内容がXSRにコピーされます。送信フレーム同期が獲得された後に、XSRは、送信データのDXへのシフトアウトを開始します。

#### 11.3.1 シリアル・ポートのリセット: $\overline{(R/X)RST}$ , $\overline{GRST}$ , $\overline{RESET}$

シリアル・ポートは、次の2つの方法でリセットすることができます。

- デバイスのリセット( $\overline{RESET}$ ピンをロー・レベル)によって、受信部、送信部、サンプルレート・ジェネレータがリセット状態に置かれます。デバイスのリセットが解除される後も( $\overline{RESET}=1$ )、 $\overline{FRST}=\overline{GRST}=\overline{RRST}=\overline{XRST}=0$ に設定され、シリアル・ポート全体がリセット状態となります。
- シリアル・ポートの送信部と受信部は、SPCRの $\overline{XRST}$ と $\overline{RRST}$ ビットによって、個別にリセットすることができます。サンプルレート・ジェネレータは、SPCRの $\overline{GRST}$ ビットによってリセットされます。

表11-8に、シリアル・ポートがこれらの方法によってリセットされた場合のMcBSPピンの状態を示します。

表11-8. McBSPピンのリセット状態

McBSPピン	方向	デバイス・リセット (RESET=0)	McBSPリセット
受信部リセット( $\overline{RRST}=0$ 及び $\overline{GRST}=1$ )			
DR	I	入力	入力
CLKR	I/O/Z	入力	入力は確定した状態、出力はCLKR
FSR	I/O/Z	入力	入力は確定した状態、出力はFSRP(インアクティブな状態)
CLKS	I	入力	入力
送信部リセット( $\overline{XRST}=0$ 及び $\overline{GRST}=1$ )			
DX	O	ハイ・インピーダンス	ハイ・インピーダンス
CLKX	I/O/Z	入力	入力は確定した状態、出力はCLKX
FSX	I/O/Z	入力	
CLKS	I	入力	

- **デバイス・リセットまたはMcBSPリセット:** McBSPがデバイス・リセットまたはMcBSPリセットでリセットされると、マシン・ステータスは初期状態にリセットされます。この初期状態では、すべてのカウンタとステータス・ビットがリセットされています。受信ステータス・ビットには、RFULL、RRDY、それにRSYNCERRがあります。送信ステータス・ビットには、 $\overline{XEMPTY}$ 、XRDY、それにXSYNCERRがあります。
- **デバイス・リセット:** McBSPがデバイス・リセットによりリセットされると、シリアル・ポート全体(送信部、受信部、サンプル・レート・ジェネレータを含む)がリセットされます。入力専用ピンとトライステート・ピンは、確定した状態になります。出力専用のピンであるDXは、ハイ・インピーダンス状態になります。サンプル・レート・ジェネレータもリセット( $\overline{GRST}=0$ )されるため、サンプル・レート・ジェネレータのクロックCLKGは、内部クロック・ソースの2分周でドライブされ、フレーム同期信号FSGは生成されません。内部クロック・ソースは、C6201/C6701/C6202/C6203ではCPUクロックであり、C6211/C6711ではCPU/2クロック(CPUクロックの2分周)です。サンプル・レート・ジェネレータのリセットについての詳細については、11.5.1.2節を参照してください。デバイスに対するリセットが解除されたときには、シリアル・ポートはリセット状態( $\overline{(R/X)RST}=\overline{FRST}=0$ )にとどまり、また、この状態では、シリアル・ポートのピンは、汎用入出力として使用することができます。(11.8節を参照)

- **McBSPリセット:** 受信部と送信部のリセット・ビットである $\overline{RRST}$ と $\overline{XRST}$ に0をライトすると、McBSPのそれぞれの部分がりセットされ、対応する機能ブロックの動作が停止します。DRやCLKSのような入力専用ピンのすべてと、入力として設定されたピンのすべては、確定した状態となります。FS(R/X)は、出力に設定されている場合には、インアクティブな状態(極性ビットのFS(R/X)Pと同じ)にドライブされます。CLK(R/X)が、出力としてプログラムされている場合には、 $\overline{GRST}=1$ の設定がされていることを条件として、CLKGによってドライブされます。また、送信部がりセットされると、DXピンはハイ・インピーダンス状態となります。通常の動作中には、 $\overline{GRST}$ に0をライトすることにより、サンプル・レート・ジェネレータをリセットすることができます。 $\overline{GRST}$ は、送信部と受信部のどちらもサンプル・レート・ジェネレータを使用していないときにのみ、ロー・レベルとする必要があります。この場合には、内部のサンプル・レート・ジェネレータのクロックCLKGとフレーム同期信号(FSG)は、インアクティブなレベル(ロー)にドライブされます。サンプル・レート・ジェネレータがりセット状態にない( $\overline{GRST}=1$ )場合には、 $\overline{RRST}=0$ と $\overline{XRST}=0$ の設定がされ、FSRとFSXがFSGによりドライブされる出力であるときに、FSRとFSXがインアクティブとなります。これにより、McBSPの一方の部分がりセット状態にある場合でも、 $\overline{FRST}=1$ の設定がされフレーム同期がFSGによりドライブされていることを条件として、他方の部分の動作が可能となります。
- **サンプル・レート・ジェネレータのリセット:** これまでに解説したとおり、サンプル・レート・ジェネレータは、デバイスのリセット時またはリセット・ビットの $\overline{GRST}$ に0がライトされたときにリセットされます。デバイス・リセットの場合には、CLKG信号は、内部クロック・ソースの2分周でドライブされ、FSGは、インアクティブなレベル(ロー)にドライブされます。内部クロック・ソースは、C6201/C6701/C6202/C6203ではCPUクロックであり、C6211/C6711ではCPU/2クロック(CPUクロックの2分周)です。送信部と受信部のどちらにもCLKGやFSGが供給されていない状態でサンプル・レート・ジェネレータをリセットするには、SRGRの $\overline{GRST}$ に0をライトします。すると、CLKGとFSGは、インアクティブなレベル(ロー)にドライブされます。 $\overline{GRST}=1$ とすると、CLKGがSRGRのプログラムに応じて出力を開始します。この後で $\overline{FRST}=1$ の設定を行なうと、8サイクル経過後に、FSGがアクティブ(ハイ)の状態にドライブされます。

シリアル・ポートの初期化は、以下の手順により行ないます。

- 1) SPCRで、 $\overline{XRST}=\overline{RRST}=\overline{FRST}=0$ の設定を行ないます。デバイスがりセットから復帰する場合には、このステップは不要です。
- 2) シリアル・ポートがりセット状態( $\overline{XRST}=\overline{RRST}=\overline{FRST}=0$ )にあるときに、表11-2のうちのMcBSP設定レジスタのみ(データ・レジスタを除く)を必要に応じてプログラムします。
- 3) 2ビット・クロックにわたりウェイトします。これは、内部同期を確実にするために行なうものです。
- 4) 必要に応じてデータリードのための設定を行ないます。
- 5)  $\overline{XRST}=\overline{RRST}=1$ の設定によりシリアル・ポートをイネーブルします。この場合のSPCRへのライトは、リセット・ビットだけを1とし、残りのビットはステップ2と同じ値としておく必要があります。
- 6)  $\overline{FRST}=1$ の設定を行ないます。McBSPがフレーム・マスタである場合には、これで、送信及び/または受信が可能となります。

どちらのライト(ステップ1またはステップ5)によっても、送信部と受信部は、必要なビットのみを変更することによって、択一的にリセット状態に置かれ、または、リセット状態から開放されます。 $\overline{XRST}$ または $\overline{RRST}$ をアクティブ(ロー)に保持する期間は、最低2ビット・クロック(CLKR/CLKX)が必要です。このリセットによる初期化の手順は、通常の動作中に送信部または受信部をリセットする必要がある場合、また、サンプル・レート・ジェネレータがどちらの動作にも使用されていない場合に、一般的に適用できるものです。サンプル・レート・ジェネレータのリセットの手順を11.5.1.2節で解説します。

**注:**

- 1) シリアル・ポート・コントロール・レジスタであるSPCR、PCR、RCR、XCR、それにSRGRの各フィールドの変更は、シリアル・ポートの中でこれらのフィールドの影響を受ける部分がリセットの状態にあるときに行なってください。
- 2) データ送信レジスタDXRには、送信部がリセットの状態にない( $\overline{XRST}=1$ )ときにのみ、CPUまたはDMAによってデータをロードすることができます。この例外となるノン・デジタル・ループバック・モードが選択されている場合については、11.4.1節で解説します。
- 3) マルチチャンネル選択レジスタMCR、XCER、RCERは、現行のブロックによって使用されていない限り、いつでも変更することができます。詳細については、11.6.3.2節を参照してください。

### 11.3.2 レディ状態の判定

RRDYとXRDYは、それぞれ、McBSPの受信部と送信部のレディ状態を示します。シリアル・ポートに対するライト及びリードは、次のいずれかの方法で同期して行なうことができます。

- RRDY及びXRDYのポーリング
- DMAへ送られるイベント(REVT及びXEVT)を使用
- イベントにより生成されCPUに送られる割り込み(RINT及びXINT)を使用

**注:**

DRRからのリード、DXRへのライトは、それぞれRRDY及びXRDYに影響します。

#### 11.3.2.1 受信レディ状態:REVT、RINT及びRRDY

RRDY=1は、RBRの内容がDRRにコピーされ、CPUまたはDMAによりこのデータがリード可能な状態にあることを示します。データが、CPUかDMAによってリードされると、RRDYは、0にクリアされます。デバイスのリセットかシリアル・ポートの受信部のリセット( $\overline{RRST}=0$ )によっても、RRDYは、0にクリアされ、データがまだ受信されておらず、DRRにロードされていないことを示します。RRDYは、McBSPの受信イベントを直接にDMAに(REVTにより)ドライブします。また、SPCRでRINTM=00bの設定(初期値)がされている場合には、McBSPからCPUへの受信割り込み(RINT)は、RRDYによってドライブすることができます。

### 11.3.2.2 送信レディ状態:XEVT、XINT及びXRDY

XRDY=1は、DXRの内容がXSRにコピーされ、DXRが新しいデータ・ワードのロードに対してレディ状態となっていることを示します。送信部が、リセットからノン・リセットの状態に遷移すると(XRSTが0から1に遷移)、XRDYも0から1に遷移して、DXRが新しいデータに対してレディ状態であることを示します。CPUまたはDMAによって新しいデータがロードされると、XRDYは、0にクリアされます。しかし、このデータが、DXRからXSRにコピーされると、XRDYは、再び0から1に遷移します。CPUまたはDMAは、XSRの内容がDXRにシフト・アウトされていない場合でも、DXRに対するライトを行なうことができます。XRDYは、送信同期イベントを直接にDMAに(XEVTにより)ドライブします。また、SPCTでXINYM=00bの設定(初期値)がされている場合には、CPUへの送信割り込み(XINT)は、XRDYによりドライブすることができます。

### 11.3.3 CPUへの割り込み:(R/X)INT

受信割り込み(RINT)と送信割り込み(XINT)は、CPUに対し、シリアル・ポートの状態に変化があったことを知らせます。これらの割り込みの設定については、4つのオプションがあります。これらのオプションは、SPCRの受信/送信割り込みモード・フィールド(R/X)INTMによって設定します。モード設定のための値と、その値による設定の内容を以下に示します。

- (R/X)INTM=00b。SPCRの(R/X)RDYビットの監視により、シリアル・エレメントごとに割り込みを発生。
- (R/X)INTM=01b。フレームの中のサブ・フレームの終わり(16エレメント以下)で割り込みを発生。詳細については11.6.3.3節を参照。
- (R/X)INTM=10b。フレーム同期パルスの検出により割り込みを発生。これにより送信部や受信部がリセットの状態でも割り込みを発生することができます。これは、入力されるフレーム同期パルスをCPUのクロックに同期させ、これを、(R/X)INTを通じてCPUに送ることにより実現されます。詳細については、11.5.3.4参照。
- (R/X)INTM=11b。フレーム同期エラーにより割り込みを発生。他の割り込みモードのどれかが選択されている場合には、(R/X)SYNCERRを、この状態を検出してその割り込みを発生させるために使うことができます。同期エラーの詳細については、11.3.7.2節と11.3.7.5節を参照してください。

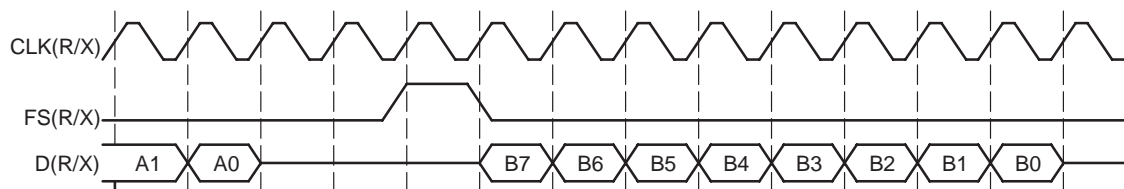


### 11.3.4 フレームとクロックの設定

図11-6に、McBSPのクロック及びフレーム同期信号の典型的な動作例を示します。シリアル・クロックのCLKRとCLKXは、それぞれ、受信と送信におけるビットのバウンダリを決定します。同様に、フレーム同期信号のFSRとFSXは、エレメント転送の開始のタイミングを与えます。McBSPでは、データとフレーム同期のために以下のパラメータの設定が可能です。

- FSR、FSX、CLKX及びCLKRの極性
- フレームにおけるシングル・フェーズまたはデュアル・フェーズの選択
- それぞれのフェーズについての、フレームあたりのエレメント数
- それぞれのフェーズについての、エレメントあたりのビット数
- 次のフレーム同期で転送をリスタートするかどうか
- フレーム同期から最初のデータ・ビットまでのデータ・ディレイを、0、1、2ビットに設定可能
- 受信データに対する右寄せまたは左寄せ、符号拡張またはゼロづめを選択可能

図11-6. フレームとクロックの動作



#### 11.3.4.1 フレームとクロックの動作

受信及び送信のフレーム同期パルスは、サンプル・レート・ジェネレータにより内部的に生成するか(11.5.1節を参照)、あるいは、外部入力によりドライブすることができます。フレーム同期のソースは、PCRのモード・ビットFS(R/X)Mを設定することにより選択することができます。FSRも、SRGR(詳細は、11.5.3.2節を参照)のGSYNCビットによって影響を受けます。同様に、受信と送信のクロックについても、PCRのモード・ビットCLK(R/X)Mを設定することにより、入力または出力を選択することができます。

FSRとFSXが入力である場合(FSX=FSRM=0)には、McBSPは、それぞれ、クロックCLKR\_intとCLKX\_intの立ち下がりエッジでこれらを検出します(ページ11-52の図11-36を参照)。DRピンに入力される受信データも、CLKR\_intの立ち下がりエッジによってサンプルされます。これらの内部クロック信号は、外部ソースからCLK(R/X)ピンに入力されたものか、McBSPの内部のサンプル・レート・ジェネレータによってドライブされたものです。

FSRとFSXが、サンプル・レート・ジェネレータによってドライブされる出力である場合には、これらは、内部クロックCLK(R/X)\_intの立ち上がりエッジによって生成(アクティブな状態に遷移)されます。同様にして、DXにあるデータは、CLKX\_intの立ち上がりエッジで出力されます。詳細については、11.3.4.6節を参照してください。

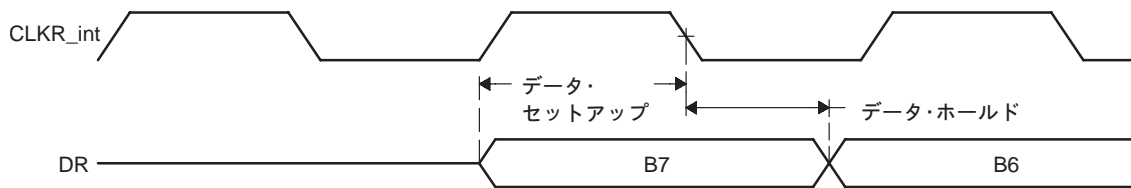
表11-6に示すように、FSRP、FSXP、CLKRP、及びCLKXPは、FSR、FSX、CLKR、それにCLKXの極性を設定します。シリアル・ポートの内部のすべてのフレーム同期信号(FSR\_intとFSX\_int)は、アクティブ・ハイとなっています。シリアル・ポートが、外部フレーム同期(FSR/FSXがMcBSPへの入力となる)に設定されており、かつ、FSRP=FSXP=1の設定がされている場合には、外部のアクティブ・ローのフレーム同期信号は、受信部信号(FSR\_int)や送信部信号(FSX\_int)に送られる前に反転されます。同様にして、内部同期が選択されている場合(FSR/FSXが出力でGSYNC=0)には、極性ビットFS(R/X)P=1の設定に対して、内部のアクティブ・ハイの同期信号は、FS(R/X)ピンに送られる前に反転されます。図11-36に、XORゲートを使った反転方法を示します。

送信側では、送信クロック極性ビットCLKXPにより、送信データのシフトとクロックのためのエッジの選択を行ないます。データは常にCLKX\_intの立ち上がりエッジで送信されます。CLKXP=1の設定がなされ、外部クロックが選択されている場合(CLKXM=0、CLKXは入力)には、立ち下がりエッジでトリガされたCLKXへの入力クロックは、送信部に送られる前に、反転されて立ち上がりエッジによりトリガされたクロックとなります。CLKXP=1の設定がされ、さらに内部クロックが選択されている場合(CLKXP=1、CLKXは出力ピン)には、内部(立ち上がりエッジ・トリガ)のクロックであるCLKX\_intは、CLKXピンに出力される前に反転されます。

同様にして、受信部では(送信側から)、立ち上がりエッジ・クロックでクロッキングされているデータを安定してサンプルすることができます。受信クロック極性ビットCLKRPにより、受信データのサンプルに使用するエッジを設定します。受信データは、常に、CLKR\_intの立ち下がりエッジでサンプルされます。このため、CLKRP=1の設定がなされ、外部クロックが選択(CLKRM=0で、CLKRが入力ピン)されると、外部の立ち上がりエッジによりトリガされたCLKRへの入力クロックは、受信部に送られる前に、反転されて立ち下がりエッジによってトリガされたクロックとなります。CLKRP=1の設定がなされ、内部クロックが選択されている場合(CLKRM=1)には、内部の立ち下がりエッジによりトリガされたクロックは、CLKRピンへ送られる前に反転されて立ち上がりエッジ・トリガのクロックとなります。

受信部と送信部で同じクロック(内部クロックまたは外部クロック)を使用するシステムでは、 $CLKRP=CLKXP$ となります。受信部では、送信部と逆のエッジを使用して、そのエッジに対するデータのセット・アップ時間とホールド時間を確保します。図11-7に、外部シリアル・デバイスにより立ち上がりエッジでクロックされたデータが、McBSPの受信部により、同じクロックの立ち下がりエッジでサンプルされる様子を示します。

図11-7. 受信データとクロック



#### 11.3.4.2 フレーム同期フェーズ

フレーム同期は、McBSPによる転送の開始を示します。フレーム同期の後のデータ・ストリームは、フェーズ1とフェーズ2の最大2つのフェーズを持つことができます。フェーズの数は、RCRとXCRのフェーズ・ビット(R/X)PHASEによって選択することができます。フレームあたりのエレメント数とエレメントあたりのビット数は、(R/X)FRLENと(R/X)WDLENにより、フェーズごとに、それぞれ独立に選択することができます。図11-8に、最初のフレームが、それぞれ12ビットからなる2つのエレメントにより構成され、その次のフレームが、それぞれ8ビットからなる3つのエレメントにより構成される場合を示します。フレームの中のビット・ストリームは、互いに隣接しており、エレメント間やフェーズ間にギャップは存在しません。表11-9に、受信部と送信部のフレーム長とエレメント長を制御する受信/送信コントロール・レジスタ(RCR/XCR)のフィールドを示します。シングル・フェーズのフレームにおける最大エレメント数は128であり、デュアル・フェーズのフレームについては256となっています。エレメントあたりのビット数は、8、12、16、20、24、または32に設定できます。

#### 注：

フレーム同期が内部で生成されるデュアル・フェーズのフレームの場合には、フェーズにおける最大エレメント数はワード長に依存します。これはフレーム長FPERが12ビット幅に限られており、各フレームにおいて4096ビットに限られるからです。したがって、シングル・フェーズでは128エレメント、デュアル・フェーズでは256エレメント、というのはWDLENが16ビットのときに適用されます。

図11-8. デュアル・フェーズのフレームの例

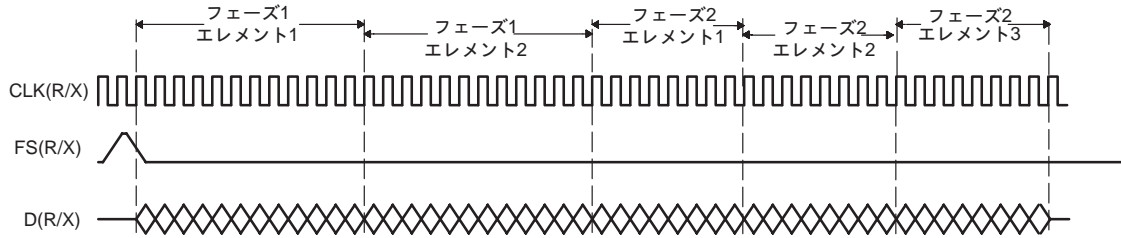


表11-9. フレームあたりのエレメント数とエレメントあたりのビット数を制御するRCR/XCRのフィールド

シリアル・ポート McBSP0/1	フレーム・フェーズ	RCR/XCRフィールド・コントロール	
		フレームあたりのエレメント数	エレメントあたりのビット数
受信	1	RFRELEN1	RWDLEN1
受信	2	RFRELEN2	RWDLEN2
送信	1	XFRELEN1	XWDLEN1
送信	2	XFRELEN2	XWDLEN2

### 11.3.4.3 フレーム長:(R/X)FRELEN(1/2)

フレーム長は、フレーム毎に転送されるシリアル・エレメントの数と定義することができます。このフレーム長は、フレーム同期信号あたりの、エレメント数または論理タイム・スロット数またはチャンネル数に対応します。表11-10に示すように、(R/X)CRの7ビットの(R/X)FRELEN(1/2)フィールドは、フレームあたり128までのエレメントをサポートします。(R/X)PHASE=0は、シングル・フェーズのデータ・フレームを表し、(R/X)PHASE=1は、そのデータ・ストリームについてデュアル・フェーズを選択します。シングル・フェーズのフレームについては、FRELEN2の設定値は意味を持ちません。フレーム長のフィールドには、wをフレームあたりのエレメント数として、(cEP)を設定します。図11-8では、(R/X)FRELEN1=1すなわち0000001b、(R/X)FRELEN2=2すなわち0000010bに設定されています。

表11-10. McBSPの受信/送信フレーム長(1/2)の設定

(R/X)PHASE	(R/X)FRELEN1	(R/X)FRELEN2	フレーム長
0	0 ≤ n ≤ 127	x	シングル・フェーズ・フレーム; フレームあたり(n+1)ワード
1	0 ≤ n ≤ 127	0 ≤ m ≤ 127	デュアル・フェーズ・フレーム; フレームあたり(n+1)+(m+1)ワード

#### 11.3.4.4 エlement長:(R/X)WDLEN(1/2)

受信/送信コントロールレジスタの(R/X)WDLENフィールドは、表11-9に示すように、受信部と送信部のフレームの各フェーズについて、Element長をビット数で決定します。表11-11は、これらのフィールドの値とElement長の関係を示したものです。図11-8の例では、(R/X)WDLEN1=001b、(R/X)WDLEN2=000bとなっています。(R/X)PHASE=0としてシングルフレームが選択されている場合には、(R/X)WDLEN2はMcBSPでは使用されず、その設定値は意味を持ちません。

表11-11. McBSP受信/送信Element長の設定

(R/X)WDLEN(1/2)	McBSP Element長 (ビット)
000	8
001	12
010	16
011	20
100	24
101	32
110	予約
111	予約

#### 11.3.4.5 フレーム長とElement長を用いたデータ・パッキング

フレーム長とElement長を操作することにより、データのパッキングを効率的に行なうことができます。例えば、図11-10に示すように、シングルフェーズのフレームで4つの8ビットElementを転送する場合を考えてみます。この例では、以下の設定がなされています。

- (R/X)PHASE=0、シングルフェーズのフレームを指定
- (R/X)FRLEN1=00000011b、4Element・フレームを指定
- (R/X)WDLEN1=000b、8ビット・Elementを指定

この例では、4つの8ビット・データ・Elementが、CPUまたはDMAとMcBSPとの間で送受されます。各フレームに対して、DDRのリード4回とDXRへのライト4回が必要となります。

図11-9. 4つの8ビット・エレメントからなるシングル・フェーズ・フレーム

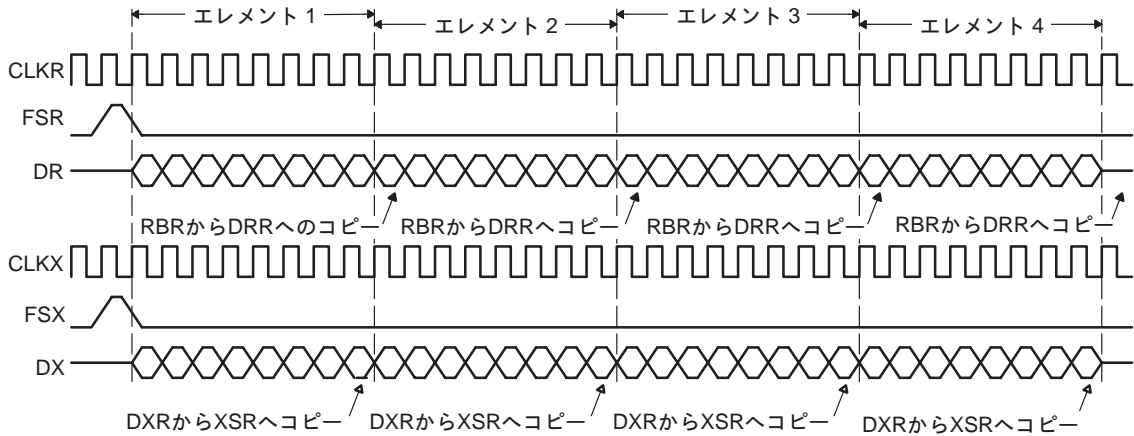


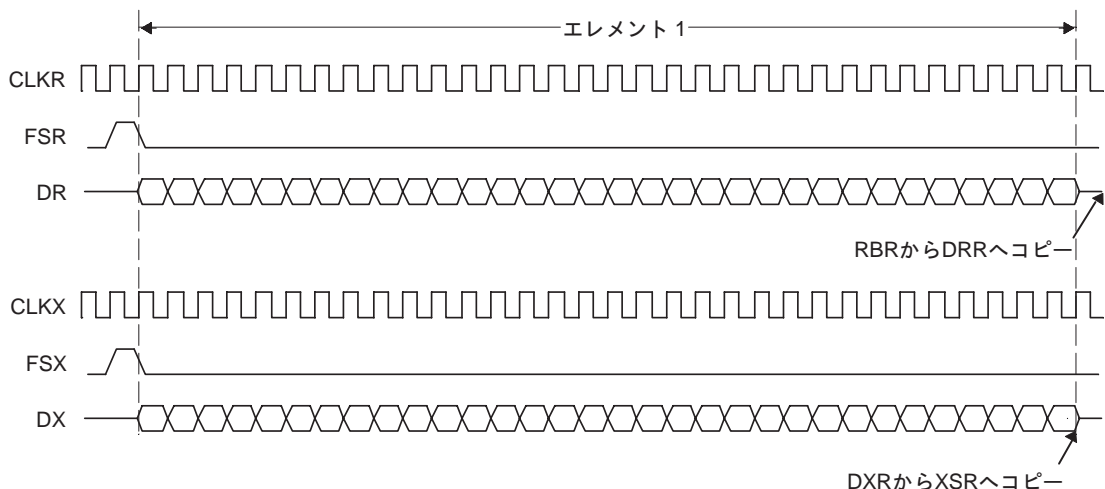
図11-9の例は、図11-10のような32ビット・データ・エレメントからなるシングル・フェーズ・フレームのデータ・ストリームと解釈することもできます。この例では、以下の設定がなされています。

- (R/X)PHASE=0、シングル・フェーズ・フレームを指定
- (R/X)FRLLEN1=0b、1エレメント・フレームを指定
- (R/X)WDLLEN1=101b、32ビット・エレメントを指定

この場合には、CPUまたはDMAとMcBSPとの間で、1つの32ビット・データ・エレメントが送受されます。この例では、フレームあたりDRRのリード1回とDXRへのライト1回が必要となります。これにより、前の例に比べて、転送の回数は4分の1となります。このような操作により、シリアル・ポートによるデータ転送において、バスの専有時間を減らすことができます。

11

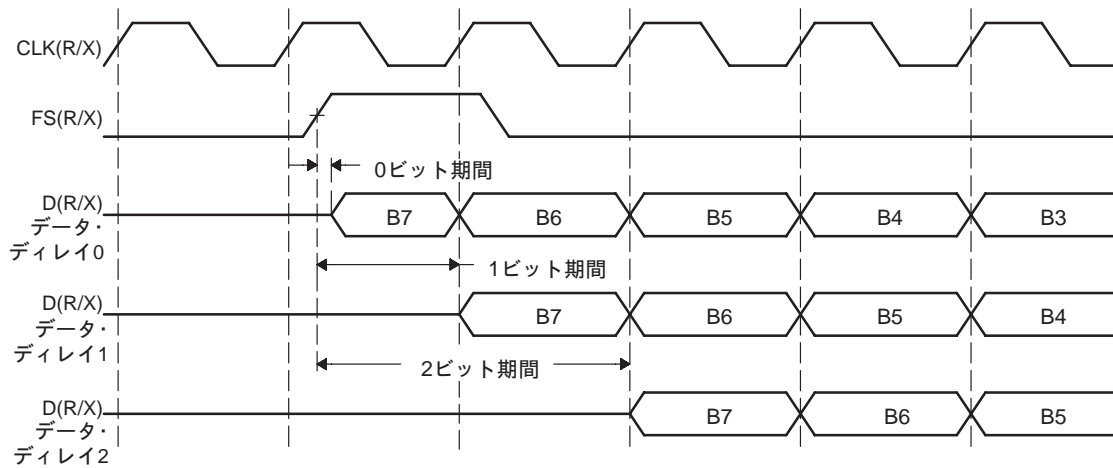
図11-10. 1つの32ビット・エレメントからなるシングル・フェーズ・フレーム



## 11.3.4.6 データ・ディレイ:(R/X)DATDLY

フレームの開始は、フレーム同期がアクティブとされた最初のクロック・サイクルと定義することができます。フレームの開始による実際のデータ受信または送信の開始は、必要に応じてディレイさせることができます。このディレイをデータ・ディレイと呼びます。RDATDLYとXDATDLYは、それぞれ、受信と送信におけるデータのディレイを指定します。設定可能なデータのディレイの範囲は、表11-7と図11-11に示す通り、0から2ビット・クロック((R/X)DATDLY=00bから10b)です。ここで、データは、1サイクルの間アクティブなフレーム同期信号に続く場合が多いため、多くの場合に、1ビットのディレイが選択されます。

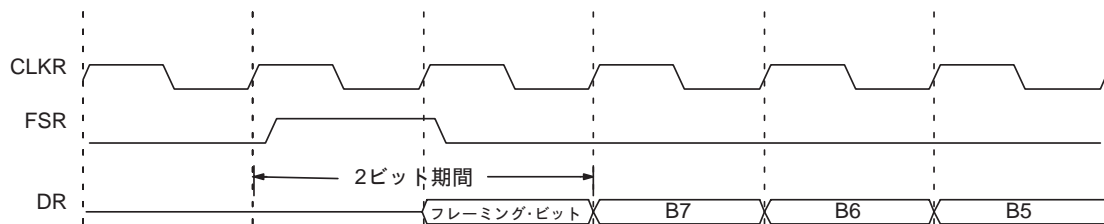
図11-11. データ・ディレイ



通常は、フレーム同期パルスは、シリアル・クロックCLK(R/X)パルスのエッジで検出されまたはサンプルされます。これにより、次のサイクル(データのディレイの値による)では、データの受信や送信が可能になります。しかし、データのディレイが0ビットに設定されていると、データは、シリアル・クロックの同じサイクルの中で送受信が可能となる必要があります。受信に関しては、アクティブ(ハイ)なFSRが検出されてから最初のCLKRの立ち下がりエッジで受信データをサンプルすることにより問題は解決されます。ところが、データの送信は、フレームの同期を生成したCLKXの立ち上がりエッジで開始する必要があります。このため、最初のデータ・ビットは、XSRとDXに保持されている必要があります。送信部は、この状態から、フレーム同期を非同期に検出し、FSXがアクティブとなると同時に、DXに保持された最初の送信ビットのドライブをはじめます。

その他の一般的な動作方法としては、2ビットのデータ・ディレイを使用するものがあります。この設定では、シリアル・ポートは、フレーミング・ビットがデータ・ビットの前に出力されるようなさまざまなT1フレーミング・デバイスとのインターフェイスが可能となります。このような2ビットのデータ・ディレイ(フレーム・ビットが1ビットのディレイで、データ・ビットが2ビットのディレイで現れる)を伴うようなストリームの受信では、図11-12に示すように、シリアル・ポートはフレーミング・ビットをデータ・ストリームから破棄します。送信においては、最初の送信ビットをディレイすることにより、シリアル・ポートは、フレーミング・ビットの位置にブランク期間(ハイ・インピーダンスの期間)を挿入します。ここでは、フレーミング・デバイスが、個別にフレーミング・ビットを挿入するか、または、他のデバイスがフレーミング・ビットを生成することが期待されます。それ以外の場合には、DXをプル・アップまたはプル・ダウンすることにより、出力値を設定することができます。

図11-12. フレーミング・ビットを破棄するための2ビットのデータ・ディレイ



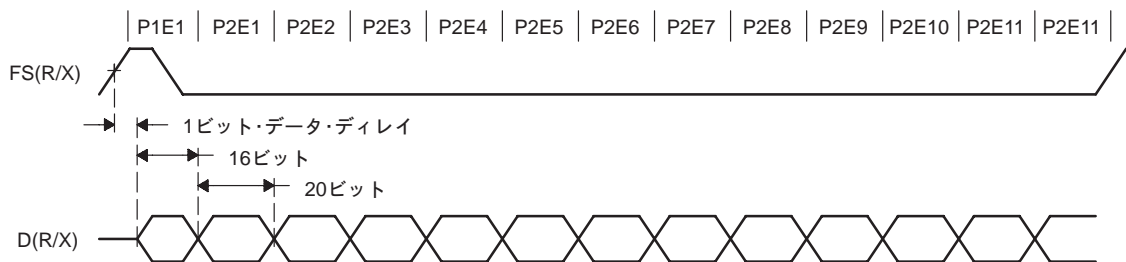


## 11.3.4.7 マルチフェーズ・フレームの例:AC97

図11-13に、デュアル・フェーズ・フレームの機能を使ったオーディオ・コーデック'97(AC97)の規格の例を示します。最初のフェーズは、シングル16ビット・エレメントにより構成されます。2番めのフェーズは、12の20ビット・エレメントから構成されます。これらのフェーズについては、以下の設定がされています。

- (R/X)PHASE=1b:デュアル・フェーズ・フレームを指定
- (R/X)FRLEN1=0b:フェーズ1でフレームあたり1エレメントを指定
- (R/X)WDLEN1=101b:フェーズ1でエレメントあたり16ビットを指定
- (R/X)FRLEN2=0001011b:フェーズ2でフレームあたり12エレメントを指定
- (R/X)WDLEN2=011b:フェーズ2でエレメントあたり20ビットを指定
- CLK(R/X)P=0:受信データについてCLKRの立ち下がりエッジによるサンプル、送信データについてCLKXの立ち上がりエッジによる送信を指定
- FS(R/X)P=0:アクティブなフレーム同期信号の使用を表示
- (R/X)DATDLY=01b:データ・ディレイを1ビット・クロックに指定

図11-13. AC97 デュアル・フェーズ・フレームのフォーマット

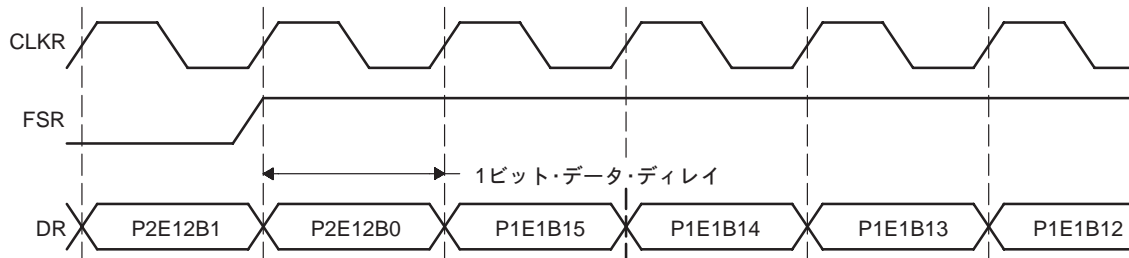


† PxEyは、フェーズxのエレメントyを示す

図11-13に、フレーム同期の近傍におけるAC97のタイミングを示します。まず、フレーム同期パルス自体が、最初のエレメントにオーバーラップします。McBSPの動作では、フレーム同期信号のインアクティブからアクティブへの遷移が、実際のフレーム同期となります。このため、フレーム同期は、任意のビット数だけハイ・レベルとすることができます。フレーム同期がインアクティブであると認識され、さらに、再びアクティブとなった後に次のフレーム同期が認識されます。

図11-14では、1ビットのデータ・ディレイがあります。データ・ディレイの設定に関係なく、送信は、ギャップなしに行なうことができます。フェーズ2の最後のエレメントの最後のビットには、すぐに次のデータ・フレームのフェーズ1の最初のエレメントの最初のデータ・ビットが続きます。

図11-14. フレーム同期近傍でのAC97のビット・タイミング



† PxEyBzは、フェーズxエレメントyのビットzを示す

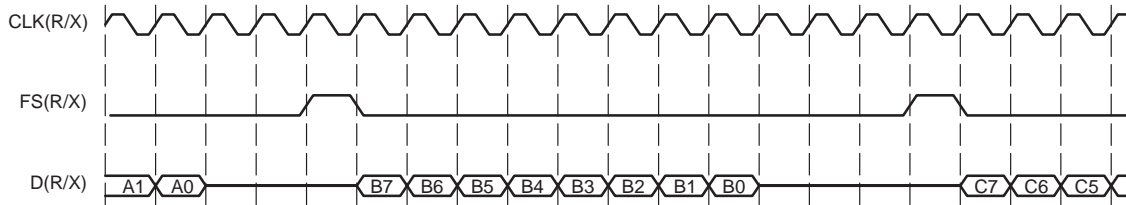
### 11.3.5 McBSPの基本的な動作

シリアル転送では、多くの場合、パケットや転送の間にシリアル・ポートがインアクティブとなる期間があります。送信と受信のフレーム同期パルスは、シリアル転送ごとに発生します。McBSPがリセット状態になく、目的の動作を行なうように設定されている場合には、(R/X)PHASE=0としてシングル・フェーズ・フレームを指定し、(R/X)FRLEN1にエレメント数をプログラムすることにより、シリアル転送を開始することができます。エレメント数は、1から128((R/X)FRLEN1=0x0から0x7F)の間で設定することができます。エレメント長は、(R/X)CRの(R/X)WDLEN1フィールドに設定します。転送をデュアル・フェーズで行なう場合には、RPHASE=1とし、それぞれの(R/X)FRLEN(1/2)を0x0から0x7Fの任意の値に設定することができます。

図11-15に、1つの8ビット・エレメントからなるシングル・フェーズのデータ・フレームを示します。転送について1ビットのディレイが設定されているため、DXピンとDRピンは、FS(R/X)がアクティブとなってから1ビット・クロック後に有効となります。この図とこの節の他の図では、次の設定を前提としています。

- (R/X)PHASE=0、シングル・フェーズ・フレームを指定
- (R/X)FRLEN1=0b、フレームあたり1エレメントを指定
- (R/X)WDLEN1=000b、8ビット・エレメントを指定
- (R/X)FRLEN2=(R/X)WDLEN2=(設定値は無視される)
- CLK(R/X)P=0、受信データについて立ち下がりエッジによるクロック入力、送信データについて立ち上がりエッジによるクロック出力を指定
- FS(R/X)P=0、アクティブ(ハイ)なフレーム同期信号の使用を表示
- (R/X)DATDLY=01b、1ビットのデータ・ディレイを指示

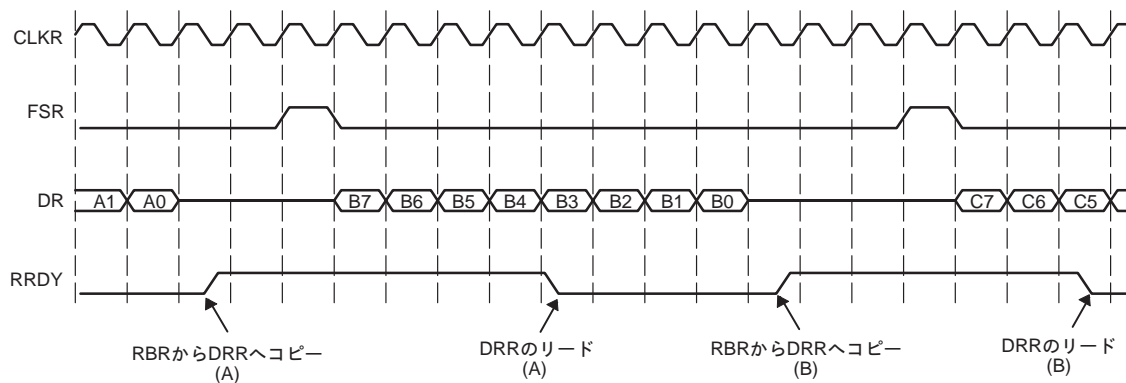
図11-15. McBSPの基本的な動作



### 11.3.5.1 受信動作

図11-16に、シリアル受信の例を示します。受信フレーム同期信号(FSR)がアクティブな状態に遷移すると、受信部のCLKRの最初の立ち下がりエッジによって検出されます。次に、DRピンのデータは、RDATDLYによって設定されたデータ・ディレイの後、受信シフトレジスタ(RSR)にシフトされます。このRSRの内容は、RBRが前のデータでフルになっていないことを条件として、各エレメントの終わりに、クロックの立ち上がりエッジでRBRにコピーされます。さらに、RBRからDRRへのコピーにより、RRDYステータス・ビットは、CLKRの次の立ち下がりエッジで1となります。これにより、受信データレジスタ(DRR)が、CPUまたはDMAによるデータ読み取りに対してレディ状態にあることを示します。DRRがCPUまたはDMAによって読み取られると、RRDYがインアクティブの状態に戻ります。

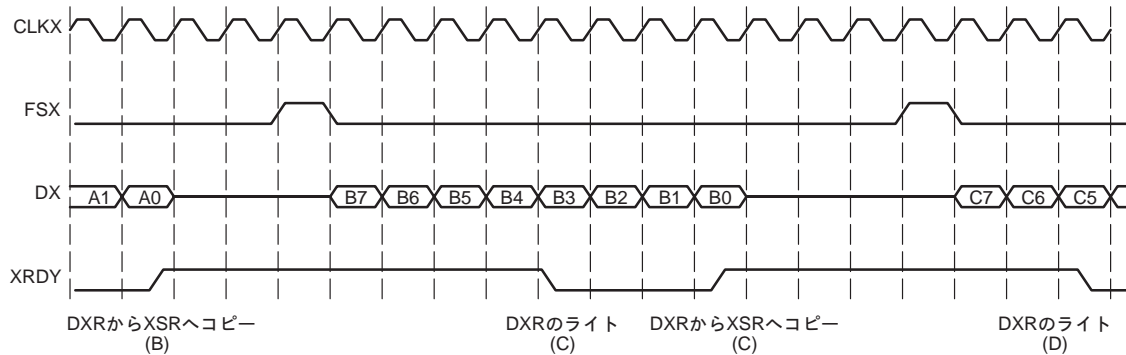
図11-16. 受信動作



### 11.3.5.2 送信動作

送信フレーム同期が発生すると、XDATDLYにより設定されたデータ・ディレイの後で送信シフトレジスタXSRの値がシフト・アウトされ、DXピンにドライブされます。XRDYは、DXRからXSRへのコピーが発生するたびに、CLKXの次の立ち下がりエッジでアクティブとされ、データ送信レジスタ(DXR)に次の送信データをライトすることができることを示します。DXRに対してCPUまたはDMAによるライトが行われると、XRDYがインアクティブの状態に戻ります。図11-17に、シリアル転送の様子を示します。送信部のリセット状態が解除( $\overline{\text{XRST}}=1$ )されたときの送信動作については、11.3.7.4節を参照してください。

図11-17. 送信動作



### 11.3.5.3 最大フレーム周波数

フレーム周波数は、フレーム同期信号の周期から以下のように計算されます。

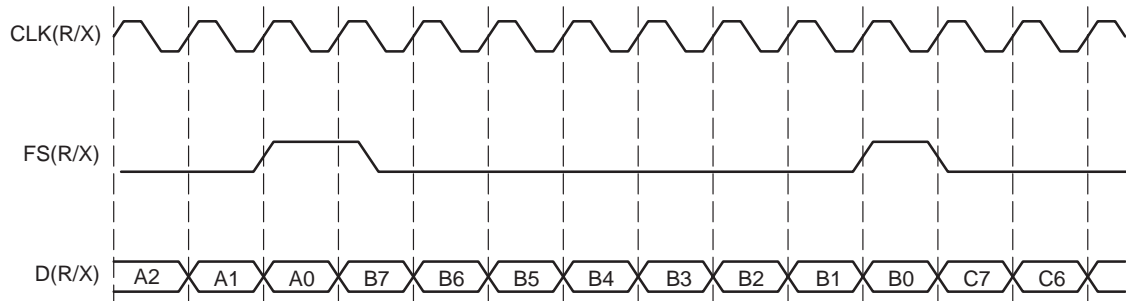
$$\text{フレーム周波数} = \frac{\text{ビット・クロック周波数}}{\text{フレーム同期信号間のビット・クロック数}}$$

フレーム同期信号の間のビット・クロック数(フレームあたりのビット数だけにより制限されます)を減らすことにより、フレーム周波数が大きくなります。フレーム送信周波数が大きくなると、隣接する転送のデータ・フレーム間におけるインアクティブな期間は、0に近づきます。フレーム同期信号の間の最小時間は、フレームあたりに転送されるビット数によって決まります。また、この最小時間により、最大フレーム周波数が定義されます。

$$\text{最大フレーム周波数} = \frac{\text{ビット・クロック周波数}}{\text{フレームあたりのビット数}}$$

図11-18に、McBSPの最大フレーム周波数による動作の例を示します。連続するフレームのデータ・ビットは、連続的に送信され、インアクティブの状態とすることがありません。図に示すように、1ビットのデータ・ディレイがある場合には、フレーム同期パルスは、直前のフレーム中の最後の送信ビットとオーバーラップします。

図11-18. 最大フレーム周波数による送信と受信

**注：**

(R/X)DATDLY=0の設定では、最初の送信ビットはCLKXに同期しません。

**11.3.6 フレーム同期の無視**

McBSPは、送信と受信のフレーム同期パルスが無視するように設定することもできます。(R/X)CRの(R/X)FIGビットを0に設定するとフレーム同期パルスが認識され、1に設定するとフレーム同期パルスが無視されます。この方法により、最大フレーム周波数での動作時にデータのパッキングを行なったり、また、想定しないフレーム同期パルスが無視したりすることができます。

## 11.3.6.1 フレーム同期の無視と想定しないフレーム同期パルス

RFIGとXFIGによって、想定しないフレーム同期信号を無視するように設定できます。直前のフレームの終わりを基準として、(R/X)DATDLYによって設定されたデータ・ディレイより1ビット・クロック以上前に発生するフレーム同期信号は、想定されていないと考えられます。フレーム無視ビットを1に設定することにより、シリアル・ポートがこれらの想定しないフレーム同期信号を無視するように設定することができます。

受信においてパルスの無視の設定がされていない(RFIG=0)と、想定しないFSRパルスによってRSRの内容は、新しいデータのために破棄されます。このため、RFIG=0の設定がされているときに想定しないフレーム同期パルスが発生すると、処理中の転送が打ち切れ、SPCRのRSYNCERRビットに1がセットされ、新しいデータ・エレメントの受信が開始されます。RFIG=1の設定のときは、想定しないフレーム同期信号は無視されます。

送信においてパルスの無視の設定がされていない(RFIG=0)と、想定しないXSRパルスによって処理中の送信が中断され、SPCRのXSYNCERRビットに1がセットされ、中断された送信が再初期化されます。XFIG=1の設定のときは、想定しないフレーム同期信号は無視されます。

図11-19に、(R/X)FIG=0の設定時に、想定しないフレーム同期信号によってエレメントBの送信が中断された場合を示します。Bの受信が打ち切れ(Bが失われる)、所定のデータ・ディレイの後に新しいデータ・エレメント(C)が受信されています。この状態により、同期エラーが発生し、RSYNCERRビットがセットされています。ところが送信側では、Bの送信が中断され、所定のデータ・ディレイの後、同じデータ(B)が再び送信されています。この状態は、送信同期エラーに相当するため、XSYNCERRビットがセットされます。同期エラーについては、11.3.7.2節と11.3.7.5節でさらに詳しく論ずることにします。

図11-19. (R/X)FIG=0の設定と想定しないフレーム同期

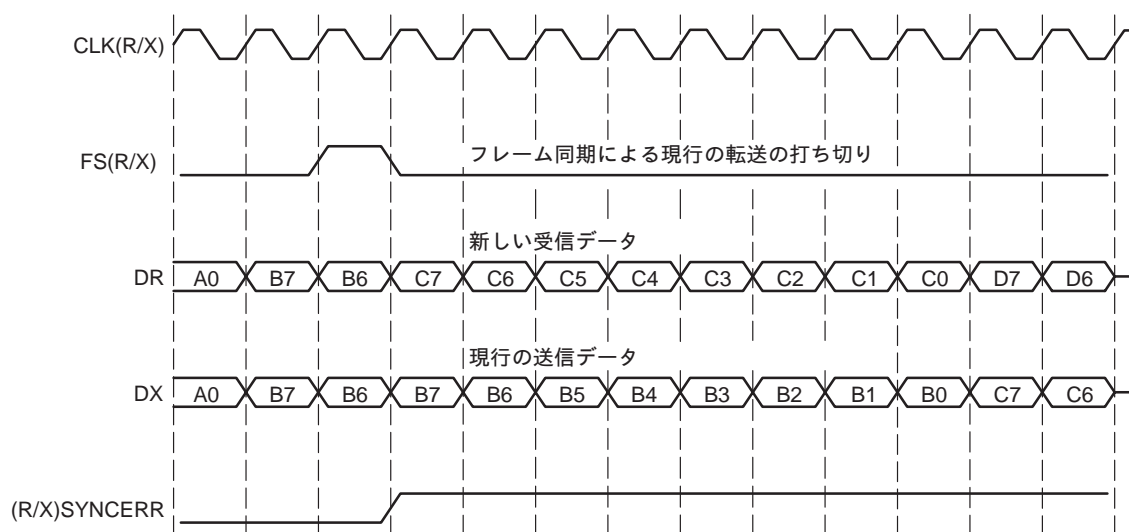
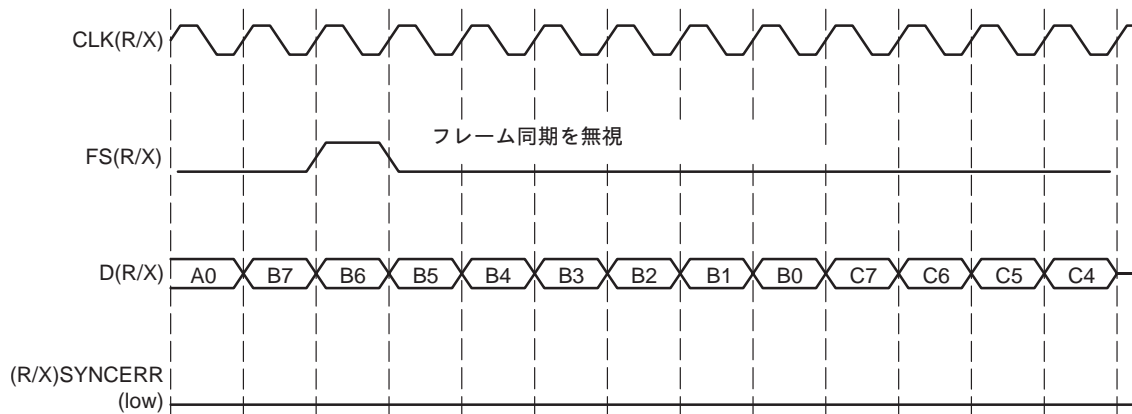


図11-20に、(R/X)FIG=1の設定により想定しないフレーム同期信号が無視された場合のMcBSPの動作を示します。ここでは、想定しないフレーム同期によってエレメントBの転送は影響を受けていません。

図11-20. (R/X)FIG=1の設定と想定しないフレーム同期



11.3.6.2 フレーム同期無視ビットによるデータ・パッキング

11.3.4.5節では、エレメント長とフレーム長を変更して32ビットのシリアル・エレメント転送にすることにより、4つの8ビット転送に比べて格段に狭いバスのバンド幅で転送が行われることを確認しました。この例は、フレームあたりに複数のエレメントがある場合に当てはまります。ここで、McBSPが、図11-21に示すように、最大フレーム周波数で動作している場合を考えます。また、各フレームは、1つの8ビット・エレメントだけで構成されるものとします。このストリームでは、各8ビット・エレメントについて、1つのリード転送と1つのライト転送が必要とされます。図11-22に、McBSPについて、このストリームを1つの32ビット・エレメントのストリームとして取扱うように設定がなされた場合を示します。この例では、(R/X)FIGは1に設定され、後続の想定しないフレームを無視することとしています。この条件では、32ビットごとに、1つのリード転送と1つのライト転送が必要とされるにすぎません。この設定により、バスのバンド幅は、4つの8ビット・ブロックに必要なバンド幅の4分の1にまで削減されます。

図11-21. 8ビット・データによる最大フレーム周波数における動作

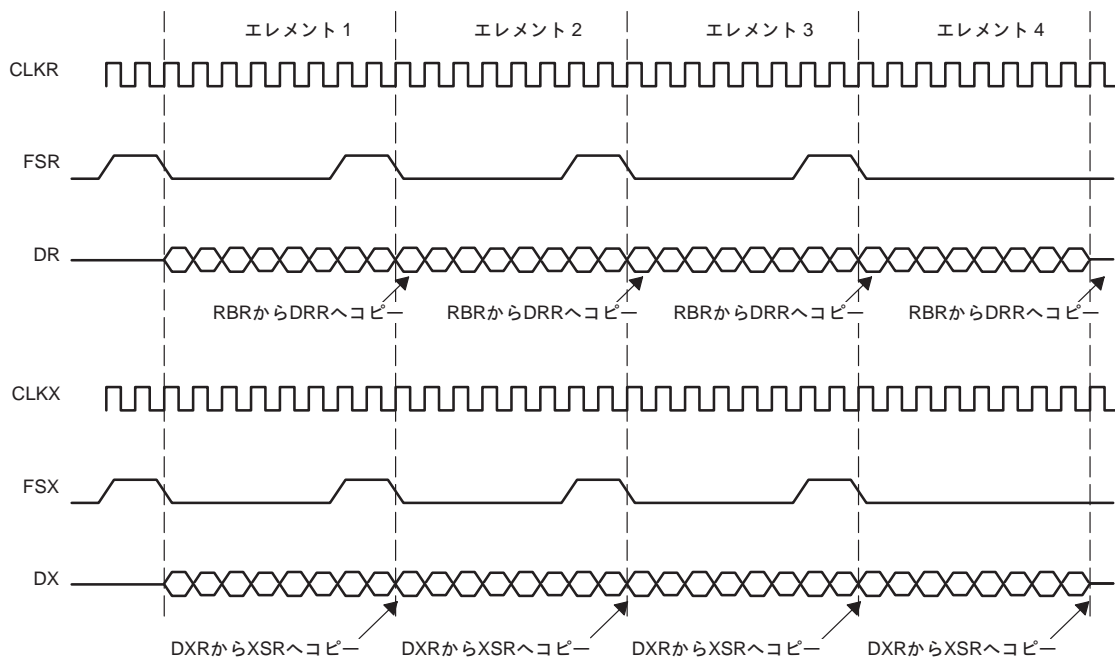
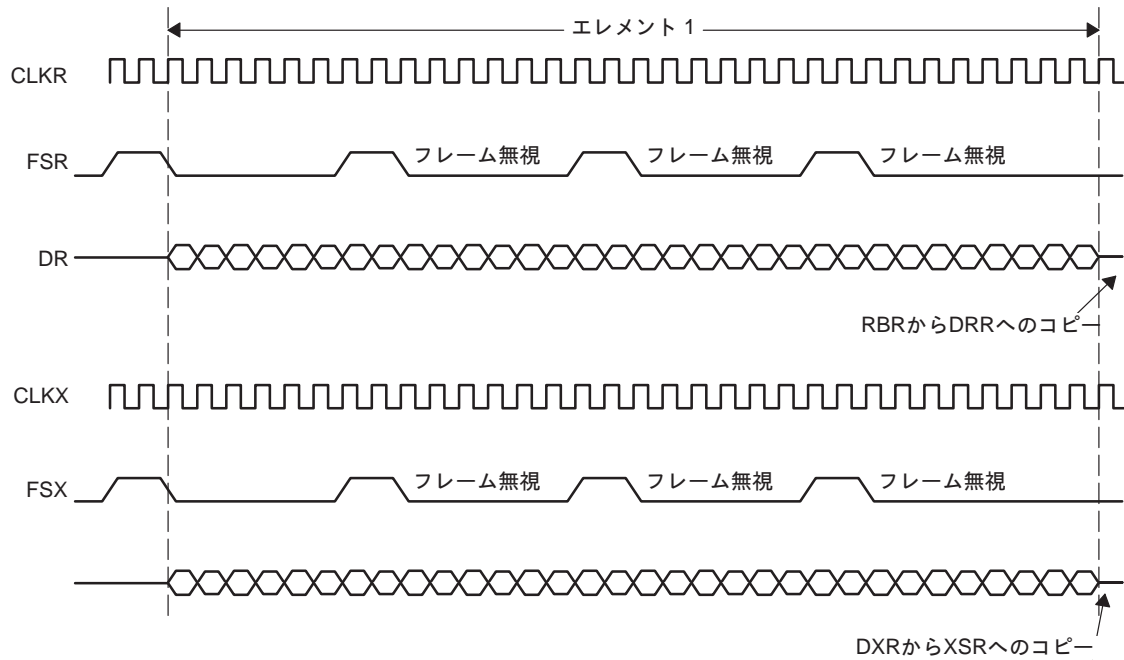




図11-22. (R/X)FIG=1の設定による最大フレーム周波数におけるデータ・パッキング



### 11.3.7 シリアル・ポートの異常状態

以下の5つのシリアル・ポートのイベントは、システム・エラーを発生します。

- 受信オーバーラン (RFULL=1)
- 想定しない受信フレーム同期(RSYNCERR=1)
- 送信データ・オーバーライト
- 送信エンプティ ( $\overline{\text{XEMPTY}}=0$ )
- 想定しない送信フレーム同期(XSYNCERR=1)

#### 11.3.7.1 受信とオーバーラン:RFULL

SPCRのRFULL=1は、受信部がオーバーランの状態によりエラー状態にあることを示します。RFULLは、以下の条件によりセットされます。

- RBRからDRRへの最後の転送の後でDRRの読み取りが行われていない
- RBRがフルでRBRからDRRへのコピーが行われていない
- RSRがフルでRSRからRBRへの転送が行われていない

DRに入力されるデータは、連続的にRSRへシフトされます。エレメント全体がRSRにシフトされると、RBRからDRRへのコピーが完了している場合に限り、RSRからRBRへの転送が発生します。このため、RBRからDRRへの最後の転送以後(RRDY=1)CPUまたはDMAによるDRRのリードが行われていない場合には、RRDY=0となるまでRBRからDRRへのコピーは行われません。これにより、RSRからRBRへのコピーが防止されます。DRピンに入力される新しいデータは、RSRにシフトされ、それまでのRSRの内容は失われます。受信部がリセットの状態から動作を開始すると、最初のエレメントの前にはRBRからDRRへの転送は存在しないため、少なくとも3つのエレメントが受信されるまでRFULLをセットすることができません。

このようなデータの喪失は、DRRが、図11-24に示すように、RSRにある3番目のエレメント(データC)の終わりからCLKRの2.5クロック前までにリードされている場合には回避することができます。

次のイベントのいずれかにより、RFULLビットは0にクリアされ、次の転送が正常にリードされます。

- DRRのリード
- 受信部 ( $\overline{\text{RRST}}=0$ ) またはデバイスのリセット

受信部をリスタートさせるためには、もう1つのフレーム同期が必要とされます。

図11-23に、受信オーバーランの状態を示します。エレメントBの受信が完了する前にエレメントAの読み取りが行われていないため、BはまだDRRに転送されていません。もう1つのエレメントCが入力され、RSRに置かれます。DRRは最終的にはリードされますが、このリードはエレメントCの終わりから2.5サイクル前までには行われません。新しいデータDが、RSRにある直前のエレメントCにオーバーライトされます。DRRがリードされた後にRFULLがセットされたままであれば、DRRのリードが時間内に行われない場合には、次のエレメントがDにオーバーライトされる場合があります。

図11-23. シリアル・ポート受信オーバーラン

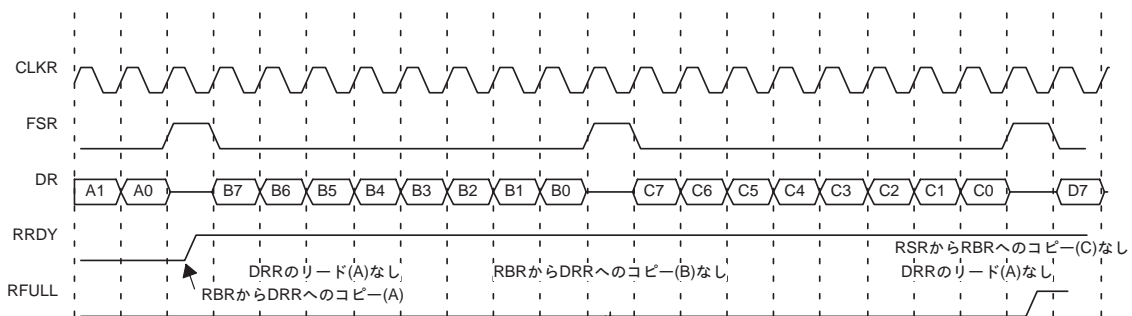
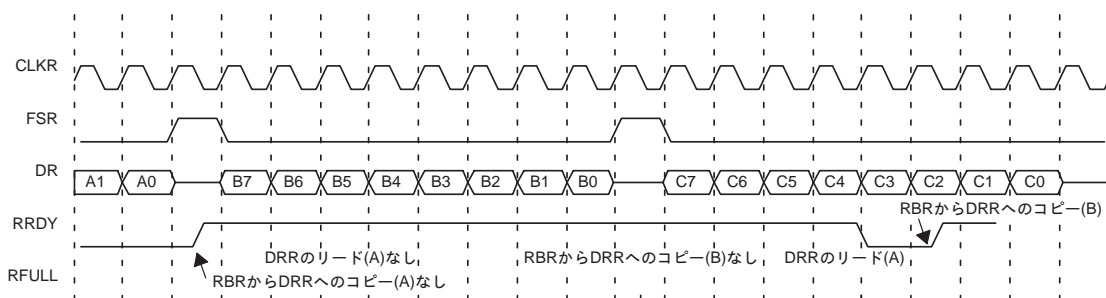


図11-24に、RFULLがセットされるようなケースで、DRRの内容のリードが次のエレメントCが完全にRSRの中にシフトされる2.5サイクル前までに行われたために、オーバーランの状態が回避された場合を示します。これにより、次のエレメントがRSRからRBRへ転送される前に、データBのRBRからDRRへのコピーが行われることになります。

図11-24. シリアル・ポートで受信オーバーランが回避された場合



## 11.3.7.2 想定しない受信フレーム同期:RSYNCERR

図11-25に、入力されるフレーム同期信号の処理について、受信部が常に使用するフローチャートを示します。このチャートでは、受信部がアクティブ( $\overline{RRST}=1$ )の状態にあるものとします。想定しないフレーム同期パルスは、外部のソースや内部のサンプル・レート・ジェネレータに起因することがあります。想定しないフレーム同期パルスとは、直前のフレームにおいて送信された最後のビットから、RDATDLYにより設定されたビット・クロック数の期間より前に発生する同期パルスをいいます。次の4つのケースが考えられます。

- ケース1: RFIG=1の設定での想定しないFSRパルス。このケースについては、11.3.6.1で解説がなされ、その状態は図11-20に示されています。この状態では、受信フレーム同期パルスは無視され、受信動作は続行されます。
- ケース2: 正常な受信。この状態で受信が行われない条件として、次の3つの場合があります。
  - $\overline{RRST}=1$ の設定後の最初のFSR
  - DRRの読み取りによりRFULLがクリアされた後の最初のFSR
  - シリアル・ポートがパケット間のインターバルにある場合。プログラムされた受信のデータ・ディレイ(RDATDLY)は、次の受信エレメントの最初のビットが受信される前に、これらのパケット間のインターバルから開始することがあります。このように、最大フレーム周波数においても、フレーム同期は、対応するエレメントの最初のビットからRDATDLYビット・クロック前に受信される場合があります。

このケースでは、フレーム同期パルスは想定しないものではないため、受信は正常に継続して行われます。

- ケース3: RFIG=0(想定しないフレームを無視しない)の設定での想定しない受信フレーム同期。最大パケット周波数におけるこのケースを図11-19に示します。図11-26は、パケットの間にインターバルが存在する場合のシリアル・ポートの通常動作において、このケースが発生した場合を示します。直前のエレメントの最後のビットがDRで受信される時点からRDATDLYに設定されたビット・クロック数よりも早い時点で発生した想定しないフレーム同期パルスが検出されています。どちらの場合にも、SPCRのRSYNCERRがセットされます。RSYNERRは、受信部のリセットとSPCRの中のこのビットへの0のライトのみによってクリアされます。SPCRのRINTM=11bの設定により、RSYNCERRは受信割り込み(RINT)をCPUへドライブします。

## 注:

SPCRのRSYNCERRに対してはリード及びライトの両方が可能であり、1のライトによってエラー状態が設定されます。通常は、0をライトします。

図11-25. 受信フレーム同期パルスの処理のフローチャート

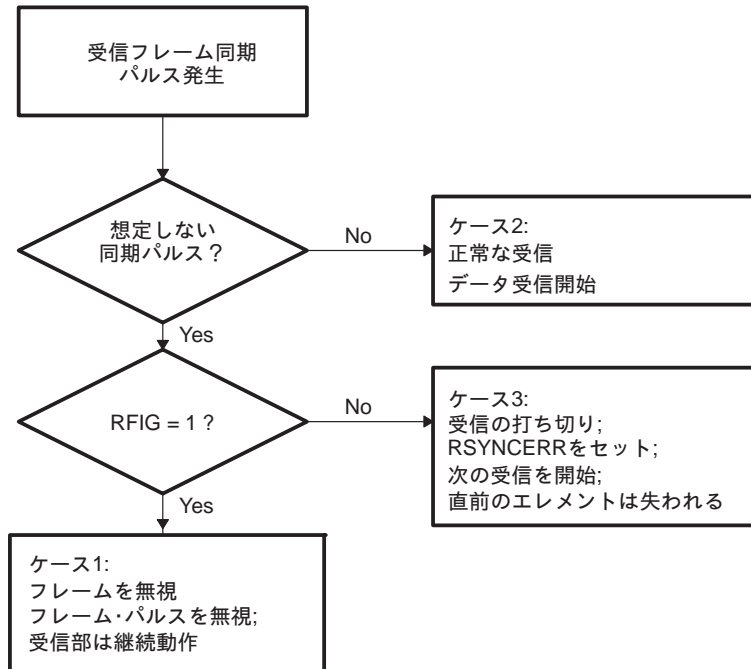
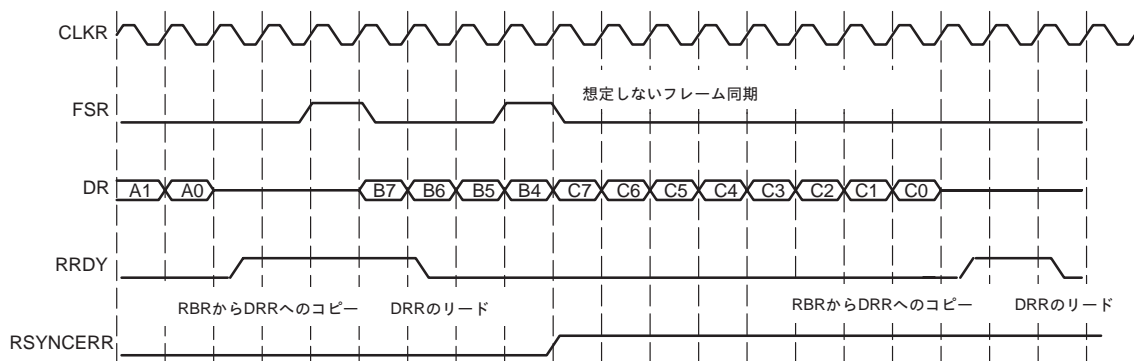


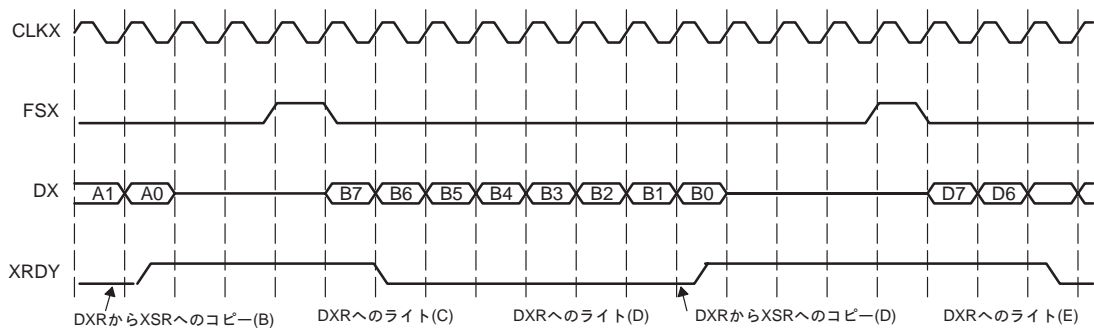
図11-26. 想定しない受信同期パルス



## 11.3.7.3 データ・オーバーライト時の送信

図11-27に、送信前にDXRにあるデータへのオーバーライトが発生した場合の動作を示します。ここで、DXRには、データCがロードされているものとします。次に、CがXSRへコピーされる前に、DXRにあるCにDがオーバーライトされたとします。この場合には、DXからCが送信されることはありません。CPUは、DXRへのライトを行なう前にXRDYをポーリングすることにより、または、プログラムされたXINTがXRDYによってトリガされるのを待つ(XINTM=00b)ことにより、オーバーライトを防止することができます。DMAは、データのライトをXEVTに同期して行なうことにより、オーバーライトを防止することができます。

図11-27. データ・オーバーライト時の送信

11.3.7.4 送信エンプティ:  $\overline{\text{XEMPTY}}$ 

$\overline{\text{XEMPTY}}$ は、受信部がアンダーフローが発生したかどうかを示します。次のどちらかの条件により、 $\overline{\text{XEMPTY}}$ がアクティブ( $\overline{\text{XEMPTY}}=0$ )となります。

- 送信中に、DXRからXSRへのコピー後DXRがロードされておらず、XSRのデータ・エレメントのすべてのビットがDXへシフト・アウトされている。
- 送信部がリセット( $\overline{\text{XRST}}=0$ またはデバイスのリセット)された後、再びスタートされた。

アンダーフローの状態では、送信部は、新しいエレメントがCPUかDMAによってDXRにロードされるまでの間、新しいフレーム同期信号がDXRに入力されるたびに、古いデータを送信し続けます。このDXRにある新しいエレメントがXSRへ転送されると、 $\overline{\text{XEMPTY}}$ がインアクティブ( $\overline{\text{XEMPTY}}=1$ )となります。内部でフレーム同期を生成するケースでは、送信部は、DXRからXSRへのコピーに対して1つのFSXを生成します(PCRでFSXM=1、かつ、SRGRでFSGM=0)。これ以外の場合には、送信部は次のフレーム同期を待ちます。

送信部のリセット状態が解除( $\overline{XRST}=1$ )されると、送信部は、送信レディ( $XRDY=1$ )状態、かつ、送信エンプティ( $\overline{XEMPTY}=0$ )状態となります。FSXがアクティブとなる前にCPUまたはDMAによってDXRがロードされると、DXRからXSRへの有効なコピーが発生します。これにより、送信フレーム同期パルスが生成または、検出される前であっても、最初のフレームの最初の元素が有効となります。これに対し、DXRがロードされる前に送信フレーム同期が検出されると、DXから0が出力されます。

図11-28に、送信アンダーフローの状態を示します。Bが送信された後、次のフレーム同期の前にDXRのロードをしない場合には、DXから再びBが送信されます。図11-29は、アンダーフロー状態となる直前にDXRへのライトを行なうことにより、アンダーフローが回避された例を示します。Bが送信された後、次のフレーム同期信号の発生前にDXRへCをライトすることにより、DXからのCの送信が正しく行われ、送信エンプティ状態を回避することができます。

図11-28. 送信エンプティ

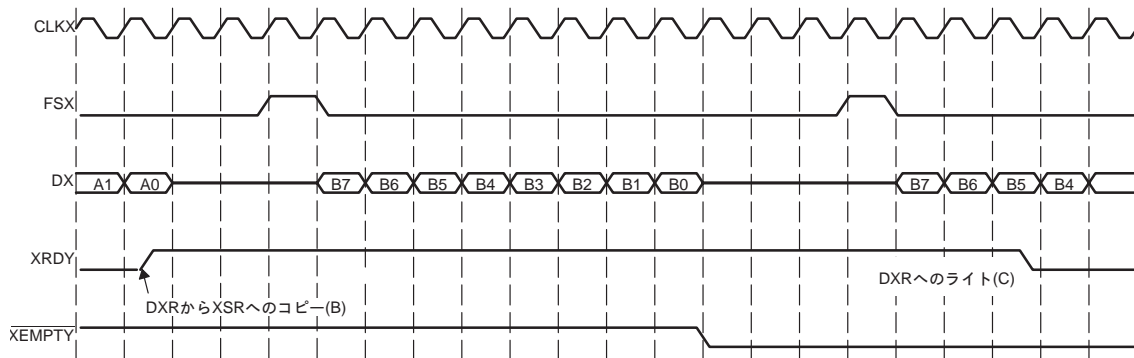
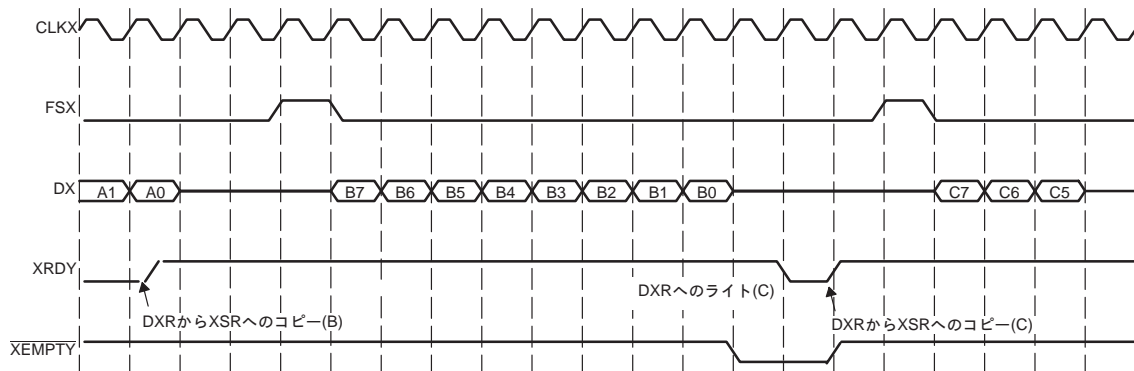


図11-29. 送信エンプティの回避

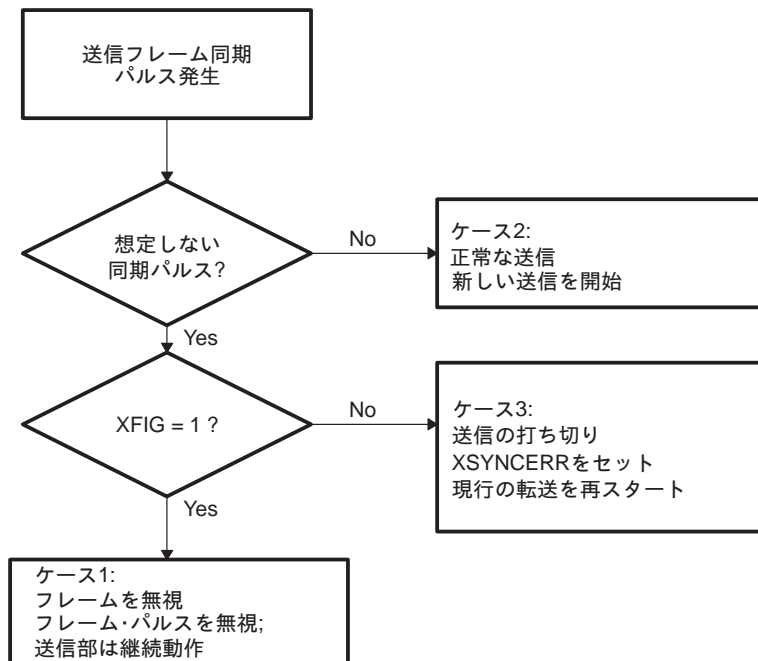


11.3.7.5 想定しない送信フレーム同期: XSYNCERR

図11-30に、入力されるフレーム同期信号の処理について、送信部が常に使用するフローチャートを示します。このチャートでは、送信部がスタート( $\overline{XRST}=1$ )されているものとします。想定しない送信フレーム同期パルスとは、直前のフレームにおいて送信された最後のビットから、XDATDLYにより設定されたビット・クロック数の期間より前に発生する同期パルスをいいます。次の3つのケースのどれかになります。

- ケース1: XFIG=1の設定での想定しないFSXパルス。このケースについては、11.3.6.1で解説がなされ、その状態は図11-20に示されています。
- ケース2: 正常な送信。この状態については、セクション11.3.5.3で解説されています。この状態で、送信が行われない条件として、次の2つの場合があります。
  - $\overline{XRST}=1$ の設定後の最初のFSXパルス
  - シリアル・ポートがパケット間のインターバルにある場合。プログラムされた送信のデータ・ディレイ(XDATDLY)は、次の送信エレメントの最初のビットが送信される前に、これらのパケット間のインターバルから開始することがあります。最大パケット周波数においても、フレーム同期は、対応するエレメントの最初のビットからXDATDLYビット・クロック前に受信される場合があります。

図11-30. 送信フレーム同期の処理



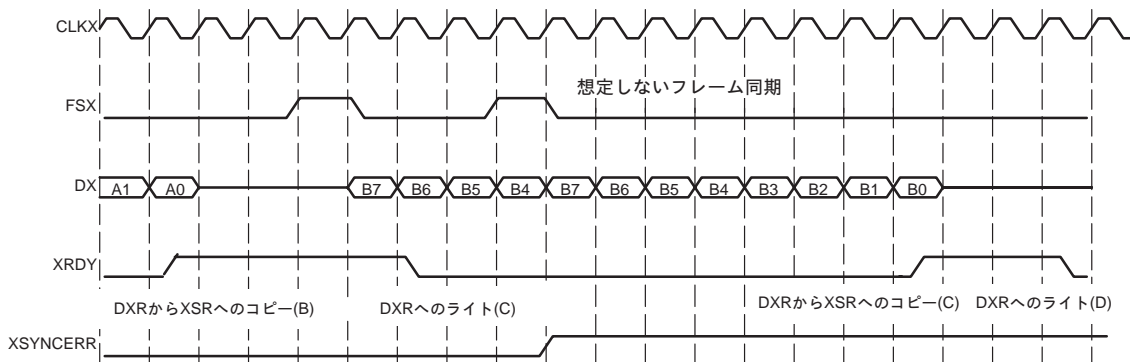


- ケース3:XFIG=0の設定での想定しない送信フレーム同期。最大パケット周波数においてXFIG=0とした場合のフレーム同期に対するこのケースを図11-19に示します。図11-31は、パケットの間にインターバルが存在する場合のシリアル・ポートの通常動作において、このケースが発生した場合を示します。どちらの場合にも、SPCRのXSYNCERRがセットされます。XSYNERRは、送信部のリセットとSPCRの中のこのビットへの0のライトのみによってクリアされます。SPCRのXINTM=11bの設定により、XSYNCERRは受信割り込み(XINT)をCPUへドライブします。

**注：**

SPCRのXSYNCERRに対してはリード及びライトの両方が可能であり、1のライトによってエラー状態が設定されます。通常は、0をライトします。

図11-31. 想定しない送信同期パルス



### 11.3.8 受信データの格納方法と符号拡張

SPCRのRJUSTにより、RBRにあるデータに対し、DRRにおいて、右寄せまたは左寄せ(MSBに対し)のどちらを行なうかを選択します。右寄せが選択された場合には、RJUSTにより、さらに、データについて符号拡張またはゼロづめのどちらを行なうかを決定します。表11-12に、12ビットの受信データ0xABCに対するRJUSTの設定値ごとの効果を示します。

表11-12. 12ビット実験データ0xABCとRJUSTフィールド

RJUSTの値	格納方	符号拡張	DRRの値
00	右	上位ビットをゼロづめ	0000 0ABC <sub>h</sub>
01	右	上位ビットを符号拡張	FFFF FAB <sub>h</sub>
10	左	下位ビットをゼロづめ	ABC0 0000 <sub>h</sub>
11	予約	予約	予約

### 11.3.9 32ビット・ビット・リバーシ:(R/X)WDREVR5

32ビットのビット・リバーシ機能はC6211/C6711でのみ利用可能です。基本的にすべての転送はMSBファーストで送受信されます。しかし、以下の設定をすることで、32ビット・エレメントのビット・オーダーを逆に(LSBファーストに)することが可能です。

- 1) 受信/送信コントロール・レジスタRCR/XCRで(R/X)WDREVR5=1にセット
- 2) RCR/XCRで(R/X)COMPAND=01bにセット
- 3) RCR/XCRで(R/X)WDLEN(1/2)=101bとすることで32ビット・エレメントであることを明示

上記のようにレジスタ・フィールドを設定することで、受信、もしくは送信する前に、32ビット・エレメントのビット・オーダーを逆にすることができます。(R/W)WDREVR5及び(R/X)COMPANDフィールドがセットされて、エレメント・サイズが32ビットに設定されていないときの動作は不定です。

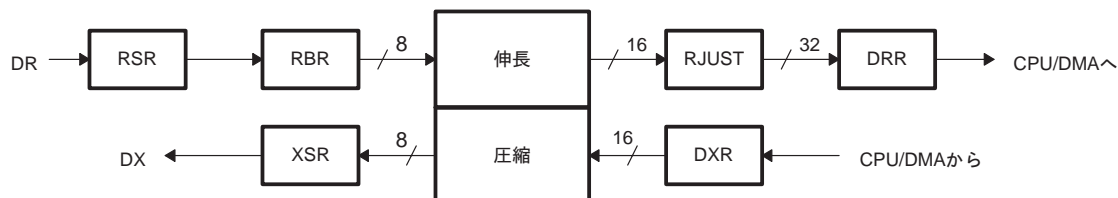
### 11.4 μ-Law/A-Law圧伸のハードウェア動作

圧伸(圧縮と伸長)ハードウェアにより、μ-LawまたはA-Lawのフォーマットでのデータの圧伸を行なうことができます。μ-LawまたはA-LawのログPCMの仕様は、CCITTのG.711勧告に規定されています。米国と日本で採用されている圧伸の標準は、μ-Lawであり、14ビットのダイナミック・レンジを得ることができます。ヨーロッパでの圧伸の標準は、A-Lawであり、13ビットのダイナミック・レンジを得ることができます。これらのレンジを超える値は、正の最大値または負の最大値として扱われます。このような圧伸を最良の状態で行なうためには、CPUまたはDMAを通じたMcBSPとのデータ転送において、最低16ビットの精度が必要になります。

μ-LawとA-Lawのフォーマットでは、データを8ビットのコード・エレメントにエンコードします。圧伸のデータは常に8ビットの幅を持っているため、対応する(R/X)WDLEN(1/2)に0を設定して8ビットのシリアル・データ・ストリームを指定する必要があります。圧伸がイネーブルされているとき、フレームの中のフェーズのどれかが8ビットのエレメント長でなかった場合には、エレメント長を8ビットとみなして圧伸が行われます。

圧伸が使用される場合には、送信データは指定された圧伸方法に従ってエンコードされ、受信データは、2の補数のフォーマットにデコードされます。表11-7に示すように、(R/X)CRの(R/X)COMPANDによって圧伸がイネーブルされ、圧伸のフォーマットが指定されます。図11-32に示すように、圧縮は、データをDXRからXSRに、またはRBRからDRRにコピーするプロセスにおいて行われます。

図11-32. 圧伸の流れ



送信データを圧縮するには、データ幅が16ビットの左寄せされたLAW 16のようなデータでなければなりません。また、図11-33に示すように、データの値は、圧伸の仕様により、13ビットの場合と14ビットの場合があります。この16ビット・データは、図11-34に示すように、DXRにアラインされます。

図11-33. 圧伸データのフォーマット

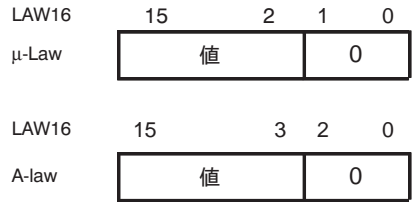
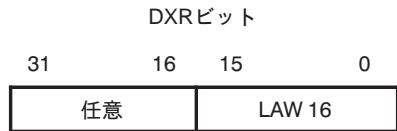


図11-34. DXRにおける送信データの圧伸フォーマット



受信では、RBRにある8ビットに圧縮されたデータが伸長されて、左寄せされた16ビット・データであるLAW16に変換されます。この値は、SPCRのRJUSTフィールドを表11-13に示すようにプログラムすることにより、さらに32ビット・データとして格納されます。

表11-13. DRRにおける伸長データの格納

RJUST	DRRビット			
	31	16	15	0
00	0			LAW16
01		符号		LAW16
10		LAW16		0
11				予約

11.4.1 内部データの圧伸

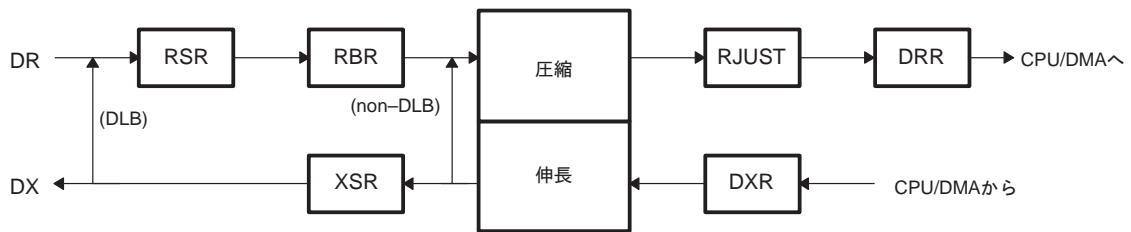
McBSPを他の目的に使用しない場合には、圧伸のハードウェアにより内部データを圧伸することができます。このハードウェアでは、次のことを行なうことができます。

- リニア(線形)なデータをμ-LawやA-Lawのフォーマットに変換する
- μ-LawやA-Lawのデータをリニアなフォーマットに変換する
- リニアなデータを送信し、そのデータを圧縮し、再び伸長することにより、圧伸における量子化の効果を評価する。これは、XCOMPANDとRCOMPANDにより同じ圧伸フォーマットがイネーブルされている場合にのみ使用することができます。

図11-35に、McBSPが内部データを圧伸する2つの方法を示します。これらの2つの方法によって使用されるデータ・パスを、(DLB)と(non-DLB)の矢印によって示します。

- **デジタル・ループバックなし(Non-DLB):** シリアル・ポートの送信と受信のセクションの双方がリセットされると、DRRとDXRは、内部的に圧伸のロジックによって接続されます。DXRからの値はXCOMPANDによる選択に従って圧縮され、次いで、RCOMPANDによる選択に従って伸長されます。このとき、RRDYとXRDYのビットはセットされません。データは、DXRにライトされてから、4CPUクロック後にDRR上で有効となります。この方法による利点は、高速であることです。欠点としては、データの流れを制御するための同期をCPUやDMAに対して発生させることができないことです。
- **デジタル・ループバック(DLB):** McBSPは、デジタル・ループバック・モード(DLB)では、RCOMPANDとXCOMPANDがイネーブルされた状態でMcBSPがイネーブルされます。受信と送信の割り込み(RINTM=0に対するRINTとXINTM=0に対するXINT)または同期イベント(REVTとXEVT)により、CPUとDMAは、それぞれ、これらの変換における同期を獲得することができます。ここで、圧伸にかかる時間は、選択されたシリアル・ビット・レートに依存します。

図11-35. 内部データの圧伸



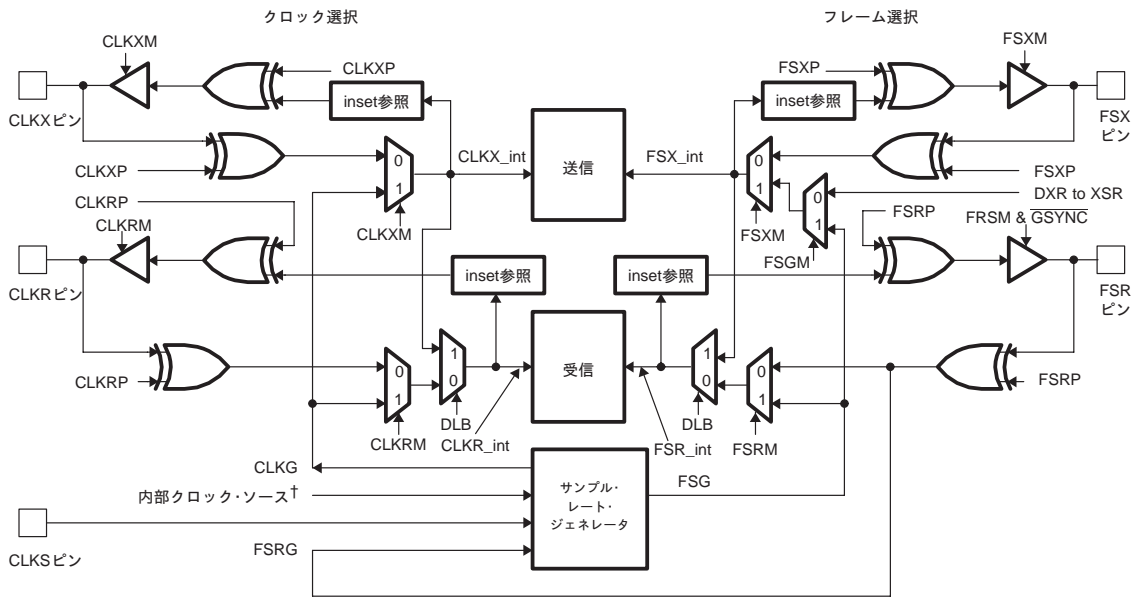
#### 11.4.1.1 ビット・オーダリング

通常は、McBSPによるすべての転送は、MSBファーストにより行われます。ところが、8ビット・データ・プロトコル(圧伸データを使用しないもの)によっては、LSBファーストとする必要があります。(R/X)CRで(R/X)COMPAND=01bの設定をすることにより、8ビット・エレメントのビット方向は、シリアル・ポートに送られる前に反転(LSBファースト)されます。圧伸の場合と同様に、この機能は、対応する(R/X)WDLEN(1/2)が0に設定され、8ビット・エレメントがシリアルに転送されるように指定された場合にのみイネーブルされます。

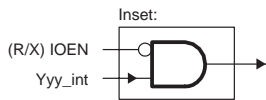
### 11.5 プログラマブルなクロックとフレーミング

McBSPでは、受信部と送信部についてクロックとフレーミングを選択するためのいくつかの手段があります。クロックとフレーミングは、サンプル・レート・ジェネレータによって、送信部と受信部に送ることができます。送信部と受信部では、外部クロッキングやフレーミングを、それぞれ独立に選択することができます。図11-36に、クロックとフレームの選択回路のブロック図を示します。

図11-36. クロックとフレームの生成



**11**



† C6201/C6202/C6203/C6701は、サンプル・レート・ジェネレータの内部クロック・ソースとしてCPUクロックを使用します。C6211/C6711は、サンプル・レート・ジェネレータの内部クロック・ソースとしてCPU/2クロックを使用します。

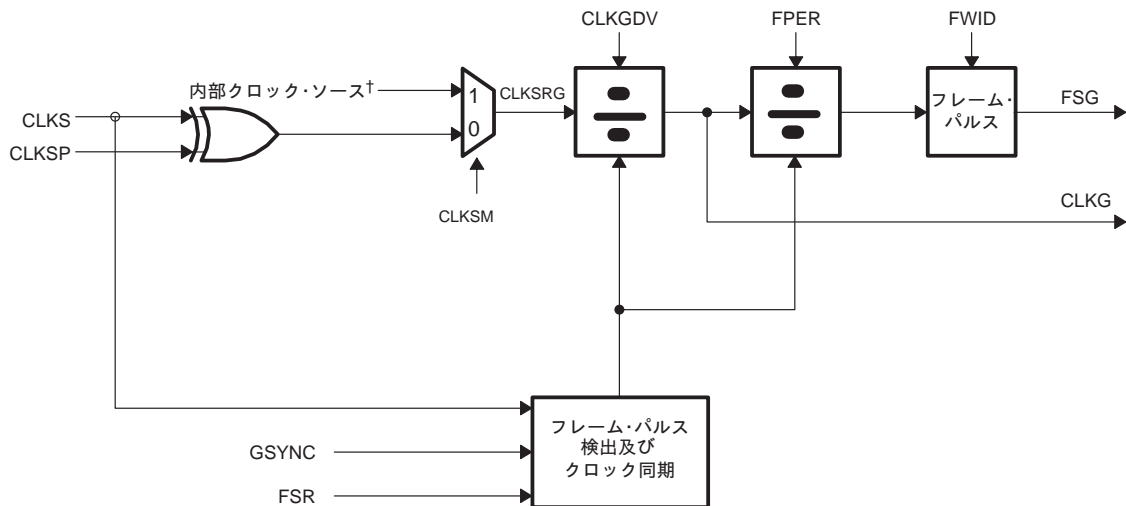
### 11.5.1 サンプル・レート・ジェネレータのクロックとフレーミング

サンプル・レート・ジェネレータは、図11-37に示すように、3つのステージからなるクロック分周器を持っていて、プログラマブルなデータ・クロック(CLKG)とフレーム信号(FSG)を供給します。CLKGとFSGは、McBSPの内部信号であり、受信や送信のクロックCLK(R/X)やフレーミングFS(R/X)をドライブするために使用することができます。サンプル・レート・ジェネレータは、内部クロック・ソースまたは外部クロック・ソースから生成された内部クロックによってドライブされるようにプログラムすることができます。サンプル・レート・ジェネレータの3つのステージでは、以下の計算を行ないます。

- クロックの分周(CLKGDV):データ・ビット・クロックあたりの入力クロック数
- フレーム周期(FPER):データ・ビット・クロック数で表されたフレーム周期
- フレーム幅(FWID):データ・ビット・クロック数で表されたアクティブなフレーム・パルスの幅

これらに加えて、フレーム・パルス検出とクロック同期モジュールにより、クロックの分周を入力されるフレーム・パルスに同期して行なうことができます。デバイスのリセット時のサンプル・レート・ジェネレータの動作については、11.3.1節で解説されています。

図11-37. サンプル・レート・ジェネレータ



† C6201/C6202/C6203/C6701は、サンプル・レート・ジェネレータの内部クロック・ソースとしてCPUクロックを使用します。  
C6211/C6711は、サンプル・レート・ジェネレータの内部クロック・ソースとしてCPU/2クロックを使用します。

11.5.1.1 サンプル・レート・ジェネレータ・レジスタ (SRGR)

図11-38と表11-14に示すサンプル・レート・ジェネレータ・レジスタ (SRGR)は、サンプル・レート・ジェネレータのさまざまな機能の制御を行ないます。この節では、SRGRのフィールドについて解説します。

図11-38. サンプル・レート・ジェネレータ・レジスタ (SRGR)

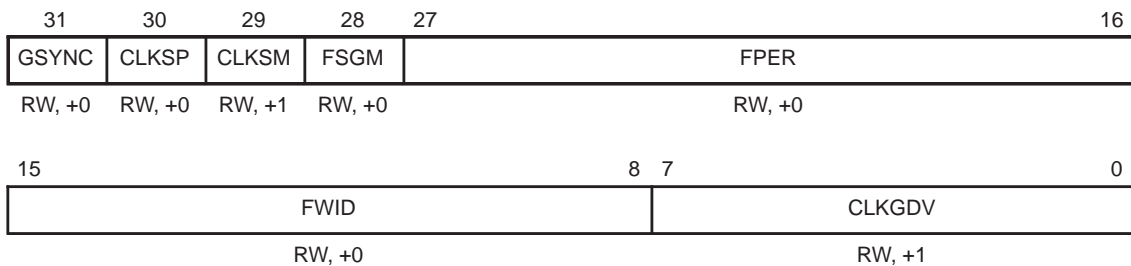


表11-14. サンプル・レート・ジェネレータ (SRGR) フィールドのまとめ

名前	機能	参照節
GSYNC	<p>サンプル・レート・ジェネレータのクロック同期。外部クロック (CLKS) がサンプル・レート・ジェネレータのクロックをドライブするとき (CLKSM=0) にのみ使用されます。</p> <p>GSYNC=0: サンプル・レート・ジェネレータがフリー・ラン状態。</p> <p>GSYNC=1: (CLKG) はランニング状態ですが、再同期化されます。フレーム同期信号 (FSG) は、受信フレーム同期信号 (FSR) が検出されたときにのみ生成されます。また、フレーム周期 (FPER) は、周期は外部フレーム同期信号によって決定されるため、その値は任意です。</p>	11.5.2.4
CLKSP	<p>CLKS 極性クロック・エッジ選択。外部クロック CLKS がサンプル・レート・ジェネレータのクロックをドライブするとき (CLKSM=0) にのみ使用されます。</p> <p>CLKSP=0: CLKS の立ち上がりエッジにより CLKG と FSG が生成されます。</p> <p>CLKSP=1: CLKS の立ち下がりエッジにより CLKG と FSG が生成されます。</p>	11.5.2.3
CLKSM	<p>McBSP サンプル・レート・ジェネレータ・クロック・モード</p> <p>CLKSM=0: CLKS からサンプル・レート・ジェネレータのクロックが生成されます。</p> <p>CLKSM=1: (初期値) 内部クロック・ソースからサンプル・レート・ジェネレータのクロックが生成されます。</p>	11.5.2.1
FSGM	<p>サンプル・レート・ジェネレータ送信フレーム同期モード。PCR の FSXM=1 の設定により使用できます。</p> <p>FSGM=0: DXR から XSR へのコピーのたびごとに送信フレーム同期信号 (FSX) が生成されます。</p> <p>FSGM=1: 送信フレーム同期信号は、サンプル・レート・ジェネレータのフレーム同期信号 FSG によりドライブされます。</p>	11.5.3.3



表11-14. サンプル・レート・ジェネレータ(SRGR)フィールドのまとめ (続き)

名前	機能	参照節
FPER	フレーム周期。このフィールドの値に1を足した値により、次のフレーム同期信号がアクティブになるタイミングが決定されます。 有効な値:0から4095	11.5.3.1
FWID	フレーム幅:このフィールドの値に1を足した値により、フレーム同期パルスのアクティブな期間が決定されます。 有効な値:0から255	11.5.3.1
CLKGDV	サンプル・レート・ジェネレータのクロック分周器。この値は必要なサンプル・レート・ジェネレータのクロック周波数を生成するための分周数として使用されます。デフォルト値は1です。有効な値:0から127	11.5.2.2

### 11.5.1.2 サンプル・レート・ジェネレータのリセット手順

サンプル・レート・ジェネレータのリセットと初期化の手順を以下に示します。

- 1) デバイスのリセットの間、 $\overline{\text{GRST}}=0$ とします。これ以外の通常動作中では、CLKGまたはFSG( $\overline{\text{FRST}}=1$ )が、McBSPのどの部分においても使用されていないことを条件として、SPCRで $\overline{\text{GRST}}=0$ とすることによりサンプル・レート・ジェネレータをリセットします。デバイスのリセットのために $\overline{\text{GRST}}$ がロー・レベルになっているときは、CLKGはCPUクロックの2分周でドライブされ、FSGはインアクティブにドライブされます。通常動作中に $\overline{\text{GRST}}=0$ としたときは、CLKGとFSGはインアクティブとなります。必要な場合には、 $\overline{(\text{R}/\text{X})\text{RST}}=0$ の設定をします。
- 2) 必要に応じSRGRをプログラムします。必要であれば、各部分の(R/X)がリセット状態であれば、これに対応する他のレジスタに数値をライトすることができます。
- 3) 2つのCLKSRGクロックの間ウェイトします。これは、内部での同期獲得のために行なうものです。
- 4)  $\overline{\text{GRST}}=1$ の設定によりサンプル・レート・ジェネレータをイネーブルします。
- 5) 2つのCLKGビット・クロックの間ウェイトします。
- 6) 必要であれば受信部及び送信部をリセット状態( $\overline{(\text{R}/\text{X})\text{RST}}=1$ )から開放します。
- 7) CLKSRGの次の立ち上がりエッジで、CLKGが1に遷移し、CLKSM=1のときには(内部クロック/(1+CLKGDV))、CLKSM=0のときには(CLKSクロック/(1+CLKGDV))に対応する周波数でクロッキングを開始します。内部クロック・ソースは、C6201/C6202/C6203/C6701ではCPUクロック、C6211/C6711ではCPU/2クロックが使用されます。
- 8) DXRへのライトのように、データ転送のために必要な設定が終了した後に、内部生成のフレーム・パルスが必要な場合に、SPCRの $\overline{\text{FRST}}$ に1をライトすることができます。8つのCLKGクロックが経過した後のアクティブなエッジでFSGが生成されます。

## 11.5.2 データ・クロックの生成

受信/送信クロック・モードが1に設定(CLK(R/X)M=1)されているときに、データ・クロック(CLK(R/X))は、内部のサンプル・レート・ジェネレータの出力クロックCLKGでドライブされます。受信部と送信部については、それぞれ独立に、さまざまなデータ・ビット・クロックから選択することができます。これらのオプションには次のものが含まれます。

- サンプル・レート・ジェネレータへの入力クロックには、内部クロック・ソースまたは外部クロック・ソース(CLKS)を選択できます。内部クロック・ソースは、C6201/C6202/C6203/C6701ではCPUクロック、C6211/C6711ではCPU/2クロックが使用されます。
- サンプル・レート・ジェネレータへの入力クロック・ソース(内部クロック・ソースまたは外部クロックCLKS)は、プログラマブルな値(CLKGDV)により分周してCLKGをドライブすることができます。

サンプル・レート・ジェネレータへのソースに関係なく、CLKSRGの立ち上がりエッジ(図11-37を参照)でCLKGとFSG(11.5.2.3節を参照)が生成されます。

### 11.5.2.1 入力クロック・ソース・モード:CLKSM

SRGRのCLKSMビットにより、CPUクロック(CLKSM=1)または外部クロック入力(CLKSM=0)のCLKSをサンプル・レート・ジェネレータの入力クロックのソースとして選択します。分周された周期は、すべて、この入力クロックの選択に従って選択されたクロックをサンプル・レート・ジェネレータによって計算された分周比で分周したものとなります。

### 11.5.2.2 サンプル・レート・ジェネレータ・データ・ビット・クロック・レート:CLKGDV

分周の最初のステージでは、入力クロックからシリアル・データ・ビット・クロックが生成されます。このステージでは、CLKGDVによってプリロードされるカウンタが分周比を保持するために使用されます。このステージの出力は、サンプル・レート・ジェネレータの出力CLKGから出力されるデータ・ビット・クロックであり、同時に分周器の2段めと3段めのステージへの入力となります。

CLKGの周波数は、サンプル・レート・ジェネレータの入力クロックの $1/(CLKGDV+1)$ 倍です。このように、サンプル・レート・ジェネレータの入力クロック周波数は、1から256までの範囲の数値によって分割されます。CLKGDVが奇数であるか0であるときは、デューティ・サイクルは50%となります。CLKGDVが偶数 $2p$ であるときは、ハイ・レベルの状態が $p+1$ サイクル、ロー・レベルの状態が $p$ サイクルとなります。

C6x0xデバイスでは、McBSPの最大クロック速度は、100MHzまたはCPUクロック周波数の低い方です。これはC6201B(リビジョン3.0以降)とその上位のデバイスに当てはまります。初期のC6201(リビジョン2.x以前)のバージョンと、浮動小数点のC6701では、McBSPの最大ビット・レートは50Mbpsです。C6211/C6711でも、最大ビット・レートは50Mbpsです。これは、シリアル・ポートがマスタであり、McBSPと通信している他のデバイスがスレーブであるときに当てはまります。

したがって、CLKSM=1では、CPUクロック速度によって、McBSPクロック・レートが限界を超えないように適切にCLKGDVを設定する必要があります。例えば、C6201BデバイスがCPUクロック200MHzで動作しているとき、CLKGDVの最小値は、シリアル・クロック周波数が100MHzとなる、1です。McBSPの最高速度を示している、デバイスのデータシートのタイミング要件を常に参照する必要があります。

### 11.5.2.3 ビット・クロックの極性:CLKSP

CLKSM=0の設定により、サンプル・レート・ジェネレータのクロック分周器のドライブに外部クロック(CLKS)が使用されます。この場合には、SRGRのCLKSPビットによって、サンプル・レート・ジェネレータのデータ・ビット・クロック(CLKG)とフレーム同期信号(FSG)を生成するためのCLKSエッジの極性が選択されます。CLKSRGの立ち上がりエッジでCLKGとFSGが生成されるため、CLKSP=0のときにはCLKSの立ち上がりエッジ、CLKSP=1のときにはCLKSの立ち下がりエッジでCLKGとFSGが遷移します。

### 11.5.2.4 ビット・クロックとフレーム同期

サンプル・レート・ジェネレータのドライブにCLKSが選択(CLKSM=0)されているときは、GSYNCによりCLKGのCLKSに対するタイミングを設定することができます。GSYNC=1の設定により、McBSPとその通信相手である外部のデバイスは、同じ位相関係を保ったままCLKSを分周します。GSYN=0のときは、この機能はディスエーブルされ、CLKGはフリーラン状態となり、再同期することはありません。GSYNC=1のときは、FSRのインアクティブからアクティブへの遷移により、CLKGの再同期化とFSGの生成がトリガされます。CLKGは、同期後、常にハイの状態から始まります。また、FSRは、FSRパルスの長さに関係なく、CLKGを生成するCLKSのエッジによって検出されます。外部FSRが供給されている場合でも、GSYNC=1のときには、FSGは、内部受信フレーム同期をドライブすることができます。GSYNC=1のときには、フレーム周期は外部フレーム同期パルスの入力によって決定されるため、PFERの値は任意となります。

図11-39と図11-40に、さまざまなCLKSとFSRの極性についての動作を示します。これらの図では、FSG=1CLKG幅となるようにFWIDを0としています。

図11-39. GSYNC=1及びCLKGDV=1のときのCLKGの同期とFSGの生成

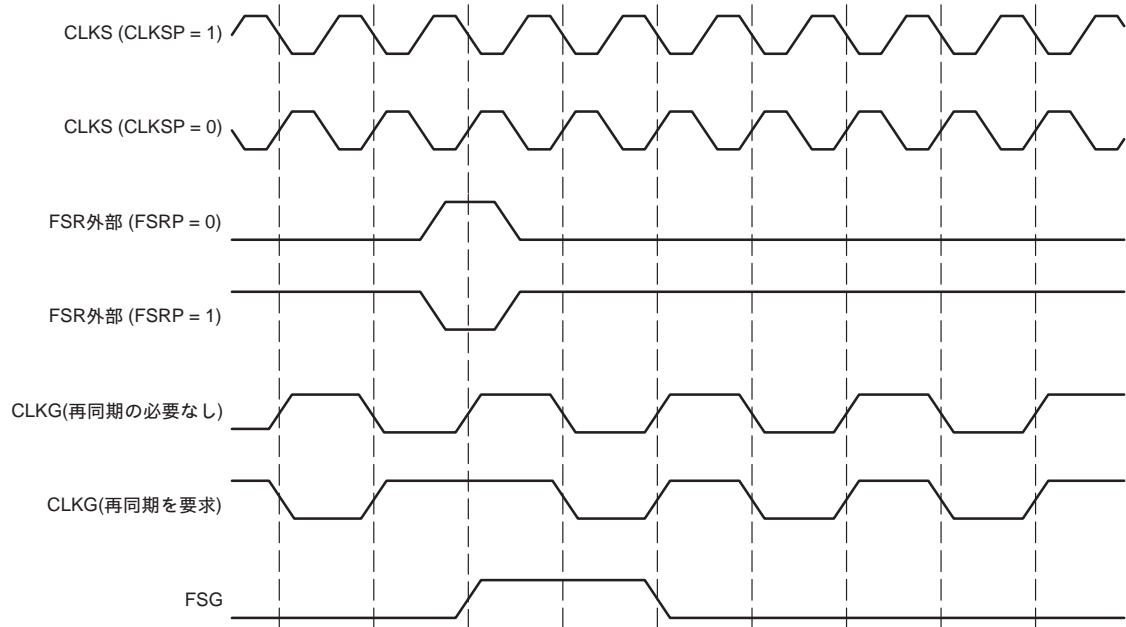
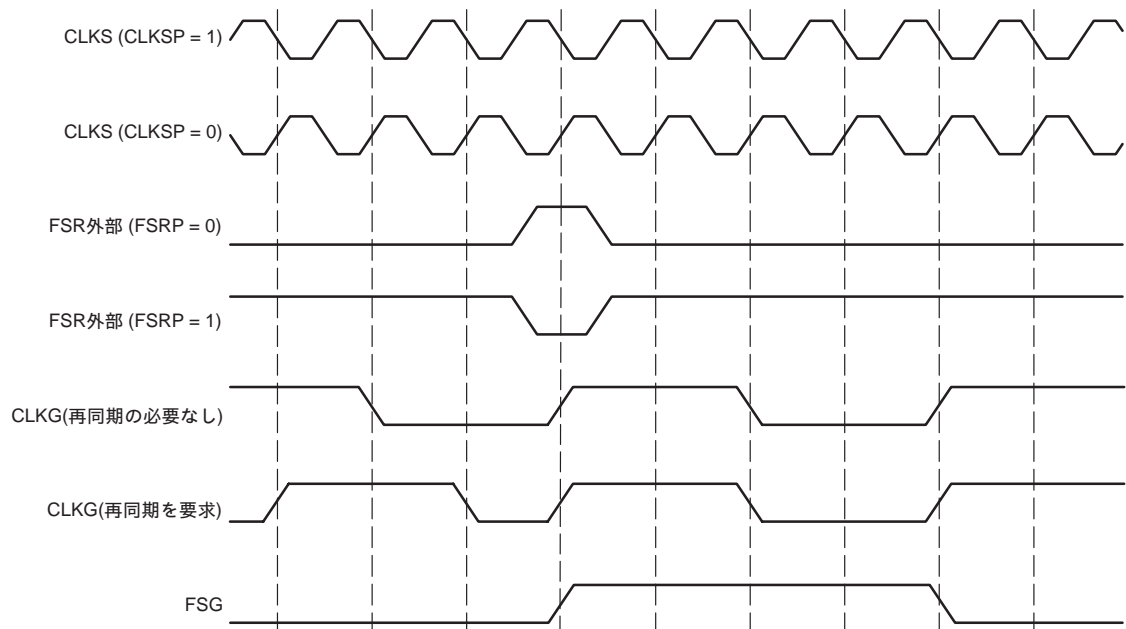


図11-40. GSYNC=1及びCLKGDV=3のときのCLKGの同期とFSGの生成



これらの図により、CLKGがもともと同期状態にありGSYNC=1とされた場合、また、フレーム同期との同期がされておらずGSYNC=1とされた場合のCLKGの動作をみることができます。

GSYNC=1のときには、以下の条件により、送信部は受信部と同期した動作を行なうことができます。

- FSXが、サンプル・レート・ジェネレータのフレーム同期FSGでドライブされる(SRGRのFSGM=1、PCRのFSXM=1)ようにプログラムされている。FSRが、CLKGの立ち下がりエッジでサンプルできるようなタイミングである場合には、PCRのFSXM=0の設定を行ない、FSRをFSXに外部的に接続することにより、FSRを代わりに使用することができます。
- サンプル・レート・ジェネレータのクロックにより、送信及び受信のビット・クロックをドライブする必要があります(SPCRでCLK(R/X)M=1)。このため、CLK(R/X)ピンは、他のソースでドライブすることができません。

#### 11.5.2.5 デジタル・ループバック・モード:DLB

SPCRでDLB=1の設定を行なうことにより、デジタル・ループバック・モードがイネーブルされます。DLBモードでは、図11-36に示すように、DR、FSR、それにCLKRは、マルチプレクサを通じて、それぞれ、DX、FSX、CLKXに内部的に接続されます。DLBモードでは、1つのDSPデバイスによってシリアル・ポートのコードのテストをすることができます。

#### 11.5.2.6 受信クロックの選択:DLB、CLKRM

表11-15に、SPCRのデジタル・ループバック・ビット(DLB)とPCRのCLKRMビットによる受信クロックの選択の様子を示します。デジタル・ループバック・モード(DLB=1)では、送信部のクロックが受信部をドライブします。CLKRMにより、CLKRピンが入力ピンであるか出力ピンであるかが決定されます。

表11-15. 受信クロックの選択

SPCRのDLB	PCRのCLKRM	受信クロックのソース	CLKRの機能
0	0	CLKRは、外部クロックによってドライブされる入力として機能し、使用される前にCLKRPの設定によって反転されます。	入力
0	1	サンプル・レート・ジェネレータのクロック(CLKX)がCLKRをドライブします。	出力。CLKGは、CLKRから出力される前にCLKRPの設定によって反転されます。
1	0	CLKX_intは、選択により受信クロックCLKR_intをドライブし、表11-16に示すように反転されます。	ハイ・インピーダンス
1	1	CLKX_intは、CLKR_intをドライブし、表11-16に示すように反転されます。	出力。CLKR(CLKXと同じ)は、外部にドライブされる前にCLKRPの設定によって反転されません。

### 11.5.2.7 送信クロックの選択:CLKXM

表11-16に、PCRのCLKXMビットにより送信クロックが選択され、CLKXピンが入力または出力として設定される様子を示します。

表11-16. 送信クロックの選択

PCRの CLKXM	送信クロックのソース	CLKXの機能
0	外部クロックは、CLKX入力ピンをドライブします。CLKXは、使用される前にCLKXPの設定によって反転されます。	入力
1	サンプル・レート・ジェネレータのクロックCLKGは、送信クロックをドライブします。	出力。CLKGはCLKXから外部にドライブされる前に、CLKXPの設定によって反転されます。

### 11.5.3 フレーム同期信号の生成

データのフレーム同期は受信部と送信部のそれぞれについて、すべてのデータ・ディレイの値について独立にプログラムすることができます。SPCRのFRSTビットが1に設定されると、フレーム生成ロジックがアクティブとなって、SRGRでFGSM=1の設定がされていると、フレーム同期信号が生成されます。フレーム同期のプログラミングのオプションについては以下のものがあります。

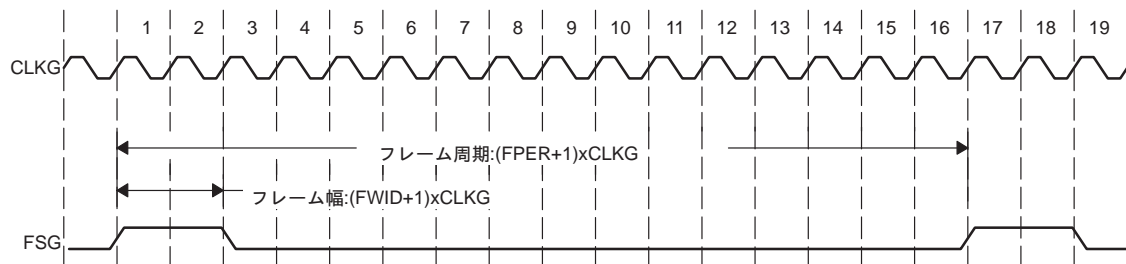
- フレーム・パルスの同期パルスの周期とアクティブ幅が、サンプル・レート・ジェネレータ・レジスタ(SRGR)によってプログラム可能。
- DXRからXSRへのコピーによって生成されたフレーム同期信号を送信部自体によりトリガすることができます。これにより、フレーム同期は、DXRからXSRへのコピーのたびごとに生成させることができます。データ・ディレイは必要に応じて設定することができます。ただし、この方法によっては、データ・ディレイが1または2であるときに、最大パケット周波数を達成することができません。
- 受信部と送信部は、それぞれFSRピンとFSXピンにおける、外部フレーム同期を独立に選択することができます。

### 11.5.3.1 フレーム周期とフレーム幅:FPERとFWID

FPERブロックは、12ビットのダウン・カウンタであり、生成されたクロックを4095から0までカウント・ダウンします。FPERは、アクティブなフレーム同期パルス間の間隔を制御します。サンプル・レート・ジェネレータのFWIDブロックは、8ビットのダウン・カウンタです。FWIDフィールドは、フレーム同期パルスのアクティブ幅を制御します。

サンプル・レート・ジェネレータのリセット状態が解除されると、FSGは、インアクティブ(ロー)な状態となります。次に、 $\overline{\text{FRST}}=1$ かつ $\text{FSGM}=1$ の設定がされていると、フレーム同期信号が生成されます。フレーム幅の値( $\text{FWID}+1$ )は、CLKGのクロック・サイクルごとに、カウント値が0となり、FSGがロー・レベルになるまでカウント・ダウンされます。このように、FWID+1の値により、フレーム・パルスのアクティブ幅を1から256データ・ビット・クロックの間で決定することができます。また、フレーム周期の値( $\text{FPER}+1$ )もカウント・ダウンされ、この値が0になるとFSGは再びハイ・レベルとなって新しいフレームを開始したことを示します。このようにFPER+1の値は、フレーム長を1から4096データ・ビット・クロックの間で決定します。GSYNC=1のときは、FPERの値は任意となります。図11-41に、フレーム周期が16CLKG( $\text{FPER}=15$ または00001111b)であるようなフレームを示します。

図11-41. プログラマブルなフレーム周期とフレーム幅



### 11.5.3.2 受信フレーム同期の選択:DLB、FSRM、GSYNC

表11-17に、受信フレーム同期信号の供給のために選択できるソースを示します。デジタル・ループバック・モード(DLB=1)では、送信フレーム同期信号が受信フレーム同期信号として使用され、DRが内部的にDXに接続されていることに注意してください。

表11-17. 受信フレーム同期の選択

SPCRの DLB	PCRの FSRM	SRGRの GSYNC	受信フレーム同期のソース	FSRピンの機能
0	0	X	外部フレーム同期信号は、FSR入力ピンをドライブし、その信号はFSR_intとして使用される前に、FSRPの設定に従って反転されます。	入力
0	1	0	サンプル・レート・ジェネレータのフレーム同期信号(FSG)は、FSRT=1のとき、FSR_intをドライブします。	出力。FSGはFSRピンに出力される前にFSRPの設定にしたがって反転されず。
0	1	1	サンプル・レート・ジェネレータのフレーム同期信号(FSG)は、FSRT=1のとき、FSR_intをドライブします。	入力。FSRに入力された外部フレーム同期は、CLKGの同期に使用され、また、FSGを生成します。
1	0	0	FSX_intはFSR_intをドライブします。FSXは表11-18に従って選択されます。	ハイ・インピーダンス
1	X	1	FSX_intはFSR_intをドライブします。FSXは表11-18に従って選択されず。	入力。外部FSRはフレーム同期には使用されませんが、GSYNC=1に設定されていますので、CLKGの同期に使用され、また、FSGを生成します。
1	1	0	FSX_intはFSR_intをドライブし、FSX_intは表11-18に従って選択されます。	出力。受信(送信も同じ)フレーム同期は、外部へドライブされる前にFSRPの設定に従って反転されます。

### 11.5.3.3 送信フレーム同期信号の選択:FSXM,FSGM

表11-18に、送信フレーム同期パルスのソースの選択の方法を示します。以下の3つの方法を選択できます。

- 外部フレーム同期入力
- サンプル・レート・ジェネレータ・フレーム同期信号、FSG
- DXRからXSRへのコピー発生を示す信号



表11-18. 送信フレーム同期の選択

PCRの FSXM	SRGRの FSGM	送信フレーム同期のソース	FSXピンの機能
0	X	FSXピンに入力された外部フレーム同期。 この信号は、FSX_intとして使用される前 に、FSXPの設定に従って反転されます。	入力
1	1	サンプル・レート・ジェネレータのフレーム 同期信号(FSG)は、FRST=1のとき、 FSX_intをドライブします。	出力。FSGは、FSXピンに出力される前 に、FSXPの設定に従って反転されま す。
1	0	DXRからXSRへのコピーの発生により送 信フレーム同期信号がアクティブとなりま す。	出力。1ビット・クロック幅の信号は、 FSXに出力される前にFSXPの設定に 従って反転されます。

#### 11.5.3.4 初期化のためのフレーム検出

フレーム同期の検出を簡単に行なうために、SPCRでRINTM=XINTM=10bの設定により、CPU割り込み(RINTとXINT)によってフレーム同期を検出するように設定することができます。この割り込みは他の種類のシリアル・ポートの割り込みと異なり、シリアル・ポートの対応する部分がリセット状態であるときにも動作することができます(例えば、受信部がリセット状態にあるときにRINTをアクティブにする)。この場合でも、FS(R/X)MとFS(R/X)Pにより、ソースとフレーム同期の極性が選択されます。このように、シリアル・ポートがリセット状態にあるときでも、これらの信号はCPUのクロックに同期され、これらの信号がシリアル・ポートの受信または送信の部分に入力された時点でRINTまたはXINTとしてCPUに送られます。新しいフレーム同期パルス検出され、その後でCPUがシリアル・ポートのリセット状態を解除します。

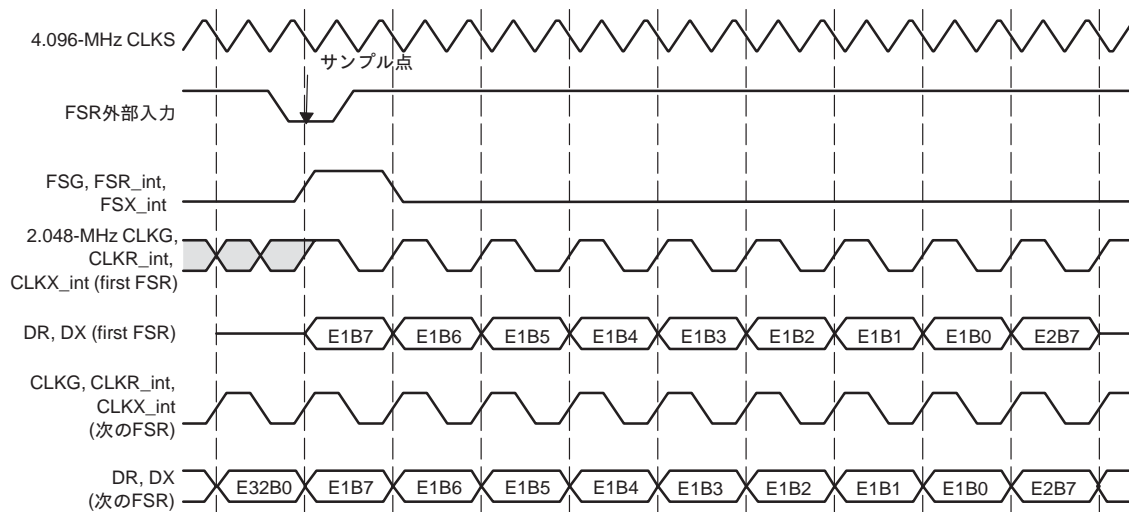
### 11.5.4 クロック・タイミングの例

#### 11.5.4.1 ダブル・レートST-BUSクロック

図11-42に、MitelのST-Bus™ と互換性をもたせたMcBSPのタイミングを示します。McBSPは、最大フレーム周波数で動作しています。

- CLK(R/X)M=1:CLK(R/X)\_intは、サンプル・レート・ジェネレータによって内部的に生成されます。
- GSYNC=1:CLKGは、FSRに入力された外部フレーム同期信号と同期されます。CLKGは、フレーム同期信号がアクティブとなるまで同期されません(フリー・ラン状態)。また、パルス幅を最小にするために、FSRは内部的に再生成されます。
- CLKSM=0:外部クロック(CLKS)がサンプル・レート・ジェネレータをドライブします。
- CLKSP=1:CLKSの立ち下がりエッジによりCLKGとCLK(R/X)\_intが生成されます。
- CLKGDV=1:受信クロック(CLKRと表示)の周波数は、CLKSの周波数の2分の1です。
- FS(R/X)P=1:アクティブ・ローのフレーム同期パルスを指定します。
- (R/X)FRLLEN1=11111b:フレームあたり32エレメントを指定します。
- (R/X)WDLEN1=0:8ビット・エレメントを指定します。
- (R/X)PHASE=0:シングル・フェーズ・フレームを指定します。それゆえ(R/X)FRLLEN2=(R/X)EDLEN2=Xです。
- (R/X)DATDLY=0:データ・ディレイなしを指定します。

図11-42. ST-BUSとMVIPの例

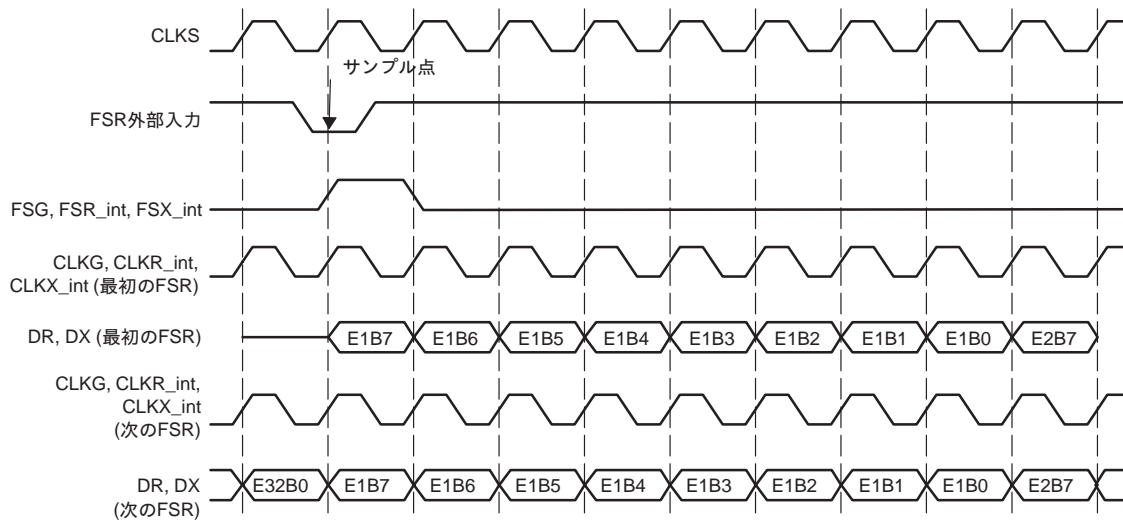


### 11.5.4.2 シングル・レートST-BUSクロック

この例では、以下の点を除き、ダブル・レートST-Busの例と同じです。

- CLKGDV=0:CLKSは分周されることなく(シングル・レート・クロック)CLK(R/X)\_intをドライブします。
- CLKSP=0:CLKSの立ち上がりエッジで、内部クロックのCLKGとCLK(R/X)\_intが生成されます。

図11-43. シングル・レート・クロックの例



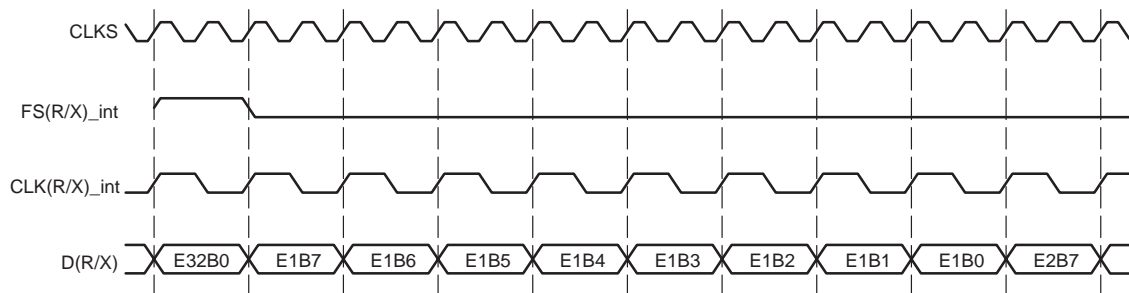
CLKRの立ち上がりエッジにより外部FSRが検出されます。この外部フレーム同期パルスは、McBSPの内部クロックを再同期し、内部で使用するためのフレーム同期を生成します。この内部のフレーム同期は、内部クロックの立ち下がりエッジで検出できるように十分な幅を持っています。

### 11.5.4.3 ダブル・レート・クロック

この例では、以下の点を除き、ST-Busの例と同じです。

- CLKSP=0:CLKSの立ち上がりエッジによってCLKGとCLK(R/X)が生成されます。
- CLKGDV=1:CLKG、CLKR\_int、CLKX\_intの周波数は、CLKSの周波数の2分の1です。
- GSYNC=0:CLKSがCLKGをドライブします。CLKGはフリー・ラン状態でありFSRによって再び同期されることはありません。
- FS(R/X)M=0:フレーム同期は外部的に生成されます。フレーム・パルスは、検出のために十分な幅を持っています。
- FS(R/X)P=0:アクティブ・ハイの入力フレーム同期信号を指定します。
- (R/X)DATDLY=1:1ビットのデータ・ディレイを指定します。

図11-44. ダブル・レート・クロックの例



## 11.6 マルチチャネル選択動作

McBSPをシングル・フェーズ・フレームに設定することにより、マルチチャネルの選択を送信/受信それぞれに対して独立に設定することができます。各フレームは、時分割多重のデータ・ストリームに対応します。フレームあたりのエレメント数は、(R/X)FRLEN1で指定され、選択することのできるチャネルの数を示します。メモリーとバスのバンド幅を節約するために、マルチチャネルの選択により、送信または受信において、特定のエレメントを独立してイネーブルすることができます。最大128エレメントのビット・ストリームの最大32のエレメントをイネーブルすることができます。

受信エレメントがイネーブルされていない場合には、以下の状態となります。

- エレメントの最後のビットが受信されても、RRDYは1にセットされません。
- エレメントの最後のビットが受信されても、RBRの内容はDRRにコピーされません。それゆえ、RRDYはアクティブとなりません。このため、このエレメントによっては割り込みや同期イベントが生成されないことになります。

送信エレメントがイネーブルされていない場合には、以下の状態となります。

- DXはハイインピーダンス状態となります。
- 対応するエレメントのシリアル送信が終わってもDXRからXSRへの転送は自動的にトリガされません。
- 対応するシリアル・エレメントの転送が終わっても、 $\overline{\text{XEMPTY}}$ とXRDYは影響を受けません。

イネーブルされた送信エレメントでは、そのデータのマスクまたは転送を指定することができます。データがマスクされると、送信チャネルがイネーブルされていてもDXピンは強制的にハイ・インピーダンスの状態となります。

### 11.6.1 マルチチャネル動作コントロール・レジスタ

マルチチャネルの動作では、次のコントロール・レジスタが使用されます。

- マルチチャネル・コントロール・レジスタ(MCR)
- 送信チャネル・イネーブル・レジスタ(XCER)
- 受信チャネル・イネーブル・レジスタ(RCER)

マルチチャネル選択動作

図11-45. マルチチャネル・コントロール・レジスタ

31		25	24	23	22	21	20		18	17		16
Reserved				XPBBLK	XPABLK	XCBLK		XMCM				
R, +0				RW, +0	RW, +0	R, +0		RW, +0				
15		9	8	7	6	5	4		2	1		0
Reserved				RPBBLK	RPABLK	RCBLK		reserved	RMCM			
R, +0				RW, +0	RW, +0	R, +0		R, +0	RW, +0			

表11-19. マルチチャネル・コントロール・レジスタの解説

名	機能	参照節
RMCM	受信マルチチャネル選択イネーブル RMCM=0: すべてのチャネルをイネーブル RMCM=1: すべてのチャネルをディスエーブル。RP(A/B)BLKとRCERにより、必要なチャネルを選択することができます。	11.6.2
XMCM	送信マルチチャネル選択イネーブル XMCM=00b: すべてのチャネルをマスクなしでイネーブル(データ送信の間、DXは常にドライブされます)。チャネルがマスクされているとき(イネーブルされているかどうかに関係なく)、またはエレメントがディスエーブルされているときは、DXは、マスクされ、ハイ・インピーダンスの状態となります。 XMCM=01b: すべてのエレメントはディスエーブルされ、デフォルトでマスクされます。XP(A/B)BLKとXCERをイネーブルすることにより、必要なエレメントを選択することができます。これらの選択されたエレメントはマスクされず、DXは常にドライブされます。 XMCM=10b: すべてのエレメントはイネーブルされますが、マスクされます。XP(A/B)BLKとXCERをイネーブルすることにより選択されたエレメントについてはマスクが解除されます。 XMCM=11b: すべてのエレメントはディスエーブルされ、デフォルトでマスクされます。XP(A/B)BLKとXCERをイネーブルすることにより、必要なエレメントを選択することができます。選択されたエレメントについては、RP(A/B)BLKとXCERにより、マスクが解除されます。このモードは、対称な送受信動作のために使用されます。(対称な動作についての詳細は、11.6.3節を参照してください)。	11.6.3

表11-19. マルチチャネル・コントロール・レジスタの解説 (続き)

名	機能	参照節
RCBLK	現行のサブフレームを受信 RCBLK=000b: サブフレーム0。エレメント0からエレメント15 RCBLK=001b: サブフレーム1。エレメント16からエレメント31 RCBLK=010b: サブフレーム2。エレメント32からエレメント47 RCBLK=011b: サブフレーム3。エレメント48からエレメント63 RCBLK=100b: サブフレーム4。エレメント64からエレメント79 RCBLK=101b: サブフレーム5。エレメント80からエレメント95 RCBLK=110b: サブフレーム6。エレメント96からエレメント111 RCBLK=111b: サブフレーム7。エレメント112からエレメント127	11.6.3.2
XCBLK	現行のサブフレームを送信 XCBLK=000b: サブフレーム0。エレメント0からエレメント15 XCBLK=001b: サブフレーム1。エレメント16からエレメント31 XCBLK=010b: サブフレーム2。エレメント32からエレメント47 XCBLK=011b: サブフレーム3。エレメント48からエレメント63 XCBLK=100b: サブフレーム4。エレメント64からエレメント79 XCBLK=101b: サブフレーム5。エレメント80からエレメント95 XCBLK=110b: サブフレーム6。エレメント96からエレメント111 XCBLK=111b: サブフレーム7。エレメント112からエレメント127	11.6.3.2
RPBBLK	パーティションBのサブフレームを受信 RPBBLK=00b: サブフレーム1。エレメント16からエレメント31 RPBBLK=01b: サブフレーム3。エレメント48からエレメント63 RPBBLK=10b: サブフレーム5。エレメント80からエレメント95 RPBBLK=11b: サブフレーム7。エレメント112からエレメント127	11.6.3
XPBBLK	パーティションBのサブフレームを送信 XPBBLK=00b: サブフレーム1。エレメント16からエレメント31 XPBBLK=01b: サブフレーム3。エレメント48からエレメント63 XPBBLK=10b: サブフレーム5。エレメント80からエレメント95 XPBBLK=11b: サブフレーム7。エレメント112からエレメント127	11.6.3

表11-19. マルチチャネル・コントロール・レジスタの解説 (続き)

名	機能	参照節
RPABLK	パーティションAのサブフレームを受信 RPABLK=00b: サブフレーム0。エレメント0からエレメント15 RPABLK=01b: サブフレーム2。エレメント32からエレメント47 RPABLK=10b: サブフレーム4。エレメント64からエレメント79 RPABLK=11b: サブフレーム6。エレメント96からエレメント111	11.6.3
XPABLK	パーティションAのサブフレームを受信 XPABLK=00b: サブフレーム0。エレメント0からエレメント15 XPABLK=01b: サブフレーム2。エレメント32からエレメント47 XPABLK=10b: サブフレーム4。エレメント64からエレメント79 XPABLK=11b: サブフレーム6。エレメント96からエレメント111	11.6.3

### 11.6.2 マルチチャネル選択イネーブル

マルチチャネル・モードは、MCRでRMCM=1の設定を行ない、XMCMに0以外の値を設定することにより、受信と送信のそれぞれについて独立に設定することができます。

### 11.6.3 チャネルのイネーブルとマスクング

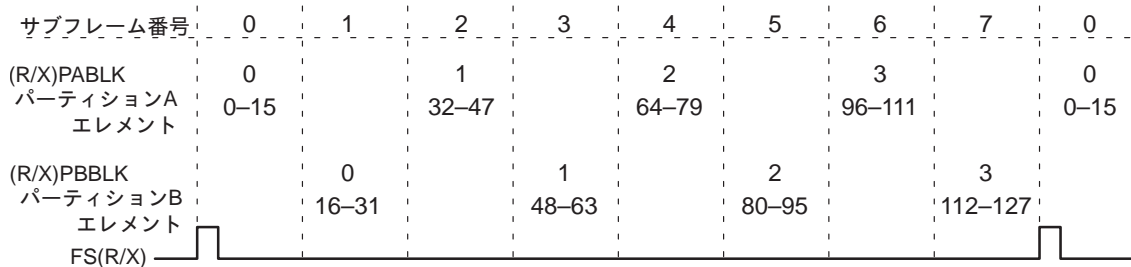
利用できる128エレメントのうち合計32のエレメントを、任意のタイミングでイネーブルすることができます。この128のエレメントは、8つのサブフレーム(0から7)により構成され、各サブフレームは隣接する16のエレメントを持っています。また、偶数番号のサブフレーム0,2,4,6はパーティションAに属し、奇数番号のサブフレーム1,3,5,7はパーティションBに属しています。

イネーブルされたエレメントの数は、エレメントの任意の組み合わせをイネーブルするために、フレームの途中で更新することができます。この更新は、16の隣接するエレメントからなる2つのサブフレーム(1つは奇数番号、1つは偶数番号)を1つのフレームの中で任意のタイミングで交互に制御するピンポン方式によって行われます。ここで、サブフレームの一方はパーティションAに属し、他方はパーティションBに属しています。

パーティションAとパーティションBから、それぞれ任意の16エレメント・ブロックを選択することができます。合計で32エレメントをイネーブルすることができます。サブフレームは、図11-46に示すように16ビット・エレメントのバウンダリに割り当てられます。MCRの(R/X)PABLKフィールドと(R/X)PBBLKフィールドにより、それぞれ、パーティションAとパーティションBのサブフレームを選択します。このイネーブルの操作は、送信と受信のそれぞれについて独立して行なうことができます。



図11-46. パーティションAとBのサブフレームの要素のイネーブル



送信データをマスクすると、送信のためにイネーブルされた要素が送信される間、DXピンはハイインピーダンスの状態となります。対称の送受信によりソフトウェア上の利点をもたらされるシステムでは、この機能により、共有されたシリアルバス上で送信要素をディスエーブルすることができます。マルチチャネルの受信はシリアルバスでのコンフリクトを引き起こすことがないため、受信については同様な機能は必要とされません。

## 注:

DXは次のときにマスクされるか、または、ハイインピーダンスの状態にドライブされません。

- パケット間のインターバルの間
- 要素がイネーブルされたかどうかにかかわらずマスクされたとき
- 要素がディスエーブルされたとき

XMCMの値を変えることにより、以下のような異なった動作となります。

- XMCM=00b:シリアルポートはXFRLEN1にプログラムされている要素数だけ、DXピンからデータを送信します。従って、転送中DXピンはドライブされたままになります。
- XMCM=01b:XP(A/B)BLKとXCERにより送信する要素を選択します。選択された要素だけがDXRにライトされて送信されます。例えば、XINTM=00bの設定により、XINTはDXRからXSRへのコピーが発生するたびに生成されますが、生成されたXINTの数は、XCERにより選択された要素の数と同じになります(XFRLEN1の値とは同じになりません)。
- XMCM=10b:すべての要素がイネーブルされ、データフレームにあるすべての要素(XFRLEN1)がDXRにライトされ、それぞれのライトに対して、DXRからXSRへのコピーが発生します。ただし、DXは、XP(A/B)BLKとXCERによって選択された要素についてのみドライブされ、それ以外の場合にはハイインピーダンスの状態とされます。この場合に、XINTM=00bであれば、DXRからXSRへのコピーのたびごとに生成された割り込みの数は、フレームの中の要素の数(XFRLEN1)と同じになります。

- XMCM=11b:このモードでは、送信と受信が対称な動作となります。デバイスが同じサブフレームのセットを送信し受信することにより対称な動作が成立します。これらのサブフレームは、RP(A/B)BLKの設定により決定されます。受信については、各サブフレームの中のエレメントは、RCERレジスタの設定によってイネーブルされ選択されます。送信側では受信側と同じブロックを使用します(このためX(P/A)BLKの値は意味を持ちません)。このモードでは、すべてのエレメントがディセーブルされるため、DR及びDXはハイ・インピーダンス状態となります。受信については、RP(A/B)BLKとRCERで選択されたエレメントについてのみRBRからDRRへのコピーが発生します。RINTがRBRからDRRへのコピーのたびごとに発生する場合には、RINTはRCERで選択されたエレメントの数だけ発生します(RFRLEN1でプログラムされたエレメントの数とは同じではありません)。送信については、対称性から受信で使用されたサブフレームと同じサブフレームが使用されるため、XP(A/B)BLKの値は意味を持ちません。DXRはロードされ、DXRからXSRへのコピーは、RP(A/B)BLKによってイネーブルされたすべてのエレメントに対して発生します。ただし、DXはXCERによって選択されたエレメントについてのみドライブされます。XCERでイネーブルされたエレメントは、RCERで選択されたエレメントのサブセットとなる場合と両者が一致する場合があります。このため、XINTM=00bの設定により、CPUへの送信割り込みは、RCER(XCERではない)で選択されたエレメントの数だけ発生します。

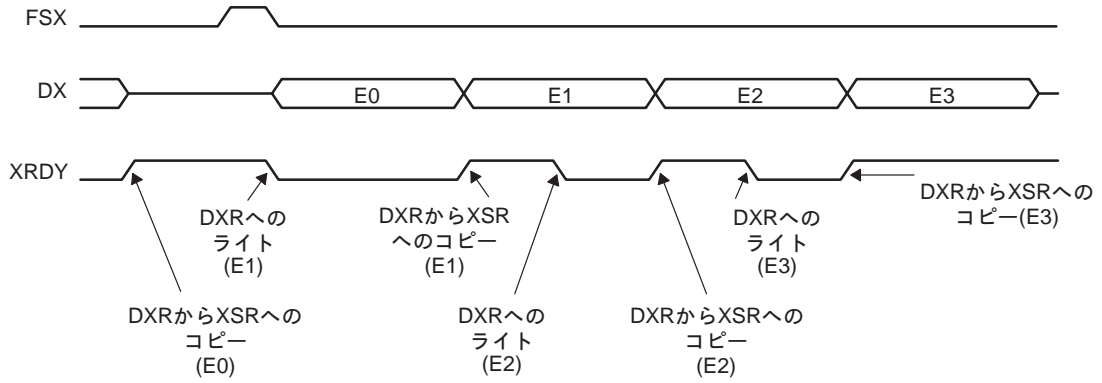
図11-47に上記のすべてのXMCMモードについて以下の条件におけるMcBSPピンの動作を示します。

- (R/X)PHASE=0:マルチチャネル選択がイネーブルするためのシングル・フェーズ・フレーム
- FRLEN1=011b:4エレメント・フレーム
- WDLLEN1=任意の有効なエレメント長

以下の図では、さまざまなイベントの発生を示す矢印は例示にすぎません。

図11-47. XMCMの動作

(a) XMCM = 00b



(b) XMCM = 01b, XPABLK = 00b, XCER = 1010b

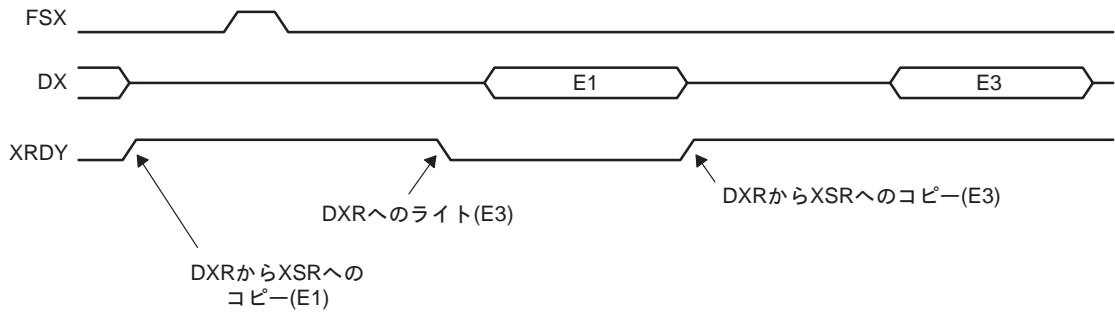
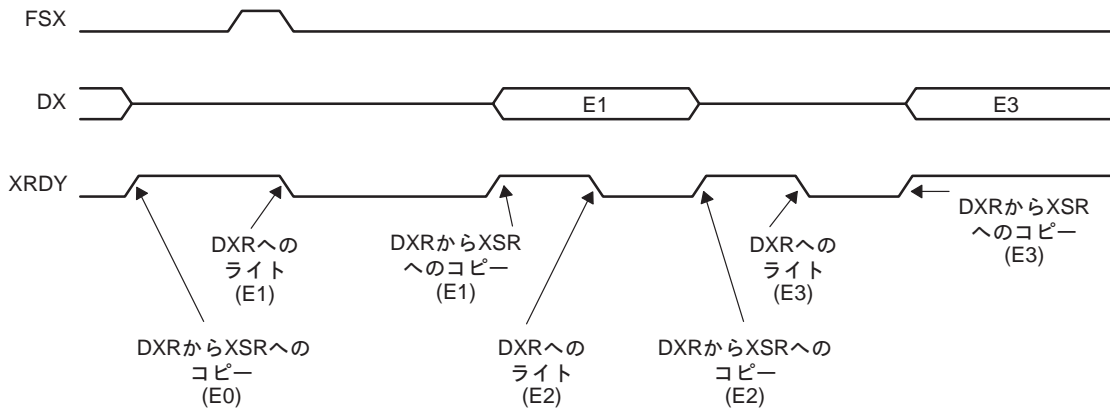
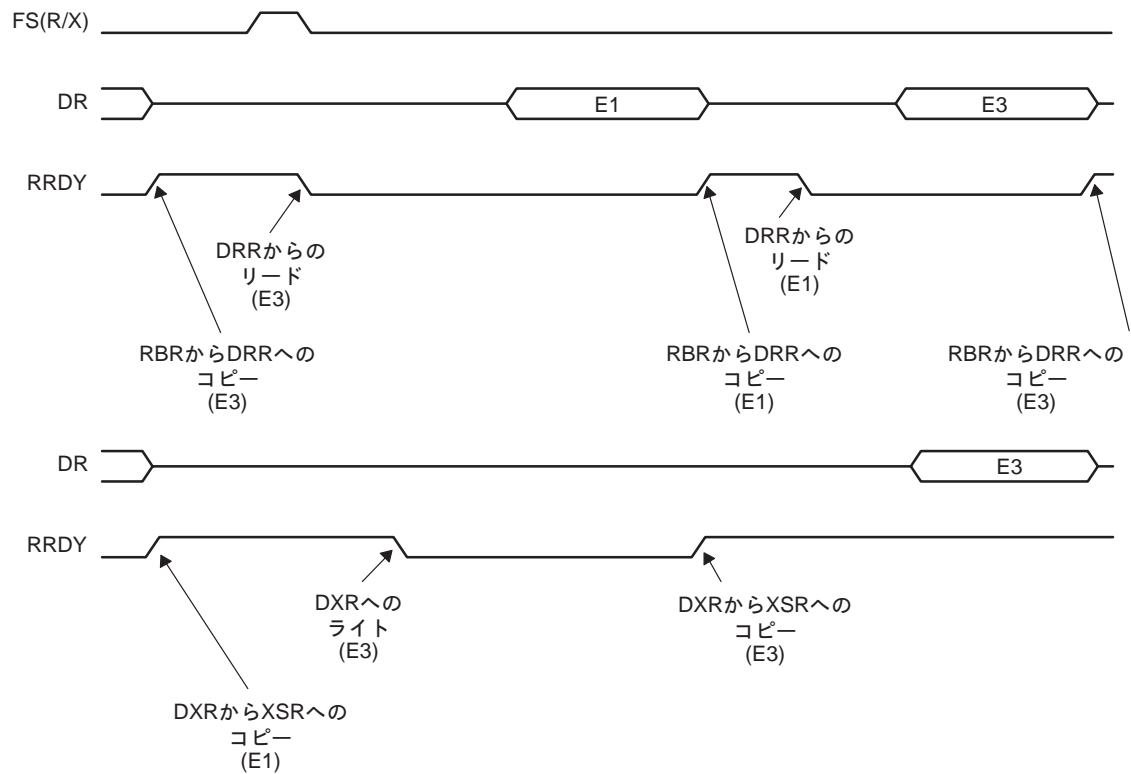


図11-47. XMCMの動作 (続き)

(c) XMCM = 10b, XPABLK = 00b, XCER = 1010b



(d) XMCM = 11b, RPABLK = 00b, XPABLK = X, RCER = 1010b, XCER = 1000b



## 11.6.3.1 チャネル・イネーブル・レジスタ(R/X)CER

受信チャネル・イネーブル・レジスタ(RCER)と送信チャネル・イネーブル・レジスタ(XCER)は送信と受信について、それぞれ任意の32のエレメントをイネーブルするために使用します。32のエレメントのうち、16エレメントはパーティションAのサブフレームに属し、残りの16エレメントはパーティションBのサブフレームに属します。これらを図11-48と図11-49に示します。表11-20に示す(R/X)CEAレジスタと(R/X)CEBレジスタのフィールドは、それぞれ、パーティションAとパーティションBの中の16チャネルのエレメントの中のエレメントをイネーブルします。MCRの(R/X)PABLKと(R/X)PBBLKのフィールドは、どの16エレメント・サブフレームが選択されるかを決定します。

図11-48. 受信チャネル・イネーブル・レジスタ(RCER)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RCEB 15	RCEB 14	RCEB 13	RCEB 12	RCEB 11	RCEB 10	RCEB 9	RCEB 8	RCEB 7	RCEB 6	RCEB 5	RCEB 4	RCEB 3	RCEB 2	RCEB 1	RCEB 0
RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCEA 15	RCEA 14	RCEA 13	RCEA 12	RCEA 11	RCEA 10	RCEA 9	RCEA 8	RCEA 7	RCEA 6	RCEA 5	RCEA 4	RCEA 3	RCEA 2	RCEA 1	RCEA 0
RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0

図11-49. 送信チャネル・イネーブル・レジスタ(XCER)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
XCEB 15	XCEB 14	XCEB 13	XCEB 12	XCEB 11	XCEB 10	XCEB 9	XCEB 8	XCEB 7	XCEB 6	XCEB 5	XCEB 4	XCEB 3	XCEB 2	XCEB 1	XCEB 0
RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XCEA 15	XCEA 14	XCEA 13	XCEA 12	XCEA 11	XCEA 10	XCEA 9	XCEA 8	XCEA 7	XCEA 6	XCEA 5	XCEA 4	XCEA 3	XCEA 2	XCEA 1	XCEA 0
RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0	RW,+0

表11-20. 受信/送信チャネル・イネーブル・レジスタ・フィールドの解説

名	機能
RCEAn $0 \leq n \leq 15$	受信チャネル・イネーブル RCEAn=0: パーティションAの偶数番号のサブフレームのn番目のエレメントの受信をディスエーブルする RCEAn=1: パーティションAの偶数番号のサブフレームのn番目のエレメントの受信をイネーブルする
XCEAn $0 \leq n \leq 15$	送信チャネル・イネーブル XCEAn=0: パーティションAの偶数番号のサブフレームのn番目のエレメントの送信をディスエーブルする XCEAn=1: パーティションAの偶数番号のサブフレームのn番目のエレメントの送信をイネーブルする
RCEBn $0 \leq n \leq 15$	受信チャネル・イネーブル (R/X)CEBn=0: パーティションBの奇数番号のサブフレームのn番目のエレメントの受信をディスエーブルする (R/X)CEBn=1: パーティションBの奇数番号のサブフレームのn番目のエレメントの受信をイネーブルする
XCEBn $0 \leq n \leq 15$	送信チャネル・イネーブル XCEBn=0: パーティションBの奇数番号のサブフレームのn番目のエレメントの送信をディスエーブルする XCEBn=1: パーティションBの奇数番号のサブフレームのn番目のエレメントの送信をイネーブルする

### 11.6.3.2 エレメント選択の変更

マルチチャネルの選択機能を使って、32のエレメントからなる静的なグループをイネーブルしてCPUの介入なしにその領域に変更が加えられるまでその領域をイネーブルとしておくことができます。任意の数、グループ、またはフレームの中のすべてのエレメントは、サブフレーム終了割り込みに対してフレームの中でブロック・アロケーション・レジスタを更新することによりアクセスすることができます(割り込みについては11.6.3.3節参照)。

#### 注:

選択を変更する場合には、選択されている現行のサブフレームに影響がないように注意する必要があります。

選択されている現行のサブフレームは、受信と送信について、それぞれMCRのRCBLKとXCBLKのフィールドからリードすることができます。対応するチャネル・イネーブル・レジスタは、(R/X)P(A/B)BLKレジスタが現行のサブフレームを指し示すように選択されている場合には、その内容を変更することができません。同様に、MCRの(R/X)PABLKと(R/X)PBBLKフィールドは、選択されている現行のサブフレームを指し示しているとき、または、指し示すように変更しようとしているときには、内容を変更することができません。エレメントの総数が16以下であれば、常に現行のパーティションが指し示されます。この場合には、シリアル・ポートのリセットによってのみエレメントのイネーブル状態を変更することができます。

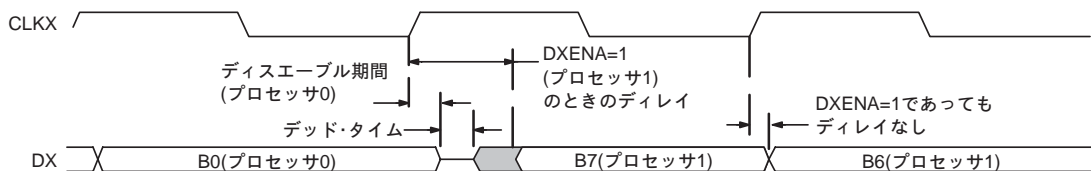
### 11.6.3.3 エンド・オブ・サブフレーム割り込み

マルチチャネルでの動作中には、SPCRのRINT=01bまたはXINTM=01bの設定により、サブフレーム(16エレメント以下)の終わるごとにそのバウンダリで、それぞれ、CPUに対する受信割り込み(RINT)または送信割り込み(XINT)を発生させることができます。この割り込みは、新しいパーティションへの境界を超えたことを示します。現行のパーティションをチェックして、現行のサブフレームが指し示されていない場合には、A及び/またはBのパーティションのサブフレームを変更することができます。これらの割り込みは、2つのCPUクロックにわたるハイ・レベルのパルスとして出力されます。(R/X)MCM=0(マルチチャネル動作以外)に対しRINTM=XINTM=01bの設定がされると、割り込みは生成されません。

### 11.6.4 DXイネーブラ:DXENA

DXイネーブラはC6211/C6711デバイスでのみ使用可能です。シリアル・ポート・コントロール・レジスタのDXENAフィールドは、DXピンのハイ・インピーダンスのイネーブルを制御します。DXENAが1の場合には、McBSPはDXピンにデータを出力するときに余分なディレイをイネーブルします。この機能は、時分割多重(TDM)システムなどのMcBSPのマルチチャネル動作において有効です。McBSPは、最大128チャネルのマルチチャネル動作をサポートしています。これらのチャネルは、T1/E1のようなTDMデータ通信線における異なるデバイスによってドライブされます。複数のデバイスが同一のDX線を上で送信をするようなマルチチャネル動作では、二つのデバイスが同時にデータを送信して、バス衝突が起きることがないようにする必要があります。現行のデバイスの最初のデータ・ビットの送信と直前のデバイスの最後のデータ・ビットの転送の間に、十分なデッド・タイムがなければなりません。つまり、直前のデバイスの最後のデータ・ビットは、次のデバイスは図11-50に示すように、次のデバイスが同一のデータ線を使用してデータを転送する前に、ハイ・インピーダンス状態にディセーブルする必要があります。

図11-50. マルチチャネル動作におけるDXタイミング



2つのMcBSPが同一のTDMライン上でデータを送信するのに使用されるような場合には、DXENA=0では、バス衝突が起こります。最初のMcBSPは、データシートに示されるディセーブル期間の後、最後のデータ・ビットの転送を終えます(DXを有効なデータからハイ・インピーダンスの状態に変えます)。図11-50に示すように、このディセーブル期間はCLKXアクティブ・クロック・エッジから数えられます。次のMcBSPは、ディレイ期間の後、DXピンに出力します(ハイ・インピーダンスの状態から有効なデータに変えます)。さらに、このディレイ期間は、CLKXのアクティブ・クロック・エッジから数えられます。2つのデバイスの間のデッド・タイムが十分でないと、バス衝突が起こります。この場合には、ソフトウェアかハードウェアのどちらかの手法で、適切にマルチチャネル動作を行えるようにする必要があります。

2番目のMcBSPでDXENA=1を設定すれば、2番目のMcBSPは2CPUクロック分の余分なディレイ期間の後、DXピンに出力します。これにより、2番目のMcBSPがデータを出力する前に、同一のDX線上の直前のMcBSPがディセーブルされます。DXイネーブラは、DXピンのハイ・インピーダンスのイネーブルを制御するだけで、データそのものではありません。データは、DXENA=0の時と同じようにDXピンにシフト・アウトされます。唯一の違いは、DXENA=1では、データがTDMデータ線に出力される前に2CPUサイクル余分に、DXピンがハイ・インピーダンスにマスクされる、ということです。したがって、データの最初のビットが遅れるだけです。



## 11.7 SPIプロトコル:CLKSTP

このプロトコルに適合するシステムは、マスタスレーブ方式の設定がなされたものです。SPI™のプロトコルは、シリアル・データ・イン(マスタ・イン・スレーブ・アウト、MISO)、シリアル・データ・アウト(マスタ・アウト・スレーブ・イン、MOSI)、シフト・クロック(SCK)、アクティブ・ロー・スレーブ・イネーブル( $\overline{SS}$ )の信号からなる4線のインターフェイスです。マスタとスレーブの間の通信は、マスタ・クロックの有無によって決定されます。専用のフレーム同期信号がない場合には、データ転送は、マスタ・クロックの検出により開始され、マスタ・クロックがなくなると終了します。スレーブは、転送の間、イネーブルされていなければなりません。McBSPがマスタであれば、スレーブ・イネーブルは、マスタの転送フレーム同期パルスFSXから生成されます。図11-51と図11-52に、McBSPをマスタ、またはスレーブとしたブロック図を示します。

図11-51. McBSPをマスタとしたSPIの設定

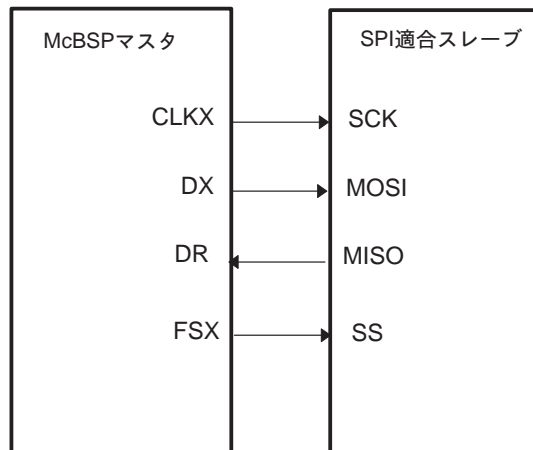
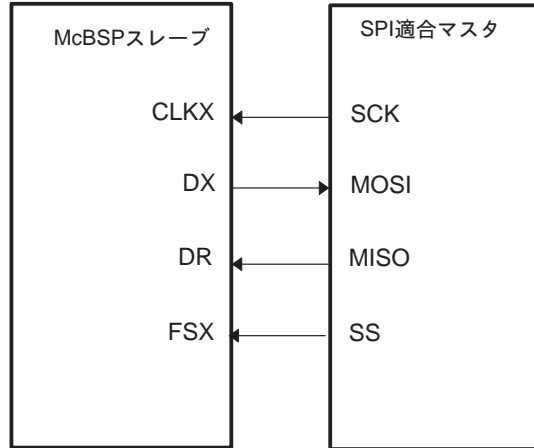


図11-52. McBSPをスレーブとしたSPIの設定



McBSPのクロック・ストップ・モード(SLKSTP)により、SPIプロトコルとの互換性が確保されます。McBSPは、2つのSPI転送フォーマットに対応しており、SPCRのクロック・ストップ・モード・フィールド(CLKSTP)によって設定されます。クロック・ストップ・モード・フィールド(CLKSTP)とPCRのCLKXPビットの組み合わせにより、表11-21に示す4つのタイミングのうちの一つを用いて転送の間でクロックをストップすることができます。図11-53及び図11-54に、2つのSPI転送フォーマットと4つのタイミングのタイミング図を示します。

表11-21. SPIモードにおけるクロック・ストップの方式

CLKSTP	CLKXP	クロック方式
0X	X	クロック・ストップ・モード・ディスエーブル。ノン・SPIモードについてクロックがイネーブルされます。
10	0	ディレイ無しのロー・インアクティブ状態。McBSPは、CLKXの立ち上がりエッジでデータを送信し、CLKRの立ち下がりエッジでデータを受信します。
11	0	ディレイ付きのロー・インアクティブ状態。McBSPは、CLKXの立ち上がりエッジの1.5サイクル前にデータを送信し、CLKRの立ち上がりエッジでデータを受信します。
10	1	ディレイ無しのハイ・インアクティブ状態。McBSPは、CLKXの立ち下がりエッジでデータを送信し、CLKRの立ち上がりエッジでデータを受信します。
11	1	ディレイ付きのハイ・インアクティブ状態。McBSPは、CLKXの立ち下がりエッジの1.5サイクル前でデータを送信し、CLKRの立ち下がりエッジでデータを受信します。

図11-53. CLKSTP=10bでのSPI転送

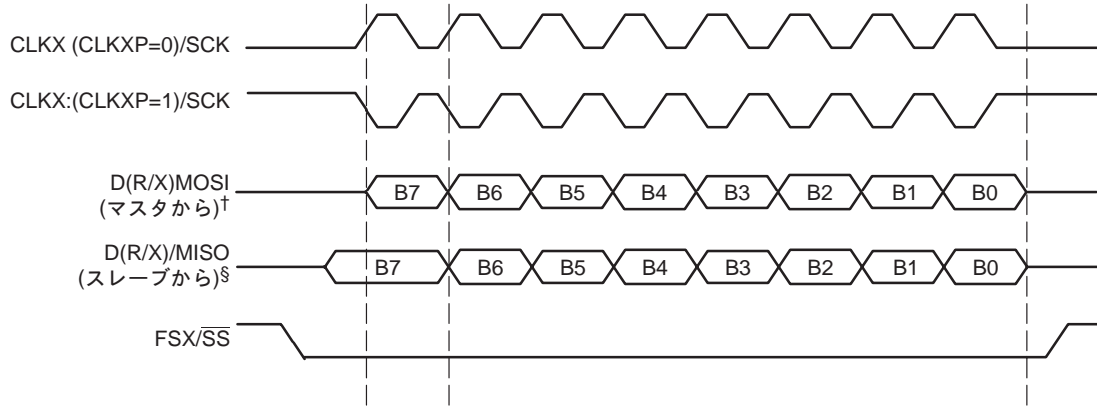
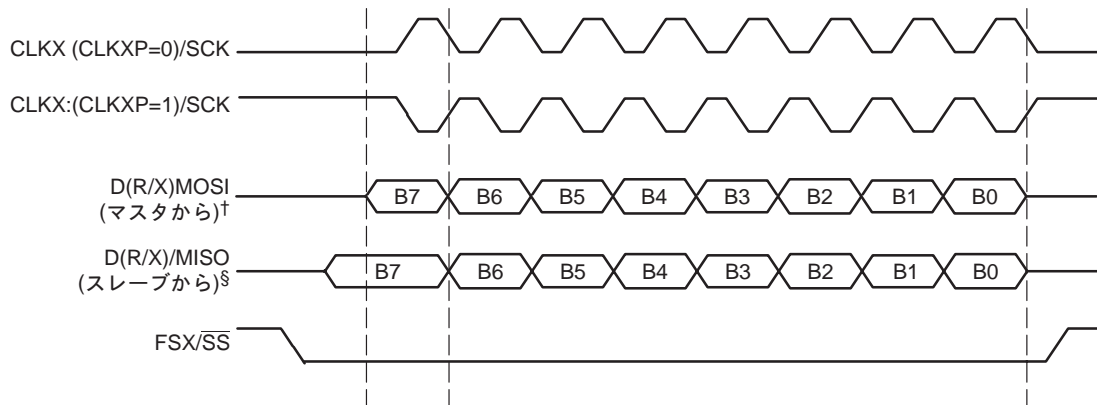


図11-54. CLKSTP=11bでのSPI転送



† McBSPがSPIマスタ(CLKXM=1)の場合、MOSI=DXです。McBSPがSPIスレーブ(CLKXM=0)の場合、MOSI=DRです。

§ McBSPがSPIマスタ(CLKXM=1)の場合、MOSI=DRです。McBSPがSPIスレーブ(CLKXM=0)の場合、MOSI=DXです。

表11-21に示すように、シリアル・ポート・コントロール・レジスタ(SPCR)のCLKSTP及びCLKXPフィールドによって、特定のSPIインターフェイスに対する適切なクロック方法が設定されます。SPCRのCLKSTP及びCLKXPフィールドは、以下の条件を決定します。

- クロック・ストップ・モードがイネーブルか否か
- クロック・ストップ・モードでは、クロック停止状態でハイかローか
- クロック・ストップ・モードでは、最初のクロックのエッジが発生するのは、最初のデータ・ビットの始まりか、あるいは、最初のデータ・ビットの途中でか

表11-21に示すように、CLKXPビットは、データが送信(ドライブ)及び受信(サンプル)されるエッジを選択します。

図11-54は、CLKSTP=10bの場合のタイミング図です。このSPI転送フォーマットでは、スレーブ・イネーブル(FSX/ $\overline{SS}$ )が既にアサートされていれば、データ転送の始めて最初のクロック・エッジ(CLKX)が発生します。データ転送は最初のクロック・エッジに同期します。図11-55は、CLKSTP=11bの場合のタイミング図です。データ転送は、シリアル・クロックの遷移の前に始まります。したがって、このSPI転送フォーマットでは、シリアル・クロックの遷移の代わりに、スレーブ・イネーブル信号FSX/ $\overline{SS}$ のハイからローへの遷移が転送の始めに発生します。McBSPのクロック・ストップ・モードでは、シングル・フェーズのフレーム((R/X)PHASE=0)で1フレームにつき1エレメント((R/X)FRLEN=0)である必要があります。

McBSPがSPIモードで動作するように設定されたときは、送信部と受信部はマスタまたはスレーブとして一緒に動作します。McBSPがクロックを生成するときは、McBSPはマスタになります。McBSPがSPIマスタのときには、自身の内部受信クロックCLKRとSPIスレーブのシリアル・クロックSCKの両方をCLKXがドライブします。CLKSTPがイネーブルされていると、CLKXM=1の設定ではMcBSPがマスタに、CLKXM=0の設定ではMcBSPがSPIスレーブになります。スレーブ・イネーブル信号(FSX/ $\overline{SS}$ )は、(クロックを出力していない)スレーブ・デバイスのシリアル・データ入力及び出力のドライバをイネーブルします。

### 11.7.1 SPIマスタとしてのMcBSP動作

McBSPがSPIマスタであるとき、McBSPはマスタ・クロックCLKXとスレーブ・イネーブルFSXを出力します。したがって、CLKXは出力として(CLKXM=1)、FSXはスレーブ・デバイスのスレーブ・イネーブル(SS)入りに接続できる出力として設定される必要があります。各エレメントのDXRからXSRへの転送により、スレーブ・イネーブルFSXが発生するので、サンプル・レート・ジェネレータ・レジスタ(SPGR)のFSGMフィールドは0にセットされている必要があります。SPIプロトコルでは、スレーブは送信が始まる前にイネーブルされていなければなりません。つまり、McBSPがデータをDXピンにシフトする前にFSXはローにアサートされる必要があります。MOSIとFSXについては、図11-53及び図11-54を参照してください。XDATDLY及びRDATDLYは1に設定する必要があります。McBSPがSPIマスタのとき、XDATDLYの値が0または2では、動作は不定です。また、RDATDLYが0では受信データが誤ってシフトされます。

SPIマスタとして、McBSPは内部のサンプル・レート・ジェネレータを通してCLKX及びFSXを生成します。11.5.2.1節で述べられているように、SRGRのCLKSMビットは、内部サンプル・レート・ジェネレータのクロック・ソースとして、CPUクロックか外部クロック入力(CLKS)を特定するために設定される必要があります。SRGRのCLKGDV(クロック分周比)はSPIのデータ・レートにCLKXが生成されるように設定します。McBSPは内部的には連続的なクロックを生成し、転送が終了すると外部インターフェイスでクロックを遮断(クロックを停止)します。McBSPの受信クロックは内部の連続的なクロックなので、受信部及び送信部は、内部的にはクロックが停止していないかのように動作します。クロック・ストップ・モードでは、サンプル・レート・ジェネレータ・レジスタ(SRGR)のフレーム・ジェネレータ・ビット・フィールド(FPER及びFWID)を無視します。

### 11.7.2 SPIスレーブとしてのMcBSP動作

McBSPがSPIスレーブ・デバイスであるとき、表11-52に示すように、マスタ・クロックCLKXとスレーブ・イネーブルFSXは外部SPIマスタによって生成されます。したがって、PCRのCLKXM及びFSXMフィールドを0にセットすることで、CLKX、FSXピンは入力として設定されます。SPIモードでは、FSX及びCLKX入力は、データ受信のための内部FSR及びCLKR信号としても機能します。データ転送はマスタ・クロックCLKXと同期し、内部シリアル・ポート・ロジックはデータ・ビットにつき限られた数の入力クロック・パルスCLKXを用いて転送を行ないます。外部マスタは、データ転送が始まる前にFSXをローにアサートする必要があります。FSXはこの非同期形式に使用され、McBSPがDXピンへデータを最初にドライブするのをコントロールします。

McBSPがスレーブのときには、受信/送信コントロール・レジスタ((R/X)CRの(R/X)DATDLY)は0にセットされる必要があります。XDATDLY=0によって、送信されるデータがDXピンにあることを示します。表11-53及び表11-54のMISOは、McBSPがSPIスレーブとしてどのようにデータを転送するかを示しています。RDATDLY=0によって、シリアル・クロックCLKXを検出した直後にSPIマスタからデータを受信できることを示します。使用されるクロック・ストップ・モードによって、データは、表11-21にあるようなさまざまなクロック・エッジで受信されます。

CLKX信号はマスタによって外部で生成されますが、SPIスレーブ・モードでは、McBSPの内部サンプル・レート・ジェネレータをイネーブルする必要があります。内部サンプル・レート・クロックは、マスタからCPUのクロックへの入力クロック(CLKX)及びフレーム同期(FSX)に同期するために使用されます。したがって、CPUクロックをサンプル・レート・ジェネレータのクロック・ソースとして設定するために、サンプル・レート・ジェネレータ・レジスタ(SRGR)のCLKSMフィールドは初期値(CLKSM=1)のままである必要があります。さらに、SRGRのCLKGDVは、内部クロックCLKGのレートがSPIデータ・レートの最低8倍であるように設定する必要があります。このようなレートは、サンプル・レート・ジェネレータをすべてのSPI転送について最高速度(CLKGDV=1)にすることで実現します。

### 11.7.3 SPIモードにおけるMcBSPの初期化

デバイスのリセット状態、送信部のリセット状態、受信部のリセット状態におけるシリアル・ポートの動作については、11.3.1節で解説しました。SPIモードにおけるMcBSPのマスタまたはスレーブとしての動作については、以下のステップにより初期化を行なう必要があります。

- 1) SPCRで $\overline{XRST}=\overline{RRST}=0$ の設定を行ないます。
- 2) シリアル・ポートがリセット状態( $\overline{XRST}=\overline{RRST}=0$ )にあるときに必要に応じて表11-2のMcBSP設定レジスタ(データ・レジスタではない)を、ディスエーブルすべきCLKSTPを除き、設定します。CLKSTPがディスエーブルされていない場合には、CLKSTPを0Xbに設定します。
- 3) サンプル・レート・ジェネレータのリセットを解除するためにSPCRに $\overline{GRST}=1$ をセットします。
- 4) McBSPの再初期化のため2ビット・クロックだけウェイトします。
- 5) SPCRのCLKSTPフィールドに希望の値をライトします。表11-21に、CLKSTPのモードを示しています。
- 6) CPUとDMAのどちらがMcBSPとやり取りするかによって、(a)か(b)のどちらかに従います。
  - a) このステップは、CPUがMcBSPとやり取りする場合に行ないます。  
 $\overline{XRST}=\overline{RRST}=1$ をセットして、シリアル・ポートをイネーブルします。このときSPCRに書かれる値は1にするリセット・ビットだけであって、残りのビット・フィールドは上記のステップ2及び4と同じ値であることに注意してください。
  - b) DMAがデータ転送に使用される場合、DMAをまず適切なリード/ライト同期で初期化し、スタート・ビットをセットする必要があります。DMAは同期イベントが発生するのを待ちます。この後 $\overline{XRST}=\overline{RRST}=1$ をセットしてMcBSPのリセットを解除します。
- 7) 受信部と送信部がアクティブとなるまで2ビット・クロックだけウェイトします。

## 11.8 McBSPの汎用入出力ポート

以下の2つの条件により、シリアル・ポートのピン(CLKX、FSX、DX、CLKR、FSR、DR、及びCLKS)は、シリアル・ポートのピンとしてではなく、汎用入出力のピンとして使用されます。

- シリアル・ポートの対応する部分(送信部または受信部)がリセットの状態:SPCRで $\overline{(R/X)RST}=0$
- シリアル・ポートの対応する部分について汎用I/Oがイネーブル:PCRの(R/X)IOEN=1

図11-3にMcBSPの各ピンを汎用入力または出力に設定するためのPCRビットを示します。表11-22に、設定の方法を示します。FS(R/X)については、FS(R/X)M=0では入力ピンに設定され、FS(R/X)M=1では出力ピンに設定されます。出力に設定されると、FS(R/X)にはFS(R/X)Pにストアされた値がドライブされます。入力に設定されると、FS(R/X)Pは、読み取り専用のビットとなります。CLK(R/X)MとCLK(R/X)PはCLK(R/X)と同様に機能します。送信部が汎用入出力として選択されると、PCRのDX\_STATビットは、DXにドライブされません。DRは常に入力であり、その値はPCRのDR\_STATビットに保持されます。CLKSを汎用入力に設定するには、(R/X)IOENは常にMcBSPへの入力であり、送信部と受信部の動作に影響を与えるため、送信部と受信部がともにリセット状態にあるときに(R/X)IOEN=1の設定を行いません。

表11-22. 汎用入出力としてのピン設定

ピン	汎用入出力イネーブルの条件	出力として選択するための条件	出力値	入力として選択するための条件	入力値
CLKX	$\overline{XRST} = 0$ XIOEN = 1	CLKXM = 1	CLKXP	CLKXM = 0	CLKXP
FSX	$\overline{XRST} = 0$ XIOEN = 1	FSXM = 1	FSXP	FSXM = 0	FSXP
DX	$\overline{XRST} = 0$ XIOEN = 1	常時	DX_STAT	選択不可	適用なし
CLKR	$\overline{RRST} = 0$ RIOEN = 1	CLKRM = 1	CLKRP	CLKRM = 0	CLKRP
FSR	$\overline{RRST} = 0$ RIOEN = 1	FSRM = 1	FSRP	FSRM = 0	FSRP
DR	$\overline{RRST} = 0$ RIOEN = 1	選択不可	適用なし	常時	DR_STAT
CLKS	$\overline{RRST} = \overline{XRST} = 0$ RIOEN = XIOEN = 1	選択不可	適用なし	常時	CLKS_STAT



# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上