

C6000ペリフェラルズリファレンス・ガイドに関する 参考資料(割り込みセクタと外部割り込み)

アプリケーション技術部

アブストラクト

本資料は、日本語版TMS320C6000ペリフェラルズリファレンス・ガイドのうち「第13章 割り込みセクタと外部割り込み」を抜粋したものです。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

本文章について

本資料は、「TMS320C6000 Peripherals Reference Guide」(spru190c)を翻訳したTMS320C6000ペリフェラルズリファレンス・ガイド(spru537)の「第13章 割り込みセクタと外部割り込み」を抜粋したものです。

元となった英語版文書はのちに改定され、現在はC6000デバイスのペリフェラルの概要のみを述べる資料となっています。ペリフェラルの詳細説明に関しては、ペリフェラル固有のリファレンス・ガイドを用意しています。

本資料は、日本語でのペリフェラル理解の手助けのために、英語版ペリフェラル・リファレンス・ガイドの参考資料として用意しました。ペリフェラルの詳細につきましては、必ず最新の英語版リファレンス・ガイド及びデータシートをご参照ください。

参考文献

1. TMS320C6000 DSP Peripherals Overview Reference Guide (SPRU190)
2. TMS320C6000 DSP Interrupt Selector Reference Guide (SPRU646)

割り込みセクタと外部割り込み

この章では、割り込みセクタとそのレジスタについて解説します。

Topic	Page
13.1 利用可能な割り込みソース	13-2
13.2 外部割り込み信号のタイミング	13-5
13.3 割り込みセクタ・レジスタ	13-7
13.4 割り込みセクタの設定	13-10

13.1 利用可能な割り込みソース

C6000のペリフェラル・セットには、32の割り込みソースがあります。CPUでは、12の割り込みを使用することができます。割り込みセレクタにより、32の割り込みからシステムにより使用する12の割り込みを選択してその優先順位を決定することができます。また、割り込みセレクタによって、外部割り込み入力の極性を変更することができます。

表13-1に、利用可能な割り込みを示します。表が、2つの点を除いて、「第5章 DMA」のDMAの同期イベントのものに似ていることに注意してください。違いの1つは、McBSPが割り込みとDMA同期イベントを別々に発生することです。もう1つの違いは、DSPINTが10000b→00000b移動していることです。

表13-1. TMS320C6201/C6202/C6203/C6701で利用可能な割り込み

割り込み選択番号	割り込み略号	割り込みの解説
0000b	DSPINT	ホスト・プロセッサからDSPへの割り込み
00001b	TINT0	タイマ0割り込み
00010b	TINT1	タイマ1割り込み
00011b	SD_INT	EMIF SDRAMタイマ割り込み
00100b	EXT_INT4	外部割り込みピン4
00101b	EXT_INT5	外部割り込みピン5
00110b	EXT_INT6	外部割り込みピン6
00111b	EXT_INT7	外部割り込みピン7
01000b	DMA_INT0	DMAチャンネル0割り込み
01001b	DMA_INT1	DMAチャンネル1割り込み
01010b	DMA_INT2	DMAチャンネル2割り込み
01011b	DMA_INT3	DMAチャンネル3割り込み
01100b	XINT0	McBSP0送信割り込み
01101b	RINT0	McBSP0受信割り込み
01110b	XINT1	McBSP1送信割り込み
01111b	RINT1	McBSP1受信割り込み
10000b		予約
10001b	XINT2	McBSP2送信割り込み†
10010b	RINT2	McBSP2受信割り込み†
その他		予約

† C6202/C6203でのみ利用可能

割り込みベクタ・テーブルを含む割り込みの詳細については、「TMS320C6000x CPU及びインストラクション・セット リファレンス・ガイド」を参照してください。

利用可能な割り込みソース

C6211/C6711のEDMAには16チャンネルあり、それぞれが特定のイベントによってトリガされます。C6000プラットフォームのほかのデバイスと同様に、C6211/C6711は12の割り込みが利用可能です。32の割り込みソースのうち、6211/C6711では13の割り込みソースを使用することができます。表13-2に示すように、C6201/C6202/C6203/C6701では4つのDMA割り込みであった部分が、単一のEDMA割り込み(EDMA_INT)として置き換わっています。これについては、「第6章 EDMA」の6.13節 EDMA割り込み生成で解説されています。

表13-2. TMS320C6211/6711で利用可能な割り込み

割り込み選択番号	割り込み番号	割り込みの解説
00000b	DSPINT	ホストポートのホストからDSPへの割り込み
00001b	TINT0	タイマ0割り込み
00010b	TINT1	タイマ1割り込み
00011b	SD_INT	EMIF SDRAMタイマ割り込み
00100b	EXT_INT4	外部割り込みピン4
00101b	EXT_INT5	外部割り込みピン5
00110b	EXT_INT6	外部割り込みピン6
00111b	EXT_INT7	外部割り込みピン7
01000b	EDMA_INT	EDMAチャンネル(0から15まですべて)割り込み
01001b		予約
01010b		予約
01011b		予約
01100b	XINT0	McBSP0送信割り込み
01101b	RINT0	McBSP0受信割り込み
01110b	XINT1	McBSP1送信割り込み
01111b	RINT1	McBSP1受信割り込み
その他		予約

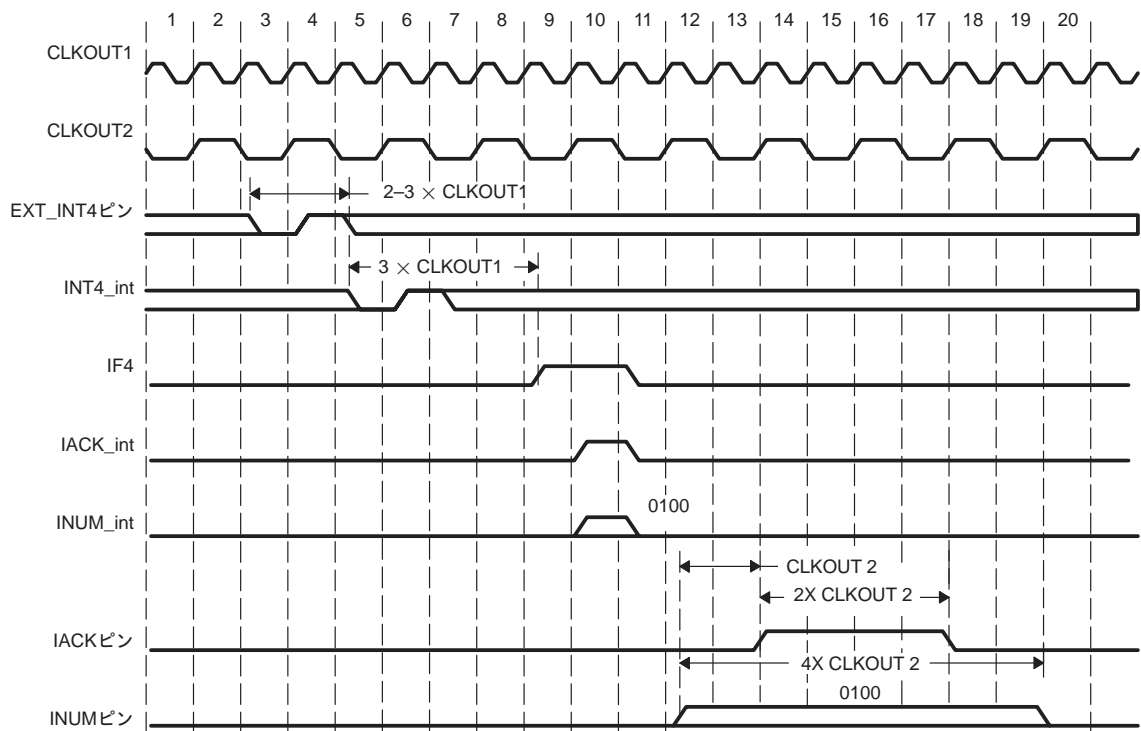
13.2 外部割り込み信号のタイミング

EXT_INT4から7とNMIは、専用の外部割り込みソースです。また、設定によって、FSRとFSXからRINTとXINT信号を直接ドライブすることができるようになります。これらの信号は、非同期であるため、DMAまたはCPUに送られる前に、2つのレジスタを経由します。図13-1に外部割り込み信号のタイミングを、INT4を例にとって示します。この図は、CPUリファレンス・ガイドのものに似ていますが、この図では、2つの同期フリップ・フロップによる外部割り込みのディレイも示されています。このディレイが、2CPUクロック(CLKOUT1)であることに注意してください。ただし、EXT_INT4入力の遷移が、CLKOUT1の立ち上がりエッジに対するセット・アップ・タイムやホールド・タイムの間に発生した場合には、このディレイが最大で3CLKOUT1サイクルとなることに注意してください。同期獲得の後では、対応する割り込みフラグ(IF4)がセットされる前に、さらに3CLKOUT1サイクルのディレイが発生します。

割り込みは、最も早い場合で、IF4がセットされてから1CLKOUT1サイクル後のサイクルでスケジュールされます。これは、図13-1に示すように、内部割り込みアクノリッジ(IACK)信号がアクティブとなることにより表示されます。割り込みは、CPUリファレンス・ガイドの他の章で解説するように適切な方法によってイネーブルされない場合には、延期され、または禁止される場合があります。この場合には、IACKも同様に延期されます。CPUは、IACKだけでなく、INUM信号をセットして、どの割り込み処理中であるかを示します。外部では、IACKピンのパルスが2CLKOUT2サイクルの幅で、CLKOUT2と同期されて出力されます。また、INUMピンの信号は、この外部IACKに1つのCLKOUT2クロックのセット・アップとホールドを付加して、4CLKOUT2サイクル幅の信号となります。図では、CLKOUT2の立ち上がりエッジでINUMとIACKの信号は有効となっていませんが、内部回路は、遷移を検出し、IACKとINUMピンに対して適切な波形を出力します。

NMIは、マスカブル割り込みのフェッチ・パッケージ(ISFP)に対して、そのフェッチ・パッケージがE1に到達する前に、割り込みをかけることができます。この場合には、このNMIに対するIACKとINUMは、マスカブル割り込みに対応するIACKとINUMがピンに出力されているため、出力されません。

図13-1. 外部割り込みに関連する信号のタイミング



13.3 割り込みセクタ・レジスタ

表13-3に、割り込みセクタのレジスタを示します。割り込みマルチプレクサ・レジスタは、表13-1に示す割り込みソースをCPU割り込み4から15(INT4からINT15)にマッピングします。外部割り込み極性レジスタは、外部割り込みの極性をセットします。

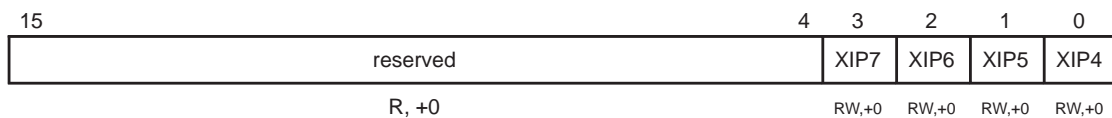
表13-3. 割り込みセクタ・レジスタ

バイト・アドレス	名	解説	参照節
019C0000	割り込みマルチプレクサ上位	CPU割り込み10-15(INT10-15)をドライブする割り込みを選択	13.3.2
019C0004	割り込みマルチプレクサ下位	CPU割り込み4-9(INT4-9)をドライブする割り込みを選択	13.3.2
019C0008	外部割り込み極性	外部割り込み(EXT_INT4-EXT_INT7)の極性を選択	13.3.1

13.3.1 外部割り込み極性レジスタ

外部割り込み極性レジスタにより、4つの外部割り込み(EXT_INT4からEXT_INT7)の極性を変更することができます。XIPがデフォルト値0のときは、割り込みソースのローからハイへの遷移は、割り込みとして認識されます。このレジスタの対応するXIPビットを1に設定することにより、外部割り込みのソースを反転してCPUに外部割り込みのハイからローへの遷移を検出させることができます。XIPビットの値を変更すると、対応する外部割り込みEXT_INTにマッピングされたCPU割り込み(INT4-INT15)の遷移が発生します。例えばEXT_INT4がローにあるときにXIP4を0から1に変更、または、EXT_INT4がハイにあるときにXIP4を1から0に変更すると、EXT_INT4にマッピングされたCPUの割り込みがセットされます。外部割り込み極性レジスタはCPU割り込みにのみ影響を与え、DMAイベントには効果を持ちません。

図13-2. 外部割り込み極性レジスタ



13.3.2 割り込みマルチプレクサ・レジスタ

図13-3及び図13-4に示す割り込みマルチプレクサ・レジスタのINTSELフィールドは、割り込みソースを特定の割り込みにマッピングします。INTSEL4からINTSEL15は、CPU割り込みのINT4からINT15に対応します。INTSELフィールドに表13-1または表13-3に示す割り込み選択番号をライトすることにより、任意の割り込みソースをCPUの任意の割り込みにマッピングすることができます。表13-4に、デフォルト時の割り込みソースのCPU割り込みへのマッピングを示します。

図13-3. 割り込みマルチプレクサ下位レジスタ

31	30	26	25	21	20	16
Reserved	INTSEL9	INTSEL8		INTSEL7		
R, +0	RW, +01001	RW, +01000		RW, +00111		
15	14	10	9	5	4	0
Reserved	INTSEL6	INTSEL5		INTSEL4		
R, +0	RW, +00110	RW, +00101		RW, +00100		

図13-4. 割り込みマルチプレクサ上位レジスタ

31	30	26	25	21	20	16
Reserved	INTSEL15	INTSEL14		INTSEL13		
R, +0	RW, +00010	RW, +00001		RW, +00000		
15	14	10	9	5	4	0
Reserved	INTSEL12	INTSEL11		INTSEL10		
R, +0	RW, +01011	RW, +01010		RW, +00011		

表13-4. デフォルトにおける割り込みのマッピング

CPU割り込み	対応するINTSEL フィールド	INTSELリセット値	割り込み略号	割り込みの解説
INT4	INTSEL4	00100b	EXT_INT4	外部割り込みピン4
INT5	INTSEL5	00101b	EXT_INT5	外部割り込みピン5
INT6	INTSEL6	00110b	EXT_INT6	外部割り込みピン6
INT7	INTSEL7	00111b	EXT_INT7	外部割り込みピン7
INT8	INTSEL8	01000b	DMA_INT0	DMAチャンネル0割り込み/EDMA割 り込み
INT9	INTSEL9	01001b	DMA_INT1	DMAチャンネル1割り込み
INT10	INTSEL10	00011b	SD_INT	EMIF SDRAMタイマ割り込み
INT11	INTSEL11	01010b	DMA_INT2	DMAチャンネル2割り込み
INT12	INTSEL12	01011b	DMA_INT3	DMAチャンネル3割り込み
INT13	INTSEL13	00000b	DSPINT	ホストポートからDSPへの割り込み
INT14	INTSEL14	00001b	TINT0	タイマ0割り込み
INT15	INTSEL15	00010b	TINT1	タイマ1割り込み

13.4 割り込みセクタの設定

割り込みセクタレジスタは、リセットの後の初期化の処理において、割り込みをイネーブルする前に設定を行なう必要があります。

注：

レジスタをセットした後、設定により発生した副次的な状態遷移を解除するために、ある程度の時間が経過してから、割り込みフラグレジスタをクリアする必要があります。

割り込みセクタは他のタイミングでも再設定することができますが、副次的な割り込みが発生し、それをCPUが検出する場合があります。例えば、EXT_INT4がロー、EXT_INT5がハイであるとき、INT9がEXT_INT4からEXT_INT5にマッピングし直された場合、INT9のローからハイへの遷移は割り込みと認識されIF9がセットされます。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上