

ADS8342 逐次比較ADCの入力

逐次比較型アナログ - デジタル変換器 (Successive Approximation Register; SAR ADS) はそのアナログ入力を駆動する回路に対して興味深い負荷を与えます。しかしデータシートの仕様は時に、ユーザーを誤った考えに導くことがあります。例えば、実際には特別に注意して設計したバッファが必要なダイナミック負荷を形成するアナログ入力が、スタティックであると言うような誤解です。

このアプリケーション・ガイドは、最新のSAR DAC、特にADS8342に焦点を当て、そのアーキテクチャを見ることによりサンプリングと変換プロセスを詳細に検討します。この解析はADCを駆動する入力バッファを最適にする設計に必要な検討事項を明確にします。

目次

1. SAR ADCの構成.....	1
2. サンプリング・プロセスの詳細.....	2
3. サンプリング・プロセス期間の電荷再配分	5
4. 変換	6
4.1 反転入力信号	6
4.2 非反転入力信号.....	6
4.3 ビットの判定	7
4.3 変換の終了.....	7
5 結論.....	7

図目次

図 1 典型的なSAR入力	2
図 2 サンプリング期間開始直後の状態.....	2
図 3 容量性変換ネットワークの値をリセット	3
図 4 入力信号のサンプリング.....	3
図 5 変換サイクルの初期段階.....	4
図 6 16ビットSAR ADS8342の容量性変換ネットワーク	4
図 7 ADS8342の簡略化した回路図	5

1. SAR ADC の構成

図1は簡略化されたADS8342の構成で、変換部コアとフロントエンドの入力回路が示されています。ADCコアへの反転入力信号 V_{IN-} は、信号グランド或いはCOMMON端子に接続されます。ADCコアへの非反転入力信号 V_{IN+} は、4チャンネルのマルチプレクサから得られます。ADS8342は4つの異なる入力信号をサンプルすることができます。ADCのコア部分において、ADS8342の16ビット容量性変換ネットワークは、3つのコンデンサで代表され置き換えられています。これら3個のビットから3ビット変換シーケンスを検討します。ADS8342の最上位ビット (MSB) のコンデンサは20pFの値をもち、MSBコンデンサに続くコンデンサはその半分、10pFの値をもちます。この例では3ビット

の変換器を想定するので、最下位ビットのコンデンサのはMSBコンデンサの1/4、5pFの値を持つこととなります。変換を理想的にするためにLSBコンデンサと同じ値の終端コンデンサを接続します。この終端はMSB未満のコンデンサの合計が20pFで、MSBコンデンサと同じ値になります。

非反転アナログ入力 V_{IN+} はスイッチ S_0 を通してMSBコンデンサと、3個のコンデンサと2個のスイッチ S_1 と S_2 からなる容量性変換ネットワークによりサンプルされます。反転アナログ入力 V_{IN-} はスイッチ S_2 を通して直列に接続されMSBの2倍の値の2つのコンデンサでサンプルされます。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

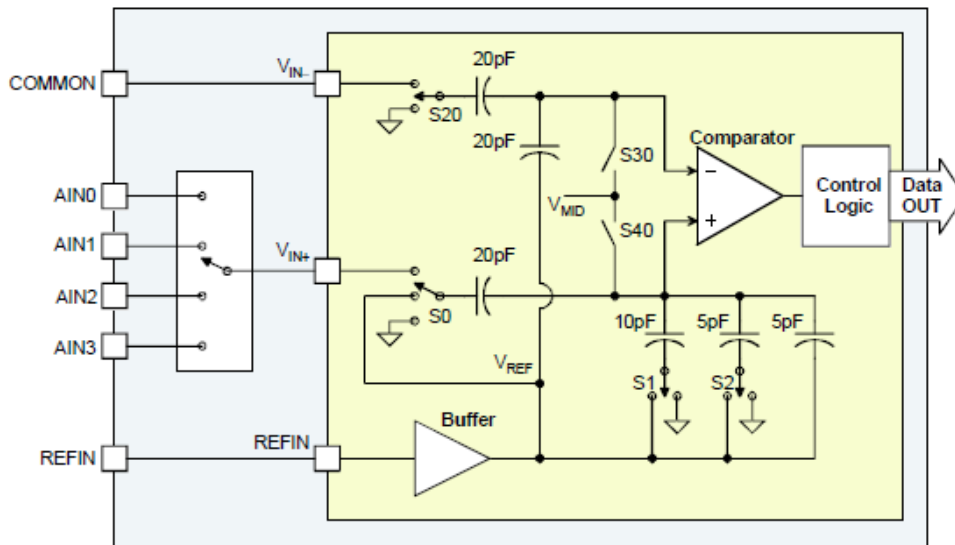


図 1 典型的な SAR 入力

外部基準電圧はREFIN端子に与えられ、オンチップのバッファを通して全てのスイッチに供給されます。一方、スイッチS30とS40は中間電位であるV_{MID}に接続されます。

コンパレータの入力はスイッチS30とS40に並列に接続されます。このコンパレータ出力は変換期間中に制御ロジックで処理され、S0、S1、及びS2の設定が決定されます。

このタイプのアーキテクチャはADS8432と、その他のバイポーラ入力製品に適応されるもので、他のADCの場合は類似であるが同じではありません。

2. サンプリング・プロセスの詳細

変換プロセスが終わると、ADS8342は自動的にサンプリング・プロセスに移行します。容量性変換ネットワークのスイッチS0、S1、及びS2の接続はこの時点で不明です。スイッチS0はグラウンド或いは基準電圧に接続されています。これらのスイッチの状態は直前の変換結果に依存します。

変換プロセス中、スイッチS20は常にグラウンドに接続されます。サンプリング・プロセスの開始でスイッチS30、及びS40が閉じ、コンパレータ入力をショートし中間電位V_{MID}に接続します。図2はこのサンプリング・プロセス開始直後を示します。

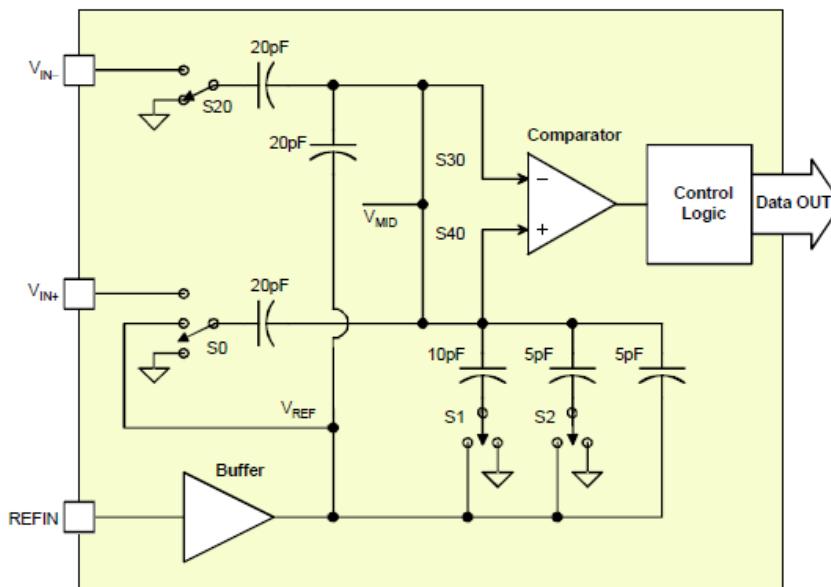


図 2 サンプリング期間開始直後の状態

スイッチS1、及びS2の接続位置が不明なので、このネットワークの等価容量も不明です。適切なサンプリングのためには、容量性変換ネットワークはMSBコンデンサと等しい等価容量を持つ必要があります。そのため次のステップでスイッチS1、及びS2はそれぞれの持っているコンデンサを基準電圧に接続する必要があります（コンパレータの非反転入力、反転入力と共にMSBコンデンサと等価な容量を通してV_{REF}に接続されます）。これにより容量性変換ネットワークがリセットされます。図3はこの状態です。

この時点まで、全ての変化はADS8342の内部でのみ影響します。アナログ入力信号はこれらの変化では影響は受けません。次のステップでスイッチS0及びS20が閉じて入力信号がMSBコンデンサでサンプリングされます。この期間が入力バッファ回路にとって最も重要となります。正確な変換結果を得るためには、入力バッファ回路はこのサンプリング期間にMSBコンデンサを適切な値に充電する必要があります。4図にこのサンプル期間を示します。

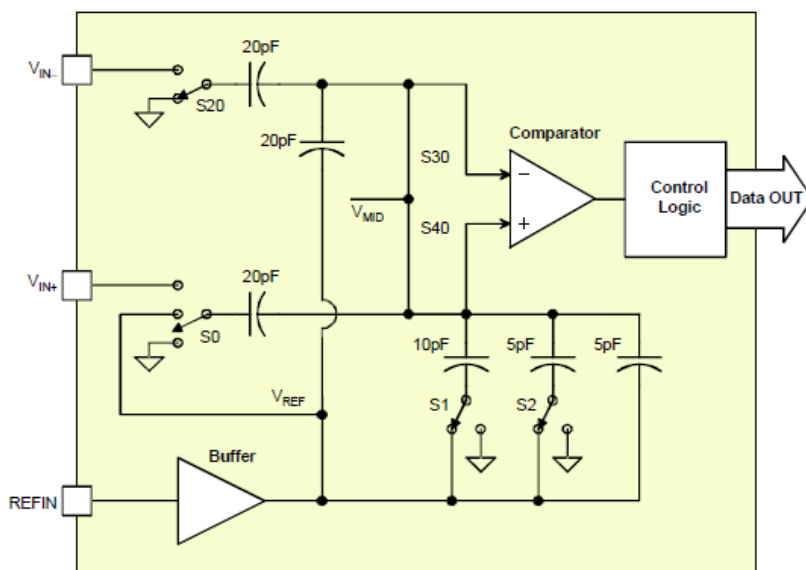


図3 容量性変換ネットワークの値をリセット

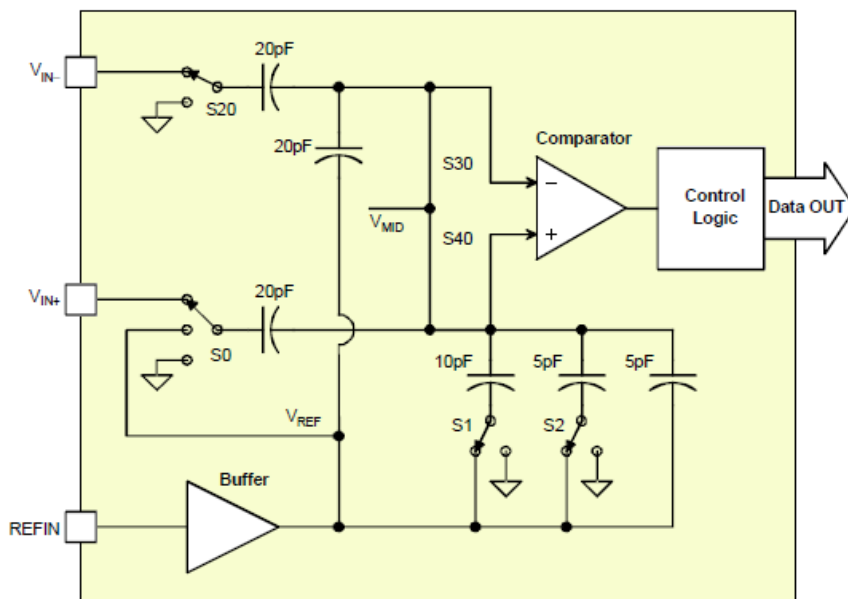


図4 入力信号のサンプリング

サンプリング・コンデンサが入力信号で充電された後、スイッチS30及びS40が開かれることにより変換サイクルの準備が始まります。これら2つのスイッチが開くとサンプリング・コンデンサに充電された総電荷量は不変となります。 V_{IN+} 及び、 V_{IN-} 入力がMSBコンデンサから切り離され、スイッチS0及びS20によってグランドに接続されるとサンプリング期間の終了となります。5図はサンプリング期間を終了し変換期間開始の状態です。これで3ビットADC、そして3個のコンデンサと2個のスイッチで構成される容量性変換ネットワークの解析は終了です。6図はこの容量性変換ネットワークをADS8342の実際の回路に置き換えたものです。

スイッチS0に接続されるサンプリング、或いはMSBコンデンサをC或いは20pFで標準化します。図6に示される容量性変換ネットワークは、MSBコンデンサCと等価な容量を持ちます。16ビットSARのADS8342では、この容量性変換ネットワークは16個のコンデンサと15個のスイッチから構成されます。このネットワークの最初のコンデンサはMSBコンデンサの半分の容量 ($0.5 \times C$) を持ちます。それに続く2番目のコンデンサはCの値の1/4、3番目のものはCの値の1/8の値とのように続き、最後の2個のコンデンサは共にCの値の $1/2^{15}$ の値を持ちます。SAR ADCの分解能は容量性変換ネットワーク内のスイッチとコンデンサの数とそれぞれの値に等価です。

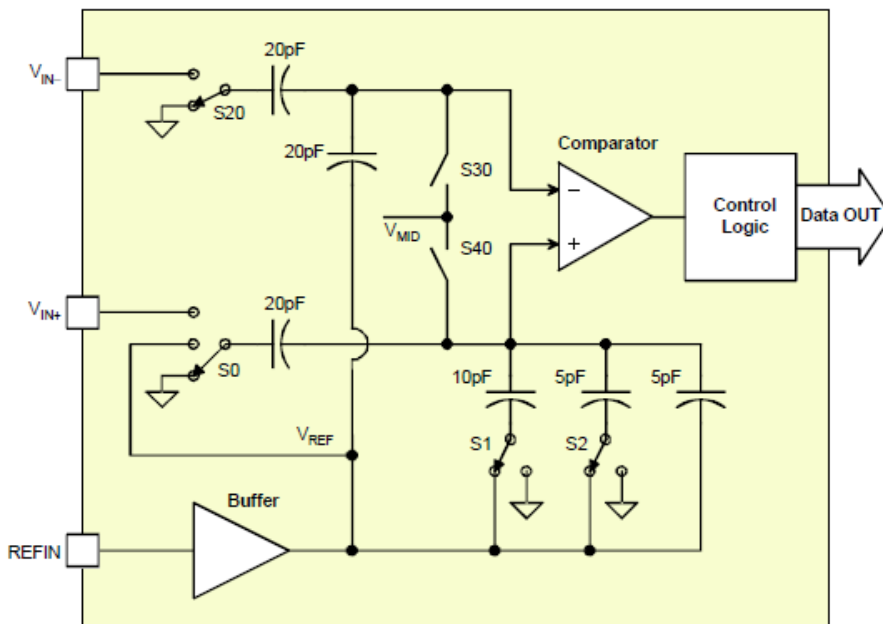


図5 変換サイクルの初期段階

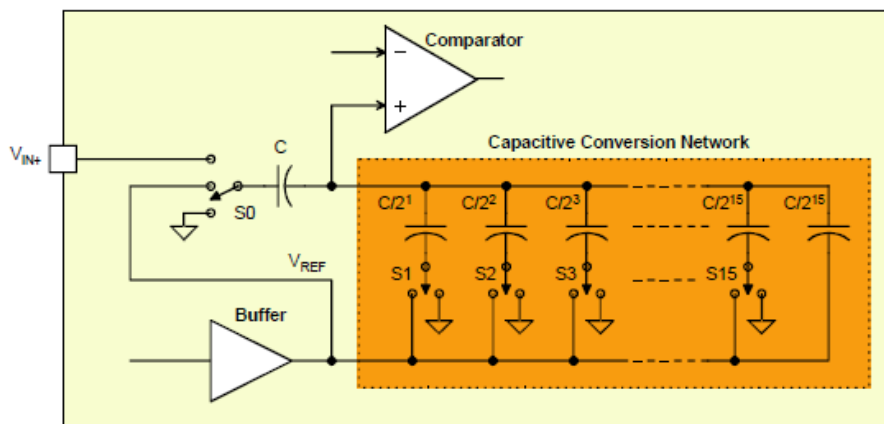


図6 16ビットSAR ADS8342の容量性変換ネットワーク

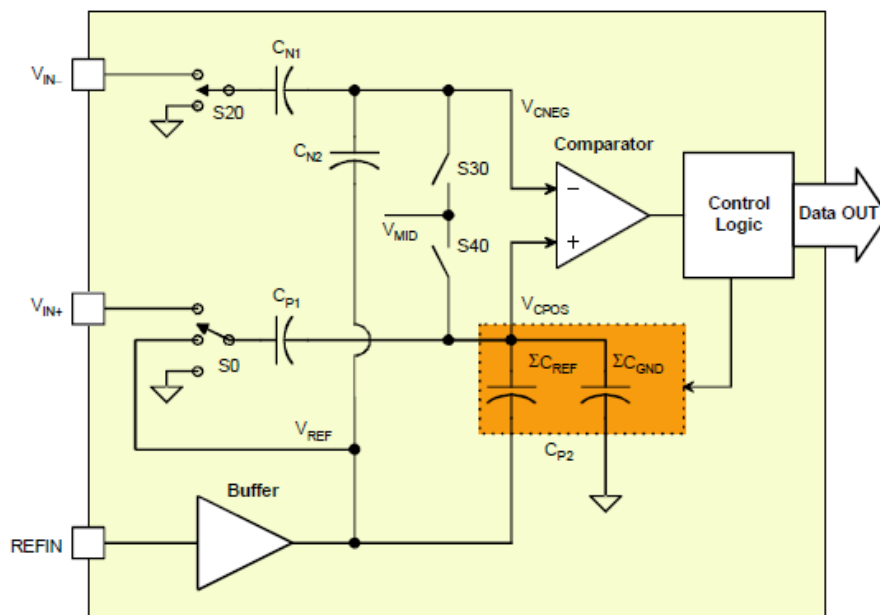


図7 ADS8342の簡略化した回路図

3. サンプリング・プロセス期間の電荷再配分

サンプリングと変換期間の電荷配分の疑問を説明するため、図7のようにADS8342の単純化した回路を考えます。この回路は図2及び図6の組み合わせです。

この回路を解析するために、最初にサンプリング、或いはMSBコンデンサについて記述します。このMSBコンデンサ(CP1)はスイッチS0と非反転入力に接続され、標準容量C或いは20pFを持ちます。サンプリング・コンデンサ(CN1)はスイッチS20と反転入力に接続され、これも標準Cを持ちます。図6に示した容量性変換ネットワークの等価容量はMSBコンデンサ同じ容量Cを持ち、図7においてコンデンサCP2と表記します。スイッチS1からS15の位置は未知なので、基準電圧に接続される総容量をΣCREFと表記し、グラウンドに接続される総容量をΣCGNDと表記します。コンパレータの反転入力VCNEG、非反転入力VCPOSの電位を持つとします。

測定された信号は非反転入力VIN+と反転入力VIN-に接続されます。2章で記述したように入力信号のサンプリングはスイッチS30、及びS40が閉じることにより始まります。これによりコンパレータの非反転入力電圧VCPOSは中間電位VMIDと同じに、同時に反転入力VCNEGも同様にVMIDと同じになります。次のステップでスイッチS1からS15はVREFに接続されます。この状態ではスイッチS0及び、S20は開いたままです。これでADCは入力のサンプリングが開始できる状態で、

スイッチS0及び、S20をアナログ入力に接続することによりサンプリングが開始されます。

過渡期間の後、電圧は安定化し新しい状態になります。図7に示される構成から、CP1及び、CP2に充電される正の電荷QPSが明らかになります。式1はこの電荷配分を示します。

$$Q_{PS} = C_{P1} \cdot (V_{MID} - V_{IN+}) + C_{P2} \cdot (V_{MID} - V_{REF}) \quad \text{式1}$$

同様の手続きに従ってコンデンサCN1及び、CN2に充電される負の電荷QNSが式2によって示されます。

$$Q_{NS} = C_{N1} \cdot (V_{MID} - V_{IN-}) + C_{N2} \cdot (V_{MID} - V_{REF}) \quad \text{式2}$$

サンプリング期間の次のステップはスイッチS30及び、S40を開くことにより開始されます。これによりコンパレータの反転入力電圧VCNEG及び、非反転入力電圧VCPOSの接続がとられます。コンデンサCP1及びCP2の電荷QPSは、コンデンサCN1及びCN2の電荷QNS同様、逃げ道がなくなるのでそれぞれのノードに固定されます。

次に入力スイッチS0及び、S20が開きます。比較或いは、変換プロセスの開始でスイッチS0及び、S20はグラウンドに接続されます。コンパレータの非反転入力電圧VCPOSは新しい値

V_X になります。2つのコンデンサ C_{P1} 及び、 C_{P2} の新しい電荷は式3で記述されます。

$$Q_{PC1} = C_{P1} \cdot (V_X - V_{GND}) + C_{P2} \cdot (V_X - V_{REF}) \quad \text{式3}$$

同様の手続きに従って、コンデンサ C_{N1} 及び C_{N2} の電荷及び、コンパレータの反転入力電圧 V_{CNEG} は新しい値 V_Y を持ち、式4で記述されます。

$$Q_{NC1} = C_{N1} \cdot (V_Y - V_{GND}) + C_{N2} \cdot (V_Y - V_{REF}) \quad \text{式4}$$

サンプリングと変換プロセスの間、コンデンサ C_{P1} 及び、 C_{P2} の電荷は同じです。式1と式3から式5が得られます。

$$\begin{aligned} C_{P1} \cdot (V_{MID} - V_{IN+}) + C_{P2} \cdot (V_{MID} - V_{REF}) \\ = C_{P1} \cdot (V_X - V_{GND}) + C_{P2} \cdot (V_X - V_{REF}) \end{aligned} \quad \text{式5}$$

V_X について式5を解くと式6が得られます。

$$V_X = V_{MID} - \frac{C_{P1}}{C_{P1} + C_{P2}} \cdot V_{IN+} + \frac{C_{P1}}{C_{P1} + C_{P2}} \cdot V_{GND} \quad \text{式6}$$

V_{GND} を0と置くと次式7を得ます。

$$V_X = V_{MID} - \frac{C_{P1}}{C_{P1} + C_{P2}} \cdot V_{IN+} \quad \text{式7}$$

反転入力に対しても同様な手順が適用できます。サンプリング期間及び、変換期間においてコンデンサ C_{N1} と C_{N2} の電荷が同じであれば、式2と式4から式8が得られます。

$$\begin{aligned} C_{N1} \cdot (V_{MID} - V_{IN-}) + C_{N2} \cdot (V_{MID} - V_{REF}) \\ = C_{N1} \cdot (V_Y - V_{GND}) + C_{N2} \cdot (V_Y - V_{REF}) \end{aligned} \quad \text{式8}$$

V_Y について式8を解くと式9が得られます。

$$V_Y = V_{MID} - \frac{C_{N1}}{C_{N1} + C_{N2}} \cdot V_{IN-} + \frac{C_{N1}}{C_{N1} + C_{N2}} \cdot V_{GND} \quad \text{式9}$$

V_{GND} を0と置くと次式10を得ます。

$$V_Y = V_{MID} - \frac{C_{N1}}{C_{N1} + C_{N2}} \cdot V_{IN-} \quad \text{式10}$$

4. 変換

入力信号のサンプリングが終了した時点で、S30及びS40が開くことにより変換プロセスの開始となります。次に3章で

記述したようにサンプル・スイッチS0及びS20が開きます。この章では図7を参照します。

4.1 反転入力信号

はじめに反転入力信号について見てゆきます。 V_{CNEG} として参照されるコンパレータの反転入力ノードS30を考えます。反転入力は、コンパレータに対する「入力信号電圧に依存する基準」となります。スイッチS20は V_{IN-} から V_{GND} に切り替わります。変換期間に反転入力側のコンデンサ C_{N1} 及び C_{N2} に充電されている電荷 Q_{NC} は、理想的には、サンプリング期間に充電される電荷 Q_{NS} と同じです。コンデンサ C_{N1} 及び C_{N2} の電荷は保存されるわけです。

コンデンサ C_{N1} と C_{N2} は等しく同じ値を持ちますので、反転入力側のコンパレータ電位 V_Y (式10参照) は V_{CNEG} となります。この電位は全変換期間を通じて一定となります。さらに V_{MID} がアナログ・グラウンドに接続され0となるので、 V_{CNEG} は式11により記述されます。

$$V_{CNEG} = \frac{-C_{N1}}{C_{N2} + C_{N2}} \cdot V_{IN-} \quad \text{式11}$$

ADS8342の場合、 V_{IN-} は V_{GND} に接続されます。その結果サンプリング期間及びその後の反転入力側の電荷再配分は非常に小さなものとなります。

4.2 非反転入力信号

変換プロセスは、ダイナミックな信号 V_{CPOS} と、式11に示す一定の電圧 V_{CNEG} の比較により行われます。図7においてコンデンサ C_{P2} は、スイッチS1からS15を通して (図6を参照) 基準電圧 V_{REF} に接続されるコンデンサの総和 ΣC_{REF} と、グラウンド電圧 V_{GND} に接続されるコンデンサの総和 ΣC_{GND} と等価です。変換動作期間に ΣC_{REF} と ΣC_{GND} の配分は変化し、 V_{CPOS} と V_{CNEG} 間の電圧差を最小にします。

非反転入力信号側における、サンプリングからMSBの判定への変遷は反転入力信号側と類似しています。S40でのコンパレータの非反転入力を V_{CPOS} として参照します (図5)。非反転入力側はコンパレータに対する「可変な信号入力」となります。スイッチS0は V_{IN+} から V_{GND} に切り替わりスイッチS1からS15は V_{REF} に接続されたままです (図6)。サンプリング動作の間に非反転入力側のコンデンサ C_{P1} 及び C_{P2} に保持される電荷 Q_{PC} は、サンプリング期間中に充電された値 Q_{PS} と同じです。全コンデンサ・アレーの電荷は変換動作期間とサンプリング動作期間で同じです。 C_{P1} と C_{P2} は保持されます。従って変換プロセス中の容量性変換ネットワークの電荷を記述する式12で V_{CPOS} が使用されます。

$$Q_{PC1} = (C_{P1} + C_{P2}) \cdot V_{CPOS} - \Sigma C_{REF} \cdot V_{REF} - \Sigma C_{GND} \cdot V_{GND} \quad \text{式12}$$

4.3 ビットの判定

最初のクロック・サイクルの終了時に、 V_{CPOS} と V_{CNEG} がコンパレータにより比較され、MSBの値が1か0かを判定します。この値はSARの制御ロジックにラッチされます。もし値が1ならばコンデンサ C_{P1} はスイッチ $S0$ を通じて V_{GND} に接続されたままとなり、値が0ならば V_{REF} に接続されます。

残りの変換プロセスを理解するため図7に記述した容量性変換ネットワークを参照します。同じクロック・エッジでSARコンバータの制御ロジックは、ビット2として参照されるMSBの次のビットを判定するためシフトします。スイッチ $S1$ が V_{REF} からグランドに切り替わります。コンデンサ・ア

レーの電荷は再配分され、基準電圧バッファに負荷を与え

ず、コンデンサ・アレーの状態はMSBで判定された結果に依存します。以降、各ビット判定は、直前に実行されるビット判定結果に依存します。 V_{CPOS} の電圧は、容量性変換ネットワーク内のどのコンデンサが V_{REF} に接続され、どのコンデンサが V_{GND} に接続されるかに依存します。式1と式12を結合し、コンパレータの非反転入力電圧 V_{CPOS} を式13から式15によって記述できます。

これらの式で、 ΣC_{REF} はコンパレータの非反転入力において V_{REF} に接続されるコンデンサの総和を表します。

$$-C_{P1} \cdot V_{IN+} - C_{P2} \cdot V_{REF} = (C_{P1} + C_{P2}) \cdot V_{CPOS} - \Sigma C_{REF} \cdot V_{REF} - \Sigma C_{GND} \cdot V_{GND} \quad \text{式13}$$

$$V_{CPOS} = \frac{-C_{P1}}{C_{P1} + C_{P2}} \cdot V_{IN+} - \frac{C_{P2}}{C_{P1} + C_{P2}} \cdot V_{REF} + \frac{\Sigma C_{REF}}{C_{P1} + C_{P2}} \cdot V_{REF} \quad \text{式14}$$

$$V_{CPOS} = \frac{-C_{P1}}{C_{P1} + C_{P2}} \cdot V_{IN+} - \left(1 - \frac{C_{P1}}{C_{P1} + C_{P2}}\right) \cdot V_{REF} + \frac{\Sigma C_{REF}}{C_{P1} + C_{P2}} \cdot V_{REF} \quad \text{式15}$$

4.3 変換の終了

この判定手順は最終ビットの判定まで続きます。変換が終了した時点で、コンパレータの反転入力 V_{CNEG} と非反転入力 V_{CPOS} は同じと考えられます。式11と式15を結合し、式16によって V_{CPOS} と V_{CNEG} を関係付けることができます。変換の目指すところは、コンパレータの非反転入力 V_{CPOS} の電圧を V_{CNEG} と同じ電位にすることなのです。

$$\frac{-C_{N1}}{C_{N1} + C_{N2}} \cdot V_{IN-} = \frac{-C_{P1}}{C_{P1} + C_{P2}} \cdot V_{IN+} - \left(1 - \frac{C_{P1}}{C_{P1} + C_{P2}}\right) \cdot V_{REF} + \frac{\Sigma C_{REF}}{C_{P1} + C_{P2}} \cdot V_{REF} \quad \text{式16}$$

興味深いことに、変換の終了時点におけるコンデンサの状態は、どのような分解能で入力電圧であっても式17で与えられます。この式は式16を入力信号、或いは $(V_{IN+} - V_{IN-})$ について解くことにより得られます。コンデンサ C_{N1} 及び C_{P1} は等しいので C_1 で置き換え、またコンデンサ C_{N2} と C_{P2} も等しいので C_2 で置き換えています。

$$V_{IN+} - V_{IN-} = \frac{C_1 + C_2}{C_1} \cdot \left[\frac{\Sigma C_{REF}}{C_1 + C_2} - \left(1 - \frac{C_1}{C_1 + C_2}\right) \right] \cdot V_{REF} \quad \text{式17}$$

さらに C_1 と C_2 は同じ値であるので、これらを C と置き換えて、変換プロセスを記述する最終式18を得ます。

$$V_{IN+} - V_{IN-} = \left(\frac{\Sigma C_{REF}}{C} - 1 \right) \cdot V_{REF} \quad \text{式18}$$

入力信号がより高い電圧であればあるほど、 V_{REF} に接続されるコンデンサの比率が高まります。正のフルスケールの場合、 $V_{IN+} - V_{IN-} = V_{REF}$ であり、容量性変換ネットワーク内の全てのコンデンサは V_{REF} に接続されます。その逆に、 $V_{IN+} - V_{IN-} = -V_{REF}$ の場合 V_{REF} に接続されるコンデンサは無く、全て V_{GND} に接続されます。

$\Sigma C_{REF}/C$ は0から2の範囲なので、式18から入力アナログ信号 $V_{IN+} - V_{IN-}$ は $-V_{REF}$ から $+V_{REF}$ の範囲であることが判ります。

ADS8342は出力コードの最上位ビットを補数表現することに注意してください。この最上位ビットは1の場合に負の信号を表し、0の場合に正の信号を表します。

5 結論

このアプリケーション・レポートは、最善の性能でADC入力を駆動できる入力バッファの設計に対するいくつかの重要な考慮すべき点を述べました。ADCのアナログ入力のドライバやバッファの設計での最初のステップは、入力構成の理解です。この理解はバッファ回路に必要な性能を完全に把握することにつながります。動的な回路入力は注意深いレイアウトや部品選定を必要とし、これは一見しただけでは明らかではありません。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上