

BTL ??????????



Literature Number: JAJA389

Live Insertion with BTL Transceivers

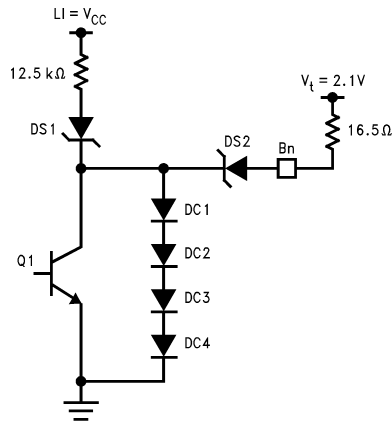
National Semiconductor
Application Note 834
Joel Martinez
Stephen Kempainen
July 1992



Live Insertion with BTL Transceivers

This paper investigates the possible glitches caused by inserting a board or module into a powered Futurebus+ backplane. The signal lines on the backplane will be in one of three states; high—when the bus is released, low—when the bus is asserted, and the transition state. In the transition state the bus will be going from a high to a low state or vice versa. The bus will spend the majority of the time in the high or low state. The glitch during live insertion will be investigated for the high and low state.

The LI (live insertion) pin on the Futurebus+ Transceivers helps minimize the loading on the bus during live insertion and after the board has been plugged into the backplane.



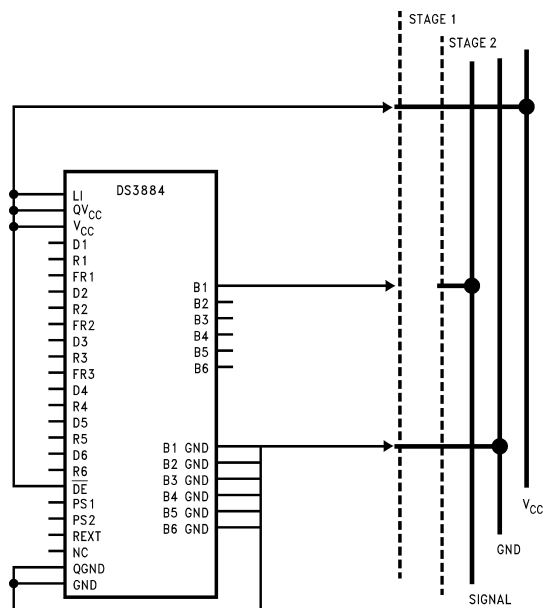
AN011482-1

When LI is connected to V_{CC} and the output is in the released state, the output Schottky diode (DS2) remains reversed biased thereby minimizing the output capacitance as shown below. Reducing the capacitance at the output will minimize bus loading.

The measurements were taken from a 10 slot backplane with 1" slot to slot spacing. The lines were terminated with 39Ω resistors to 2.1V at each end. This is not a Profile A/B/F compliant Futurebus+ backplane. A standard backplane will have 30 mm (1¼") slot to slot spacing, 14 slots and 33Ω terminations. The board was provided by Hybricon and uses the DS3884A Futurebus+ 6-bit transceiver offered by National Semiconductor. The live insertion glitch taken on this backplane will be similar if taken on a standard Futurebus+ backplane. The measurements were taken directly on the backplane (the rear side of the backplane was probed using a high impedance 2 GHz scope) unless otherwise specified.

The Futurebus+ backplane has two stages of contact. Stage one is when the power pins between the board and the backplane mate. Stage two is when the rest of the signal pins make contact. These two stages are implemented by having short signal pins and long power pins on the backplane. As the board is inserted into the backplane the backplane power pins (VBP and ground) make contact with the board sooner than the signal pins as shown on Figure 1. Stage two, when the signal pins make contact with the backplane, will be the subject of this paper.

AN-834



Live insertion was tested using this basic set-up. Some of the testing done included a 1 M Ω pull-up or pull-down resistor to V_{CC} or ground, respectively. Test done with device and connector excluding the board differs in that QV_{CC} , V_{CC} and \overline{DE} were not connected to 5V.

FIGURE 1. Live Insertion Diagram

The waveforms shown on *Figure 2* to *Figure 7* are based on multiple board insertions. In each figure several waveforms are superimposed to show the various glitches observed. The waveforms shown were chosen from at least thirty that were taken for each case.

Case 1: All power pins connected—Prior to insertion all the power pins including LI and \overline{DE} are connected together as shown on *Figure 1*. When the board was inserted into a backplane that was in a high state, the glitch had a maximum

negative amplitude of 150 mV, as shown in *Figure 2*. The glitch reached an absolute minimum level of 1.94V. The noise margin below the glitch is about 320 mV. The noise margin is equal to the absolute minimum level minus $V_{IH\ min}$ of the receiver which is 1.62V.

When the board was inserted into a backplane that was in a low state, no glitch was observed on the backplane as shown on *Figure 3*. The low state on the backplane is accomplished by having another board pull the bus low.

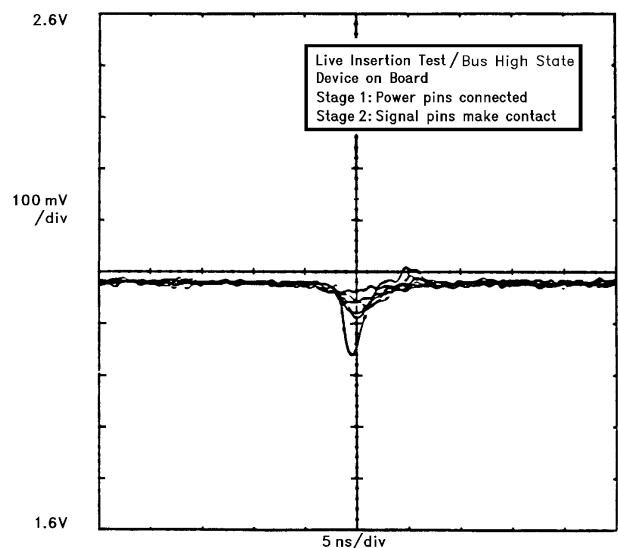


FIGURE 2.

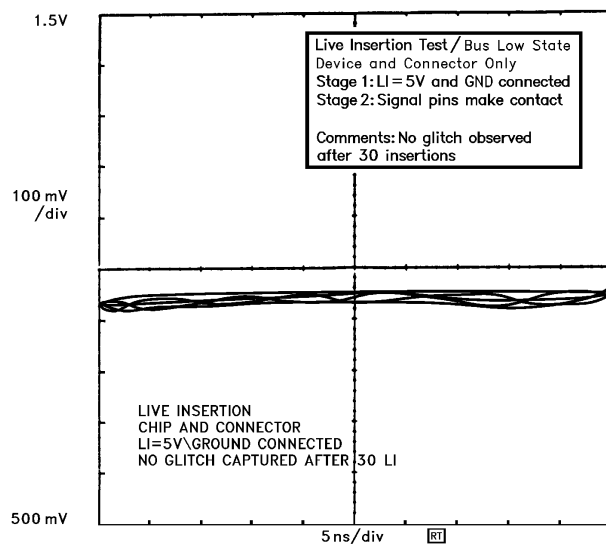


FIGURE 3.

Case 2: Live insertion pin connected— Prior to insertion, LI is connected to the power pins. LV_{CC} , QV_{CC} and \overline{DE} are left floating. The device was directly soldered on a connector

since the board was not re-configurable for this set-up. As shown on *Figure 4* and *Figure 5*, no glitch was observed when the backplane was high or low prior to insertion.

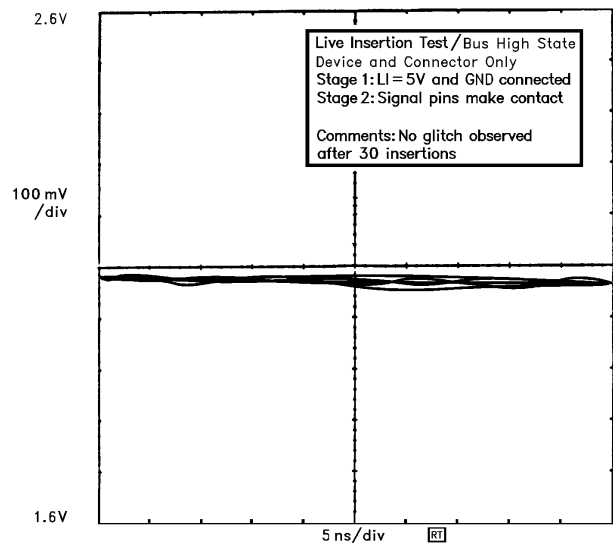


FIGURE 4.

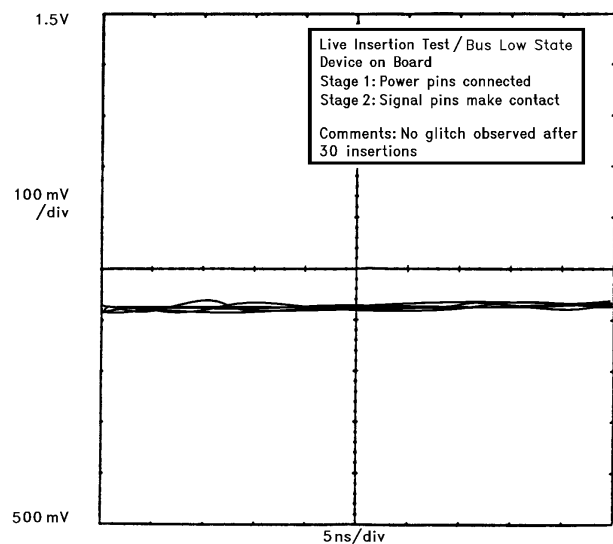
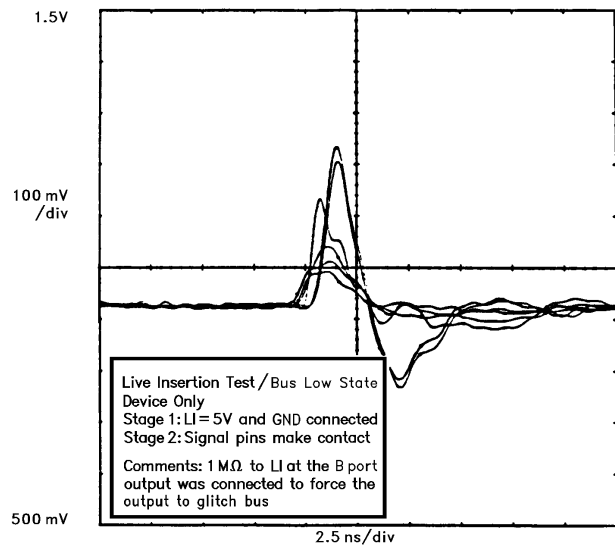


FIGURE 5.

Case 3: Live insertion pin connected to V_{CC} and B port has a $1\text{ M}\Omega$ pull-up to V_{CC} . Case three was performed to insure that the test methodology in case two was correct. To intentionally cause a glitch during insertion, a $1\text{ M}\Omega$ pull-up resistor was used to bias the output to V_{CC} before inserting the device into a backplane. The backplane was in a low state prior to insertion. The maximum amplitude of the glitch was 1240 mV as shown in Figure 6. The noise margin above the glitch was 230 mV where noise margin is equal to V_{IL} of the receiver ($V_{IL\text{ max}} = 1.47\text{V}$) minus maximum amplitude.

Case 4: Live insertion pin connected to V_{CC} and B port has a $1\text{ M}\Omega$ pull-down to ground. Case four was performed to insure that the test methodology in case two was correct. To intentionally cause a glitch during insertion, a $1\text{ M}\Omega$ resistor was used to bias the output to ground before inserting the device into a backplane. The backplane was in a high state prior to insertion. The glitch reached a minimum level of 1.925V which was 325 mV away from V_{IH} of the receiver ($V_{IH\text{ min}} = 1.62\text{V}$) as shown on Figure 7.



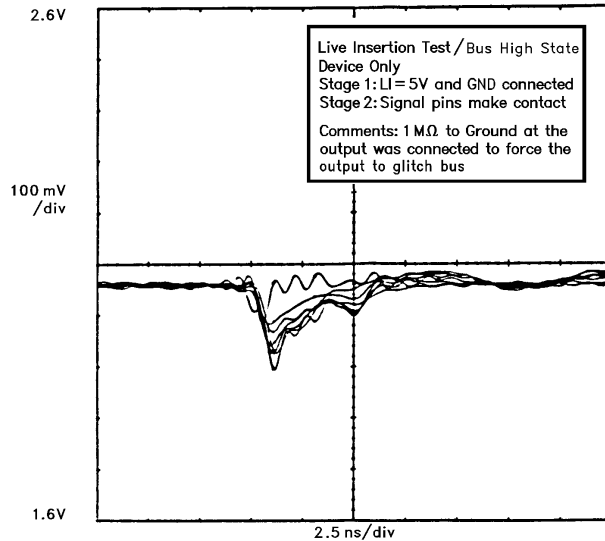
AN011482-7

FIGURE 6.

SUMMARY

The live insertion pin LI for the Futurebus+ transceiver was designed so that the outputs could be reverse biased during live insertion prior to powering up the whole board. Reverse biasing the outputs will present minimum loading to the bus. Results showed that when LI was pulled up to V_{CC} , with QV_{CC} and LV_{CC} floating, prior to insertion no glitch was observed on the backplane. When all power pins (V_{CC} , LI, QV_{CC}) and driver enable (\overline{DE}) were connected to V_{CC} prior

to insertion, the glitch never crossed threshold. This does not prove that there is no chance of a Live insertion glitch that may cross the threshold, but it does indicate the nature of that possible glitch. The investigations show that the glitch peak amplitude will be of short duration if it should cross the receiver threshold from either direction. If that should be the case, then National's BTL/Futurebus+ transceivers have a natural glitch rejection specified at 1 ns typical, in case a live insertion signal does cross threshold.



AN011482-8

FIGURE 7.

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5620-6175
Fax: 81-3-5620-6179

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上