

# オペアンプと完全差動アンプ (FDA) を使用したバイポーラ信号用 シングルエンド/差動変換回路

Evan Sawyer

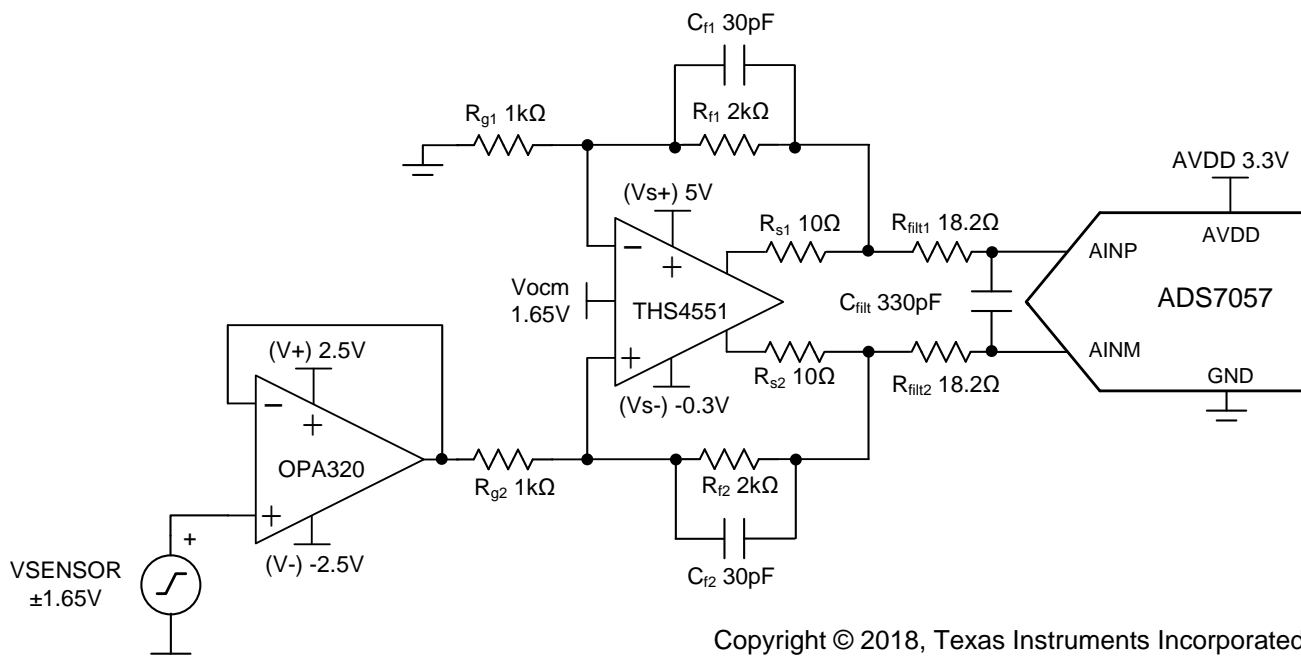
入力	ADC入力	デジタル出力ADS7057
$V_{in} \text{ Min} = -3.3\text{V}$	AINP = 0V AINM = 3.3V	2000 <sub>H</sub> 8192 <sub>10</sub>
$V_{in} \text{ Max} = 3.3\text{V}$	AINP = 3.3V AINM = 0V	1FFF <sub>H</sub> 8191 <sub>10</sub>

電源		
AVDD	GND	DVDD
3.3V	0V	1.8V

## 設計の説明

この設計は、バイポーラ・シングルエンド信号をユニポーラ完全差動信号に変換して、差動ADCを駆動する回路を示しています(信号タイプの詳細については、TI Precision Labsのトレーニング『[SAR ADC Input Types](#)』を参照してください)。シングルエンド・デバイスに比べて、完全差動ADCではダイナミック・レンジが2倍になるため、コンバータのAC性能が向上します。ソナー受信機、流量計、モーター制御といった多くの一般的なシステムに、高性能差動ADCは適しています。本書の「部品選定」に記載する式や説明は、各システムの仕様およびニーズに応じてカスタマイズできます。ユニポーラ入力信号を使用する類似設計の詳細については、クックブック『[ユニポーラ入力用シングルエンド/差動信号変換回路](#)』を参照してください。



Copyright © 2018, Texas Instruments Incorporated

## 仕様

仕様	計算結果	シミュレーション結果
ADC過渡入力電圧セトリング(250ksps時)	$< 0.5 \cdot \text{LSB} = 201\mu\text{V}$	134.7 $\mu\text{V}$
信号調整範囲(250ksps時)	$> 99\% \text{ ADC FSR} = > 6.53\text{V}$	6.60V
ノイズ	43.8 $\mu\text{V} / \sqrt{\text{Hz}}$	44.3 $\mu\text{V} / \sqrt{\text{Hz}}$

### デザイン・ノート

1. 高スループット(2.5Msps)、小型(2.25mm<sup>2</sup>)、待ち時間が少ない(逐次比較レジスタ(SAR)アーキテクチャ)という理由で、ADS7057を選定しました。
2. 同相、出力振幅、線形開ループ・ゲインの仕様に基づいて、完全差動アンプ(ADCドライバ)の線形範囲を特定します。これについては「部品選定」で述べます。
3. 同相、出力振幅、線形開ループ・ゲインの仕様に基づいて、オペアンプ(信号コンディショニング)の線形範囲を特定します。これについては「部品選定」で述べます。
4. 歪みを最小限に抑えるために、C<sub>fit</sub>にはCOG (NPO)コンデンサを選定します。
5. 最高水準の性能を得るには、0.1% 20ppm/°C以下の薄膜抵抗を使用して歪みを最小限に抑えます。
6. 『TI Precision Labs - ADCs』トレーニング・ビデオ・シリーズで、電荷バケツ回路のR<sub>fix</sub>とC<sub>fit</sub>の選定方法を説明しています。これらの部品の値はアンプの帯域幅、データ・コンバータのサンプリング・レート、データ・コンバータの設計に依存します。ここに示す値は、この例のアンプとデータ・コンバータで適切なセトリングとAC性能を実現します。設計を変更する場合は、別のRCフィルタを選定する必要があります。最高水準のセトリングとAC性能を実現するRCフィルタの選定方法については、『Introduction to SAR ADC Front-end Component Selection』(TI Precision Labsのトレーニング・ビデオ)を参照してください。

**部品選定**

1. ADCを駆動できる完全差動アンプを選定します。  
**THS4551** – 低ノイズ、高精度、150MHz、完全差動アンプ
  - 広い入力同相電圧範囲  

$$V_{s-} - 0.1V < V_{cm} < V_{s+} - 1.3V$$
  - 線形出力(要件: 各出力で0V~3.3V)  

$$V_{s-} + 0.22V < V_{out} < V_{s+} - 0.22V$$
2. 広帯域オペアンプを選定します。  
**OPA320** – 高精度、ゼロ・クロスオーバー、20MHz、RRIO、オペアンプ
  - ゲイン帯域幅積: 12.5MHz超(サンプリング・レートの5倍超)
  - 入力同相電圧(要件:  $\pm 1.65V$ )  

$$V_- - 0.1V < V_{cm} < V_+ + 0.1V$$
  - 線形出力  

$$V_- + 0.03V < V_{out} < V_+ - 0.03V$$

$$V_- + 0.2V < V_{out} < V_+ - 0.2V$$
  - 複合ワーストケース条件での線形範囲(OPA320とともに使用する電源から計算)  

$$-2.3V < V_{out} < 2.3V$$

---

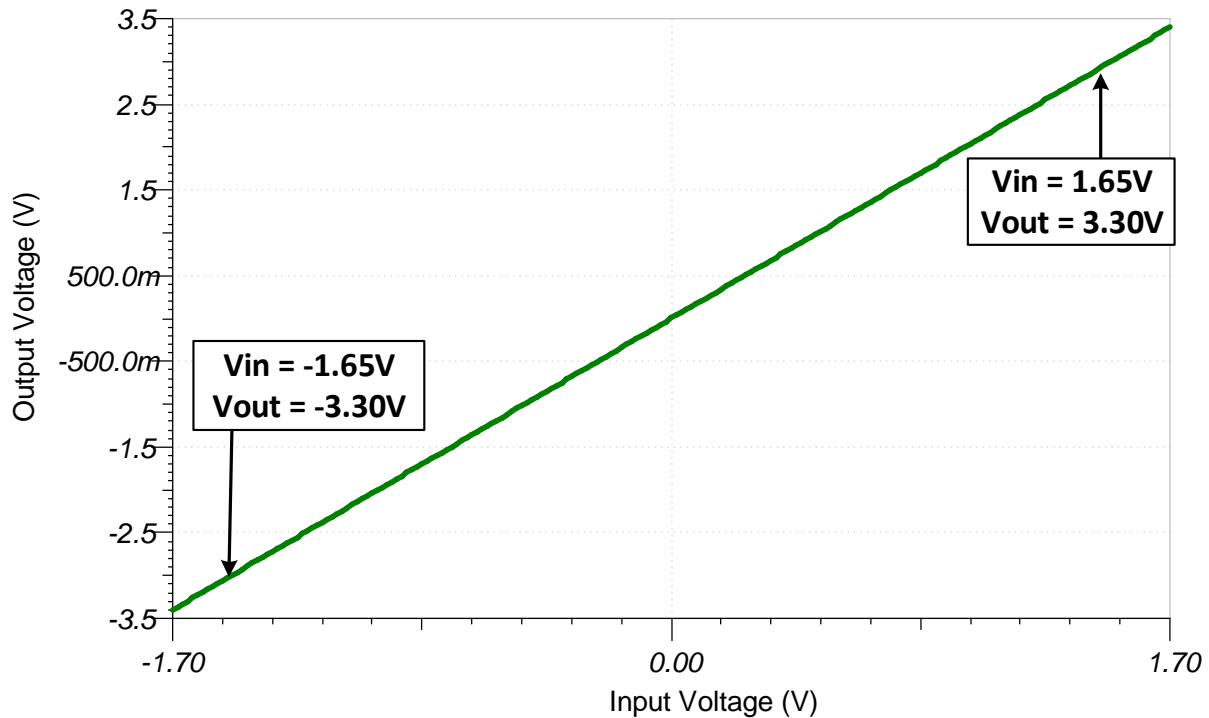
**注:** オペアンプは、ADCとサンプリング・コンデンサの接続/切断時に生じる電荷キックバックからセンサを保護するために使用します。センサの出力インピーダンスが高ければ、このアンプは不要になります。センサが負レールで動作するという前提に基づき、OPA320とTHS4551にはいずれも負レールを使用します。これによりまた、全入力電圧範囲に対応して、ADCの性能を最大限に引き出すことができます。

---

3.  $R_{fx}$ と $R_{gx}$ を選定します。
  - $R_{fx}$ と $R_{gx}$ の組み合わせにより、システムのゲインを設定します。 $\pm 1.65V$ の入力電圧範囲と $\pm 3.3V$ のADC全入力電圧範囲により、このシステムではゲインを2としました。
  - 希望ゲインを実現し、帰還回路を流れる電流を制限して、システムの消費電力を最小限に抑えるために、 $R_{fx} = 2k$ 、 $R_{gx} = 1k$ という値を選定しました。
4.  $R_{sx}$ を選定します。
  - 出力インピーダンスを平坦にしてシステムの安定性を高めるために、アンプの出力に小さい抵抗(この場合は $10\Omega$ )を接続することが重要です。
5. 250kHz入力信号のセトリングと2.5Mspsのサンプル・レートを実現する $R_{fitx}$ と $C_{fit}$ の値を選定します。
  - TI Precision Labsのビデオ『[Refine the  \$R\_{fit}\$  and  \$C\_{fit}\$  Values](#)』では、 $R_{fitx}$ と $C_{fit}$ の選定方法を説明しています。最終的に $18.2\Omega$ と $330pF$ という値で、アクイジション時間内に最下位ビット(LSB)の1/2を優に下回るまでセトリングできることが分かりました。

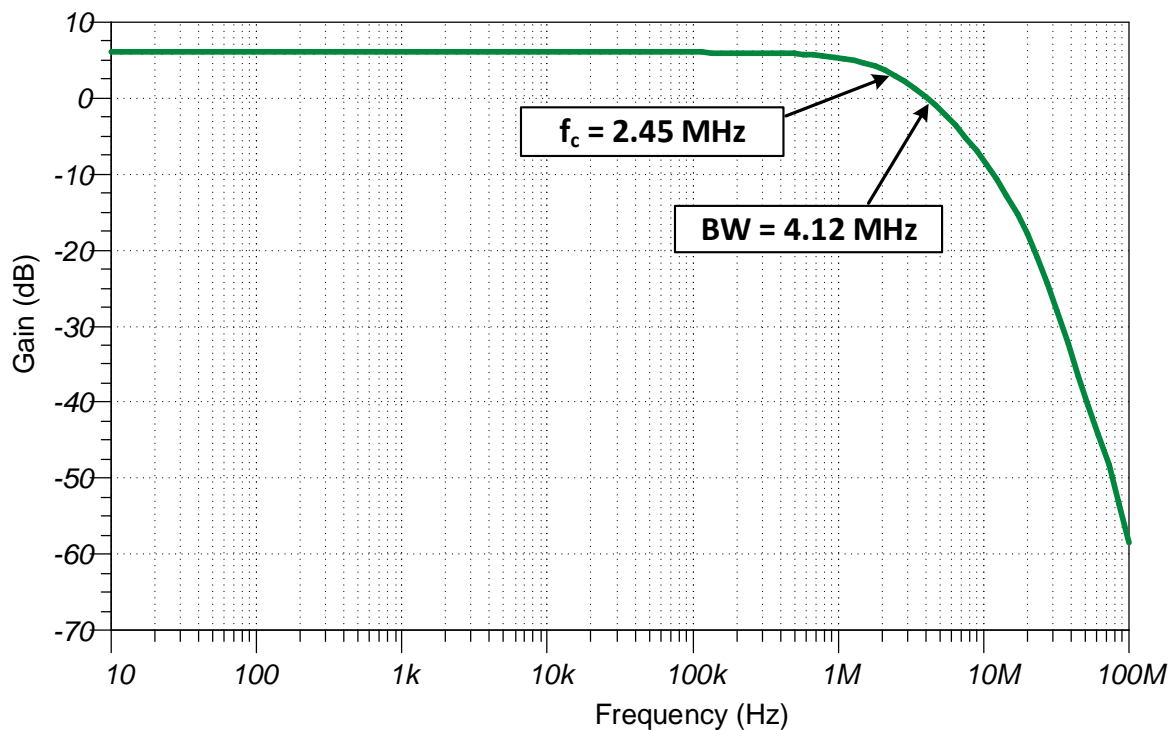
### DC伝達特性

以下のグラフは、 $\pm 1.65\text{V}$ の入力に対する出力のシミュレーション結果を示しています。アナログ・フロントエンドの線形出力範囲は $\pm 3.3\text{V}$ であり、ADC( $\text{AVDD} = 3.3\text{V}$ 使用)の入力電圧範囲(FSR)と一致しています。



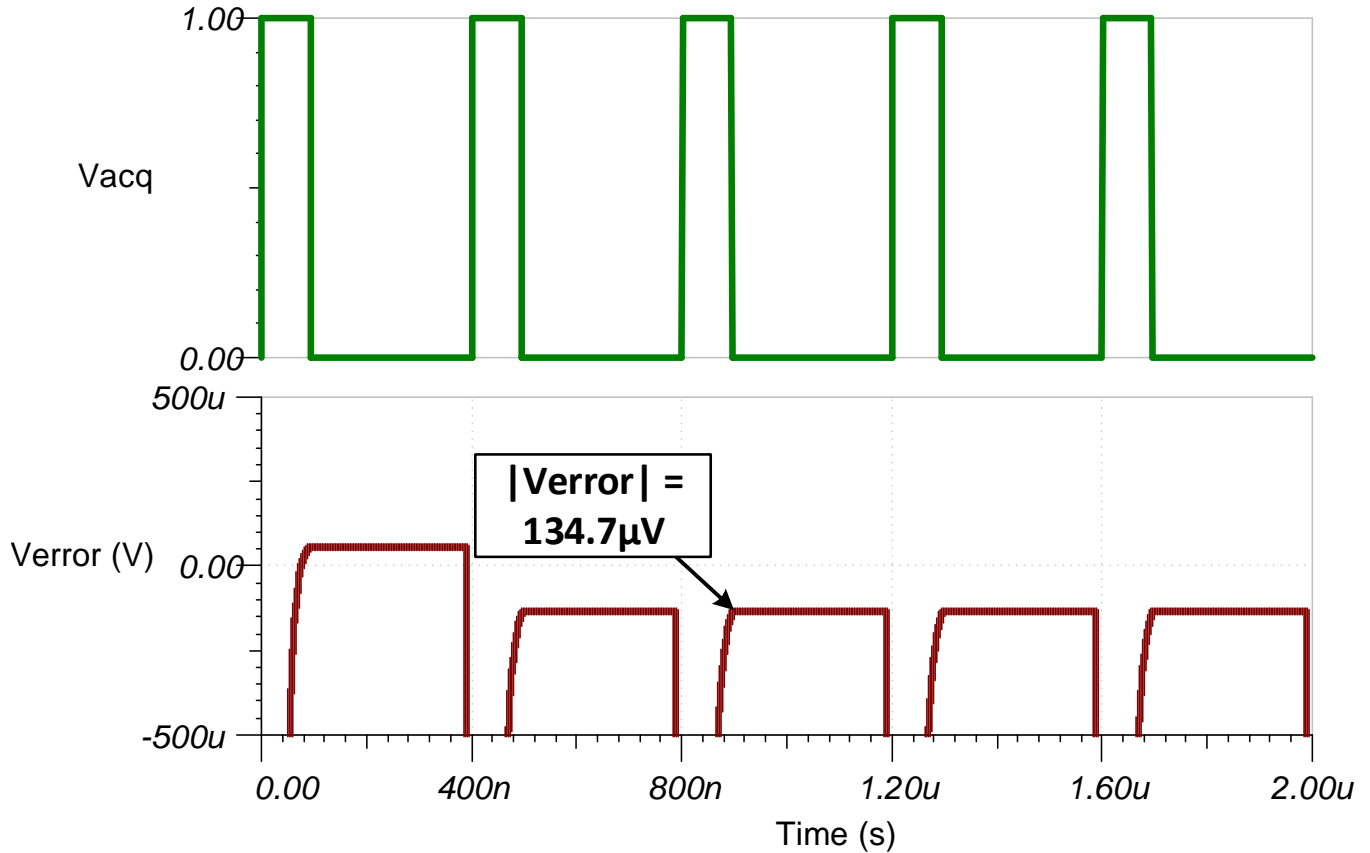
### AC伝達特性

アナログ・フロントエンドの帯域幅のシミュレーション結果は、ゲイン0dBで4.12MHzであることから、線形ゲインは1となります。この帯域幅により、250kspsの入力信号でADCの入力は十分に安定化できます。



**ADC過渡入力電圧セトリング・シミュレーション**

以下のシミュレーションは、ADCのサンプル/ホールド・コンデンサによる3.3V DC入力信号のセトリングを示しています。このシミュレーションは、アナログ・フロントエンドには大きなステップ入力(0V~3.3V)でADCを駆動する能力があるため、割り当てられたアキュイジション時間(95ns)でLSBの1/2 (約200μV)以内にセトリングできることを示しています。この件の詳しい理論については、『[Introduction to SAR ADC Front-End Component Selection](#)』を参照してください。また、これらのシミュレーション・ファイルをダウンロードするには、巻末のリンクをクリックしてください。



### ノイズ・シミュレーション

ここでは簡易なノイズ計算を行って概算値を出し、シミュレーション結果と比較します。抵抗ノイズは、システム全体のノイズの大部分を占めるため、この計算に入れます。なお、抵抗ノイズは抵抗値を小さくすることによって低減できますが、代償として、帰還回路での消費電力は増加します。

$$f_c = \frac{1}{2 \times \pi \times R_{fil} \times C_{fil}} = \frac{1}{2 \times \pi \times 2k\Omega \times 30pF} = 2.65MHz$$

$$E_n = e_{OPA320} \times \sqrt{2 \times K_n \times f_c} = (7nV / \sqrt{Hz}) \times \sqrt{2 \times 1.57 \times 2.65MHz} = 20.2\mu V / \sqrt{Hz}$$

$$E_{n\_OPA320} = E_n \times Gain = 20.2\mu V / \sqrt{Hz} \times 2 = 40.4\mu V / \sqrt{Hz}$$

$$E_{n\_THS4551} = e_{nTHS4551} \times \sqrt{2 \times K_n \times f_c} = (3.3nV / \sqrt{Hz}) \times \sqrt{2 \times 1.57 \times 2.65MHz} = 9.52\mu V / \sqrt{Hz}$$

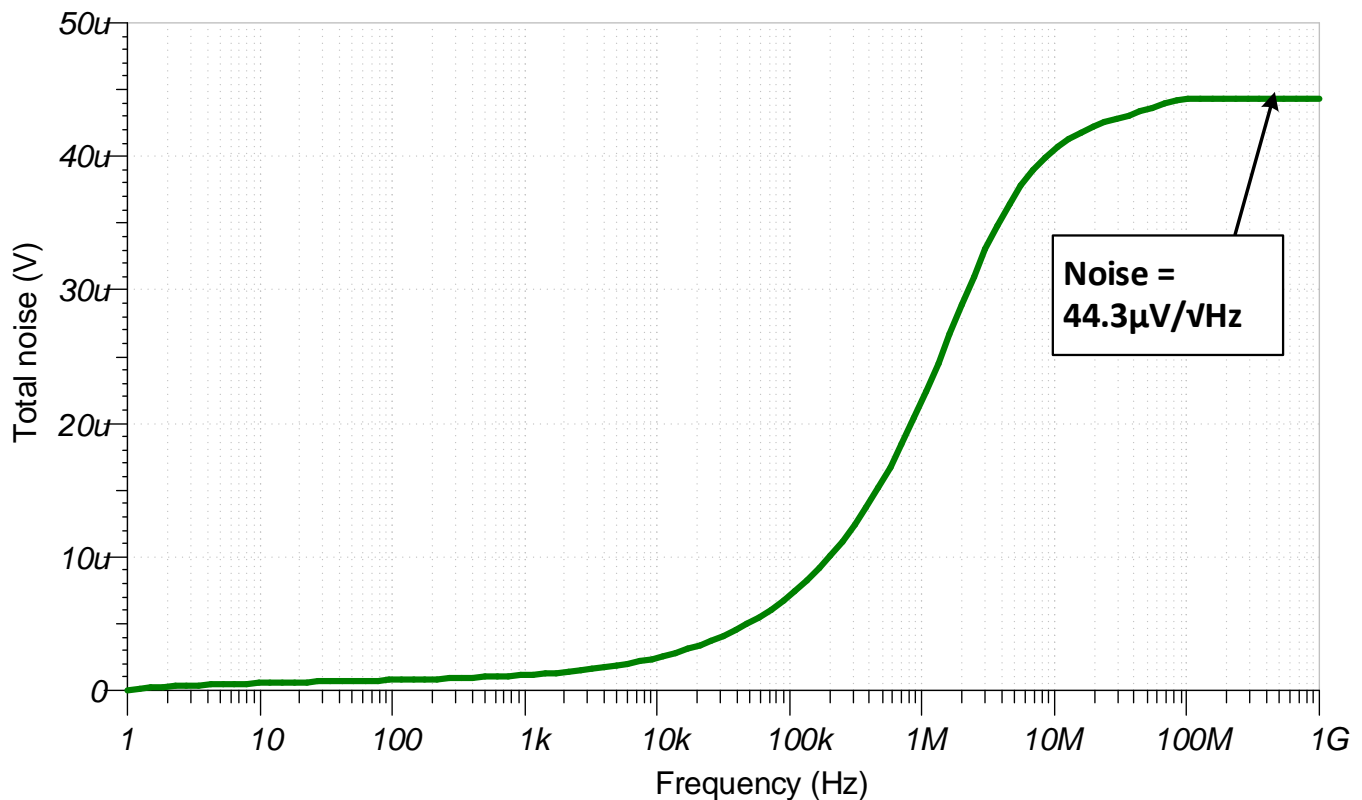
$$E_{Rg} = \frac{\sqrt{4 \times k \times T \times R_g}}{1 \times 10^{-9}} \times \frac{R_f}{R_g} \times \sqrt{2} = \frac{\sqrt{4 \times 1.38 \times 10^{-23} \times (273.15 + 25) \times 1000}}{1 \times 10^{-9}} \times \frac{2000}{1000} \times \sqrt{2} = 11.47\mu V / \sqrt{Hz}$$

$$E_{Rf} = \frac{\sqrt{4 \times k \times T \times R_f}}{1 \times 10^{-9}} \times \sqrt{2} = \frac{\sqrt{4 \times 1.38 \times 10^{-23} \times (273.15 + 25) \times 2000}}{1 \times 10^{-9}} \times \sqrt{2} = 8.11\mu V / \sqrt{Hz}$$

Total noise at output equation:

$$E_n = \sqrt{E_{n\_OPA320}^2 + E_{n\_THS4551}^2 + E_{Rg}^2 + E_{Rf}^2} = \sqrt{40.4^2 + 9.52^2 + 11.47^2 + 8.11^2} = 43.8\mu V / \sqrt{Hz}$$

計算結果とシミュレーション結果はよく一致しています。この件の詳しい理論については、『[TI Precision Labs - ADC](#)』トレーニング・ビデオ・シリーズを参照してください。



## 使用デバイス

デバイス	主な特長	リンク	類似デバイス
<a href="#">ADS7057</a>	14ビット、2.5MSPS、完全差動入力、SPI、2.25mm <sup>2</sup> パッケージ	<a href="http://www.ti.com/product/ADS7057">www.ti.com/product/ADS7057</a>	<a href="http://www.ti.com/adcs">www.ti.com/adcs</a>
<a href="#">THS4551</a>	150MHz、入力電圧ノイズ: 3.3nV/√Hz、完全差動アンプ	<a href="http://www.ti.com/product/THS4551">www.ti.com/product/THS4551</a>	<a href="http://www.ti.com/opamp">www.ti.com/opamp</a>
<a href="#">OPA320</a>	高精度、ゼロ・クロスオーバー、20MHz、0.9pA Ib、RRIO、オペアンプ	<a href="http://www.ti.com/product/OPA320">www.ti.com/product/OPA320</a>	<a href="http://www.ti.com/opamp">www.ti.com/opamp</a>

**注:** ADS7057はAVDDを入力基準電圧として使用します。TPS7A47などの高PSRR LDOを電源として使用してください。

## 設計の参照資料

TIの総合的な回路ライブラリについては、「[アナログ・エンジニア向け回路クックブック](#)」を参照してください。

### 主要なファイルへのリンク(TINA)

この回路の設計ファイル – <http://www.ti.com/lit/zip/sbac181>

### 関連クックブックへのリンク

[『ユニポーラ入力用シングルエンド/差動信号変換回路』](#)

## 改訂履歴

改訂内容	日付	変更
A	2019年3月	タイトルを大文字から普通の表記にし、タイトルのロールを「データ・コンバータ」に変更。回路クックブックのランディング・ページへのリンクを追加。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社  
Copyright © 2021, Texas Instruments Incorporated