

デュアル電源、ディスクリートのプログラマブル・ゲイン・アンプ回路

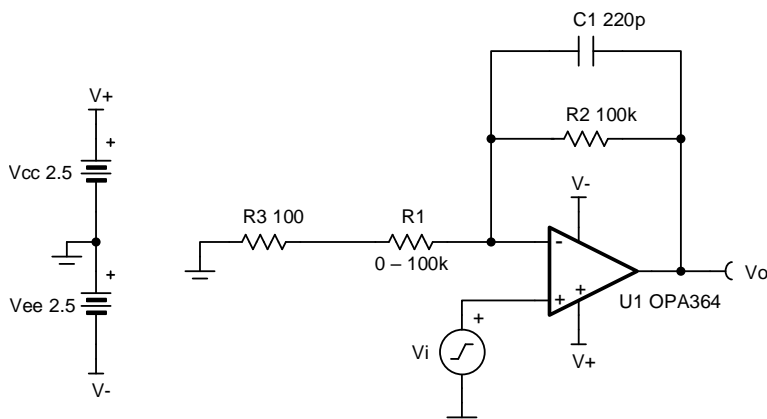
設計目標

入力		出力		電源	
V_{iMin}	V_{iMax}	V_{oMin}	V_{oMax}	V_{cc}	V_{ee}
-1.25V	+1.25V	-2.4V	+2.4V	+2.5V	-2.5V

ゲイン	カットオフ周波数
6dB (2V/V) から 60dB (1000V/V) まで	7kHz

設計の説明

この回路は可変入力抵抗を使用し、非反転ゲインを **6dB (2V/V)** から **60dB (1000V/V)** の範囲でプログラム可能です。この設計は、ゲイン範囲の全体にわたって同じカットオフ周波数を維持します。



デザイン・ノート

1. R_1 に TPL0102 などのデジタル・ポテンショメータを選択すると低コストのデジタル・プログラマブル・ゲイン・アンプを設計できます。
2. R_3 は、 R_1 が 0Ω に近付いたときの最大ゲインを設定します。
3. 帰還コンデンサにより帯域幅が制限され、安定性の問題が回避されます。
4. 安定性は、選択したゲイン範囲全体にわたって評価する必要があります。多くの場合、最小ゲイン設定は安定性の問題に最も大きく影響します。
5. 一部のデジタル・ポテンショメータでは絶対値に $\pm 20\%$ 程度の誤差があることがあるため、ゲイン較正が必要な場合があります。

設計手順

1. R_2 と R_3 を選択し、 R_1 が 0 に近付いたときの最大ゲインを設定します。

$$G_{\max} = 1 + \frac{R_2}{R_3}$$

$$G_{\max} - 1 = \frac{R_2}{R_3} \rightarrow R_2 = (G_{\max} - 1) \times R_3$$

$$\text{Set } R_3 = 100 \Omega$$

$$R_2 = (1000 \frac{V}{V} - 1) \times 100 = 99 \text{ k}\Omega \rightarrow R_2 = 100 \text{ k}\Omega \text{ (Standard value)}$$

2. ポテンショメータの最大値を選択し、最小ゲインを設定します。

$$G_{\min} = 1 + \frac{R_2}{R_{1,\max} + R_3}$$

$$G_{\min} - 1 = \frac{R_2}{R_{1,\max} + R_3}$$

$$R_{1,\max} + R_3 = \frac{R_2}{G_{\min} - 1}$$

$$R_{1,\max} = \frac{R_2}{G_{\min} - 1} - R_3 = \frac{100\text{k}\Omega}{2-1} - 100\Omega = 99.9\text{k}\Omega \rightarrow R_{1,\max} = 100\text{k}\Omega \text{ (Standard value)}$$

$$R_{1,\min} = 0\Omega \text{ (Wiper resistance, typically } 25\Omega, \text{ will introduce some error)}$$

3. 帰還コンデンサで帯域幅を選択します。

$$f_c = \frac{GBW}{G_{\max}} = \frac{7\text{MHz}}{1000 \frac{V}{V}} = 7\text{kHz}$$

$$f_c = 7\text{kHz} \rightarrow C_1 = \frac{1}{2\pi \times R_2 \times f_c} = 227\text{pF} \rightarrow C_1 = 220\text{pF} \text{ (Standard Value)}$$

4. 最小ゲイン (2V/V) での安定性を確認します ($R_1 = 100\text{k}\Omega$ とします)。要件を満たすため、 f_c (回路の帯域幅) は f_{zero} (抵抗性帰還回路と差動および同相入力容量によって生じるゼロ) より小さい必要があります。

$$f_c = \frac{1}{2\pi \times C_1 \times R_2} = 7 \text{ kHz}$$

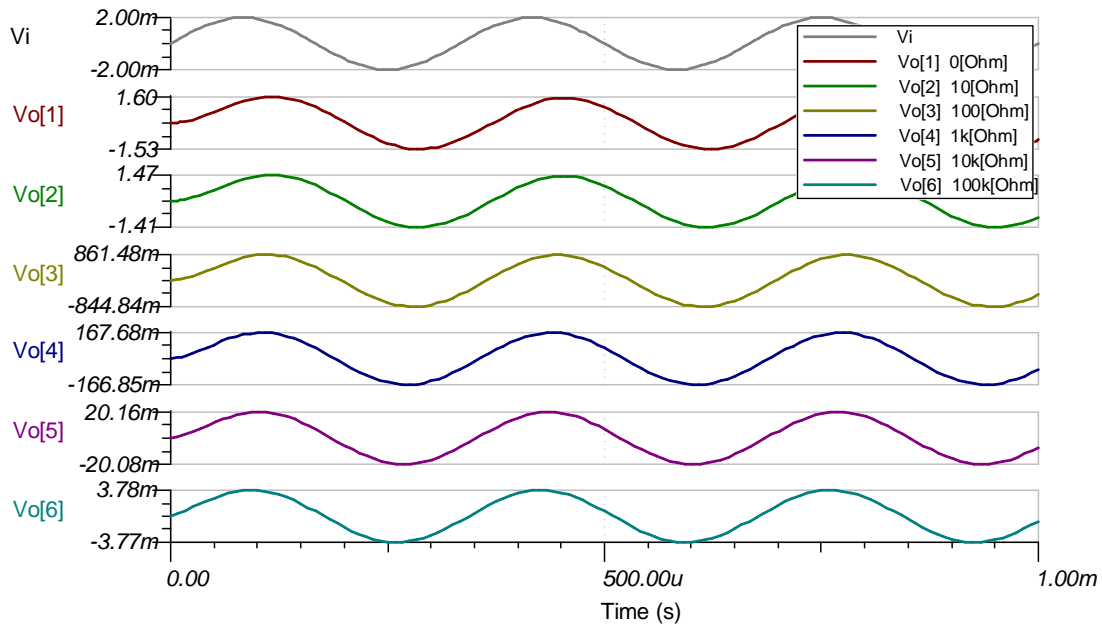
$$f_{\text{zero}} = \frac{1}{2\pi \times (C_{\text{cm}} + C_{\text{diff}}) \times (R_2 \parallel R_1)} = \frac{1}{2 \times \pi \times (3 \text{ pF} + 2 \text{ pF}) \times \left(\frac{100 \text{ k}\Omega \times 100 \text{ k}\Omega}{100 \text{ k}\Omega + 100 \text{ k}\Omega} \right)}$$

$$f_{\text{zero}} = 637 \text{ kHz}$$

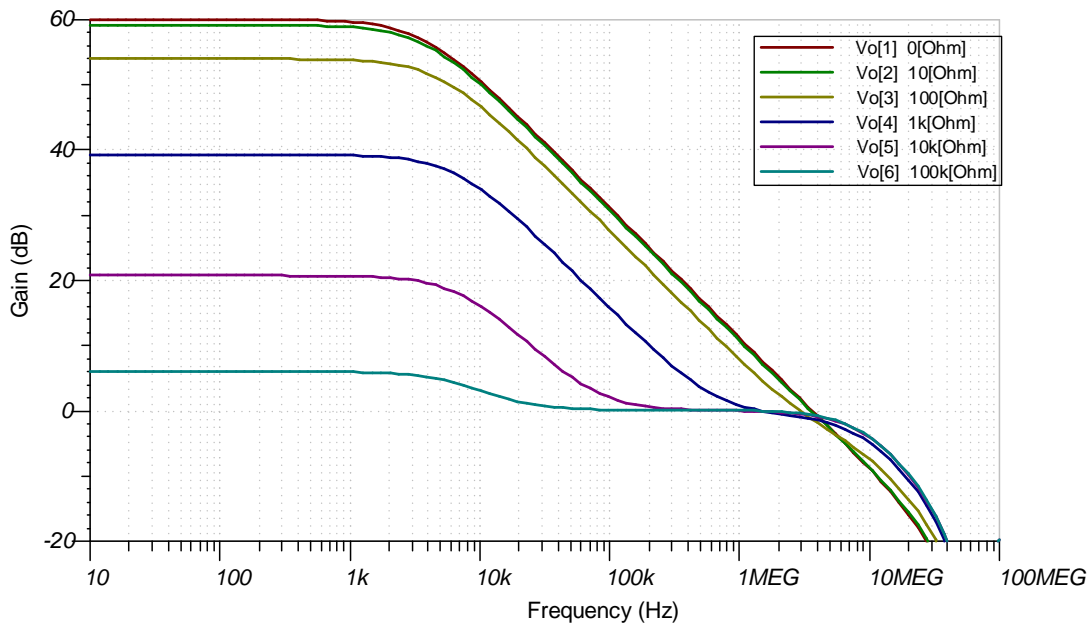
$$7 \text{ kHz} < 637 \text{ kHz} \rightarrow f_c < f_{\text{zero}}$$

設計シミュレーション

過渡シミュレーション結果



ACシミュレーション結果



関連資料

1. アナログ・エンジニア向け回路クックブック
2. SPICE シミュレーション・ファイル: [SBOC521](#)
3. TI Precision Designs [TIPD204](#)
4. [TI プレシジョン・ラボ](#)

設計に使用されるオペアンプ

OPA364	
V_{ss}	1.8V~5.5V
V_{inCM}	レール・ツー・レール
V_{out}	レール・ツー・レール
V_{os}	1mV
I_q	1.1mA
I_b	1pA
UGBW	7MHz
SR	5V/ μ s
チャンネル数	1、2、4
www.ti.com/product/opa364	

設計の代替オペアンプ

OPA376	
V_{ss}	2.2V~5.5V
V_{inCM}	レール・ツー・レール
V_{out}	レール・ツー・レール
V_{os}	5 μ V
I_q	760 μ A
I_b	0.2pA
UGBW	5.5MHz
SR	2V/ μ s
チャンネル数	1、2、4
www.ti.com/product/opa376	

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社
Copyright © 2021, Texas Instruments Incorporated