

ADC12010

*ADC12010 12-Bit, 10 MSPS, 160 mW A/D Converter with Internal
Sample-and-Hold*



Literature Number: JAJSA26

ADC12010

12ビット、10MSPS、160mW、サンプル/ホールド回路内蔵 A/D コンバータ

概要

ADC12010 は最小限でアナログ入力信号を 10MSPS のサンプリング・レートで 12 ビットのデジタルワードに変換できる、モノリシック CMOS A/D コンバータです。デジタル・エラー訂正機能とサンプル / ホールド回路を備えた差動式パイプライン型アーキテクチャを採用し、チップ寸法も消費電力も最小限に抑えながらすぐれた性能を発揮します。ADC12010 の消費電力は、基準電流も含めて単電源 5V、10MSPS 動作でわずか 160mW です。パワー・ダウン機能を使うと消費電力は 25mW まで下がります。

差動入力信号は $2V_{REF}$ までフルスイングでき、入力端子の一方だけを使ってシングルエンド動作にもできます。優れた性能を得るために差動入力信号の全面的な採用を推奨します。基準側入力端子 (バッファ付き、高インピーダンス) に印加された電圧は、処理回路部で利用できるよう内部で差動動作の基準信号に変換されます。出力データの形式は 12 ビット・オフセット・バイナリです。

32 ピンの LQFP パッケージで供給可能で、動作温度範囲は、工業用機器に適用される - 40 ~ + 85 です。

特長

- サンプル / ホールド回路内蔵
- デジタル I/O 電圧は 2.4V から 5V まで対応
- 入出力の信号レベルは TTL/CMOS 互換
- パワー・ダウン・モード
- 基準電圧バッファ回路内蔵

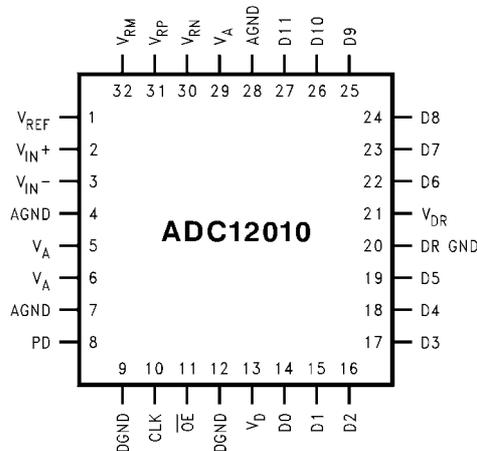
主な仕様

分解能	12 ビット
サンプリング・レート	10MSPS (最小)
DNL	± 0.3 LSB (代表値)
INL	± 0.5 LSB (代表値)
SN 比 ($f_{IN} = 10.1\text{MHz}$)	70 dB (代表値)
有効ビット ($f_{IN} = 10.1\text{MHz}$)	11.3 ビット (代表値)
データ・レイテンシ	6 クロック・サイクル
電源電圧	+ 5V ± 5%
消費電力 10MHz	160mW (代表値)

アプリケーション

- イメージプロセッサ・フロントエンド
- 計測機器
- PC を用いたデータ・アクイジション
- ファックス
- 無線ローカル・ループ、ケーブル・モデム、ワイヤレス・モデム
- 波形デジタルイザ
- DSP のフロント・エンド

ピン配置図

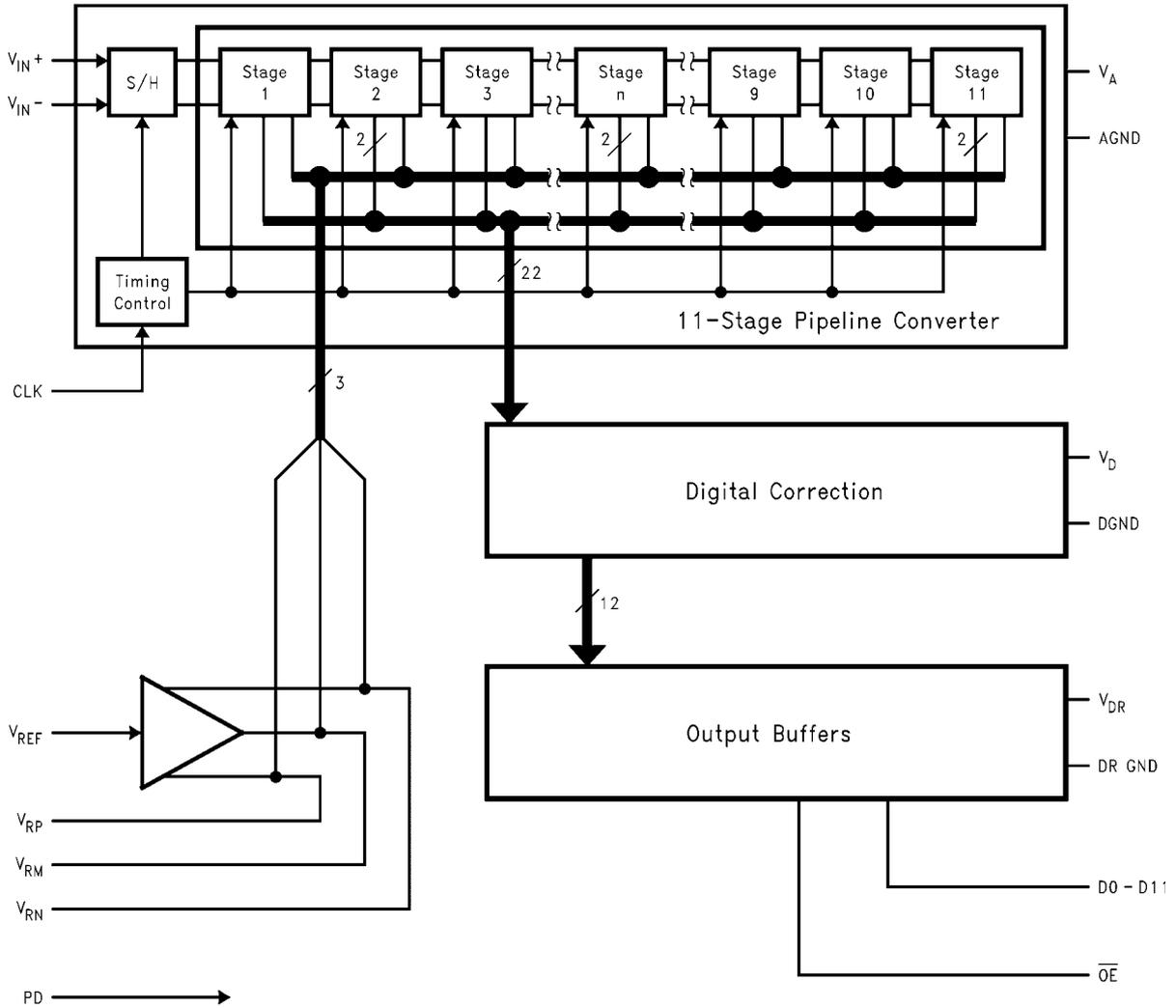


TRI-STATE® はナショナル セミコンダクター社の登録商標です。

製品情報

Industrial ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$)	Package
ADC12010CIVY	32 Pin LQFP
ADC12010CIVYX	32 Pin LQFP Tape and Reel
ADC12010EVAL	Evaluation Board

ブロック図



端子説明および等価回路

端子番号	記号	等価回路	説明
------	----	------	----

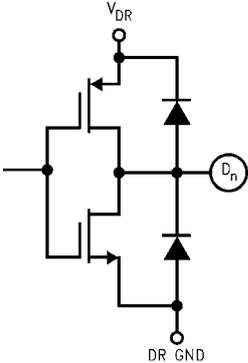
アナログ I/O

2	V_{IN}^+		<p>非反転アナログ信号入力端子。基準電圧を 2.0V にしたときの差動入力信号レベルは V_{CM} を中心電位とする 2.0V_{P-P} です。</p>
3	V_{IN}^-		<p>反転アナログ信号入力端子。基準電圧を 2.0V にしたときのアナログ入力信号レベルは V_{CM} を中心電位とする 2.0V_{P-P} です。この端子を V_{CM} に接続すればシングルエンド動作にできますが、最適性能を得るには差動入力信号が必要です。</p>
1	V_{REF}		<p>基準電圧入力端子。この端子と AGND の間にバイパス・コンデンサとして 0.1μF のモノリシック・コンデンサを 1 つ挿入してください。V_{REF} は通常 2.0V ですが、1.0V から 2.4V の範囲で設定できます。</p>
31	V_{RP}		<p>高インピーダンスの基準電圧用バイパス端子。各端子と AGND の間に 0.1μF のコンデンサを 1 つずつ挿入してください。この 3 本の端子には絶対に負荷を接続しないでください。</p>
32	V_{RM}		
30	V_{RN}		

デジタル I/O

10	CLK		<p>デジタル・クロック入力端子。この端子に入力できる周波数範囲は 100kHz から 15MHz(代表値)までですが、性能の保証されるのは 10MHz です。このクロック・パルスの立ち上がりエッジでアナログ入力信号がサンプリングされます。</p>
11	\overline{OE}		<p>\overline{OE} は出力イネーブル端子です。この端子が Low レベルの時、どのデジタル・データ出力端子も TRI-STATE® 状態になります。High レベルの時は、どのデジタル・データ出力端子も高インピーダンス状態になります。</p>
8	PD		<p>PD はパワーダウン・モード制御用の入力端子です。この端子が High レベルの時はパワーダウン・モードになります。Low レベルの時は、通常動作になります。</p>

端子説明および等価回路(つぎ)

端子番号	記号	等価回路	説明
アナログ I/O			
14-19, 22-27	D0-D11		変換後の 12 ビット・デジタル・データ出力端子。D0 がオフセット・バイナリ出力ワードの LSB であり、D11 が同 MSB です。出力レベルは TTL/CMOS 互換です。
アナログ電源			
5, 6, 29	V _A		正のアナログ電源端子。この端子は 3 本とも共通の安定化低ノイズ + 5V 電源に接続してください。各電源端子と AGND の間のバイパス・コンデンサとして、各端子から 1cm 以内の所に 0.1 μF のモノリシック・コンデンサを 1 つずつ挿入し、3 端子共通の 10 μF のコンデンサも 1 つ挿入してください。
4, 7, 28	AGND		アナログ電源のグラウンド端子。
デジタル電源			
13	V _D		正のデジタル電源端子。V _A 端子と共通の低ノイズ安定化 + 5V 電源に接続してください。DGND とのあいだにバイパス・コンデンサとして 0.1 μF のモノリシック・コンデンサと 10 μF のコンデンサを 1 つずつ並列にして挿入してください。どちらのバイパス・コンデンサも電源端子から 1cm 以内の所に挿入してください。
9, 12	DGND		デジタル電源のグラウンド端子。
21	V _{DR}		ADC12010 の出力ドライバ用の正のデジタル電源端子。+ 2.35V から + 5V までの電源に接続してください。DR_GND とのあいだにバイパス・コンデンサとして 0.1 μF のモノリシック・コンデンサを 1 つ挿入してください。V _A 端子、V _D 端子と異なる電源を使う場合は、この端子のバイパス・コンデンサとしてさらに 10 μF のタンタル・コンデンサを 1 つ挿入してください。V _{DR} の電圧が、V _D の電圧を超えないようにしてください。どのバイパス・コンデンサも電源端子から 1cm 以内に挿入してください。
20	DR_GND		ADC12010 の出力ドライバ用デジタル電源のグラウンド端子。システム・デジタル・グラウンドに接続してください。ただし ADC12010 の DGND 端子の近くにも AGND 端子の近くにも接続しないでください。詳細は 5.0 章「レイアウトとグラウンド構成」を参照ください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

V_A, V_D	6.5V
V_{DR}	$\leq V_D + 0.3V$
$ V_A - V_D $	$\leq 100\text{ mV}$
各入出力端子の電圧	- 0.3V ~ V_A , または $V_D + 0.3V$
各端子の入力電流 (Note 3)	$\pm 25\text{ mA}$
パッケージの入力電流 (Note 3)	$\pm 50\text{ mA}$
パッケージ消費電力 ($T_A = 25$)	Note 4 参照
ESD 耐性	
人体モデル (Note 5)	2500V
マシン・モデル (Note 5)	250V
ハンダ付け温度、赤外線 (10 秒) (Note 6)	235
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	- 40 T_A + 85
電源電圧 (V_A, V_D)	+ 4.75V ~ + 5.25V
出力ドライバ用の電源 (V_{DR})	+ 2.35V ~ V_D
V_{REF} 入力	1.0V ~ 2.4V
CLK、PD、 \overline{OE}	- 0.05V ~ ($V_D + 0.05V$)
V_{IN} 入力	- 0V ~ ($V_A - 0.5V$)
V_{CM}	1.0V ~ 4.0V
$ AGND - DGND $	$\leq 100\text{ mV}$

コンバータの電氣的特性

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V, V_A = V_D = + 5V, V_{DR} = + 3.0V, PD = 0V, V_{REF} = + 2.0V, f_{CLK} = 10\text{ MHz}, t_r = t_f = 3\text{ ns}, C_L = 25\text{ pF/pin}$ に対して適用されます。太字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_A = T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			12	Bits (min)
INL	Integral Non Linearity (Note 11)		± 0.5	± 1.5	LSB (max)
DNL	Differential Non Linearity		± 0.3	± 0.9	LSB (max)
GE	Gain Error		± 0.2	2.9	%FS (max)
	Offset Error ($V_{IN} = V_{IN-}$)		-0.1	1.75	%FS (max)
	Under Range Output Code		0	0	
	Over Range Output Code		4095	4095	
DYNAMIC CONVERTER CHARACTERISTICS					
FPBW	Full Power Bandwidth	0 dBFS Input, Output at -3 dB	100		MHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	70		dB
		$f_{IN} = 4.4\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	70		dB
		$f_{IN} = 10.1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	70	66	dB (min)
SINAD	Signal-to-Noise and Distortion	$f_{IN} = 1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	70		dB
		$f_{IN} = 4.4\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	70		dB
		$f_{IN} = 10.1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	69	66	dB (min)
ENOB	Effective Number of Bits	$f_{IN} = 1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	11.4		dB
		$f_{IN} = 4.4\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	11.4		dB
		$f_{IN} = 10.1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	11.3	10.7	dB (min)
THD	Total Harmonic Distortion	$f_{IN} = 1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	-88		dB
		$f_{IN} = 4.4\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	-86		dB
		$f_{IN} = 10.1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	-79	-74	dB (min)
SFDR	Spurious Free Dynamic Range	$f_{IN} = 1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	92		dB
		$f_{IN} = 4.4\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	89		dB
		$f_{IN} = 10.1\text{ MHz}, V_{IN} = -0.5\text{ dBFS}$	83	69	dB (min)

コンバータの電気的特性 (つづき)

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +5V$ 、 $V_{DR} = +3.0V$ 、 $PD = 0V$ 、 $V_{REF} = +2.0V$ 、 $f_{CLK} = 10\text{ MHz}$ 、 $t_r = t_f = 3\text{ ns}$ 、 $C_L = 25\text{ pF/pin}$ に対して適用されます。太字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_A = T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
IMD	Intermodulation Distortion	$f_{IN} = 4.7\text{ MHz and }4.9\text{ MHz}$, each = -7 dBFS	-75		dBFS

REFERENCE AND ANALOG INPUT CHARACTERISTICS

V_{CM}	Common Mode Input Voltage		$V_A / 2$		V
C_{IN}	V_{IN} Input Capacitance (each pin to GND)	$V_{IN} = 2.5\text{ Vdc}$ + 0.7 V_{rms}	(CLK LOW)	8	pF
			(CLK HIGH)	7	pF
V_{REF}	Reference Voltage (Note 13)		2.00	1.0	V (min)
				2.4	V (max)
	Reference Input Resistance		100		$M\Omega$ (min)

DC およびロジック電気的特性

特記のない限り、以下の仕様は $AGND = DGND = DR\ GND = 0V$ 、 $V_A = V_D = +5V$ 、 $V_{DR} = +3.0V$ 、 $PD = 0V$ 、 $V_{REF} = +2.0V$ 、 $f_{CLK} = 10\text{ MHz}$ 、 $t_r = t_f = 3\text{ ns}$ 、 $C_L = 25\text{ pF/pin}$ に対して適用されます。太字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_A = T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
CLK, PD, OE DIGITAL INPUT CHARACTERISTICS					
$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 5.25V$		2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 4.75V$		1.0	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 5.0V$	10		μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-10		μA
C_{IN}	Digital Input Capacitance		5		pF
D0-D11 DIGITAL OUTPUT CHARACTERISTICS					
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_{OUT} = -0.5\text{ mA}$	$V_{DR} = 2.5V$	2.3	V (min)
			$V_{DR} = 3V$	2.7	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_{OUT} = 1.6\text{ mA}$, $V_{DR} = 3V$		0.4	V (max)
I_{OZ}	TRI-STATE Output Current	$V_{OUT} = 2.5V\text{ or }5V$	100		nA
		$V_{OUT} = 0V$	-100		nA
+ I_{SC}	Output Short Circuit Source Current	$V_{OUT} = 0V$	-20		mA (min)
- I_{SC}	Output Short Circuit Sink Current	$V_{OUT} = V_{DR}$	20		mA (min)
POWER SUPPLY CHARACTERISTICS					
I_A	Analog Supply Current	PD Pin = DGND, $V_{REF} = 2.0V$	30	39	mA (max)
		PD Pin = V_{DR}	2.8		mA
I_D	Digital Supply Current	PD Pin = DGND	2	2.5	mA (max)
		PD Pin = V_{DR} , $f_{CLK} = 0$	2.2		mA
I_{DR}	Digital Output Supply Current	PD Pin = DGND, $C_L = 0\text{ pF}$ (Note 14)	0		mA
		PD Pin = V_{DR} , $f_{CLK} = 0$	0		mA
	Total Power Consumption	PD Pin = DGND, $C_L = 0\text{ pF}$ (Note 15)	160	207	mW
		PD Pin = V_{DR} , $f_{CLK} = 0$	25		mW
PSRR1+	Power Supply Rejection Ratio	Rejection of Positive Full-Scale Error with $V_A = 4.75V$ vs. $5.25V$	69		dBFS
PSRR1-	Power Supply Rejection Ratio	Rejection of Negative Full-Scale Error with $V_A = 4.75V$ vs. $5.25V$	51		dBFS
PSRR2	Power Supply Rejection Ratio	Rejection of Power Supply Noise with 10 MHz, 250 mV _{P-P} riding on V_A	48		dBFS

AC 電気的特性

特記のない限り、以下の仕様は AGND = DGND = DRGND = 0V、 $V_A = V_D = +5V$ 、 $V_{DR} = +3.0V$ 、 $P_D = 0V$ 、 $V_{REF} = +2.0V$ 、 $f_{CLK} = 10\text{ MHz}$ 、 $t_r = t_f = 3\text{ ns}$ 、 $C_L = 25\text{ pF/pin}$ に対して適用されます。太字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_A = T_J = 25$ に対して適用されます。(Note 7、8、9、12)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
f_{CLK1}	Maximum Clock Frequency		10	15	MHz (min)
f_{CLK2}	Minimum Clock Frequency		100		kHz
t_{CH}	Clock High Time			30	ns (min)
t_{CL}	Clock Low Time			30	ns(min)
t_{CONV}	Conversion Latency			6	Clock Cycles
t_{OD}	Data Output Delay after Rising CLK Edge	$V_{DR} = 2.5V$	11	16.8	ns (max)
		$V_{DR} = 3.0V$	11	16.8	ns (max)
t_{AD}	Aperture Delay		1.2		ns
t_{AJ}	Aperture Jitter		2		ps rms
t_{DIS}	Data outputs into TRI-STATE Mode		4		ns
t_{EN}	Data Outputs Active after TRI-STATE		4		ns
t_{PD}	Power Down Mode Exit Cycle	0.1 μF cap on pins 30, 31,32	500		ns

Note 1: 「絶対最大定格」とは、IC に破壊が発生する可能性があるリミット値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証された仕様、試験条件については「電気的特性」を参照ください。保証された仕様は「電気的特性」に記載されている試験条件でのみ適用されます。デバイスが記載の試験条件下で動作しない場合、いくつかの性能特性が低下することがあります。

Note 2: 特記のない限り、すべての電圧は GND = AGND = DGND = DRGND = 0V を基準にして測定されています。

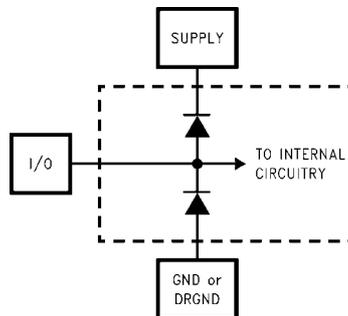
Note 3: いずれかの端子で入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < \text{AGND}$ または $V_{IN} > V_A$)、その端子の入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流すことができる端子数は 2 本に制限されます。

Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} (最大接合部温度: このデバイスの場合、 T_{Jmax} は 150)、 J_A (接合部・周囲温度間熱抵抗) および T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{DMAX} = (T_{Jmax} - T_A) / J_A$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。ボード実装時におけるこのデバイスの代表的な熱抵抗 J_A は 32 ピン LQFP では 79 $^{\circ}\text{C}/\text{W}$ なので、25 $^{\circ}\text{C}$ での最大許容消費電力は、 $P_{DMAX} = 1,582\text{ mW}$ 、85 $^{\circ}\text{C}$ の最大動作周囲温度では、823mW になります。通常動作時のこのデバイスの消費電力は代表値で約 180mW (待機時消費電力の代表値 160mW + TTL 出力負荷時の消費電力は代表値で 20mW として) になることに注意してください。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力端子または出力端子を電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 使用した試験回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k を通して、各端子に放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 を通して、各端子に放電させます。

Note 6: 235 $^{\circ}\text{C}$ のリフロー温度は赤外線リフローを指しています。気相リフロー (VPR: Vapor Phase Reflow) の場合は別の条件が適用されます。気相リフローの場合は最低 60 秒間はパッケージ本体の上面温度を 183 $^{\circ}\text{C}$ より先高く維持してください。パッケージ本体の表面温度は 220 $^{\circ}\text{C}$ を超えてはなりません。183 $^{\circ}\text{C}$ を超えるのが許されるのはリフロー・サイクル 1 回につき 1 回だけです。

Note 7: 下図に示すように、入力端子はツェナー・ダイオードで保護されています。Note 3 に従って電流制限を行うことで、入力電圧が V_A を上回った場合や GND を下回った場合でも本デバイスがダメージを受けることはありません。しかし、入力電圧が $V_A + 100\text{ mV}$ 以上もしくは $\text{GND} - 100\text{ mV}$ 以下になる場合は A/D 変化に誤差を生じる可能性があります。例えば、 V_A が 4.75V の場合には、変換精度を確保するためにはアナログ入力のフルスケールは 4.85V 以下にしなければなりません。



Note 8: 精度を保証するために、各電源電圧差を $|V_A - V_D| = 100\text{ mV}$ にし、かつそれぞれの電源端子に別個のバイパス・コンデンサが必要となります。

Note 9: $V_{REF} = +2.0V(4V_p - p \text{ 差動入力})$ のテスト条件で、12 ビットの 1LSB は 977 μV になります。

Note 10: 代表値 (Typical) は、 $T_A = T_J = +25$ $^{\circ}\text{C}$ で得られる最も標準的な数値です。テスト・リミット値はナショナル・セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。

Note 11: 積分非直線性 (INL) は LSB で表され、正と負のフルスケールを通る直線からのアナログ値の偏差として定義されます。

Note 12: タイミング特性は、TTL ロジックレベル (立ち下がりがエッジが $V_{IL} = 0.4V$ 、立ち上がりエッジが $V_{IH} = 2.4V$) でテストされます。

Note 13: 最適な性能は、リファレンス入力を 1.8V ~ 2.2V に維持することで得られます。このアプリケーションの場合、LM4051CIM3-ADJ(SOT-23 パッケージ) が推奨されます。

AC 電気的特性 (つづき)

Note 14: I_{DR} とは、出力ドライバのスイッチング処理に消費される電流のことです。この値を決める主な要素は、出力端子の負荷容量、電源電圧、 V_{DR} 、出力信号のスイッチング・レートです。出力信号のスイッチング・レートは入力信号に左右されます。 I_{DR} は、 $I_{DR} = V_{DR}(C_0 \times f_0 + C_1 \times f_1 + \dots + C_{11} \times f_{11})$ の式で計算されます。 V_{DR} は出力ドライバ用の電源電圧、 C_n は当該出力端子の総負荷容量、 f_n は当該出力端子の平均スイッチング周波数です。

Note 15: I_{DR} は含まれていません。Note14を参照してください。

用語の定義

アパーチャ・ディレイ (APERTURE DELAY) は、クロック・パルスが立ち上がってから入力信号が取り込まれるか保持されるまでの時間のことです。

アパーチャ・ジッタ (APERTURE JITTER) は「APERTURE UNCERTAINTY」(アパーチャ・ディレイのばらつき)ともいいます。サンプルとサンプルの間のアパーチャ・ディレイのばらつきです。アパーチャ・ジッタは出力のノイズとして現れます。

クロック・デューティ・サイクル (CLOCK DUTY CYCLE) とは繰り返し波形の1周期に対する High 期間の割合です。本データシートに記載されているデューティ・サイクルの仕様は、ADCのクロック入力信号に対して適用されます。

同相電圧 (COMMON MODE VOLTAGE: V_{CM}) とは、ADCの差動入力端子のいずれにも共通して現れる直流電位のことです。

変換レイテンシ (CONVERSION LATENCY) は、変換開始からその変換データが出力ドライバ段に現れるまでの期間をクロック数で表したものです。任意に与えられたサンプリングに対するデータは、そのサンプリングが行われた後、パイプライン・ディレイや出力ディレイの出力ピン上で有効になります。新しいデータはクロック・サイクル毎に有効ですが、その出力データはパイプライン・ディレイ分の変換ラグがあります。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL) は、理想的なステップである 1LSB からの最大偏差として表されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB) は、信号/(ノイズ+歪み)比または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。

利得誤差 (GAIN ERROR) は、伝達関数の実測値と理想カーブとの偏差のことです。次の式で計算できます。

$$\text{利得誤差} = \text{正側フルスケール誤差} - \text{オフセット誤差}$$

積分非直線性 (INTEGRAL NON LINEARITY: INL) は、ゼロスケール(最初のコード遷移の 1/2LSB 下)から正のフルスケール(最後のコード遷移の 1/2LSB 上)まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D の入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。元の周波数のトータル・パワーに対する混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

ミッシング・コード (MISSING CODES) は、ADC から出力されない出力コードです。ADC12010 は、ミッシング・コードのないことが保証されています。

負のフルスケール誤差 (NEGATIVE FULL SCALE ERROR) は、最初のコード遷移点の実測値と(負側フルスケール+ 0.5LSB)の理想値とのずれです。

オフセット誤差 (OFFSET ERROR) は、デジタル出力コード 2047 から 2048 へと遷移させるのに必要な差動電圧 ($V_{IN+} - V_{IN-}$) です。

出力ディレイ (OUTPUT DELAY) は、クロック入力の立ち上がりエッジから出力端子にアップデートされたデータが現れるまでの遅延時間です。

パイプライン・ディレイ (PIPELINE DELAY (LATENCY)) については、「変換レイテンシ」(CONVERSION LATENCY)を参照ください。

正のフルスケール誤差 (POSITIVE FULL SCALE ERROR) は、最後のコード遷移点の実測値と(正側フルスケール- 1.5LSB)の理想値とのずれのことです。

電源電圧変動除去比 (POWER SUPPLY REJECTION RATIO: PSRR) は、電源電圧の変動を ADC でどの程度除去できるかを表したものです。ADC12010 では、直流電源電圧の変動によって生じるフルスケール誤差の変動率を PSRR1 で表します。単位は dB です。また、直流電源に乗っている交流成分が出力端でどの程度まで除去されるかについては PSRR2 で表します。

信号/ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号/(ノイズ+歪み)比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N+D) または SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

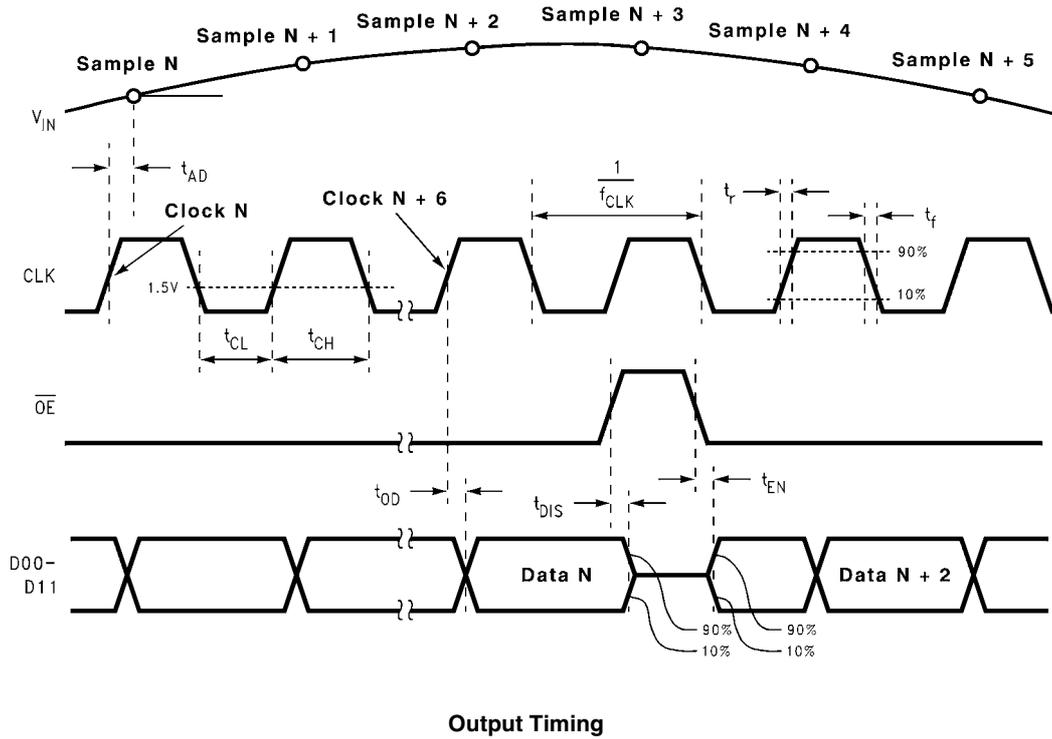
スプリアスフリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現れる任意のスプリアス信号であり、入力に現れるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、2次から 10 次までの高調波の合計出力レベルと基本周波数の出力レベルの比で、dBc で表されます。全高調波歪み THD は次式から求められます。

$$\text{THD} = 20 \times \log \sqrt{\frac{f_2^2 + \dots + f_{10}^2}{f_1^2}}$$

f_1 は基本周波数(出力)パワーの実効値(RMS 値)、 f_2 から f_{10} は高調波のうち 2 次から 10 次までの高調波のパワーです。

タイミング図



Output Timing

変換特性

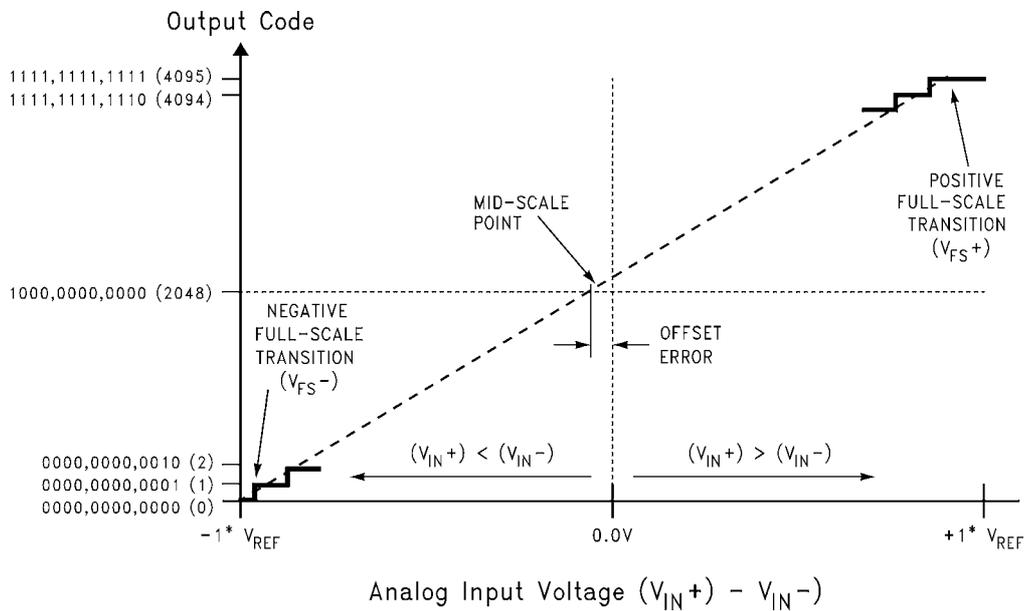
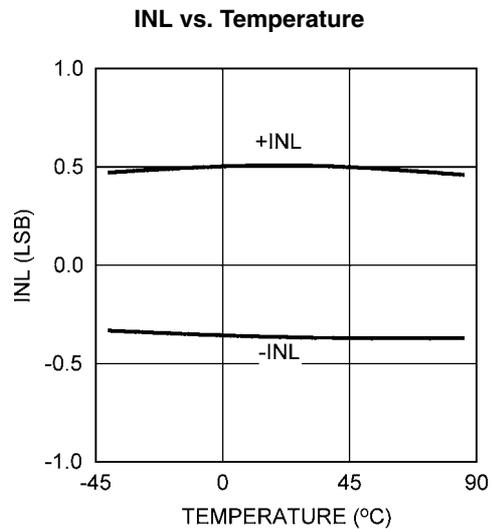
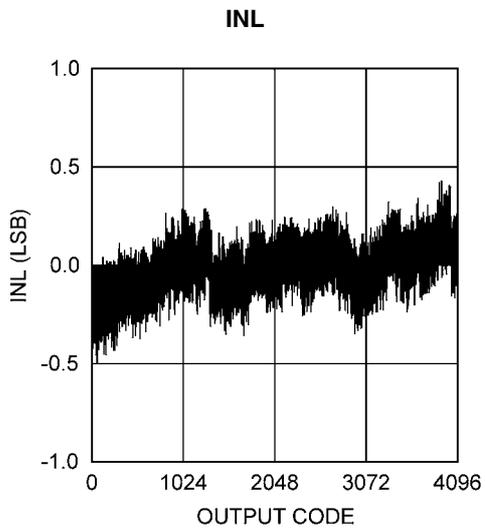
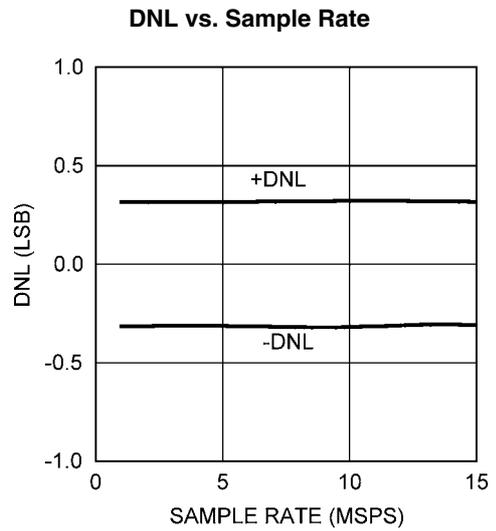
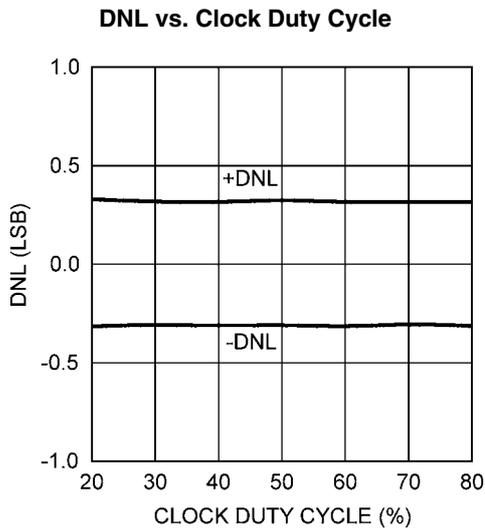
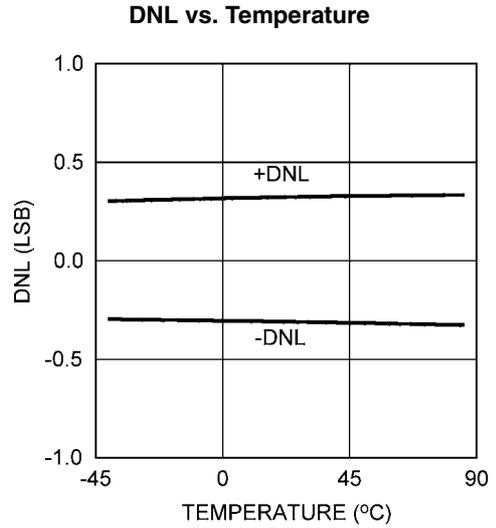
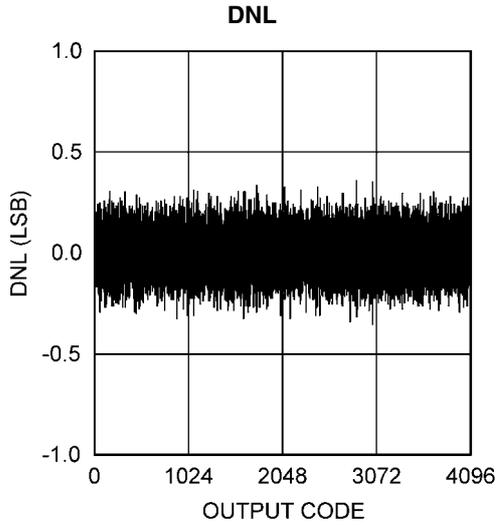


FIGURE 1. Transfer Characteristic

ADC12010 の代表的な性能特性

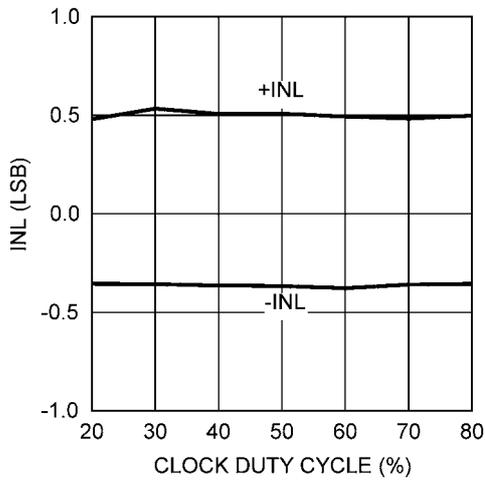
(特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{DR} = 3.0V$ 、 $f_{CLK} = 10MHz$ 、 $f_{IN} = 10.1MHz$ 、 $V_{REF} = 2.0V$)



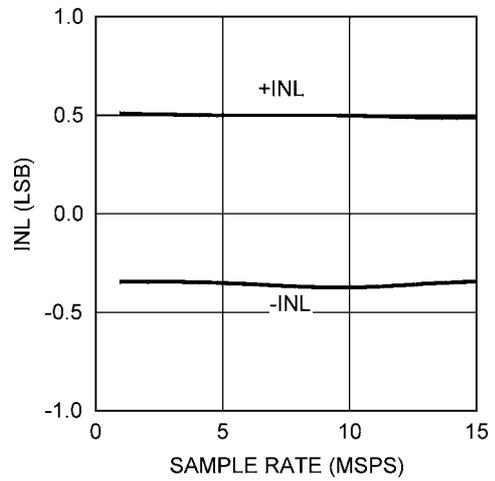
ADC12010 の代表的な性能特性 (つぎ)

(特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{DR} = 3.0V$ 、 $f_{CLK} = 10MHz$ 、 $f_{IN} = 10.1MHz$ 、 $V_{REF} = 2.0V$)

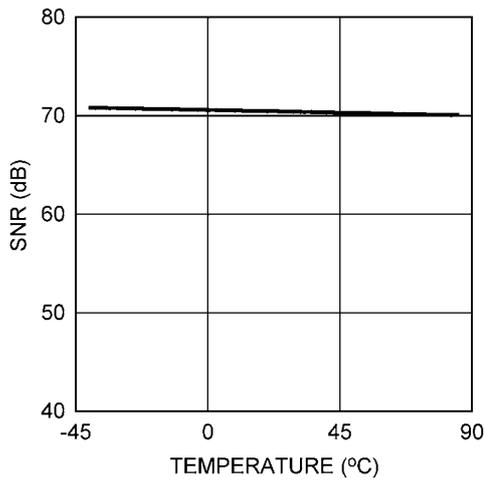
INL vs. Clock Duty Cycle



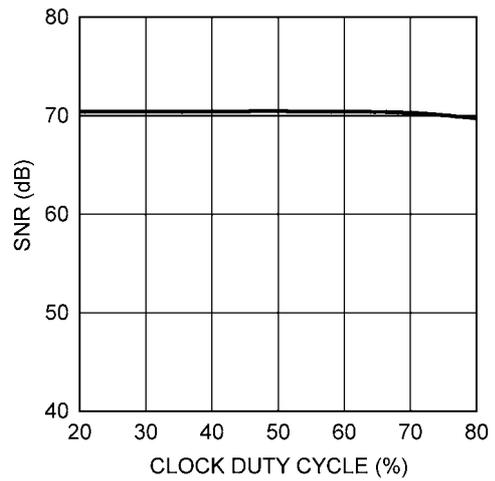
INL vs. Sample Rate



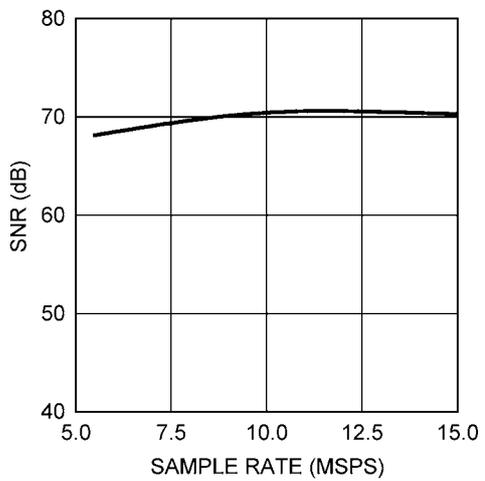
SNR vs. Temperature



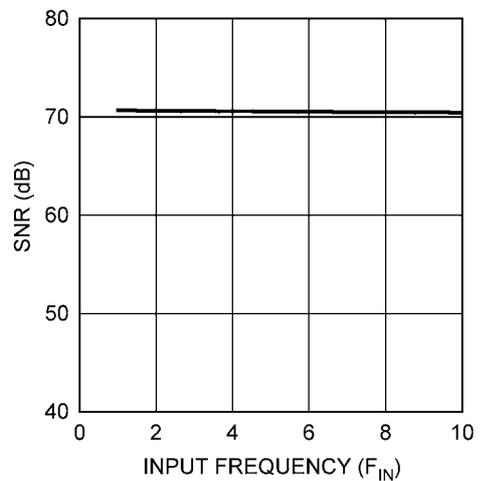
SNR vs. Clock Duty Cycle



SNR vs. Sample Rate

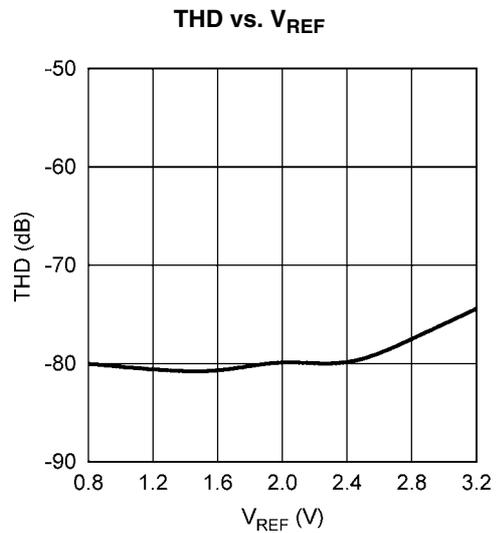
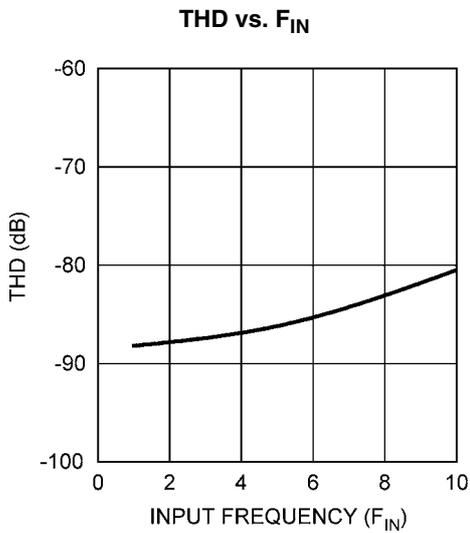
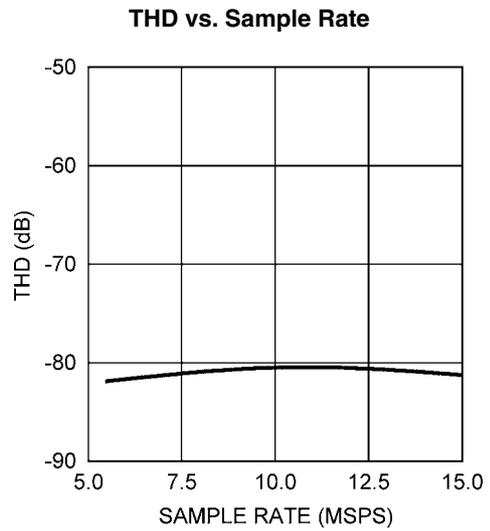
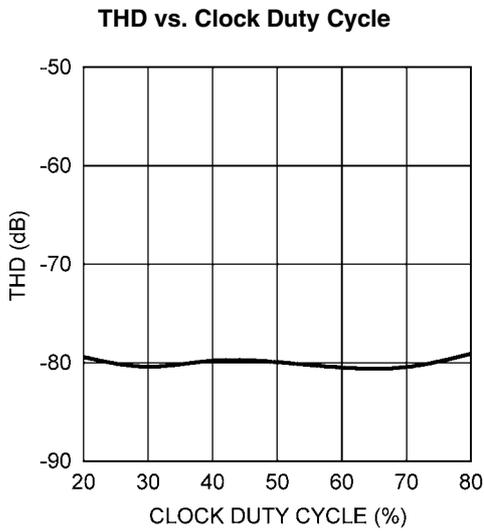
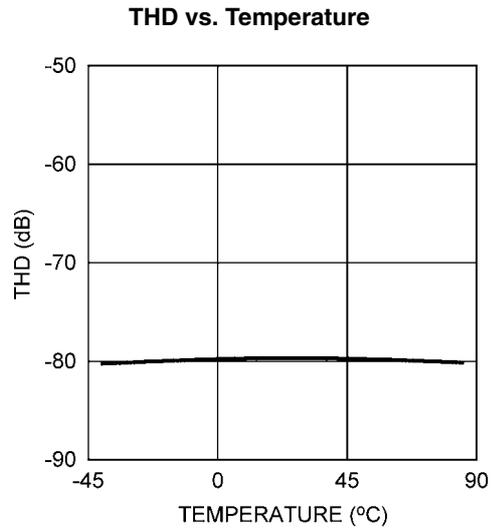
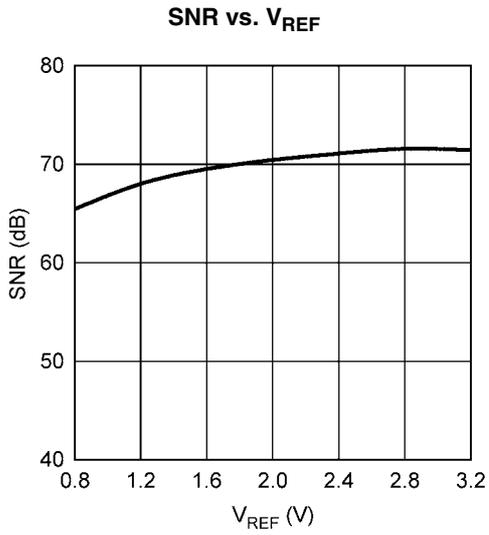


SNR vs. F_{IN}



ADC12010 の代表的な性能特性 (つぎ)

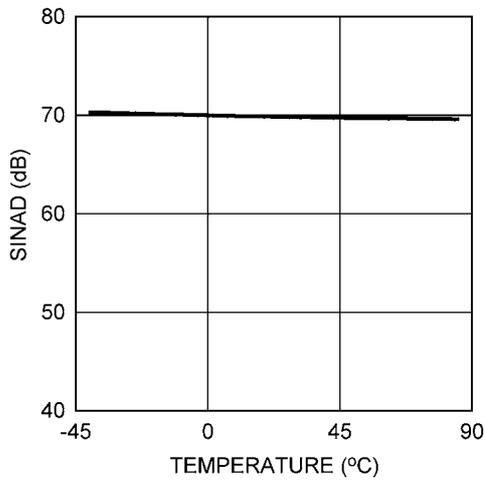
(特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{DR} = 3.0V$ 、 $f_{CLK} = 10MHz$ 、 $f_{IN} = 10.1MHz$ 、 $V_{REF} = 2.0V$)



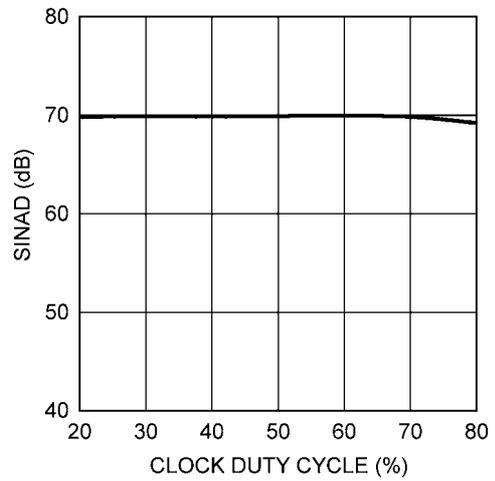
ADC12010 の代表的な性能特性 (つづき)

(特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{DR} = 3.0V$ 、 $f_{CLK} = 10MHz$ 、 $f_{IN} = 10.1MHz$ 、 $V_{REF} = 2.0V$)

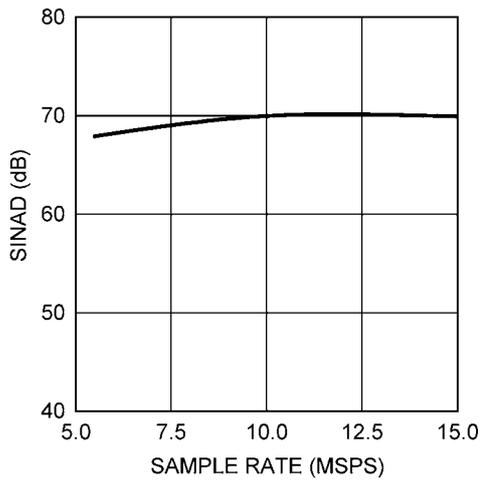
SINAD vs. Temperature



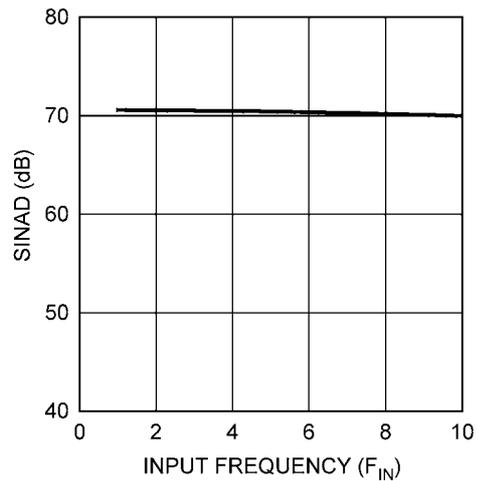
SINAD vs. Clock Duty Cycle



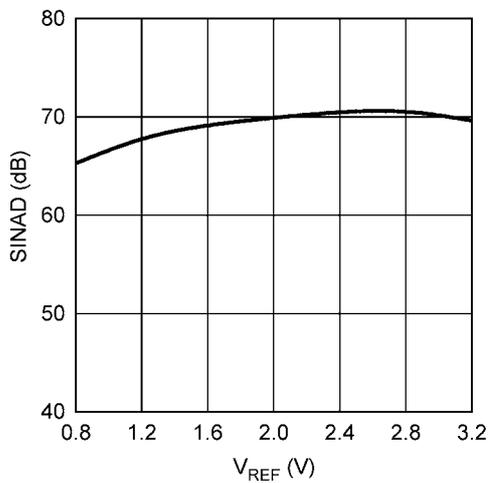
SINAD vs. Sample Rate



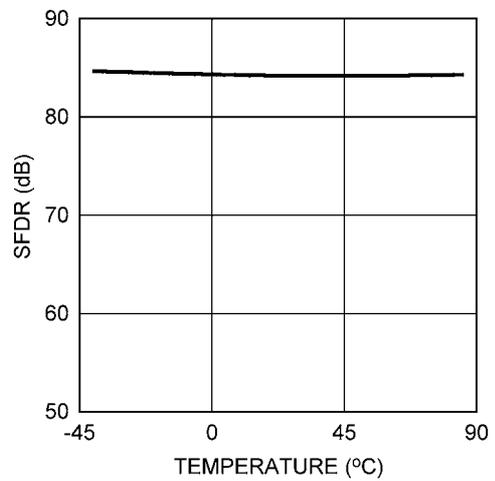
SINAD vs. F_{IN}



SINAD vs. V_{REF}



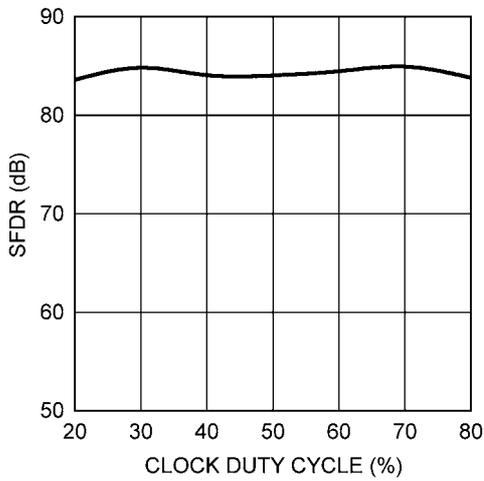
SFDR vs. Temperature



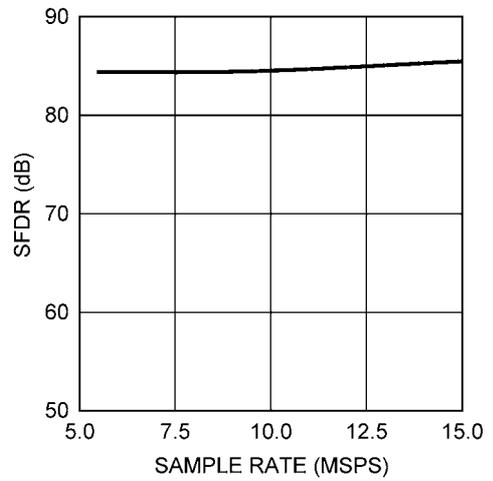
ADC12010 の代表的な性能特性 (つづき)

(特記のない限り, $V_A = V_D = 5.0V$, $V_{DR} = 3.0V$, $f_{CLK} = 10MHz$, $f_{IN} = 10.1MHz$, $V_{REF} = 2.0V$)

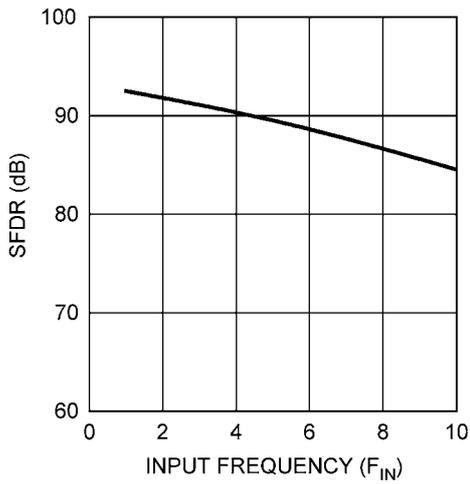
SFDR vs. Clock Duty Cycle



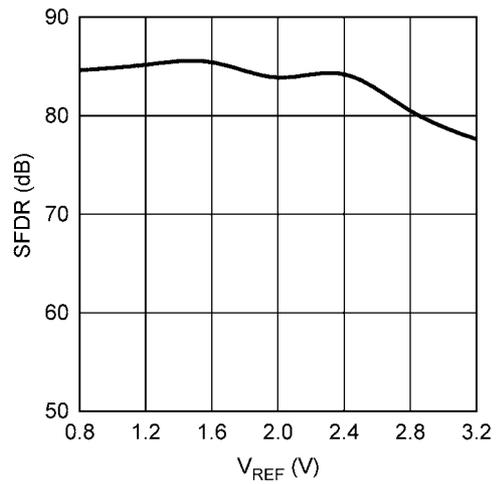
SFDR vs. Sample Rate



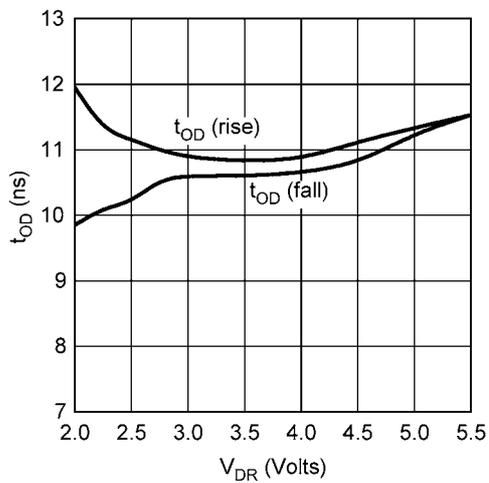
SFDR vs. F_{IN}



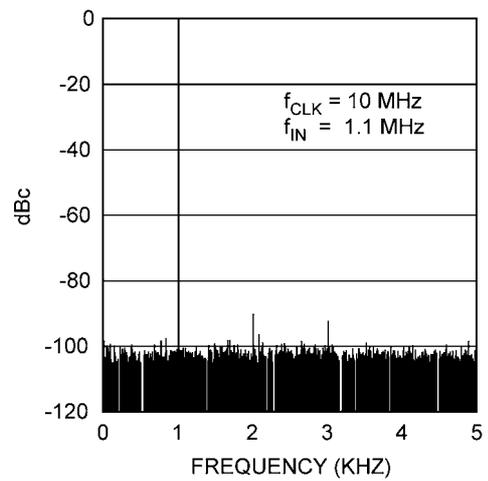
SFDR vs. V_{REF}



t_{OD} vs. V_{DR}

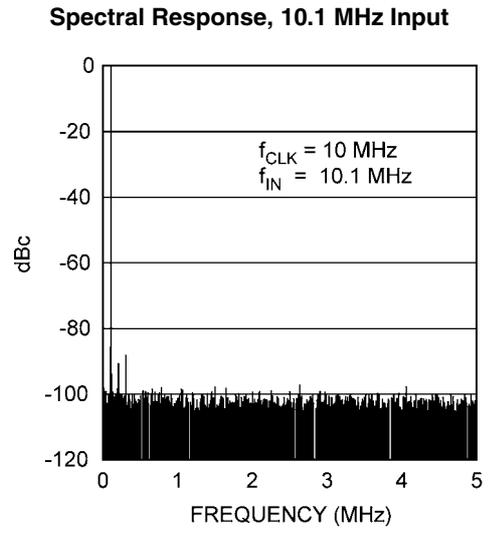
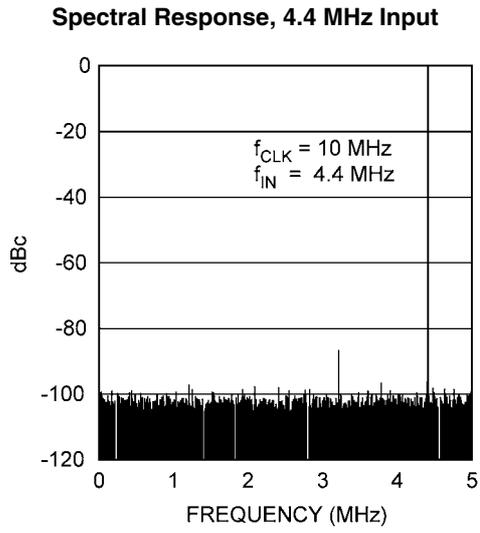


Spectral Response, 1.1 MHz Input



ADC12010 の代表的な性能特性 (つづき)

(特記のない限り、 $V_A = V_D = 5.0V$ 、 $V_{DR} = 3.0V$ 、 $f_{CLK} = 10MHz$ 、 $f_{IN} = 10.1MHz$ 、 $V_{REF} = 2.0V$)



機能説明

ADC12010 は +5V 単電源で動作します。パイプライン型アーキテクチャを採用し、かつ誤差補正回路を内蔵しているため、性能が最大限まで発揮されます。差動アナログ入力信号を 12 ビットのデジタル信号に変換する機能を持っています。

基準電圧入力端子は、バッファ回路が内蔵されているため簡単に駆動できます。

出力ワード・レートはクロック周波数に一致します。範囲は 100kSPS から 15MSPS (代表値) までです。アナログ入力信号はクロック・パルスの立ち上がりエッジで取り込まれますが、それに対応するデジタル・データは、パイプライン・ディレイがあるため、6 クロック・サイクルだけ遅れて出力されます。

パワーダウン端子 (PD) が High レベルの間は消費電力が 40mW まで下がります。

アプリケーション情報

1.0 動作条件

ADC12010 の動作条件としては次の各値を推奨します。

4.75V	V_A	5.25V
$V_D = V_A$		
2.35V	V_{DR}	V_D
100 kHz	f_{CLK}	15MHz
1.0V	V_{REF}	2.4V

1.1 アナログ入力

ADC12010 は、 V_{IN+} と V_{IN-} の 2 つのアナログ入力を備えています。この 2 本の端子を組にして差動入力端子として使います。また基準電圧入力端子の V_{REF} があります。

1.2 基準電圧端子

ADC12010 は基準電圧 2.0V で動作するように設計されていますが、1.0V から 2.4V の範囲であれば問題なく動作します。基準電圧を下げると ADC12010 の信号 / ノイズ比 (SNR) が低くなります。基準電圧を 2.4V より高くすると、フルスケール入力時の THD が劣化します。また、入力信号の振幅が大きいほど THD も劣化します。基準電圧と入力信号に対するすべてのグラウンドは、グラウンド経路に流れるノイズ電流の影響を抑えるため、アナログ・グラウンド・プレーンに対して一点アースで接続するのが極めて重要になります。

3 本の基準電圧バイパス端子 (V_{RP} 、 V_{RM} 、 V_{RN}) はバイパス専用です。各端子とグラウンドの間に 0.1 μ F のコンデンサを 1 つずつ挿入してください。コンデンサの容量を小さくするとパワーダウン・モードからの復帰が高速になりますが、ノイズ性能が低下する可能性があります。この 3 本の端子には絶対に負荷を接続しないでください。

1.3 信号入力

信号入力には V_{IN+} と V_{IN-} があります。入力信号 V_{IN} は次のように定義されます。

$$V_{IN} = (V_{IN+}) - (V_{IN-})$$

Figure 2 は、入力信号として予想される範囲を示したものです。

同相入力電圧の範囲は 1V ~ 3V ですが、その標準値は $V_A/2$ であることに注意してください。入力信号は、グラウンド電位から 4V までの範囲にしてください。

各入力信号 V_{IN+} 、 V_{IN-} の最大値は、次の式で計算される電圧値を超えないようにしてください。

$$V_{IN+}, V_{IN-} = V_{REF} + V_{CM}$$

これを守らないと THD と SINAD が劣化します。

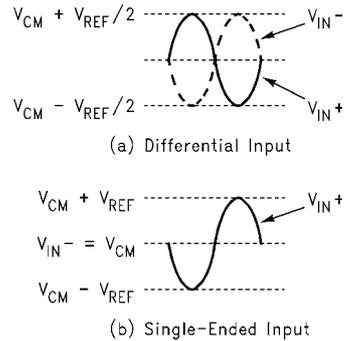


FIGURE 2. Expected Input Signal Range

ADC12010 は、 V_{CM} を中心電位とする差動信号を入力したときに最適な性能が得られます。 V_{IN+} と V_{IN-} の振幅 (ピーク・ツー・ピーク値) は基準電圧を超えないようにしてください。これを超えた場合出力データが最大値もしくは最小値で飽和します。差動信号を成す 2 つの入力信号は、位相差はちょうど 180 度とし、振幅は正確に同じにしてください。入力信号の周波数が 1 つだけのときは、位相差があると (つまり差動信号の位相差が正確に 180 度になっていないと)、実効フルスケール入力の範囲が狭くなってしまいます。複雑な波形の場合は位相差があると歪みが生じます。

差動信号の位相差が最大 10 度までの場合は、フルスケール誤差はおよそ次の式で計算できます。単位は LSB。

$$E_{FS} = dev^{1.79}$$

「dev」は、互いに 180 度の相対位相差を持つ 2 つの信号同士の位相差です (Figure 3 を参照)。アナログ入力端子を駆動する信号源のソース・インピーダンスでは 100 Ω 未満になるようにしてください。

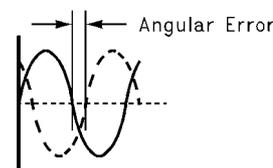


FIGURE 3. Angular Errors Between the Two Input Signals Will Reduce the Output Level

差動入力にする場合は、各アナログ入力信号の振幅 (ピーク・ツー・ピーク値) を基準電圧 V_{REF} に等しくし、その中間電位は V_{CM} に設定してください。

TABLE 1. Input to Output Relationship—Differential Input

V_{IN+}	V_{IN-}	Output
$V_{CM} - V_{REF}/2$	$V_{CM} + V_{REF}/2$	0000 0000 0000
$V_{CM} - V_{REF}/4$	$V_{CM} + V_{REF}/4$	0100 0000 0000
V_{CM}	V_{CM}	1000 0000 0000
$V_{CM} + V_{REF}/4$	$V_{CM} - V_{REF}/4$	1100 0000 0000
$V_{CM} + V_{REF}/2$	$V_{CM} - V_{REF}/2$	1111 1111 1111

アプリケーション情報 (つづき)

TABLE 2. Input to Output Relationship—Single-Ended Input

V_{IN+}	V_{IN-}	Output
$V_{CM} - V_{REF}$	V_{CM}	0000 0000 0000
$V_{CM} - V_{REF}/2$	V_{CM}	0100 0000 0000
V_{CM}	V_{CM}	1000 0000 0000
$V_{CM} + V_{REF}/2$	V_{CM}	1100 0000 0000
$V_{CM} + V_{REF}$	V_{CM}	1111 1111 1111

1.3.1 シングルエンド動作

シングルエンド性能は差動入力信号に比べて劣るため、シングルエンド動作は推奨しません。どうしてもシングルエンド動作を必要とする場合は、アナログ入力の一方を入力信号の DC コモンモード電圧に接続してください。入力信号の振幅 (ピーク・ツー・ピーク値) を基準電圧の 2 倍にした場合で、SNR、SINAD が最適になります (Figure 2b を参照)。

たとえば、 V_{REF} を 1.0V に設定したら、 V_{IN-} には 1.0V のバイアスをかけ、 V_{IN+} は 0V ~ 2.0V の信号で駆動してください。入力信号の振幅が非常に大きいと歪みのひどくなる恐れがあるため、シングルエンド動作のときに出力信号を最大幅まで振りたいときは、性能を改善するために基準電圧を下げてください。Table 1、2 は ADC12010 の入出力の対応表です。

1.3.2 アナログ入力の駆動

ADC12010 の V_{IN+} 、 V_{IN-} の各端子の内部回路は、アナログ・スイッチが 1 つに、それに続いてスイッチ・キャパシタ・アンプが 1 つの構成になっています。このアナログ入力端子の容量はクロック・パルスのレベルに応じて変化します。クロックが Low レベルのときは 8pF であり、High レベルのときは 7pF です。違いはわずかですが、容量が変わらない場合と比べると、駆動するのは難しくなりますので、駆動アンプは慎重に選んでください。LMH6702 と LMH6628 は ADC12010 の駆動に適したアンプの 1 つです。

アナログ入力端子の内部回路ではスイッチングが行われるため、入力端子から電流が帰ってきます。この電流をアナログ入力信号の駆動源側で打ち消そうとすると入力信号にノイズが乗ります。これを防ぐには、Figure 5、6 に示したように、入力端子のそれぞれに 100 の抵抗を 1 つずつ直列に挿入し、さらに入力端子同士を 1 つの 150pF コンデンサで接続してください。A/D コンバータの入力ピンはシステム内でノイズにきわめて敏感な部分のひとつであり、また入力ピンはノイズをフィルタする最後のポイントとなるため、これらの部品は A/D コンバータ入力にできるだけ近くに実装しなければなりません。Table 3 記載の抵抗値を Figure 5 の回路に用いると、各入力信号は電圧範囲 2.5V ± 2.0V に変換され ADC12010 の各差動入力ピンに与えられます。

TABLE 3. Resistor Values for Circuit of FIGURE 5

SIGNAL RANGE	R1	R2	R3	R4	R5, R6
0 - 0.5V	392Ω	1540Ω	102Ω	115Ω	1000Ω
0 - 1.0V	634Ω	1470Ω	2490Ω	1050Ω	499Ω
±0.25V	499Ω	499Ω	499Ω	499Ω	1000Ω
±0.5V	100Ω	200Ω	100Ω	200Ω	499Ω

1.3.3 入力コモンモード電圧

入力コモンモード電圧 V_{CM} は 0.5V ~ 4.0V の範囲とし、アナログ信号のピーク電圧がグラウンドを下回らないように、かつ、電源電圧 V_A の 0.5V 下を上回らないように設定しなければなりません。一般に公称の V_{CM} は $V_{REF}/2$ に設定しますが、 V_{CM} から 10μA を超える電流を引き込まないのであれば、 V_{RM} を V_{CM} 源として使用することも可能です。

2.0 デジタル入力

CLK、 \overline{OE} 、PD は TTL/CMOS 互換のデジタル入力信号です。

2.1 CLK

CLK 信号はサンプリングのタイミングを決めます。このクロック入力端子は、安定した低ジッタのクロック信号源で駆動してください。クロック周波数の範囲は 100kHz から 15MHz までであり、パルスの立ち上がり時間、立ち下がり時間はいずれも 3ns 未満とします。クロック信号の配線パターンは最短とし、アナログ、デジタルを問わず他の一切の信号線と交差しないようにしてください。

CLK が途切れると、内部キャパシタに充電されていた電位が徐々に下がってきます。この電位が一定値以下になると出力データの精度が低下します。サンプリング・レートの最低値が 100kSPS に制限されているのはこの理由によります。

クロック信号のデューティ・サイクルは A/D コンバータの性能に影響を与えることがあります。しかし正確なデューティ・サイクルを維持するのは難しいため、ADC12010 では広い範囲のデューティ・サイクルに対して性能を維持するように設計されています。性能の規定と保証はクロックのデューティ・サイクルが 50% の場合ですが、20% ~ 80% の範囲であれば通常は性能が維持されます。

クロック・ラインの線路長が字式の計算値より長い場合は、クロックのソース端において、線路の特性インピーダンスで直列終端を行ってください。

$$\frac{t_r}{6 \times t_{PR}}$$

ここで、 t_r はクロック信号の立ち上がり時間、 t_{PR} は線路の単位伝搬遅延時間です。FR-4 基材を使ったボードの代表的な t_{PR} はおよそ 60ps/cm (150ps/inch) です。終端抵抗はクロック・ソースのできるだけ近くに実装してください。

場合によっては、A/D コンバータ端で直列 RC 回路を用いてクロック信号をグラウンドに終端する必要があり、このときの抵抗値は特性インピーダンスと同じ値とし、一方のコンデンサは次の式で求めます。

$$C \geq \frac{4 \times t_{PR} \times L}{Z_0}$$

ここで、 t_{PR} は前述のとおりクロック・ラインの単位伝搬遅延時間、L は線路長、 Z_0 はクロック・ラインの特性インピーダンスです。AC 終端抵抗は A/D コンバータのクロック・ピンの近くで、かつ、クロック・ソースから見て A/D コンバータのクロック・ピンより先遠い側に配置してください。

クロック・ラインの全長にわたってインピーダンスを一定に保つように注意してください。特性インピーダンスの求め方はアプリケーション・ノート AN-905 または AN-1113 を参照してください。

アプリケーション情報 (つづき)

2.2 \overline{OE}

コンバータが使われない場合には、 \overline{OE} 端子を High レベルにするとすべての出力端子がハイ・インピーダンス状態になります。Low レベルの時はすべての出力端子がアクティブ状態になります。 \overline{OE} 端子を High レベルにしても Low レベルにしても ADC12010 内部では変換処理が実行されています。しかし \overline{OE} 端子が High レベルの間はデジタル出力信号は読み出せません。

複数のデバイスをマルチプレクスバスを駆動する目的で \overline{OE} ピンを使用してはなりません。データ出力ピンの負荷容量が大きくなり、A/D コンバータの SNR 性能と SINAD 性能を悪化させます。3.0 章参照。

2.3 PD

コンバータが使われない場合には、PD 端子を High レベルにすると ADC12010 がパワーダウン・モードになります。これによって、未使用時の消費電力が抑えられます。このモードでの消費電力は 25mW で、出力データピンの状態は不定です。パワーダウン中のパイプライン中のデータは、破壊されます。

「AC 電気的特性」記載の「Power Down Mode Exit Cycle」(パワーダウンモードからの復帰)時間は 30 ピン、31 ピン、32 ピンの容量で決まります。これらコンデンサはパワーダウン・モード中に放電され、正確な変換を再び行う前にオンチップ回路によって再充電されます。

3.0 出力

ADC12010 には、TTL/CMOS 互換のデジタル・データ出力端子が 12 本付いています。 \overline{OE} 端子および PD 端子に Low レベルの

電圧を印加しているあいだは、この出力端子に有効なデータが出力されます。 t_{OD} 時間も出力タイミングの情報にはなりますが、有効な出力データをとらえる簡単な方法の一つは、変換クロック・パルス (端子 10) の立ち下がりがリッジでデータをラッチすることです。

容量の多いバスを駆動するときは注意が必要です。変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。このような大きな充電電流スパイクは、チップ上でのグラウンド・ノイズの原因となり、またアナログ回路部にも結合するため、動的性能が劣化しかねません。バイパス・コンデンサを十分に設け、グラウンド・プレーンに注意すれば、この問題を減らせます。また、バス・ラインの負荷容量が仕様値 25pF/pin を超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合、動的性能が劣化する恐れがあります。

デジタル出力のスイッチングによるノイズを最小にするには、デジタル出力の負荷電流を最小にします。これを実現するには、ADC の出力端子とそれ以降の回路の間に、たとえば 74ACQ541 などのバッファ IC を設けます。ADC の出力端子とバッファ IC の入力端子は一つ一つで接続してください。さらに 47 ~ 100 の抵抗をデジタル出力端子のすぐ近くに直列に挿入すると配線パターンやその他回路の持つ容量から出力端子が分離されるため出力電流が抑えられます。この措置を講じないと性能の低下する場合があります。Figure 4 参照。

ADC12010 は最低 1.8V までの V_{DR} 電圧で動作しますが、 V_{DR} を低くすると t_{OD} が大きくなります。 V_{DR} を下げて使用する場合は外部タイミングに注意してください。

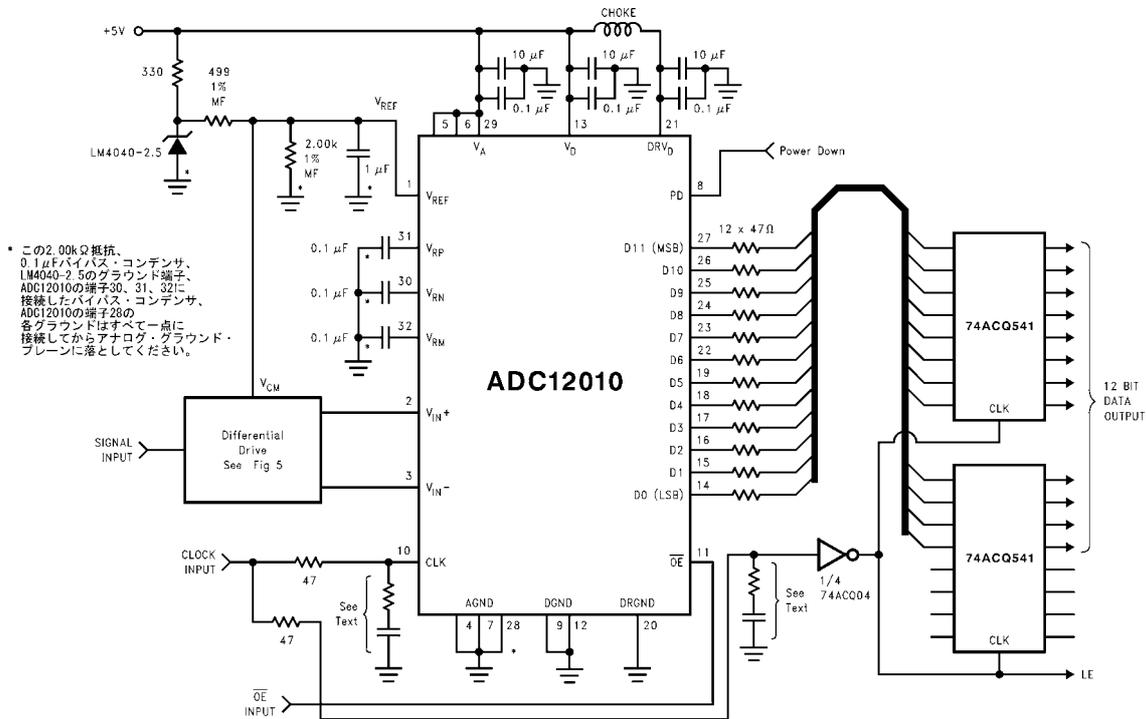


FIGURE 4. Simple Application Circuit with Single-Ended to Differential Buffer

アプリケーション情報 (つぎ)

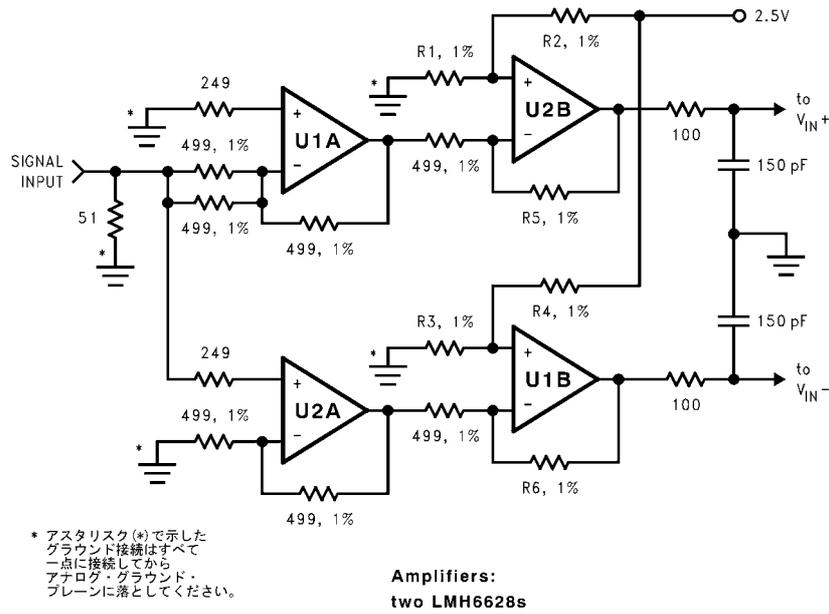


FIGURE 5. Differential Drive Circuit of FIGURE 4

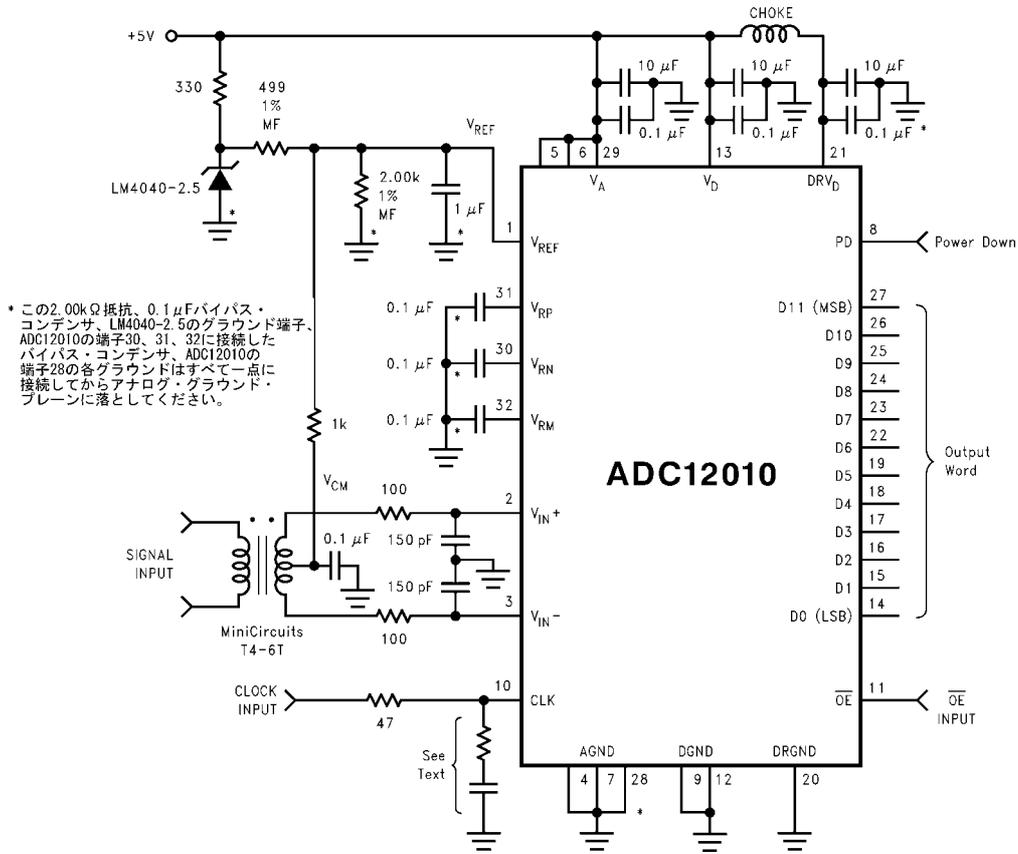


FIGURE 6. Driving the Signal Inputs with a Transformer

アプリケーション情報 (つづき)

4.0 電源構成

どの電源端子も当該端子から 1cm 以内の所にバイパス・コンデンサとして 10 μ F コンデンサと 0.1 μ F セラミック・コンデンサを 1 つずつ挿入してください。直列インダクタンスが小さいリードレス・チップコンデンサを推奨します。

あらゆる高速コンバータと同じように、ADC12010 も電源ノイズに敏感です。また、ADC12010 のアナログ電源端子に乗るノイズ・レベルは 100mV_{p-p} より先低く抑えてください。

どの端子も、電源電圧より高い電圧を加えることは、たとえ瞬時であっても許されません。特に電源の投入時、遮断時には注意してください。

V_{DR} 端子は出力ドライバ用の電源端子で、2.35V ~ V_D(通常 5V) の範囲で動作します。電源電圧 3V の各種装置と容易に接続可能です。ただし、V_{DR} 端子には、V_D よりも高い電圧は加えないでください。

5.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。ADC12010 はアナログ領域とデジタル領域とのあいだに挟まれる形になります。仕様どおりの性能を発揮するには、この 2 つの領域を分離しておく必要があります。

データ出力用のグラウンド端子 (DR GND) には、出力ドライバのための電流が流れます。この出力電流により、変換プロセスにノイズが介入する可能性のある大きなトランジエントを発生することがあります。このようなことが起こらないように DR GND 端子は、ADC12010 のいかなるその他のグラウンド端子に近接したシステム・グラウンドにも接続しないでください。

ノイズの多いデジタル回路とノイズに敏感なアナログ回路との間の容量性カップリングにより、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。

デジタル回路は非常に大きな電源トランジエントやグラウンド・トランジエントを生じます。このようなロジック・ノイズがシステムのノイズ特性に大きく影響を及ぼします。A/D コンバータを備えたシステムに使用するのに最適なロジック・ファミリーは、74LS、74HC(T) や 74AC(T)Q ファミリのようなノン・サチュレーティング・トランジスタ (不飽和トランジスタ) を採用した設計がなされたものか低ノイズ特性を備えたものです。最も良くないノイズの発生源は、74F や 74AC(T) ファミリのようなクロックや信号エッジでの電源電流トランジエントが大きなファミリーです。

ADC の出力スイッチングによって生じるノイズの影響は、デジタル・データ出力ラインのそれぞれに 1 つずつ直列に 47 ~ 100 Ω 抵抗を挿入すると最小に抑えられます。この抵抗の取り付け位置は ADC の出力端子にてできる限り近づけてください。

デジタル・スイッチング・トランジエント (デジタル回路の瞬間的スイッチング電圧によるオーバーシュート/アンダーシュート) は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはあまり影響がありません。これは、薄膜効果によるためです。グラウンド・プレーンの重量より総表面積の方がより重要です。

一般に、アナログとデジタルの配線パターン同士のクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからアイソレートすることが重要です。クロック・ラインが一般的に受け入れられている 90° で A/D 信号ラインを互いに交差させる方法は、高周波でのちょっとしたカップリングによる問題が起こる可能性があるため避けるべきです。これは、その他のラインがクロック・ラインにジッタを招き、結果的に SN 比の劣化につながります。また、クロックが高速だとアナログ回路にノイズの生じる場合もあります。

高周波 / 高分解能で最大限の性能を得るには、まっすぐな信号経路に配線して実現できます。これは、すべての部品を通る信号経路をできる限りまっすぐな直線に配線することです。

COMMON
GROUND
PLANE

アナログ部品はすべて
グラウンド・プレーンの
アナログ領域に実装すること

駆動アンプはコンバータの
近くに配置すること

グラウンド・ピン近くに
ポイントは接地すること

基準電圧に関する部品のリターン側は
すべて一点に接続してから
グラウンド・プレーンに落とすこと

アナログ電源ラインは
デジタル電源ラインから離して配線すること

デジタル部品はすべて
グラウンド・プレーンの
デジタル領域に実装すること

デジタル電源ラインは
アナログ電源ラインから離して配線すること

クロック信号の配線パターンは短くし、
他の配線パターンと交差しないこと

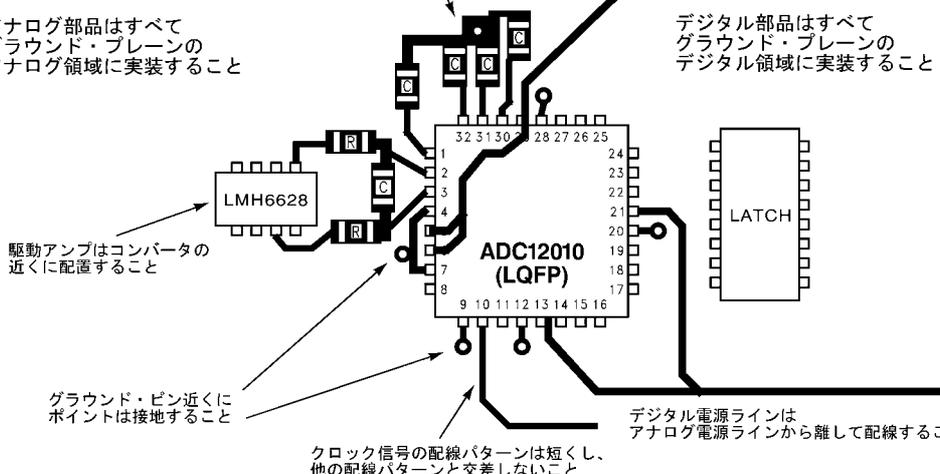


FIGURE 7. Example of a Suitable Layout

アプリケーション情報 (つづき)

インダクタのレイアウトには特に注意してください。相互インダクタンスにより、インダクタを使用する回路の特性が変わります。複数のインダクタを使用する場合には、たとえそれぞれの個体の大きさが小さくても並べたり、近い配置にせず、互いを離れた状態で使用してください。

アナログ入力、スプリアス信号の入力へのカップリングを避けるために、ノイズを生じる信号経路から十分にインシュレートしてください。コンバータの入力端子とアナログ・グラウンドとの間、または基準入力ピンとグラウンドに接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド帰路中の非常にクリーンなノイズの少ない 1 点で接続してください。

Figure 7 は、適切なレイアウト例です。すべてのアナログ回路 (入力アンプ、フィルタ、リファレンス回路など) は、アナログ・グラウンド・プレーンを覆うように配置してください。すべてのデジタル回路とデジタル入出力 (I/O) は、デジタル・グラウンド・プレーンを覆うように配置してください。さらに、基準電圧回路と入力信号に関連する回路に含まれているすべての部品については、そのリターン側同士を短い配線で一点に接続してからアナログ・グラウンド・プレーンに落としてください。すべてのグラウンドへの接続は、グラウンドへの経路が低インダクタンスになるように配線してください。

分割グラウンド層は推奨しません。それ以外、アナログ電源トレースとデジタル電源トレースを幅広のトレース・パターンで構成してそれぞれを適切に分離し、また、アナログ信号トレースとデジタル信号トレースを適切に分離すれば、ノイズを最小限に抑えながら EMI は許容可能なレベルに保つことができます。

6.0 ダイナミック特性

最高のダイナミック特性を実現するために、CLK 入力をドライブするクロック信号源はジッタのないものでなければなりません。

Figure 8 に示すようなバッファを用いてクロック・ツリーを構成して、A/D のクロック信号をその他のデジタル回路からインシュレートしなければなりません。

5.0 章で述べたように、A/D クロック・ラインをできる限り短かつその他の任意の信号から十分に離して置くのは、良い手段です。別の信号はクロック信号にジッタを招く可能性があり、SNR の性能劣化につながる場合や、クロック信号が原因でほかの配線にノイズを生じることがあります。信号ラインが互いに 90° に交わっているときも容量性のカップリングが起こりますので、クロック・ラインは 90° の交差をしないようにしてください。

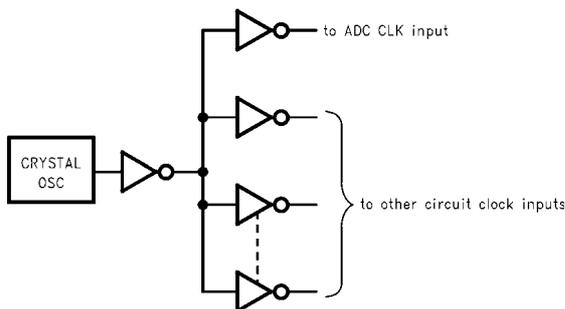


FIGURE 8. Isolating the ADC Clock from other Circuitry with a Clock Tree

7.0 アプリケーション共通の注意事項

電源範囲をこえてアナログまたはデジタル入力をドライブしないこと
 適当な動作を行うために、すべての入力は、グラウンド端子より 100mV 以下または、電源端子より 100mV 以上にならないようにしてください。トランジエントによる場合でもこれらのリミット値を超えると、システムにとって良くない状態や誤差を招く可能性があります。

す。電源電圧とそのグラウンド電位を超えるオーバーシュートやアンダーシュートを起こす高速デジタル IC (例えば、74F や 74AC などのファミリ・デバイス) では、よくある現象です。A/D コンバータのデジタル入力に約 50 ~ 100 の直列抵抗を挿入し、また信号源の近くに挿入すると、通常はこの問題を取り除けます。

入力電圧は、たとえ瞬間的であっても電源電圧を超えないようにしてください。電源の投入時も遮断時も同じです。

ADC12010 の入力を ADC12010 の電源範囲を超える範囲にまでドライブするようなデバイスで、オーバードライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

高容量性デジタル・データ・バスのドライブをしないこと
 変換のたびに出力ドライブで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。これらの大きな充電電流スパイクは、アナログ回路にカップリングしダイナミック特性を劣化させる可能性があります。適切なバイパスと基板上のアナログ領域とデジタル領域を十分にインシュレートすればこの問題を低減できます。

また、バス・ラインの負荷容量が仕様値 25pF/pin を超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合もやはり動的性能は劣化する恐れがあります。

また、デジタル・データ出力は (例えば、74ACQ541 で) バッファリングしてください。また、各デジタル出力のできる限り近くに、直列抵抗を加えることで、出力電流を制限し、コンバータの出力に戻ってくるカップリング信号のエネルギーが低減されて、ダイナミック特性を改善することができます。この時に使用する推奨の抵抗値は 47 ~ 100 です。

不適当なアンプを使ってアナログ入力をドライブしないこと

1.3 章で説明したように、アナログ入力端子の容量はクロック信号のレベルに応じて 8pF になったり 7pF になったりします。このように容量の変動する負荷を駆動するのは、容量の変わらない場合に比べて難しくなります。

ごく小さい信号レベルのときでもオーバーシュートやリングングといった不安定要素のあらわになるアンプを使ったのでは、性能が落ちてしまいます。Figure 5 に示すように、各アンプ出力に低抵抗とシャント・コンデンサを設けることで性能の改善が図れます。LMH6702、LMH6628 を使えば ADC12010 のアナログ入力端子を正常に動作できます。

また、差動入力信号を成す 2 つの信号は、振幅が完全に同じで、位相差がちょうど 180° であることが重要です。この 2 つの信号同士の実際の位相差は部品配置による影響を受けますが、入力端子までを結ぶ配線パターン同士の長さの違いが特に大きく影響します。オペアンプは非反転回路のほうが反転回路より遅延時間の長くなるのに注意してください。

リファレンス端子を仕様範囲外の入力で動作させないこと

1.2 章で述べたように、 V_{REF} 端子への入力は、次の範囲内になければなりません。

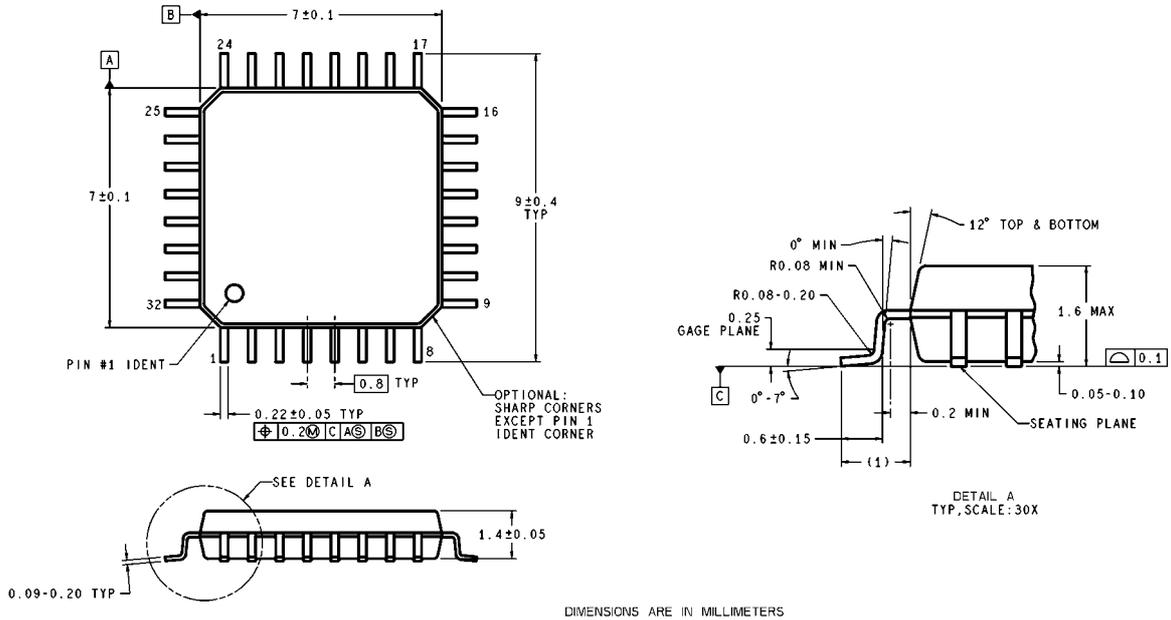
$$1.0V \leq V_{REF} \leq 2.4V$$

これらの端子が、必要な電流を制御できるデバイスでドライブしない場合には、これらのリミット範囲外での動作は、結果として性能の劣化を招きます。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと

この場合には、サンプリング間隔が変化し、過度の出力ノイズを発生し、かつ SN 比と SINAD の劣化を招きます。RC によるタイミング回路を用いた単純なゲート回路は、一般的にクロック信号源として適切ではありません。

外形寸法図 特記のない限り inches (millimeters)



DIMENSIONS ARE IN MILLIMETERS

VBE32A (Rev E)

32-Lead LQFP Package
Ordering Number ADC12010CIVY
NS Package Number VBE32A

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
 製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超過してなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上