

ADC12DL066

***ADC12DL066 Dual 12-Bit, 66 Msps, 450 MHz Input Bandwidth A/D Converter
w/Internal Reference***



Literature Number: JAJSA29

ご注意:この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2005年12月

ADC12DL066

リファレンス内蔵、12ビット、66MSPS、入力帯域450MHz、デュアルA/Dコンバータ

概要

ADC12DL066 はアナログ入力信号を 66MSPS 以上のサンプリング・レートで 12 ビットのデジタルワードに変換できる、モノリシック CMOS A/D コンバータです。ADC12DL066 は、差動信号方式とパイプライン・アーキテクチャを採用し、デジタル誤差補正とオンチップ・サンプル / ホールド回路を備え、ダイ・サイズの小型化と消費電力の低減を図る一方で優れた動的性能とフルパワー帯域 450MHz を実現しています。3.3V 単一電源で動作する ADC12DL066 は、有効ビット数 10.7 を達成しており、消費電力は 66MSPS 時にリファレンス電流を含めてわずか 686mW です。消費電力を 75mW に低減するパワーダウン機能を備えています。

差動入力には、 V_{REF} の 2 倍の振幅を持った信号をフルスケール差動入力として与えられるほか、シングルエンド入力として使用することも可能です。ただし、優れた性能を得るには差動信号の使用を推奨します。ADC の 2 系統あるデジタル出力は、それぞれ専用の 12 ビット・バスから出力されます。データ形式はオフセット・バイナリまたは 2 の補数のいずれかを選択可能です。

低電圧システムとのインターフェースを容易にするために、ADC12DL066 のデジタル出力ドライバの電源電圧は、2.4V からデジタル電源電圧の範囲に対応しています。

64 ピンのTQFP パッケージで供給可能で、動作温度範囲は、工業用機器に適用される -40 ~ +85 です。ADC12DL066 の評価を支援する評価ボードを提供しています。

特長

- 出力フォーマットはバイナリまたは2の補数を選択可能
- 3.3V 単一電源動作
- サンプル / ホールド機能内蔵
- 出力は 2.4V から 3.3V に互換
- ADC12D040 とピン互換
- パワーダウン・モード
- 内部 / 外部リファレンス

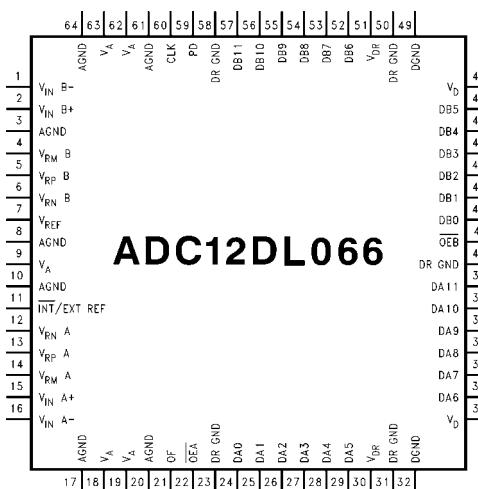
主な仕様

分解能	12 ピット
DNL	± 0.5LSB (代表値)
SN 比 ($f_{IN} = 10MHz$)	66dB (代表値)
SFDR ($f_{IN} = 10MHz$)	81dB (代表値)
データ・レイテンシ	6 クロック・サイクル
消費電力	
- 動作時	686 mW (代表値)
- パワーダウン・モード	75 mW (代表値)

アプリケーション

超音波映像装置
計測機器
受信機
ソナー、レーダ
xDSL
ケーブル・モデム

ピン配置図

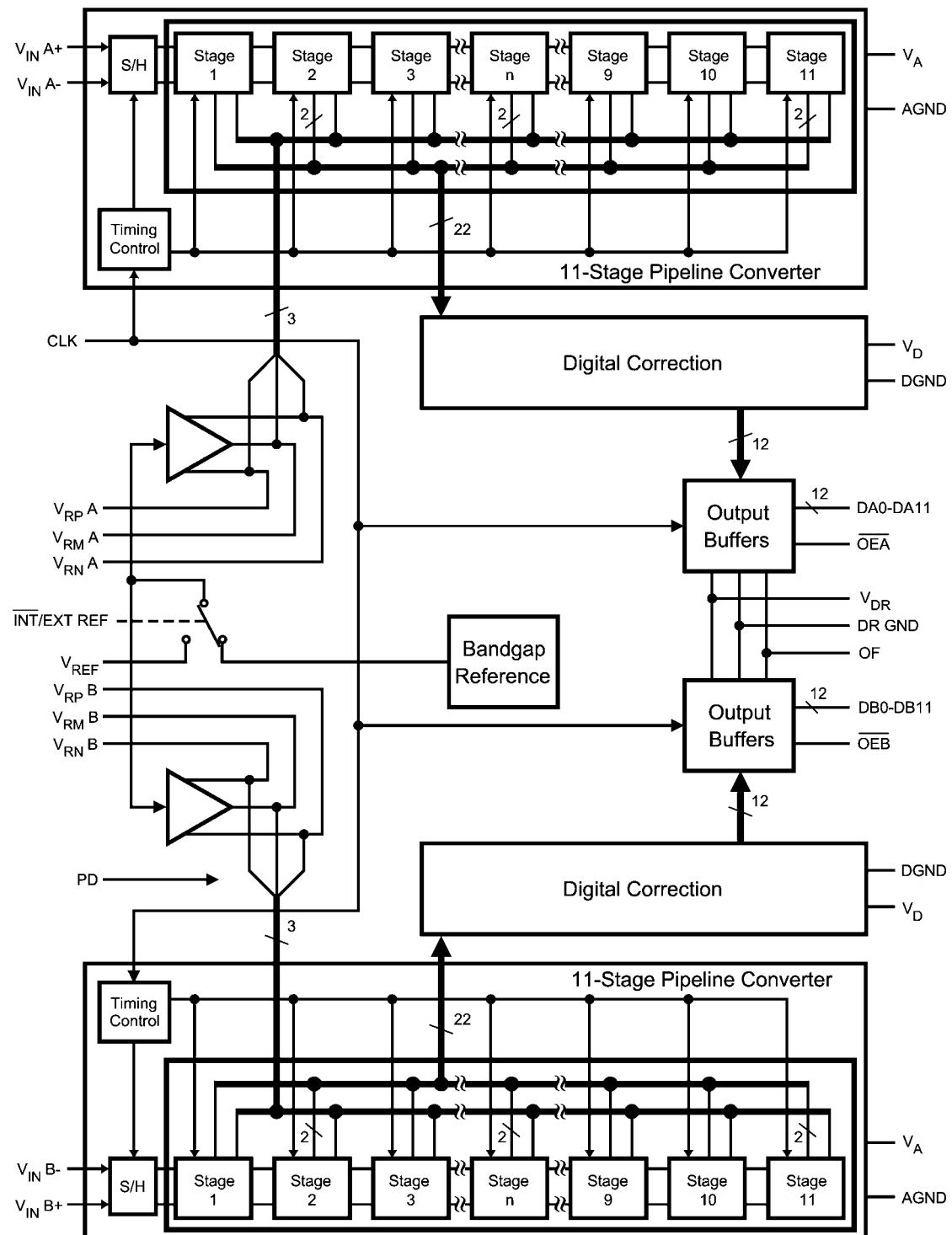


TRI-STATER® はナショナルセミコンダクター社の登録商標です。

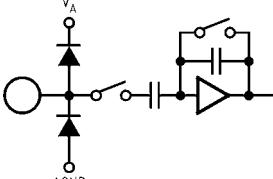
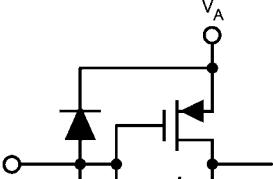
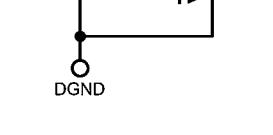
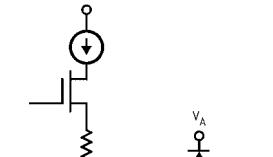
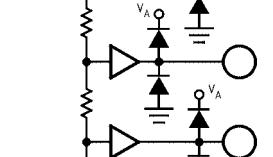
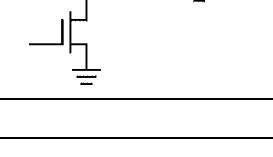
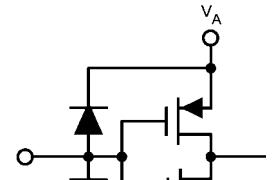
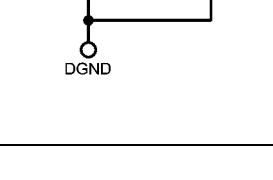
製品情報

Industrial ($-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$)	Package
ADC12DL066CIVS	64 Pin TQFP
ADC12DL066EVAL	Evaluation Board

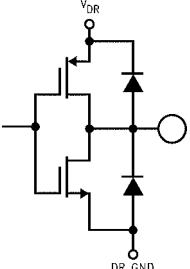
ブロック図



端子説明および等価回路

ピン番号	シンボル	等価回路	説明
アナログ I/O			
15 2	$V_{IN A} +$ $V_{IN B} +$		差動アナログ入力ピンです。リファレンス電圧が 1.0V のとき、コモンモード電圧 V_{CM} を中心電圧とする差動入力信号のフルスケール・レベルは、それぞれの入力ピンともに 2.0V _{p-p} です。シングルエンド動作の場合は負極性入力ピンに V_{CM} を接続しますが、最高性能を得るには差動信号を入力してください。
16 1	$V_{IN A} -$ $V_{IN B} -$		
7	V_{REF}		リファレンス電圧入力ピンです。外部リファレンスを使用する場合は 0.1μF のコンデンサを用いて AGND にバイパスを行ってください。 V_{REF} の公称電圧は 1.0V で、0.8V から 1.5V の範囲になければなりません。
11	$\overline{INT/EXT}$ REF		リファレンス・ソース選択ピンです。内部 1.0V リファレンスを使用する場合はこのピンを Low にします。 V_{REF} ピンを駆動する必要はありません。外部リファレンスを使用する場合はこのピンを High にして、7 ピンの V_{REF} 入力にリファレンス電圧を接続します。
13 5	V_{RPA} V_{RPB}		
14 4	$V_{RM A}$ $V_{RM B}$		これらピンはハイ・インピーダンスのリファレンス・バイパス専用ピンです。リファレンス電圧の出力ピンではありません。1.2 章を参照してください。この 3 本のピンには絶対に負荷を接続しないでください。
12 6	V_{RNA} V_{RNB}		
デジタル I/O			
60	CLK		デジタル・クロック入力です。この入力の周波数範囲は「電気的特性」の表に記載されており、性能は 66MHz で保証されています。このクロック・パルスの立ち上がり端でアナログ入力信号がサンプリングされます。
22 41	\overline{OEA} \overline{OEB}		OEA と OEB は出力イネーブル・ピンで、Low にすると対応するデータ出力ピンをアクティブな状態に保持します。いずれかのピンを High にすると対応する出力系統はハイ・インピーダンスになります。
59	PD		PD はパワーダウン・モード制御用の入力ピンです。このピンが High レベルの時はパワーダウン・モードになります。Low レベルの時は、通常動作になります。
21	OF		出力フォーマット・ピンです。このピンを Low にすると出力データはバイナリ・オフセット形式になります。このピンを High にすると出力は 2 の補数形式になります。

端子説明および等価回路 (つづき)

ピン番号	シンボル	等価回路	説明
24-29 34-39	DA0-DA11		各コンバータ系統の 12 ビット変換結果を構成するデジタル・データ出力ピンです。DA0 と DB0 は出力ワードの LSB で、DA11 と DB11 が MSB です。出力レベルは TTL/CMOS 互換です。
42-47 52-57	DB0-DB11		
アナログ電源			
9, 18, 19, 62, 63	V _A		正のアナログ電源ピンです。このピンは 3 本とも共通の安定した +3.3V 電源に接続してください。各電源ピンと AGND の間のバイパス・コンデンサとして、各ピンから 1cm 以内の所に 0.1μF のモリシック・コンデンサを 1 つずつ挿入し、3 ピン共通の 10μF のコンデンサも 1 つ挿入してください。
3, 8, 10, 17, 20, 61, 64	AGND		アナログ電源のグラウンド・ピン。
デジタル電源			
33, 48	V _D		正電圧のデジタル電源ピンです。このピンは V _A と同じ安定した +3.3V 電源に接続し、10μF コンデンサと、電源ピンの 1cm 以内に配置した 0.1μF のコンデンサにて、DGND にバイパスしてください。
32, 49	DGND		デジタル電源のグラウンド・ピン。
30, 51	V _{DR}		ADC12DL066 の出力ドライバ用の正のデジタル電源ピンです。+2.4V から V _D までの電源に接続してください。DR GND とのあいだにバイパス・コンデンサとして 0.1μF のモリシック・コンデンサを 1 つ挿入してください。V _A ピン、V _D ピンと異なる電源を使う場合は、このピンのバイパス・コンデンサとしてさらに 10μF のタンタル・コンデンサを 1 つ挿入してください。V _{DR} 電圧は V _D ピンの電圧を超えてはなりません。どのバイパス・コンデンサも電源ピンから 1cm 以内に挿入してください。
23, 31, 40, 50, 58	DR GND		ADC12DL066 の出力ドライバ用デジタル電源のグラウンド・ピンです。これらピンはシステムのデジタル・グラウンドに接続してください。ただし、ADC12DL066 の DGND ピンまたは AGND ピンの近くで接続してはなりません。詳細は 5 章「レイアウトとグラウンド構成」を参照ください。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

V_A 、 V_D 、 V_{DR}	4.2V
$ V_A - V_D $	100 mV
各入出力ピンの電圧	- 0.3V ~ (V_A または V_D + 0.3V)
入力電流 (Note 3)	± 25 mA
パッケージの入力電流 (Note 3)	± 50 mA
パッケージ消費電力 ($T_A = 25^\circ C$)	Note 4 参照
ESD 耐性	
人体モデル (Note 5)	2500V
マシン・モデル (Note 5)	250V
ハンダ付け温度 赤外線 (10 秒) (Note 6)	235
保存温度範囲	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	- 40 T_A + 85
電源電圧 (V_A 、 V_D)	+ 3.0V ~ + 3.6V
出力ドライバ用の電源 (V_{DR})	+ 2.4V ~ V_D
V_{REF} 入力	0.8V ~ 1.5V
CLK、PD、 \overline{OE}	- 0.05V ~ (V_D + 0.05V)
アナログ入力ピン	0V ~ (V_A - 0.5V)
入力コモンモード電圧 (V_{CM})	0.5V ~ 1.5V
グラウンド電圧差 $ AGND - DGND $	≤ 100 mV

パッケージ熱抵抗

Package	θ_{J-A}
64-Lead TQFP	50°C / W

コンバータの電気的特性

特記のない限り、以下の仕様は $AGND = DGND = DR GND = 0V$ 、 $V_A = V_D = + 3.3V$ 、 $V_{DR} = + 2.5V$ 、 $PD = 0V$ 、 $\overline{INT/EXT REF pin} = + 3.3V$ 、 $V_{REF} = + 1.0V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25^\circ C$ に対して適用されます。 (Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			12	Bits (min)
INL	Integral Non Linearity (Note 11)		± 1.2	± 3.0	LSB (max)
DNL	Differential Non Linearity		± 0.5	± 1.0	LSB (max)
PGE	Positive Gain Error		± 0.2	± 3.6	%FS (max)
NGE	Negative gain Error		± 0.2	± 3.6	%FS (max)
TC GE	Gain Error Tempco	$-40^\circ C \leq T_A \leq +85^\circ C$	-60		ppm/°C
V_{OFF}	Offset Error ($V_{IN+} = V_{IN-}$)		0.18	+1.3 -0.9	%FS (max) %FS (min)
TC V_{OFF}	Offset Error Tempco	$-40^\circ C \leq T_A \leq +85^\circ C$	-2.4		ppm/°C
	Under Range Output Code		0	0	
	Over Range Output Code		4095	4095	
REFERENCE AND ANALOG INPUT CHARACTERISTICS					
V_{CM}	Common Mode Input Voltage		1.0	0.5 1.5	V (min) V (max)
C_{IN}	V_{IN} Input Capacitance (each pin to GND)	$V_{IN} = 2.5$ Vdc + 0.7 V_{rms}	(CLK LOW) (CLK HIGH)	8 7	pF pF
V_{REF}	External Reference Voltage (Note 13)			1.00	0.8 1.5
R_{REF}	Reference Input Resistance			100	M Ω (min)

コンバータの電気的特性(つづき)

特記のない限り、以下の仕様は AGND = DGND = DR GND = 0V、 $V_A = V_D = + 3.3V$ 、 $V_{DR} = + 2.5V$ 、 $PD = 0V$ 、 $\overline{INT/EXT}$ REF pin = + 3.3V、 $V_{REF} = + 1.0V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
DYNAMIC CONVERTER CHARACTERISTICS					
FPBW	Full Power Bandwidth	0 dBFS Input, Output at -3 dB	450		MHz
SNR	Signal-to-Noise Ratio	$f_{IN} = 1 MHz, V_{IN} = -0.5 dBFS$	66		dB
		$f_{IN} = 10 MHz, V_{IN} = -0.5 dBFS$	66	64	dB (min)
		$f_{IN} = 33 MHz, V_{IN} = -0.5 dBFS$	64		dB
		$f_{IN} = 146 MHz, V_{IN} = -0.5 dBFS$	55		dB
SINAD	Signal-to-Noise and Distortion	$f_{IN} = 1 MHz, V_{IN} = -0.5 dBFS$	66		dB
		$f_{IN} = 10 MHz, V_{IN} = -0.5 dBFS$	66	63.3	dB (min)
		$f_{IN} = 33 MHz, V_{IN} = -0.5 dBFS$	63		dB
		$f_{IN} = 146MHz, V_{IN} = -0.5 dBFS$	53		dB
ENOB	Effective Number of Bits	$f_{IN} = 1 MHz, V_{IN} = -0.5 dBFS$	10.7		Bits
		$f_{IN} = 10 MHz, V_{IN} = -0.5 dBFS$	10.7	10.2	Bits (min)
		$f_{IN} = 33 MHz, V_{IN} = -0.5 dBFS$	10.3		Bits
		$f_{IN} = 146MHz, V_{IN} = -0.5 dBFS$	8.7		Bits
THD	Total Harmonic Distortion	$f_{IN} = 1 MHz, V_{IN} = -0.5 dBFS$	-78		dB
		$f_{IN} = 10 MHz, V_{IN} = -0.5 dBFS$	-78	-67.8	dB (min)
		$f_{IN} = 33 MHz, V_{IN} = -0.5 dBFS$	-70		dB
		$f_{IN} = 146MHz, V_{IN} = -0.5 dBFS$	-59		dB
H2	Second Harmonic Distortion	$f_{IN} = 1 MHz, V_{IN} = -0.5 dBFS$	-90		dB
		$f_{IN} = 10 MHz, V_{IN} = -0.5 dBFS$	-85	-70.4	dB (min)
		$f_{IN} = 33 MHz, V_{IN} = -0.5 dBFS$	-72		dB
		$f_{IN} = 146MHz, V_{IN} = -0.5 dBFS$	-67		dB
H3	Third Harmonic Distortion	$f_{IN} = 1 MHz, V_{IN} = -0.5 dBFS$	-83		dB
		$f_{IN} = 10 MHz, V_{IN} = -0.5 dBFS$	-85	-71.0	dB (min)
		$f_{IN} = 33 MHz, V_{IN} = -0.5 dBFS$	-76		dB
		$f_{IN} = 146MHz, V_{IN} = -0.5 dBFS$	-66		dB
SFDR	Spurious Free Dynamic Range	$f_{IN} = 1 MHz, V_{IN} = -0.5 dBFS$	79		dB
		$f_{IN} = 10 MHz, V_{IN} = -0.5 dBFS$	81	68.5	dB (min)
		$f_{IN} = 33 MHz, V_{IN} = -0.5 dBFS$	72		dB
		$f_{IN} = 146MHz, V_{IN} = -0.5 dBFS$	63		dB
IMD	Intermodulation Distortion	$f_{IN} = 9.6 MHz$ and $10.2 MHz$, each = -6.0 dBFS	-64		dBFS
INTER-CHANNEL CHARACTERISTICS					
	Channel—Channel Offset Match		± 0.03		%FS
	Channel—Channel Gain Match		± 0.1		%FS
Crosstalk	Crosstalk	10 MHz Tested, Channel; 20 MHz Other Channel	80		dB
		10 MHz Tested, Channel; 195 MHz Other Channel	63		dB

DC およびロジック電気的特性

特記のない限り、以下の仕様は AGND = DGND = DR GND = 0V、 $V_A = V_D = + 3.3V$ 、 $V_{DR} = + 2.5V$ 、PD = 0V、 $\overline{INT/EXT}$ REF pin = + 3.3V、 $V_{REF} = + 1.0V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions		Typical (Note 10)	Limits (Note 10)	Units (Limits)
CLK, PD, OE DIGITAL INPUT CHARACTERISTICS						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_D = 3.6V$			2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_D = 3.0V$			1.0	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = 3.3V$		10		μA
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$		-10		μA
C_{IN}	Digital Input Capacitance			5		pF
D0-D11 DIGITAL OUTPUT CHARACTERISTICS						
$V_{OUT(1)}$	Logical "1" Output Voltage	$I_{OUT} = -0.5 mA$	$V_{DR} = 2.5V$		2.3	V (min)
			$V_{DR} = 3V$		2.7	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$I_{OUT} = 1.6 mA$	$V_{DR} = 3V$		0.4	V (max)
I_{OZ}	TRI-STATE® Output Current	$V_{OUT} = 2.5V$ or $3.3V$		100		nA
		$V_{OUT} = 0V$		-100		nA
$+I_{SC}$	Output Short Circuit Source Current	$V_{OUT} = 0V$		-20		mA
$-I_{SC}$	Output Short Circuit Sink Current	$V_{OUT} = V_{DR}$		20		mA
C_{OUT}	Digital Output Capacitance			5		pF
POWER SUPPLY CHARACTERISTICS						
I_A	Analog Supply Current	PD Pin = DGND, $V_{REF} = 1.0V$ PD Pin = V_D		177 14	237	mA (max) mA
I_D	Digital Supply Current	PD Pin = DGND PD Pin = V_D , $f_{CLK} = 0$		31 8.7	34	mA (max) mA
I_{DR}	Digital Output Supply Current	PD Pin = DGND, $C_L = 0 pF$ (Note 14) PD Pin = V_D , $f_{CLK} = 0$		<2 0		mA mA
	Total Power Consumption	PD Pin = DGND, $C_L = 0 pF$ (Note 15) PD Pin = V_D , $f_{CLK} = 0$		686 75	895	mW (max) mW
PSRR1	Power Supply Rejection Ratio	Rejection of Full-Scale Error with $V_A = 3.0V$ vs. 3.6V		56		dB
PSRR2	Power Supply Rejection Ratio	Rejection of Power Supply Noise with 10 MHz, 500 mV riding on V_A		44		dB

AC 電気的特性

特記のない限り、以下の仕様は AGND = DGND = DR GND = 0V、 $V_A = V_D = + 3.3V$ 、 $V_{DR} = + 2.5V$ 、PD = 0V、 $\overline{INT/EXT}$ REF pin = + 3.3V、 $V_{REF} = + 1.0V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、他のリミット値は $T_J = 25$ に対して適用されます。(Note 7、8、9、12)

Symbol	Parameter	Conditions		Typical (Note 10)	Limits (Note 10)	Units (Limits)
f_{CLK1}	Maximum Clock Frequency				66	MHz (min)
f_{CLK2}	Minimum Clock Frequency			15		MHz
t_{CH}	Clock High Time				6.6	ns (min)
t_{CL}	Clock Low Time				6.6	ns (min)
t_{CONV}	Conversion Latency				6	Clock Cycles
t_{OD}	Data Output Delay after Rising CLK Edge	$V_{DR} = 2.5V$		rising	6.6	9.0
				falling	6.0	8.5
t_{AD}	Aperture Delay	$V_{DR} = 3.3V$		rising	6.4	9.0
				falling	6.5	9.0

AC 電気的特性 (つづき)

特記のない限り、以下の仕様は AGND = DGND = DR GND = 0V、 $V_A = V_D = + 3.3V$ 、 $V_{DR} = + 2.5V$ 、 $PD = 0V$ 、 $\overline{INT/EXT}$ REF pin = + 3.3V、 $V_{REF} = + 1.0V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 、 $t_r = t_f = 2ns$ 、 $C_L = 15pF/pin$ に対して適用されます。太字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、その他のリミット値は $T_J = 25$ に対して適用されます。 (Note 7、8、9、12)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 10)	Units (Limits)
t_{AJ}	Aperture Jitter		1.2		ps rms
t_{HOLD}	Clock Edge to Data Transition		8		ns
t_{DIS}	Data outputs into Hi-Z Mode		10		ns
t_{EN}	Data Outputs Active after Hi-Z Mode		10		ns
t_{PD}	Power Down Mode Exit Cycle	0.1 μF on pins 4, 14; series 1.5 Ω & 1 μF between pins 5, 6 and between pins 12, 13	500		μs

Note 1: 「絶対最大定格」とは、デバイスに破壊が発生する可能性のある制限値をいいます。「動作定格」とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様および試験条件については「電気的特性」を参照ください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。

Note 2: 特記のない限り、すべての電圧は GND = AGND = DGND = 0V を基準にして測定されています。

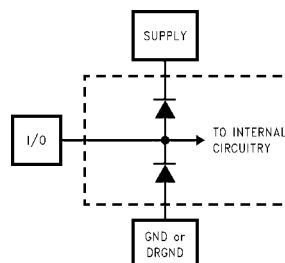
Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < AGND$ 、または $V_{IN} > V_A$ のとき)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流すことができるピン数は 2 本に制限されます。

Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} (最大接合部温度: このデバイスの場合、 T_{Jmax} は 150 $^{\circ}C$)、 JA (接合部・周囲温度間熱抵抗)、 T_A (周囲温度) に従ってディレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{DMAX} - (T_{Jmax} - T_A) / JA$ または「絶対最大定格」で示される値のうち、いずれか低い方の値です。上記の最大許容消費電力の値にまで上がる場合は、デバイスが何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。

Note 5: 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k Ω を通して各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 Ω を通して、各ピンに放電させます。

Note 6: 235 $^{\circ}C$ のリフロー温度は赤外線リフローを指しています。気相リフロー (VPR: Vapor Phase Reflow) の場合は別の条件が適用されます。気相リフローの場合は最低 60 秒間はパッケージ本体の上面温度を 183 $^{\circ}C$ 以上高く維持してください。パッケージ本体の表面温度は 220 $^{\circ}C$ を超えてはなりません。183 $^{\circ}C$ を超えるのが許されるのはリフロー・サイクル 1 回につき 1 回だけです。

Note 7: 以下に示すように、各入出力ピンは 1 個のセナーダイオードで保護されています。Note 3 に従って電流制限を行うと、入力電圧が V_A を上回った場合や GND を下回った場合でも本デバイスがダメージを受けることはありません。しかし、入力電圧が $V_A + 100mV$ 以上もしくは GND - 100mV 以下になる場合は A/D 変化に誤差を生じる可能性があります。例えば、 V_A が + 3.3V の場合には、変換精度を確保するためにはアナログ入力のフルスケールは + 3.4V 以下にしなければなりません。



Note 8: 精度を保証するために、各電源電圧差を $|V_A - V_D| = 100mV$ にし、かつそれぞれの電源ピンに別個のバイパス・コンデンサが必要となります。

Note 9: $V_{REF} = + 1.0V$ (2V_{P-P} 差動入力) のテスト条件で、12 ピットの 1LSB は 488 μV になります。

Note 10: 代表値 (Typical) は、 $T_J = + 25$ で得られる最も標準的な数値です。テスト・リミット値はナショナルセミコンダクター社の平均出荷品質レベル AOQL に基づき保証されます。

Note 11: 積分非直線性 (INL) は LSB で表され、正と負のフルスケールを通る直線からのアナログ値の偏差として定義されます。

Note 12: タイミング特性は、TTL ロジック・レベル (立ち下がりエッジが $V_{IL} = 0.4V$ 、立ち上がりエッジが $V_{IH} = 2.4V$) でテストされます。

Note 13: 最適なダイナミック性能は、リファレンス入力を 0.8V ~ 1.5V に維持すると得られます。外部リファレンスを使用するアプリケーションには LM4051CIM3-ADJ(SOT-23 パッケージ)を推奨します。

Note 14: I_{DR} とは、出力ドライバのスイッチング処理に消費される電流のことです。この値を決める主要な要素は、出力ピンの負荷容量、電源電圧、 V_{DR} 、出力信号のスイッチング・レートです。出力信号のスイッチング・レートは入力信号に左右されます。 I_{DR} は、 $I_{DR} = V_{DR}(C_0 \times f_0 + 1 \times f_1 + \dots + C_{11} \times f_{11})$ の式で計算されます。 V_{DR} は出力ドライバ用の電源電圧、 C_n は当該出力ピンの総負荷容量、 f_n は当該出力ピンの平均スイッチング周波数です。

Note 15: I_{DR} は含まれていません。Note 14 を参照ください。

用語の定義

アーチャ・ディレイ (APERTURE DELAY) は、クロック・パルスが立ち上がってから入力信号が取り込まれるか保持されるまでの時間です。

アーチャ・ジッタ(アーチャ不確定性)(APERTURE JITTER) は、サンプルとサンプルの間のアーチャ・ディレイのばらつきです。アーチャ・ジッタは、それ自身は出力のノイズとして現れます。

クロック・デューティ・サイクル (CLOCK DUTY CYCLE) とは、繰り返し波形の周期に対する High 期間の割合です。本データシートに記載されているデューティ・サイクルの仕様は、ADC のクロック入力信号に対して適用されます。

コモンモード電圧 (COMMON MODE VOLTAGE : V_{CM}) とは ADC の両方の入力ピンに印加されるコモン DC 電圧です。

変換レイテンシ (CONVERSION LATENCY) は、変換開始からその変換結果が出力バスに有効になるまでの期間をクロック・サイクル数で表したもので。任意に与えられたサンプリングに対するデータは、そのサンプリングが行われた後、パイプライン・ディレイおよび出力ディレイの出力ピン上で有効になります。新しいデータはクロック・サイクル毎に有効ですが、その出力データはパイプライン・ディレイ分の変換ラグがあります。

クロストーク (CROSSTALK) とは一方のチャネルから他方のチャネルへの結合エネルギーです。

微分非直線性(DIFFERENTIAL NON-LINEARITY : DNL)は、理想的なステップである 1LSB からの最大偏差として表されます。

有効ビット (EFFECTIVE NUMBER OF BITS : ENOB) は、信号 / (ノイズ + 歪み) または SINAD の別の規定方法です。ENOB は (SINAD - 1.76)6.02 として定義され、この値のビット数を持つ完全なA/Dコンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。

ゲイン誤差 (GAIN ERROR (G.E)) は、伝達関数の実測値と理想カーブとの偏差です。次の式で計算できます。

$$G.E. = \text{正側フルスケール誤差} - \text{負側フルスケール誤差}$$

ゲイン誤差は正のゲイン誤差項と負のゲイン誤差項に分けられ、それぞれの定義は以下のとおりです。

$$PGE = \text{正側フルスケール誤差} - \text{オフセット誤差}$$

$$NGE = \text{オフセット誤差} - \text{負側フルスケール誤差}$$

ゲイン誤差マッチング (GAIN ERROR MATCHING) とは、2つのコンバータ間のゲイン誤差の差を、コンバータの平均ゲインで除した値です。

積分非直線性 (INTEGRAL NON LINEARITY: INL) は、ゼロスケール(最初のコード遷移の 1/2LSB 下)から正のフルスケール(最後のコード遷移の 1/2LSB 上)まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/Dコンバータの入力に2つの近接した周波数を同時に投入し、結果として作り出される追加のスペクトラル成分です。元の周波数のトータル・パワーに対する混変調成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

LSB (LEAST SIGNIFICANT BIT) は、全ビットのうち最下位または重み付けの最も小さいビットです。 LSB の値は $V_{REF}/2^n$ として表されます。n はビット数で表す A/D コンバータの分解能で、ADC12DL066 では 12 です。

ミッシング・コード (MISSING CODES) は、ADC 出力に現れることのないコードです。ADC12DL066 は、ミッシング・コードのないことが保証されています。

MSB(MOST SIGNIFICANT BIT) は、全ビットのうち最上位または重み付けの最も大きいビットです。 MSB の値はフルスケールの 1/2 に相当します。

負フルスケール誤差 (NEGATIVE FULL SCALE ERROR) とは、最初のコード遷移が生じる実際の値と、負のフルスケールから 1/2LSB 高いところにある理想値との差です。

オフセット誤差 (OFFSET ERROR) とは、コード 2047 から 2048 への遷移を発生させるために必要な、2つの入力電圧の差 [$(V_{IN+}) - (V_{IN-})$] です。

出力ディレイ (OUTPUT DELAY) は、クロック入力の立ち上がりエッジから出力ピンにアップデートされたデータが現われるまでの遅延時間です。

オーバーレンジ・リカバリ時間 (OVER RANGE RECOVERY TIME) とは、 V_{IN} が通常入力レンジ外のある電圧から、通常入力レンジ内のある電圧に変わったあとに、コンバータが定格精度で変換を行うようになるまでの時間です。

パイプライン・ディレイ (PIPELINE DELAY:LATENCY) については「変換レイテンシ」(CONVERSION LATENCY) を参照ください。

正のフルスケール誤差(POSITIVE FULL SCALE ERROR)は、最後のコード遷移点の実測値と(正側フルスケール - 1.5LSB)の理想値とのずれです。

電源電圧変動除去比 (POWER SUPPLY REJECTION RATIO: PSRR) は、電源電圧の変動を ADC でどの程度除去できるかを表したものです。ADC12DL066 では、直流電源電圧の変動によって生じるフルスケール誤差の変動率を PSRR1 で表します。単位は dB です。また、直流電源に乗っている交流成分が出力端でどの程度まで除去されるかについては PSRR2 で表します。

信号 / ノイズ比 (SIGNAL TO NOISE RATIO:SNR) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N + D) または SINAD) は、クロック信号の 1/2 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号は、出力スペクトラムに現われる任意のスプリアス信号で、入力に現われるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、2 次から 10 次までの歪み成分の実効値の総和に対する入力信号の実効値 (rms 値) の比で、dBc で表されます。全高調波歪み THD は次式から求められます。

$$THD = 20 \times \log \sqrt{\frac{f_2^2 + \dots + f_{10}^2}{f_1^2}}$$

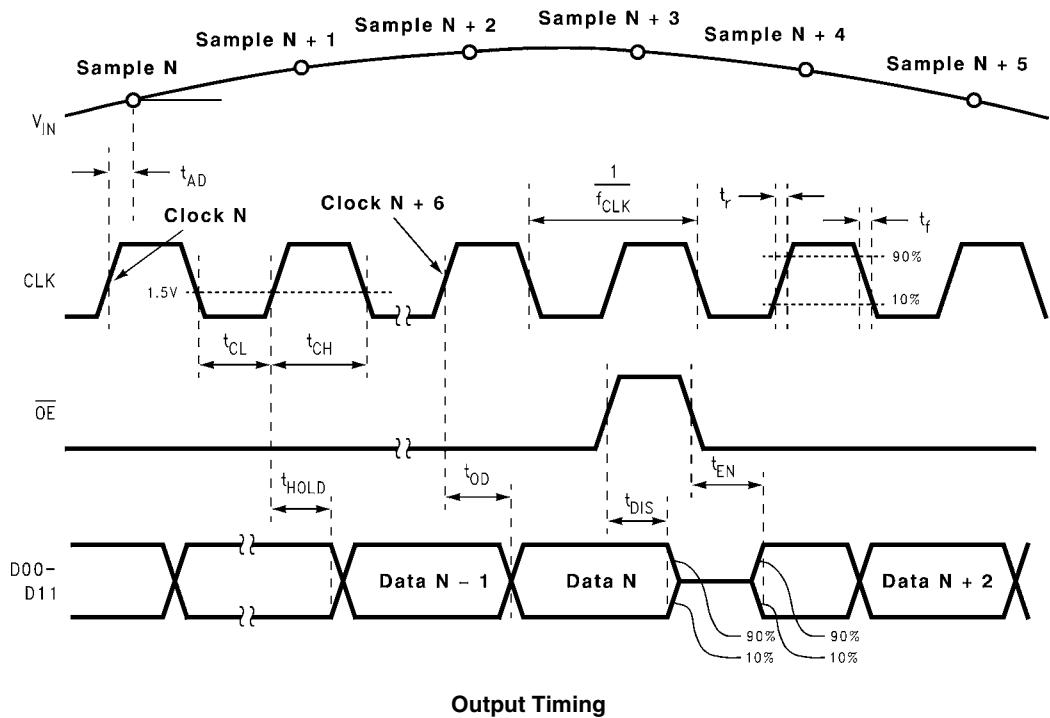
f_1 は基本周波数 (出力) パワーの実効値 (RMS 値)、 f_2 から f_{10} は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

- 第 2 次高調波歪み (2ND HARM) は、出力に現れる入力基本周波数の rms パワーと 2 次高調波のパワーとの差を、dB で表した値です。

用語の定義 (つづき)

- 第3次高調波歪み (3RD HARM) は、出力に現れる入力基本周波数の rms パワーと3次高調波のパワーとの差を、dBで表した値です。

タイミング図



Output Timing

変換特性

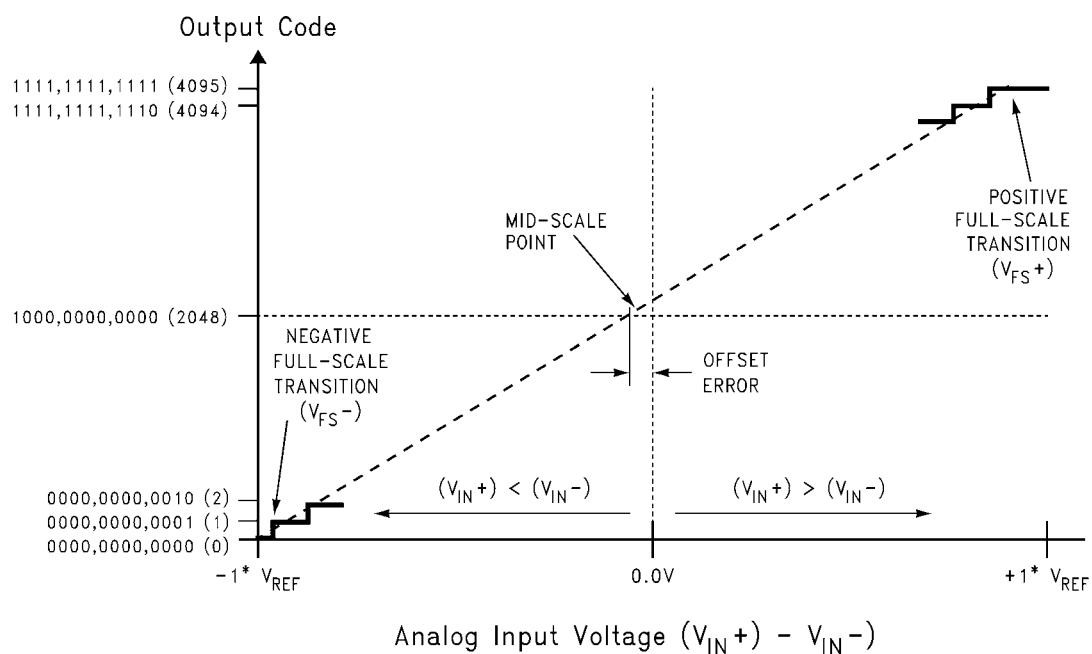
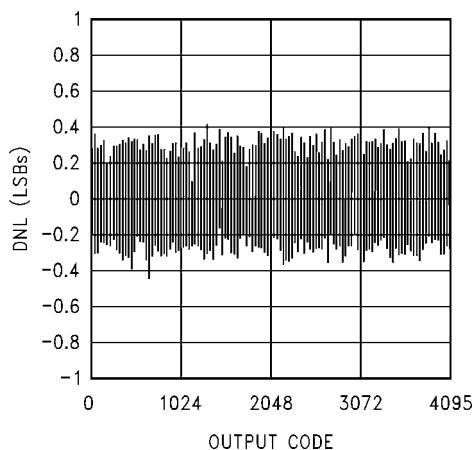


FIGURE 1. Transfer Characteristic

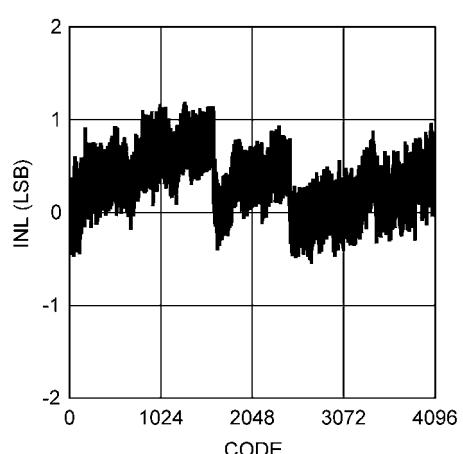
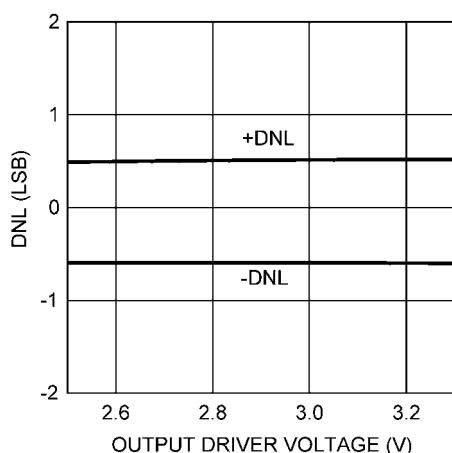
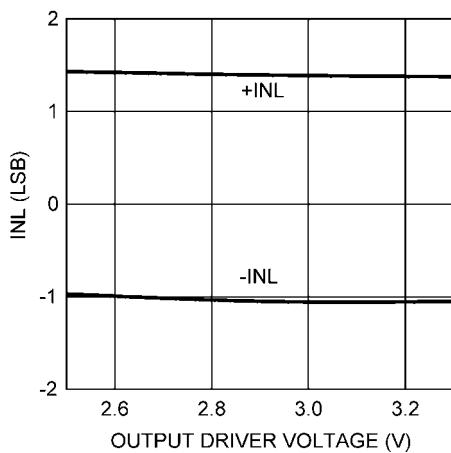
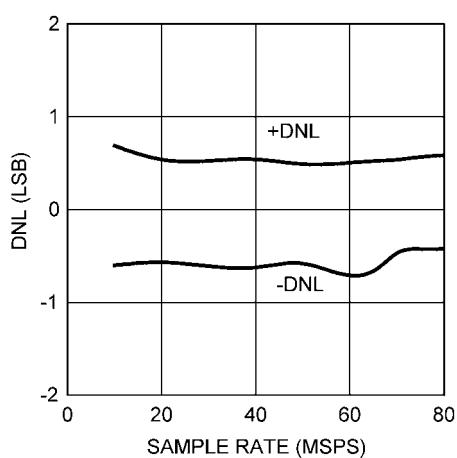
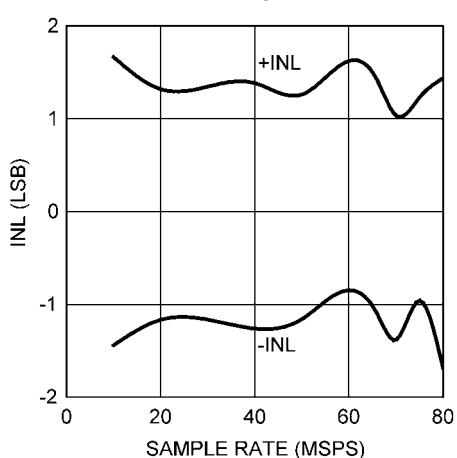
代表的な性能特性

特記のない限り、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 。

DNL



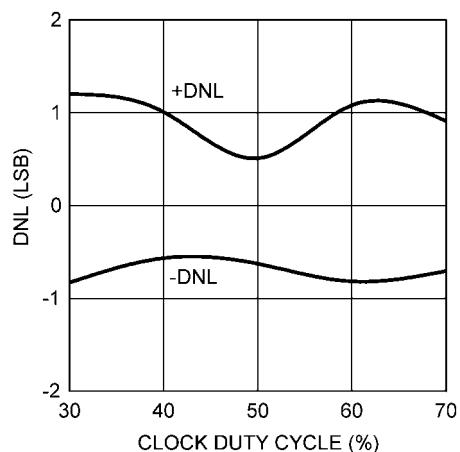
INL

DNL vs. V_{DR} INL vs. V_{DR} DNL vs. f_{CLK} INL vs. f_{CLK} 

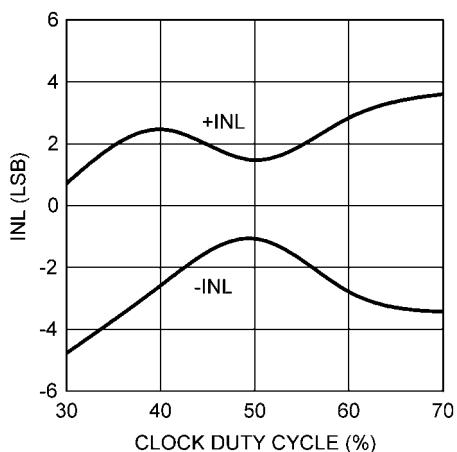
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 。

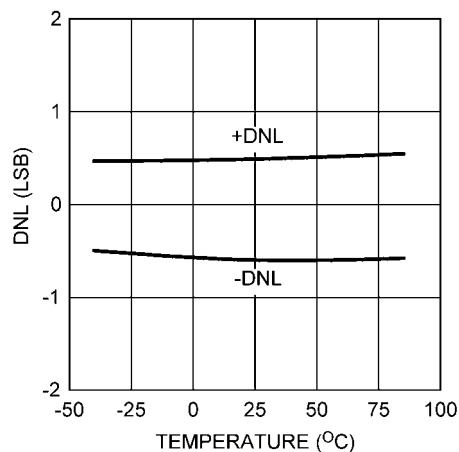
DNL vs. Clock Duty Cycle



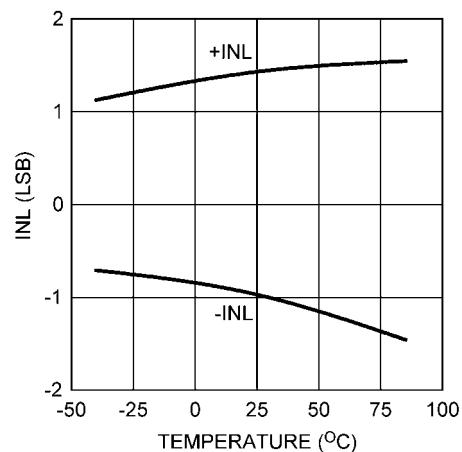
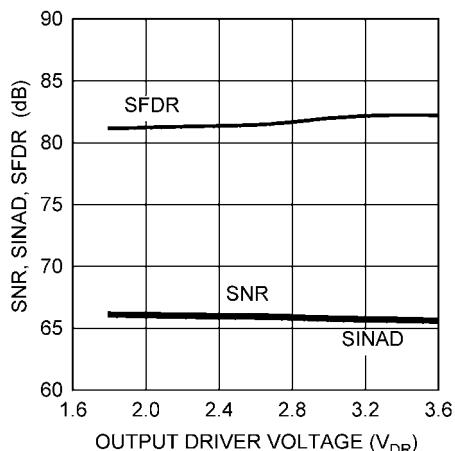
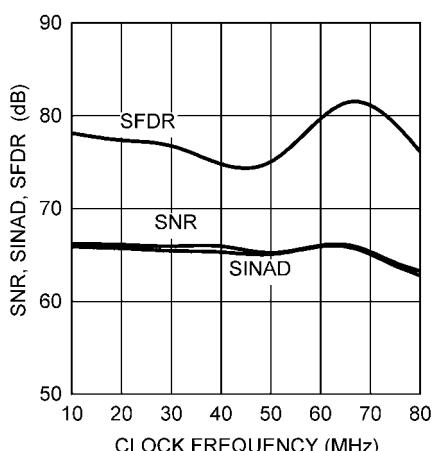
INL vs. Clock Duty Cycle



DNL vs. Temperature



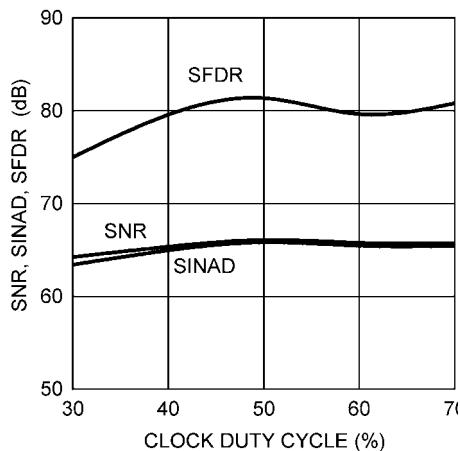
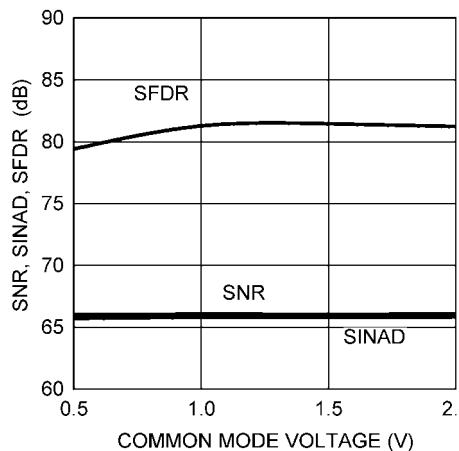
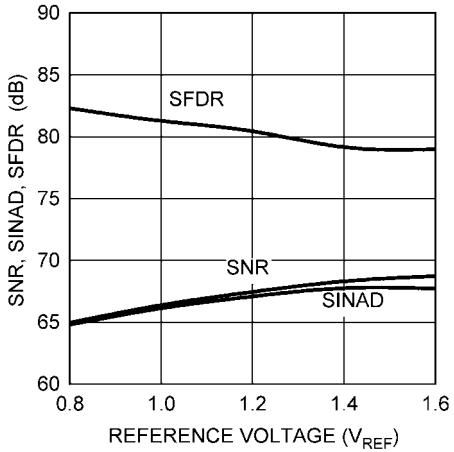
INL vs. Temperature

SNR, SINAD, SFDR vs. V_{DR} SNR, SINAD, SFDR vs. f_{CLK} 

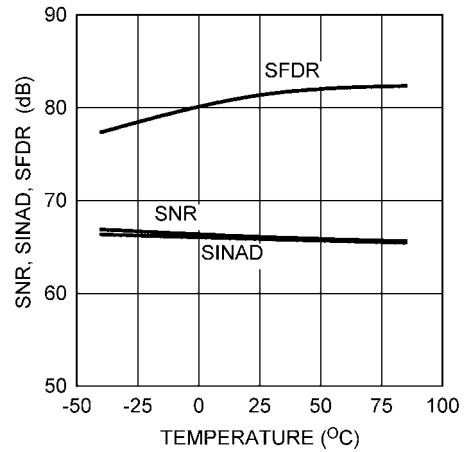
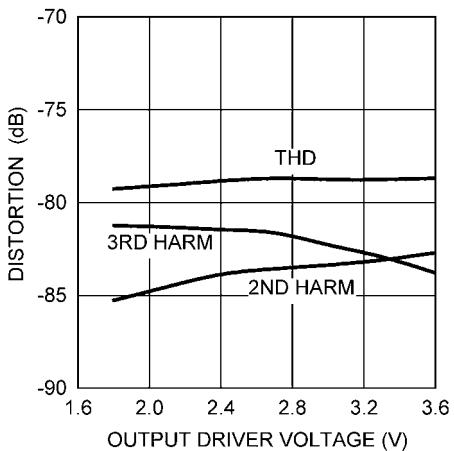
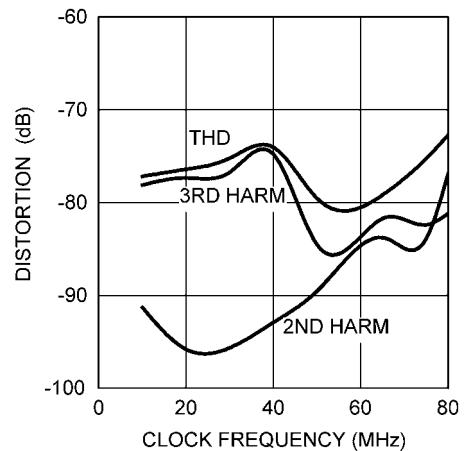
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 。

SNR, SINAD, SFDR vs. CLOCK DUTY CYCLE

SNR, SINAD, SFDR vs. V_{CM} SNR, SINAD, SFDR vs. V_{REF} 

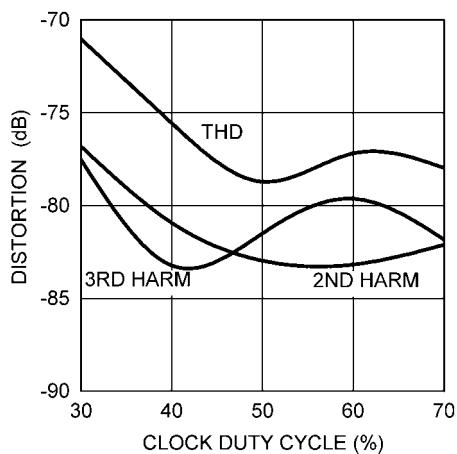
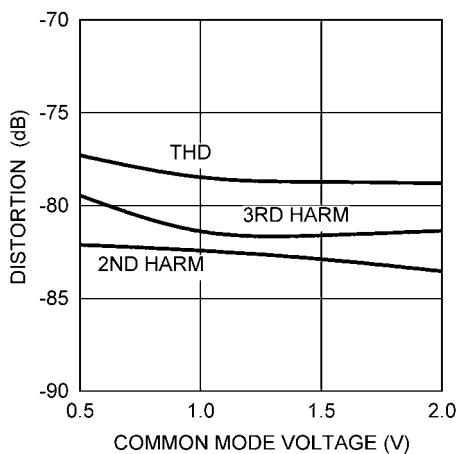
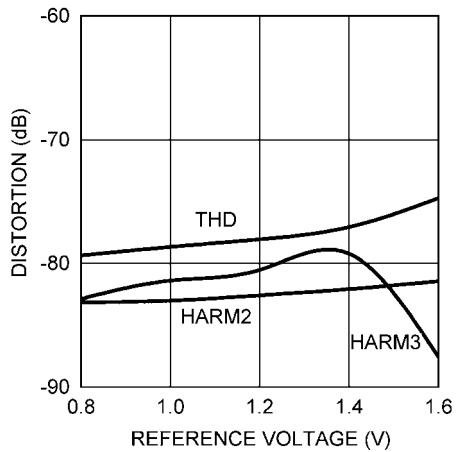
SNR, SINAD, SFDR vs. Temperature

Distortion vs. V_{DR} Distortion vs. f_{CLK} 

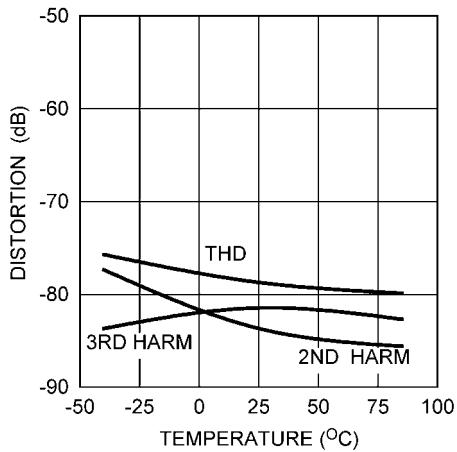
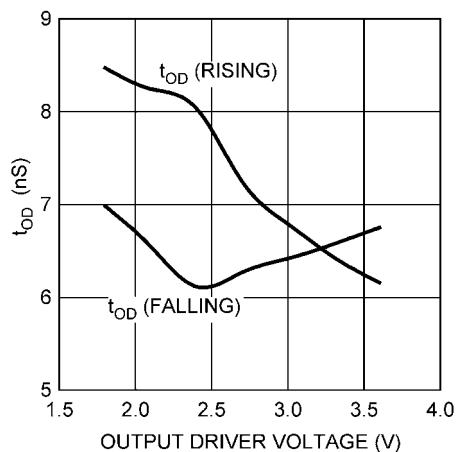
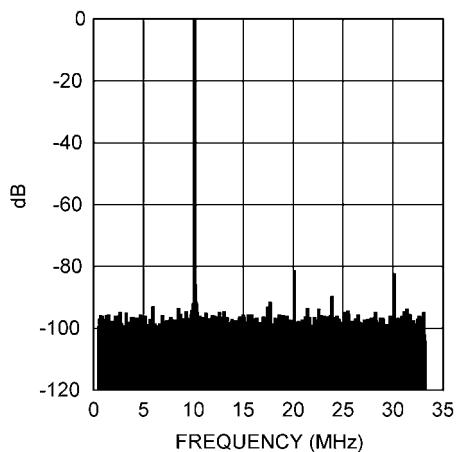
代表的な性能特性 (つづき)

特記のない限り、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 。

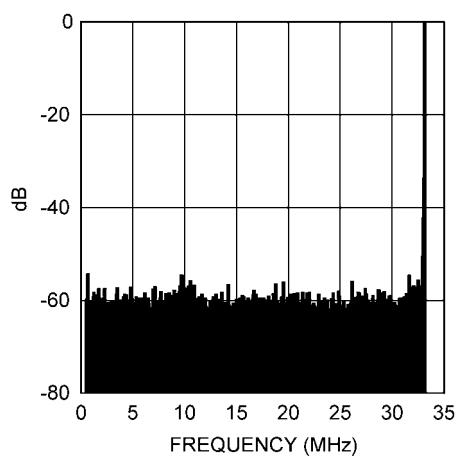
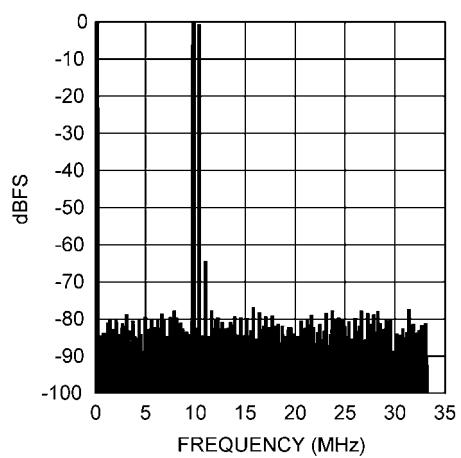
Distortion vs. Clock Duty Cycle

Distortion vs. V_{CM} Distortion vs. V_{REF} 

Distortion vs. Temperature

 t_{OD} vs. V_{DR} SPECTRAL PLOT, $f_{IN} = 10$ MHz

代表的な性能特性(つづき)

特記のない限り、 $V_A = V_D = +3.3V$ 、 $V_{DR} = +2.5V$ 、 $f_{CLK} = 66MHz$ 、 $f_{IN} = 10MHz$ 。SPECTRAL PLOT, $F_{IN} = 33$ MHzIMD PERFORMANCE, $F_{IN1} = 9.6$ MHz, $F_{IN2} = 10.2$ MHz

機能説明

ADC12DL066 は +3.3V 単電源で動作します。パイプライン型アーキテクチャを採用し、かつ誤差補正回路を内蔵しているため、性能が最大限に発揮されます。差動アナログ入力信号を 12 ビットのデジタル信号に変換する機能を持っています。リファレンス電圧には外部リファレンスか 1.0V の安定した内部リファレンスを使います。外部リファレンスはチップ内でバッファされるため、リファレンス・ピンの駆動は容易です。

出力ワード・レートはクロック周波数の値と同じで、15MSPS (代表値) から 66MSPS を範囲としますが、すべての性能は 66MSPS で規定されています。両方のチャネルのアナログ入力はクロックの立ち下がりエッジで取り込まれ、サンプリングされたデジタル・データはパイプライン構造のため 6 クロック遅れて出力されます。出力フォーマットをオフセット・バイナリにするか 2 の補数にするかは OF ピンで選択します。

パワーダウン・ピン (PD) が High レベルの間は消費電力が 75mW まで下がります。

アプリケーション情報

1.0 動作条件

ADC12DL066 の動作条件としては次の各値を推奨します。

3.0V V_A 3.6V

$V_D = V_A$

2.4V V_{DR} V_D

15MHz f_{CLK} 66MHz

0.8V V_{REF} 1.5V

$V_{REF}/2$ V_{CM} 1.2V

1.1 アナログ入力

リファレンス入力ピン V_{REF} はオプションの外部リファレンス用です。ADC12DL066 は 2 組のアナログ信号入力ペアを備え、 $V_{IN A} +$ と $V_{IN A} -$ が一方のコンバータ、 $V_{IN B} +$ と $V_{IN B} -$ がもう一方のコンバータです。それぞれの入力ペアは差動入力ペアを構成します。外部からのリファレンス入力を目的としたリファレンス入力ピン V_{REF} を備えています。

アナログ入力回路には広いアナログ入力電圧にわたってリニアリティを改善する入力ブースト回路が設けられています。デバイスの信頼性を損ねる恐れのあるチップ内での過電圧状態を防止するために、入力信号電圧は、

ピーク V_{IN} $V_A - 1.0V$

で示される電圧を超えてはなりません。

1.2 リファレンス電圧ピン

ADC12DL066 はリファレンス電圧 1.0V で動作するよう設計されており、0.8V から 1.5V の範囲であれば問題なく動作します。リファレンス電圧を下げる場合、ADC12DL066 の信号 / ノイズ比 (SNR) が低くなります。リファレンス電圧 (および入力信号振幅) を 1.5V より先高くすると、特に高周波入力でフルスケール入力時の THD と SFDR が劣化することがあります。

リファレンス電圧および入力信号に対するすべてのグラウンドは、グラウンド経路に流れるノイズ電流の影響を抑えるため、アナログ・グラウンド層に対して一点アースで接続するのが極めて重要になります。

ADC12DL066 は、周波数 10MHz までのフルスケール入力に対して、最高 1.5V のリファレンス電圧で良好な性能を発揮します。一方、入力周波数が高い場合、より大きなマージンを確保する必

要があるため、フルスケール入力に対するリファレンス電圧 (と入力振幅) は 1.5V より先低く設定します。

バイパス用に 6 本のリファレンス・バイパス・ピン ($V_{RP A}$ 、 $V_{RM A}$ 、 $V_{RN A}$ 、 $V_{RP B}$ 、 $V_{RM B}$ 、 $V_{RN B}$) が設けられています。 $V_{RM A}$ と $V_{RM B}$ ピンは、それぞれ 0.1 μ F のコンデンサを使ってグラウンドにバイパスしてください。 $V_{RP A}$ ピンと $V_{RN A}$ ピンの間、 $V_{RP B}$ ピンと $V_{RN B}$ ピンの間にはそれぞれ、1.5 の抵抗 ($\pm 5\%$) と 1.0 μ F のコンデンサ ($\pm 20\%$) を Figure4 に示すように直列に配置してください。この回路は、SFDR や SNR、またはその両方を悪化させる可能性のあるリファレンスの発振を防ぐために必要です。

この指定値よりも小容量のコンデンサを使用すると、パワーダウン・モードからの復帰時間が短くなますが、ノイズ性能を低下させる原因になることがあります。なお、これら 4 本のピンには絶対に負荷を接続しないでください。これらのピンに負荷を接続すると性能劣化を引き起こす場合があります。ADC12DL066 にはリファレンス電圧の出力ピンはありません。

リファレンス・バイパス・ピンの公称電圧は次のとおりです。

$$V_{RM A} = V_{RN B} = V_A / 2$$

$$V_{RP A} = V_{RP B} = V_{RM} + V_{REF} / 2$$

$$V_{RN A} = V_{RN B} = V_{RM} - V_{REF} / 2$$

V_{RN} ピンは、これらピンから DC 電流を引き出さない限りは、アナログ入力ピン用のコモンモード電圧 (V_{CM}) 源として使用可能です。ただし、 V_{RM} ピンの電圧は V_A 電源ピンの電圧の半分となっているため、これらピンをコモンモード電圧源として使用すると、入力マージン (V_A の電源電圧といずれかのアナログ入力のピーク信号電圧との差) が小さくなり、THD と SFDR 性能を低下させる可能性があります。この理由から、 V_{RM} ピンを V_{CM} 源として使用する場合は、 V_A は V_{REF} より先 2V 以上高く設定することを推奨します。入力周波数が高い場合は、THD 性能と SFDR 性能を維持するために、上記のマージンをさらに増やしたほうがよいと考えられます。

オンチップ・リファレンスを使うか外部リファレンスを使うか選択が可能です。 $INT/EXT\ REF$ ピンが Low の場合、 V_{REF} ピンに印加されている電圧によらず、内蔵 1.0V リファレンスが使用されます。 $INT/EXT\ REF$ ピンを High にすると V_{REF} ピンの電圧がリファレンス電圧として使用されます。ADC から適切な動的性能を得るには、リファレンス電圧は 0.8V から 1.5V の範囲になければなりません。外部リファレンスを使用する場合、0.1 μ F コンデンサを V_{REF} ピンの近くに実装してグラウンドに対してバイパスしてください。内部リファレンスを使用する場合は V_{REF} ピンのバイパスは必要ありません。

なお、内部リファレンス電圧を直接アクセスする方法はありません。ただし、内部リファレンスか外部リファレンスのいずれを使用した場合でも、リファレンス電圧の公称値は $V_{RP} - V_{RN}$ でほぼ近似することができます。

1.3 信号入力

信号入力は、一方の ADC が $V_{IN A} +$ と $V_{IN A} -$ 、もう一方の ADC が $V_{IN B} +$ と $V_{IN B} -$ です。入力信号 V_{IN} は次のように定義されます。

$$V_{IN A} = (V_{IN A} +) - (V_{IN A} -)$$

コンバータ "A" では、

$$V_{IN B} = (V_{IN B} +) - (V_{IN B} -)$$

また、コンバータ "B" では、期待される信号レンジを Figure 2 に示します。コモンモード入力電圧 V_{CM} は、公称値を 1.0V とし、0.5V から 1.5V の範囲になければなりません。

機能説明 (つづき)

ADC12DL066 は、各入力をコモンモード電圧 V_{CM} を中心電圧とする差動信号で使用した場合に、もっとも良い性能が得られます。各アナログ入力ピンのピーク・ツー・ピーク電圧振幅はリファレンス電圧値を超えてはなりません。出力データにクリッピングが生じてしまいます。

差動信号を成す 2 つの入力信号は、位相差はちょうど 180° にし、振幅は正確に同じにしてください。入力信号の周波数が 1 つだけのときは、位相差があると(つまり差動信号の位相差が正確に 180° にならないと)実効フルスケール入力の範囲が狭くなってしまいます。複雑な波形では、角度誤差は歪みの原因となります。

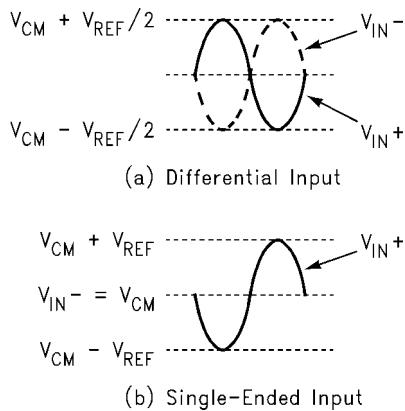


FIGURE 2. Expected Input Signal Range

同一周波数で位相差が 45° (1/4) 未満の正弦波が 2 つの入力間に与えられた場合、LSB を単位とするフルスケール誤差は次のように近似することができます。

$$E_{FS} = 2^{(n-1)*} (1 - \cos(\text{dev})) = 2048* (1 - \cos(\text{dev}))$$

「dev」は、互いに 180° の相対位相差を持つ 2 つの信号同士の位相差です (Figure 3 を参照)。アナログ入力ピンを駆動する信号源のソース・インピーダンスは 100 Ω 未満になるようにしてください。

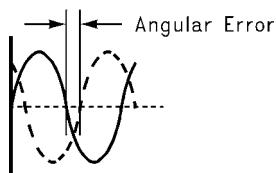


FIGURE 3. Angular Errors Between the Two Input Signals Will Reduce the Output Level or Cause Distortion

1.3.1 シングルエンド動作

シングルエンド性能は差動入力信号を使用したときに得られる性能より劣ります。この理由によりシングルエンド動作はなるべく使用しないでください。ただし、シングルエンド動作が回路上必要で、かつ、生じる性能低下が許容できる場合は、アナログ入力の一方のピンを信号入力電圧の DC 中心電圧に接続します。入力ピンに与える信号電圧のピーク・ツー・ピークをリファレンス電圧の 2 倍にすると、SNR と SINAD 性能が最大になります (Figure 2b)。たとえば、 V_{REF} を 0.5V に設定したら、 V_{IN+} には 1.0V のバイアスをかけ、 V_{IN-} には 0.5V ~ 1.5V の信号で駆動してください。

入力信号の振幅が大き過ぎると歪みのひどくなる恐れがあるため、シングルエンド動作のときに出力信号を最大幅まで振りたいときは、性能を改善するためにリファレンス電圧を下げてください。Table 1 と Table 2 は ADC12DL066 の入出力の対応表です。

繰返しになりますが、ADC12D040 のシングルエンド動作は性能的に劣るため推奨しません。シングルエンドから差動信号への変換回路を Figure 5 に示します。

TABLE 1. Input to Output Relationship - Differential Input

V_{IN^+}	V_{IN^-}	Binary Output	2's Complement Output
$V_{CM} - V_{REF}/2$	$V_{CM} + V_{REF}/2$	0000 0000 0000	1000 0000 0000
$V_{CM} - V_{REF}/4$	$V_{CM} + V_{REF}/4$	0100 0000 0000	1100 0000 0000
V_{CM}	V_{CM}	1000 0000 0000	0000 0000 0000
$V_{CM} + V_{REF}/4$	$V_{CM} - V_{REF}/4$	1100 0000 0000	0100 0000 0000
$V_{CM} + V_{REF}/2$	$V_{CM} - V_{REF}/2$	1111 1111 1111	0111 1111 1111

TABLE 2. Input to Output Relationship - Single-Ended Input

V_{IN^+}	V_{IN^-}	Binary Output	2's Complement Output
$V_{CM} - V_{REF}$	V_{CM}	0000 0000 0000	1000 0000 0000
$V_{CM} - V_{REF}/2$	V_{CM}	0100 0000 0000	1100 0000 0000
V_{CM}	V_{CM}	1000 0000 0000	0000 0000 0000
$V_{CM} + V_{REF}/2$	V_{CM}	1100 0000 0000	0100 0000 0000
$V_{CM} + V_{REF}$	V_{CM}	1111 1111 1111	0111 1111 1111

1.3.2 アナログ入力の駆動

ADC12DL066 の V_{IN^+} 、 V_{IN^-} の各ピンの内部回路は、アナログ・スイッチが 1 つに、それに続いてスイッチ・キャパシタ・アンプが 1 つの構成になっています。このアナログ入力ピンの容量はクロック・パルスのレベルに応じて変化します。クロックが Low レベルのときは 8pF であり、High レベルのときは 7pF です。

入力サンプリング・スイッチの開閉に伴ってアナログ入力ピンには電流パルスが発生し、結果として信号入力ピンには電圧スパイクが生じます。アナログ入力を駆動するアンプがこのスパイク電圧を打ち消そうとするため、アナログ入力端で減衰振動が見られることがあります。これらパルスをフィルタで除去しようとしないでください。スイッチが開いて次のサンプリングが行われる前にスパイクとそのセトリングを吸収できるアンプを用いて、ADC12DL066 入力ピンを駆動してください。LMH6550、LMH6702、LMH6628、LMH6622、LMH6655 は ADC12DL066 の駆動に適したアンプです。

ADC 入力に現れる電圧スパイクの影響をアンプ出力に与えないようにするには、Figure 5、6 に示すような RC 回路を入力端に設けてください。取り付ける位置は ADC のすぐ近くにしてください。ADC の入力ピンが全体の中でも最も高感度な部分であり、入力信号にフィルタをかけるには最後のポイントであるためです。

ナイキスト・アプリケーションの場合、ADC のサンプリング・レートに RC のポールを設定します。サンプリング・モード時の ADC の入力容量は RC ポールの設定に含めてください。このようにポールを設定すると最適な SINAD 性能が得られます。最適な SNR 性能を得るには RC 値を計算された値のままでします。

機能説明 (つづき)

SINAD 性能と ENOB 性能を最適化するには、SNR と THD が互いに数値的に等しくなるまで RC 時定数を減らします。最適な歪み性能と SFDR 性能を得るには RC 全部を除去します。アンダーサンプリング・アプリケーションの場合、リニアな遅延応答を維持するために、最大入力周波数の 1.5 倍から 2 倍程度の周波数に RC ポールを設定してください。

ADC12DL066 はシングルエンド入力での動作を前提とはしていません。ただし性能低下が許容されるのであればシングルエンド動作を選択しても構いません。1.3.1 項を参照してください。

Figure 4 には、シングルエンド入力を差動入力に変換するためにトランスを使用した狭帯域アプリケーションを示します。Figure 5 には、シングルエンド入力を差動入力に変換するために完全な差動アンプを使用した例を示しています。

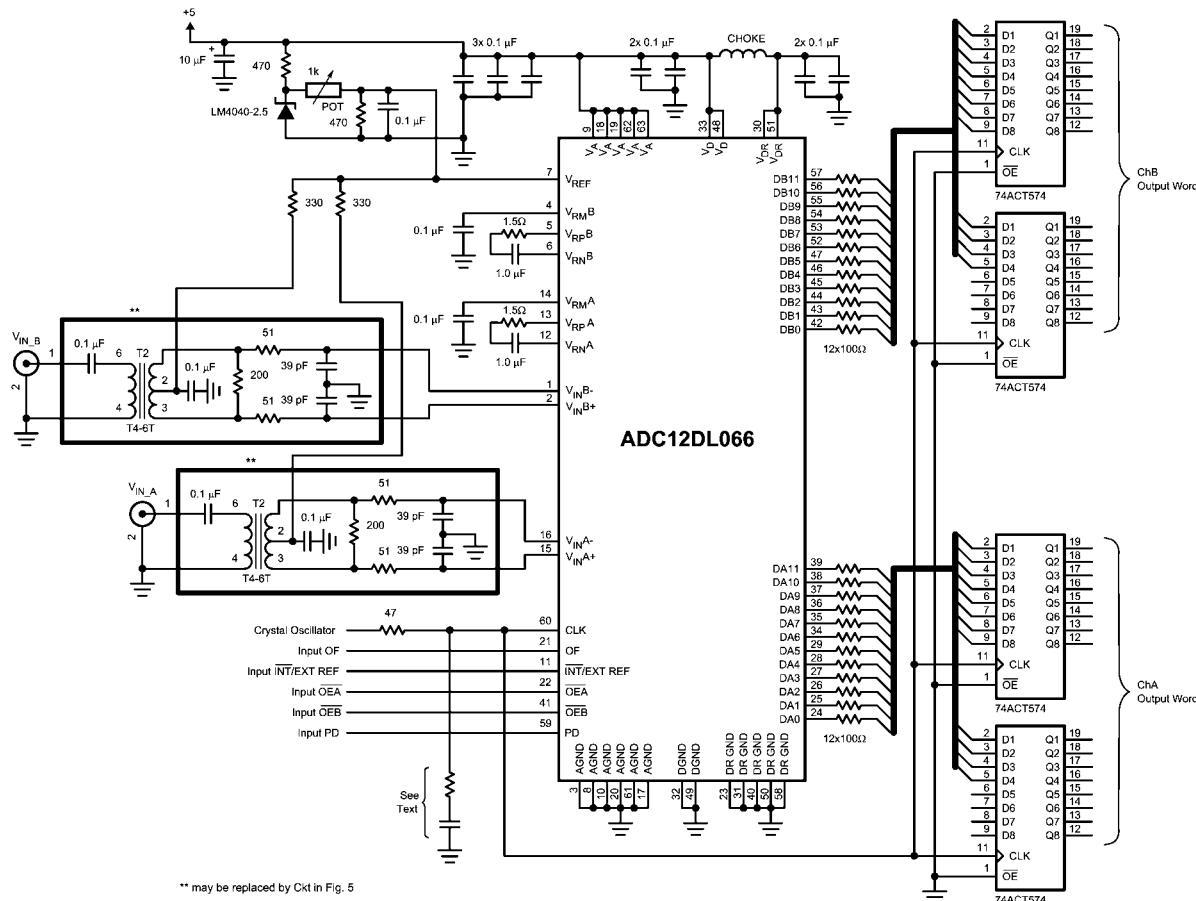


FIGURE 4. Application Circuit using Transformer or Differential Op-Amp Drive Circuit

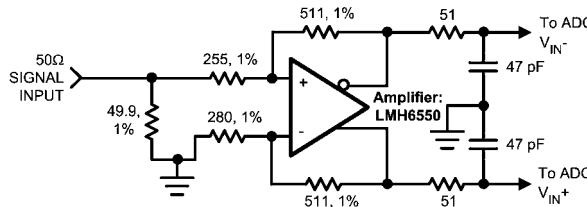


FIGURE 5. Differential Drive Circuit using a fully differential amplifier

1.3.3 入力コモンモード電圧

入力コモンモード電圧 V_{CM} はアナログ信号のピーク電圧がグラウンドを下回らないように、かつ、 $(V_A - 1.0V)$ を上回らないように設定しなければなりません。公称 V_{CM} は一般的におよそ $V_{REF}/2$ で

すが、 V_{RBA} または V_{RBB} を、これら2pinから DC 電流を取り出さない限り、 V_{CM} の電圧源として使用することも可能です。

機能説明 (つづき)

2.0 デジタル入力

CLK、OEA、OEB、OF、INT/EXT REF、PD の各デジタル入力ピンは TTL/CMOS 互換です。

2.1 CLK ピン

CLK 信号はサンプリングのタイミングを決めます。このクロック入力ピンは、安定した低ジッタのクロック信号源で駆動してください。クロック周波数の範囲は 15MHz ~ 75MHz まで、パルスの立ち上がり時間、立ち下がり時間はいずれも 2ns 未満とします。クロック信号の配線パターンは最短とし、アナログ、デジタルを問わず他の一切の信号線と交差しないようにしてください。

クロック入力が中断されたり周波数があまりにも低いと、出力データの精度が低下するポイントまで内部コンデンサの電荷を消失する可能性があります。この理由によりサンプリング・レートの下限は 15MSPS となっています。

A/D コンバータのクロック・ラインは伝送線路として取り扱うべきであり、ソース端で直列終端を行ってソース・インピーダンスをクロック・ラインの特性インピーダンスに整合させてください。通常はクロック配線の遠方 (A/D コンバータ) 側を終端する必要はありませんが、1 つのクロック信号源で複数のデバイスをドライブしている場合 (通常は推奨できない条件) は、遠方側の終端が必要になります。遠方側の終端は近くで行う必要がありますが、その位置はクロック信号源から見て A/D コンバータの CLK 端子より遠くにしてください。

ADC の CLK ピンを駆動するクロック源で他の負荷を駆動しないようにしてください。クロック源から他の入力負荷も駆動する場合は、Figure 4 に示すように、クロック・ラインの特性インピーダンスに等しい抵抗と次に示す容量のコンデンサを用いた直列RC回路を用いて、グラウンドに AC 終端を行ってください。

$$C \geq \frac{4 \times t_{PD} \times L}{Z_0}$$

t_{PD} はクロック配線の伝搬遅延時間、"L" はクロック配線の配線長、 Z_0 はクロック配線の特性インピーダンスです。終端回路は、ADC クロック・ピンのできるだけ近くに、しかもクロック源から見てクロック・ピンより先遠い側になるように配置します。 t_{PD} の代表値は FR-4 基板材料でおよそ 150ps/ インチ (60ps/cm) です。"L" と t_{PD} の単位系は同一にして計算します (ヤード系またはメートル系)。

クロック信号のデューティ・サイクルは A/D コンバータの性能に影響を与えることがあります。しかし正確なデューティ・サイクルを維持するのは難しいため、ADC12DL066 では広い範囲のデューティ・サイクルに対して性能を維持するように設計されています。性能の規定と保証はクロックのデューティ・サイクルが 50% の場合ですが、66MSPS で 43% ~ 57% の範囲であれば通常は性能が維持されます。

クロック・ラインの全長にわたって一定のインピーダンスが保たれるように注意してください。特性インピーダンスの求め方はアプリケーション・ノート AN-905 を参照してください。

2.2 OEA、OEB ピン

OEA ピンまたは OEB ピンを High にすると各コンバータ・チャネルに対応した出力ピンはハイ・インピーダンス状態になります。いずれかのピンを Low にすると対応する出力は有効な状態になります。OEA/OEB ピンが High か Low かにかかわらず ADC12DL066 は変換を続けますが、ピンが High のときには出力を読み出すことはできません。

デジタル出力ピンの負荷容量が大きくなると ADC ノイズが増えるため、ADC の TRI-STATE 出力はバスの駆動には使用しないでください。それより先、単一のデジタル入力のみを駆動するようにし、合わせて ADC のデジタル出力と駆動するデジタル入力を近づけてください。ADC ノイズをさらに低減するには、100 Ω の抵抗を各 ADC デジタル出力ピンの近くに直列に挿入してください。

2.3 PD ピン

コンバータが使われない場合には、PD ピンを High レベルにすると ADC12DL066 がパワーダウン・モードになります。これによって、未使用時の消費電力が抑えられます。このモードでの消費電力はクロックが 66MHz のときに 75mW、PD を High にしクロックを停止したときは 40mW です。パワーダウン・モードの間、出力データ・ピンは不定となり、パイプライン内のデータは破壊されます。

"Power Down Mode Exit Cycle" 時間の長さは、4 ピン、5 ピン、6 ピン、12 ピン、13 ピン、14 ピンの各部品の定数によって決まり、 V_{RP} 、 V_{RM} 、 V_{RN} リファレンス・バイパス・ピンに推奨部品を使用した場合はおよそ 500 μs です。パワーダウン・モード中に電荷を失ったこれらコンデンサは、正確な変換を得る前に、オンチップ回路による再充電が必要です。小容量のコンデンサを使用するとパワーダウン・モードからの復帰時間が短くなりますが、SNR、SINAD、ENOB 性能が低下します。

2.4 OF ピン

OF ピンを Low にすると出力データ形式はオフセット・バイナリとなり、OF ピンを High にすると 2 の補数になります。このピンのロジック・レベルは動作中に変更することも可能ですが、切り換え後は数クロック・サイクルにわたって正しくないデータが出力される可能性があるため、推奨はしません。

2.5 INT/EXT REF ピン

INT/EXT REF ピンによって、内部リファレンス電圧を使用するか、外部リファレンス電圧を使用するかを選択します。このピンを Low にすると内部 1.0V リファレンスが使用されます。このピンを High にすると、外部リファレンスを V_{REF} ピンに与えるとともに、グラウンドにバイパスしなければなりません。内部リファレンスを用いる場合は V_{REF} ピンのバイパスは不要です。内部リファレンスにアクセスする方法はありませんが、およそ V_{RP} - V_{RN} に等しい値になります。1.2 項を参照。

3.0 データ出力ピン

ADC12DL066 には、TTL/CMOS 互換のデジタル・データ出力ピンが 24 本付いています。OE ピンと PD ピンが Low のときに、これら出力ピンから有効なデータが 出力されます。 t_{OD} 時間は出力タイミングに関する情報を示しますが、 t_{OD} はクロック周波数の変更に伴って変化します。定格クロック周波数の 66MHz では、データ変換はクロックの立ち上がりと同時に始まりクロックの立ち下がりの約 7ns 前 (V_{DR} により変動) に終わるため、出力データの取り込みにはクロックの立ち下がりエッジを使用します。定格より低いクロック周波数では、データ変換はクロックの立ち上がりエッジの少し後に行われますが、この場合もデータ取り込みのエッジとしてはクロックの立ち下がりが最適となります。ただし、回路基板レイアウトはクロックやデータの相対的な遅延時間に影響するため、デジタル・インターフェースを設計する場合はこうした相対遅延時間を考慮することが重要です。

機能説明 (つづき)

容量の多いバスを駆動するときは注意が必要です。変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。このような大きな充電電流スパイクは、チップ上でのグラウンド・ノイズの原因となり、またアナログ回路部にも結合するため、動的性能が劣化しかねません。適切なバイパス、出力容量の軽減、グラウンド・プレーンを注意深く設計して、このような問題を回避してください。また、バス・ラインの負荷容量が仕様値 $15\text{pF}/\text{pin}$ を超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合、動的性能が劣化する恐れがあります。

デジタル出力のスイッチングによるノイズを最小にするには、デジタル出力の負荷電流を最小にします。具体的にはバッファ (たとえば 74AC541) を ADC 出力と他の回路間に接続します。ADC の出力端子とバッファIC の入力端子は一対一で接続してください。

さらに $100\text{ }\Omega$ の抵抗をデジタル出力端子のすぐ近くに直列に挿入すると配線パターンやその他回路の持つ容量から出力端子が分離されるため出力電流が抑えられます。この措置を講じないと性能の低下する場合があります。Figure 4 を参照してください。

ADC12DL066 の出力は TRI-STATE ですが、これらのピンはバスの駆動に使用してはならず、大きな負荷容量の充放電によって SNR 性能が劣化します。各出力ピンは単一のデジタル入力のみを駆動するようにし、合わせてトレース長をできるだけ短くしてください。

4.0 電源構成

どの電源ピンも当該ピンから 1cm 以内の所にバイパス・コンデンサとして 10\textmu F コンデンサと 0.1\textmu F セラミック・コンデンサを 1 つずつ挿入してください。直列インダクタンスが小さいリードレス・チップ・コンデンサを推奨します。

また、ADC12DL066 のアナログ電源ピンに乗るノイズ・レベルは $100\text{mV}_{\text{P-P}}$ よりも低く抑えてください。

どのピンも、電源電圧より高い電圧を加えることはたとえ瞬時であっても許されません。電源オンと電源オフの間は特に注意してください。

V_{DR} ピンは出力ドライバ用の電源ピンで、 $2.4\text{V} \sim V_D$ の範囲で動作します (通常 5V)。低電圧のデバイスやシステムとのインターフェースが容易です。ただし、 V_{DR} を低くすると t_{OD} が長くなる点に注意してください。 V_{DR} ピンには、 V_D よりも高い電圧は加えないでください。

5.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。ADC12DL066 はアナログ領域とデジタル領域との間に挟まれる形になります。仕様どおりの性能を発揮するには、この 2 つの領域を分離しておく必要があります。

データ出力用のグラウンド・ピン (DR GND) には、出力ドライバのための電流が流れます。この出力電流により、変換プロセスにノイズが介入する可能性のある大きなトランジエントを発生する場合があります。このようなことが起こらないように DR GND ピンは、ADC12DL066 のいかなるその他のグラウンド・ピンに近接したシステム・グラウンドにも接続しないでください。

ノイズの多いデジタル回路とノイズに高感度なアナログ回路との間の容量性結合により、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。

ADC の出力スイッチングによって生じるノイズの影響は、デジタル・データ出力ラインのそれぞれに 1 つずつ直列に $100\text{ }\Omega$ 抵抗を挿入すると最小に抑えられます。この抵抗の取り付け位置は ADC の出力ピンにできる限り近づけてください。

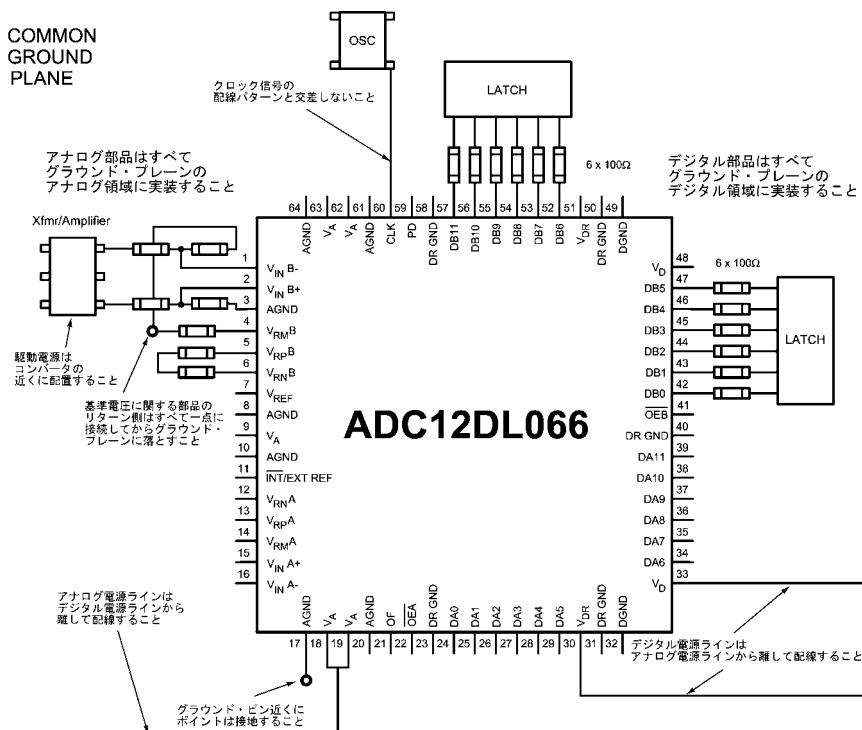


FIGURE 6. Example of a Suitable Layout

機能説明 (つづき)

デジタル・スイッチング・トランジエント (デジタル回路の瞬間的スイッチング電圧によるオーバーシュート/アンダーシュート) は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはあまり影響があまりません。これは、薄膜効果によるためです。これは表皮効果を伴うため、グラウンド・プレーンの全重量より全表面積のほうが重要となります。

一般に、アナログ、デジタルの配線パターン同士のクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからアイソレートすることが重要です。

クロック・ラインが一般的に受け入れられている 90° A/D 信号ラインを互いに交差させる方法でさえ、高周波でのちょっとしたカップリングによる問題が起こる可能性があるので避けるべきです。これは、他のラインがクロック・ラインにジッタを招き、結果的に SN 比の劣化につながります。また、クロックが高速だとアナログ回路にノイズの生じる場合もあります。

高周波 / 高分解能で最大限の性能を得るには、まっすぐの信号経路に配線すると実現できます。これは、すべての部品を通る信号経路をできるだけまっすぐな直線に配線することです。

インダクタのレイアウトには特に注意してください。相互インダクタンスにより、インダクタを使用する回路の特性が変わります。複数のインダクタを使用する場合には、たとえそれぞれの個体の大きさが小さくても並べたり、近い配置にせず、互いを離した状態で使用してください。

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力は、ノイズの多い信号経路から十分にアイソレートしてください。コンバータの入力ピンとアナログ・グラウンドの間、またはリファレンス入力ピンとグラウンドに接続される任意の外部回路(例えば、フィルタ用のコンデンサ)は、グラウンド帰路中の非常にクリーンなノイズの少ない 1 点で接続してください。

Figure 6 は、適切なレイアウト例です。すべてのアナログ回路(入力アンプ、フィルタ、リファレンス回路など)は、アナログ領域に配置してください。すべてのデジタル回路とデジタル入出力(I/O)は、デジタル領域に配置してください。ADC12DL066 はこれら 2 つの領域にまたがるように配置してください。さらに、リファレンス電圧回路と入力信号に関連する回路に含まれているすべての部品は、そのリターン側同士を短い配線でノイズのない一点に接続してからアナログ・グラウンド・プレーンに落してください。すべてのグラウンドへの接続は、グラウンドへの経路が低インダクタンスになるように配線してください。

6.0 ダイナミック特性

最高のダイナミック特性を実現するために、CLK 入力をドライブするクロック信号源はジッタのないものでなければなりません。Figure 7 に示されるようなバッファを用いてクロック・ツリーを構成して、A/D のクロック信号を他のデジタル回路からアイソレートしなければなりません。このクロック・ツリーで使用するゲートは、余分なジッタ追加を防ぐために、クロックの周波数よりもはるかに高い周波数に対応した品種でなければなりません。

1.3.1 項と 1.3.2 項で説明したように、シングルエンド駆動ではなく差動入力駆動のときに最高性能が得られます。

5.0 章で述べたように、A/D クロック・ラインをできるだけ短くかつ他の任意の信号から十分に離して置くことは、良い手段です。別の信号はクロック信号にジッタを招く可能性があり、SNR の性能劣化につながる場合や、クロック信号が原因でほかの配線にノイズを生じることもあります。別の信号はクロック信号にジッ

タを招く可能性があり、SNR の性能劣化につながる場合や、クロック信号が原因でほかの配線にノイズを生じることもあります。

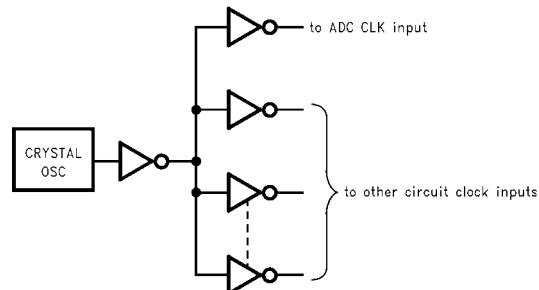


FIGURE 7. Isolating the ADC Clock from other Circuitry with a Clock Tree

7.0 アプリケーション共通の注意事項

電源範囲をこえてアナログもしくはデジタル入力をドライブしないこと

適正な動作を維持するために、いずれの入力にも電源電圧から 100mV を超える電圧を与えてはなりません (グラウンド・ピンから 100mV を超えた低い電圧、または電源電圧から 100mV を超えた高い電圧)。トランジエントによる場合でもこれらのリミット値を超えると、システムにとって良くない状態や誤差を招く可能性があります。電源電圧とそのグラウンド電位を超えるオーバーシュートやアンダーシュートを起こす高速デジタル IC (例えば、74F などのファミリ・デバイス) では、よくある現象です。A/D コンバータのデジタル入力に約 47 ~ 100 の直列抵抗を挿入し、また信号源の近くに挿入すれば、通常はこの問題を取り除けます。

入力電圧は、たとえ瞬間的であっても電源電圧を超えないようにしてください。電源の投入時も遮断時も同じです。

ADC12DL066 の入力を ADC12DL066 の電源範囲を超える範囲にまでドライブするようなデバイスで、オーバードライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

高容量性デジタル・データ・バスのドライブをしないこと

変換のたびに出力ドライバで充電しなければならない容量が増えるほど、 V_{DR} と DR GND に流れる瞬時デジタル電流の量が増えます。これらの大きな充電電流スパイクは、アナログ回路にカップリングしダイナミック特性を劣化させる可能性があります。適切なバイパスと基板上のアナログ領域とデジタル領域を十分にアイソレートすればこの問題を低減できます。

また、バス・ラインの負荷容量が仕様値 15pF/pin を超えると t_{OD} が増え、その結果、ADC の出力データを正しくラッチするのが難しくなります。その場合もやはり動的性能は劣化する恐れがあります。

また、デジタル・データ出力は(例えば、74AC541 で) バッファリングしてください。また、各デジタル出力のできる限り近くに、直列抵抗を加えると、出力電流を制限し、コンバータの出力に応じて出力電流を変化するカップリング信号のエネルギーが低減されて、ダイナミック特性を改善できます。この時に使用する推奨の抵抗値は 100 です。

機能説明 (つづき)

不適当なアンプを使ってアナログ入力をドライブしないこと

1.3 章で説明したように、アナログ入力ピンの容量はクロック信号のレベルに応じて 8pF になつたり 7pF になつたりします。このように容量の変動する負荷を駆動するのは、容量の変わらない場合に比べて難しくなります。

ごく小さい信号レベルのときでさえオーバーシュートやリンギングといった不安定要素のあらわになるアンプを使ったのでは、性能が落ちてしまいます。Figure 3 と Figure 5 のように、各アンプ出力には低抵抗を直列に接続し、アナログ入力にはコンデンサを設けると、性能が向上します。LMH6702 と LMH6628 が ADC12DL066 のアナログ入力の駆動に適しています。

また、差動入力信号を成す 2 つの信号は、振幅が完全に同じで、位相差がちょうど 180° であることが重要です。この 2 つの信号同士の実際の位相差は部品配置による影響を受けますが、入力ピンまでを結ぶ配線パターン同士の長さの違いが特に大きく影響します。オペアンプは非反転回路のほうが反転回路より遅延時間の長くなることに注意してください。

リファレンス・ピンを仕様範囲外の入力で動作させないこと

1.2 章で述べたように、V_{REF} ピンへの入力は、次の範囲内になければなりません。

0.8V V_{REF} 1.5V

これらのピンが、必要な電流を制御できるデバイスでドライブしない場合には、これらのリミット範囲外での動作は、結果として性能の劣化を招きます。

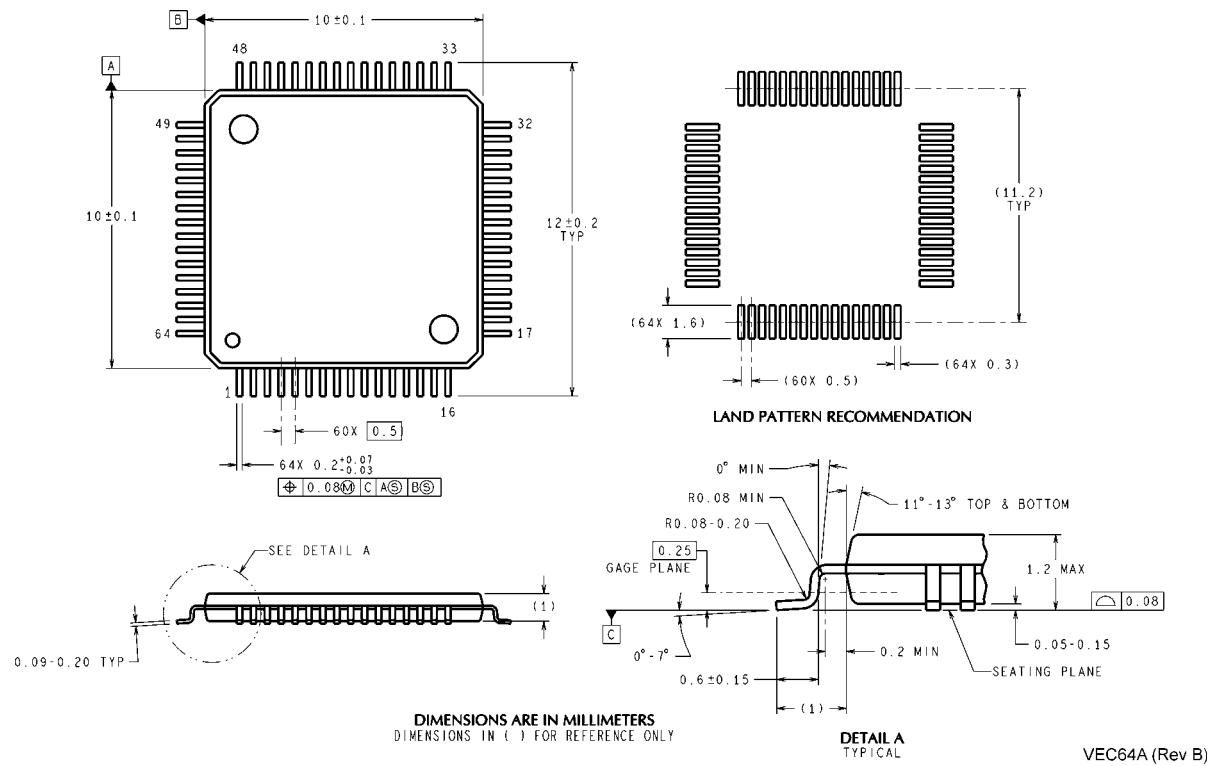
リファレンス・バイパス・ピン (V_{RPA}、V_{RNA}、V_{RMA}、V_{RPB}、V_{RNB}、V_{RMN}) に不適切なネットワークを接続しないこと

1.2 項で説明したように、V_{RMA} と V_{RNB} は 0.1 μF コンデンサでグラウンドにバイパスし、また V_{RPA} ピンと V_{RNA} ピンとの間、および V_{RPB} ピンと V_{RNB} ピンとの間を 1.5 と 1.0 μF の直列 RC 回路で接続すると、優れた性能が得られます。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと

この場合には、サンプリング間隔が変化し、過度の出力ノイズを発生し、かつ SN 比と SINAD の劣化を招きます。RC によるタイミング回路を用いた単純なゲート回路は、一般的にクロック信号源として適切ではありません。

外形寸法図 単位は millimeters



**64-Lead TQFP Package
Ordering Number ADC12DL066CIVS
NS Package Number VECO64A**

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他のを問わず、付与するものではありません。

試験や品質管理は、ナショナルセミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナルセミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナルセミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナルセミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナルセミコンダクター社との取引条件で規定される場合を除き、ナショナルセミコンダクター社は一切の義務を負わないものとし、また、ナショナルセミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表現または暗示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナルセミコンダクター・ジャパン株式会社

本社 / 〒135-0042 東京都江東区木場 2-17-16

TEL.(03)5639-7300

技術資料（日本語／英語）はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合せ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならぬ場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付られた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 溫・湿度環境

- 温度：0～40°C、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておりません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスティック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要件及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計もされていませんし、また使用されることを意図されておりません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

- 直射日光があたる状態で保管・輸送しないこと。
- 3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
- 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
- 5. 熱衝撃
 - はんだ付け時は、最低限260°C以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
- 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上