

# 16ビット、8チャンネル、シリアル出力 ADコンバータ

## 特長

- ADS7844とピン互換
- 単電源動作：+2.7V～+5V
- 8チャンネル・シングルエンド入力または4チャンネル差動入力
- 100kHzまでの変換レート
- SINAD：84dB
- シリアル・インターフェイス
- パッケージ：20ピンQSOP、20ピンSSOP

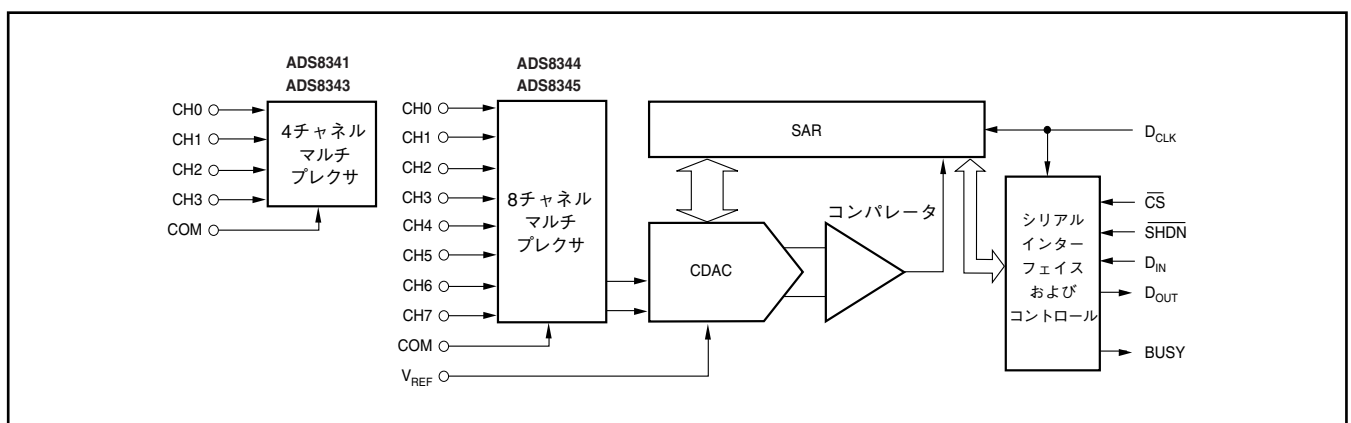
## アプリケーション

- データ・アキュイジション
- テスターおよび計測機器
- 工業用プロセス制御
- 情報携帯端末
- バッテリ駆動システム

## 概要

ADS8344はシリアル・インターフェイスの8チャンネル、16ビットADコンバータ(ADC)です。100kHzのスループット・レートおよび+5V電源で消費電力は10mW (typ)です。リファレンス電圧( $V_{REF}$ )は500mVから $V_{CC}$ の範囲で使用でき、これに対応して入力電圧を0Vから $V_{REF}$ までの範囲で使用できます。ADS8344には消費電力を15 $\mu$ W以下まで低減するシャットダウン・モードが用意されており、2.7Vまでの低電圧動作が確認されています。

ADS8344は低消費電力、高速性能、マルチプレクサ内蔵など優れた特性を持ち、情報携帯端末、携帯型のマルチチャンネル・データ・ロガーおよび計測機器などのバッテリ駆動システムに理想的です。また、シリアル・インターフェイスによりリモート・データ・アキュイジションにおいて低コストの絶縁も可能です。ADS8344は20ピンQSOPまたは20ピンSSOPパッケージで供給され、-40°Cから+85°Cの温度範囲で仕様が規定されています。



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

## 絶対最大定格<sup>(1)</sup>

+V <sub>CC</sub> からGND	-0.3V~+6V
アナログ入力からGND	-0.3V~+V <sub>CC</sub> +0.3V
デジタル入力からGND	-0.3V~+6V
消費電力	250mW
最大接合部温度	+150°C
動作温度範囲	-40°C~+85°C
保存温度範囲	-65°C~+150°C
リード温度(半田付け、10秒間)	+300°C

(1) 絶対最大定格を超えるストレスをデバイスに加えると、デバイスに永久的な損傷を与えます。長期間にわたりデバイスを絶対最大定格の条件下にさらすと、信頼性が低下する恐れがあります。



## 静電気放電対策

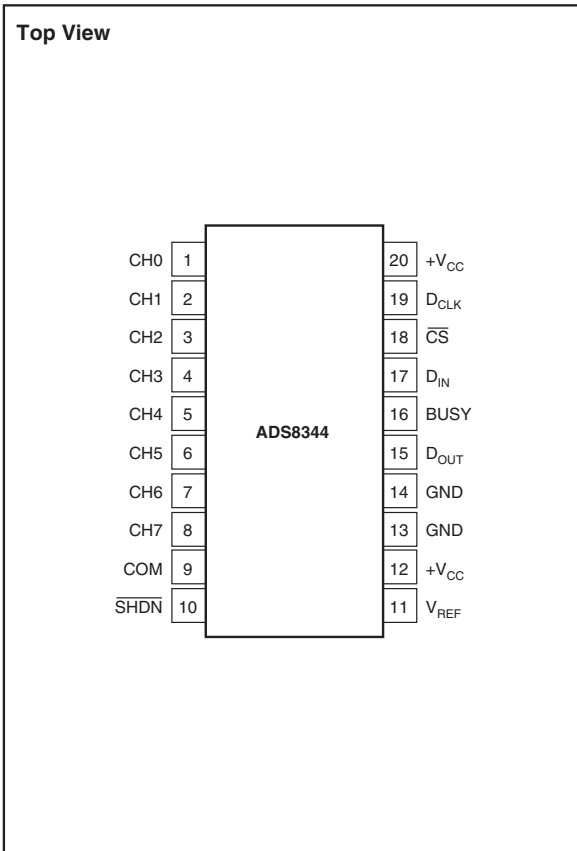
これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

## パッケージ情報/ご注文の手引き

モデル	最小相対精度 (LSB)	最大ゲイン誤差 (%)	仕様温度範囲	パッケージ・コード	パッケージ	製品型番 <sup>(1)</sup>	出荷形態数量
ADS8344E	8	±0.05	-40°C~+85°C	DBQ	20ピンQSOP	ADS8344E	レール,56
ADS8344E	8	±0.05	-40°C~+85°C	DBQ	20ピンQSOP	ADS8344E/2K5	テーブリール,2500
ADS8344N	8	±0.05	-40°C~+85°C	DB	20ピンSSOP	ADS8344N	レール,68
ADS8344N	8	±0.05	-40°C~+85°C	DB	20ピンSSOP	ADS8344N/1K	テーブリール,1000
ADS8344EB	6	±0.024	-40°C~+85°C	DBQ	20ピンQSOP	ADS8344EB	レール,56
ADS8344EB	6	±0.024	-40°C~+85°C	DBQ	20ピンQSOP	ADS8344EB/2K5	テーブリール,2500
ADS8344NB	6	±0.024	-40°C~+85°C	DB	20ピンSSOP	ADS8344NB	レール,68
ADS8344NB	6	±0.024	-40°C~+85°C	DB	20ピンSSOP	ADS8344NB/1K	テーブリール,1000

(1) 最新のパッケージおよびご注文情報は、このドキュメントの巻末にある「付録：パッケージ・オプション」またはTIのwebサイト(www.tij.com)をご覧ください。

## ピン配置



## ピン構成

ピン	名称	説明
1	CH0	アナログ入力チャンネル0
2	CH1	アナログ入力チャンネル1
3	CH2	アナログ入力チャンネル2
4	CH3	アナログ入力チャンネル3
5	CH4	アナログ入力チャンネル4
6	CH5	アナログ入力チャンネル5
7	CH6	アナログ入力チャンネル6
8	CH7	アナログ入力チャンネル7
9	COM	アナログ入力のグランド基準。シングルエンド・モードの場合にはゼロ・コード電圧を設定します。このピンをグランドまたはグランド基準ポイントに接続します。
10	SHDN	シャットダウン。“Low”のときに、デバイスは消費電力が非常に低いシャットダウン・モードに入ります。
11	V <sub>REF</sub>	リファレンス入力。範囲は電気的特性を参照。
12	V <sub>CC</sub>	電源、2.7V~5V
13	GND	グランド
14	GND	グランド
15	D <sub>OUT</sub>	シリアルデータ出力。D <sub>CLK</sub> の立ち下がりエッジでデータがシフトされます。CSが“High”のときには、この出力はハイ・インピーダンス状態になります。
16B	BUSY	ビジー出力。D <sub>IN</sub> コントロール・ビットの読み込み中であるとき、およびデバイスが変換中であるときには、ビジーは“Low”になります。CSが“High”のときには、この出力はハイ・インピーダンス状態です。
17	D <sub>IN</sub>	シリアルデータ入力。CSが“Low”であれば、D <sub>CLK</sub> の立ち上がりエッジでデータがラッチされます。
18	CS	チップ・セレクト入力。アクティブ“Low”。CSが“Low”にならない限り、データはD <sub>IN</sub> にクロック・インされません。CSが“High”のときには、D <sub>OUT</sub> はハイ・インピーダンス状態です。
19D	D <sub>CLK</sub>	外部クロック入力。クロック速度により、式 f <sub>CLK</sub> = 24 • f <sub>SAMPLE</sub> に従って変換レートが決まります。
20+	V <sub>CC</sub>	電源

## 電気的特性：+5V

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $+V_{CC} = +5\text{V}$ 、 $V_{REF} = +5\text{V}$ 、 $f_{SAMPLE} = 100\text{kHz}$ 、 $f_{CLK} = 24 \cdot f_{SAMPLE} = 2.4\text{MHz}$ です。  
(特に記述のない限り)

パラメータ	測定条件	ADS8344E、N			ADS8344EB、NB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
分解能			16			*		Bits
アナログ入力 フルスケール入力スパン 絶対入力範囲	正入力-負入力 正入力 負入力	0 -0.2 -0.2		$V_{REF}$ $+V_{CC}+0.2$ $+1.25$	*		*	V V V
容量 リーク電流			25 $\pm 1$		*		*	pF $\mu\text{A}$
システム性能 ノー・ミッシング・コード 積分直線性誤差 オフセット誤差 オフセット誤差マッチング ゲイン誤差 ゲイン誤差マッチング ノイズ 電源除去	$+4.75\text{V} < V_{CC} < 5.25\text{V}$	14		8 $\pm 2$ 4 $\pm 0.05$ 4	15		6 $\pm 1$ * $\pm 0.024$ *	Bits LSB mV LSB <sup>(1)</sup> % LSB $\mu\text{V}_{rms}$ LSB <sup>(1)</sup>
サンプリング・ダイナミック特性 変換時間 アキュジション時間 スループット・レート マルチプレクサ・セトリング・タイム アパーチャ遅延 アパーチャ・ジッタ 内部クロック周波数 外部クロック周波数	$\overline{\text{SHDN}} = V_{DD}$ データ転送のみ	4.5		16 100	*		*	CLK Cycles CLK Cycles kHz ns ns ps MHz MHz MHz
ダイナミック特性 全高調波歪み <sup>(2)</sup> 信号/(ノイズ+歪み) スプリアス・フリー・ダイナミック・レンジ チャンネル間アイソレーション	$V_{IN} = 5\text{Vp-p}(10\text{kHz時})$ $V_{IN} = 5\text{Vp-p}(10\text{kHz時})$ $V_{IN} = 5\text{Vp-p}(10\text{kHz時})$ $V_{IN} = 5\text{Vp-p}(10\text{kHz時})$			-90 86 92 100			*	dB dB dB dB
リファレンス入力 範囲 抵抗値 入力電流	DCLK静止時 $f_{SAMPLE} = 12.5\text{kHz}$ DCLK静止時	0.5		$+V_{CC}$ 5 40 100 2.5 3	*		*	V G $\Omega$ $\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
デジタル入力/出力 ロジック・ファミリ ロジック・レベル $V_{IH}$ $V_{IL}$ $V_{OH}$ $V_{OL}$ データ・フォーマット	$ I_{IH}  \leq +5\mu\text{A}$ $ I_{IL}  \leq +5\mu\text{A}$ $I_{OH} = -250\mu\text{A}$ $I_{OL} = 250\mu\text{A}$ ストレート・バイナリ	3.0 -0.3 3.5	CMOS	5.5 +0.8 0.4	*		*	V V V V
電源 $+V_{CC}$ 無信号時電流 消費電力	仕様 $f_{SAMPLE} = 100\text{kHz}$ パワーダウン・モード <sup>(3)</sup> 、 $\overline{\text{CS}} = +V_{CC}$	4.75		5.25 1.5 300 3 10 2.0	*		*	V mA $\mu\text{A}$ $\mu\text{A}$ mW
温度範囲 仕様		-40		+85	*		*	$^{\circ}\text{C}$

\*印は、ADS8344E、Nと同一仕様であることを示します。

(1) LSBは最下位ビットを示します。 $V_{REF} = 5.0\text{V}$ 時の1LSBは76 $\mu\text{V}$ です。

(2) 入力周波数の最初の9つの高調波成分です。

(3) 自動パワーダウン・モード (PD1= PD0 = 0) がアクティブであるか、または $\overline{\text{SHDN}} = \text{GND}$ です。

## 電気的特性：+2.7V

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.7\text{V}$ 、 $f_{SAMPLE} = 100\text{kHz}$ 、 $f_{CLK} = 24 \cdot f_{SAMPLE} = 2.4\text{MHz}$ です。  
(特に記述のない限り)

パラメータ	測定条件	ADS8344E、N			ADS8344EB、NB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
分解能			16			*		Bits
アナログ入力 フルスケール入カスパン 絶対入力範囲	正入力-負入力 正入力 負入力	0 -0.2 -0.2		$V_{REF}$ $+V_{CC} + 0.2$ $+0.2$	*		*	V V V
容量 リーク電流			25 $\pm 1$		*		*	pF $\mu\text{A}$
システム性能 ノー・ミッシング・コード 積分直線性誤差 オフセット誤差 オフセット誤差マッチング ゲイン誤差 ゲイン誤差マッチング ノイズ 電源除去	$+2.7 < V_{CC} < +3.3\text{V}$	14		12 $\pm 1$ 4 $\pm 0.05$ 4	15		8 0.5 * $\pm 0.024$ *	Bits LSB mV LSB % of FSR LSB $\mu\text{V}_{rms}$ LSB <sup>(1)</sup>
サンプリング・ダイナミック性能 変換時間 アキュイジション時間 スループット・レート マルチプレクサ・セトリングタイム アパーチャ遅延 アパーチャ・ジッタ 内部クロック周波数 外部クロック周波数	$\overline{\text{SHDN}} = V_{DD}$ 内部クロック使用時 データ転送のみ	4.5		16 100 500 30 100 2.4	*		*	CLK Cycles CLK Cycles kHz ns ns ps MHz MHz MHz
ダイナミック特性 全高調波歪み <sup>(2)</sup> 信号/(ノイズ + 歪み) スプリアス・フリー・ダイナミック・レンジ チャンネル間アイソレーション	$V_{IN} = 2.5\text{Vp-p}(1\text{kHz時})$ $V_{IN} = 2.5\text{Vp-p}(1\text{kHz時})$ $V_{IN} = 2.5\text{Vp-p}(1\text{kHz時})$ $V_{IN} = 2.5\text{Vp-p}(10\text{kHz時})$			-90 86 92 100			*	dB dB dB dB
リファレンス入力 範囲 抵抗値 入力電流	DCLK静止時 $f_{SAMPLE} = 12.5\text{kHz}$ DCLK静止時	0.5		$+V_{CC}$ 5 13 40 2.5 3	*		*	V G $\Omega$ $\mu\text{A}$ $\mu\text{A}$ $\mu\text{A}$
デジタル入力/出力 ロジック・ファミリ ロジック・レベル $V_{IH}$ $V_{IL}$ $V_{OH}$ $V_{OL}$ データ・フォーマット	$ I_{IH}  \leq +5\mu\text{A}$ $ I_{IL}  \leq +5\mu\text{A}$ $I_{OH} = -250\mu\text{A}$ $I_{OL} = 250\mu\text{A}$ ストレート・バイナリ		CMOS	$+V_{CC} \cdot 0.7$ -0.3 $+V_{CC} \cdot 0.8$ 0.4	*		*	V V V V
電源 $+V_{CC}$ 無信号時電流 消費電力	仕様 $f_{SAMPLE} = 100\text{kHz}$ パワー・ダウン・モード <sup>(3)</sup> 、 $\overline{\text{CS}} = +V_{CC}$	2.7		3.6 1.85 3 5	*		*	V mA $\mu\text{A}$ $\mu\text{A}$ mW
温度範囲 仕様		-40		+85	*		*	$^{\circ}\text{C}$

\*印は、ADS8344E、Nと同一仕様であることを示します。

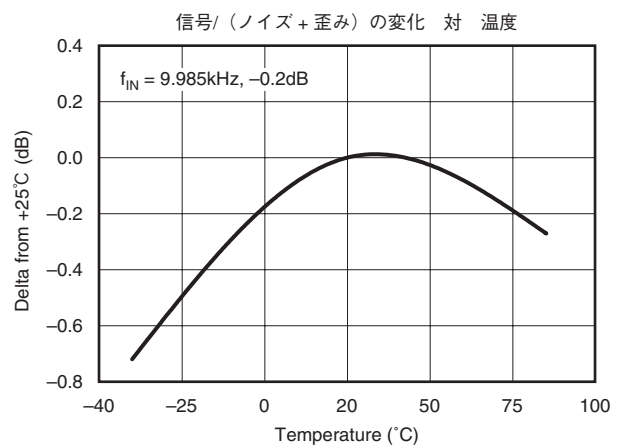
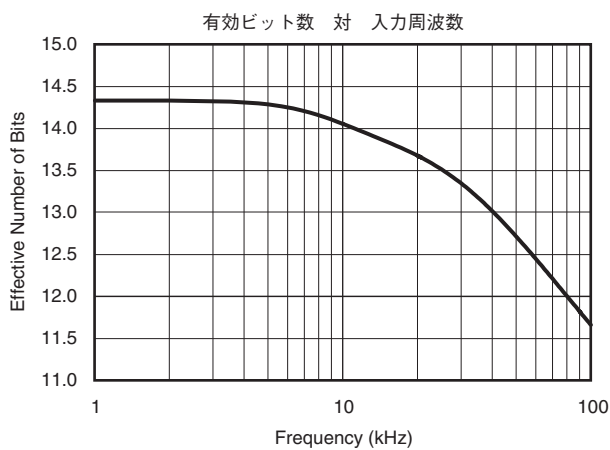
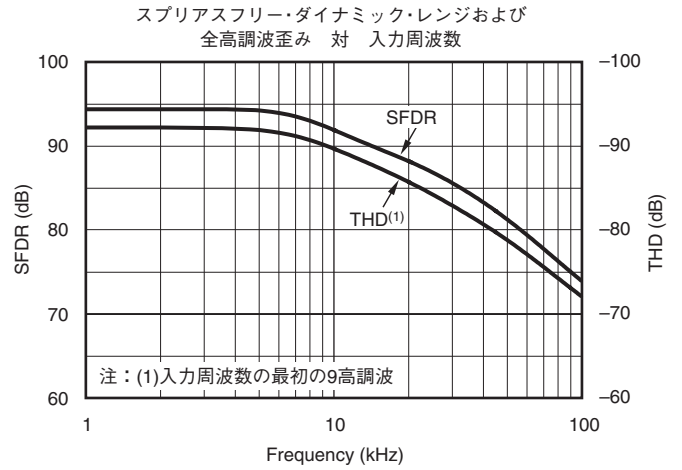
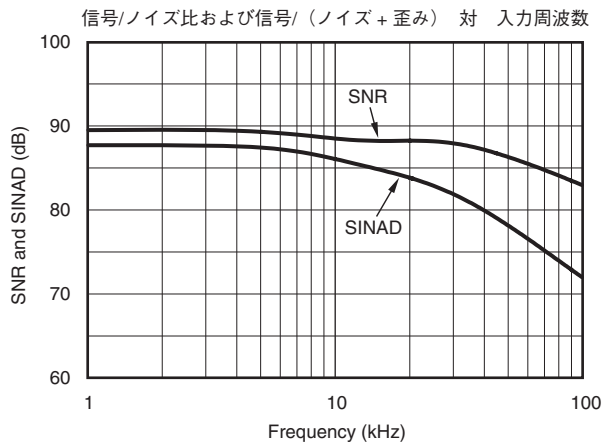
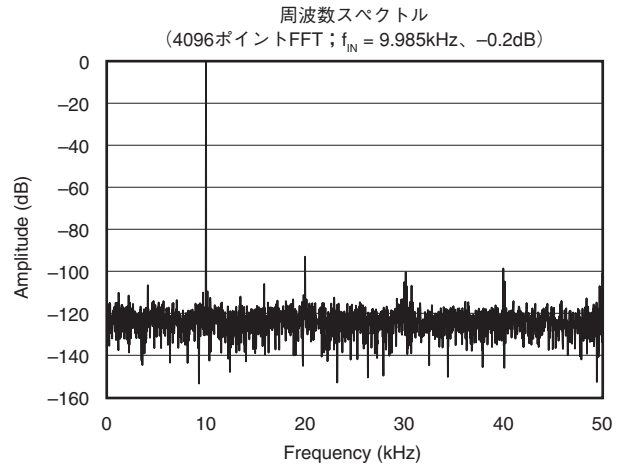
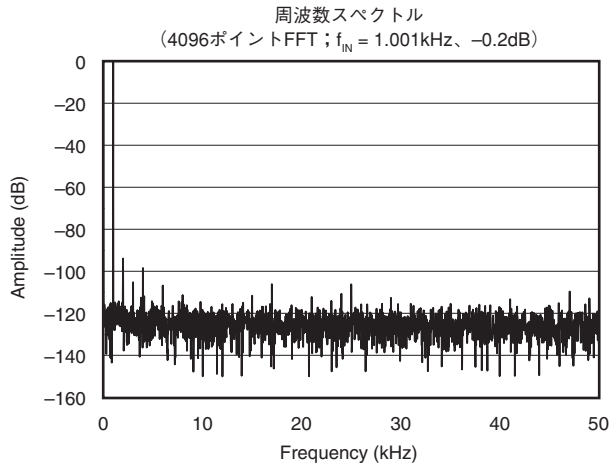
(1) LSBは最下位ビットを示します。 $V_{REF} = 2.5\text{V}$ 時の1LSBは38 $\mu\text{V}$ です。

(2) 入力周波数の最初の9つの高調波成分です。

(3) 自動パワー・ダウン・モード (PD1=PD0=0) がアクティブであるか、または $\overline{\text{SHDN}} = \text{GND}$ です。

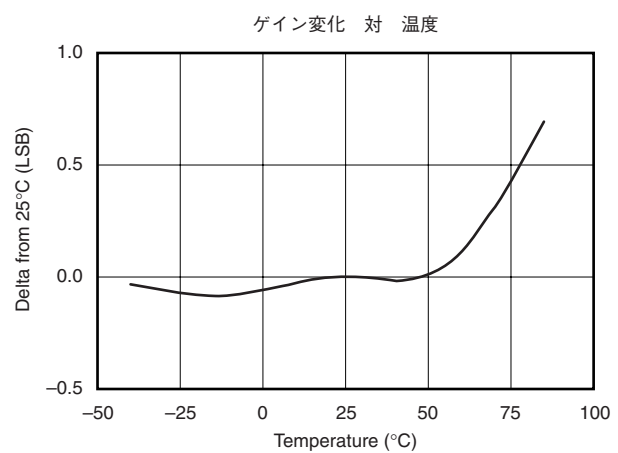
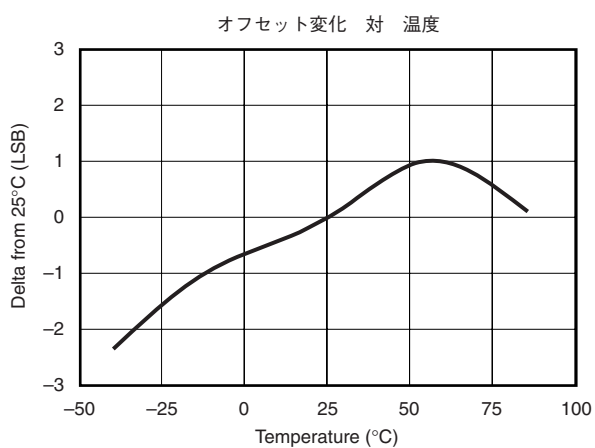
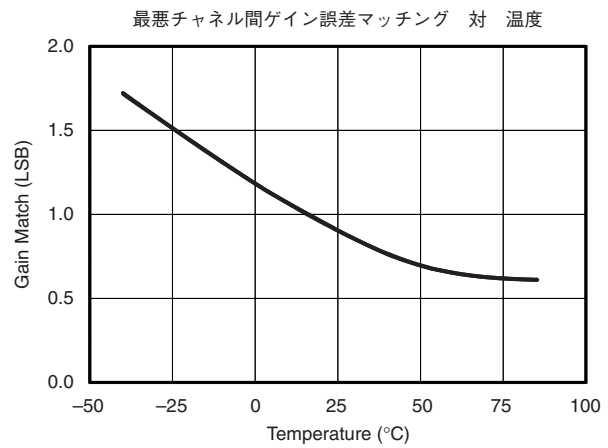
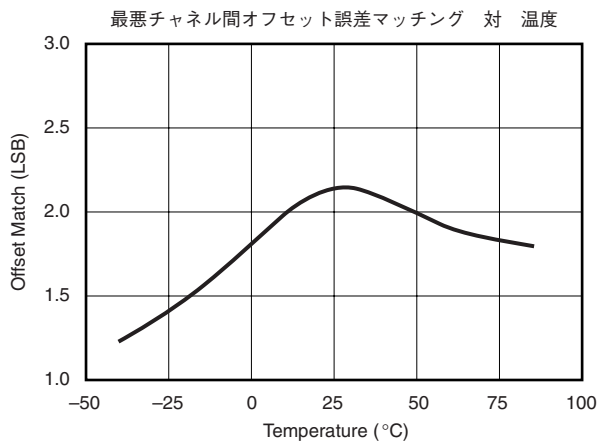
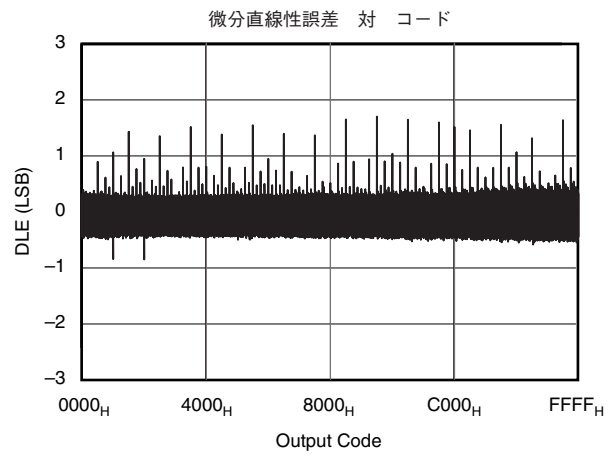
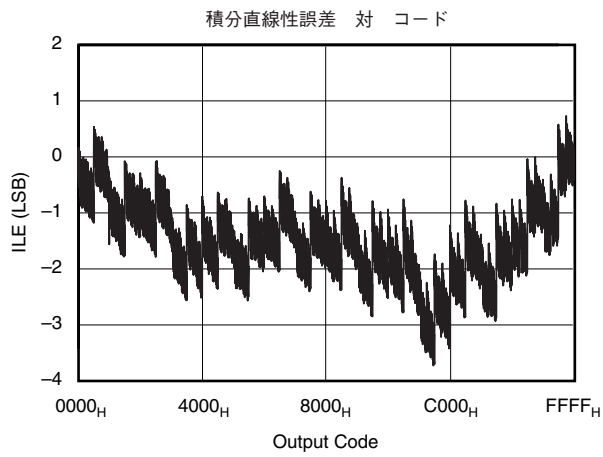
# 代表的性能曲線：+5V

$T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +5\text{V}$ 、 $V_{REF} = +5\text{V}$ 、 $f_{\text{SAMPLE}} = 100\text{kHz}$ 、 $f_{\text{CLK}} = 24 \cdot f_{\text{SAMPLE}} = 2.4\text{MHz}$ です。(特に記述のない限り)



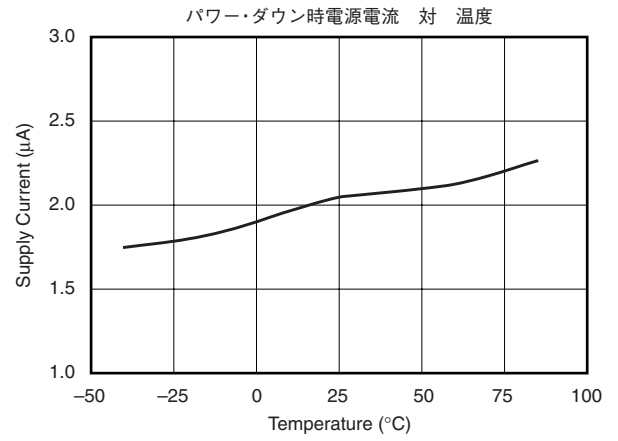
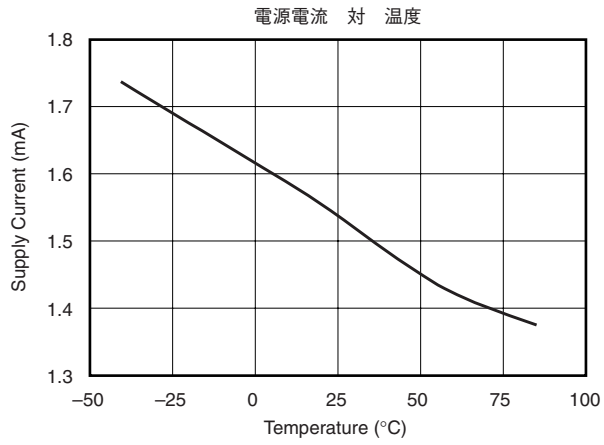
## 代表的性能曲線：+5V

$T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +5\text{V}$ 、 $V_{REF} = +5\text{V}$ 、 $f_{\text{SAMPLE}} = 100\text{kHz}$ 、 $f_{\text{CLK}} = 24 \cdot f_{\text{SAMPLE}} = 2.4\text{MHz}$ です。(特に記述のない限り)



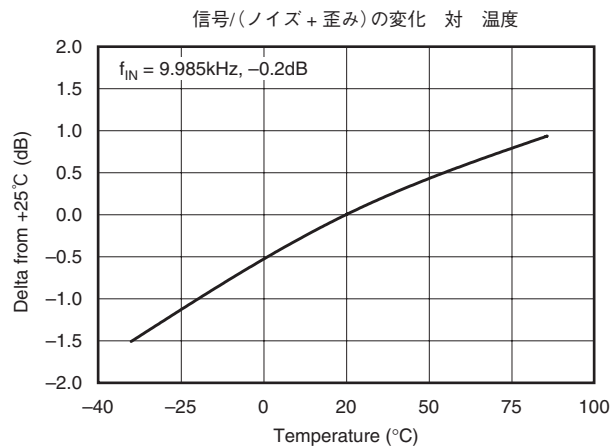
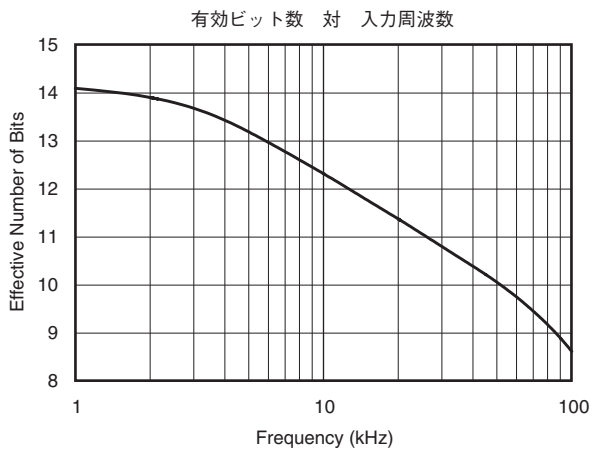
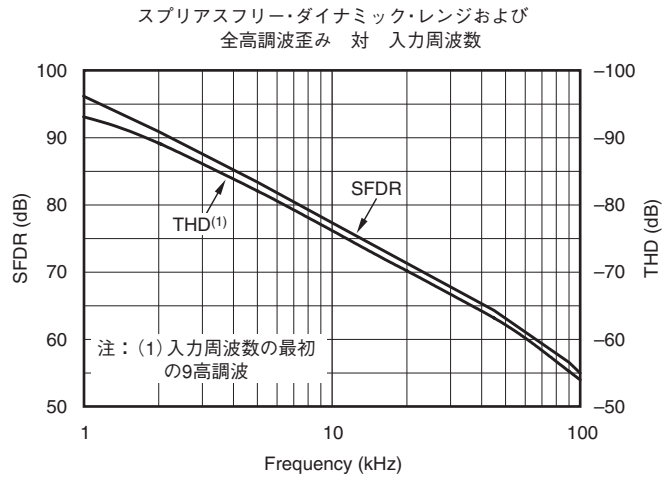
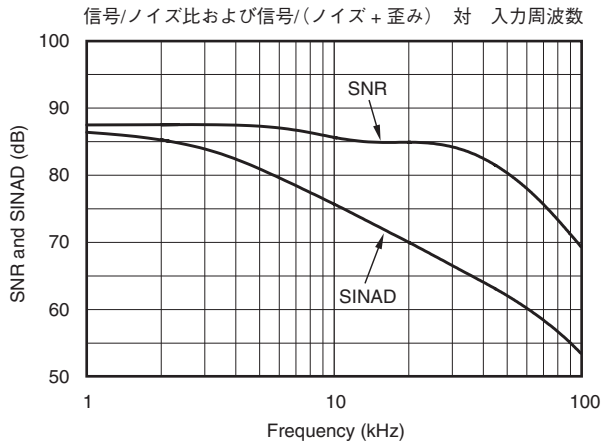
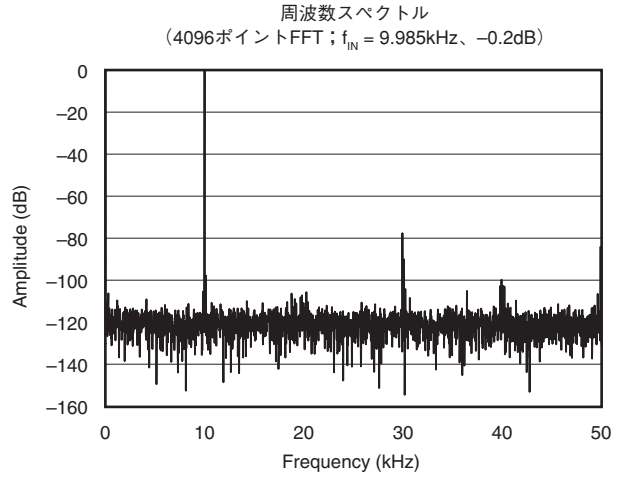
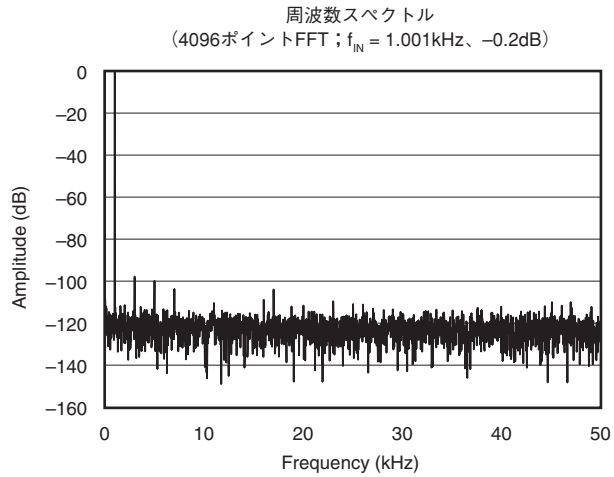
## 代表的性能曲線：+5V

$T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +5\text{V}$ 、 $V_{REF} = +5\text{V}$ 、 $f_{\text{SAMPLE}} = 100\text{kHz}$ 、 $f_{\text{CLK}} = 24 \cdot f_{\text{SAMPLE}} = 2.4\text{MHz}$ です。(特に記述のない限り)



# 代表的性能曲線：+2.7V

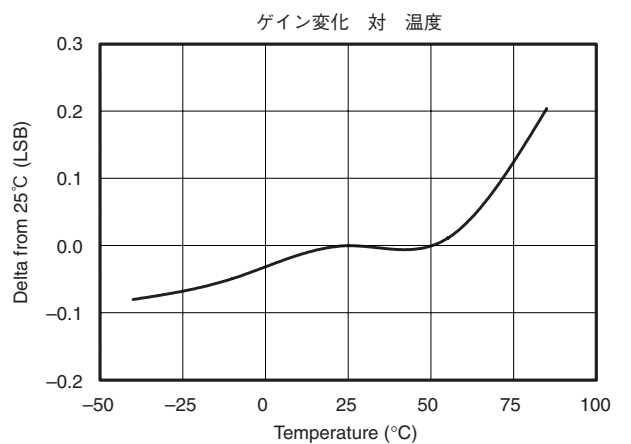
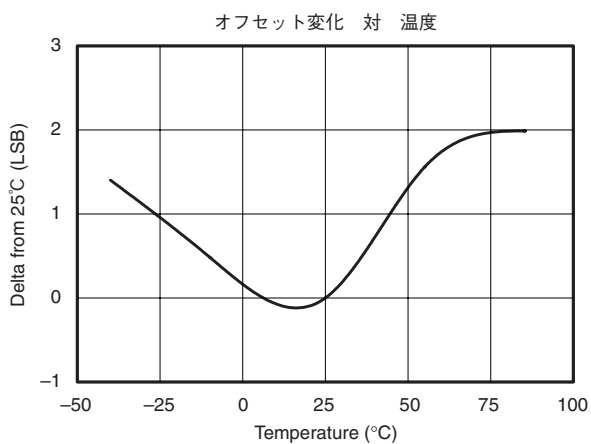
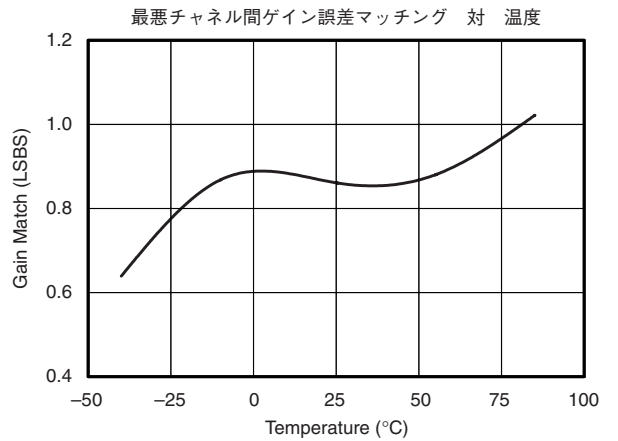
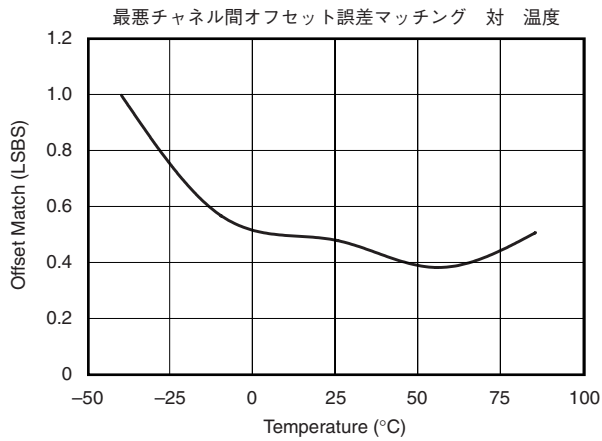
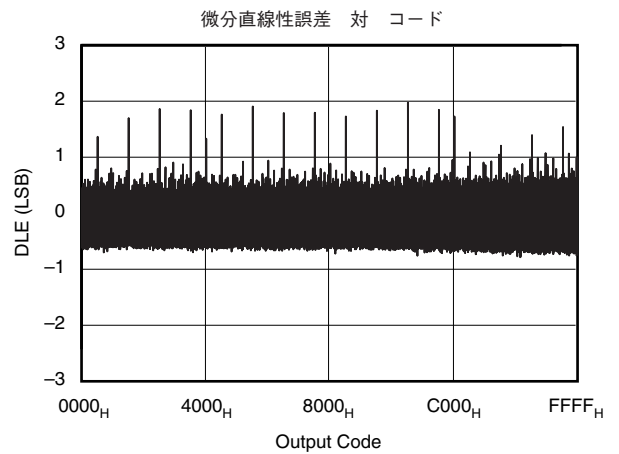
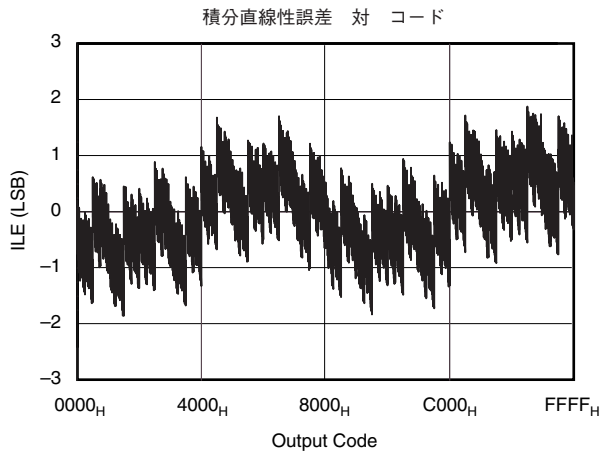
$T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.7\text{V}$ 、 $f_{\text{SAMPLE}} = 100\text{kHz}$ 、 $f_{\text{CLK}} = 24 \cdot f_{\text{SAMPLE}} = 2.4\text{MHz}$ です。(特に記述のない限り)





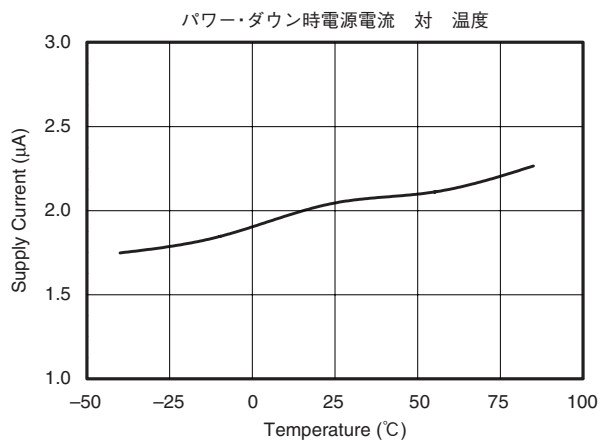
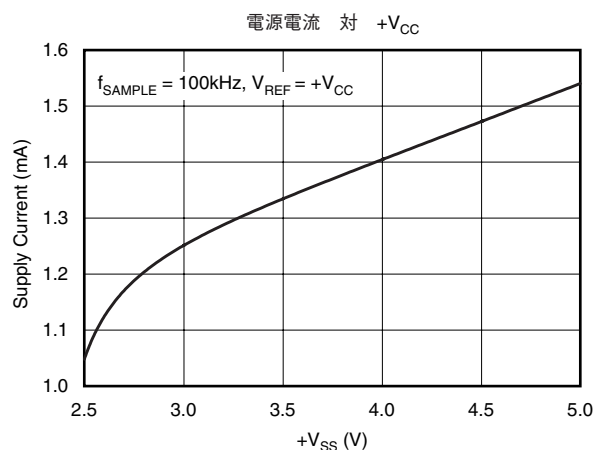
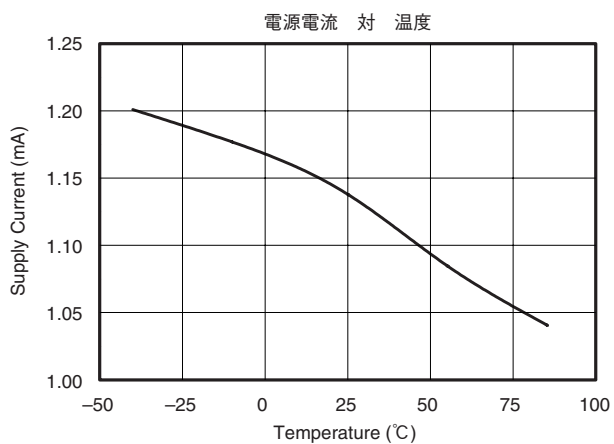
# 代表的性能曲線：+2.7V

$T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.7\text{V}$ 、 $f_{\text{SAMPLE}} = 100\text{kHz}$ 、 $f_{\text{CLK}} = 24 \cdot f_{\text{SAMPLE}} = 2.4\text{MHz}$ です。(特に記述のない限り)



## 代表的性能曲線：+2.7V

$T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.7\text{V}$ 、 $f_{\text{SAMPLE}} = 100\text{kHz}$ 、 $f_{\text{CLK}} = 24 \cdot f_{\text{SAMPLE}} = 2.4\text{MHz}$ です。(特に記述のない限り)



## 動作原理

ADS8344は、従来型逐次比較型(SAR)のADコンバータです。この変換アーキテクチャは、本質的にサンプル/ホールド機能を備えた容量再分配技術に基づいています。このコンバータは0.6 $\mu$ sのCMOSプロセス技術で製造されています。

ADS8344の基本動作回路を図1に示します。このデバイスには外部リファレンスと外部クロックが必要です。また、+2.7Vから+5.25Vまでの電圧範囲の単電源で動作します。外部リファレンスの出力電圧を500mVから+V<sub>CC</sub>の範囲内で任意の値に設定することができます。リファレンスの電圧値によって、コンバータの入力電圧範囲が直接的に設定されます。リファレンス入力電流の平均値は、ADS8344の変換速度に応じて異なります。

コンバータに加えられるアナログ入力信号は差動で、8チャンネルのマルチプレクサを通して入力されます。COMピン(通常はグラウンド)を基準とした入力とするか、または8つの入力チャンネル(CH0 - CH7)の4つを使用した差動入力にすることが可能です。デジタル・インターフェイスにて、特定の回路構成を選択できます。

## アナログ入力

ADS8344の入力マルチプレクサのブロック図を図2に示します。コンバータの差動入力、COMピンを基準とした8チャンネル入力のうち1つの入力、または8チャンネル入力のうち4つの差動入力から得ます。表1と表2にそれぞれ、A2、A1、A0およびSGL/DIFの各制御ビットとADS8344のアナログ入力マルチプレクサの構成方法に関する関係をまとめています。各制御ビットは、D<sub>IN</sub>ピンよりシリアルで設定されます。詳細については、「デジタル・インターフェイス」の項を参照してください。

コンバータがホールド・モードに入ると、+INと-INの各入力間の電圧差(図2を参照)が内部コンデンサ・アレイに保持されます。-IN入力の電圧は-0.2Vから+1.25Vまでの範囲内に制限されるので、+INと-INの各入力に共通した小信号を入力で除去することが可能です。+IN入力の電圧は-0.2Vから+V<sub>CC</sub> +0.2Vまでの範囲です。

アナログ入力の入力電流レベルはADS8344の変換速度に応じて異なります。サンプリングの実行期間中、アナログ信号源による内部サンプリング・コンデンサ(25pF)の充電が必要になります。コンデンサが完全な充電状態になると、さらに電流が流れることはありません。アナログ信号源からコンバータに電荷が転送される速度は、変換速度の関数となります。

A2	A1	A0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+IN								-IN
1	0	0		+IN							-IN
0	0	1			+IN						-IN
1	0	1				+IN					-IN
0	1	0					+IN				-IN
1	1	0						+IN			-IN
0	1	1							+IN		-IN
1	1	1								+IN	-IN

表 1. シングルエンドのチャンネル選択(SGL/DIF“High”)

A2	A1	A0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+IN	-IN						
0	0	1			+IN	-IN				
0	1	0					+IN	-IN		
0	1	1							+IN	-IN
1	0	0	-IN	+IN						
1	0	1			-IN	+IN				
1	1	0					-IN	+IN		
1	1	1							-IN	+IN

表 2. 差動チャンネルの制御(SGL/DIF“Low”)

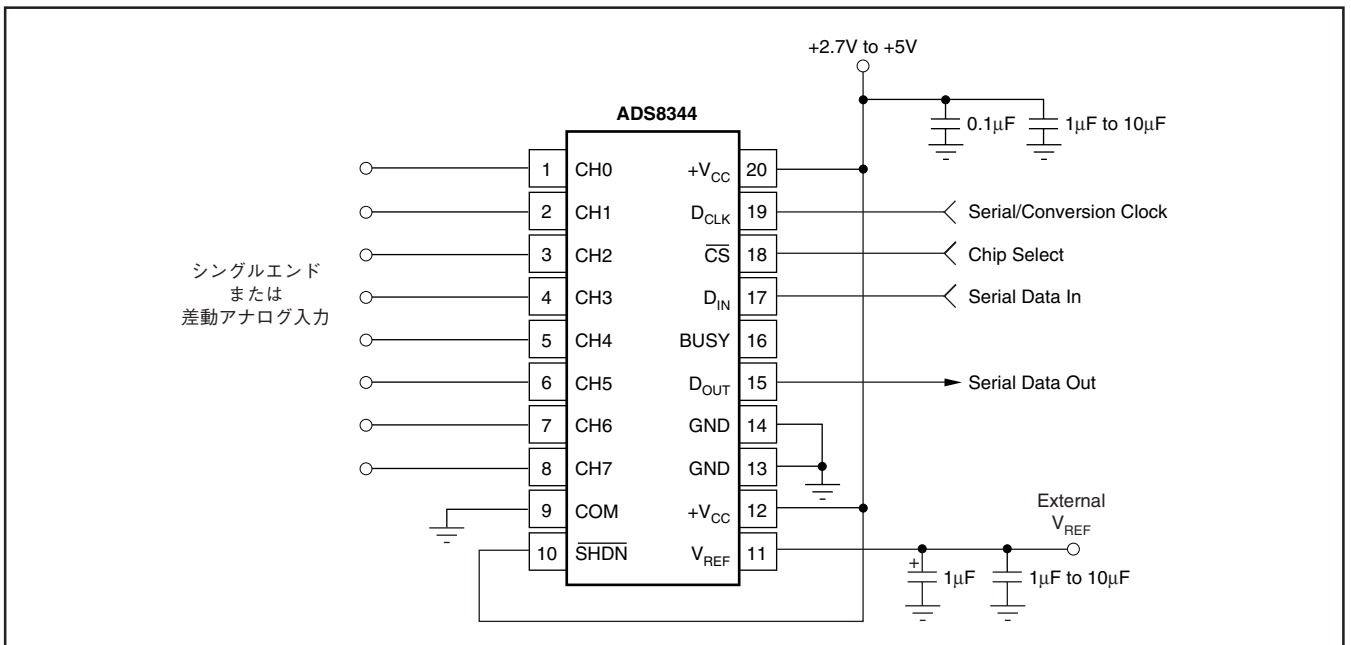


図 1. ADS8344の基本動作回路

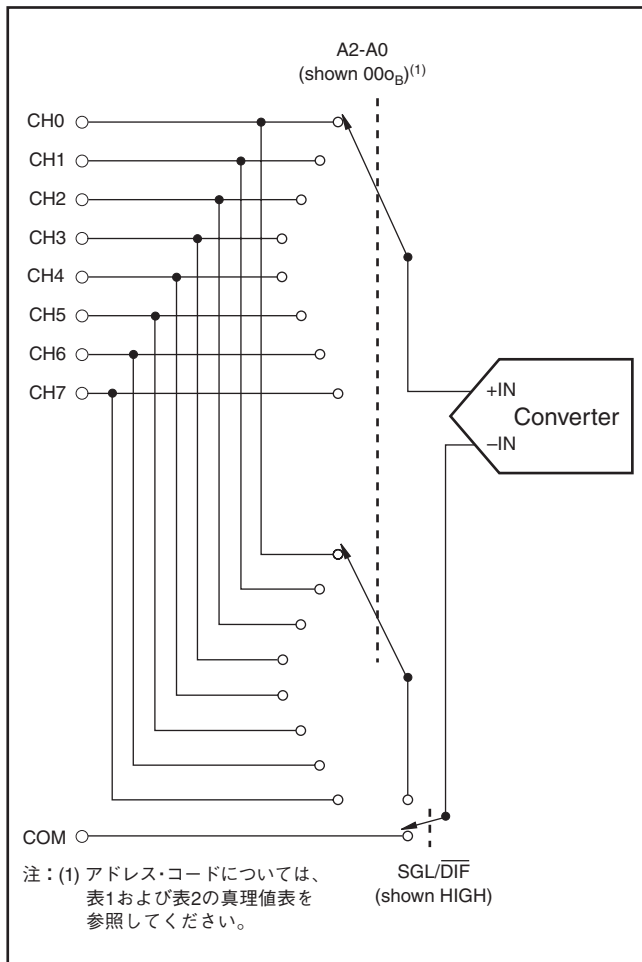


図 2. アナログ入力の簡略回路図

## リファレンス入力

外部リファレンス電圧により、アナログ入力範囲が設定されます。ADS8344は、100mVから $+V_{CC}$ までのリファレンスで動作します。図2に示すように、アナログ入力は+IN入力と-IN入力間の電圧差になる点に留意してください。例えば、+1.25Vのリファレンスを使用し、COMピンをグランド接続しているシングルエンド・モードの場合、選択した入力チャンネル(CH0 - CH7)によって、0Vから+1.25Vまでの範囲の電圧信号が正しくAD変換されます。COMピンを0.5Vに接続すれば、選択したチャンネルの入力電圧は+0.5Vから+1.75Vまでになります。

リファレンス入力と、広電圧範囲に関し重要な留意点があります。リファレンス電圧が下がると、これに応じて各デジタル出力コードのアナログ電圧の重み付けも小さくなります。これはLSB(最下位ビット)サイズと呼ばれ、リファレンス電圧を65536で除算した値と等しくなります。リファレンス電圧が下がると、ADコンバータにおいて本質的に発生するオフセット誤差またはゲイン誤差のLSBサイズが増加します。例えば、特定のコンバータのオフセットを2.5Vのリファレンス使用時に2LSBと仮定すると、リファレンス電圧を0.5Vに設定した場合には一般的に10LSBに増加します。どちらの場合も、コンバータの実際のオフセットは76.3 $\mu$ Vです。

これと同様に、デジタル化される出力のノイズと不確実性はLSBサイズが小さくなればそれだけ増加します。500mVのリファレンス使用時のLSBサイズは7.6 $\mu$ Vです。このレベルは、

デバイスの内部ノイズよりも低い値です。結果として、デジタル出力コードが不安定になり、平均値周辺を数LSB分変動することになります。デジタル出力コードはガウス分布なので、連続的な変換結果を単に平均化するか、またはデジタルフィルタを使用するかのどちらかの方法でノイズを低減することが可能です。

リファレンス電圧として低い値を使用する際には、適切な電源バイパス、クリーン(低ノイズ、低リップル)な電源、低ノイズのリファレンス、入力信号などに十分配慮して、クリーンな回路レイアウト設計を行うように注意を払わなければなりません。LSBサイズが小さいので、コンバータも近接したデジタル信号や電磁波干渉の影響を受けやすくなります。

$V_{REF}$ 入力に加えられる電圧はバッファされず、ADS8344のキャパシタD/Aコンバータ(CDAC)回路部がこの電圧によって直接的にドライブされます。2.5Vのリファレンス使用時の入力電流は13 $\mu$ A(typ値)です。この値は、変換結果に応じて数 $\mu$ A変動します。変換速度を低くし、同時にリファレンス電圧を小さくすると、リファレンス電流も直接的に減少します。リファレンスからの電流は各ビット決定毎に消費されるので、ある特定の変換サイクル期間中により高速なクロック信号をコンバータに加えても、リファレンスの消費電流全体が下がることはありません。

## デジタル・インターフェイス

ADS8344には、いくつかのマイクロプロセッサ・ファミリーと互換性のある4線式シリアル・インターフェイスがあります(+ $V_{CC}$ に関係なく、デジタル入力は+5.5Vまでのトレラントを備えている点に注目してください)。ADS8344のデジタル・インターフェイスの標準的な動作を図3に示します。

たいていのマイクロプロセッサは8ビット転送を使用して通信を実行しますが、ADS8344は、 $D_{CLK}$ 入力上での合計24クロック・サイクルによる3回の8ビット転送で1回の変換動作を完了することができます。タイミングは図3に示されたとおりです。

最初の8クロック・サイクルによって、 $D_{IN}$ ピンを通した制御バイトの設定が行われます。次の変換動作に対する入力マルチプレクサの設定に関する情報がコンバータに設定された後、コンバータはアクイジション(サンプル)モードに入ります。さらに4クロック・サイクル後、制御バイトの設定が完了し、コンバータは変換動作モードに入ります。この時点で、入力サンプル/ホールド回路はホールド・モードに入ります。次の16クロック・サイクルで実際のAD変換動作が実行されます。

## 制御バイト

図3に制御バイトを構成する各制御ビットの割り当てとその順番を、表3と表4にそれぞれ各制御ビットに関する詳細な説明を示します。先頭ビットである“S”ビットは常に“HIGH”に設定しておくことが必要で、このビットは制御バイトの開始を示します。この開始ビットが検出されるまで、ADS8344は $D_{IN}$ ピン上の入力信号を無視します。次の3つのビット(A2 - A0)によって、入力マルチプレクサのアクティブな入力チャンネルを選択します(表1、表2、図2を参照)。

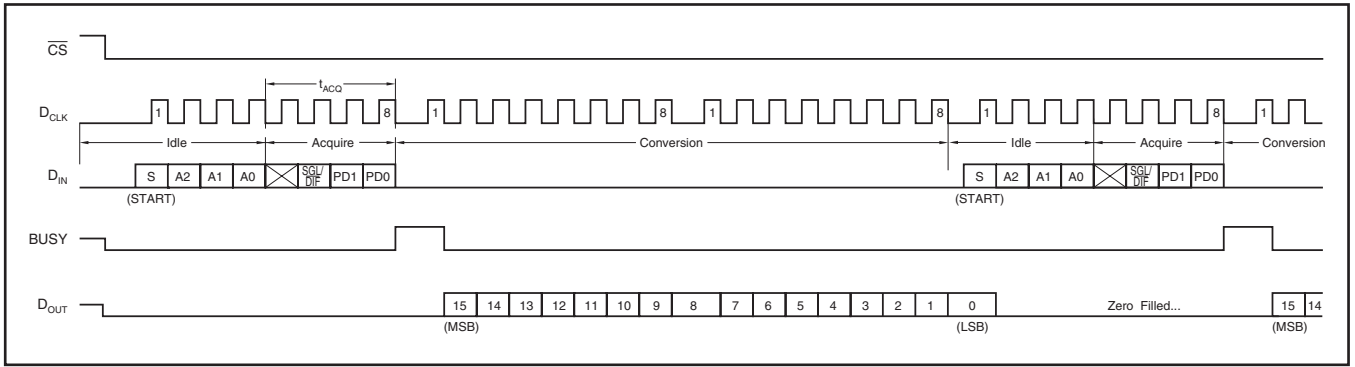


図 3. 変換タイミング、24クロックの変換サイクル、8ビット・バス・インターフェイス。  
専用のシリアル・ポートによるD<sub>CLK</sub>遅延は必要ありません。

SGL/DIFビットにより、マルチプレクサの入力モードを制御します。シングルエンド・モードの場合には、選択した入力チャネルはCOMピンを基準とし、差動モードでは2つの選択入力によって差動入力を構成します。詳細は表1、表2および図2を参照してください。表5に示すように、最後の2ビット (PD1-PD0) の指定によりパワーダウン動作モードとクロック・モードを選択します。PD1とPD0が両方とも“High”であれば、コンバータは常にパワーアップ状態を維持します。PD1とPD0が両方とも“Low”であれば、変換動作が終了して次の変換動作に入る前の期間中にコンバータはパワーダウン動作モードに設定されます。新しい変換動作が開始されると、コンバータは即時に通常の動作モードに復帰します。デバイスが完全にパワーアップされるまでに遅延時間を設定する必要はまったくなく、最初の変換動作から有効になります。

## クロック・モード

ADS8344は外部シリアル・クロックまたは内部クロックによって、逐次比較変換を実行することができます。いずれのクロック・モードにおいても、外部クロックによってコンバータに対するデータのシフト・イン/アウトが行われます。内部クロック・モードは、PD1が“High”でPD0が“Low”のときに選択されます。

一方のクロック・モードから他方へ切り替える場合、ADS8344が新しいモードに切り替わる前に追加の変換サイクルが必要になります。このサイクルは、クロック・モードの変更前に、PD0およびPD1制御ビットをADS8344に書き込むために必要なサイクルです。

ADS8344へ最初に電力を印加する際には、所望のクロック・モードを設定する必要があります。内部クロック・モードはPD1 = 1およびPD0 = 0、外部クロック・モードはPD1 = 1およびPD0 = 1を書き込むことで設定できます。所望のクロック・モードのイネーブル後には、変換の合間にADS8344をパワーダウンに設定 (PD1 = PD0 = 0) できます。ADS8344は、パワーダウン・モードに入る前のクロック・モードを保持します。

ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
S	A2	A1	A0	—	SGL/DIF	PD1	PD0

表 3. 制御バイトを構成する各制御ビットの割り当て

ビット	名称	説明
7	S	開始ビット。D <sub>IN</sub> 上の最初の“High”ビットで制御バイトが開始されます。
6-4	A2-A0	チャネル選択ビット。表1と表2に示すように、これらのビットとSGL/DIFビットの指定によってマルチプレクサ入力の設定を制御します。
2	SGL/DIF	シングルエンド/差動選択ビット。表1と表2に示すように、このビットとA2-A0ビットの指定によってマルチプレクサ入力の設定を制御します。
1-0	PD1-PD0	パワーダウン動作モード選択ビット。詳細については、表5を参照してください。

表 4. 制御バイトを構成する各制御ビットの説明

PD0	PD1	説明
0	0	各変換動作が終了した期間中のパワーダウン。各変換動作が終了すると、コンバータは低消費電力モードに入ります。次の変換動作の開始時に、コンバータは即時にフルパワー・モードになります。完全な動作を保証するために、遅延時間を追加設定する必要はありません。最初の変換動作から有効になります。
1	0	内部クロック・モード
0	1	将来の使用目的用として予約
1	1	各変換動作の終了期間中にパワーダウン動作モードが適用されません。コンバータは常にパワーアップ状態を維持します。外部クロックモードです。

表 5. パワーダウン動作モードの選択

## 外部クロックモード

外部クロック・モードの場合、外部クロックはADS8344に対してデータのシフト・イン/アウトを行うだけでなく、AD変換の手順を制御します。BUSYは、制御バイトの最後のビットがコンバータにシフト・インされた後、1クロック周期の間“High”になります。逐次比較ビット決定は、次の16回のD<sub>CLK</sub>立ち下がりエッジのそれぞれにおいて行われ、D<sub>OUT</sub>に出力されます (図3を参照)。図4に、外部クロックによるBUSYタイミングを示します。

BUSYが“High”になると(MSB決定が行われる間)シリアル・クロックの1クロック・サイクルが消費されるので、16ビットのデータをすべてクロック・アウトするには、16クロックが余分に必要です。したがって、完全にデータを読み取るには1回の変換動作に最低25クロック・サイクルが必要になります。ほとんどのマイクロプロセッサは8ビット転送で通信を行います。これは、LSBを取得するには追加の転送が必要であることを意味します。この要件を満たすには2つの方法があります。1つは図3のように、LSBがADS8344からクロック・アウトされると同時に次の制御バイトが開始されるようにする方法です。この方法では、スループットが最大となり、1回の変換動作に24クロック・サイクルを使用します。

もう1つの方法は、図5のように1回の変換動作に32クロックを使用します。最後の7クロック・サイクルは単にD<sub>OUT</sub>ライン上でゼロをシフト・アウトします。BUSYとD<sub>OUT</sub>は、 $\overline{\text{CS}}$ が“High”になったときにハイ・インピーダンス状態になります。次の $\overline{\text{CS}}$ 立ち下がりエッジ後にBUSYは“Low”になります。

## 内部クロック・モード

内部クロック・モードでは、ADS8344は自身の変換クロックを内部で生成します。これによって、マイクロプロセッサはSAR変換クロックを生成する必要がなくなり、プロセッサの都合に応じて、任意のクロック・レート(0~2.0MHz)で変換結果を読み返すことができます。BUSYは変換の開始時に“Low”になり、変換が完了すると“High”になります。変換期間中に、BUSYは最大8 $\mu$ sの間“Low”を維持します。また、最良のノイズ性能を実現するためには、変換期間中にD<sub>CLK</sub>を“Low”に維持します。変換結果は内部レジスタに格納され、変換完了後にはいつでもこのレジスタからデータをクロック・アウトすることができます。

変換に続いてBUSYが“High”になったときに $\overline{\text{CS}}$ が“Low”である場合、外部シリアル・クロックの次の立ち下がりエッジでD<sub>OUT</sub>ライン上にMSBが書き出されます。残りのビット(D14-D0)はMSBの後に続く各クロック・サイクルでクロック・アウトされます。BUSYが“Low”になったときに $\overline{\text{CS}}$ が“High”である場合、D<sub>OUT</sub>ラインは $\overline{\text{CS}}$ が“Low”になるまでトライステートを維持します(図6)。変換動作が開始されたら、 $\overline{\text{CS}}$ は“Low”を維持する必要はありません。内部クロック・モードで $\overline{\text{CS}}$ が“High”になったときに、BUSYはトライステートにならない点に留意してください。

最大アキュイジション時間 $t_{ACQ}$ が1.7 $\mu$ s以上に維持されている場合は、2.4MHzを超える任意のクロック・レートでデータをADS8344にシフト・イン/アウトすることができます。

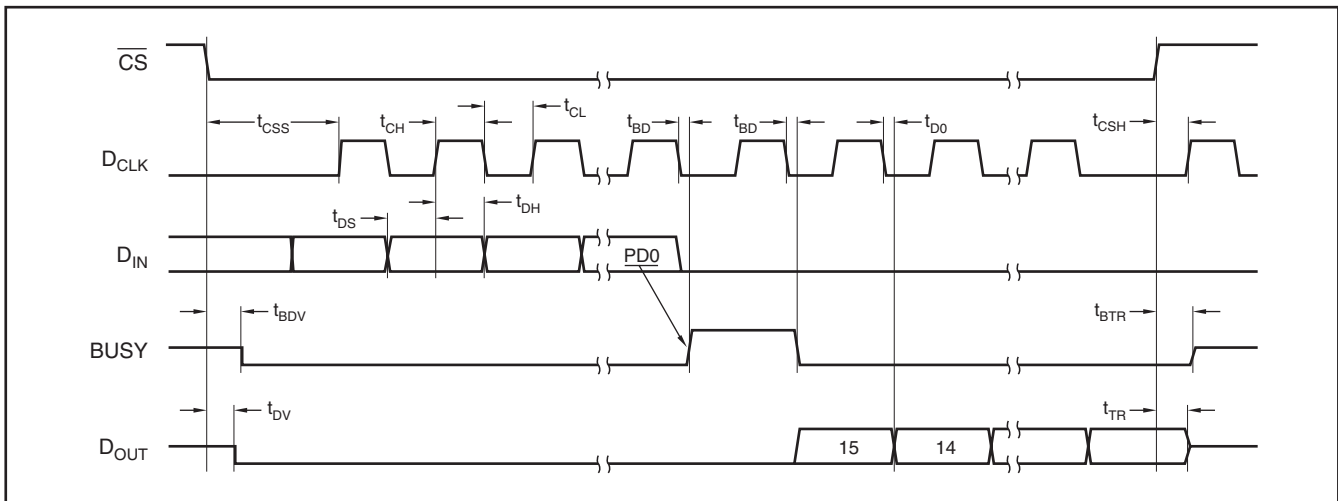


図 4. 詳細なタイミング図

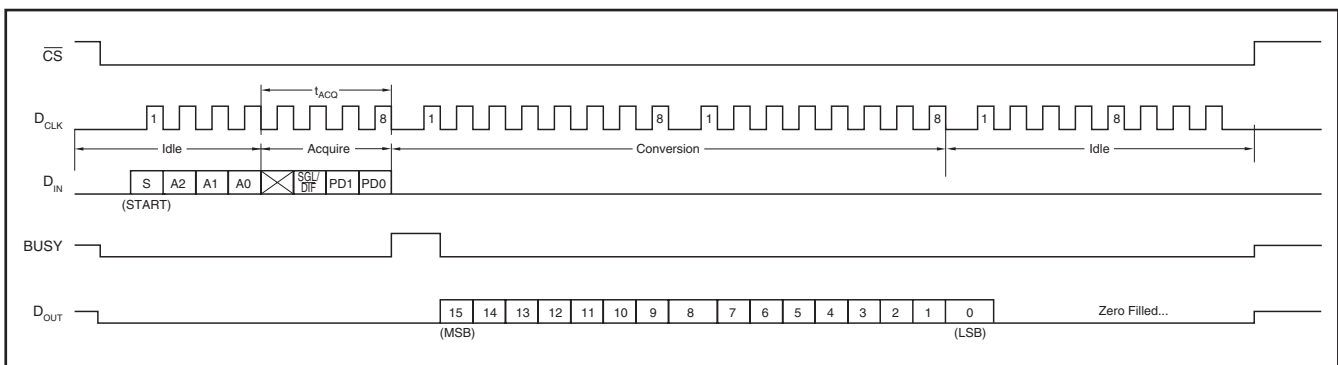


図 5. 外部クロックモード、変換動作32クロック

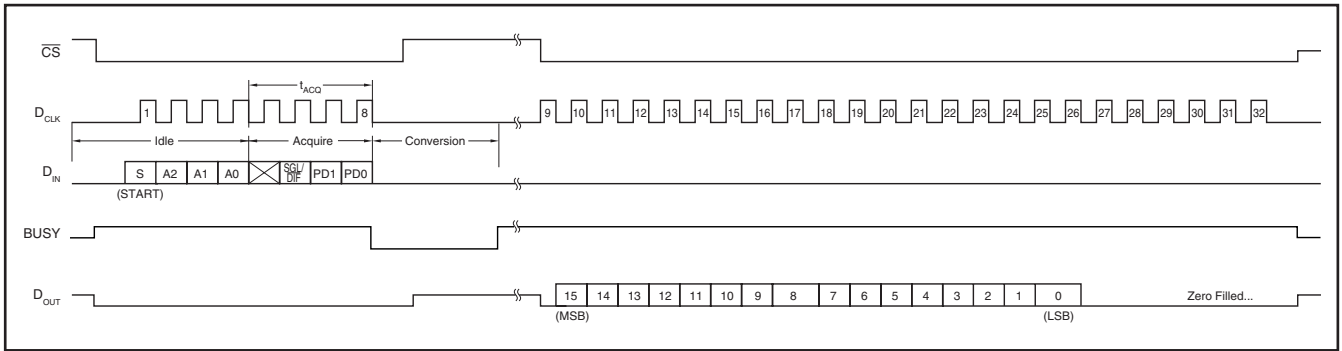


図 6. 内部クロックモード・タイミング

記号	説明	最小	標準	最大	単位
$t_{ACQ}$	アキュジション時間	1.5			$\mu\text{s}$
$t_{DS}$	$D_{CLK}$ が立ち上がる前の $D_{IN}$ 有効時間	100			ns
$t_{DH}$	$D_{CLK}$ “High” 後の $D_{IN}$ ホールド時間	10			ns
$t_{DO}$	$D_{CLK}$ 立ち下がりから $D_{OUT}$ 有効まで			200	ns
$t_{DV}$	$\overline{CS}$ 立ち下がりから $D_{OUT}$ イネーブルまで			200	ns
$t_{TR}$	$\overline{CS}$ 立ち上がりから $D_{OUT}$ ディスエーブルまで			200	ns
$t_{CSS}$	$\overline{CS}$ 立ち下がりから $D_{CLK}$ の最初の立ち上がりまで	100			ns
$t_{CSH}$	$\overline{CS}$ 立ち上がりから $D_{CLK}$ 無視まで	0			ns
$t_{CH}$	$D_{CLK}$ “High”	200			ns
$t_{CL}$	$D_{CLK}$ “Low”	200			ns
$t_{BD}$	$D_{CLK}$ 立ち下がりから $BUSY$ 立ち上がりまで			200	ns
$t_{BDV}$	$\overline{CS}$ 立ち下がりから $BUSY$ イネーブルまで			200	ns
$t_{BTR}$	$\overline{CS}$ 立ち上がりから $BUSY$ ディスエーブルまで			200	ns

表 6. タイミング仕様 (+ $V_{CC} = +2.7V \sim 3.6V$ ,  $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ ,  $C_{LOAD} = 50\text{pF}$ )

記号	説明	最小	標準	最大	単位
$t_{ACQ}$	アキュジション時間	1.7			$\mu\text{s}$
$t_{DS}$	$D_{CLK}$ が立ち上がる前の $D_{IN}$ 有効時間	50			ns
$t_{DH}$	$D_{CLK}$ “High” 後の $D_{IN}$ ホールド時間	10			ns
$t_{DO}$	$D_{CLK}$ 立ち下がりから $D_{OUT}$ 有効まで			100	ns
$t_{DV}$	$\overline{CS}$ 立ち下がりから $D_{OUT}$ イネーブルまで			70	ns
$t_{TR}$	$\overline{CS}$ 立ち上がりから $D_{OUT}$ ディスエーブルまで			70	ns
$t_{CSS}$	$\overline{CS}$ 立ち下がりから $D_{CLK}$ の最初の立ち上がりまで	50			ns
$t_{CSH}$	$\overline{CS}$ 立ち上がりから $D_{CLK}$ 無視まで	0			ns
$t_{CH}$	$D_{CLK}$ “High”	150			ns
$t_{CL}$	$D_{CLK}$ “Low”	150			ns
$t_{BD}$	$D_{CLK}$ 立ち下がりから $BUSY$ 立ち上がりまで			100	ns
$t_{BDV}$	$\overline{CS}$ 立ち下がりから $BUSY$ イネーブルまで			70	ns
$t_{BTR}$	$\overline{CS}$ 立ち上がりから $BUSY$ ディスエーブルまで			70	ns

表 7. タイミング仕様 (+ $V_{CC} = +4.75V \sim +5.25V$ ,  $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ ,  $C_{LOAD} = 50\text{pF}$ )

## デジタル・タイミング

ADS8344のデジタル・インターフェイス・タイミングの詳細を図4と表6および表7にそれぞれ示します。

## データ・フォーマット

ADS8344の出力データは、図7に示すようにストレート・バイナリ・フォーマットです。図にはある特定の入力電圧に対する理想的な出力コードを示しており、オフセット、ゲインまたはノイズの影響は含まれていません。

## 消費電力

ADS8344にはフルパワー (PD1 - PD0 = 11B)、自動パワーダウン (PD1 - PD0 = 00B) そしてシャットダウン (SHDN “Low”) の3つのパワー・モードが用意されています。この3つのパワー・モードの影響は、ADS8344をどのような方法で動作させるかで異なります。例えば、ADS8344を最高の変換速度および24クロック・サイクルの変換モードで動作させた場合、フルパワー・モードと自動パワーダウン・モード間の相違はほとんどありません。シャットダウン・モード (SHDN “Low”) に設定しても消費電力が低減されることはありません。

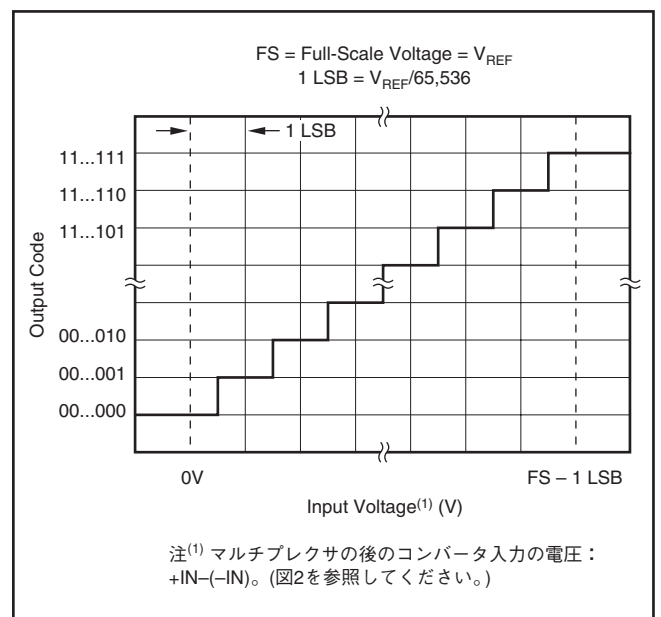


図 7. 理想的な入力電圧と出力コードの関係

ADS8344を最高速度および(図3に示すように)24クロック・サイクルの変換モードで動作させると、そのほとんどの動作時間は信号のアクイジションと変換に費やされます。このモードがアクティブ状態であると仮定すれば、自動パワーダウに割り当てられる時間はほとんどありません。したがって、フルパワー・モードと自動パワーダウン・モードとの間の相違はほとんどありません。DCLKの周波数を単に下げただけで変換速度を低速化しても、この2つのモードはほとんど等しい状態のままです。しかし、変換期間中にDCLKの入力周波数をその最大レートに維持し、変換動作回数を少なくすると、2つのモード間の相違は非常に大きくなります。後者の場合、コンバータはその動作時間をパワーダウン・モードに割り当てる割合が高くなっています(自動パワーダウン・モードがアクティブ状態であると仮定)。

ADS8344が自動パワーダウン・モードに入っている期間中にDCLK入力がアクティブ状態で、さらにCS入力が“Low”になっている場合には、デバイス内部のデジタル・ロジックがある程度の電力を消費し続けます。この場合にはCS信号を“High”に維持することで、消費電力を最小限に抑えることが可能です。

ADS8344を自動パワーダウン・モードで動作させると、消費電力が最小限に抑えられ、しかもパワーアップ時に変換時間に与える影響もまったくありません。最初の変換動作から有効になります。SHDN入力信号を使用して、パワーダウン・モードを即時に強制設定することができます。

## ノイズ

ADS8344自体のノイズフロアは極端に低く(図8~図11を参照)、競合するADコンバータ製品の値を大きく下回っています。ADS8344のテストは、5Vおよび2.7Vで、内部クロック・モードと外部クロック・モードの両方で行われました。これは、ADS8344に低ノイズのDC入力を印加して、5,000回の変換を行うことによってテストされています。ADコンバータのデジタル出力は、ADS8344内部のノイズによって出力コードが変動します。これは、すべての16ビットSAR型ADコンバータに言えることです。ヒストグラムに出力コードをプロットすると、分布はベル型になり、ベル曲線のピークが入力値に対する公称コードを示します。 $\pm 1\sigma$ 、 $\pm 2\sigma$ 、 $\pm 3\sigma$ の分布は、それぞれ全コードの68.3%、95.5%、99.7%を表します。トランジション・ノイズは測定されたコードの数を6で割って求めることができ、その結果が全コードの3分布、つまり99.7%となります。統計的に言えば、1,000回実行したときに最大3コードまでが分布の範囲外になることが許されます。ADS8344は5Vの動作時で、 $\pm 3\sigma$ 分布に対して出力コードが3個未満であり、トランジション・ノイズは $\pm 0.5\text{LSB}$ 未満になります。この低ノイズ性能を達成するためには、入力信号とリファレンスのピーク・ツー・ピーク雑音が $50\mu\text{V}$ 未満でなければならないことに注意してください。

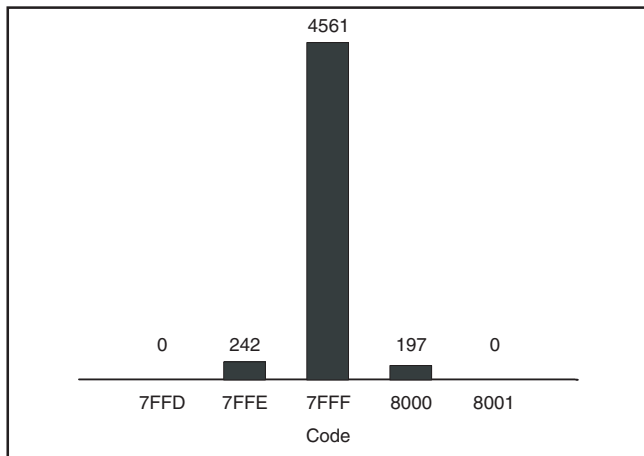


図8. DC入力の変換5,000回ヒストグラム(コード・トランジション5V動作の外部クロック・モード)

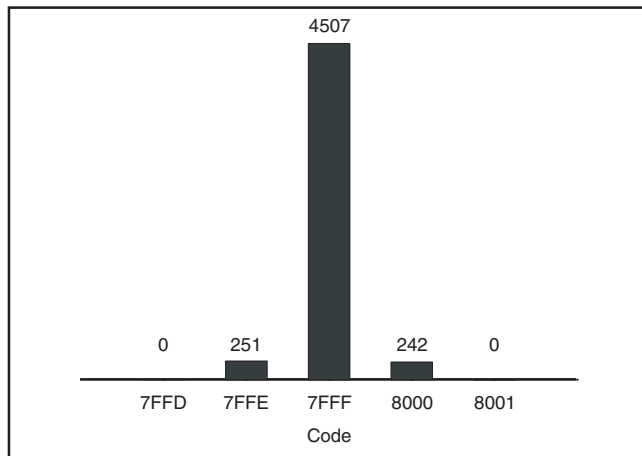


図9. DC入力の変換5,000回ヒストグラム(コード・センター、5V動作の内部クロック・モード)

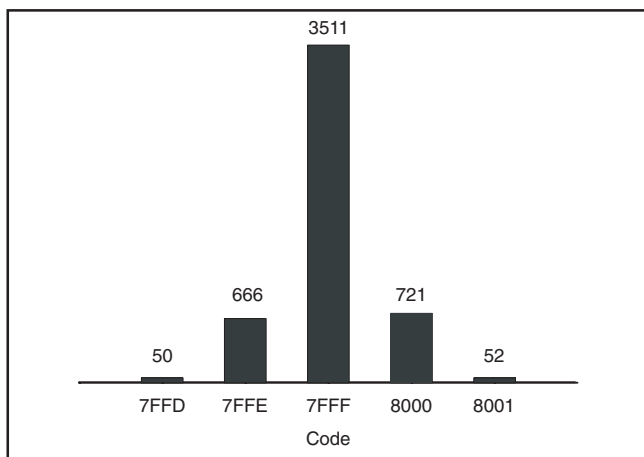


図10. DC入力の変換5,000回ヒストグラム(コード・トランジション、2.7V動作の外部クロック・モード)

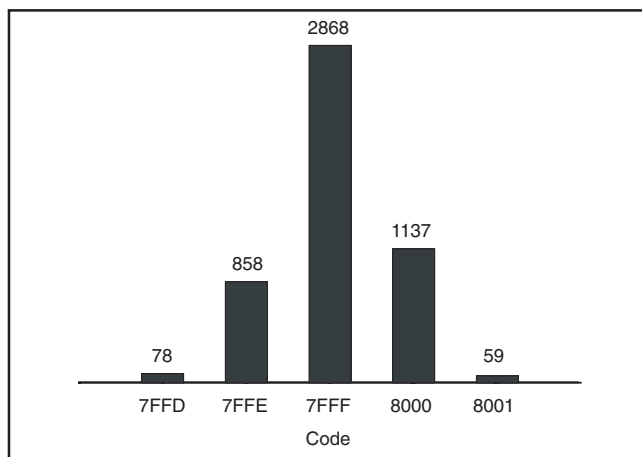


図11. DC入力の変換5,000回ヒストグラム(コード・センター、2.7V動作の内部クロック・モード)



## 平均化

ADコンバータのノイズは、デジタルコードの平均化によって補償することができます。変換結果を平均化することにより、トランジション・ノイズは $1/\sqrt{n}$ の割合で減少します（ $n$ は平均した個数）。たとえば、4つの変換結果を平均するとトランジション・ノイズが1/2に減少し、 $\pm 0.25\text{LSB}$ になります。平均化は、周波数がDCに近い入力信号に対してだけ使用するようになります。

AC信号の場合、デジタル・フィルタをローパス・フィルタとして使って出力コードのデシメーションを行うことができます。これは平均化と同様の効果があります。2のデシメーションを行うごとに、信号対ノイズ比が3dB改善します。

## 回路レイアウト

最適な性能を確保するためには、ADS8344の回路のレイアウト設計に細心の注意を払うことが必要です。これは特にリファレンス電圧が低い場合やコンバータの変換速度が高い場合、またはその両方に言えることです。

基本的なSARアーキテクチャはアナログ・コンパレータの出力がラッチされる直前に発生する電源、リファレンス、グラウンド接続、およびデジタル入力のグリッチや急激な変化に敏感です。したがって、“ $n$ ”ビットのSARコンバータによって1回の変換動作が実行される期間中に、大きな外部トランジェント電圧の発生によって変換結果に容易に悪影響が及ぶ可能性の高い“ウィンドウ”が $n$ 個存在することになります。このようなグリッチは電源、近接したデジタル・ロジック、ハイパワー・デバイスなどのスイッチングによって生じる場合があります。デジタル出力の誤差の程度は、リファレンス電圧、レイアウト、および外部イベントの厳密なタイミングによって異なります。D<sub>CLK</sub>入力を基準にした外部イベントの時間変動によって、誤差が変動する場合があります。

これらに十分留意し、ADS8344にはクリーンな電源を用意し、十分にバイパスしてください。0.1 $\mu\text{F}$ のバイパス用セラミック・コンデンサをデバイスに可能な限り近接させて配置してください。さらに、容量が1 $\mu\text{F}$ から10 $\mu\text{F}$ までのコンデンサと5 $\Omega$ または10 $\Omega$ の直列抵抗を使用して、ノイズ発生要因である電源のローパスフィルタ処理を行うことも可能です。

リファレンスも同様に0.1 $\mu\text{F}$ のコンデンサでバイパスしてください。ここでも、直列抵抗と容量の大きなコンデンサを使用してリファレンス電圧のローパスフィルタ処理を行うことが可能です。リファレンス電圧をオペアンプから生成している場合には、そのオペアンプが発振せずにバイパス・コンデンサをドライブする能力を備えていることを確認してください（この場合には直列抵抗が役立ちます）。ADS8344がリファレンスから消費する平均電流はほんのわずかに過ぎませんが、それでもリファレンス回路には（変換期間中のD<sub>CLK</sub>の各立ち上がりエッジにおいて）短時間に大きな電流が流れることに注意してください。

ADS8344アーキテクチャには、本質的にリファレンス入力に関するノイズまたは電圧変動の除去性能が用意されていないことにも注意してください。リファレンス入力を電源に接続する際、この点が特に重要な留意事項になります。電源からノイズとリップルが少しでも発生しただけで、デジタル結果に直接反映されます。前の段落で説明したように、高周波ノイズはフィルタによって除去することが可能ですが、ライン周波数（50Hzまたは60Hz）による電圧変動を排除することは非常に困難です。

ADS8344のGNDピンはクリーンなグラウンド・ポイントに接続してください。多くの場合、これを“アナログ・グラウンド”にします。マイクロコントローラまたはデジタル・シグナル・プロセッサの接続ポイントに極端に近接した箇所に接続を行わないでください。必要であれば、コンバータから電源の入口までの間にグラウンド接続パターンを直接的に走らせてください。コンバータと関連アナログ回路専用のアナログ・グラウンド・プレーンを用意すると理想的な回路レイアウトになります。

## パッケージ情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
ADS8344E	ACTIVE	SSOP/QSOP	DBQ	20	56	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344E/2K5	ACTIVE	SSOP/QSOP	DBQ	20	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS8344E/2K5G4	ACTIVE	SSOP/QSOP	DBQ	20	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS8344EB	ACTIVE	SSOP/QSOP	DBQ	20	56	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344EB/2K5	ACTIVE	SSOP/QSOP	DBQ	20	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS8344EB/2K5G4	ACTIVE	SSOP/QSOP	DBQ	20	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS8344EBG4	ACTIVE	SSOP/QSOP	DBQ	20	56	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344EG4	ACTIVE	SSOP/QSOP	DBQ	20	56	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344N	ACTIVE	SSOP	DB	20	68	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344N/1K	ACTIVE	SSOP	DB	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344N/1KG4	ACTIVE	SSOP	DB	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344NB	ACTIVE	SSOP	DB	20	68	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344NB/1K	ACTIVE	SSOP	DB	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344NB/1KG4	ACTIVE	SSOP	DB	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344NBG4	ACTIVE	SSOP	DB	20	68	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8344NG4	ACTIVE	SSOP	DB	20	68	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

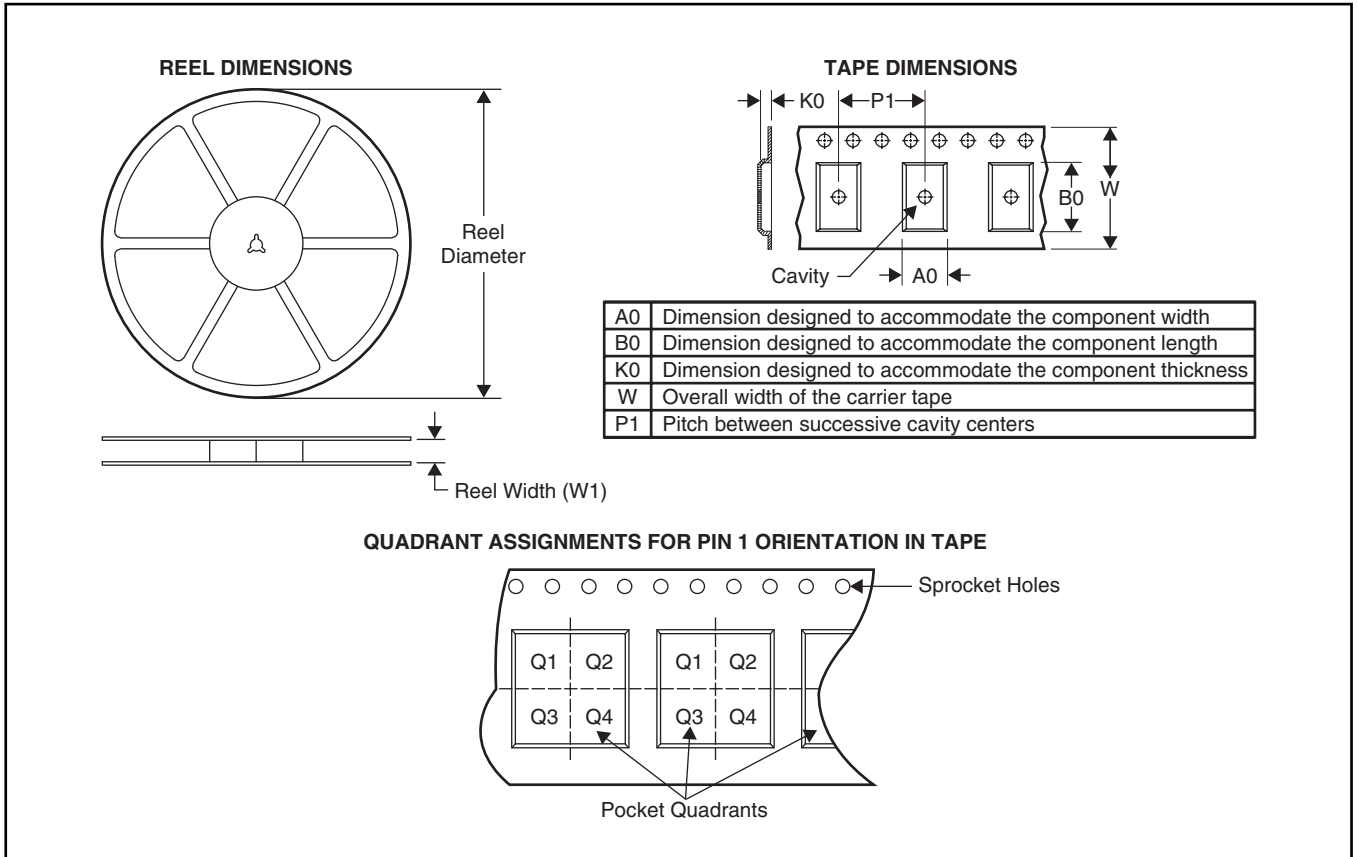
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

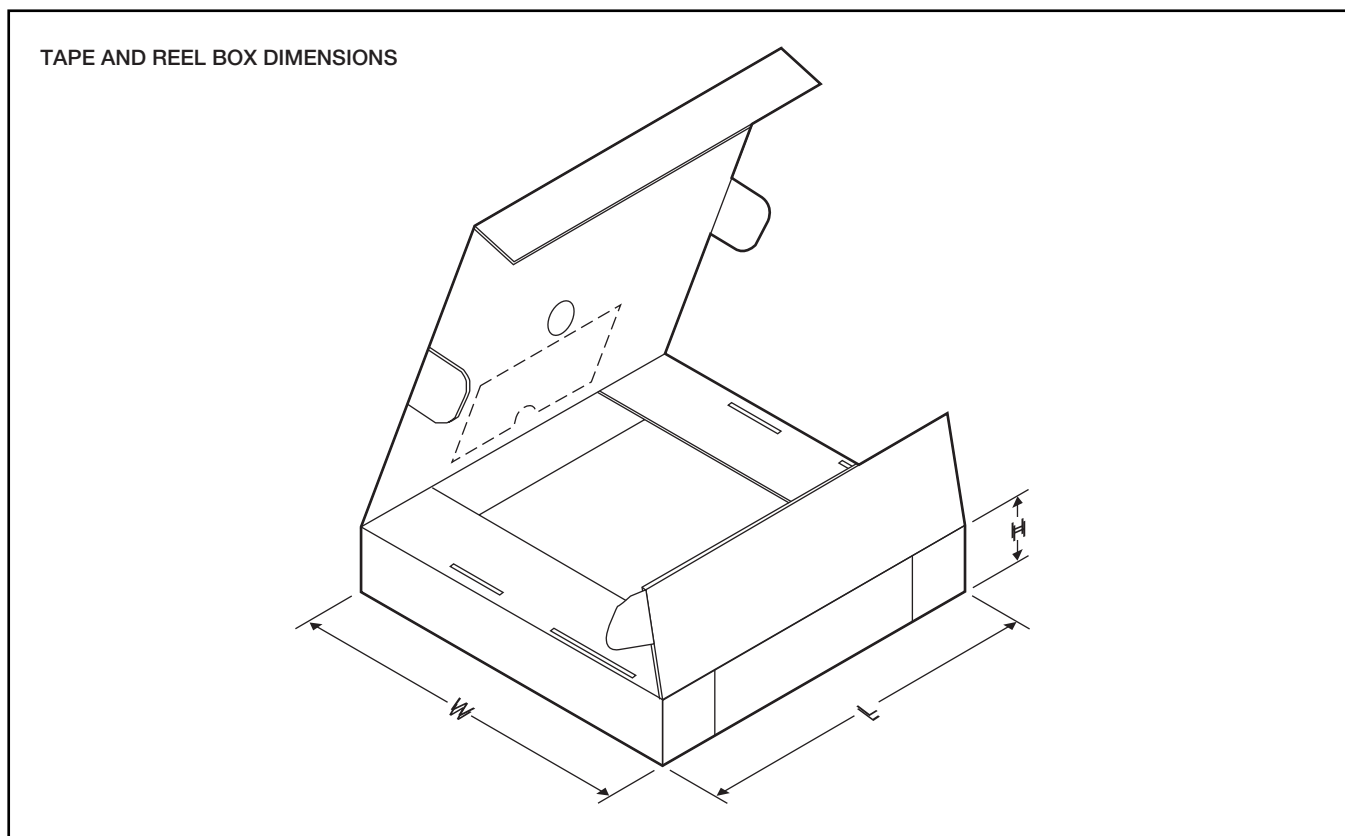
# パッケージ・マテリアル情報

## テープおよびリール・ボックス情報

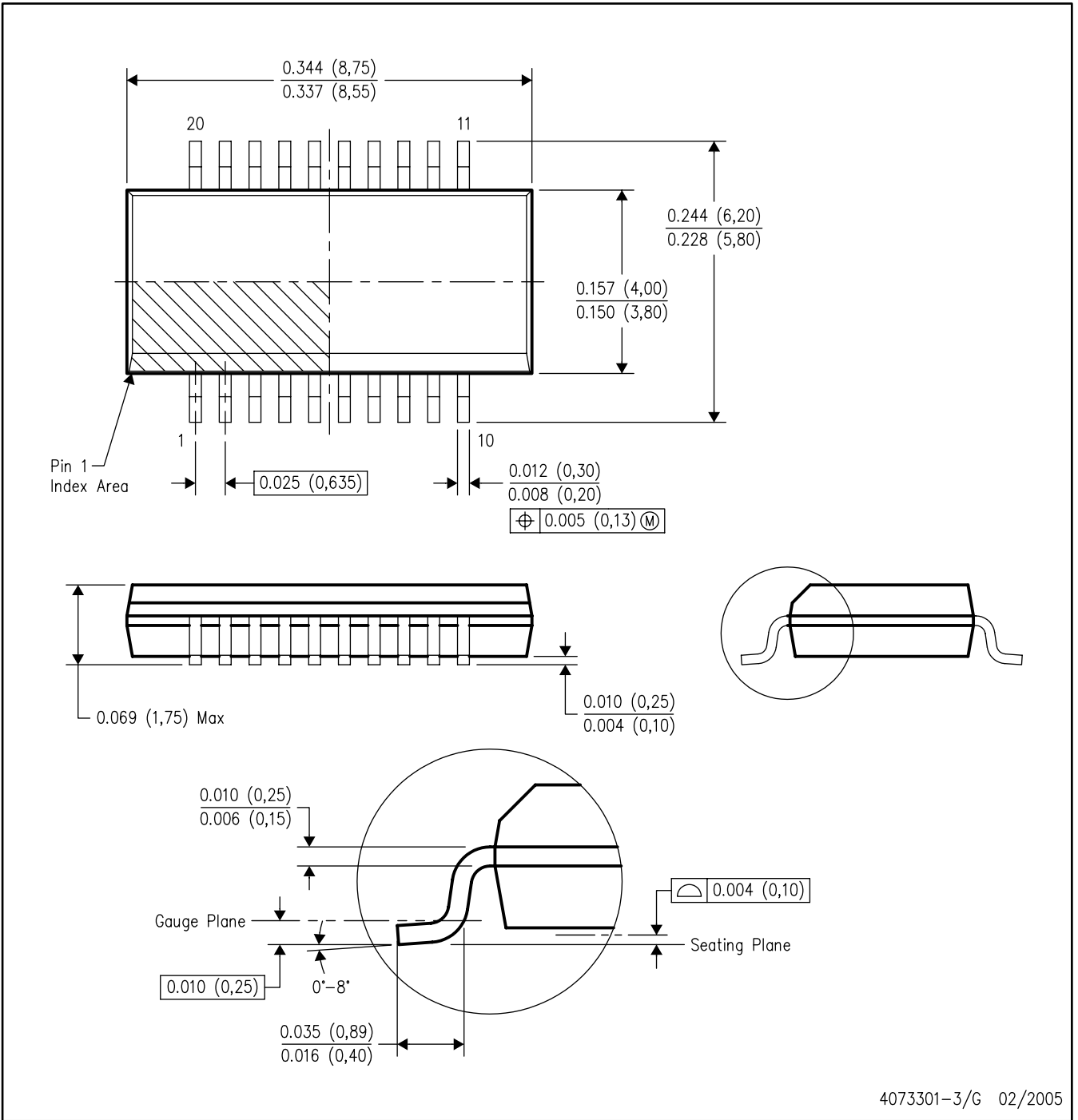


Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8344E/2K5	DBQ	20	SITE 41	330	16	6.5	9.0	2.1	8	16	Q1
ADS8344EB/2K5	DBQ	20	SITE 41	330	16	6.5	9.0	2.1	8	16	Q1
ADS8344N/1K	DB	20	SITE 41	330	16	8.2	7.5	2.5	12	16	Q1
ADS8344NB/1K	DB	20	SITE 41	330	16	8.2	7.5	2.5	12	16	Q1

## パッケージ・マテリアル情報



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
ADS8344E/2K5	DBQ	20	SITE 41	346.0	346.0	33.0
ADS8344EB/2K5	DBQ	20	SITE 41	346.0	346.0	33.0
ADS8344N/1K	DB	20	SITE 41	346.0	346.0	33.0
ADS8344NB/1K	DB	20	SITE 41	346.0	346.0	33.0



4073301-3/G 02/2005

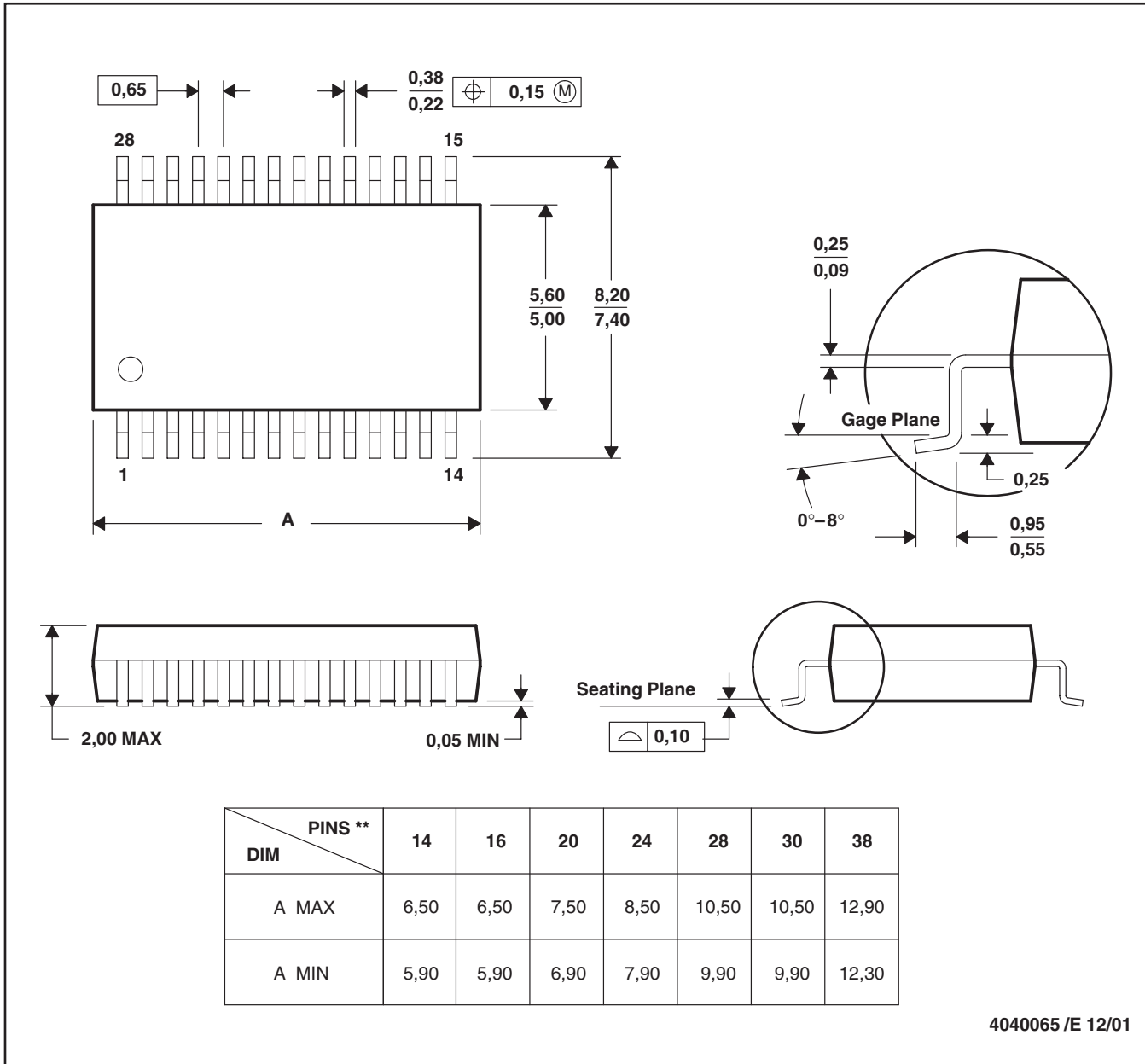
- NOTES:
- A. 直線寸法はすべてミリメートルです。
  - B. 本図は予告なく変更することがあります。
  - C. 本体の寸法はモールド・フラッシュや突起を含みません。モールド・フラッシュや突起は、各辺0.15を越えてはなりません。
  - D. JEDEC MO-137 Variation ADに準拠します。

# メカニカル・データ

DB (R-PDSO-G\*\*)

28 PINS SHOWN

PLASTIC SMALL-OUTLINE



- NOTES:
- A. 直線寸法はすべてミリメートルです。
  - B. 本図は予告なく変更することがあります。
  - C. 本体の寸法はモールド・フラッシュや突起を含みません。モールド・フラッシュや突起は、各辺0.15を越えてはなりません。
  - D. JEDEC MO-137 Variation ADに準拠します。

(SBAS139E)

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上