



16ビット 250kSPS サンプリング CMOS ADコンバータ

特長

- SFDR : 105dB/250kSPS時
- 工業標準入力範囲 : $\pm 10V$
- INL : $\pm 1.5LSB$ (Max)
- DNL : $\pm 1LSB$ (Max)
ノーマissing・コード : 16ビット
- バイポーラ・ゼロ誤差 : $\pm 2mV$ (Max)、
ドリフト : $\pm 0.4ppm/^{\circ}C$
- フルスケール誤差 : $\pm 0.1\%FSR$ (Max)、
ドリフト : $\pm 2ppm/^{\circ}C$
- 5V単電源動作
- ADS7805/10 (低速)、ADS7804/8504とピン配列
互換性
- 内部または外部リファレンスを使用
- パラレル・データ出力
- 消費電力 : 70mW (250kSPS (Typ))
- 28ピンSSOPおよびSOICパッケージ

アプリケーション

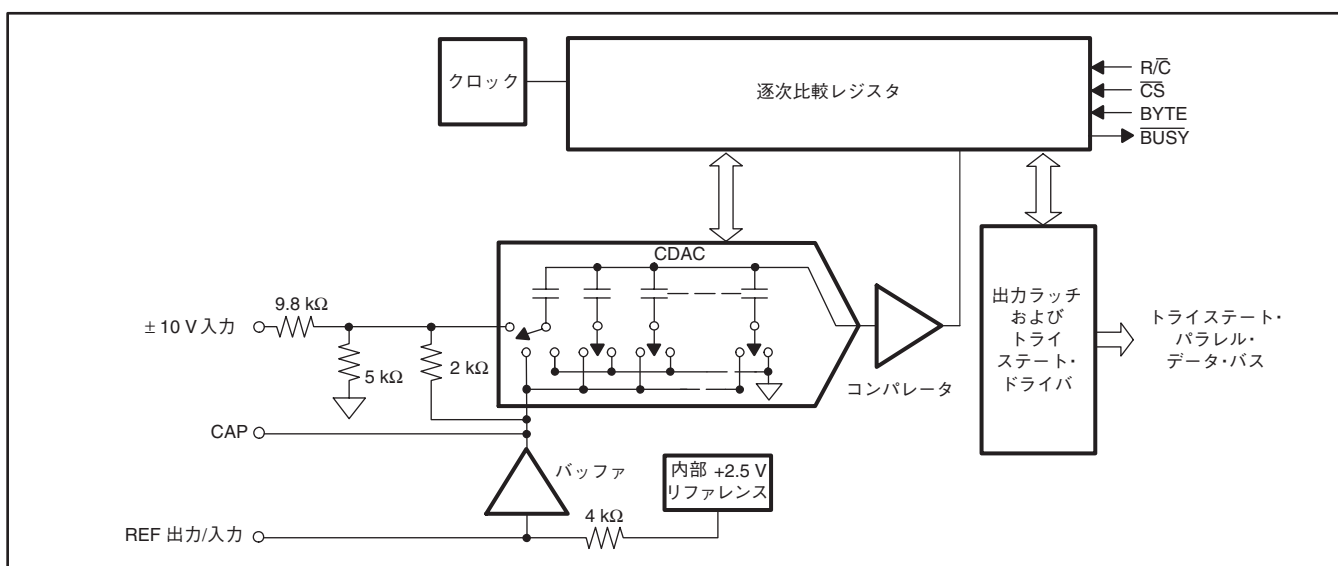
- 産業用プロセス制御
- データ・アキュジション・システム
- デジタル・シグナル・プロセッシング
- 医用機器
- 計装機器

概要

ADS8505は最新のCMOS構造を採用した16ビットのサンプリングADコンバータ(ADC)です。この製品は分解能16ビット、電荷再配分方式のサンプル・ホールド付の逐次比較型(SAR)ADコンバータ、リファレンス、クロック回路、マイクロプロセッサ用インターフェイス、およびトライ・ステート出力ドライバを内蔵しています。

ADS8505は、 $-40^{\circ}C \sim 85^{\circ}C$ の範囲で250kHzのサンプリング・レートが規定されています。斬新な設計により、+5Vの単電源で動作し、100mW以下の低消費電力で高精度の抵抗により、工業標準の $\pm 10V$ 入力範囲を実現しています。

ADS8505は28ピンSOICおよび28ピンSSOPパッケージで供給され、産業用の $-40^{\circ}C \sim +85^{\circ}C$ の温度範囲で動作が規定されています。



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。





静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品名	最小相対精度 (LSB)	ノー・ミッシング・コード	最小 SINAD (dB)	仕様温度範囲	パッケージ	パッケージコード	製品型番	出荷形態、数量
ADS8505IB	±1.5	16	86	-40°C ~ 85°C	SO-28	DW	ADS8505IBDW	チューブ、20
							ADS8505IBDWR	テープ・リール、1,000
					SSOP-28	DB	ADS8505IBDB	チューブ、50
							ADS8505IBDBR	テープ・リール、2,000
ADS8505I	±4	15	83	-40°C ~ 85°C	SO-28	DW	ADS8505IDW	チューブ、20
							ADS8505IDWR	テープ・リール、1,000
					SSOP-28	DB	ADS8505IDB	チューブ、50
							ADS8505IDBR	テープ・リール、2,000

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「パッケージ・オプション」を参照するか、www.ti.comまたはwww.tij.co.jpにあるTIのWebサイトを参照してください。

絶対最大定格⁽¹⁾

		単位
アナログ入力	V _{IN}	±25V
	REF	+V _{ANA} + 0.3V ~ AGND2 - 0.3V
	CAP	AGND2へ短絡、V _{ANA} へ瞬時短絡
グラウンドとの電位差	DGND、AGND1、AGND2	±0.3V
	V _{ANA}	6V
	V _{DIG} ~ V _{ANA}	0.3V
	V _{DIG}	6V
デジタル入力		-0.3V ~ +V _{DIG} + 0.3V
最大ジャンクション温度		165°C
許容損失		825mW
端子温度（半田付け、10秒）		300°C

(1) 絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与えます。絶対最大定格の状態では長時間動作させると、デバイスの信用性が低下します。これはストレスの定格のみについて示してあり、本製品の仕様を超える状態での機能動作を意味するものではありません。

電気的特性

T_A = -40°C ~ +85°C、f_s = 250kHz、V_{DIG} = V_{ANA} = 5V、内部リファレンスを使用、（特に記述のない限り）

パラメータ	測定条件	ADS8505I			ADS8505IB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
分解能				16			16	Bit
アナログ入力								
電圧範囲			±10			±10		V
インピーダンス			11.5			11.5		kΩ
容量			50			50		pF
スループット								
変換サイクル	アキュジション + 変換			4			4	μs
スループット・レート		250			250			kHz

電気的特性

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $f_s = 250\text{kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{V}$ 、内部リファレンスを使用、(特に記述のない限り)

パラメータ	測定条件	ADS8505I			ADS8505IB			単位	
		MIN	TYP	MAX	MIN	TYP	MAX		
DC精度									
INL	積分直線性誤差	-4		4	-1.5		1.5	LSB ⁽¹⁾	
DNL	微分直線性誤差	-2		2	-1		1	LSB ⁽¹⁾	
	ノー・ミッシング・コード	15			16			Bit	
	変換ノイズ ⁽²⁾		0.77		0.77			LSB ⁽¹⁾	
	フルスケール誤差 ⁽³⁾⁽⁴⁾	内部リファレンス	-0.5		0.5	-0.25		0.25	%FSR
	フルスケール誤差ドリフト	内部リファレンス		±7		±7			ppm/°C
	フルスケール誤差 ⁽³⁾⁽⁴⁾	外部2.5Vリファレンス	-0.25		0.25	-0.1	±0.01	0.1	%FSR
	フルスケール誤差ドリフト	外部2.5Vリファレンス		±2		±2			ppm/°C
	バイポーラ・ゼロ誤差 ⁽³⁾		-5		5	-2		2	mV
	バイポーラ・ゼロ誤差ドリフト			±0.4		±0.4			ppm/°C
	電源電圧感度 ($V_{\text{DIG}} = V_{\text{ANA}} = V_{\text{D}}$)	+4.75V < V_{D} < +5.25V	-8		8	-8		8	LSB ⁽¹⁾
AC精度									
SFDR	スプリアス・フリー・ダイナミック・レンジ	$f_1 = 20\text{kHz}$	92	98		96	105		dB ⁽⁵⁾
THD	全高調波歪	$f_1 = 20\text{kHz}$		-98	-92		-103	-96	dB
SINAD	信号対(雑音+歪)比	$f_1 = 20\text{kHz}$	83	88		86	88		dB
		-60dB入力		30			32		dB
SNR	S/N比	$f_1 = 20\text{kHz}$	83	88		86	88		dB
		フルパワー帯域幅 ⁽⁶⁾		500			500		kHz
サンプリング・ダイナミック特性									
	アパーチャ遅延			5		5			ns
	過渡応答	FSステップ			2			2	μs
	過電圧復帰 ⁽⁷⁾			150		150			ns
リファレンス電圧									
	内部リファレンス		2.48	2.5	2.52	2.48	2.5	2.52	V
	内部リファレンスのソース電流 (外部バッファの使用が必須)			1			1		μA
	内部リファレンス・ドリフト			8			8		ppm/°C
	仕様の直線性を得る為の外部 リファレンス電圧範囲		2.3	2.5	2.7	2.3	2.5	2.7	V
	外部リファレンス・ドレイン電流	外部2.5Vリファレンス			100			100	μA
デジタル入力									
	ロジック・レベル								
V_{IL}	“L” レベル入力電圧		-0.3		0.8	-0.3		0.8	V
V_{IH}	“H” レベル入力電圧		2.0		$V_{\text{DIG}} + 0.3\text{V}$	2.0		$V_{\text{DIG}} + 0.3\text{V}$	V
I_{IL}	“L” レベル入力電流				±10			±10	μA
I_{IH}	“H” レベル入力電流				±10			±10	μA
デジタル出力									
	データ形式(バラレル16ビット)								
	データ・コーディング(2の補数 バイナリ)								
V_{OL}	“L” レベル出力電圧	$I_{\text{SINK}} = 1.6\text{mA}$			0.4			0.4	V
V_{OH}	“H” レベル出力電圧	$I_{\text{SOURCE}} = 500\text{mA}$	4			4			V
	リーク電流	Hi-Z状態、 $V_{\text{OUT}} = 0\text{V} \sim V_{\text{DIG}}$			±5			±5	μA
	出力容量	Hi-Z状態			15			15	pF

- (1) LSBは最小ビット値を示します。16ビット、±10V入力のADS8505の1LSBは305μVです。
- (2) 電圧遷移と温度が最悪時の代表的なrmsノイズです。
- (3) 固定抵抗を使用した例を図27に示します。外部ポテンショメータを使用すると、0に調整することもできます。
- (4) フルスケール誤差とは、ワースト・ケースの-full-scaleまたは+full-scaleの理論値に対する偏差を、遷移電圧(フルスケール範囲ではなく)で割った値であり、オフセット誤差の影響が含まれます。
- (5) 単位がdBのすべての規定は、±10Vフルスケール入力を基準としています。
- (6) フルパワー帯域幅は、信号対(雑音+歪)比が60dBまで低下、または精度が10ビットまで低下するときのフルスケール入力周波数と定義されます。
- (7) 2×FSの入力過電圧が印加された後、規定の性能に回復するまでの時間。

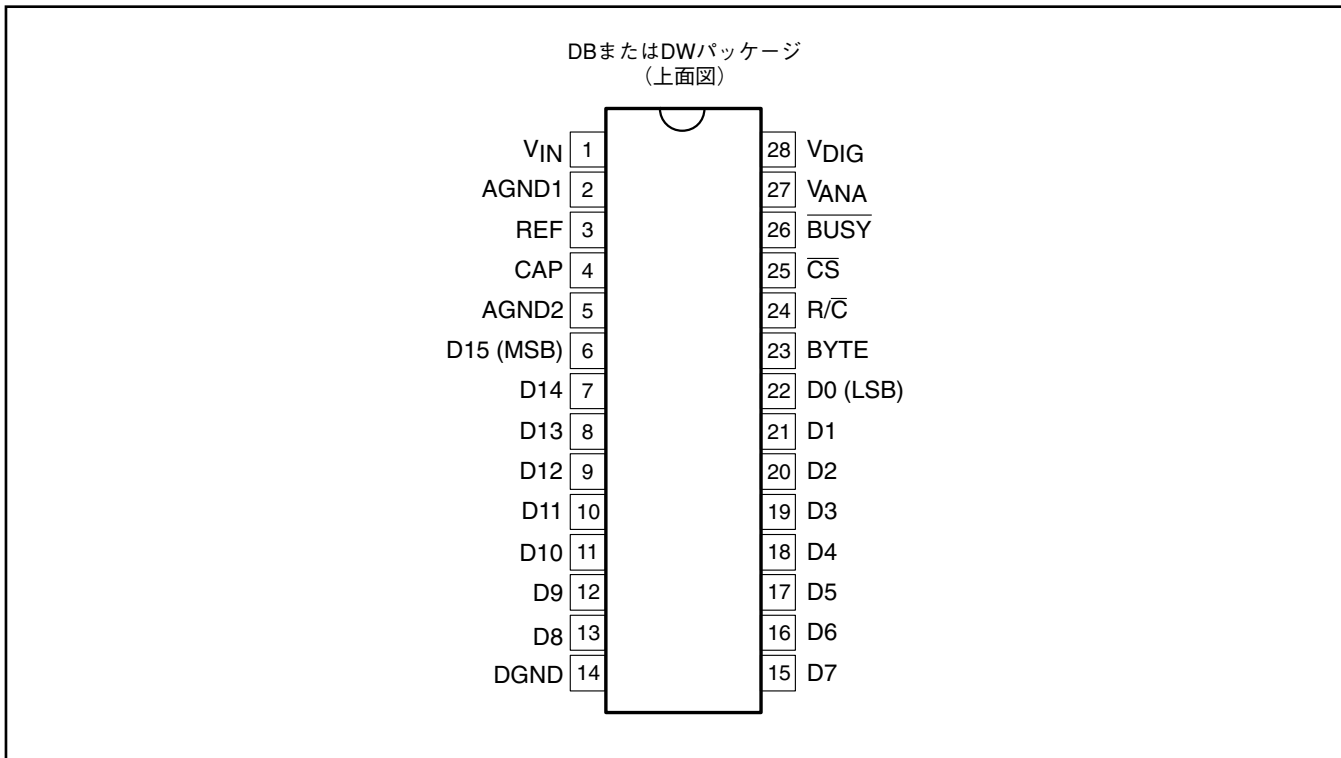
電気的特性

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $f_s = 250\text{kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = 5\text{V}$ 、内部リファレンスを使用、(特に記述のない限り)

パラメータ	測定条件	ADS8505I			ADS8505IB			単位	
		MIN	TYP	MAX	MIN	TYP	MAX		
デジタル・タイミング									
バス・アクセス時間				83			83	ns	
バス解放時間				83			83	ns	
電源									
V_{DIG}	デジタル入力電圧	V_{ANA} 以下	4.75	5	5.25	4.75	5	5.25	V
V_{ANA}	アナログ入力電圧		4.75	5	5.25	4.75	5	5.25	V
I_{DIG}	デジタル入力電流		2	5		2	5		mA
I_{ANA}	アナログ入力電流		12	15		12	15		mA
	消費電力		$f_s = 250\text{kHz}$	70	100	70	100		mW
温度範囲									
	規定		-40	85	-40	85		$^{\circ}\text{C}$	
	ディレーティング ⁽⁸⁾		-55	125	-55	125		$^{\circ}\text{C}$	
	保存		-65	150	-65	150		$^{\circ}\text{C}$	
熱抵抗 (Θ_{JA})									
	SSOP			62		62		$^{\circ}\text{C}/\text{W}$	
	SO			46		46		$^{\circ}\text{C}/\text{W}$	

(8) 内部リファレンスは、産業用温度範囲 ($-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$) を超えている場合、正常に起動しないことがあります。したがって、外部リファレンスの使用をお勧めします。

ピン配置



ピン構成

端子		デジタル I/O	説明
名称	ピン番号		
AGND1	2		アナログGND。内部でグラウンド基準点として使用されます。
AGND2	5		アナログGND
BUSY	26	O	変換の開始時にBUSYは“Low”になり、変換が完了してデジタル出力が更新されるまでは“Low”にとどまります。
BYTE	23	I	上位8ビットを選択 (“Low” のとき)、または下位8ビットを選択 (“High” のとき) します。
CAP	4		リファレンス・バッファ出力です。2.2μFのタンタル・コンデンサをグラウンドとの間に接続します。
\overline{CS}	25	I	内部で、 R/\overline{C} とOR接続されています。 R/\overline{C} が“Low”である場合は、 \overline{CS} の立ち下がりエッジで新しい変換が開始されます。
DGND	14		デジタル・グラウンド。
D15 (MSB)	6	O	データ・ビット15。変換結果の最上位ビット (MSB) です。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D14	7	O	データ・ビット14。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D13	8	O	データ・ビット13。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D12	9	O	データ・ビット12。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D11	10	O	データ・ビット11。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D10	11	O	データ・ビット10。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D9	12	O	データ・ビット9。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D8	13	O	データ・ビット8。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D7	15	O	データ・ビット7。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D6	16	O	データ・ビット6。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D5	17	O	データ・ビット5。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D4	18	O	データ・ビット4。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D3	19	O	データ・ビット3。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D2	20	O	データ・ビット2。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D1	21	O	データ・ビット1。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
D0 (LSB)	22	O	データ・ビット0。変換結果の最下位ビット (LSB) です。 \overline{CS} が“High”、または R/\overline{C} が“Low”である場合は、ハイ・インピーダンス状態になります。
R/\overline{C}	24	I	\overline{CS} が“Low”、かつBUSYが“High”である場合は、 R/\overline{C} の立ち下がりエッジで新しい変換が開始されます。 \overline{CS} が“Low”である場合は、 R/\overline{C} の立ち上がりエッジでパラレル出力をイネーブルにします。
REF	3		リファレンス入出力です。2.2μFのタンタル・コンデンサをグラウンドとの間に接続します。
V_{ANA}	27		アナログ電源入力で、公称は+5Vです。0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサでグラウンドにデカップリングします。
V_{DIG}	28		デジタル電源入力で、公称は+5Vです。ピン27に直接接続してください。 V_{ANA} と同じ、または以下であること
V_{IN}	1		アナログ入力。図28参照してください。

代表的特性

スプリアス・フリー・ダイナミック・レンジ
対 温度

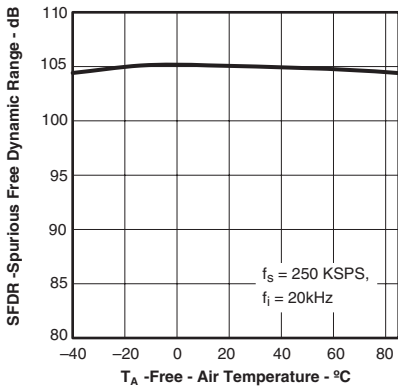


図 1

全高調波歪 (THD) 対 温度

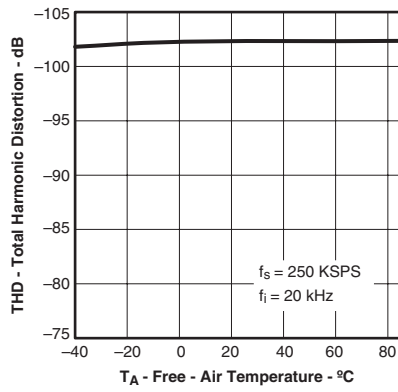


図 2

信号/ノイズ比 対 温度

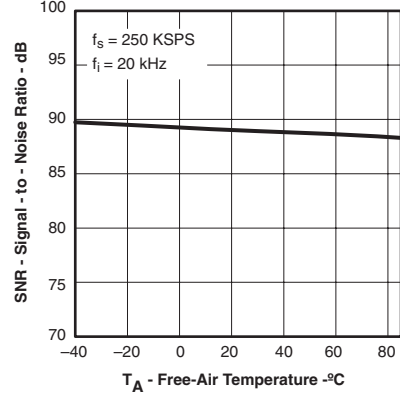


図 3

信号/(雑音+歪)比 対 温度

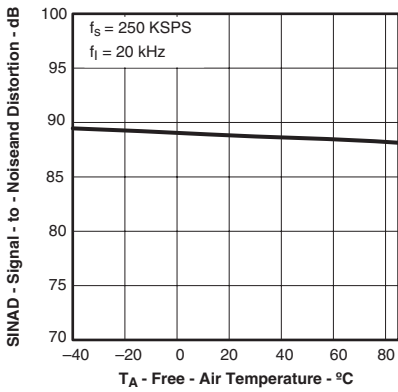


図 4

信号/ノイズ比 対 入力周波数

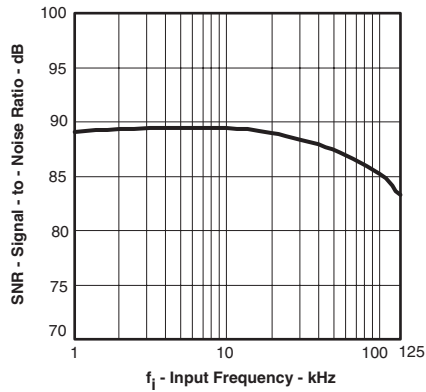


図 5

信号/(雑音+歪)比 対 入力周波数

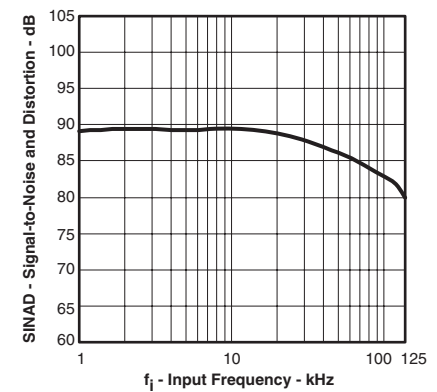


図 6

スプリアス・フリー・ダイナミック・レンジ
対 入力周波数

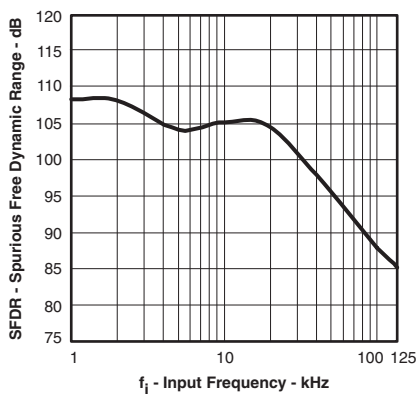


図 7

全高調波歪 (THD) 対 入力周波数

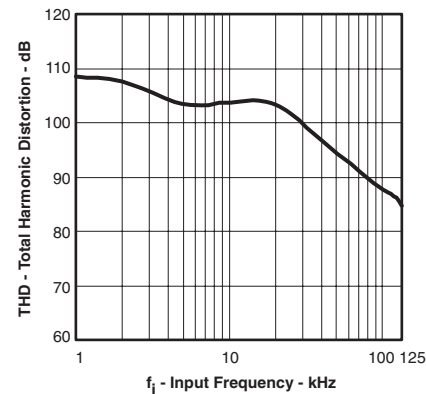


図 8

内部リファレンス電圧 対 温度

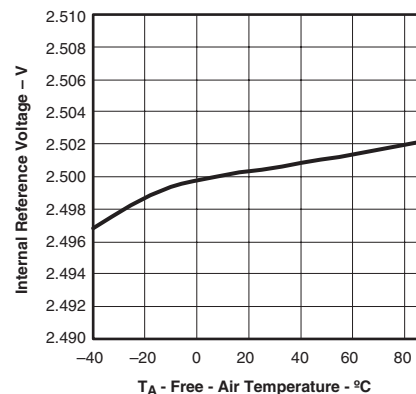


図 9

代表的特性

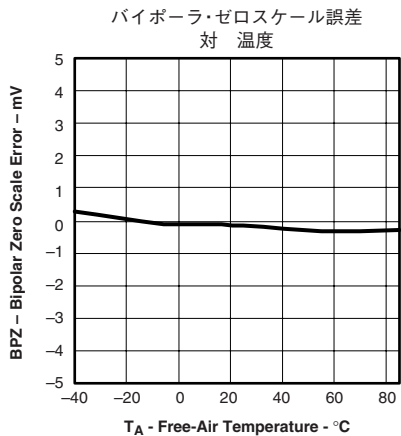


図 10

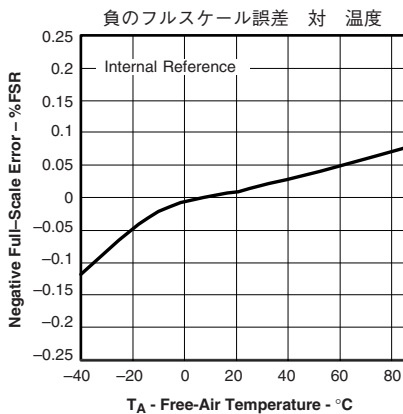


図 11

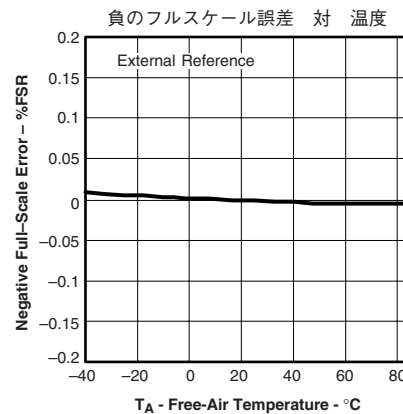


図 12

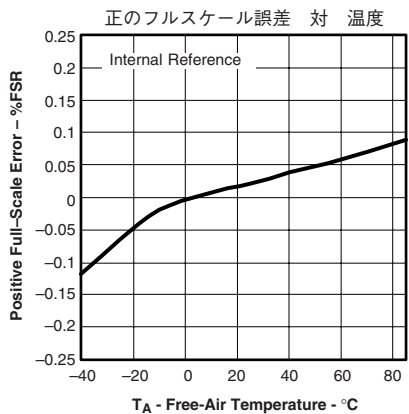


図 13

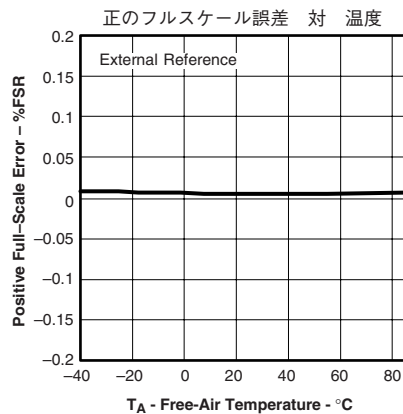


図 14

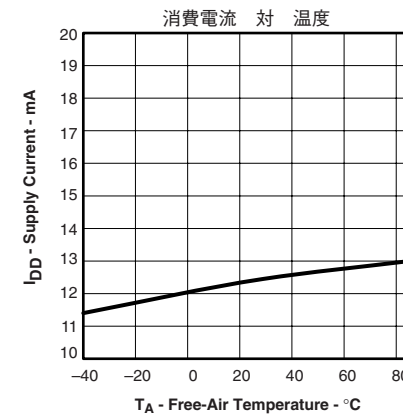


図 15

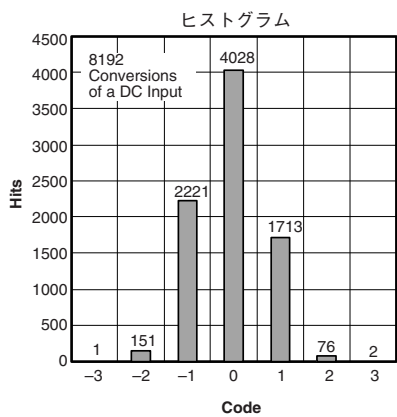


図 16

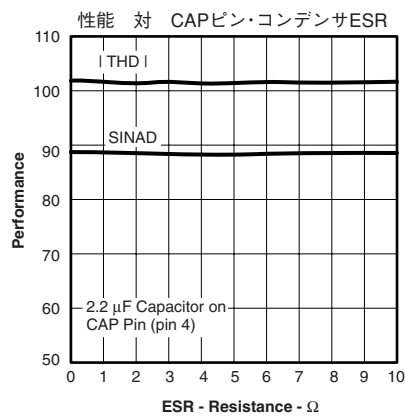
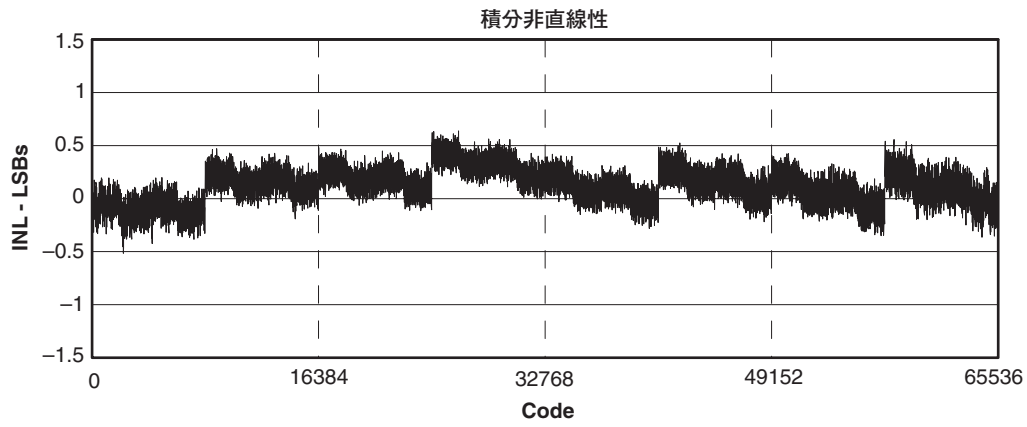
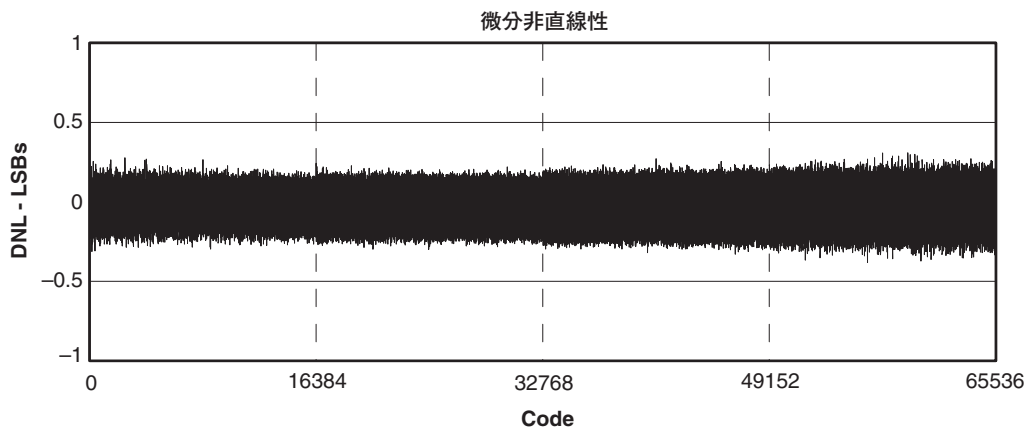


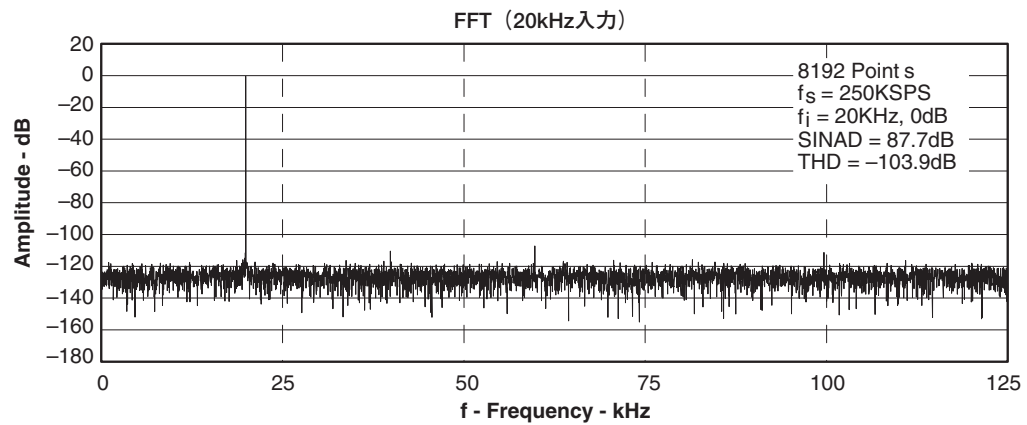
図 17



☒ 18



☒ 19



☒ 20

基本動作

図21に、ADS8505の平行データ出力動作をする基本回路を示します。R/C(ピン24)を40ns以上(1.75µs Max)“Low”にすると、変換を開始します。そしてBUSY(ピン26)は“Low”になり、変換が完了して出力レジスタが更新されるまでBUSYを“Low”に保持します。データは6ピンをMSBとする2の補数バイナリフォーマットで出力されます。BUSYの立ち上がりエッジでデータをラッチすることができます。

ADS8505は変換の終了時に、入力信号のトラッキングを開始します。変換コマンドの間隔を4µs確保すると、新しい信号を正確にアクイジションすることができます。

オフセットおよびゲインは単電源での外部トリムを可能にするように内部で調整されています。この調整は外部抵抗によりトリムしますが、ソフトウェアでオフセットとゲインを修正される場合(「キャリブレーション」の項を参照してください)は、外部抵抗を省略できます。

変換の開始

CS(ピン25)とR/C(ピン24)の両方を最低40nsの間“Low”にすると、直ちにADS8505のサンプル/ホールドはホールド状態になり、変換“n”を開始します。BUSY(ピン26)が“Low”になり、変換“n”が完了して内部の出力レジスタが更新されるまでBUSYの“Low”に保持されます。BUSYが“Low”である間に変換コマンドを実行すると、進行中の変換は中断され、ADCはリセットされます(図26を参照)。

ADS8505は変換の終了時に、入力信号のトラッキングを始めるので、変換コマンドの間隔を4µs確保すると、新しい信号を正確にアクイジションすることができます。CS、R/C、およびBUSYの状態については図1を、タイミングは図23から図25を参照してください。

CSとR/Cは内部でOR接続されており、レベルトリガとなっていますので変換を開始する際、どちらの入力が先に“Low”にしても構いません。しかし、CSあるいはR/Cにより変換“n”が開始しようとする時は、タイミングの重要でない入力を開始タイミングを決める入力よりも少なくとも10ns“Low”にしなければなりません。

制御端子の数を少なくするにはCSを“L”に固定し、R/Cを読み取りモードおよび変換モードの制御にすることができます。R/Cを“High”すると、平行出力は常にアクティブになります。以上については「データの読み取り」の項を参照してください。

CS	R/C	BUSY	動作
1	X	X	なし。データバスはハイインピーダンス状態です。
↓	0	1	変換“n”を開始します。データバスはハイインピーダンス状態を維持します。
0	↓	1	変換“n”を開始します。データバスはハイインピーダンス状態に入ります。
0	1	↑	変換“n”が完了。変換“n”の結果である有効なデータがデータバスに出力されます。
↓	1	1	変換“n”の結果を出力し、データバスをイネーブルにします。
↓	1	0	変換“n-1” ⁽¹⁾ の結果を出力し、データバスをイネーブルにします。変換“n”が進行中です。
0	↑	0	変換“n-1” ⁽¹⁾ の結果を出力し、データバスをイネーブルにします。変換“n”が進行中です。
0	0	↑	データは無効です。BUSYが“High”に変える時、CSとR/Cの一方、または両方が“High”である必要があります。
X	↓	0	変換“n”が停止。ADCはリセットされま ⁽²⁾ す。

(1) 図23と図24で変換“n-1”で有効なデータに対する制約について参照してください。

(2) 図26でADコンバータのリセットについて参照してください。

表 1. 読み取りと変換に関する制御ラインの機能

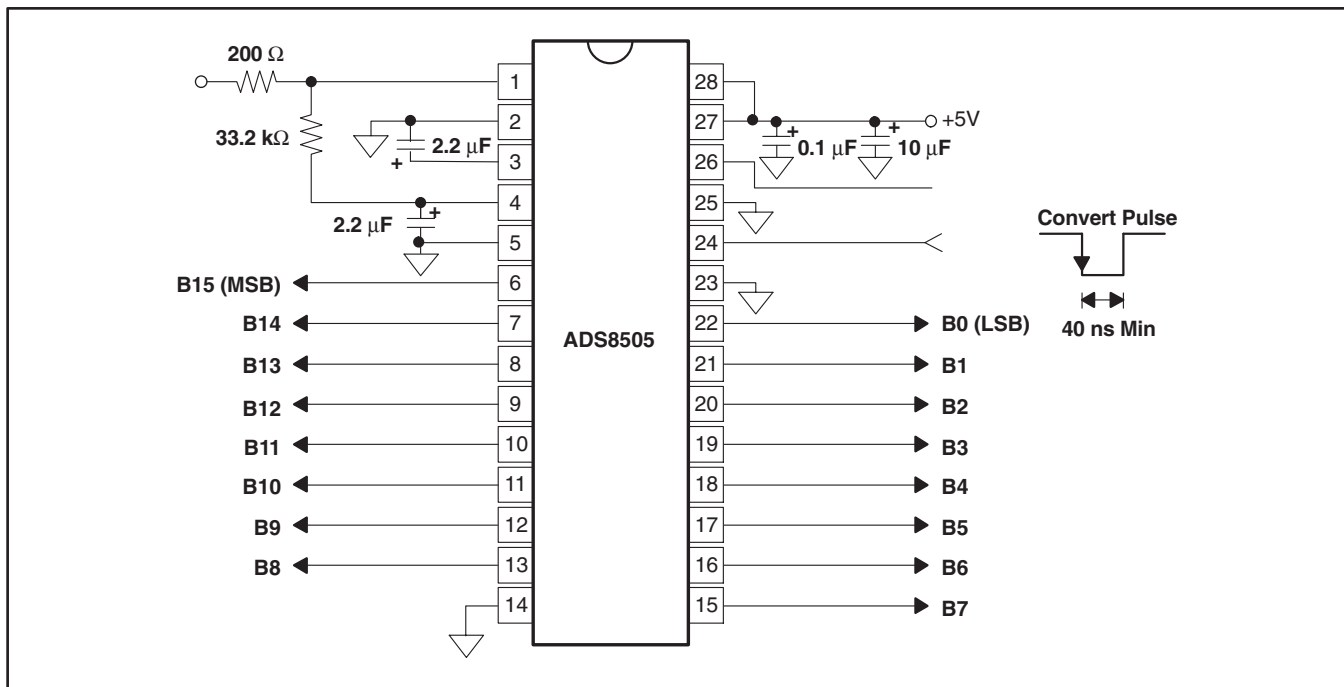


図 21. 基本動作

説明	アナログ入力	デジタル出力 2の補数バイナリ	
		バイナリ・コード	16進コード
フルスケール範囲	±10V		
最下位ビット (LSB)	305μV		
フルスケール (10V - 1LSB)	9.999695V	0111 1111 1111 1111	7FFF
ミッドスケール	0V	0000 0000 0000 0000	0000
ミッドスケールより1LSB下	-305μV	1111 1111 1111 1111	FFFF
負のフルスケール	-10V	1000 0000 0000 0000	8000

表 2. 入力電圧と出力コードの理論値

データの読み取り

ADS8505は、2の補数バイナリのデータ出力フォーマットで、フルワードあるいはバイト単位読み取りの平行データ出力します。R/C (24ピン)が“High”で、CS (25ピン)が“Low”の時に平行データ出力がアクティブになります。これ以外のCS (25ピン)とR/C (24ピン)の組み合わせでは、平行出力はトライ・ステート状態になります。有効な変換データは、6~13ピンおよび15~22ピンで、フル・平行の16ビット×1ワードまたは8ビット×2バイトで読み取ることができます。またBYTE (23ピン)をトグルすると、1変換サイクル内で2バイトを読み取ることもできます。理想的な出力コードについては表2を、BYTEの状態によるビット位置については図22を参照してください。

平行出力 (変換後)

変換“n”が完了して出力レジスタが更新された後、BUSY (ピン26)が“High”になります。このとき、変換“n”の有効データは、D15~D0 (ピン6~13および15~22)で得られます。また、BUSYが“High”になることを利用してデータをラッチすることもできます。タイミング制約については表3、図23、図24、および図25を参照してください。

平行出力 (変換中)

変換“n”が開始された後、変換でも“n-1”の有効なデータを読み取ることができます。このデータは変換“n”の開始から最大 t_2 (2.2μs typ)まで有効です。変換“n”の開始後、 t_2 (2.2μs typ)からBUSY (26ピン)が“High”になるまでの間、データの読み取りを行わないでください。これは、無効データを読み取ることになります。タイミングの制約については表3と図23、図24、および図25を参照してください。

注意：最高の性能を得るには、変換中はデータを読み取らないでください。非同期データ伝送のスイッチング・ノイズのデジタル・フィードスルーにより、コンバータの性能を劣化させます。

CSを“Low”に接続することにより、R/Cの立ち下がりエッジを変換開始に使用し、R/Cの立ち上がりコンバータの出力の読み取りモードの開始に使用すると、制御ラインの数を低減することができます。図21を参照してください。

シンボル	概要	MIN	TYP	MAX	単位
t_{w1}	パルス幅、変換	40		1750	ns
t_a	アクセス時間、 R/\overline{C} “Low” からデータが有効になるまで		2.2	3.2	μ s
t_{pd}	伝搬遅延時間、 R/\overline{C} “Low” から \overline{BUSY} まで		15	25	ns
t_{w2}	パルス幅、 \overline{BUSY} が “Low” の時間			2.2	μ s
t_{d1}	遅延時間、変換終了から \overline{BUSY} まで		5		ns
t_{d2}	遅延時間、アパーチャ		5		ns
t_{conv}	変換時間			2.2	μ s
t_{acq}	アキュジション時間	1.8			μ s
t_{dis}	ディスエーブル時間、バス	10	30	83	ns
t_{d3}	遅延時間、データ有効から \overline{BUSY} まで	35	50		ns
t_v	有効時間、 R/\overline{C} が “Low” から直前のデータが有効である時間	1.5	2		μ s
$t_{conv} + t_{acq}$	スループット			4	μ s
t_{su}	セットアップ時間、 R/\overline{C} から \overline{CS} まで	10			ns
t_c	変換毎のサイクル時間	4			μ s
t_{en}	バス・イネーブル時間	10	30	83	ns
t_{d4}	遅延時間、BYTE	5	10	30	ns

表 3. 変換タイミング

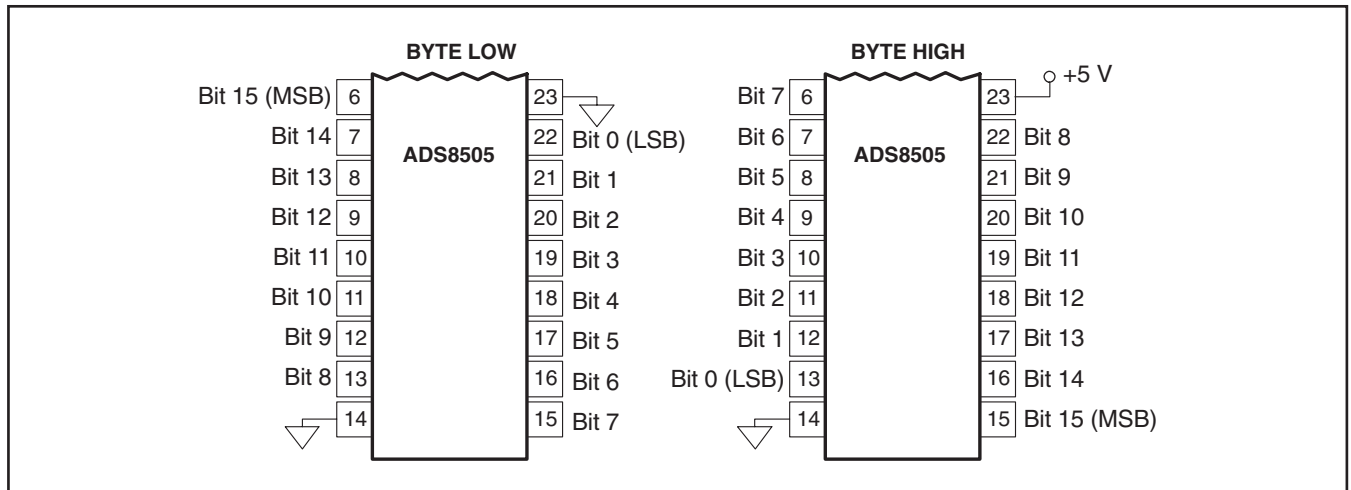


図 22. BYTE (ピン23)の状態に対するビット位置

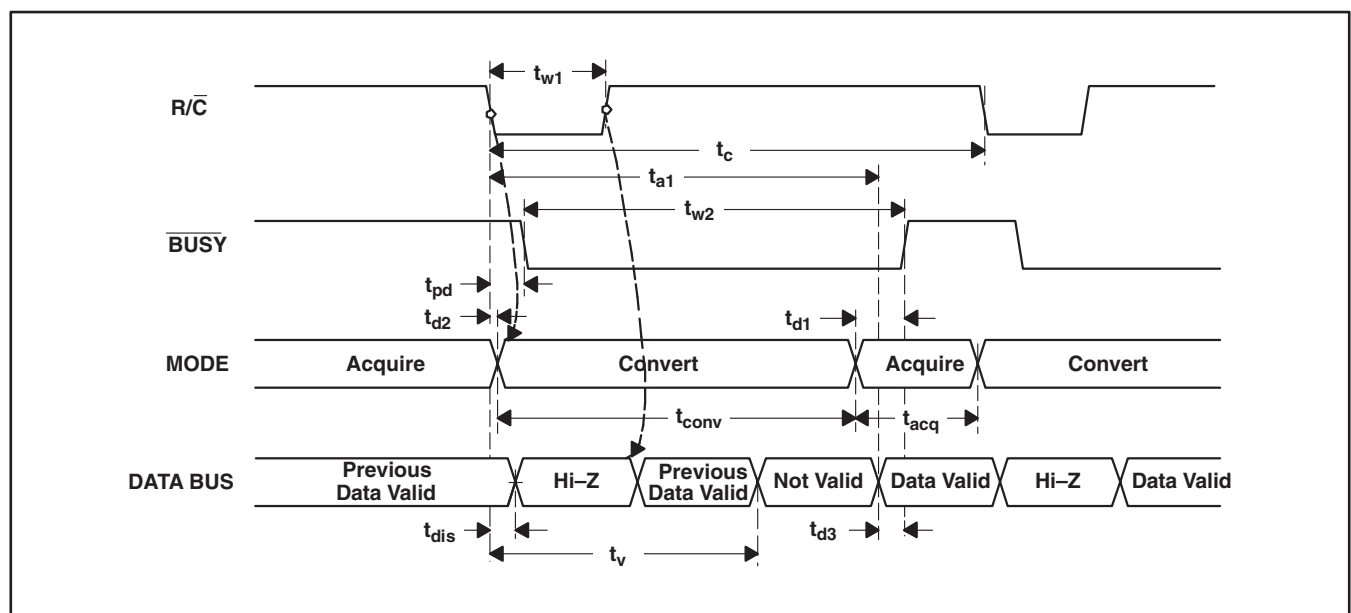


図 23. 変換と出力イネーブルのタイミング (\overline{CS} を “Low” に固定)

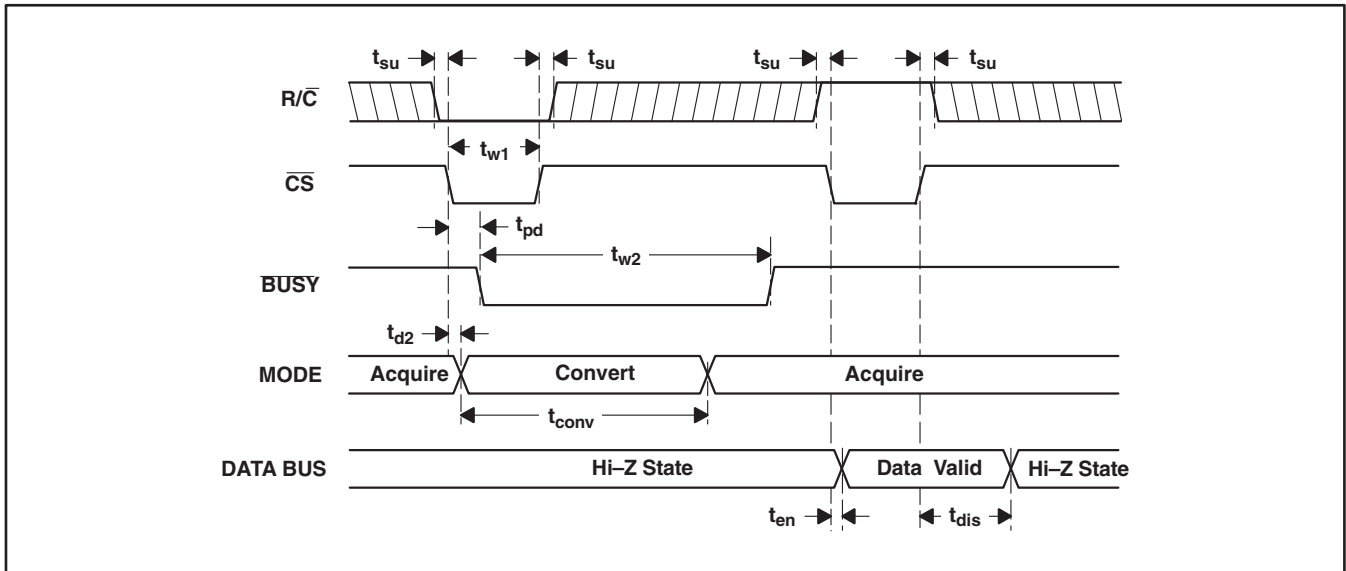


図 24. \overline{CS} を使用した変換制御と読み取りのタイミング

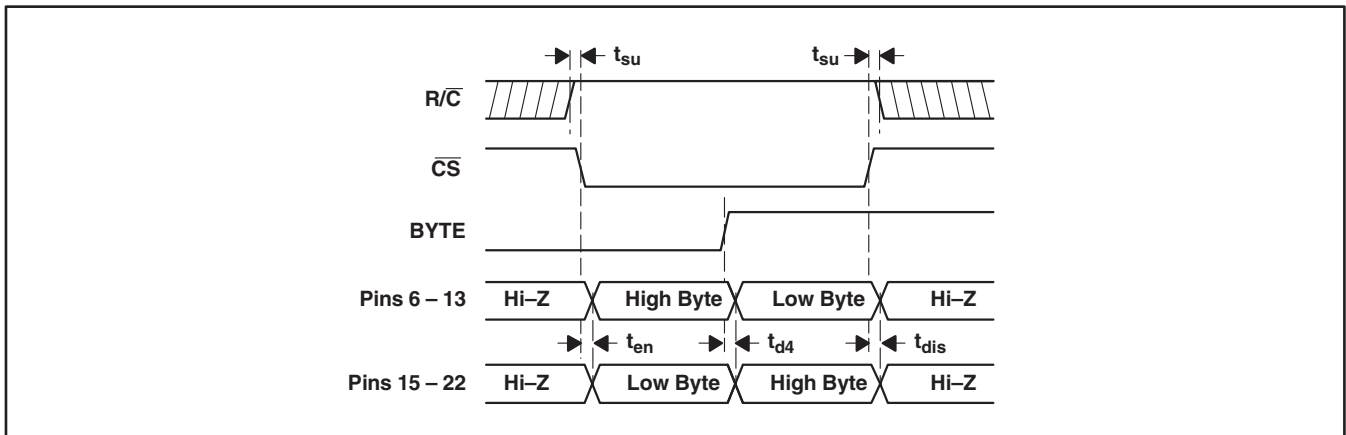


図 25. \overline{CS} とBYTEを使用したデータバスの制御

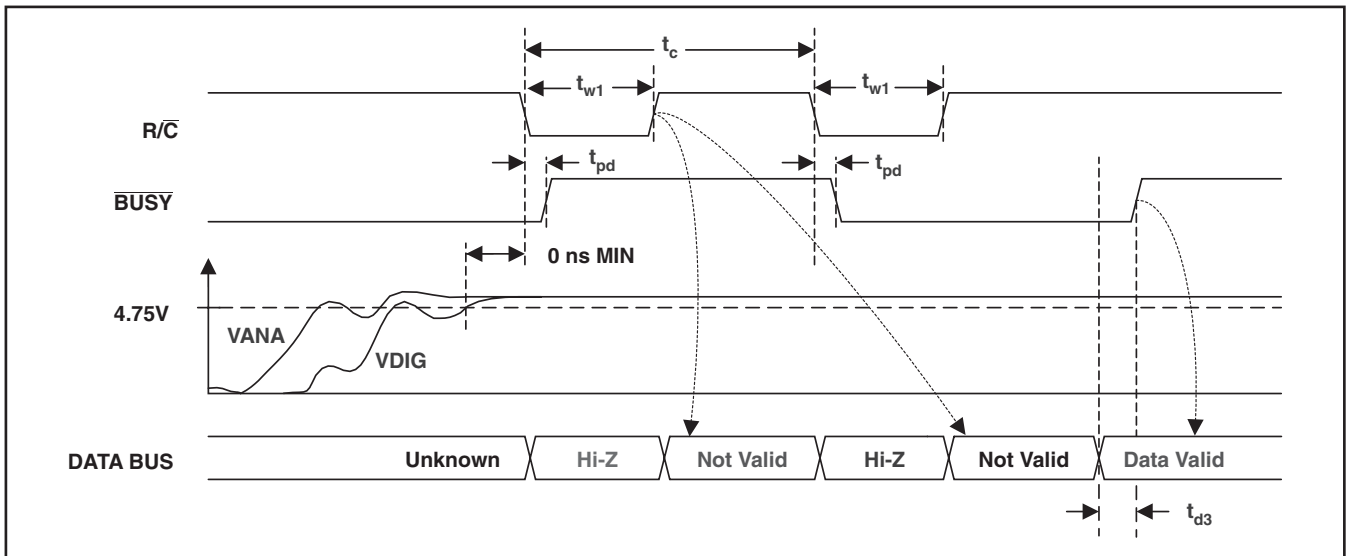


図 26. ADCリセット

ADCリセット

ADS8505のADCリセット機能を使用して、現行の変換サイクルを終了することができます。 $\overline{\text{BUSY}}$ が“Low”の間に $\text{R}/\overline{\text{C}}$ を最低40nsの間“Low”にすると、ADCのリセットが開始されます。新しく変換を開始するには $\text{R}/\overline{\text{C}}$ を“High”に戻し、次の変換を開始するために $\text{R}/\overline{\text{C}}$ を“Low”にする前に、新しいデータをアクイジションするのに十分な時間(t_c 、表3を参照)、 $\text{R}/\overline{\text{C}}$ は“High”を保持させる必要があります。 $\overline{\text{BUSY}}$ 信号を監視しないアプリケーションでは、システムの初期化シーケンスの一部としてADCリセット機能を実装されることを推奨します。

入力範囲

ADS8505は工業標準入力に $\pm 10\text{V}$ の入力範囲を備えています。図28に外部トリムがある場合とない場合のADS8505に必要な回路接続が示されています。ADS8505のオフセットおよびフルスケール誤差の仕様は、図28 (b) に示す回路で試験および規定されています。フルスケール誤差には、+FSと-FSの両方で測定されたオフセットおよびゲイン誤差が含まれます。オフセットとゲインの調整については、「キャリブレーション」の項を参照してください。

オフセットとゲインは単電源での外部トリムを実現する為に内部で調整されています。外部抵抗はこの調整分を補正します。また、オフセットとゲインがソフトウェアで調整される場合は、この抵抗を外すことができます。（「キャリブレーション」項を参照してください。）

11.5k Ω の入力インピーダンスは、本データシートの最初のページの内部抵抗から得られます。入力抵抗分圧回路により、最低 $\pm 25\text{V}$ の過電圧保護が達成されています。外付け回路で1%精度の抵抗を使用しますと、コンバータの精度およびドリフト特性に影響を与えません。それは内部抵抗に対してほとんど影響を与えず、それ以上の精度は必要ありません。

入力信号はAGND1を基準とする必要があります。それによって、アナログ設計特有のグラウンド・ループの問題が最小限に抑えられます。アナログ信号は低インピーダンス回路によりドライブしなければなりません。OPA627やOPA132を使用した標準的なドライブ回路を図27に示します。

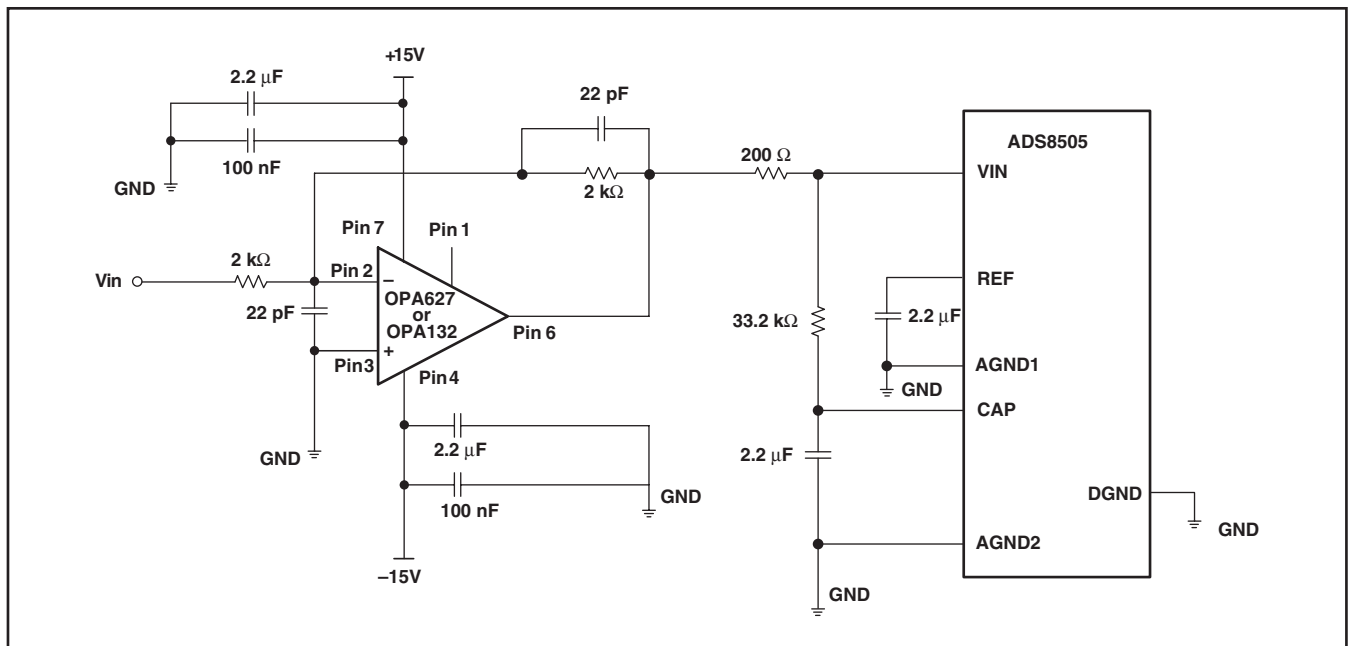


図 27. 標準的なドライブ回路($\pm 10\text{V}$ 、トリムなし)

アプリケーション情報

キャリブレーション

ADS8505は、ハードウェアまたはソフトウェアのいずれでもトリムできます。オフセットはゲインに直接的な影響を及ぼすため、ゲイン調整より前に調整する必要があります。最適な特性を得るには、調整を何度か繰り返す必要があります。

ハードウェア・キャリブレーション

ADS8505のオフセットとゲインをキャリブレーションするには、適切な抵抗と可変抵抗を図28 (a) のように取り付けます。

ソフトウェア・キャリブレーション

ソフトウェアでADS8505のオフセットとゲインをキャリブレーションする場合、外部抵抗は必要ありません。外部抵抗の影響については、「キャリブレーションなし」の項を参照してください。

キャリブレーションなし

図28 (b) の回路を参照してください。図28 (b) に示す外部抵抗は、一部のアプリケーションでは必要ないこともあります。これらの抵抗は、内部回路のオフセットとゲイン調整を行い、単電源動作時のキャリブレーションを可能とします。

リファレンス

ADS8505は、内部の2.5Vリファレンス、または外部のリファレンスで動作できます。外部リファレンスを5ピンに供給すると、内部リファレンスはバイパスされます。REFのリファレンス電圧は、内部でバッファされて、CAP (4ピン) に出力されます。

内部リファレンスには8ppm/°C (typ) のドリフトを持ち、フルスケール誤差 (FSE = ±0.5%) のうち約20%を占めています。

REF

REF (3ピン) は外部リファレンスには入力であり、内部の2.5Vリファレンスには出力になります。2.2μFのコンデンサをREFピンのできる限り近くに接続してください。このコンデンサと、REFの出力抵抗によりローパスフィルタが形成され、リファレンスのノイズ帯域を制限します。これよりも小さい値のコンデンサを使用した場合、SNRとSINADが低下するより多くのノイズがリファレンスに発生します。REFピンを外部ACまたはDC負荷をドライブするのに使用しないでください。

外部リファレンスの範囲は2.3V~2.7Vであり、この電圧によって実際のLSB値が決まります。リファレンス電圧を高くすると、コンバータのフルスケール範囲とLSB値が大きくなり、SNRを改善することができます。

CAP

CAP (ピン4) は、内部リファレンス・バッファの出力です。2.2μFのコンデンサを、CAPピンとグランドの間に配置することができます。内部リファレンス・バッファは内部で補正されているので、リファレンス・バッファを補正する目的での、外部コンデンサは必ずしも必要ではありません。このことから、コンデンサの性能に対する要求は緩められ、ADコンバータの性能に対しての影響は小さくなります。

バッファの出力は、DC負荷に対して最大2mAの電流を駆動できます。CAPピンに対して2mAを超える電流を要求するDC負荷を接続すると、ADS8505の直線性が悪化します。内部リファレンスに外部バッファを使用すると、より大きなDC負荷、およびAC負荷を使用する事が可能です。CAPの出力電圧に、AC負荷を直接接続しないでください。コンバータの性能低下の原因となります。

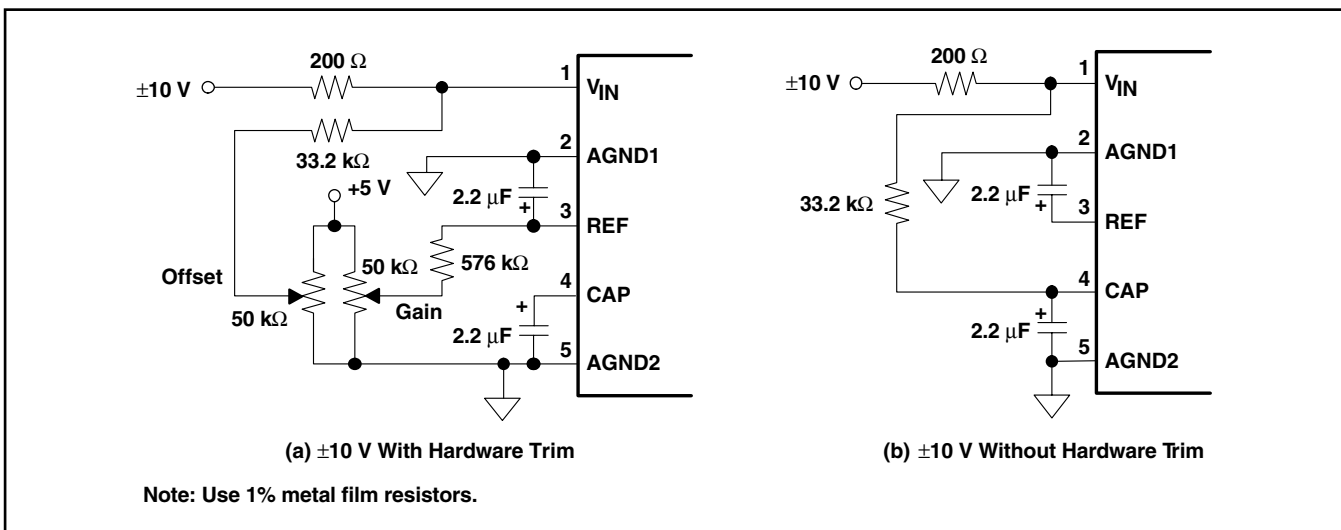


図 28. 外部抵抗あり、および外部抵抗なしの回路図

レイアウト

電源

最高の性能得るためには、アナログおよびデジタルの電源ピンを同一の+5V電源に接続し、アナログとデジタルのグラウンドはつなげて接続してください。電気的特性で示されているように、ADS8505は90%の電力をアナログ回路で消費します。従って、ADS8505は、アナログ部品とと考えてください。

ADコンバータ用の+5V電源は、システムのデジタル・ロジックに使用している+5Vの電源から分離してください。V_{DIG} (28ピン)をデジタル電源に直接接続すると、デジタル・ロジックからのスイッチング・ノイズにより、コンバータの性能が低下します。最高の性能得るためには、+5V電源はアナログ・シグナル・コンディショニングなどに使用されているアナログ電源から作ってください。+12Vや+15V電源がある場合は、簡単な+5Vレギュレータを使用することができます。お勧めいたしません。デジタル電源からコンバータに電力を供給しなければならない場合は、その電源を適切にフィルタしてください。フィルタされたデジタル電源を使用する場合もレギュレータを使用した場合も、V_{DIG}とV_{ANA}の両方を同一の+5V電源に接続してください。

グラウンド接続

ADS8505には3つのグラウンド・ピンがあります。DGNDはデジタル電源用のグラウンドです。AGND2はアナログ電源用のグラウンドです。AGND1は、ADコンバータ内部へのすべてのアナログ信号の基準となるグラウンドです。AGND1は、電流に誘導された電圧降下に対してより敏感なので、電源へのリターン・パスの抵抗は最小にしなければなりません。

最適な性能を実現するために、ADコンバータのすべてのグラウンド・ピンはシステムのデジタル・ロジック・グラウンドから分離されたアナログ・グラウンド・プレーンに接続してください。アナログおよびデジタル・グラウンド・プレーンはどちらも、できる限り電源の近くでシステム・グラウンドに接続してください。このように接続すると、電源グラウンドへの同相インピーダンスを通してアナログ・グラウンドの変調を引き起こすダイナミック・デジタル・グラウンド電流を防ぐのに役立ちます。

シグナル・コンディショニング

多くのCMOSのADコンバータのサンプル・ホールド回路に使用されるFETスイッチは、かなりの量のチャージ・インジェクションを発生し、ドライブしているオペアンプを発振させる可能性があります。ADS8505のFETスイッチによるチャージ・インジェクションの量は、他のCMOS ADコンバータのFETスイッチの5%~10%です。また、ADS8505は放出された電荷を減衰させる抵抗性のフロントエンド回路があり、その結果、フロントエンドのアンチ・エイリアス・フィルタに要求される条件が緩和されます。アプリケーションにおいて信号を十分にドライブできるオペアンプならば、ADS8505も十分にドライブすることができます。

また、ADS8505の抵抗性フロントエンド回路により、±25Vの過電圧から保護されます。ほとんどの場合、このフロントエンドによって外部の入力保護回路が不要になります。

中間ラッチ

ADS8505にはパラレル・ポート用のトライ・ステート出力がありますが、変換中にバスがアクティブになる場合は中間ラッチを使用してください。また、変換中にバスがアクティブにならない場合は、トライ・ステート出力はADコンバータを同じバス上の他の周辺装置から分離することに使用できます。また、ADコンバータがデータ・バスの唯一周辺装置である場合も、トライ・ステート出力を使用できます。

中間ラッチは、すべてのモノリシックADコンバータに有効です。ADS8505の内部LSB値は38μVです。パラレル・ポートで高速スイッチング信号からのトランジェントは、ADコンバータがトライ・ステートの時でもサブストレートを通してアナログ回路と結合することがあり、コンバータの性能を劣化する可能性があります。

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ADS8505IBDB	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IBDBG4	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IBDBR	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IBDBRG4	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IBDW	ACTIVE	SOIC	DW	28	20	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IBDWG4	ACTIVE	SOIC	DW	28	20	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IBDWR	ACTIVE	SOIC	DW	28	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IBDWRG4	ACTIVE	SOIC	DW	28	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IDB	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IDBG4	ACTIVE	SSOP	DB	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IDBR	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IDBRG4	ACTIVE	SSOP	DB	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IDW	ACTIVE	SOIC	DW	28	20	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IDWG4	ACTIVE	SOIC	DW	28	20	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IDWR	ACTIVE	SOIC	DW	28	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8505IDWRG4	ACTIVE	SOIC	DW	28	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSELETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

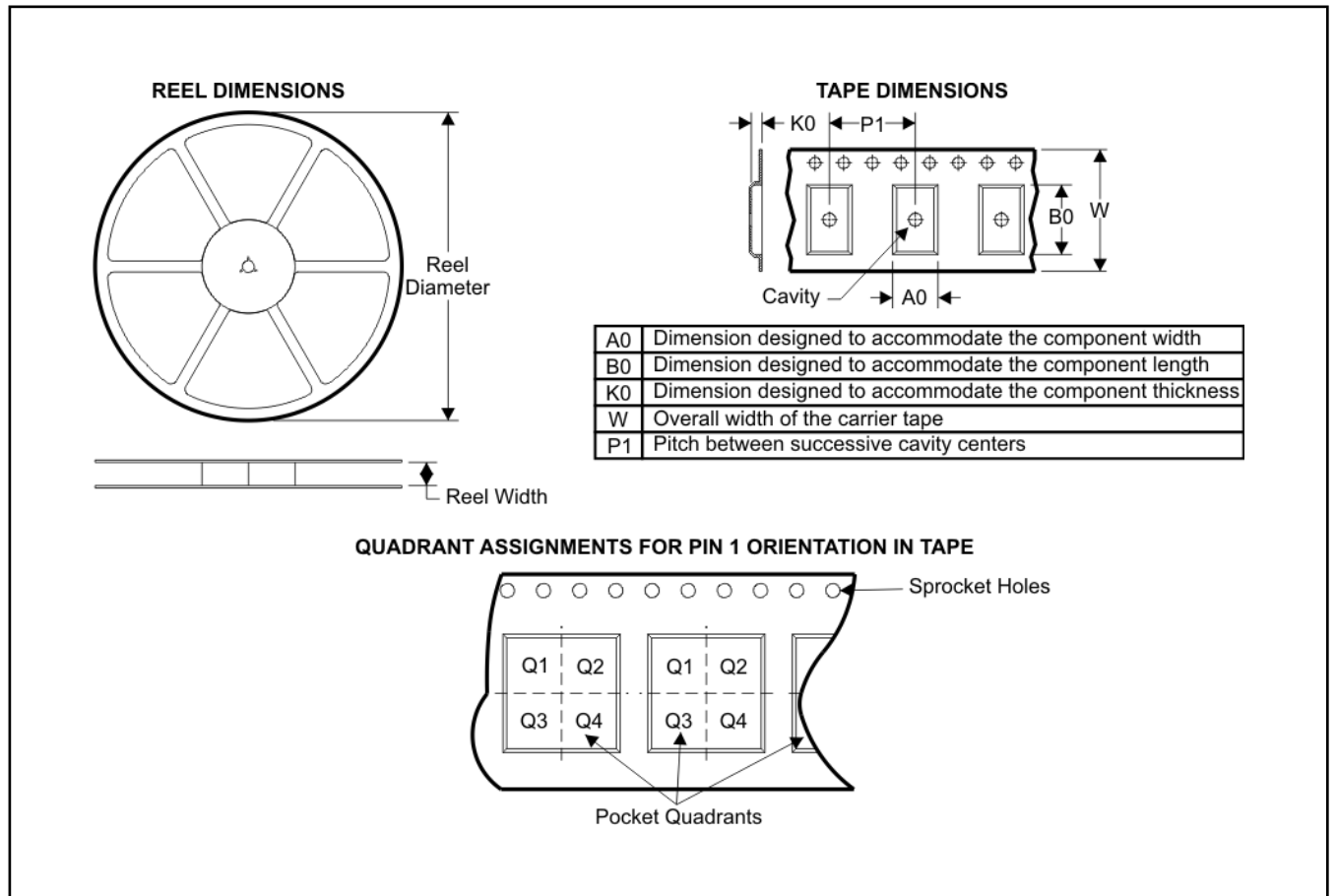
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

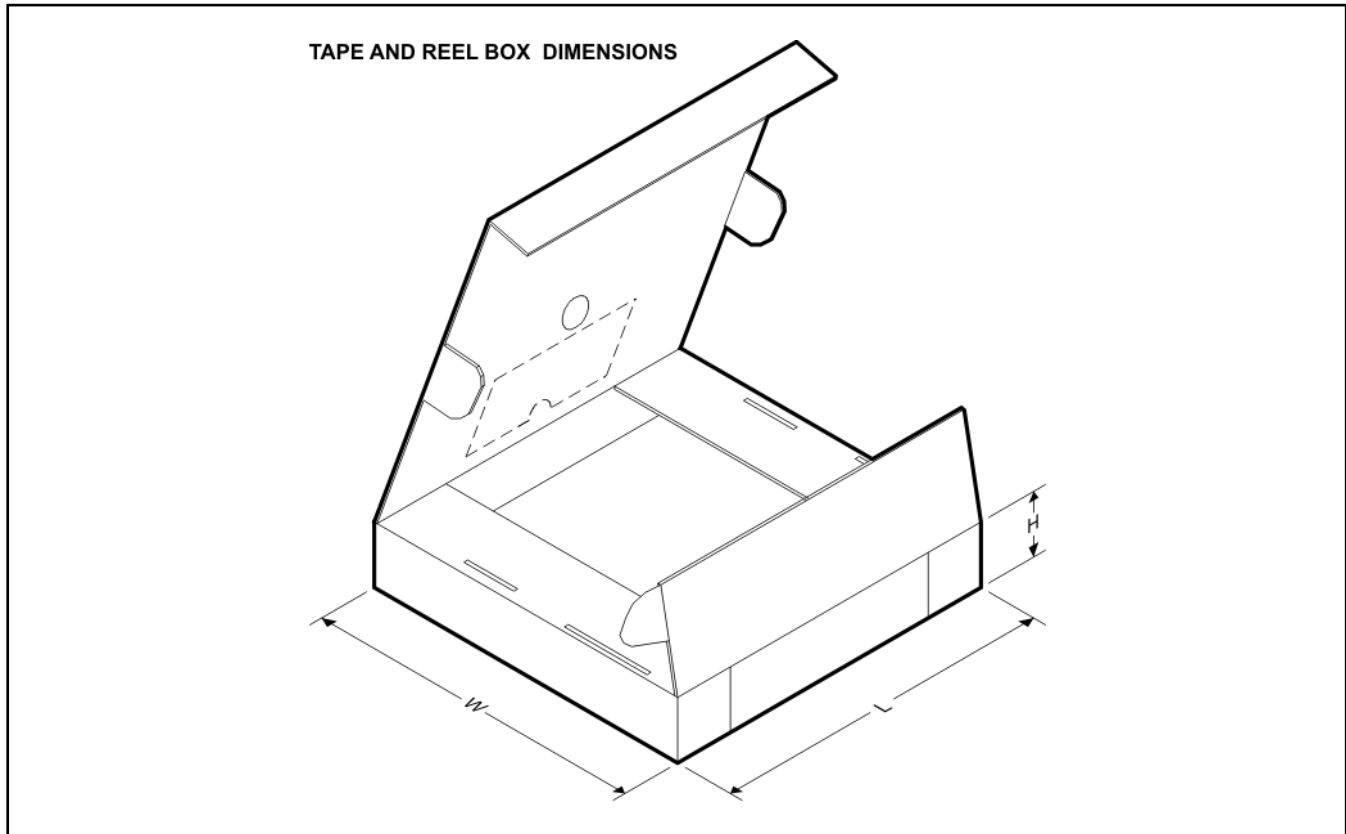
パッケージ・材料情報

テープおよびリール・ボックス情報



Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8505IBDBR	DB	28	SITE 60	330	16	8.1	10.4	2.5	12	16	Q1
ADS8505IBDWR	DW	28	SITE 60	330	32	11.35	18.67	3.1	16	32	Q1
ADS8505IDBR	DB	28	SITE 60	330	16	8.1	10.4	2.5	12	16	Q1
ADS8505IDWR	DW	28	SITE 60	330	32	11.35	18.67	3.1	16	32	Q1

パッケージ・マテリアル情報

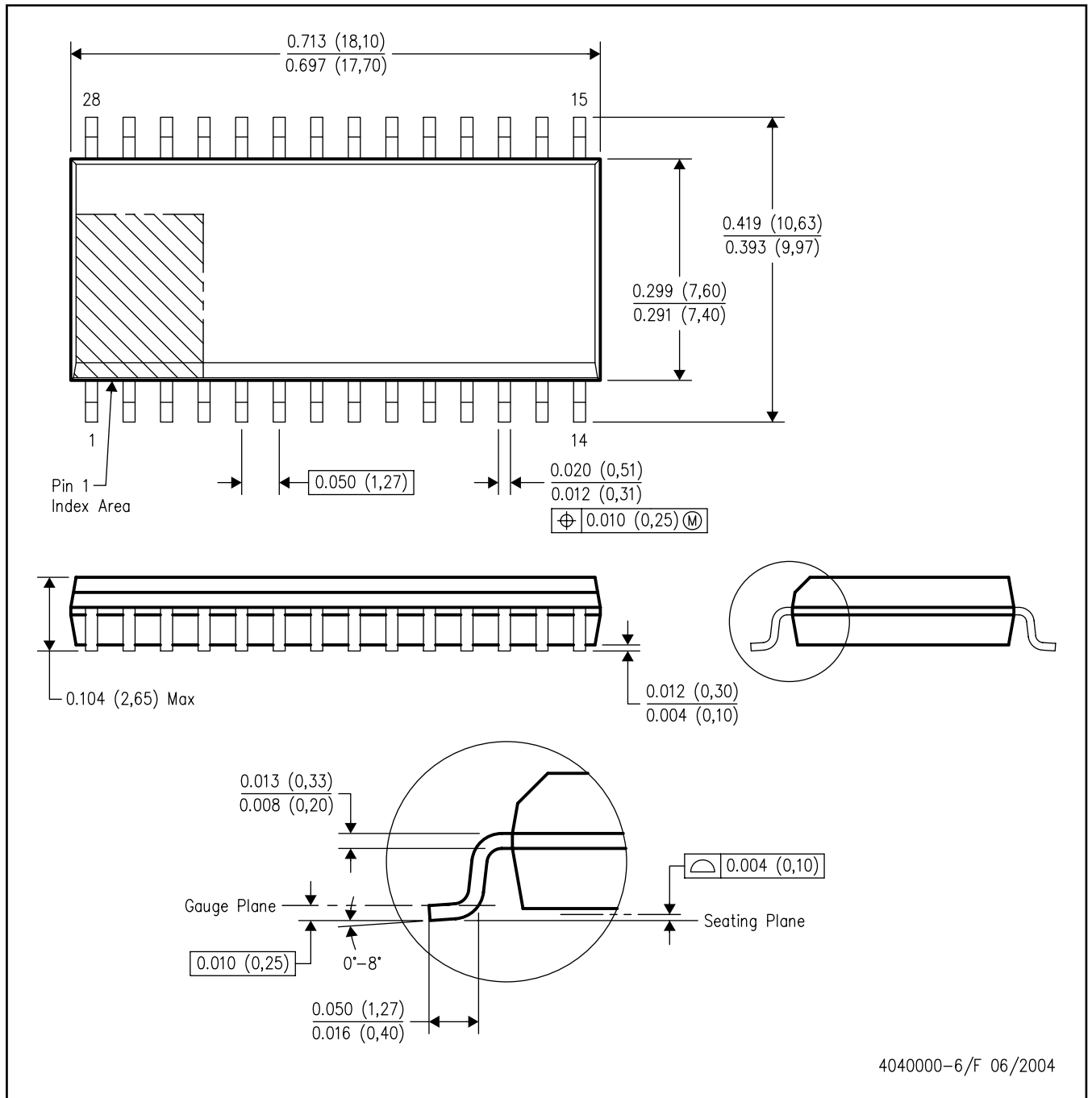


Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
ADS8505IBDBR	DB	28	SITE 60	535.4	167.7	48.3
ADS8505IBDWR	DW	28	SITE 60	346.0	346.0	49.0
ADS8505IDBR	DB	28	SITE 60	346.0	346.0	33.0
ADS8505IDWR	DW	28	SITE 60	346.0	346.0	49.0

メカニカル・データ

DW (R-PDSO-G28)

PLASTIC SMALL-OUTLINE PACKAGE



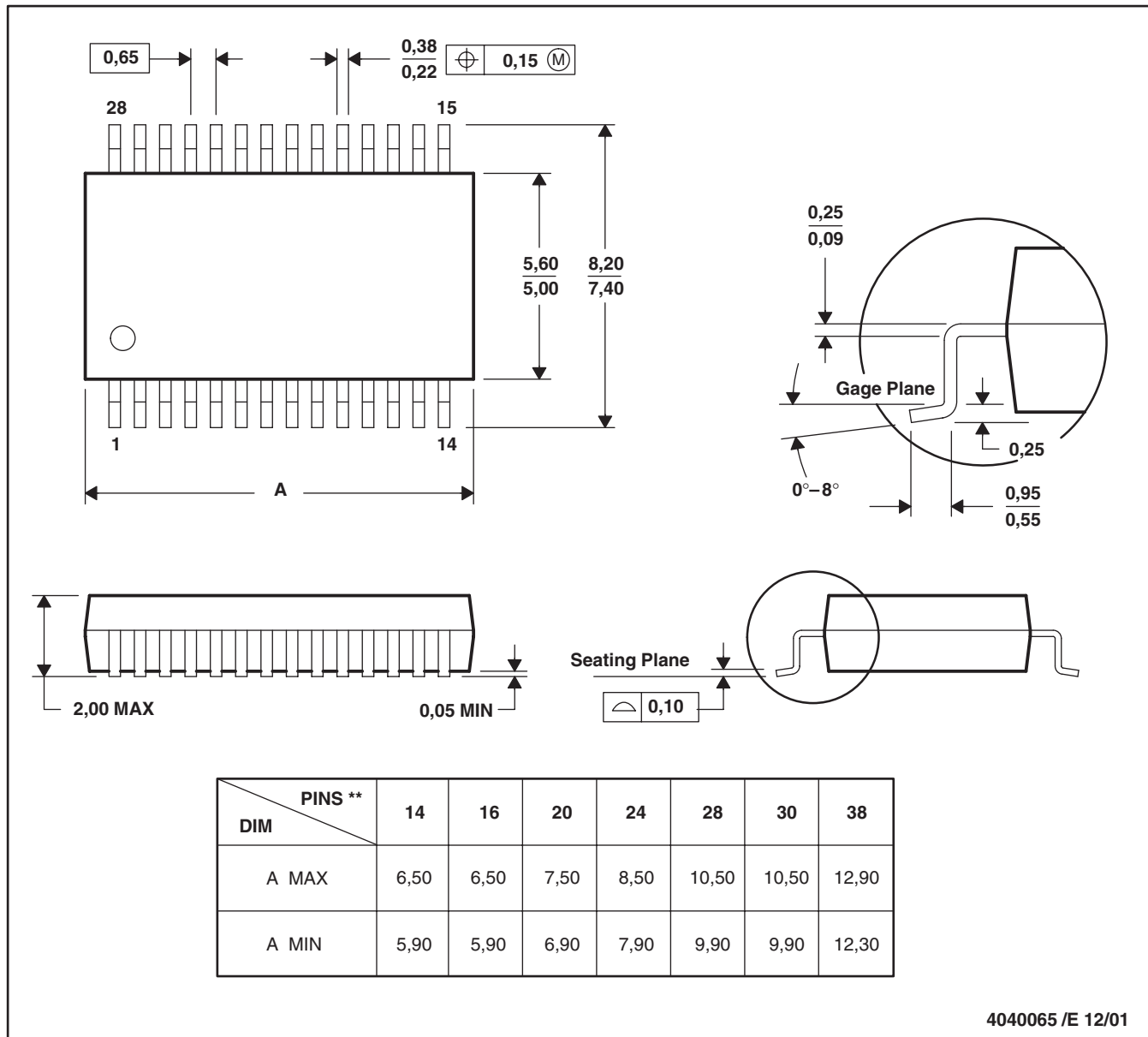
- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
 - Falls within JEDEC MS-013 variation AE.

メカニカル・データ

DB (R-PDSO-G**)

28 PINS SHOWN

PLASTIC SMALL-OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 - Falls within JEDEC MO-150

(SLAS180B)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上