AMC22C12-Q1 車載用で応答が高速、スレッショルドを調節可能でラッチ機能を持つ基本絶縁型ウィンドウ・コンパレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、T_A
- 広いハイサイド電源電圧範囲:3V～25V
- ローサイド電源電圧範囲:2.7V～5.5V
- 可変スレッショルド:
  - ウィンドウ コンパレータ モード:±20mV～±300mV
  - 正 (非反転) 入力を使用するコンパレータ モード:600mV～2.7V
- スレッショルド調整のためのリファレンス電流:100µA、±1%
- トリップ スレッショルドの誤差:250mV のとき ±1% (最大値)
- オプションのラッチ モードに対応したオープンドレイン出力
- 伝搬遅延:280 ns (標準値)
- 「高 CMTI:55V/ns (最小値)
- 安全関連認証:
  - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した基本絶縁耐圧:4250V_{PK}
  - UL 1577 に準拠した絶縁耐圧:3000V_{RMS} (1 分間)

2 アプリケーション

- 次の用途での過電流または過電圧検出:
  - HEV/EV 充電パイル
  - HEV/EV のオンボード・チャージャ (OBC)
  - HEV/EV の DC/DC コンバータ
  - HEV/EV のトラクション・インバータ

3 概要

AMC22C12-Q1 は、応答時間が短い絶縁型ウィンドウ コンパレータです。そのオープンドレイン出力は、磁気干渉に対して優れた耐性を示す絶縁バリアによって入力回路から分離されています。このバリアは、DIN EN IEC 60747-17 (VDE 0884-17) および UL1577 に従って最大 3kV_{RMS} のガルバニック絶縁を達成していることが認証されており、最大 560V_{RMS} の使用電圧に対応しています。

その比較ウィンドウの中心は 0V です。つまり、入力電圧の絶対値がトリップ スレッショルド値を超えると、コンパレータはトリップします。このトリップ スレッショルド (比較ウィンドウの範囲) は、1 つの外付け抵抗で ±20mV～±300mV の範囲に調整できます。REF ピンの電圧が 550mV より高い場合、負のコンパレータは無効化され、正のコンパレータのみが機能します。このモードでのリファレンス電圧は最大 2.7V に設定できます。このモードは、電圧電源を監視するのに特に便利です。

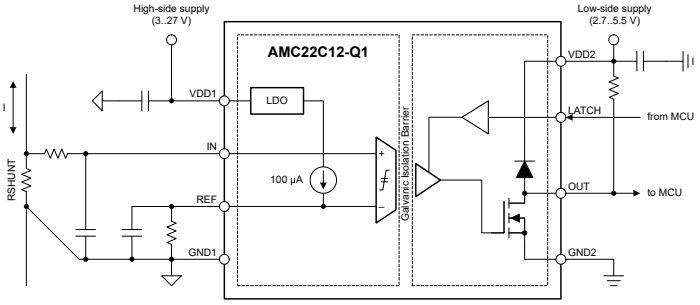
本デバイスのオープン ドレイン出力はトランスペアレント モード (LATCH 入力を GND2 に接続します。出力は入力状態に従います) またはラッチ モード (ラッチ入力信号の立ち下がりエッジで出力がクリアされます) をサポートしています。

AMC22C12-Q1 は 8 ピンの SOIC パッケージで供給され、-40℃～+125℃の車載用温度範囲全体で動作が規定されています。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)
AMC22C12-Q1	D (SOIC、8)	4.9mm × 6mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電力定格.....5
5.6 絶縁仕様 (基本絶縁).....6
5.7 安全性関連認証.....7
5.8 安全限界値.....7
5.9 電気的特性.....8
5.10 スイッチング特性.....10
5.11 タイミング図.....10
5.12 絶縁特性曲線.....12
5.13 代表的特性.....13
6 詳細説明.....20
6.1 概要.....20
6.2 機能ブロック図.....20
6.3 機能説明.....21
6.4 デバイスの機能モード.....28
7 アプリケーションと実装.....28
7.1 アプリケーション情報.....28
7.2 代表的なアプリケーション.....28
7.3 設計のベスト プラクティス.....33
7.4 電源に関する推奨事項.....34
7.5 レイアウト.....34
8 デバイスおよびドキュメントのサポート.....36
8.1 ドキュメントのサポート.....36
8.2 ドキュメントの更新通知を受け取る方法.....36
8.3 サポート・リソース.....36
8.4 商標.....36
8.5 静電気放電に関する注意事項.....36
8.6 用語集.....36
9 改訂履歴.....36
10 メカニカル、パッケージ、および注文情報.....37
10.1 メカニカル データ.....38

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

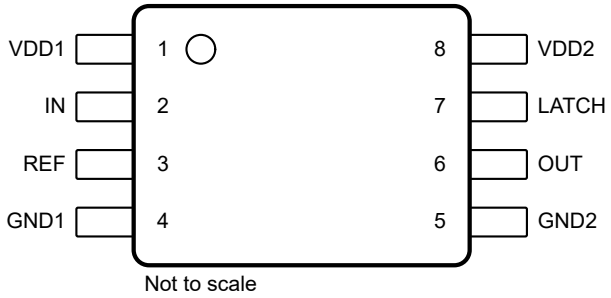


図 4-1. D パッケージ、 8 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	VDD1	ハイサイド電源	ハイサイド電源(1)
2	IN	アナログ入力	ウィンドウ コンパレータへのアナログ入力ピン
3	REF	アナログ入力	トリップ スレッショルドを定義するリファレンス電圧ピン。「リファレンス入力」セクションで説明しているように、このピンの電圧はコンパレータ Cmp0 のヒステリシスにも影響します。このピンは 100µA の電流源に内部的に接続されています。トリップ スレッショルドを定義するために REF から GND1 に抵抗を接続し、リファレンス電圧をフィルタ処理するために REF から GND1 にコンデンサを接続します。最高の過渡ノイズ耐性を実現するため、コンデンサはピンにできるだけ近づけて配置します。このピンは、外部の電圧源で駆動することもできます。
4	GND1	ハイサイド グランド	ハイサイド グランド
5	GND2	ローサイド グランド	ローサイド グランド
6	OUT	デジタル出力	ウィンドウ コンパレータのオープン ドレイン出力。外付けプルアップ抵抗に接続します。
7	LATCH	デジタル入力	オープン ドレイン出力のラッチ モード (High) またはトランスペアレント モード (Low) を選択するためのデジタル入力。この入力ピンを未接続 (フローティング) のままにしないでください。未使用時は GND2 に接続します。
8	VDD2	ローサイド電源	ローサイド電源(1)

(1) 電源のデカップリングに関する推奨事項については、「電源に関する推奨事項」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
電源電圧	VDD1～GND1	-0.3	30	V
	VDD2～GND2	-0.3	6.5	
アナログ入力電圧	REF から GND1 へ	-0.5	6.5	V
	IN から GND1 へ	-6	5.5	
デジタル入力電圧	LATCH (GND2 基準)	-0.5	VDD2 + 0.5	V
デジタル出力電圧	OUT から GND2 へ	-0.5	VDD2 + 0.5	V
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T_J		150	℃
	保存、T_{stg}	-65	150	

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、この条件、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002(1)、HBM ESD 分類レベル 2 準拠	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011、CDM ESD 分類レベル C6 準拠	±1000	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源						
V_{VDD1}	ハイサイド電源電圧	VDD1～GND1	3.0	5	25	V
V_{VDD2}	ローサイド電源電圧	VDD2～GND2	2.7	3.3	5.5	V
アナログ入力						
V_{IN}	入力電圧	IN (GND1 基準)、VDD1 ≦ 4.3V	-0.4	VDD1 - 0.3		V
		IN (GND1 基準)、VDD1 > 4.3V	-0.4		4	
V_{REF}	リファレンス電圧、ウィンドウ コンパレータ モード	REF から GND1 へ	20(2)		300	mV
	リファレンス電圧、正のコンパレータ モード	低ヒステリシス モード	20(2)		450	
		高ヒステリシス モード (Cmp0 のみ)	600		2700(1)	
	リファレンス電圧のヘッドルーム	VDD1 - V_{REF}	1.4			V
	REF ピンのフィルタ容量		20	100		nF
デジタル I/O						
	デジタル入力電圧	LATCH ピン	GND2		VDD2	V
	デジタル出力電圧	OUT から GND2 へ	GND2		VDD2	V
	シンク電流	OUT	0		4	mA
温度範囲						
T_A	規定周囲温度		-40	25	125	℃

(1) リファレンス電圧 (V_{REF}) が 1.6V を超える場合、最小限のヘッドルーム (V_{VDD1} - V_{REF} = 1.4V) を維持するため、V_{VDD1} > $V_{VDD1,MIN}$ とする必要があります。
(2) 本デバイスは、5mV という低い V_{REF} でテストされています。デバイスは引き続き機能しますが、オフセット誤差により、スイッチング スレッショルドの相対精度が低下する可能性があります。

5.4 熱に関する情報

熱評価基準(1)		D (SOIC)	単位
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	116.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	52.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	58.9	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	19.4	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	58.0	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電力定格

パラメータ		テスト条件	値	単位
P_D	最大消費電力 (両サイド)	VDD1 = 25V、VDD2 = 5.5V	102	mW
		VDD1 = VDD2 = 5.5V	32	
		VDD1 = VDD2 = 3.6V	21	
P_{D1}	最大消費電力 (ハイサイド)	VDD1 = 25 V	90	mW
		VDD1 = 5.5 V	20	
		VDD1 = 3.6 V	13	
P_{D2}	最大消費電力 (ローサイド)	VDD2 = 5.5 V	12	mW
		VDD2 = 3.6 V	8	

Copyright © 2025 Texas Instruments Incorporated

5.6 絶縁仕様 (基本絶縁)

動作時周辺温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離(1)	空気中での最短のピン間距離	≥ 4	mm
CPG	外部沿面距離(1)	パッケージ表面に沿った最短のピン間距離	≥ 4	mm
DTI	絶縁間の距離	二重絶縁の最小内部ギャップ (内部距離)	≥ 15.4	µm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 400	V
	材料グループ	IEC 60664-1 に準拠	II	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 150V 以下	I-IV	
		定格商用電源 V_{RMS} が 300V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) (2)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧で	790	V_{PK}
V_{IOWM}	最大定格絶縁動作電圧	AC 電圧で (正弦波)	560	V_{RMS}
		DC 電圧で	790	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定試験)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト)	4250	V_{PK}
V_{IMP}	最大インパルス電圧 (3)	気中でテスト、IEC 62368-1 に準拠した 1.2/50µs の波形	5000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧(4)	IEC 62368-1 に準拠し油中でテスト (認定試験)、 1.2/50µs の波形	6500	V_{PK}
q_{pd}	見掛けの電荷(5)	手法 a、入力 / 出力安全性テストのサブグループ 2 および 3 の後、 $V_{pd(ini)} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≤ 5	pC
		手法 a、環境テストのサブグループ 1 の後、 $V_{pd(ini)} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.3 \times V_{IORM}$、$t_m$ = 10s	≤ 5	
		手法 b1、事前条件設定 (タイプ テスト) およびルーチン テスト、 $V_{pd(ini)} = V_{IOTM}$、t_{ini} = 1s、$V_{pd(m)} = 1.5 \times V_{IORM}$、$t_m$ = 1s	≤ 5	
		手法 b2、ルーチン テスト (100% 出荷時)(7)、 $V_{pd(ini)} = V_{IOTM} = V_{pd(m)}$、$t_{ini} = t_m$ = 1s	≤ 5	
C_{IO}	バリア容量、入力から出力へ(6)	V_{IO} = 0.5V_{PP} (1MHz 時)	≅ 1.5	pF
R_{IO}	絶縁抵抗、入力から出力へ(6)	V_{IO} = 500V (T_A = 25℃時)	> 10^{12}	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	> 10^{11}	
		V_{IO} = 500V (T_S = 150℃時)	> 10^9	
	汚染度		2	
	耐候性カテゴリ		55/125/21	
UL1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$、t = 60s (認定試験)、 $V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト)	3000	V_{RMS}

(1) アプリケーションに固有の機器の絶縁規格に従って沿面距離および空間距離の要件を適用します。基板設計では、沿面距離および空間距離を維持し、プリント基板 (PCB) のアイソレータの取り付けパッドによりこの距離が短くならないよう注意が必要です。特定の場合には、PCB 上の沿面距離と空間距離は等しくなります。これらの規格値を増やすため、PCB 上にグルーブやリブを挿入するなどの技法が使用されます。
(2) この絶縁素子は、安全定格内の安全な電気的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。
(7) 正式運用環境では、手法 b1 または b2 のいずれかが使用されます。

Copyright © 2025 Texas Instruments Incorporated

5.7 安全性関連認証

VDE	UL
DIN EN IEC 60747-17 (VDE 0884-17)、 EN IEC 60747-17、 DIN EN 61010-1 (VDE 0411-1) 条項:6.4.3、6.7.1.3、6.7.2.1、6.7.2.2、6.7.3.4.2、6.8.3.1	1577 component および CSA component acceptance NO 5 programs により承認済み
基本絶縁	単一保護
認証書番号:40047657	ファイル番号:E181974

5.8 安全限界値

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 116.5℃/W、 VDD1 = VDD2 = 5.5V、 T_J = 150℃、T_A = 25℃			195	mA
		$R_{\theta JA}$ = 116.5℃/W、 VDD1 = VDD2 = 3.6V、 T_J = 150℃、T_A = 25℃			300	
P_S	安全入力、出力、または合計電力	$R_{\theta JA}$ = 116.5℃/W、 T_J = 150℃、T_A = 25℃			1070	mW
T_S	最高安全温度				150	℃

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。
I_S と P_S の上限値を超えないようにします。これらの
制限値は周囲温度 T_A によって変化します。
「熱に関する情報」の表にある、接合部から外気への熱抵抗 $R_{\theta JA}$ は、
リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。これらの式を使って各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$、ここで P は本デバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$、ここで $T_{J(max)}$ は最大接合部温度です。
$P_S = I_S \times AVDD_{max} + I_S \times DVDD_{max}$、ここで $AVDD_{max}$ は最大ハイサイド電圧、$DVDD_{max}$ はコントローラ側の最大電源電圧です。

Copyright © 2025 Texas Instruments Incorporated

5.9 電気的特性

最小値と最大値の仕様には T_A = -40℃～125℃、VDD1 = 3.0V～25V、VDD2 = 2.7V～5.5V、V_{REF} = 20mV～2.7V(1)、V_{IN} = -400mV～4V(3) が適用されます。標準値の仕様は T_A = 25℃、VDD1 = 5V、VDD2 = 3.3V、V_{REF} = 250mV でのものです (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
R_{IN}	入力抵抗	IN ピン、0 ≦ V_{IN} ≦ 4V		1		GΩ
I_{BIAS}	入力バイアス電流	IN ピン、0 ≦ V_{IN} ≦ 4V(4)		0.1	25	nA
		IN ピン、-400mV ≦ V_{IN} ≦ 0V(5)	-310	-0.5		
C_{IN}	入力容量	IN ピン		4		pF
リファレンス ピン						
I_{REF}	リファレンス電流	REF から GND1 に流れる電流、20mV < V_{REF} ≦ 2.7V	99	100	101	µA
V_{MSEL}	モード選択スレッショルド (2)	V_{REF} 立ち上がり	500	550	600	mV
		V_{REF} 立ち下がり	450	500	550	
	モード選択スレッショルドのヒステリシス			50		mV
コンパレータ						
V_{IT+}	正方向のトリップ スレッショルド	Cmp0		V_{REF} + V_{HYS}		mV
E_{IT+}	正方向のトリップ スレッショルドの誤差	Cmp0、(V_{IT+} - V_{REF} - V_{HYS})、V_{REF} = 20mV、V_{HYS} = 4mV	-2		2	mV
		Cmp0、(V_{IT+} - V_{REF} - V_{HYS})、V_{REF} = 250mV、V_{HYS} = 4mV	-2		2	
		Cmp0、(V_{IT+} - V_{REF} - V_{HYS})、V_{REF} = 2V、V_{HYS} = 25mV	-5		5	
V_{IT-}	負方向のトリップ スレッショルド	Cmp0		V_{REF}		mV
E_{IT-}	負方向のトリップ スレッショルドの誤差	Cmp0、(V_{IT-} - V_{REF})、V_{REF} = 20mV	-2.5		2.5	mV
		Cmp0、(V_{IT-} - V_{REF})、V_{REF} = 250mV	-2.5		2.5	
		Cmp0、(V_{IT-} - V_{REF})、V_{REF} = 2V	-5		5	
V_{IT-}	負方向のトリップ スレッショルド	Cmp1		-V_{REF} - V_{HYS}		mV
E_{IT-}	負方向のトリップ スレッショルドの誤差	Cmp1、(V_{IT-} + V_{REF} + V_{HYS})、V_{REF} = 20mV、V_{HYS} = 4mV	-3		3	mV
		Cmp1、(V_{IT-} + V_{REF} + V_{HYS})、V_{REF} = 250mV、V_{HYS} = 4mV	-3		3	
V_{IT+}	正方向のトリップ スレッショルド	Cmp1		-V_{REF}		mV
E_{IT+}	正方向のトリップ スレッショルドの誤差	Cmp1、(V_{IT+} + V_{REF})、V_{REF} = 20mV	-3.5		3.5	mV
		Cmp1、(V_{IT+} + V_{REF})、V_{REF} = 250mV	-3.5		3.5	
V_{HYS}	トリップ スレッショルドのヒステリシス	Cmp0 および Cmp1、(V_{IT+} - V_{IT-})、V_{REF} ≦ 450mV		4		mV
		Cmp0 のみ、(V_{IT+} - V_{IT-})、V_{REF} ≧ 600mV		25		
デジタル I/O						
V_{IH}	High レベル入力電圧	LATCH ピン	0.7 x VDD2		VDD2 + 0.3	V
V_{IL}	Low レベル入力電圧	LATCH ピン	-0.3		0.3 x VDD2	V
C_{IN}	入力容量	LATCH ピン		4		pF
V_{OL}	Low レベル出力電圧	I_{SINK} = 4mA		80	250	mV
I_{LKG}	オープン ドレイン出力リーク電流	VDD2 = 5V、V_{OUT} = 5V		5	100	nA
CMTI	同相過渡耐性	|V_{IN} - V_{REF}| ≧ 4mV、R_{PULLUP} = 10kΩ	55	110		V/ns

Copyright © 2025 Texas Instruments Incorporated

5.9 電気的特性 (続き)

最小値と最大値の仕様には T_A = -40℃～125℃、VDD1 = 3.0V～25V、VDD2 = 2.7V～5.5V、V_{REF} = 20mV～2.7V(1)、V_{IN} = -400mV～4V(3) が適用されます。標準値の仕様は T_A = 25℃、VDD1 = 5V、VDD2 = 3.3V、V_{REF} = 250mV でのものです (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$VDD1_{UV}$	VDD1 低電圧検出スレッショルド	VDD1 の立ち上がり			3	V
		VDD1 の立ち下がり			2.9	
$VDD1_{POR}$	VDD1 パワーオン リセット スレッショルド	VDD1 の立ち下がり			2.3	V
$VDD2_{UV}$	VDD2 低電圧検出スレッショルド	VDD2 の立ち上がり			2.7	V
		VDD2 の立ち下がり			2.1	
I_{DD1}	ハイサイド電源電流	3.0V ≤ VDD1 ≤ 3.4V			4.0	mA
I_{DD1}	ハイサイド電源電流	3.4V < VDD1 ≤ 25V		3.2	4.3	mA
I_{DD2}	ローサイド電源電流			1.8	2.2	mA

(1) リファレンス電圧が 1.6V を上回る場合、VDD1 > $VDD1_{MIN}$.とする必要があります。詳細については、「推奨動作条件」の表を参照してください。
(2) 電圧レベル V_{REF} によって、本デバイスが正と負のスレッショルドを持つウィンドウ コンパレータとして動作するか、または正のスレッショルドのみを持つ単純なコンパレータとして動作するかが決まります。詳細については、「基準電圧入力」セクションを参照してください。
(3) しかし、「推奨動作条件」の表に規定された最大入力電圧を超えないようにします。
(4) 標準値は、V_{IN} = 0.4V で測定されます。
(5) 標準値は、V_{IN} = -400mV で測定されます。

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性

動作時周辺温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
LATCH 入力						
	グリッチ除去時間	立ち下がりエッジ	1.8		3.2	µs
オープンドレイン出力						
t_{pH}	伝搬遅延時間、$\|V_{IN}\|$ 立ち上がり	VDD2 = 3.3V、V_{REF} = 250mV、$V_{OVERDRIVE}$ = 10mV、C_L = 15pF		280	410	ns
		VDD2 = 3.3V、V_{REF} = 2V、$V_{OVERDRIVE}$ = 50mV、C_L = 15pF		240	370	
t_{pL}	伝搬遅延時間、$\|V_{IN}\|$ 立ち下がり	VDD2 = 3.3V、V_{REF} = 250mV、$V_{OVERDRIVE}$ = 10mV、C_L = 15pF		280	410	ns
		VDD2 = 3.3V、V_{REF} = 2V、$V_{OVERDRIVE}$ = 50mV、C_L = 15pF		240	370	
t_f	出力信号の立ち下がり時間	R_{PULLUP} = 4.7kΩ、C_L = 15pF		2		ns
モード選択						
t_{HSEL}	コンパレータのヒステリシス選択のグリッチ除去時間	Cmp0、V_{REF} 立ち上がりまたは立ち下がり		10		µs
t_{DIS13}	コンパレータのディセーブルのグリッチ除去時間	Cmp1、V_{REF} 立ち上がり		10		µs
t_{EN13}	コンパレータのイネーブルのグリッチ除去時間	Cmp1、V_{REF} 立ち下がり		100		µs
起動タイミング						
t_{LS_STA}	ローサイド起動時間	2.7V への VDD2 のステップ、VDD1 ≧ 3.0V		40		µs
t_{HS_STA}	ハイサイド起動時間	3.0V への VDD1 のステップ、VDD2 ≧ 2.7V		45		µs
$t_{HS,BLK}$	ハイサイドのブランキング時間			200		µs
$t_{HS,FLT}$	ハイサイド フォルト検出遅延時間			100		µs

5.11 タイミング図

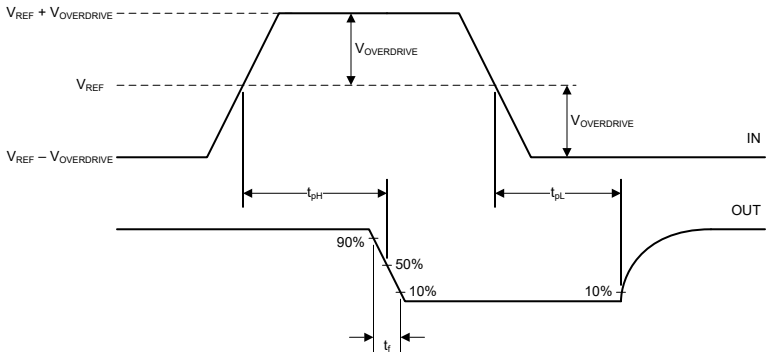


図 5-1. 立ち上がり、立ち下がり、遅延時間の定義 (LATCH = Low)

Copyright © 2025 Texas Instruments Incorporated

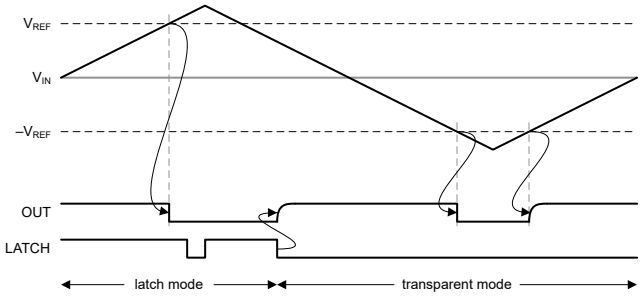


図 5-2. 動作時のタイミング図

5.12 絶縁特性曲線

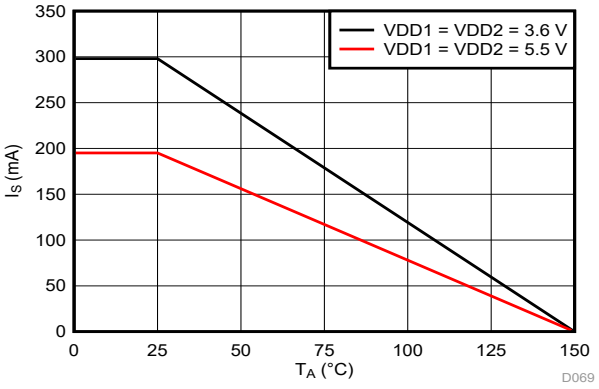


図 5-3. VDE に従う安全性制限電流の熱特性低下曲線

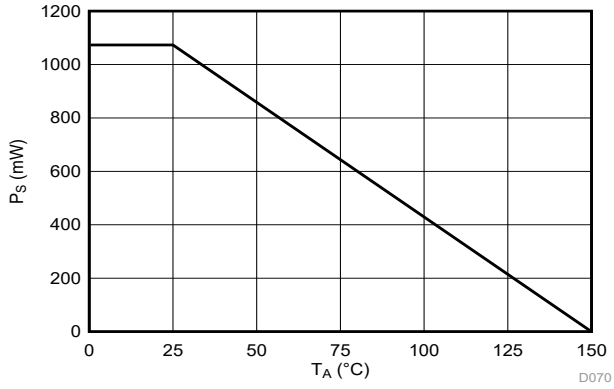
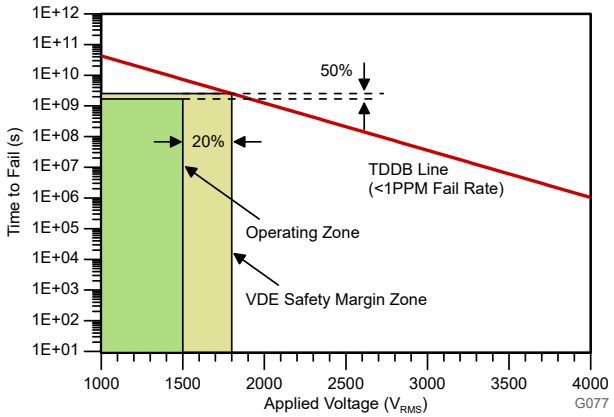


図 5-4. VDE に従う安全性制限電力の熱特性低下曲線



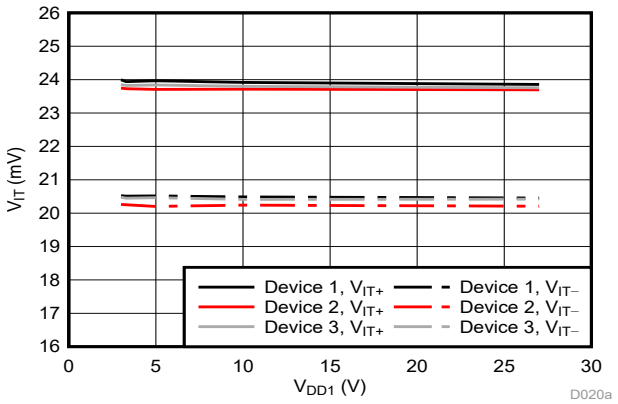
150℃までの T_A、ストレス電圧周波数 = 60Hz、絶縁動作電圧 = 1000V_{RMS}、動作寿命 = 400 年

図 5-5. 基本絶縁コンデンサの寿命推定

Copyright © 2025 Texas Instruments Incorporated

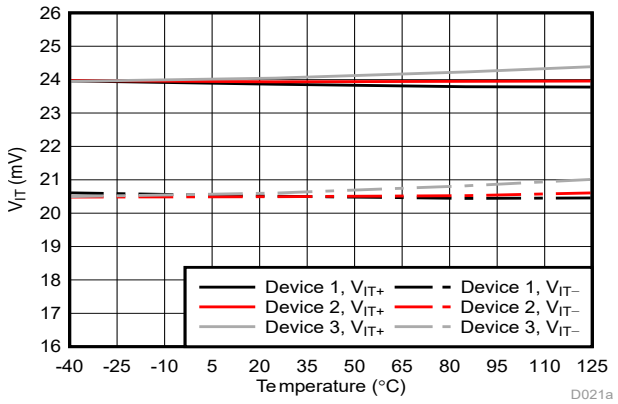
5.13 代表的特性

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)



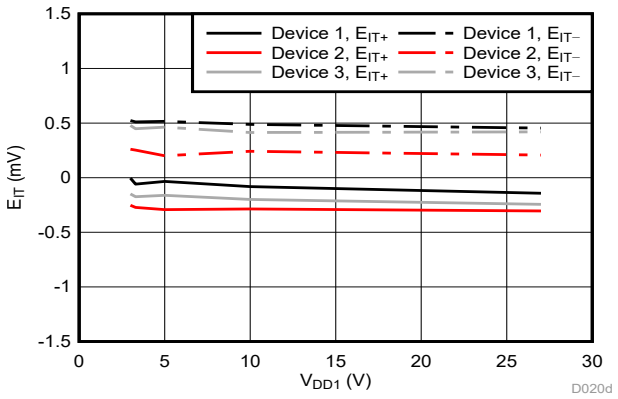
V_{REF} = 20 mV

図 5-6. Cmp0 のトリップ スレッショルドと電源電圧との関係



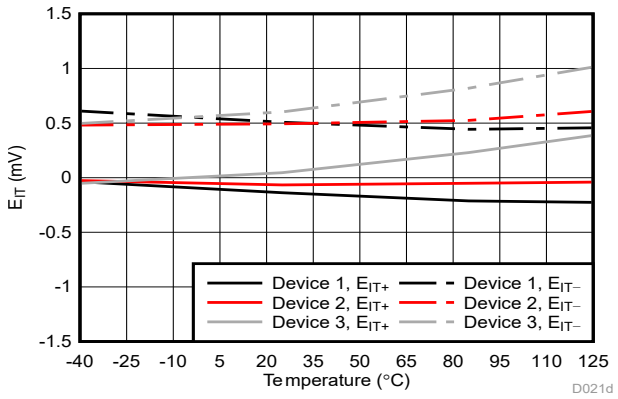
V_{REF} = 20 mV

図 5-7. Cmp0 のトリップ スレッショルドと温度との関係



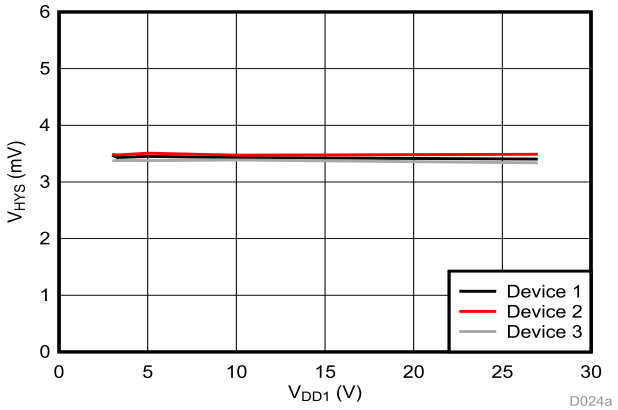
V_{REF} = 20 mV

図 5-8. Cmp0 のトリップ スレッショルド誤差と電源電圧との関係



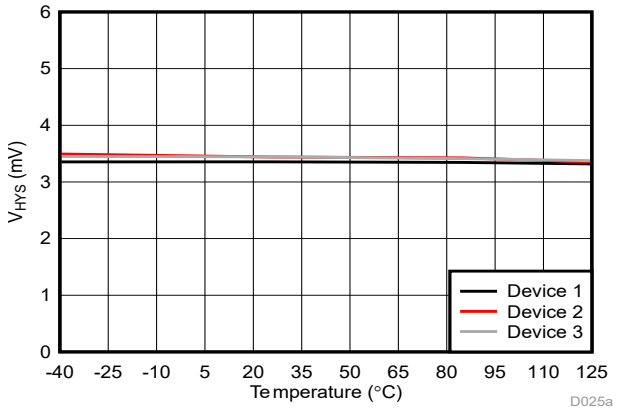
V_{REF} = 20 mV

図 5-9. Cmp0 のトリップ スレッショルド誤差と温度との関係



V_{REF} = 20 mV

図 5-10. Cmp0 のトリップ スレッショルドのヒステリシスと電源電圧との関係



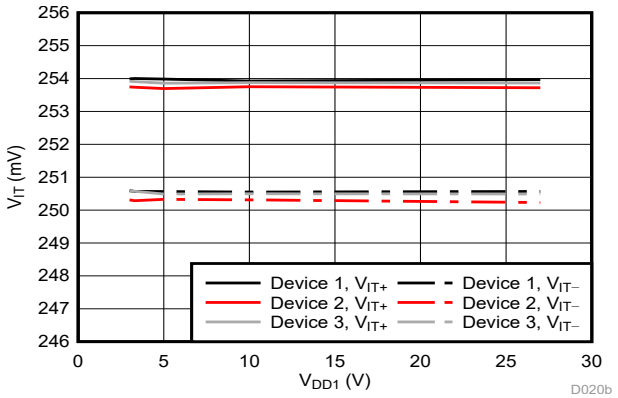
V_{REF} = 20 mV

図 5-11. Cmp0 のトリップ スレッショルドのヒステリシスと温度との関係

Copyright © 2025 Texas Instruments Incorporated

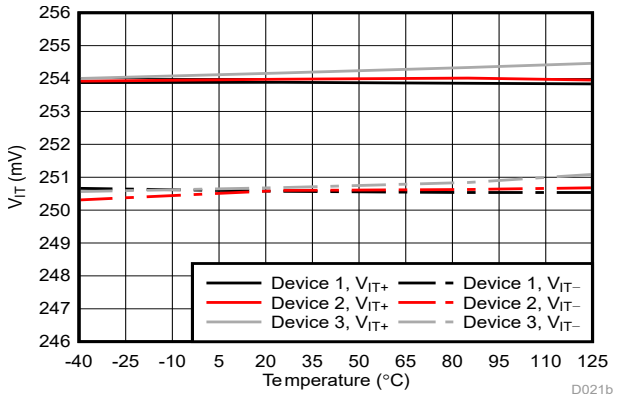
5.13 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)



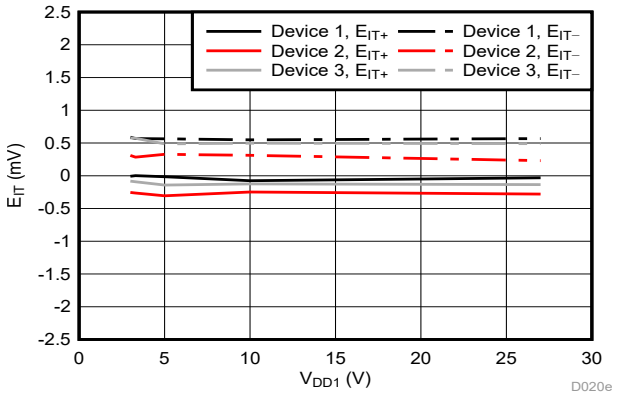
V_{REF} = 250 mV

図 5-12. Cmp0 のトリップ スレッショルドと電源電圧との関係



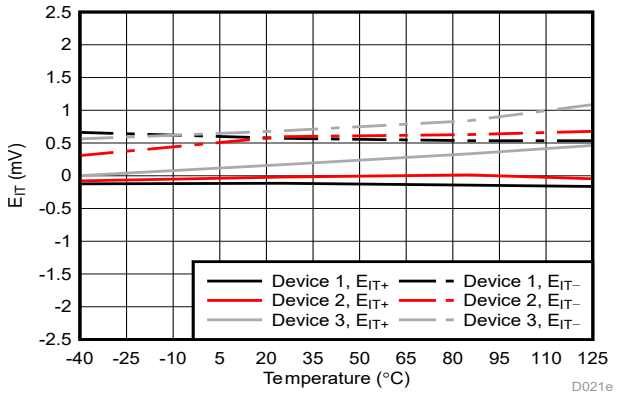
V_{REF} = 250 mV

図 5-13. Cmp0 のトリップ スレッショルドと温度との関係



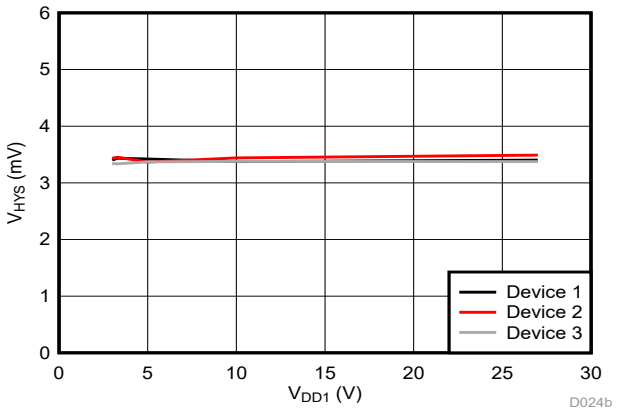
V_{REF} = 250 mV

図 5-14. Cmp0 のトリップ スレッショルド誤差と電源電圧との関係



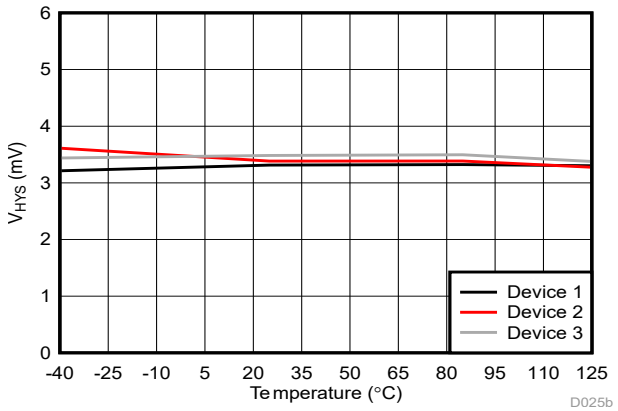
V_{REF} = 250 mV

図 5-15. Cmp0 のトリップ スレッショルド誤差と温度との関係



V_{REF} = 250 mV

図 5-16. Cmp0 のトリップ スレッショルドのヒステリシスと電源電圧との関係



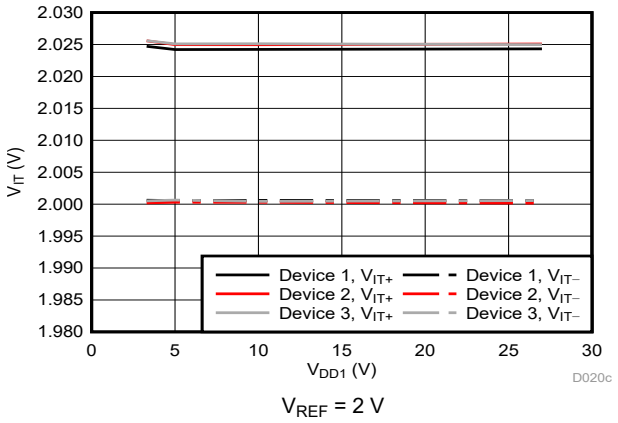
V_{REF} = 250 mV

図 5-17. Cmp0 のトリップ スレッショルドのヒステリシスと温度との関係

Copyright © 2025 Texas Instruments Incorporated

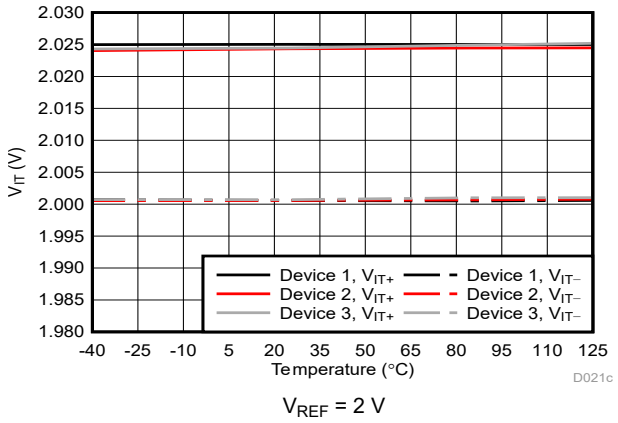
5.13 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)



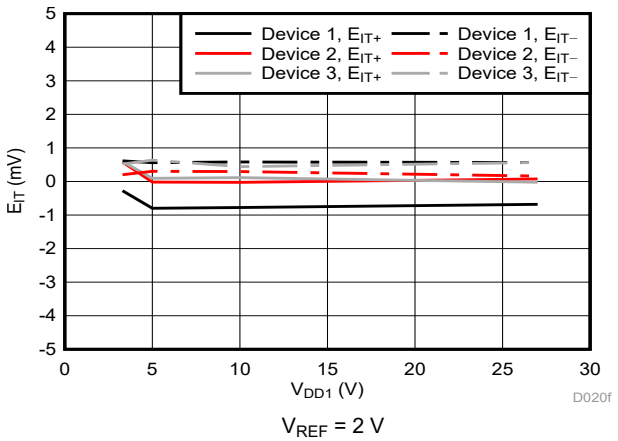
V_{REF} = 2 V

図 5-18. Cmp0 のトリップ スレッショルドと電源電圧との関係



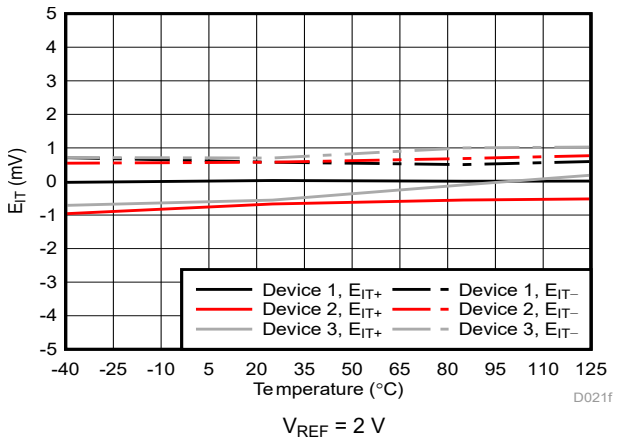
V_{REF} = 2 V

図 5-19. Cmp0 のトリップ スレッショルドと温度との関係



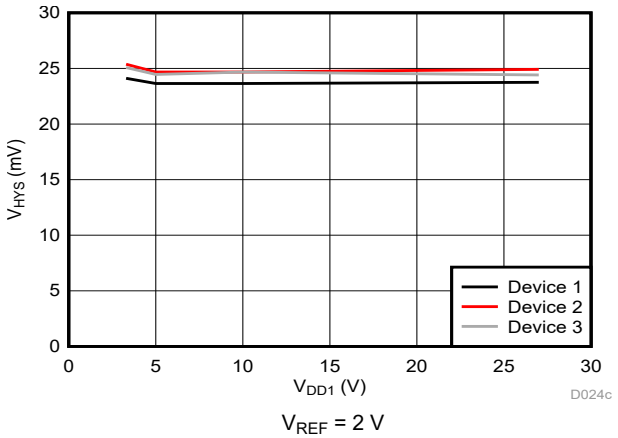
V_{REF} = 2 V

図 5-20. Cmp0 のトリップ スレッショルド誤差と電源電圧との関係



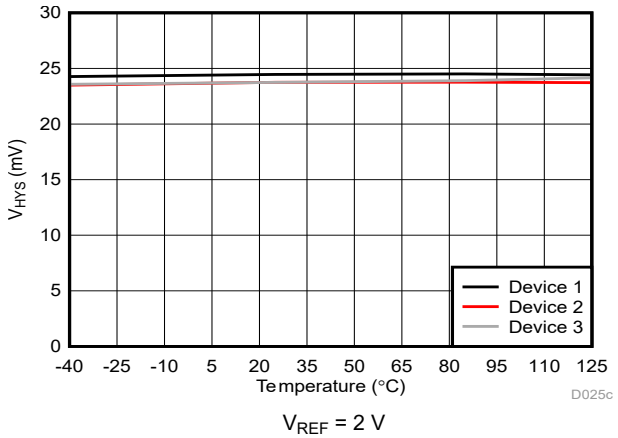
V_{REF} = 2 V

図 5-21. Cmp0 のトリップ スレッショルド誤差と温度との関係



V_{REF} = 2 V

図 5-22. Cmp0 のトリップ スレッショルドのヒステリシスと電源電圧との関係



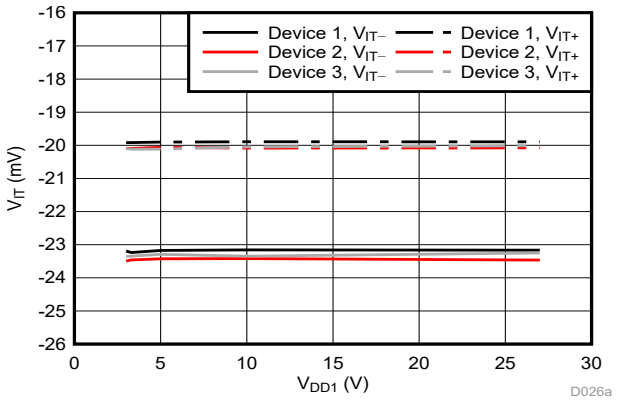
V_{REF} = 2 V

図 5-23. Cmp0 のトリップ スレッショルドのヒステリシスと温度との関係

Copyright © 2025 Texas Instruments Incorporated

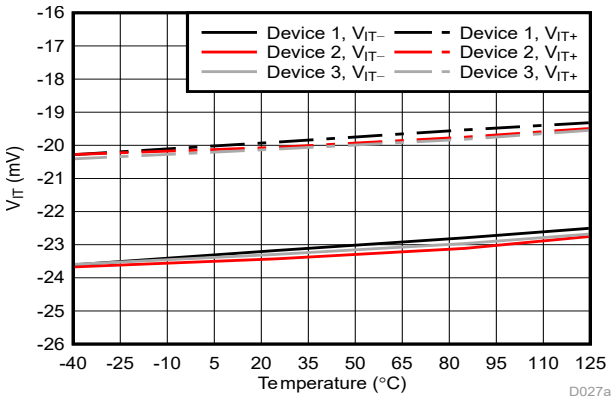
5.13 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)



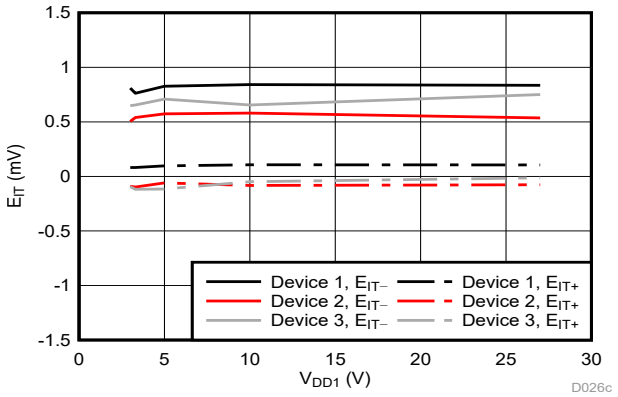
V_{REF} = 20 mV

図 5-24. Cmp1 のトリップ スレッショルドと電源電圧との関係



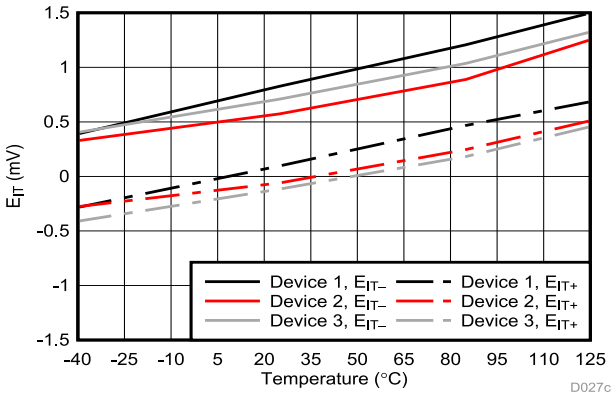
V_{REF} = 20 mV

図 5-25. Cmp1 のトリップ スレッショルドと温度との関係



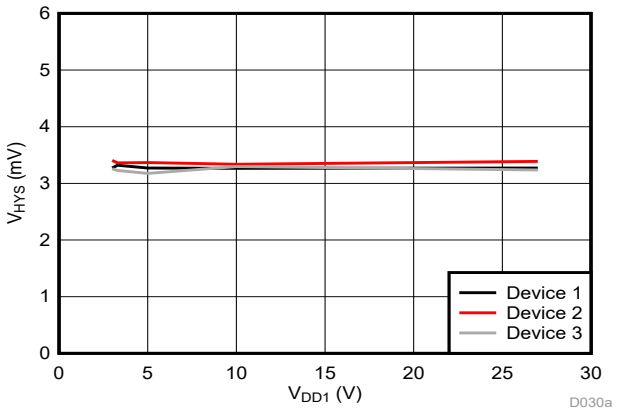
V_{REF} = 20 mV

図 5-26. Cmp1 のトリップ スレッショルド誤差と電源電圧との関係



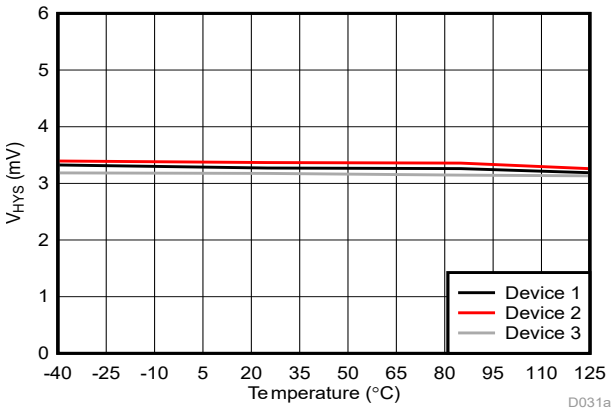
V_{REF} = 20 mV

図 5-27. Cmp1 のトリップ スレッショルド誤差と温度との関係



V_{REF} = 20 mV

図 5-28. Cmp1 のトリップ スレッショルドのヒステリシスと電源電圧との関係



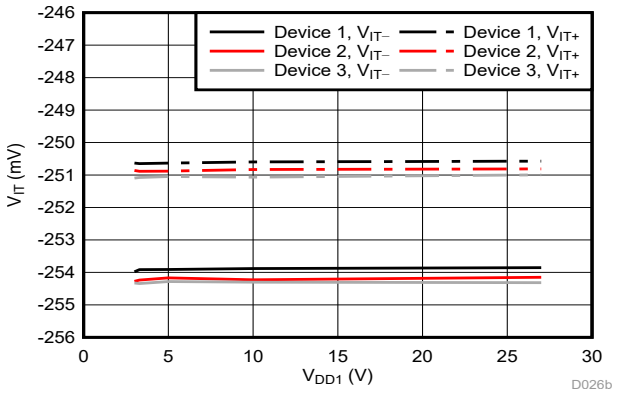
V_{REF} = 20 mV

図 5-29. Cmp1 のトリップ スレッショルドのヒステリシスと温度との関係

Copyright © 2025 Texas Instruments Incorporated

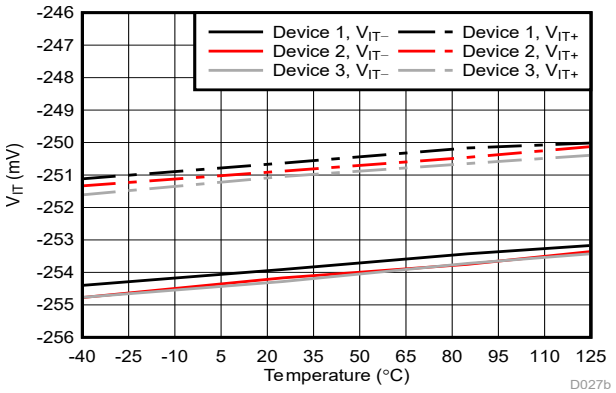
5.13 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)



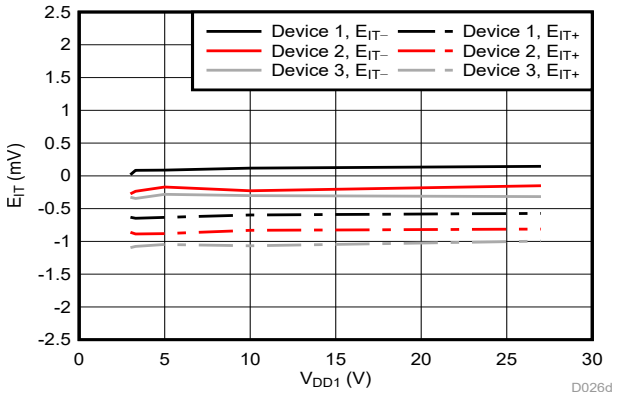
V_{REF} = 250 mV

図 5-30. Cmp1 のトリップ スレッショルドと電源電圧との関係



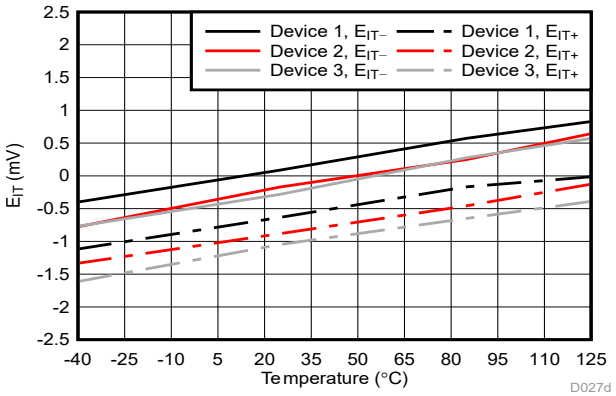
V_{REF} = 250 mV

図 5-31. Cmp1 のトリップ スレッショルドと温度との関係



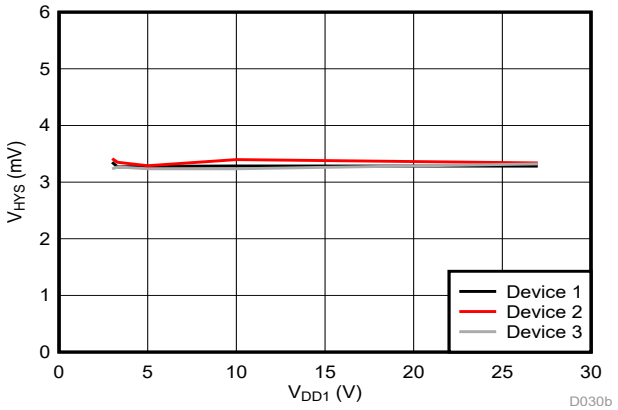
V_{REF} = 250 mV

図 5-32. Cmp1 のトリップ スレッショルド誤差と電源電圧との関係



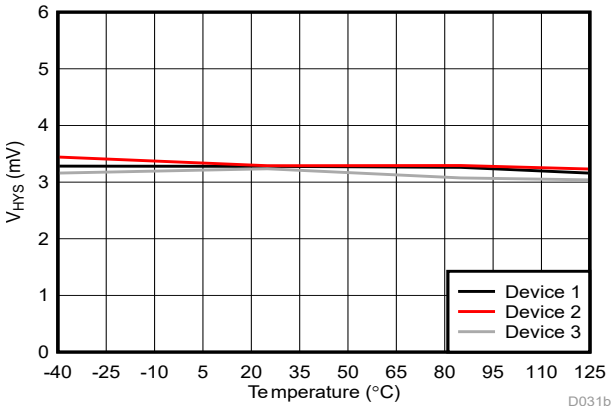
V_{REF} = 250 mV

図 5-33. Cmp1 のトリップ スレッショルド誤差と温度との関係



V_{REF} = 250 mV

図 5-34. Cmp1 のトリップ スレッショルドのヒステリシスと電源電圧との関係



V_{REF} = 250 mV

図 5-35. Cmp1 のトリップ スレッショルドのヒステリスと温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.13 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

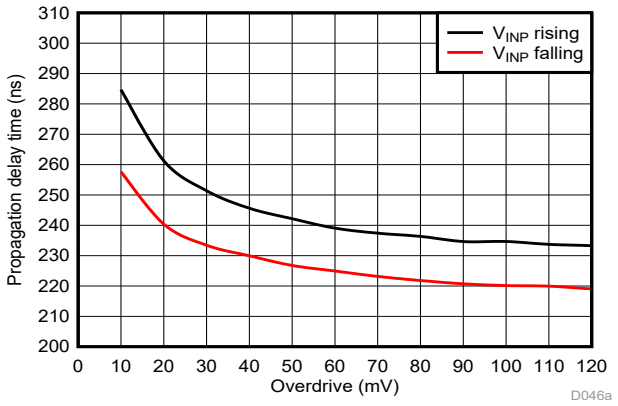


図 5-36. Cmp0 の伝搬遅延とオーバードライブとの関係

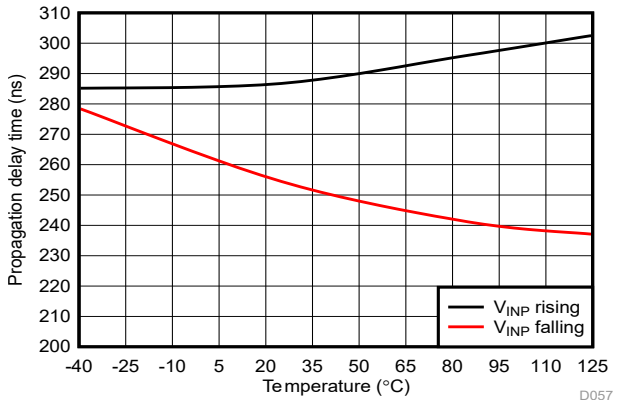


図 5-37. Cmp0 の伝搬遅延と温度との関係

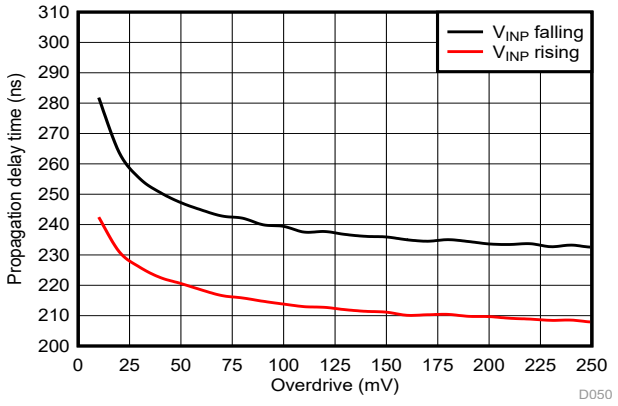


図 5-38. Cmp1 の伝搬遅延とオーバードライブとの関係

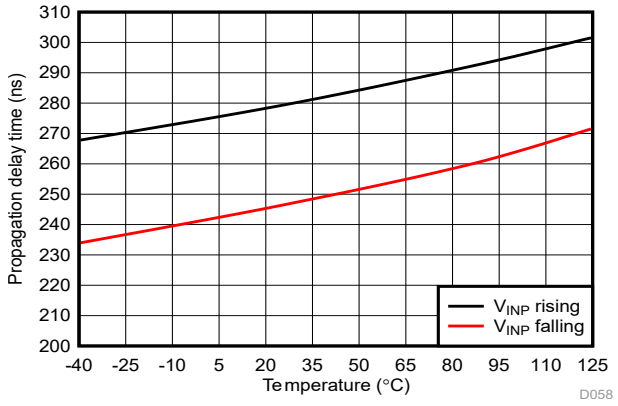


図 5-39. Cmp1 の伝搬遅延と温度との関係

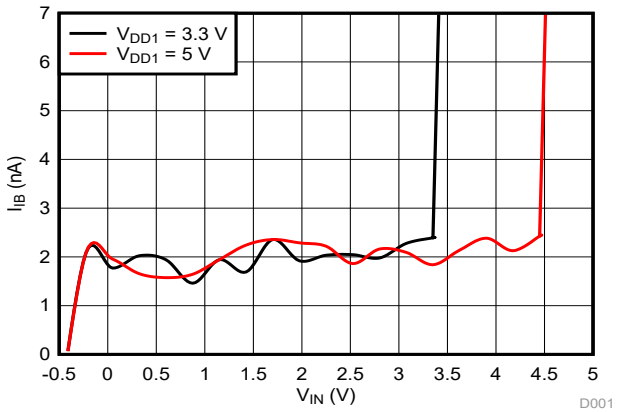


図 5-40. の入力バイアス電流と入力電圧との関係

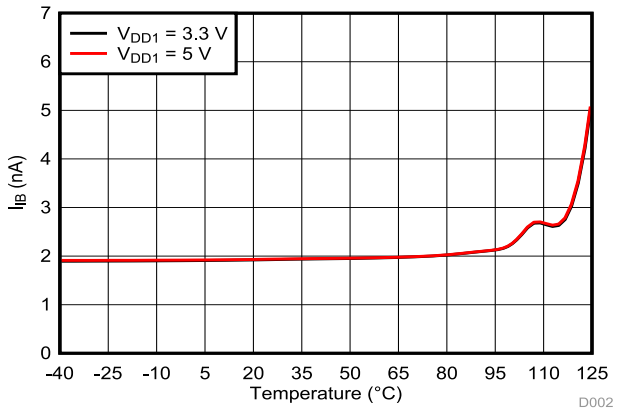


図 5-41. の入力バイアス電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.13 代表的特性 (続き)

VDD1 = 5V、VDD2 = 3.3V のとき (特に記述のない限り)

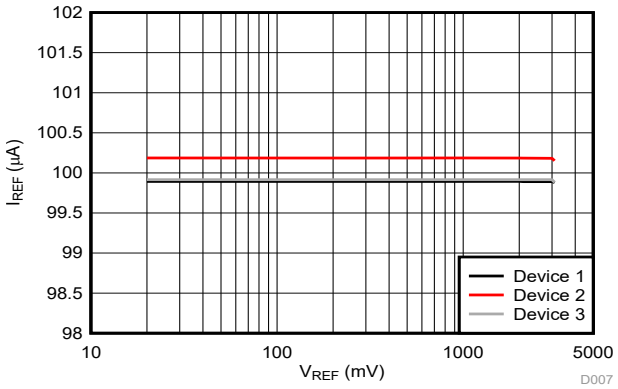


図 5-42. リファレンス電流とリファレンス電圧との関係

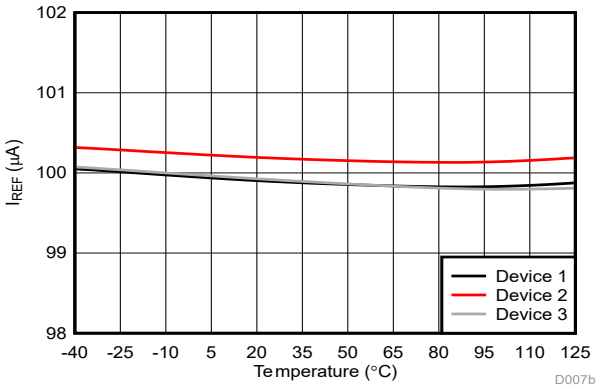


図 5-43. リファレンス電流と温度との関係

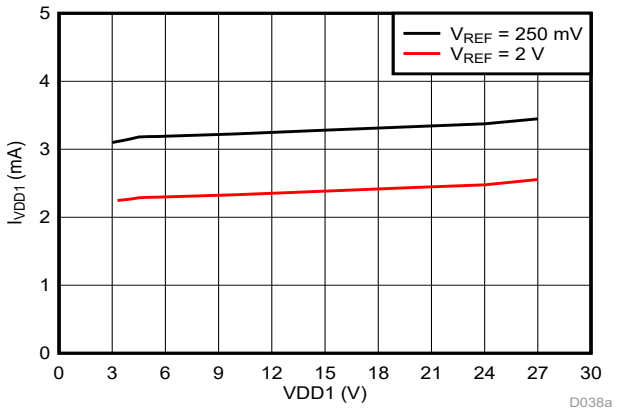


図 5-44. ハイサイド電源電流と電源電圧との関係

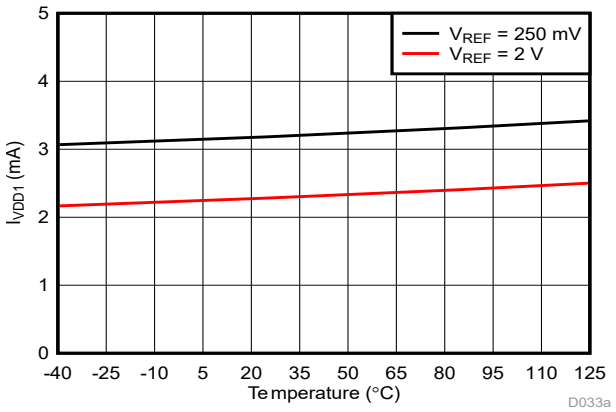


図 5-45. ハイサイド電源電流と温度との関係

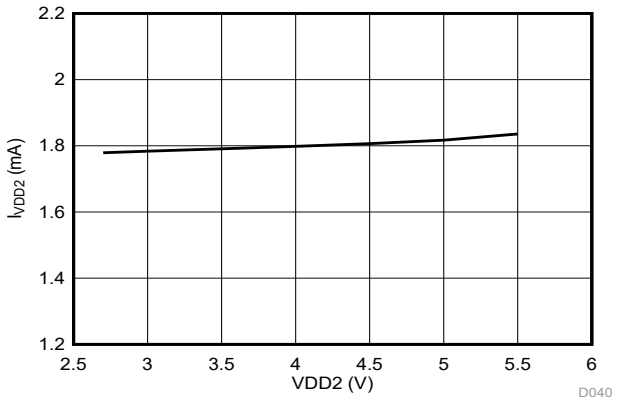


図 5-46. ローサイド電源電流と電源電圧との関係

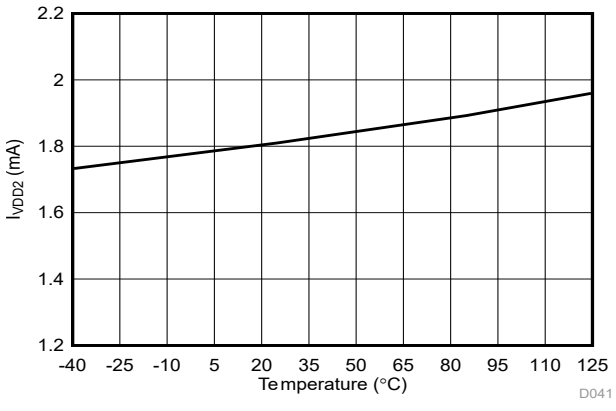


図 5-47. ローサイド電源電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

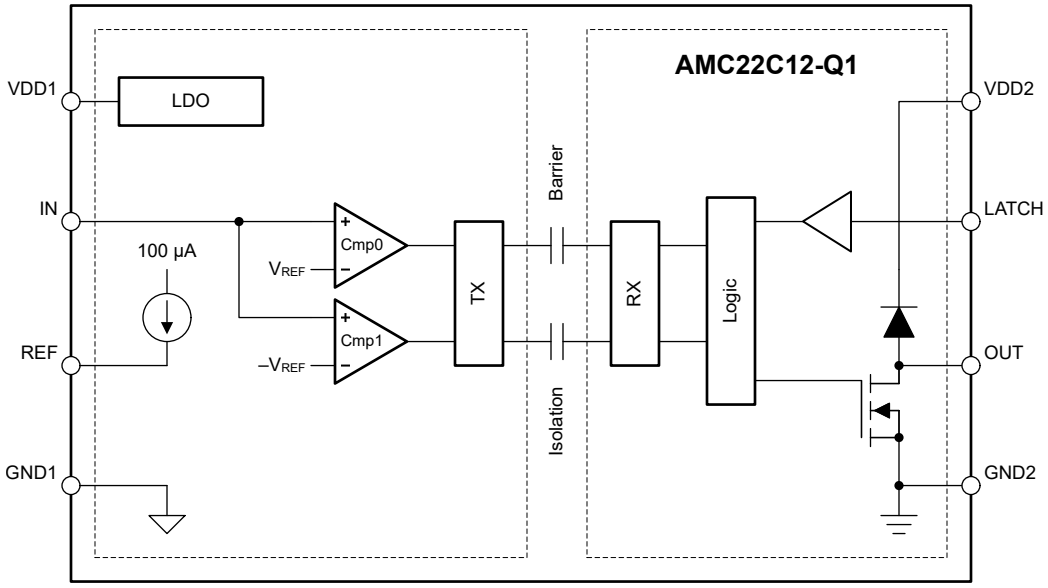
AMC22C12-Q1 は、オープン ドレイン出力とオプションのラッチ機能を備えた絶縁型ウィンドウ コンパレータです。このウィンドウ コンパレータはコンパレータ Cmp0 および Cmp1 で構成されます。Cmp0 は正のスレッショルド (V_{IT+}) と入力電圧 (V_{IN}) を比較し、Cmp1 は負のスレッショルド (V_{IT-}) と入力電圧 (V_{IN}) を比較します。V_{IT+} と V_{IT-} は、大きさは同じで符号は逆です。そのため、比較ウィンドウの中心は 0V です。比較スレッショルドは、内部生成される 100µA のリファレンス電流と 1 つの外付け抵抗で ±20mV～±300mV に調整できます。

入力電圧 (V_{IN}) が比較ウィンドウを外れると、オープン ドレイン出力はアクティブに Low になります。V_{IN} が低下してウィンドウ内に戻った際の動作は、「 オープン ドレイン デジタル出力 」セクションで説明されているように、LATCH ピンによって決まります。

REF ピンの電圧が V_{MSEL} より高い場合、本デバイスは正のコンパレータ モードで動作します。このモードは、正電圧を監視するのに特に便利です。負のコンパレータ (Cmp1) がディセーブルされ、正のコンパレータ (Cmp0) のみが機能します。このモードでのリファレンス電圧は最大 2.7V に設定できます。

本デバイスの高電圧側と低電圧側の間のガルバニック絶縁は、SiO_2 ベースの容量性絶縁バリア越しにコンパレータの状態を送信することで実現されます。この絶縁バリアは、『ISO72x デジタル アイソレータの磁界耐性』アプリケーション レポートに記載されているように、高水準の磁界耐性をサポートします。絶縁バリア越しにデータを送信するために AMC22C12-Q1 が採用しているデジタル変調方式と、絶縁バリアの特性自体により、優れた信頼性と同相過渡耐性が得られます。

6.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 アナログ入力

リファレンス値に内部ヒステリシス電圧を加えた値として定義される V_{IT+} スレッショルドを入力電圧 (V_{IN}) が上回ると、正のコンパレータはトリップします。リファレンス値と等しい V_{IT-} スレッショルドを V_{IN} が下回ると、正のコンパレータはリリースされます。負のリファレンス値から内部ヒステリシス電圧を引いた値として定義される V_{IT-} スレッショルドを V_{IN} が下回ると、負のコンパレータはトリップします。負のリファレンス値と等しい V_{IT+} スレッショルドを V_{IN} が上回ると、負のコンパレータはリリースされます。

V_{IT+} と V_{IT-} の差はコンパレータ ヒステリシスと呼ばれ、リファレンス電圧が 450mV 未満なら 4mV です。あらかじめヒステリシスが組み込まれているため、AMC22C12-Q1 は入力ノイズの影響を受けづらく、ノイズの多い環境でも安定して動作します。ヒステリシスを生成するための外部正帰還を追加する必要はありません。600mV を超えるリファレンス値 (V_{REF}) の場合、Cmp0 のヒステリシスは 25mV に増加します。詳細については、「リファレンス入力」の説明を参照してください。

ヒステリシスとスイッチング スレッショルドとの関係を表すタイミング図を、図 6-1 に示します。

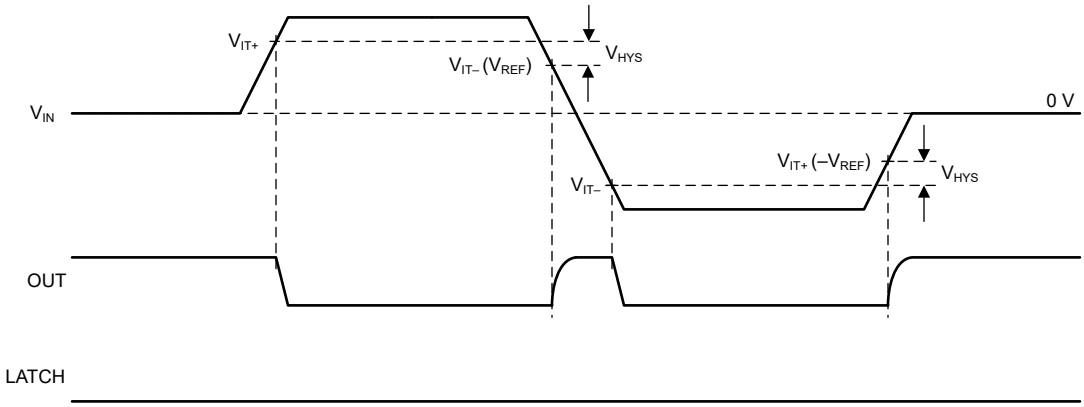


図 6-1. スイッチング スレッショルドとヒステリシス

6.3.2 リファレンス入力

REF ピンの電圧は、ウィンドウ コンパレータのトリップ スレッショルドを決定します。内部の高精度電流源は、REF ピンから GND1 に接続された外部抵抗に 100µA の電流を流します。抵抗の両端に結果として生じる電圧 (V_{REF}) は、正と負のトリップ スレッショルドの大きさと等しくなります (図 6-1 を参照)。リファレンス電圧をフィルタ処理するため、抵抗と並列に 100nF のコンデンサを配置します。このコンデンサは、起動中に 100µA の電流源で充電される必要があり、その充電時間がハイサイドのブランキング時間 ($t_{HS, BLK}$) を超えることがあります。この場合、図 6-2 に示すように、コンパレータは、ハイサイドのブランキング時間が経過した後で、V_{REF} が最終値に達するまでの間、正しくない状態を出力することがあります。起動時の動作の詳細については、「パワーアップ動作とパワーダウン動作」セクションを参照してください。

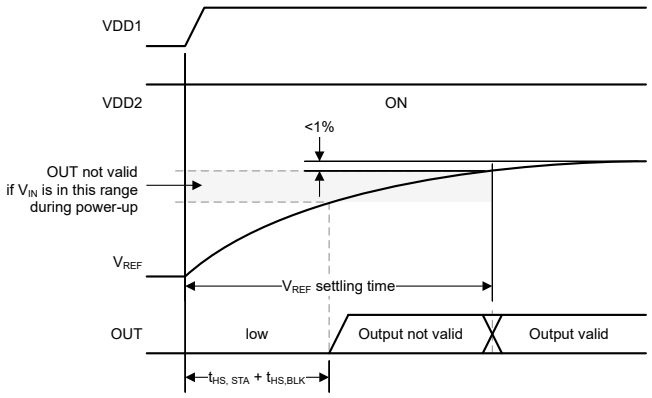


図 6-2. リファレンス電圧のセトリング タイムが長いときの出力の動作

REF ピンの電圧は、負のコンパレータ (Cmp1) の機能と正のコンパレータ (Cmp0) のヒステリシスも決定します (機能ブロック図を参照)。「電気的特性」表に定義された V_{MSEL} スレッショルドを V_{REF} が上回ると、Cmp1 はディセーブルされ、Cmp0 のヒステリシスは 4mV (標準値) から 25mV に増加します。正のコンパレータ モードは、高い入力電圧と高いノイズ耐性が必要な電圧監視アプリケーションを目的としています。

リファレンス電圧ピンは、動作中にコンパレータのスレッショルドを変更するために外部電圧源で駆動することもできます。しかし、通常動作中に V_{MSEL} スレッショルドを超えて V_{REF} を動的に駆動してはいけません。それにより、Cmp0 コンパレータのヒステリシスが変化し、出力が意図せずに切り替わる可能性があるためです。

図 6-3 に、モード選択のタイミング図を示します。

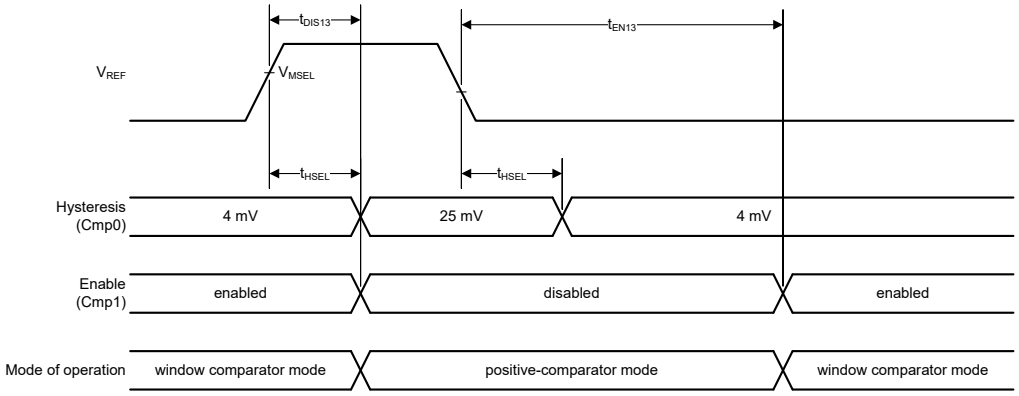


図 6-3. モード選択

Copyright © 2025 Texas Instruments Incorporated

6.3.3 絶縁チャネルの信号伝送

AMC22C12-Q1 は、SiO_2 ベースの絶縁バリア越しにコンパレータの出力状態を送信するため、図 6-4 に示すオン / オフ キーイング (OOK) 変調方式を採用しています。「機能ブロック図」に示す送信ドライバ (TX) は、デジタル 1 を表すために内部で生成された高周波キャリアを絶縁バリア越しに送信します。デジタル 0 を表す信号は送りません。

絶縁バリアの反対側のレシーバ (RX) は信号を回復および復調し、オープン ドレイン出力バッファを駆動するロジックにデータを提供します。AMC22C12-Q1 の送信チャネルは、同相過渡耐性 (CMTI) を最大限に高め、高周波キャリアと RX/TX バッファのスイッチングに起因する放射妨害波を最小限に抑えるように最適化されています。

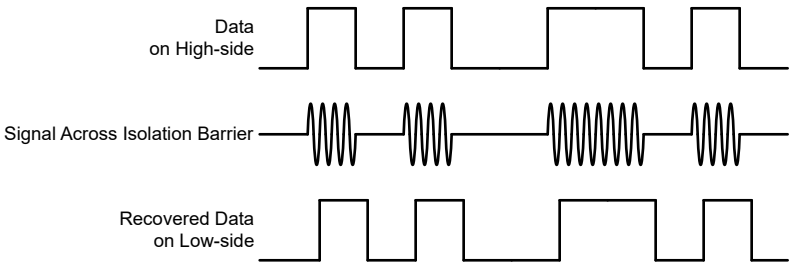


図 6-4. OOK ベースの変調方式

6.3.4 オープン ドレイン デジタル出力

AMC22C12-Q1 はラッチ機能付きオープン ドレイン出力を備えています。REF ピンの電圧によって定義されたスレッショルド値を $|V_{IN}|$ が上回ると、出力はアクティブに Low になります (図 6-1 を参照)。

オープン ドレイン出力には、VDD2 電源に対してダイオードが接続されています (「機能ブロック図」を参照)。これは、OUT ピンに大電流が流れ込み始めない限り、VDD2 電源電圧より 500mV を超えて出力されないことを意味しています。特に VDD2 が GND2 レベルである場合、オープン ドレイン出力は、グランドより 1 ダイオード分高い電圧にクランプされます。この動作を、図 6-5 から図 6-10 までの、灰色の網掛けで示します。

システム レベルでは、オープン ドレイン信号ラインの CMTI 性能はプルアップ抵抗の値によって異なります。高いスルーレート (dV/dt が高い) の同相過渡イベント中、プリント基板 (PCB) のハイサイドとローサイドの間の寄生容量結合により、オープン ドレイン信号ラインが Low にされることがあります。寄生結合が信号レベルに及ぼす影響は、プルアップ強度の関数であり、プルアップ抵抗の値が小さいほど CMTI の性能が向上します。AMC22C12-Q1 は、比較的弱いプルアップ抵抗値 10kΩ で特性付けされており、4.7kΩ 以下のプルアップ抵抗を使用する標準的なアプリケーションで、規定の CMTI 性能を確実に満たすことができます。

6.3.4.1 透過出力モード

LATCH ピンを LOW にすると、本デバイスはトランスペアレント・モードに設定され、設定された閾値電圧と入力信号の関係に基づいて出力状態が変化します。たとえば、入力信号が閾値電圧を上回ると、OUT ピンは LOW に駆動されます。入力信号が閾値電圧を下回ると、出力はデフォルトの HIGH 出力状態に戻ります。トランスペアレント・モードでデバイスを使用する一般的な実装は、OUT ピンをコントローラのハードウェア割り込み入力に接続することです。本デバイスが範囲外状態を検出し、OUT ピンが LOW に駆動されるとすぐに、コントローラの割り込み端子が出力状態の変化を検出し、範囲外状態の対応に必要なシステム動作に変化し始めることができます。

6.3.4.2 ラッチ出力モード

一部のアプリケーションには、過電流状態を検出するために OUT ピンの状態を継続的に監視できる機能がありません。このアプリケーションの代表例は、システムが正常に機能しているかどうかを確認するために OUT 端子の状態を定期的にポーリングできるだけのシステムです。この種のアプリケーションでデバイスをトランスペアレント モードに設定した場合、これらの定期的なポーリング イベントのいずれかの最中に範囲外状態が発生しない限り、OUT ピンの状態変化を見逃す可能性があります。

ラッチ モードは、特にこれらのアプリケーションに対応することを目的としています。LATCH 端子の電圧を論理 HIGH レベルに設定することで、本デバイスはラッチ モードに移行します。ラッチ モードとトランスペアレント モードの違いは、範囲外イベントが終了した際のアラート出力の応答の仕方です。トランスペアレント モードでは、入力信号が閾値電圧を下回ると、出力状態はデフォルトの HIGH 設定に戻り、範囲外イベントが終了したことを示します。

ラッチ モードでは、範囲外状態が検出され OUT ピンが LOW に駆動された場合、入力信号が閾値電圧レベルを下回っても OUT ピンはデフォルトの HIGH レベルには戻りません。このイベントをクリアするには、LATCH 端子を 4µs 以上の間 LOW にプルする必要があります。LATCH ピンを LOW にプルした場合、入力信号が閾値電圧を下回ると、OUT ピンはデフォルトの HIGH レベルに戻れます。LATCH ピンを LOW にプルした際に、入力信号が依然として閾値電圧を超えている場合、OUT 端子は LOW に維持されます。システム コントローラによって範囲外イベントが検出された場合、LATCH ピンを HIGH に戻すことで本デバイスをラッチ モードに戻せます。

Copyright © 2025 Texas Instruments Incorporated

6.3.5 パワーアップ動作とパワーダウン動作

ローサイド電源 (VDD2) がオンになると、オープン ドレイン出力はハイ インピーダンス (Hi-Z) 状態で起動します。起動後、ハイサイドがまだ機能していない場合、出力はアクティブに Low になります。図 6-5 に示すように、この状態は、ローサイドの起動時間とハイサイドのフォルト検出遅延時間の和 ($t_{LS,STA}$ + $t_{HS,FLT}$) の後で発生します。同様に、通常動作中にハイサイドのフォルト検出遅延時間より長い間、ハイサイド電源が低電圧スレッショルド ($VDD1_{UV}$) を下回ると、オープンドレイン出力は Low になります (図 6-8 を参照)。この遅延により、ハイサイド電源を喪失してもシステムは確実にシャットダウンできます。

REF ピンの電圧を安定させ、起動中にコンパレータ出力が意図せず切り替わることを防止するため、コンパレータのハイサイドとローサイドとの間での通信開始は、ハイサイドのブランキング時間 ($t_{HS,BLK}$、高電圧側に実装された時定数) だけ遅延します。

図 6-5 から図 6-10 までに、代表的な起動および停止のシナリオを示します。

図 6-5 では、ローサイド電源 (VDD2) がオンになりますが、ハイサイド電源 (VDD1) はオフのままです。出力は Hi-Z 状態で起動します。$t_{HS,FLT}$ 後、OUT は Low になり、ハイサイド電源喪失フォルトを示します。

図 6-6 では、ローサイド電源 (VDD2) がオンになった後しばらくして、ハイサイド電源 (VDD1) がオンになります。出力は最初はアクティブ Low 状態です (図 6-5 を参照)。ハイサイド電源がイネーブルされた後、本デバイスが通常動作となり、出力がコンパレータの現在の状態を反映するまでに、$t_{HS,STA}$ + $t_{HS,BLK}$ の時間が経過します。

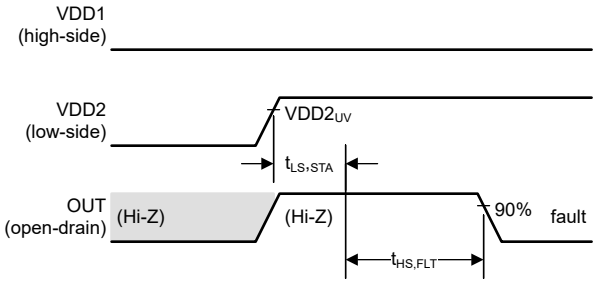


図 6-5. VDD2 がオンになり、VDD1 はオフのまま

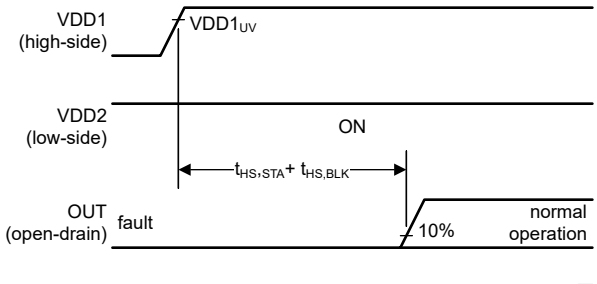


図 6-6. VDD2 がオンで、VDD1 がオンになる (遅延時間が長い)

図 6-7 では、ローサイド電源 (VDD2) がオンになった後で、わずかに遅れてハイサイド電源 (VDD1) がオンになります。出力は最初は Hi-Z 状態です。ハイサイド フォルト検出遅延 ($t_{HS,FLT}$) はハイサイドのブランキング時間 ($t_{HS,BLK}$) より短いため、出力は $t_{HS,FLT}$ の後で Low になり、ハイサイドがまだ動作していないことを示します。ハイサイドのブランキング時間 ($t_{HS,BLK}$) が経過した後、本デバイスは通常動作になり、出力はコンパレータの現在の状態を反映します。

図 6-8 では、ハイサイド電源 (VDD1) がオフになった後で、ローサイド電源 (VDD2) がオフになります。ハイサイド フォルト検出遅延時間 ($t_{HS,FLT}$) の後、出力はアクティブに Low になります。VDD2 が $VDD2_{UV}$ スレッショルドを下回るとすぐに、出力は Hi-Z 状態になります。

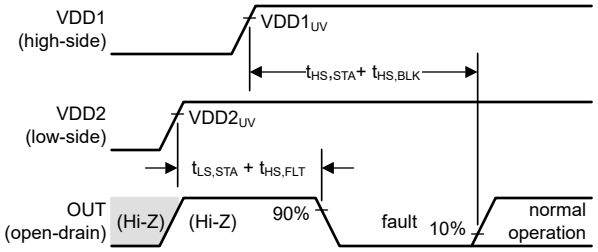


図 6-7. VDD2 がオンになってから VDD1 がオンになる (遅延時間が短い)

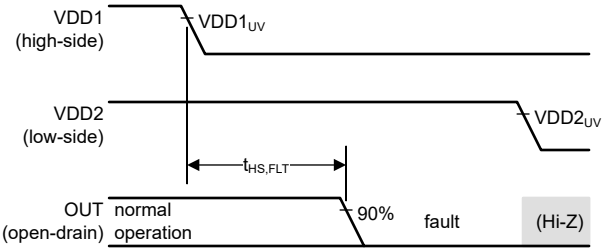


図 6-8. VDD1 がオフになってから VDD2 がオフになる

図 6-9 では、ハイサイドが完全に起動した後で、ローサイド電源 (VDD2) がオンになります (VDD1 と VDD2 の間の遅延は ($t_{HS、STA}$ + $t_{HS、BLK}$) より大きい)。出力は Hi-Z 状態で起動します。ローサイドの起動時間 ($t_{LS、STA}$) の後で、デバイスは通常動作になります。

図 6-10 では、ローサイド電源 (VDD2) がオフになってから、ハイサイド電源 (VDD1) がオフになります。VDD2 が $VDD2_{UV}$ スレッショルドを下回るとすぐに、出力は Hi-Z 状態になります。

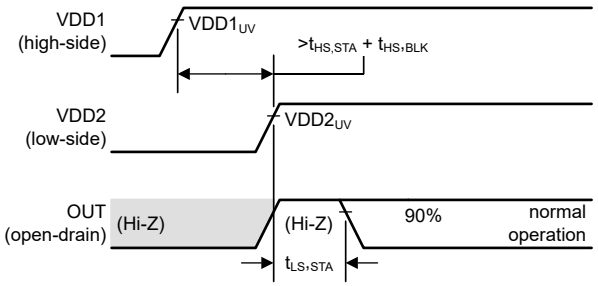


図 6-9. VDD1 がオンになってから VDD2 がオンになる (遅延時間が長い)

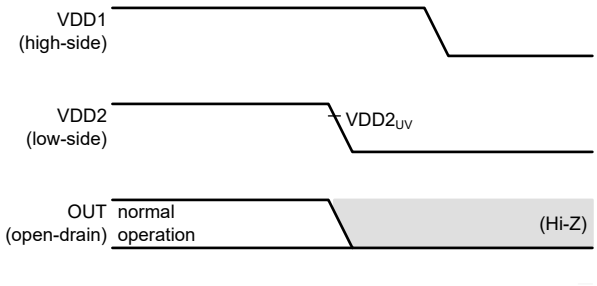


図 6-10. VDD2 がオフになってから VDD1 がオフになる

Copyright © 2025 Texas Instruments Incorporated

6.3.6 VDD1 のブラウンアウトおよび電源喪失時の動作

ブラウンアウトとは、仕様で規定された動作電圧範囲よりも VDD1 電源電圧が低下したが、そのデバイスは機能し続けている状態を指します。電源喪失とは、そのデバイスが機能を停止するレベルを VDD1 電源電圧が下回った状態を指します。その持続時間と電圧レベルに応じて、ブラウンアウト状態はそのデバイスの出力で観測される場合とされない場合があります。電源喪失状態は、絶縁型コンパレータの出力で常に通知されます。

図 6-11～図 6-13 に、代表的なブラウンアウトおよび電源喪失シナリオを示します。

図 6-11 では、VDD1 は低電圧検出閾値電圧 ($VDD1_{UV}$) 未満に低下しますが、1 次側フォルト検出遅延時間 ($t_{HS,FLT}$) が経過する前に復帰しています。ブラウンアウト イベントは、コンパレータの出力には影響しません。

図 6-12 では、1 次側フォルト検出の遅延時間 ($t_{HS,FLT}$) より長い間、VDD1 が低電圧検出閾値電圧 ($VDD1_{UV}$) を下回っています。このブラウンアウト状態はフォルトとして検出され、$t_{HS,FLT}$ に等しい遅延の後、出力は LOW に駆動されます。$VDD1_{UV}$ 閾値電圧より高い電圧に VDD1 が回復するとすぐに、本デバイスは通常動作に復帰します。

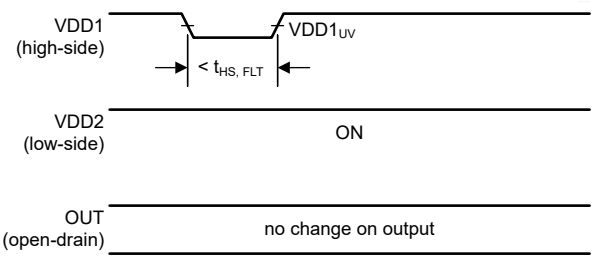


図 6-11. VDD1 の短いブラウンアウト イベントに対する出力応答

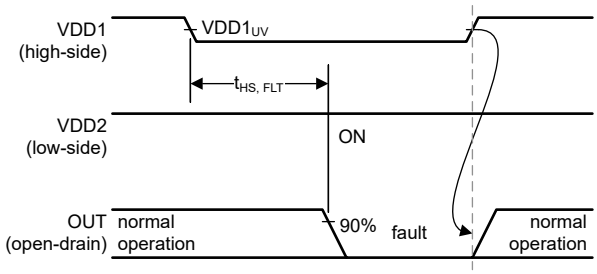


図 6-12. VDD1 の長いブラウンアウト イベントに対する出力応答

図 6-13 では、VDD1 がパワーオン リセット (POR) 閾値電圧 ($VDD1_{POR}$) 未満に低下しています。この電源喪失状態はフォルトとして検出され、$t_{HS,FLT}$ に等しい遅延の後、出力は LOW に駆動されます。$VDD1_{UV}$ 閾値電圧より高い電圧に VDD1 が回復すると、$t_{HS,STA} + t_{HS,BLK}$ に等しい遅延の後、本デバイスは通常動作に復帰します。

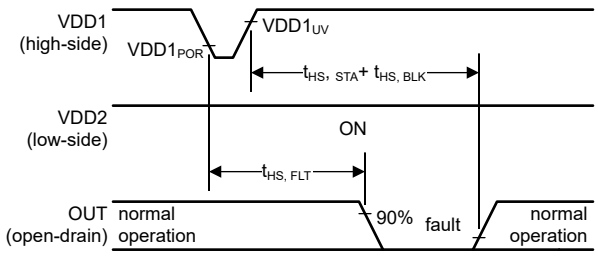


図 6-13. VDD1 の電源喪失イベントに対する出力応答

6.4 デバイスの機能モード

AMC22C12-Q1 デバイスは、*推奨動作条件*の表に規定された電源 (VDD1、VDD2) を使うことで機能します。

REF ピンの電圧が V_{MSEL} 閾値電圧より低い場合、1 次側の両方のコンパレータは組み合わさって 1 つのウィンドウ・コンパレータとして機能します。REF ピンの電圧が V_{MSEL} 閾値電圧より高い場合、負のコンパレータ (Cmp0) は無効化され、Cmp1 はヒステリシスが大きい 1 つの正のコンパレータとして機能します (*リファレンス入力*セクションを参照)。

本デバイスは、LATCH 入力ピンの設定に基づいて選択される 2 つの出力動作モード (トランスペアレント・モード、ラッチ・モード) を備えています。これらのモードは、変化する入力信号の状態に対する OUT ピンの応答方法に影響します。詳細については、*オープンドレイン デジタル出力* のセクションを参照してください。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

AMC22C12-Q1 は応答時間が短く、同相過渡耐性 (CMTI) が高く、基本認定済みの絶縁バリアが組み込まれており、過酷でノイズの多い環境の高電圧アプリケーションで、高速かつ高い信頼性で過電流と過電圧を検出するように設計されています。

7.2 代表的なアプリケーション

7.2.1 過電流の検出

高速な過電流 の検出は、DC/DC コンバータおよびモーター制御アプリケーションで一般的な要件で、図 7-1 に示すように AMC22C12-Q1 絶縁ウィンドウ コンパレータを使用して実装できます。

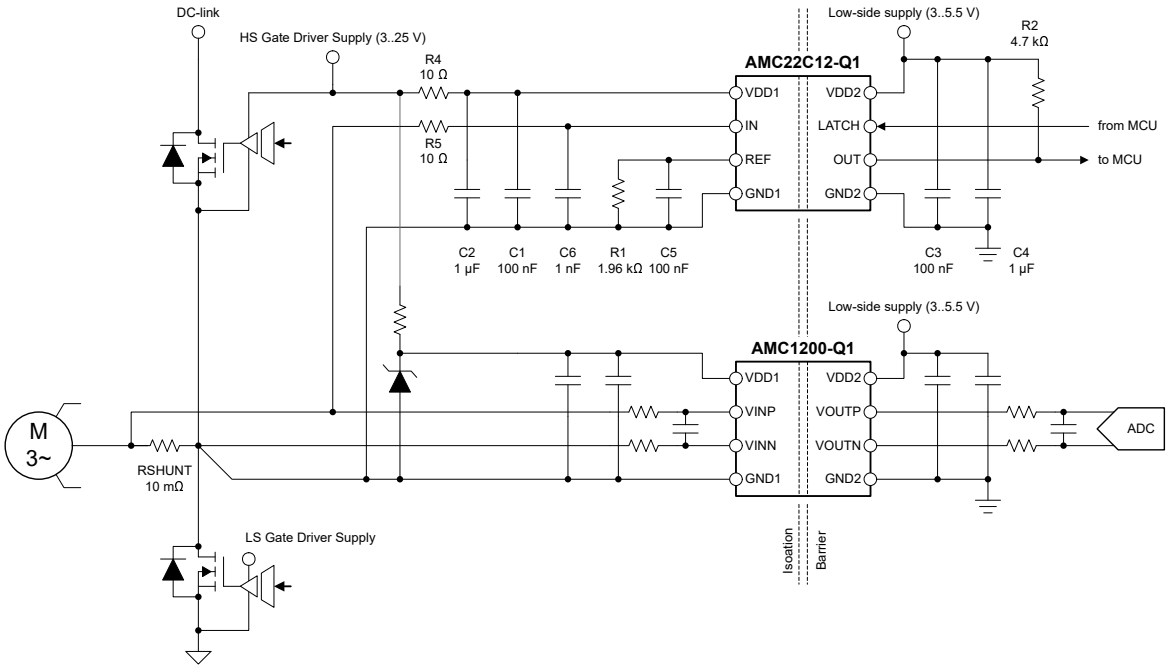


図 7-1. AMC22C12-Q1 による過電流の検出

Copyright © 2025 Texas Instruments Incorporated

外部シャント抵抗 RSHUNT を流れる負荷電流によって電圧降下が発生し、制御目的で AMC1200-Q1 によって検出されます。同じ電圧が、電流検出アンプと並列に接続された AMC22C12-Q1 によって監視され、正と負のフォルト電流を検出するための高速なセンシング パスになります。過電流検出スレッショルドは外付け抵抗 R1 によって設定され、過電流イベントはオープンドレイン出力 OUT で通知されます。

図 7-1 に示すように、ハイサイドに内蔵された低ドロップアウト (LDO) レギュレータにより、VDD1 入力を一般的に使用されるフローティング ゲート ドライバ電源に直接接続できます。または、AMC22C12-Q1 は AMC1200-Q1 と安定化電源を共有できます。この場合、AMC22C12-Q1 の VDD1 ピンを AMC1200-Q1 の VDD1 ピンと R4 に直接接続する必要はありません。短い応答時間と優れた同相過渡耐性 (CMTI) を備えた AMC22C12-Q1 を使うと、ノイズの多い環境でも信頼性と精度の高い動作を実現できます。

7.2.1.1 設計要件

表 7-1 に、図 7-1 のアプリケーション例のパラメータ一覧を示します。

表 7-1. 設計要件

パラメータ	値
ハイサイド電源電圧	3V～25V
ローサイド電源電圧	2.7V～5.5V
シャント抵抗値	10mΩ
AMC1200-Q1 のリニア入力電圧範囲	±250mV
最大ピーク・モーター電流	±25A
過電流検出スレッショルド	±20A

7.2.1.2 詳細な設計手順

この例では、シャント抵抗の値は 10mΩ で、AMC1200-Q1 電流検出アンプの線形入力電圧範囲 (±250mV) によって決定されます。フルスケール電流は ±25A です。

目的の 20A の過電流検出レベルでは、シャント抵抗の両端の電圧降下は 10mΩ × 20A = 200mV です。ウィンドウ・コンパレータの正方向のトリップ・スレッショルドは V_{REF} + V_{HYS} です。ここで、V_{HYS} は「電気的特性」の表で規定されている 4mV で、V_{REF} は、REF ピンと GND1 ピンの間に接続された R1 の両端の電圧です。R1 は (V_{TRIP} - V_{HYS}) / I_{REF} = (200mV - 4mV) / 100µA = 1.96kΩ と計算され、E96 シリーズの値 (1% 精度) と一致します。

入力信号をフィルタ処理し、ノイズに対する感度を下げるため、10Ω、1nF の RC フィルタ (R5、C6) をコンパレータの入力に配置します。このフィルタにより、保護回路の総応答時間を計算する際に考慮すべき 10Ω × 1nF = 10ns の伝播遅延が追加されます。そのシステムが追加の遅延に耐えられる場合、ノイズ耐性を高めるためにフィルタ定数を大きくすることを推奨します。

表 7-2 に、この設計の主要パラメータを示します。

表 7-2. 過電流検出の設計例

パラメータ	値
基準抵抗の値 (R1)	1.96kΩ
基準コンデンサの値 (C5)	100nF
リファレンス電圧	196mV
リファレンス電圧のセトリング・タイム (最終値の 90% まで)	470µs
過電流トリップ・スレッショルド (立ち上がり)	200mV/20.0A
過電流トリップ・スレッショルド (立ち下がり)	196mV/19.6A

Copyright © 2025 Texas Instruments Incorporated

7.2.2 過電圧検出

AMC1211-Q1 などの絶縁アンプは、オンボード チャージャ (OBC)、DC/DC コンバータ、トラクション インバータなどの DC リンク電圧の測定に広く使用されています。DC リンク レールに接続された出力段は、(ブレーキ動作中など) 発生する可能性のある過電圧条件に敏感な場合があります。絶縁アンプは、DC リンク電圧を低減するための適切なアクションを実行するのに十分な速度でシステム コントローラにアラートを送れない場合があります。したがって、過電圧状態を検出するには、高速の絶縁コンパレータが必要です。

図 7-2 に、AMC1211-Q1 絶縁アンプによって DC リンク電圧が検出されるトラクション インバータの概略回路図を示します。 AMC22C12-Q1 は、AMC1211-Q1 と並列に接続され、RSNS の両端の電圧を監視して、過電圧状態を検出します。過電圧トリップ スレッショルドは、AMC22C12-Q1 の REF ピンに接続されている R1 抵抗によって設定されます。AMC22C12-Q1 のオープン ドレイン OUT ピンは、MCU の GPIO または割り込みピンに接続され、入力電圧 (V_{IN}) がリファレンス電圧 (V_{REF}) を超えるとアクティブに Low になります。

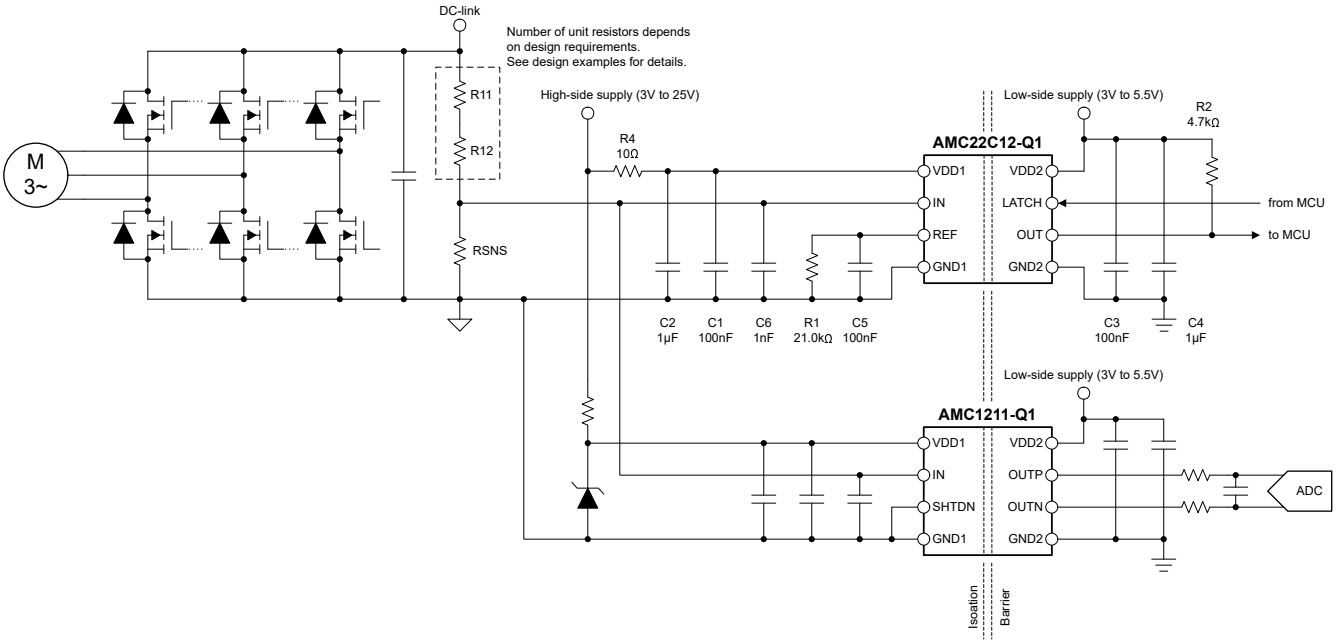


図 7-2. AMC22C12-Q1 による過電圧検出

Copyright © 2025 Texas Instruments Incorporated

7.2.2.1 設計要件

表 7-3 に、図 7-2 のアプリケーション例のパラメーター一覧を示します。

表 7-3. 設計要件

パラメータ	値
ハイサイド電源電圧	3V～25V
ローサイド電源電圧	3V～5.5V
公称 DC リンク電圧	400V
AMC1211-Q1 の線形フルスケール入力電圧	2V
線形検出用の DC リンク電圧範囲	0V～450V
DC リンク過電圧検出スレッショルド	480V

7.2.2.2 詳細な設計手順

R11、R12、RSNS で構成される分圧器のサイズは、線形検出の対象となる最大 DC リンク電圧 (450V) で、RSNS の両端の電圧降下が AMC1211-Q1 の線形フルスケール入力電圧 (2V) と等しくなるように設定されています。したがって、過電圧状態での RSNS 両端の電圧降下は 480V / 450V × 2V = 2.133V です。この値は、AMC22C12-Q1 のリファレンス電圧 (V_{REF}) の目標値です。

V_{REF} は、外付け抵抗 R1 と、AMC22C12-Q1 の内部 100µA 電流源によって決定されます。R1 は、(V_{TRIP} - V_{HYS}) / I_{REF} = (2133mV - 25mV) / 100µA = 21.08kΩ として計算されます。E192 シリーズの最も近い値は 21.0kΩ です。コンパレータは V_{REF} + V_{HYS} でトリップするため、V_{TRIP} からコンパレータのヒステリシス電圧 (V_{HYS}) が減算されます。図 6-1 を参照してください。「リファレンス入力」セクションに説明されているように、リファレンス電圧が 550mV を上回るため、ヒステリシスの値は 25mV です。

表 7-4 に、この設計の主要パラメータを示します。

表 7-4. 過電圧と低電圧の検出の設計例

パラメータ	値
基準抵抗の値 (R1)	21.0kΩ
基準コンデンサの値 (C5)	100nF
リファレンス電圧	2100 mV
リファレンス電圧のセトリング タイム (最終値の 90% まで)	4.85ms
過電圧トリップ スレッショルド (立ち上がり)	478 V
過電圧トリップ スレッショルド (立ち下がり)	472 V

Copyright © 2025 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

図 7-3 に、振幅 720mV$_{PP}$ のバイポーラ三角入力波に対する AMC22C12-Q1 の代表的な応答を示します。出力 (OUT) は、VIN が REF ピン電圧によって決定される ±250mV のレベルを交差すると、切り替わります。この例では、REF ピンの電圧は 250mV にバイアスされます。

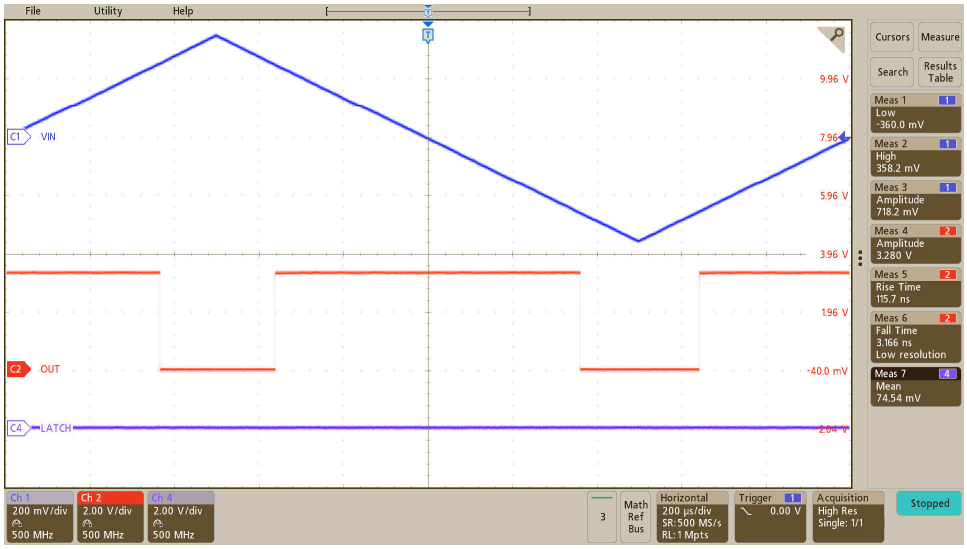


図 7-3. 三角入力波に対する AMC22C12-Q1 の出力応答

AMC22C12-Q1 の内蔵 LDO は、高電圧側の電源要件を大幅に緩和し、レギュレートされていないトランス、チャージ ポンプ、ブートストラップ電源からデバイスに電力を供給できます。以下の図に示すように、内部 LDO は内部回路に安定した動作電圧を供給するため、2V$_{PP}$ 以上のリップル電圧でもトリップのスレッショルドにほぼ影響しません。

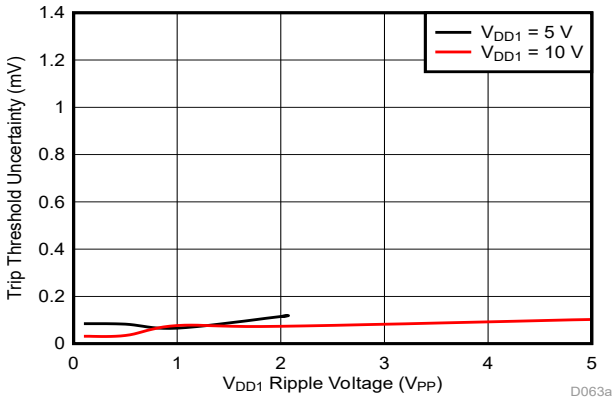


図 7-4. VDD1 リップル電圧に対するトリップ スレッショルド感度 (Cmp0、f_{RIPPLE} = 10kHz)

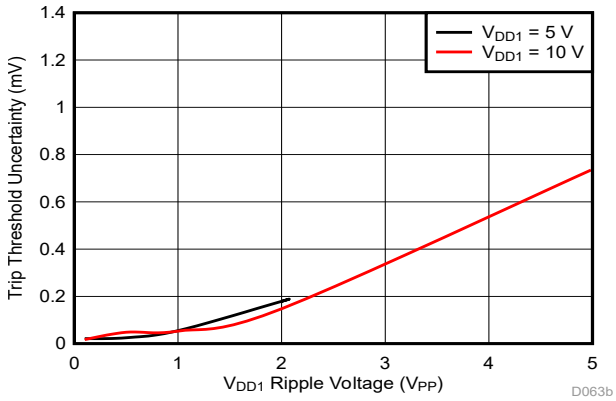


図 7-5. VDD1 リップル電圧に対するトリップ スレッショルド感度 (Cmp1、f_{RIPPLE} = 10kHz)

Copyright © 2025 Texas Instruments Incorporated

7.3 設計のベスト プラクティス

検出抵抗のローサイド側と、AMC22C12-Q1 の GND1 ピンとの間の接続は、短く、低インピーダンスにします。グランド ラインの電圧降下はすべて、コンパレータの入力で検出される電圧に誤差を加え、トリップ スレッショルドの不正確さの原因となります。

同相過渡耐性を最大限に高めるには、図 7-7 に示すように、フィルタ コンデンサ C5 を REF ピンにできるだけ近づけて配置します。同相過渡イベント時にオープン ドレイン信号ラインでの容量性結合の影響を最小限に抑えるため、「 オープン ドレイン デジタル出力 」の説明に従って、オープン ドレイン出力に小さい値 (10kΩ 未満) のプルアップ抵抗を使用します。

双方向電流検出アプリケーションでは、「推奨動作条件」の表に規定されている 300mV V_{REF} の制限値を超えないようにします。REF ピンを V_{MSEL} のスレッショルド (450mV～600mV の範囲) 付近にバイアスして本デバイスを動作させないでください (Cmp0 のヒステリシスの動的スイッチングを避けるためです。「リファレンス入力」セクションの説明を参照)。

AMC22C12-Q1 には、起動中にリファレンス電圧 (V_{REF}) が安定できるよう、制限付きの 200µs のブランキング時間 ($t_{HS,\ BLK}$) があります。多くのアプリケーションでは、リファレンス電圧が安定するのに 200µs のブランキング時間よりも長くかかり、「図 6-2」で説明されているように、システムの起動中にコンパレータの出力にグリッチが起きる可能性があります。システム全体の起動設計におけるリファレンス電圧のセトリング タイムを考慮してください。

7.4 電源に関する推奨事項

AMC22C12-Q1 は、特定の起動シーケンスを必要としません。ハイサイド電源 (VDD1) は、低 ESR の 1µF コンデンサ (C2) と並列接続された低 ESR の 100nF コンデンサ (C1) でデカップリングされます。ローサイド電源 (VDD2) は、低 ESR の 1µF コンデンサ (C4) と並列接続された低 ESR の 100nF コンデンサ (C3) で同様にデカップリングされます。4 つのコンデンサ (C1、C2、C3、C4) はすべてデバイスのできるだけ近くに配置します。図 7-6 に、AMC22C12-Q1 のデカップリング回路図を示します。

VDD1 電源電圧が高い (> 5.5V) 場合、追加のフィルタ処理のために、VDD1 電源と直列に 10Ω の抵抗 (R4) を接続します。

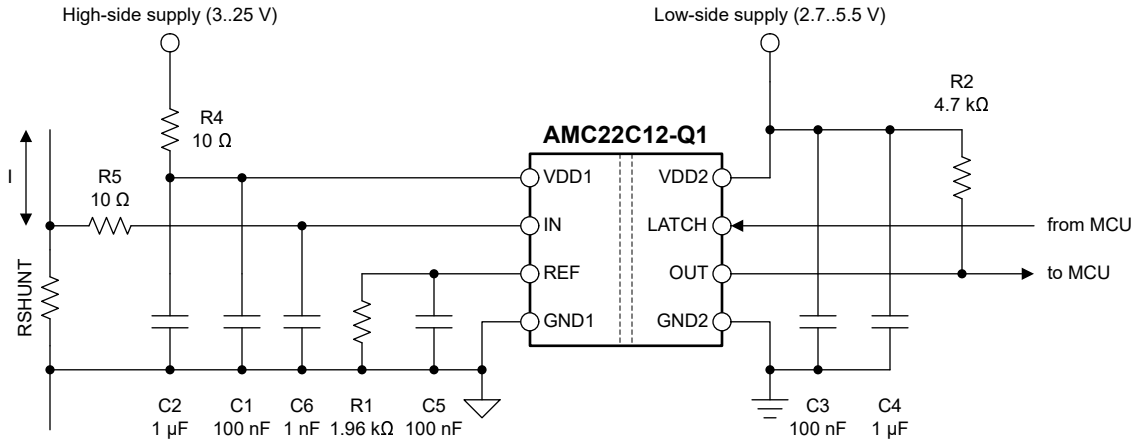


図 7-6. AMC22C12-Q1 のデカップリング

アプリケーションで発生する DC バイアス条件の下で、コンデンサは十分な実効容量を保つ必要があります。多層セラミック コンデンサ (MLCC) は通常、実際の使用条件における容量は、公称容量よりはるかに小さいため、これらのコンデンサを選択する際はこの減少を考慮に入れる必要があります。この問題は、背の高い部品よりも絶縁体電界強度が高くなる薄型コンデンサで特に深刻です。信頼できるコンデンサ メーカーは、部品選択を非常に簡単にする容量対 DC バイアス曲線を提供しています。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

デカップリング・コンデンサの重要な配置 (AMC1303 の電源ピンと可能な限り近く)、およびデバイスに必要な他のコンポーネントの配置を示したレイアウトの推奨事項を、図 7-7 に示します。AMC22C12-Q1

Copyright © 2025 Texas Instruments Incorporated

7.5.2 レイアウト例

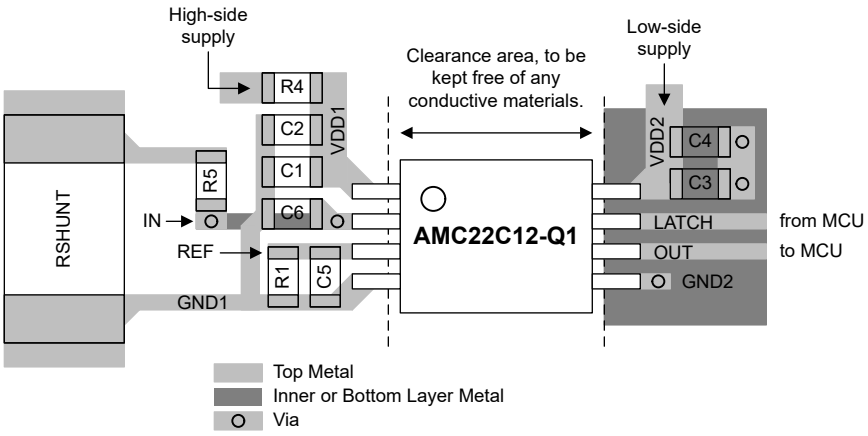


図 7-7. AMC22C12-Q1 の推奨レイアウト

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『絶縁の用語集』アプリケーション レポート
- テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション レポート
- テキサス・インスツルメンツ、『ISO72x デジタル アイソレータの磁界耐性』アプリケーション レポート
- テキサス・インスツルメンツ、『AMC1200-Q1 完全差動絶縁型アンプ』データシート
- テキサス・インスツルメンツ、『AMC1211-Q1 高インピーダンス、2V 入力、基本絶縁型アンプ』データシート
- テキサス・インスツルメンツ、「絶縁型アンプの電圧センシング Excel カリキュレータ」設計ツール

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from AUGUST 27, 2022 to SEPTEMBER 30, 2024 (from Revision A (August 2022) to Revision B (December 2024)) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 「ピン構成および機能」セクションのパッケージ図を修正 3
- 安全関連認証番号を追加 7
- 3.0V ≦ VDD1 ≦ 3.4V の IDD1 仕様を追加 8
- 伝搬遅延とオーバードライブとの関係の図を変更 13

Copyright © 2025 Texas Instruments Incorporated

- 分圧器の抵抗記号を更新.....30

Changes from Revision * (June 2022) to Revision A (August 2022) **Page**

- ドキュメントのステータスを「事前情報」から「量産データ」に変更.....1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

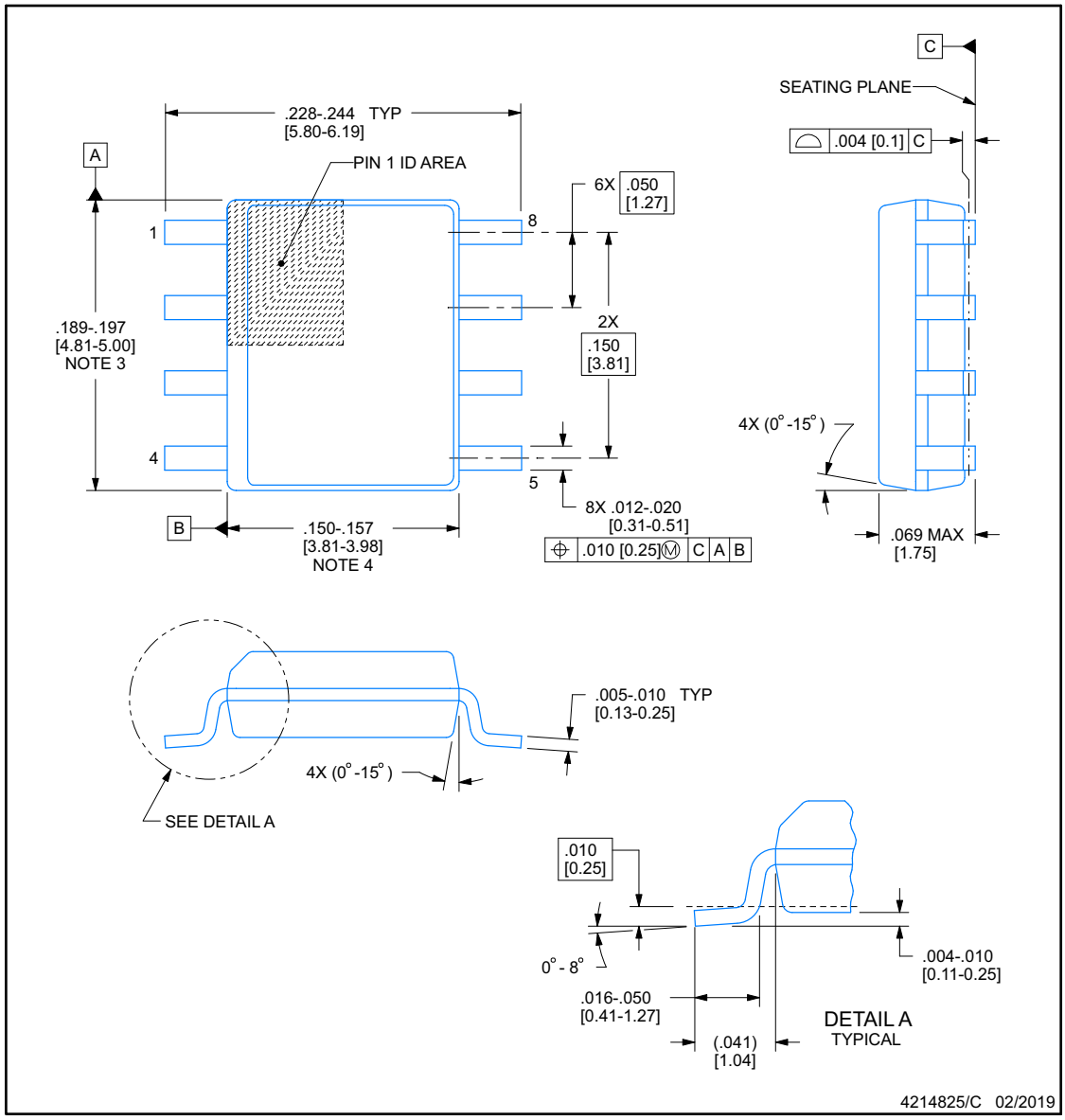
10.1 メカニカル データ

PACKAGE OUTLINE

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

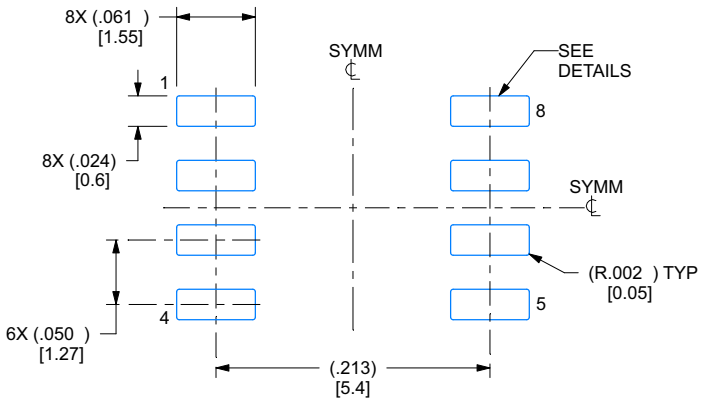
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

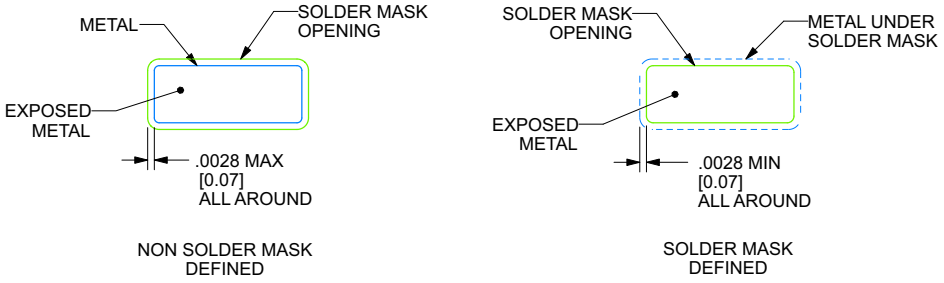
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

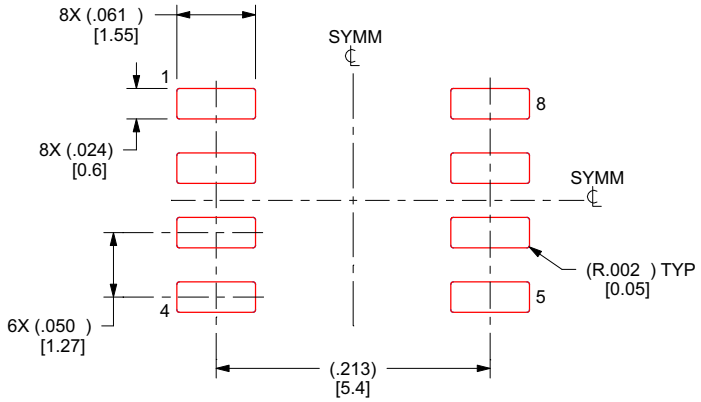
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AMC22C12QDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	22C12Q
AMC22C12QDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	22C12Q
AMC22C12QDRQ1.B	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF AMC22C12-Q1 :

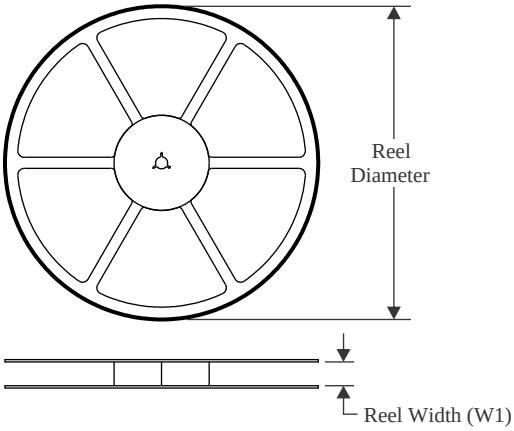
- Catalog : AMC22C12

NOTE: Qualified Version Definitions:

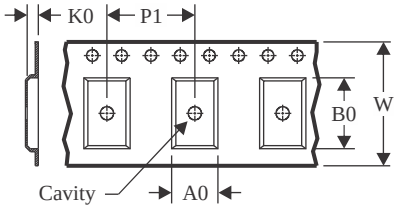
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

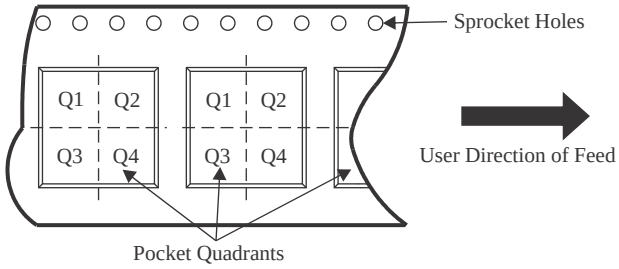


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

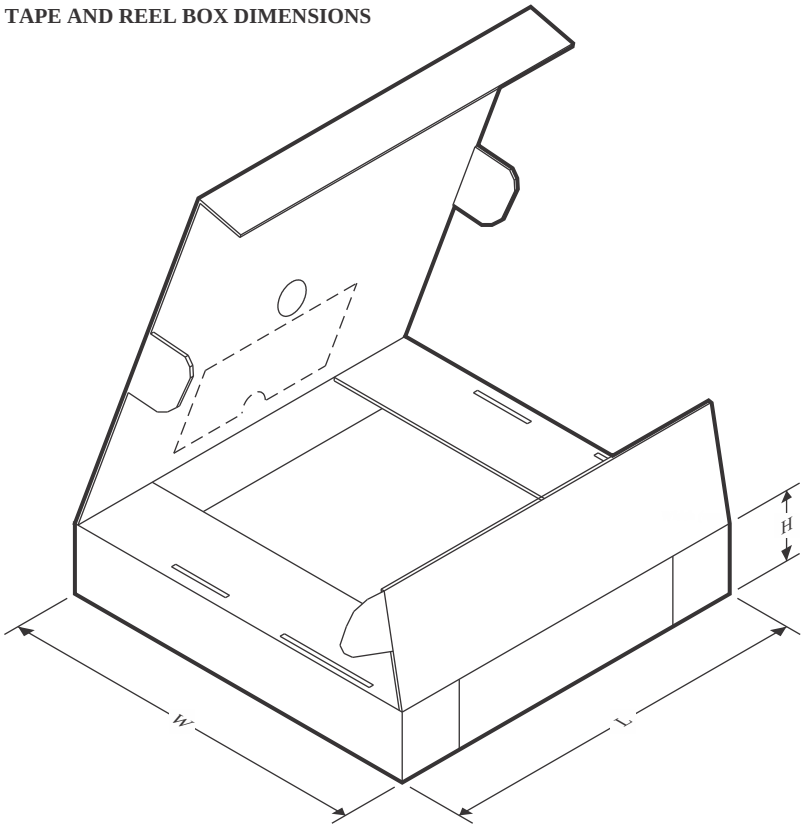
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

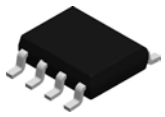
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AMC22C12QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AMC22C12QDRQ1	SOIC	D	8	3000	353.0	353.0	32.0

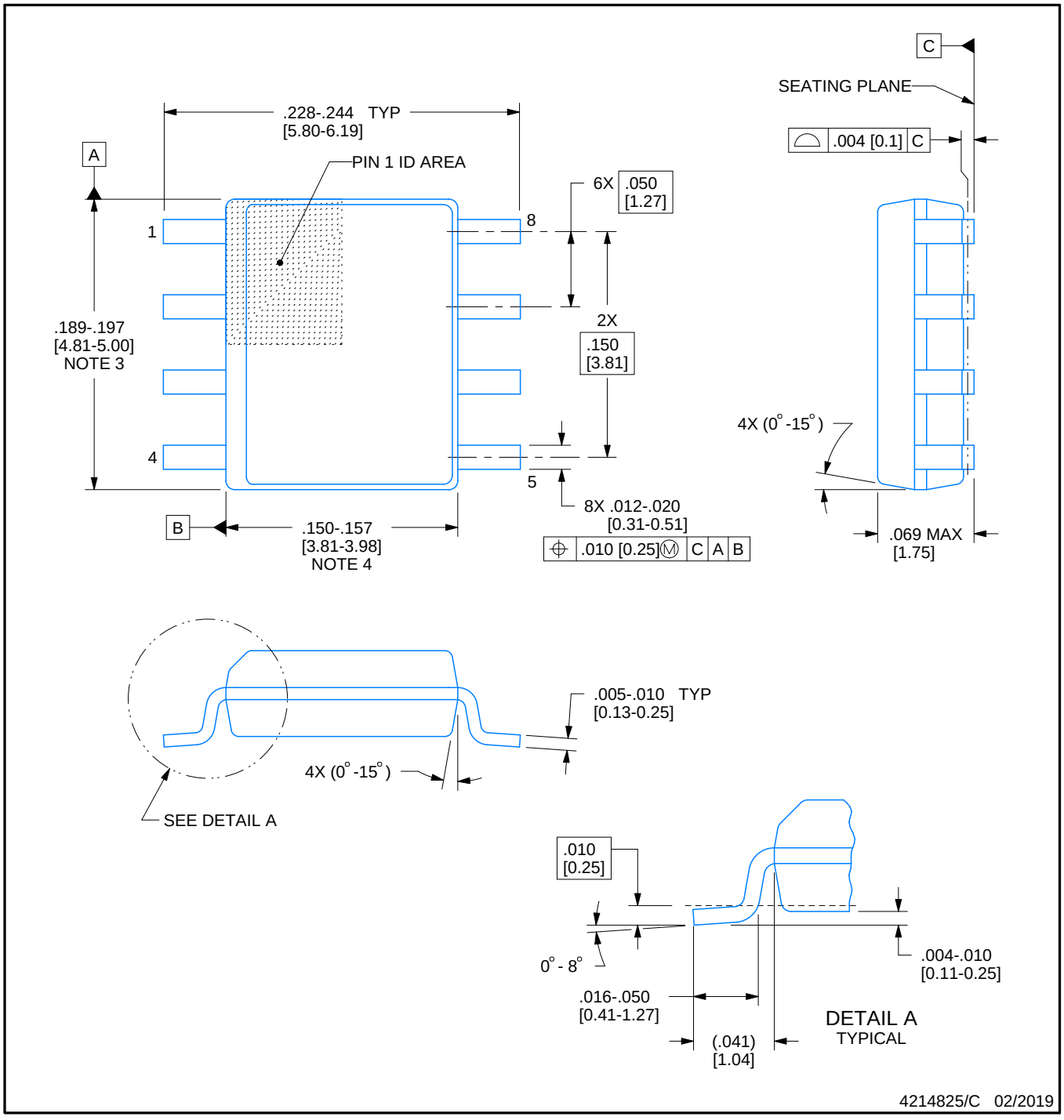


PACKAGE OUTLINE

D0008A

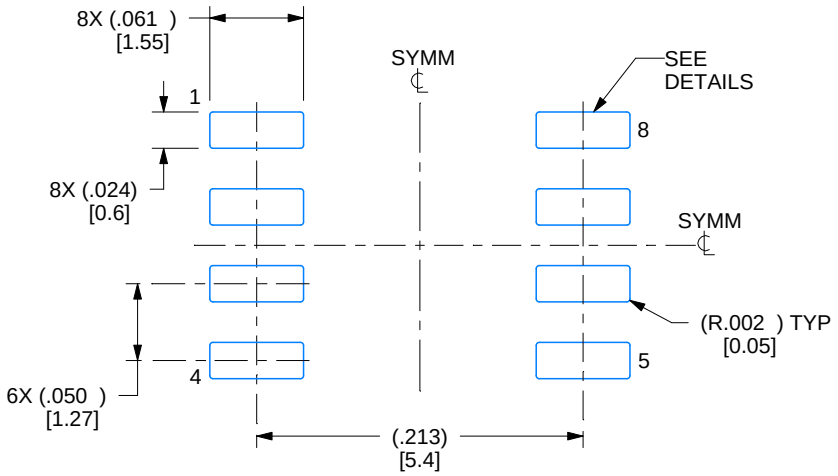
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

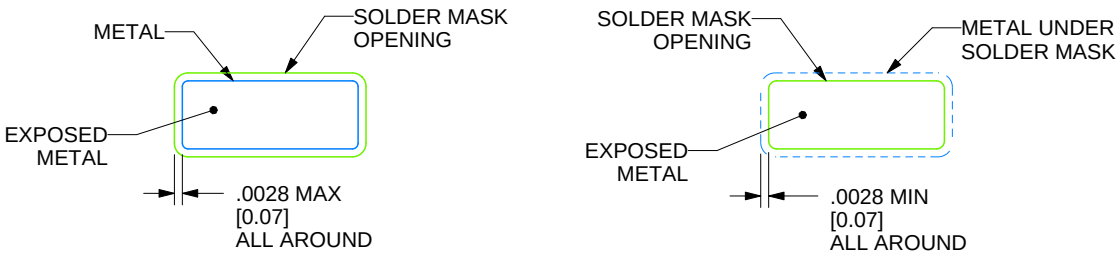


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

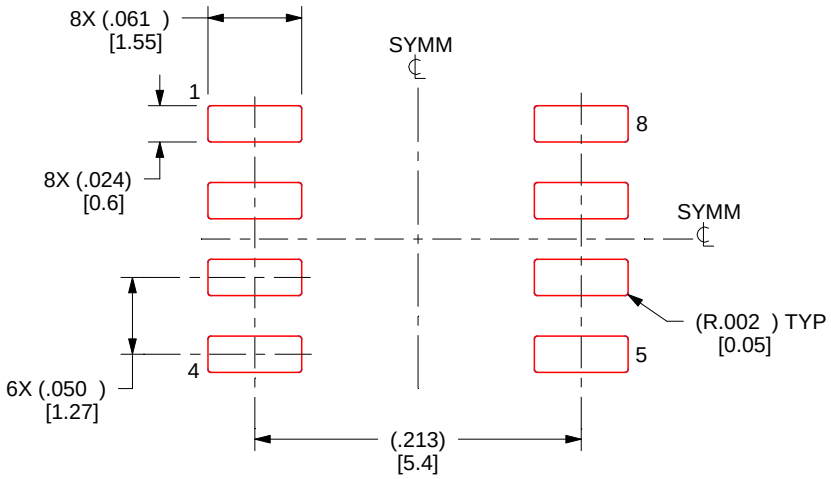
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月