

MOSFET内蔵、パワーパス・セレクトタ搭載、1.6MHz、 同期整流スイッチ・モードLiイオン/ Liポリマー・スタンドアロン・バッテリー・チャージャ

特 長

- 4A N-MOSFET内蔵、1.6MHz同期整流スイッチ・モード・チャージャ
- 最大効率：94%
- 入力動作範囲：4.5V～17V
- バッテリ充電電圧
 - bq24170：4.2V/セル(1、2、または3セル)
 - bq24172：可変充電電圧
- 内蔵機能
 - アダプタとバッテリーのパワーパス自動切換え
 - 動的電源管理
 - 20VスイッチングMOSFETを内蔵
 - ブートストラップ・ダイオードを内蔵
 - 内部位相補償
 - 内部デジタル・ソフト・スタート
- 安全保護
 - 熱レギュレーション・ループで充電電流を低減し $T_j = 120^\circ\text{C}$ に制限
 - 過熱シャットダウン
 - バッテリ・サーミスタ・センサにより高温/低温時の充電一時停止、およびバッテリー検出機能
 - スレッシュホールドを設定可能な入力過電圧保護
 - Cycle-by-Cycle電流制限
- 精度
 - 充電電圧精度： $\pm 0.5\%$
 - 充電電流精度： $\pm 4\%$
 - 入力電流精度： $\pm 4\%$
- アダプタ取り外し時のバッテリー電流：15 μA 未満
- アダプタ接続、充電ディスエーブル時の入力電流：1.5mA未満
- 小型QFNパッケージ
 - 3.5mm×5.5mmの24ピンQFN

アプリケーション

- タブレットPC
- ネットブックおよびウルトラモバイル・コンピュータ
- ポータブル・データ・キャプチャ・ターミナル
- ポータブル・プリンタ
- 医療用診断装置
- バッテリ・ベイ・チャージャ
- バッテリ・バックアップ・システム

概 要

bq24170/172は、LiイオンまたはLiポリマー・バッテリー用にさまざまな機能を集積したスタンドアロンのスイッチ・モード・バッテリー・チャージャであり、2個のNチャネル・パワーMOSFETを内蔵しています。定周波数の同期PWMコントローラを搭載し、入力電流、充電電流、および電圧の高精度制御が可能です。バッテリー・パックの温度を厳密に監視し、設定した温度範囲内でのみ充電を許可します。バッテリー検出、プリチャージ、充電終了、充電ステータス監視などの機能も備えています。熱レギュレーション・ループによって、動作中の接合部温度が 120°C に保持されるよう充電電流を低減します。

bq24170/172は、プリチャージ、定電流、定電圧の3つのフェーズによりバッテリーを充電します。bq24170は1、2、または3セル(CELLピンで選択)のバッテリーを充電でき、bq24172は最大3個の直列Li+セルに対して調整可能です。

電流が高速充電レートの10%に達すると、充電が終了します。安全対策として、設定可能な充電タイマも搭載されています。バッテリー電圧が内部のスレッシュホールドを下回ると、bq24170/172は自動的に充電サイクルを再開します。入力電圧がバッテリー電圧を下回ると、低静止電流のスリープ・モードに入ります。

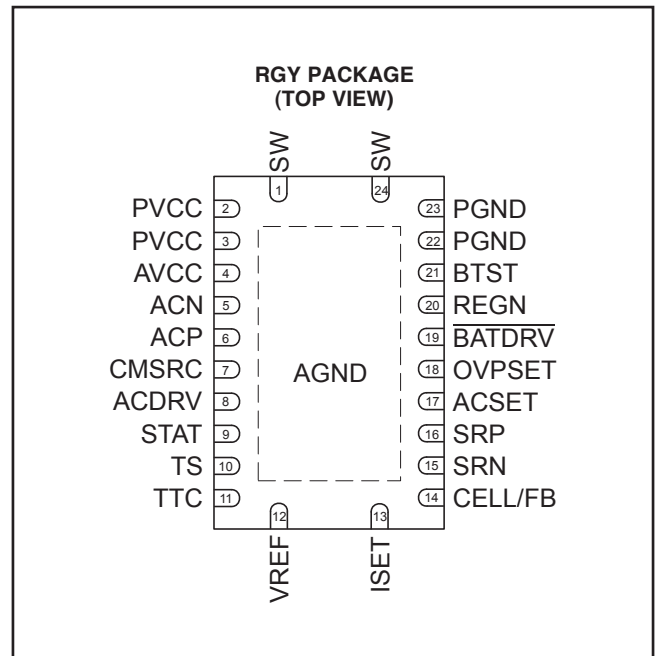
bq24170/172は動的電源管理(DPM)機能を備え、入力電力

制限に近づくと充電電流を低下させることで、アダプタの過負荷を防ぎます。高精度な電流センス・アンプにより、アダプタからの入力電流を高い精度で検出することができ、システム全体の電力を監視できます。

bq24170/172は、入力NMOSペアACFET(Q1)およびRBFET(Q2)上に電源パス選択ゲート・ドライバACDRV/CMSRCを備え、バッテリーPMOSデバイス(Q3)上にBATDRVを備えています。適切なアダプタが存在する場合、システムは直接アダプタに接続されます。それ以外の場合、システムはバッテリーに接続されます。また、このパワーパスにより、バッテリーから入力側への電流供給を防止します。

1セル・アプリケーションで、バッテリーが取り外し可能でない場合には、パワーパスの設計を簡略化してコストを低減するために、システムを直接バッテリーに接続できます。この構成では、アダプタが過負荷になると、バッテリーによって自動的にシステムを補助できます。

bq24170/172は、3.5mm×5.5mmの24ピン薄型QFNパッケージで提供されます。



ピン機能

ピン		種類	説明
番号	名前		
1, 24	SW	P	スイッチング・ノード。充電電流出力インダクタを接続します。SWとBTSTの間には、0.047μFのブートストラップ・コンデンサを接続します。
2, 3	PVCC	P	チャージャ入力電圧。PVCCとPGNDとの間に、ICにできる限り近づけて10μF以上のセラミック・コンデンサを接続します。
4	AVCC	P	IC電力の+電源。AVCCとAGNDとの間に、ICにできる限り近づけて1μFのセラミック・コンデンサを接続します。ノイズをフィルタリングするため、入力側とAVCCピンとの間に10Ωの抵抗を接続します。5V入力の場合は、5Ωの抵抗を推奨します。
5	ACN	I	アダプタ電流センス抵抗、－入力。差動モードのフィルタリング用に、ACNとACPの間に0.1μFのセラミック・コンデンサを接続します。同相モードのフィルタリング用には、オプションでACNピンとAGNDの間に0.1μFのセラミック・コンデンサを接続します。
6	ACP	P/I	アダプタ電流センス抵抗、＋入力。差動モードのフィルタリング用に、ACNとACPの間に0.1μFのセラミック・コンデンサを接続します。同相モードのフィルタリング用には、ACPピンとAGNDの間に0.1μFのセラミック・コンデンサを接続します。
7	CMSRC	O	NチャネルACFETと逆流防止用MOSFET (RBFET)の共通・ソースに接続します。ターンオン速度の制御用に、ACFETとRBFETの共通・ソースとCMSRCピンとの間には、4kΩの抵抗を配置します。ACDRV-CMSRC間の抵抗は500kΩ以上とする必要があります。
8	ACDRV	O	ACアダプタからシステム・スイッチ・ドライバへの出力。4kΩの抵抗を通してACFET Nチャネル・パワー・MOSFETのゲート、および逆流防止用Nチャネル・パワー・MOSFETに接続します。両方のFETを共通・ソースとして接続します。内部ゲート駆動は非対称であり、BATDRVに対するBreak-Before-Make内部ロジックに加えて、すばやいターンオフと緩やかなターンオンを実現しています。
9	STAT	O	オープン・ドレインの充電ステータス・ピン。パワーレールとの間に10kΩのプルアップ抵抗を備えています。STATピンは、LEDの駆動またはホスト・プロセッサとの通信に使用できます。このピンは、チャージャの各種動作を示します。充電の実行中は“Low”になります。充電完了時、またはSLEEPモード中は“High”になります。充電の中断、入力過電圧、タイマエラー、バッテリー未検出などのエラー発生時は、0.5Hzの周波数で“High”/“Low”が切り替わります（点滅）。
10	TS	I	温度条件電圧入力。負温度係数のサーミスタを接続します。VREF-TS-AGND間の分圧抵抗を使用して、高温および低温の温度範囲を設定します。温度条件範囲は、5～40℃またはさらに広い範囲に設定できます。103ATサーミスタを推奨します。
11	TTC	I	安全タイマおよび終了制御。このノードとAGNDとの間にコンデンサを接続して、高速充電安全タイマ(5.6min/nF)を設定します。プリチャージ・タイマは、内部で30分に固定されています。充電終了機能および安全タイマをディセーブルにするには、TTCを“Low”にします。安全タイマをディセーブルにして充電終了をイネーブルにするには、TTCを“High”にします。
12	VREF	P	3.3Vリファレンス電圧出力。VREFとAGNDとの間に、ICに近づけて1μFのセラミック・コンデンサを接続します。この電圧は、ISET、ACSET、およびTSピンの設定に使用できます。また、STATピンおよびCELLピンのプルアップ・レールとしても機能します。

ピン機能 (続き)

ピン		種類	説明
番号	名前		
13	ISET	I	高速充電電流設定点。VREF-ISET-AGND間の分圧回路を使用して、高速充電電流を設定します。 $I_{CHG} = \frac{V_{ISET}}{20 \times R_{SR}}$ プリチャージおよび終了電流は、内部で充電電流の1/10に設定されています。ISETピンの電圧が40mVを下回るとチャージャはディスエーブルになり、ISETピンの電圧が120mVを超えるとイネーブルになります。
14	CELL (bq24170)	I	セル選択ピン。1セルの場合はCELLピンを“Low”にします。2セルの場合はオープン状態にします (0.8V~1.8V)。3セルの場合は“High”にします (セル当たり4.2Vに固定)。
	FB (bq24172)		充電電圧アナログ帰還調整。バッテリー端子から分圧抵抗回路の出力をこのノードに接続します。定電圧モードでは、出力電圧がFBピン上で2.1Vにレギュレーションされます。
15	SRN	I	充電電流センス抵抗、－入力。差動モードのフィルタリング用に、SRNとSRPの間に0.1μFのセラミック・コンデンサを接続します。同相モードのフィルタリング用には、SRNピンとAGNDの間に0.1μFのセラミック・コンデンサを接続します。
16	SRP	I/P	充電電流センス抵抗、＋入力。差動モードのフィルタリング用に、SRNとSRPの間に0.1μFのセラミック・コンデンサを接続します。同相モードのフィルタリング用には、SRPピンとAGNDの間に0.1μFのセラミック・コンデンサを接続します。
17	ACSET	I	入力電流設定点。VREF-ACSET-AGND間の分圧回路を使用して、この値を設定します。 $I_{DPM} = \frac{V_{ACSET}}{20 \times R_{AC}}$
18	OVPSET	I	有効入力電圧設定点。入力-OVPSET-AGND間の分圧回路を使用して、この電圧を設定します。電圧が内部の1.6Vリファレンスよりも高い場合は入力過電圧を示し、電圧が内部の0.5Vリファレンスよりも低い場合は入力低電圧を示します。いずれの場合も、充電は終了し、入力NMOSペアACFET/RBFETがオフになります。STATピンによって駆動されるLEDは点滅を続け、エラー状態を通知します。
19	BATDRV	O	バッテリー放電MOSFETゲート・ドライバ出力。1kΩの抵抗を通してPチャネル・パワー・MOSFET (BATFET) のゲートに接続します。BATFETのソースは、システムの負荷電圧ノードに接続します。BATFETのドレインは、バッテリー・パックの正端子に接続します。内部ゲート駆動は非対称であり、ACDRVに対するBreak-Before-Make内部ロジックに加えて、すばやいたーンオフと緩やかなターンオンを実現しています。
20	REGN	P	PWMローサイド・ドライバの+6V電源出力。REGNとPGNDとの間に、ICに近づけて1μFのセラミック・コンデンサを接続します。REGN-BTST間の内蔵ダイオードによって、ハイサイド・ドライバのブーストストラップ電圧を生成します。
21	BTST	P	PWMハイサイド・ドライバの+電源。SWとBTSTの間に0.047μFのブートストラップ・コンデンサを接続します。
22, 23	PGND	P	パワー・グランド。高電流パワー・コンバータ・ノードのグランド接続です。PCBレイアウトでは、チャージャの入力/出力コンデンサのグランド接続に直接接続します。必ず、IC直下のサーマル・パッドを通してAGNDに接続してください。
サーマル・パッド	AGND	P	ICの底面にある露出したパッド。サーマル・パッドは常に基板に半田付けし、また、高電流パワー・コンバータ用には、サーマル・パッド・プレーン上にビアを設けて、AGNDおよびグランド・プレーンにスター接続します。このパッドは、ICからの熱を放熱します。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

アプリケーション例

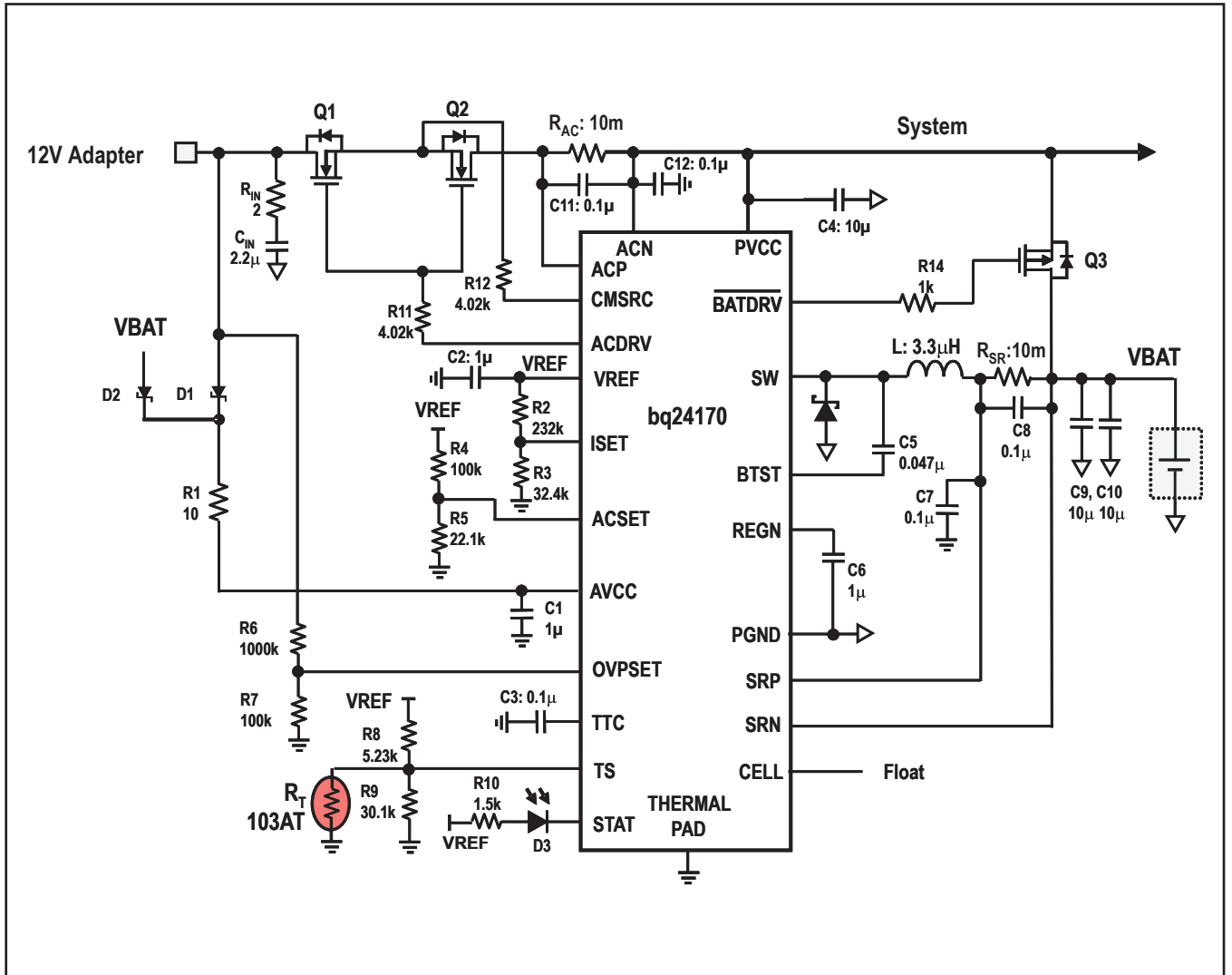


図 1. アプリケーション例回路図 (12V入力、2セル・バッテリー8.4V、充電電流2A、プリチャージ/終了電流0.2A、DPM電流3A、入力OVP = 18V、TS = 0~45°C)

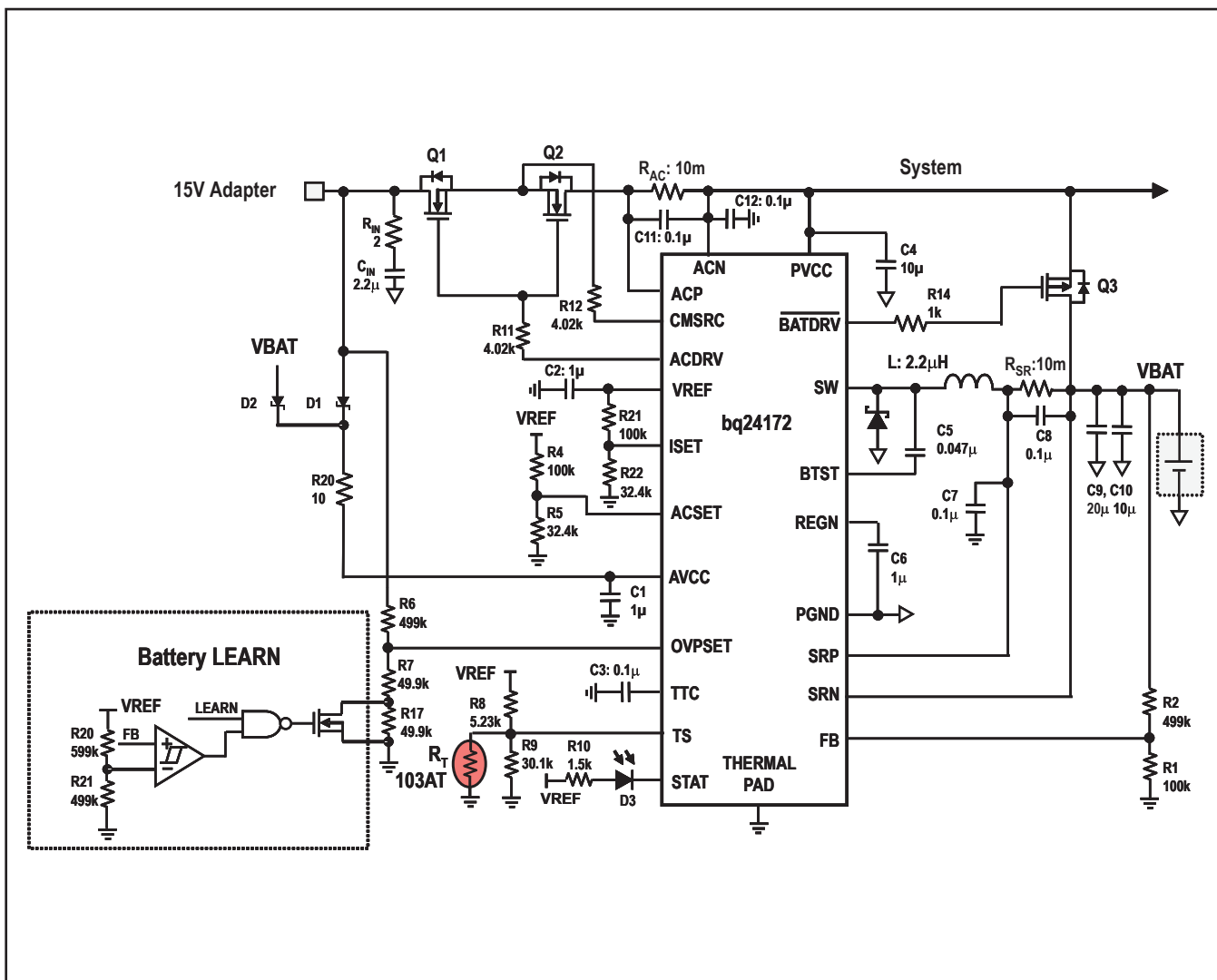


図 2. アプリケーション例回路図、バッテリー学習機能付き (15V入力、3セル・バッテリー12.6V、充電電流4A、プリチャージ/終了電流0.4A、DPM電流4A、TS = 0~45°C)

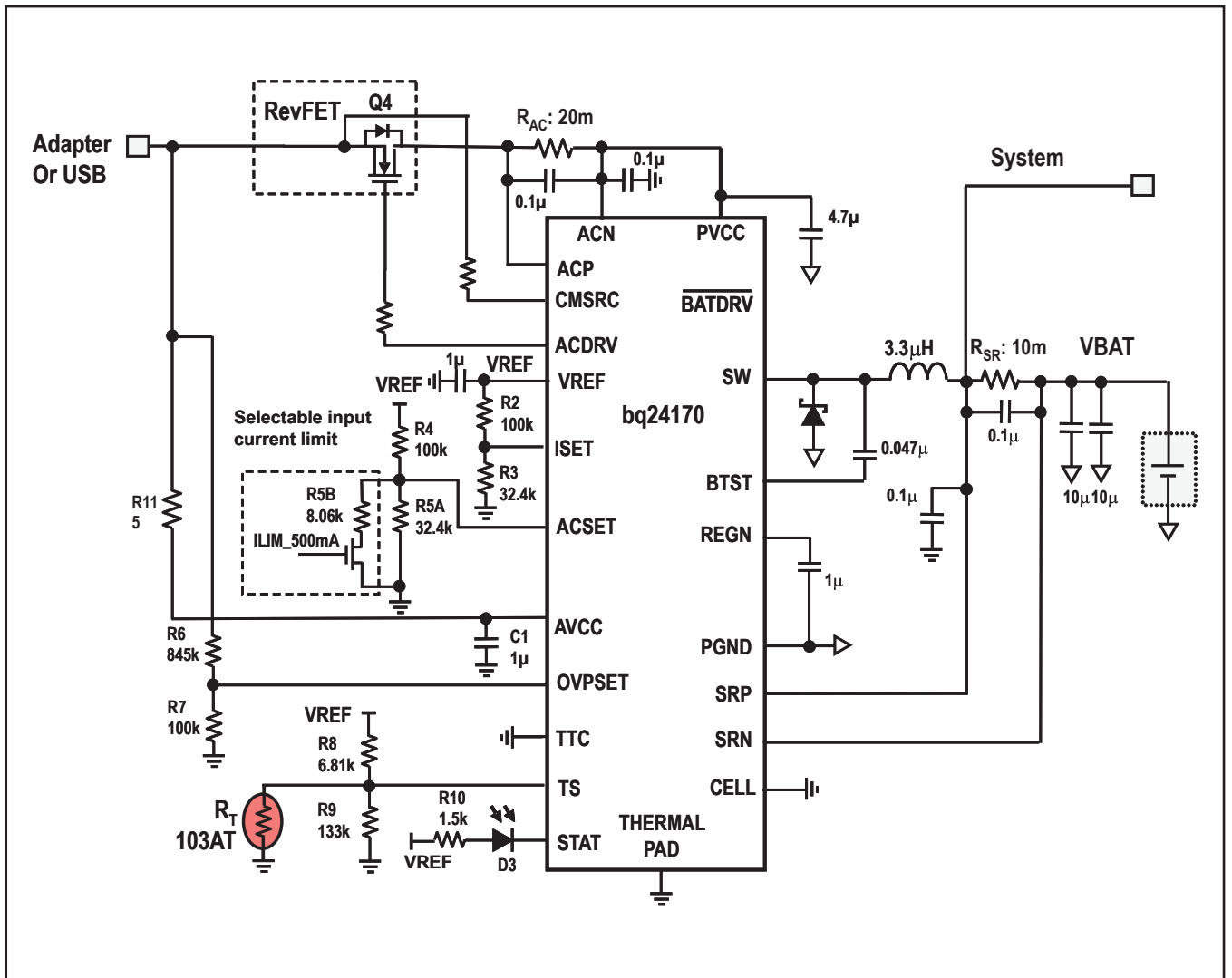


図 3. アプリケーション例回路図、取り外し不可能な1セル・バッテリー (USBまたはアダプタ、入力OVP = 15V、充電電流 = 最大4A、プリチャージ/終了電流0.4A、アダプタ電流2AまたはUSB電流500mA、TS = 5~40°C、システムをセンス抵抗の前に接続)

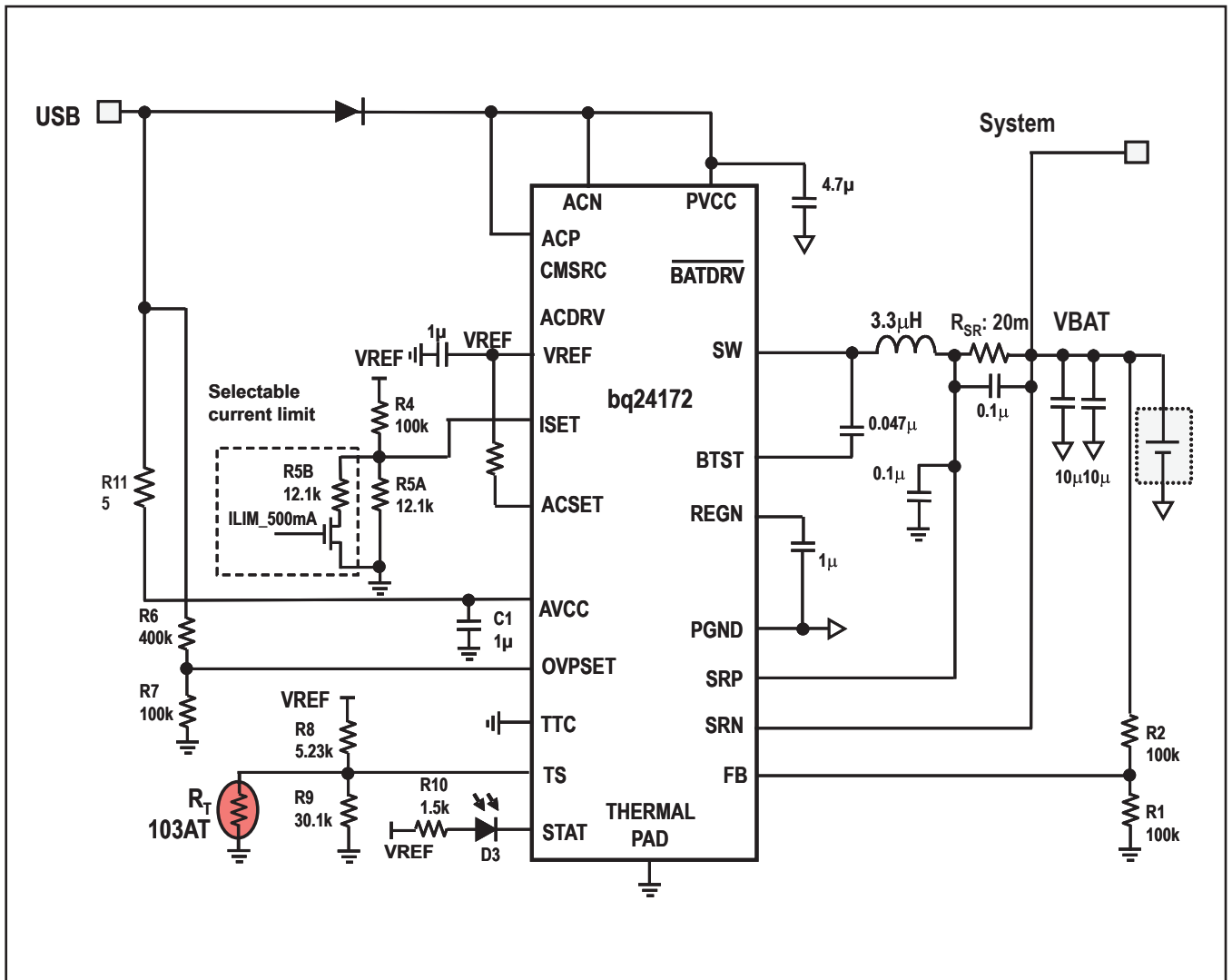


図 4. アプリケーション例回路図、取り外し不可能な1セル・バッテリー(USB、入力OVP = 8V、選択可能な充電電流制限900mAまたは500mA、TS = 0~45°C、システムをセンス抵抗の後に接続)

ご発注の手引き⁽¹⁾

部品番号	部品捺印	パッケージ	型番	数量
bq24170	bq24170	24-Pin 3.5mm×5.5mm QFN	bq24170RGYR	3000
			bq24170RGYT	250
bq24172	bq24172	24-Pin 3.5mm×5.5mm QFN	bq24172RGYR	3000
			bq24172RGYT	250

(1) 最新のパッケージおよびご発注情報については、最新の英文データシートの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト(www.ti.comまたはwww.tij.co.jp)をご覧ください。

絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾ ⁽²⁾

		VALUE	単位
Voltage range (with respect to AGND)	PVCC, AVCC, ACP, ACN, CMSRC, STAT	-0.3 ~ 20	V
	ACDRV, BTST	-0.3 ~ 26	
	BATDRV, SRP, SRN	-0.3 ~ 20	
	SW	-2 ~ 20	
	FB (bq24172)	-0.3 ~ 16	
	OVPSET, REGN, TS, TTC, CELL (bq24170)	-0.3 ~ 7	
	VREF, ISET, ACSET	-0.3 ~ 3.6	
	PGND	-0.3 ~ 0.3	
Maximum difference voltage	SRP-SRN, ACP-ACN	-0.5 ~ 0.5	V
Junction temperature range, T _J		-40 ~ 155	°C
Storage temperature range, T _{stg}		-55 ~ 155	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) 特に指定のない限り、すべての電圧値はGNDを基準にしています。電流は、指定されたピンに流れ込む方向が正、ピンから流れ出る方向が負です。熱に関するパッケージの制限および考慮事項については、データブックの「パッケージ」セクションを参照してください。

熱特性について

THERMAL METRIC ⁽¹⁾		bq24170/2	単位
		RGY	
		24 PINS	
θ _{JA}	Junction-to-ambient thermal resistance ⁽²⁾	35.7	°C/W
ψ _{JT}	Junction-to-top characterization parameter ⁽³⁾	0.4	
ψ _{JB}	Junction-to-board characterization parameter ⁽⁴⁾	31.2	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。
- (2) 自然状態での接合部-周囲間熱抵抗は、JESD51-2aに記載の環境で、JESD51-7に規定されたJEDEC標準High-K基板上のシミュレーションによって求められます。
- (3) 接合部-上面間の特性化パラメータψ_{JT}は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いてθ_{JA}を求めるシミュレーション・データから抽出されます。
- (4) 接合部-基板間の特性化パラメータψ_{JB}は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いてθ_{JA}を求めるシミュレーション・データから抽出されます。

推奨動作条件

		MIN	MAX	単位
Input voltage	V _{IN}	4.5	17	V
Output voltage	V _{OUT}		13.5	V
Output current (R _{SR} 10mΩ)	I _{OUT}	600	4	A
Maximum difference voltage	ACP - ACN	-200	200	mV
	SRP-SRN	-200	200	mV
Operation free-air temperature range, T _A		-40	85	°C

電気的特性

4.5V ≤ V(PVCC, AVCC) ≤ 17V、-40°C < T_J < +125°C、標準値はT_A = 25°Cの値、AGND基準です(特に記述のない限り)。

パラメータ		テスト条件	MIN	TYP	MAX	単位
OPERATING CONDITIONS						
V _{AVCC_OP}	AVCC input voltage operating range during charging		4.5		17	V
QUIESCENT CURRENTS						
I _{BAT}	Battery discharge current (sum of currents into AVCC, PVCC, ACP, ACN)	V _{AVCC} > V _{UVLO} , V _{SRN} > V _{AVCC} (SLEEP), T _J = 0°C to 85°C			15	μA
		BTST, SW, SRP, SRN, V _{AVCC} > V _{UVLO} , V _{AVCC} > V _{SRN} , ISET < 40mV, V _{BAT} =12.6V, Charge disabled			25	
		BTST, SW, SRP, SRN, V _{AVCC} > V _{UVLO} , V _{AVCC} > V _{SRN} , ISET > 120mV, V _{BAT} =12.6V, Charge done			25	
I _{AC}	Adapter supply current (sum of current into AVCC,ACP, ACN)	V _{AVCC} > V _{UVLO} , V _{AVCC} > V _{SRN} , ISET < 40mV, V _{BAT} =12.6V, Charge disabled		1.2	1.5	mA
		V _{AVCC} > V _{UVLO} , V _{AVCC} > V _{SRN} , ISET > 120mV, Charge enabled, no switching		2.5	5	
		V _{AVCC} > V _{UVLO} , V _{AVCC} > V _{SRN} , ISET > 120mV, Charge enabled, switching		15 ⁽¹⁾		
CHARGE VOLTAGE REGULATION						
V _{BAT_REG}	SRN regulation voltage (bq24170)	CELL to AGND, 1 cell, measured on SRN		4.2		V
		CELL floating, 2 cells, measured on SRN		8.4		V
		CELL to VREF, 3 cells, measured on SRN		12.6		V
V _{FB_REG}	Feddback regulation voltage (bq24172)	Measured on FB		2.1		V
	Charge voltage regulation accuracy	T _J = 0°C to 85°C	-0.5%		0.5%	
		T _J = -40°C to 125°C	-0.7%		0.7%	
I _{FB}	Leakage current into FB pin (bq24172)	V _{FB} = 2.1 V			100	nA
CURRENT REGULATION – FAST CHARGE						
V _{ISET}	ISET Voltage Range	R _{SENSE} = 10mΩ	0.12		0.8	V
K _{ISET}	Charge Current Set Factor (Amps of Charge Current per Volt on ISET pin)	R _{SENSE} = 10mΩ		5		A/V
	Charge Current Regulation Accuracy (with Schottky diode on SW)	V _{SRP-SRN} = 40 mV	-4%		4%	
		V _{SRP-SRN} = 20 mV	-7%		7%	
		V _{SRP-SRN} = 5 mV	-25%		25%	
V _{ISET_CD}	Charge Disable Threshold	ISET falling	40	50		mV
V _{ISET_CE}	Charge Enable Threshold	ISET rising		100	120	mV
I _{ISET}	Leakage Current into ISET	V _{ISET} = 2V			100	nA
INPUT CURRENT REGULATION						
K _{DPM}	Input DPM Current Set Factor (Amps of Input Current per Volt on ACSET)	R _{SENSE} = 10mΩ		5		A/V
	Input DPM Current Regulation Accuracy (with Schottky diode on SW)	V _{ACP-ACN} = 80 mV	-4%		4%	
		V _{ACP-ACN} = 40 mV	-9%		9%	
		V _{ACP-ACN} = 20 mV	-15%		15%	
		V _{ACP-ACN} = 5 mV	-20%		20%	
		V _{ACP-ACN} = 2.5 mV	-40%		40%	
I _{ACSET}	Leakage Current into ACSET pin	V _{ACSET} = 2V			100	nA
CURRENT REGULATION – PRE-CHARGE						
K _{I_{PRECHG}}	Precharge current set factor	Percentage of fast charge current		10% ⁽²⁾		
	Precharge current regulation accuracy	V _{SRP-SRN} = 4 mV	-25%		25%	
		V _{SRP-SRN} = 2 mV	-40%		40%	

(1) 設計で規定されています。

(2) 10mΩセンス抵抗の最小電流は120mAです。

電気的特性

4.5V ≤ V(PVCC, AVCC) ≤ 17V、-40°C < T_J < +125°C、標準値はT_A = 25°Cの値、AGND基準です(特に記述のない限り)。

パラメータ		テスト条件	MIN	TYP	MAX	単位
CHARGE TERMINATION						
K _{TERM}	Termination current set factor	Percentage of fast charge current	10% ⁽³⁾			
	Termination current regulation accuracy	V _{SRP-SRN} = 4 mV	-25%		25%	
		V _{SRP-SRN} = 2 mV	-40%		40%	
t _{TERM_DEG}	Deglitch time for termination (both edges)			100		ms
t _{QUAL}	Termination qualification time	V _{SRN} > V _{RECH} and I _{CHG} < I _{TERM}		250		ms
I _{QUAL}	Termination qualification current	Discharge current once termination is detected		2		mA
INPUT UNDER-VOLTAGE LOCK-OUT COMPARATOR (UVLO)						
V _{UVLO}	AC under-voltage rising threshold	Measure on AVCC	3.4	3.6	3.8	V
V _{UVLO_HYS}	AC under-voltage hysteresis, falling	Measure on AVCC		300		mV
SLEEP COMPARATOR (REVERSE DISCHARGING PROTECTION)						
V _{SLEEP}	SLEEP mode threshold	V _{AVCC} - V _{SRN} falling	50	90	150	mV
V _{SLEEP_HYS}	SLEEP mode hysteresis	V _{AVCC} - V _{SRN} rising		200		mV
t _{SLEEP_FALL_CD}	SLEEP deglitch to disable charge	V _{AVCC} - V _{SRN} falling		1		ms
t _{SLEEP_FALL_FETOFF}	SLEEP deglitch to turn off input FETs	V _{AVCC} - V _{SRN} falling		5		ms
t _{SLEEP_FALL}	Deglitch to enter SLEEP mode, disable VREF and enter low quiescent mode	V _{AVCC} - V _{SRN} falling		100		ms
t _{SLEEP_PWRUP}	Deglitch to exit SLEEP mode, and enable VREF	V _{AVCC} - V _{SRN} rising		30		ms
ACN-SRN COMPARATOR						
V _{ACN-SRN}	Threshold to turn on BATFET	V _{ACN-SRN} falling	150	220	300	mV
V _{ACN-SRN_HYS}	Hysteresis to turn off BATFET	V _{ACN-SRN} rising		100		mV
t _{BATFETOFF_DEG}	Deglitch to turn on BATFET	V _{ACN-SRN} falling		2		ms
t _{BATFETON_DEG}	Deglitch to turn off BATFET	V _{ACN-SRN} rising		50		μs
BAT LOWV COMPARATOR						
V _{LOWV}	Precharge to fast charge transition	bq24170, CELL to AGND, 1 cell, measure on SRN	2.87	2.9	2.93	V
		bq24170, CELL floating, 2 cells, measure on SRN	5.74	5.8	5.86	
		bq24170, CELL to VREF, 3 cells, measure on SRN	8.61	8.7	8.79	
		bq24172, measure on FB	1.43	1.45	1.47	
V _{LOWV_HYS}	Fast charge to precharge hysteresis	bq24170, CELL to AGND, 1 cell, measure on SRN		200		mV
		bq24170, CELL floating, 2 cells, measure on SRN		400		
		bq24170, CELL to VREF, 3 cells, measure on SRN		600		
		bq24172, measure on FB		100		
t _{pre2fas}	V _{LOWV} rising deglitch	Delay to start fast charge current		25		ms
t _{fast2pre}	V _{LOWV} falling deglitch	Delay to start precharge current		25		ms
RECHARGE COMPARATOR						
V _{RECHG}	Recharge Threshold, below regulation voltage limit, V _{BAT_REG} -V _{SRN} (bq24170), or V _{FB_REG} -V _{FB} (bq24172)	bq24170, CELL to AGND, 1 cell, measure on SRN	70	100	130	mV
		bq24170, CELL floating, 2 cells, measure on SRN	140	200	260	
		bq24170, CELL to VREF, 3 cells, measure on SRN	210	300	390	
		bq24172, measure on FB	35	50	65	
t _{RECH_RISE_DEG}	V _{RECHG} rising deglitch	V _{FB} decreasing below V _{RECHG}		10		ms
t _{RECH_FALL_DEG}	V _{RECHG} falling deglitch	V _{FB} increasing above V _{RECHG}		10		ms

(3) 10mΩセンス抵抗の最小電流は120mAです。

電気的特性

4.5V ≤ V(PVCC, AVCC) ≤ 17V、-40°C < T_J < +125°C、標準値はT_A = 25°Cの値、AGND基準です(特に記述のない限り)。

パラメータ		テスト条件	MIN	TYP	MAX	単位
BAT OVER-VOLTAGE COMPARATOR						
V _{OV_RISE}	Over-voltage rising threshold	As percentage of V _{BAT_REG} (bq24170) or V _{FB_REG} (bq24172)		104%		
V _{OV_FALL}	Over-voltage falling threshold	As percentage of V _{SRN} (bq24170) or V _{FB_REG} (bq24172)		102%		
INPUT OVER-VOLTAGE COMPARATOR (ACOV)						
V _{ACOV}	AC Over-Voltage Rising Threshold to turn off ACFET	OVPSET rising	1.55	1.6	1.65	V
V _{ACOV_HYS}	AC over-voltage falling hysteresis	OVPSET falling		50		mV
t _{ACOV_RISE_DEG}	AC Over-Voltage Rising Deglitch to turn off ACFET and Disable Charge	OVPSET rising		1		μs
t _{ACOV_FALL_DEG}	AC Over-Voltage Falling Deglitch to Turn on ACFET	OVPSET falling		30		ms
INPUT UNDER-VOLTAGE COMPARATOR (ACUV)						
V _{ACUV}	AC Under-Voltage Falling Threshold to turn off ACFET	OVPSET falling	0.45	0.5	0.55	V
V _{ACUV_HYS}	AC Under-Voltage Rising Hysteresis	OVPSET rising		100		mV
t _{ACOV_FALL_DEG}	AC Under-Voltage Falling Deglitch to turn off ACFET and Disable Charge	OVPSET falling		1		μs
t _{ACOV_RISE_DEG}	AC Under-Voltage Rising Deglitch to turn on ACFET	OVPSET rising		30		ms
THERMAL REGULATION						
T _{J_REG}	Junction Temperature Regulation Accuracy	ISSET > 120mV, Charging		120		°C
THERMAL SHUTDOWN COMPARATOR						
T _{SHUT}	Thermal shutdown rising temperature	Temperature rising		150		°C
T _{SHUT_HYS}	Thermal shutdown hysteresis	Temperature falling		20		°C
t _{SHUT_RISE_DEG}	Thermal shutdown rising deglitch	Temperature rising		100		μs
t _{SHUT_FALL_DEG}	Thermal shutdown falling deglitch	Temperature falling		10		ms
THERMISTOR COMPARATOR						
V _{LTF}	Cold Temperature Threshold, TS pin Voltage Rising Threshold	Charger suspends charge. As percentage to V _{VREF}	72.5%	73.5%	74.5%	
V _{LTF_HYS}	Cold Temperature Hysteresis, TS pin Voltage Falling	As percentage to V _{VREF}	0.2%	0.4%	0.6%	
V _{HTF}	Hot Temperature TS pin voltage rising Threshold	As percentage to V _{VREF}	46.6%	47.2%	48.8%	
V _{TCO}	Cut-off Temperature TS pin voltage falling Threshold	As percentage to V _{VREF}	44.2%	44.7%	45.2%	
t _{TS_CHG_SUS}	Deglitch time for Temperature Out of Range Detection	V _{TS} > V _{LTF} , or V _{TS} < V _{TCO} , or V _{TS} < V _{HTF}		20		ms
t _{TS_CHG_RESUME}	Deglitch time for Temperature in Valid Range Detection	V _{TS} < V _{LTF} - V _{LTF_HYS} or V _{TS} > V _{TCO} , or V _{TS} > V _{HTF}		400		ms
CHARGE OVER-CURRENT COMPARATOR (CYCLE-BY-CYCLE)						
V _{OCP_CHRG}	Charge Over-Current Rising Threshold, V _{SRP} >2.2V	Current as percentage of fast charge current		160%		
V _{OCP_MIN}	Charge Over-Current Limit Min, V _{SRP} <2.2V	Measure V _{SRP-SRN}		45		mV
V _{OCP_MAX}	Charge Over-Current Limit Max, V _{SRP} >2.2V	Measure V _{SRP-SRN}		75		mV
HSFET OVER-CURRENT COMPARATOR (CYCLE-BY-CYCLE)						
I _{OCP_HSFET}	Current limit on HSFET	Measure on HSFET	8	11.5		A
CHARGE UNDER-CURRENT COMPARATOR (CYCLE-BY-CYCLE)						
V _{UCP}	Charge under-current falling threshold	Measure on V _(SRP-SRN)	1	5	9	mV

電気的特性

4.5V ≤ V(PVCC, AVCC) ≤ 17V、-40°C < T_J < +125°C、標準値はT_A = 25°Cの値、AGND基準です(特に記述のない限り)。

パラメータ		テスト条件	MIN	TYP	MAX	単位
BAT SHORT COMPARATOR						
V _{BATSHT}	Battery short falling threshold	Measure on SRN		2		V
V _{BATSHT_HYS}	Battery short rising hysteresis	Measure on SRN		200		mV
t _{BATSHT_DEG}	Deglitch on both edges			1		μs
V _{BATSHT}	Charge Current during BATSHORT	Percentage of fast charge current		10% ⁽⁴⁾		
VREF REGULATOR						
V _{VREF_REG}	VREF regulator voltage	V _{AVCC} > V _{UVLO} , No load	3.267	3.3	3.333	V
I _{VREF_LIM}	VREF current limit	V _{VREF} = 0 V, V _{AVCC} > V _{UVLO}	35		90	mA
REGN REGULATOR						
V _{REGN_REG}	REGN regulator voltage	V _{AVCC} > 10 V, ISET > 120 mV	5.7	6.0	6.3	V
I _{REGN_LIM}	REGN current limit	V _{REGN} = 0 V, V _{AVCC} > 10 V, ISET > 120 mV	40		120	mA
TTC INPUT						
t _{prechrg}	Precharge Safety Timer	Precharge time before fault occurs	1620	1800	1980	Sec
t _{fastchrg}	Fast Charge Timer Range	T _{chg} = C _{TTC} * K _{TTC}	1		10	hr
	Fast Charge Timer Accuracy		-10%		10%	
K _{TTC}	Timer Multiplier			5.6		min/nF
V _{TTC_LOW}	TTC Low Threshold	TTC falling			0.4	V
I _{TTC}	TTC Source/Sink Current		45	50	55	μA
V _{TTC_OSC_HI}	TTC oscillator high threshold			1.5		V
V _{TTC_OSC_LO}	TTC oscillator low threshold			1		V
BATTERY SWITCH (BATFET) DRIVER						
R _{DS_BAT_OFF}	BATFET Turn-off Resistance	V _{AVCC} > 5V			100	Ω
R _{DS_BAT_ON}	BATFET Turn-on Resistance	V _{AVCC} > 5V			20	kΩ
V _{BATDRV_REG}	BATFET Drive Voltage	V _{BATDRV_REG} = V _{ACN} - V _{BATDRV} when V _{AVCC} > 5V and BATFET is on	4.2		7	V
t _{BATFET_DEG}	BATFET Power-up Delay to turn off BATFET after adapter is detected			30		ms
AC SWITCH (ACFET) DRIVER						
I _{ACFET}	ACDRV Charge Pump Current Limit	V _{ACDRV} - V _{CMSRC} = 5V		60		μA
V _{ACDRV_REG}	Gate Drive Voltage on ACFET	V _{ACDRV} - V _{CMSRC} when V _{AVCC} > V _{UVLO}	4.2	6		V
R _{ACDRV_LOAD}	Maximum load between ACDRV and CMSRC		500			kΩ
AC/BAT SWITCH DRIVER TIMING						
t _{DRV_DEAD}	Driver Dead Time	Dead Time when switching between ACFET and BATFET		10		μs
BATTERY DETECTION						
t _{WAKE}	Wake timer	Max time charge is enabled		500		ms
I _{WAKE}	Wake current	R _{SENSE} = 10 mΩ	50	125	200	mA
t _{DISCHARGE}	Discharge timer	Max time discharge current is applied		1		sec
I _{DISCHARGE}	Discharge current			8		mA
I _{FAULT}	Fault current after a timeout fault			2		mA
V _{WAKE}	Wake threshold with respect to V _{REG} To detect battery absent during WAKE	Measure on SRN (bq24170)		100		mV/cell
		Measure on FB (bq24172)		50		mV
V _{DISCH}	Discharge Threshold to detect battery absent during discharge	Measure on SRN (bq24170)		2.9		V/cell
		Measure on VFB (bq24172)		1.45		V

(4) 10mΩセンス抵抗の最小電流は120mAです。

電気的特性

4.5V ≤ V(PVCC, AVCC) ≤ 17V、-40°C < T_J < +125°C、標準値はT_A = 25°Cの値、AGND基準です(特に記述のない限り)。

パラメータ		テスト条件	MIN	TYP	MAX	単位
INTERNAL PWM						
fsw	PWM Switching Frequency		1360	1600	1840	kHz
t _{SW_DEAD}	Driver Dead Time ⁽⁵⁾	Dead time when switching between LSFET and HSFET no load		30		ns
R _{DS_HI}	High Side MOSFET On Resistance	V _{BTST} – V _{SW} = 4.5 V		25	45	mΩ
R _{DS_LO}	Low Side MOSFET On Resistance			60	110	mΩ
V _{BTST_REFRESH}	Bootstrap Refresh Comparator Threshold Voltage	V _{BTST} – V _{SW} when low side refresh pulse is requested, V _{AVCC} =4.5V	3			V
		V _{BTST} – V _{SW} when low side refresh pulse is requested, V _{AVCC} >6V	4			
INTERNAL SOFT START (8 steps to regulation current ICHG)						
SS_STEP	Soft start steps			8		step
T _{SS_STEP}	Soft start step time			1.6	3	ms
CHARGER SECTION POWER-UP SEQUENCING						
t _{CE_DELAY}	Delay from ISET above 120mV to start charging battery			1.5		s
INTEGRATED BTST DIODE						
V _F	Forward Bias Voltage	I _F =120mA at 25°C		0.85		V
V _R	Reverse breakdown voltage	I _R =2uA at 25°C			20	V
LOGIC IO PIN CHARACTERISTICS (STAT1, STAT2, TERM_EN)						
V _{OUT_LO}	STAT Output Low Saturation Voltage	Sink Current = 5 mA			0.5	V
V _{CELL_LO}	CELL pin input low threshold, 1 cell (bq24170)	CELL pin voltage falling edge			0.5	V
V _{CELL_MID}	CELL pin input mid threshold, 2 cells (bq24170)	CELL pin voltage rising for MIN, falling for MAX	0.8		1.8	V
V _{CELL_HI}	CELL pin input high threshold, 3 cells (bq24170)	CELL pin voltage rising edge	2.5			V

(5) 設計で規定されています。

標準的特性

図	説 明
図5	AVCC、VREF、ACDRV、およびSTATのパワーアップ (ISET=0)
図6	ISETによる充電イネーブル
図7	電流ソフト・スタート
図8	ISETによる充電ディスエーブル
図9	連続導通モードのスイッチング
図10	不連続導通モードのスイッチング
図11	パワーアップ中のBATFETからACFETへの遷移
図12	システム負荷過渡 (入力電流DPM)
図13	バッテリー挿入および取り外し
図14	バッテリー — GND 短絡保護
図15	バッテリー — GND 短絡過渡
図16	効率 対 出力電流 (VIN=15V)
図17	効率 対 出力電流 (VOUT=3.8V)

表 1. グラフ一覧⁽¹⁾

(1) すべての波形およびデータはHPA610およびHPA706 EVMで測定されています。

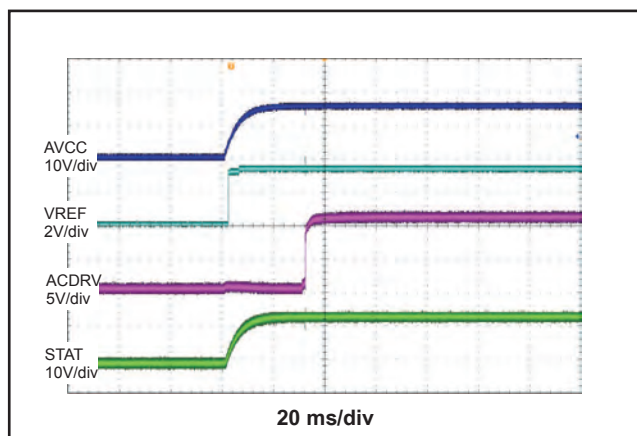


図 5. パワーアップ (ISET = 0)

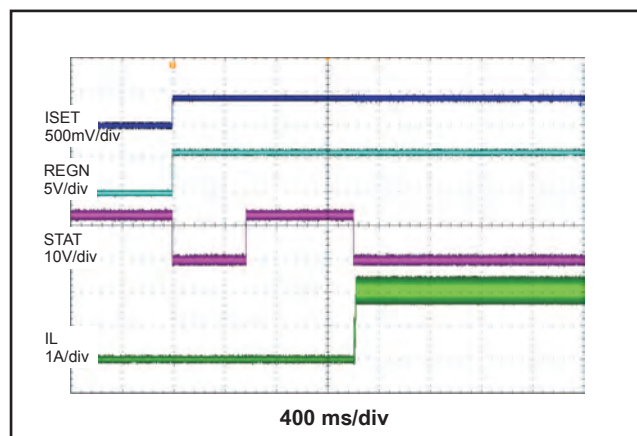


図 6. ISETによる充電イネーブル

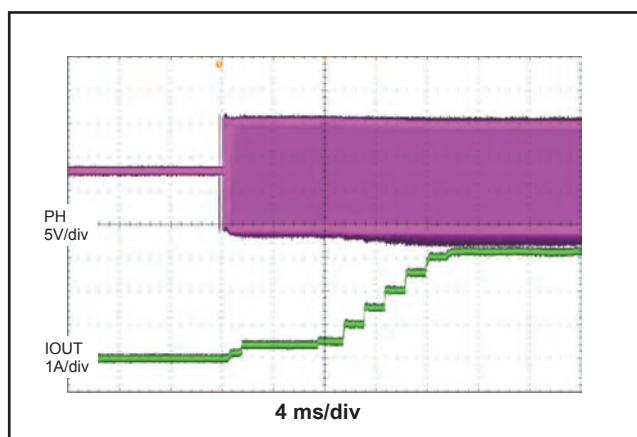


図 7. 電流ソフト・スタート

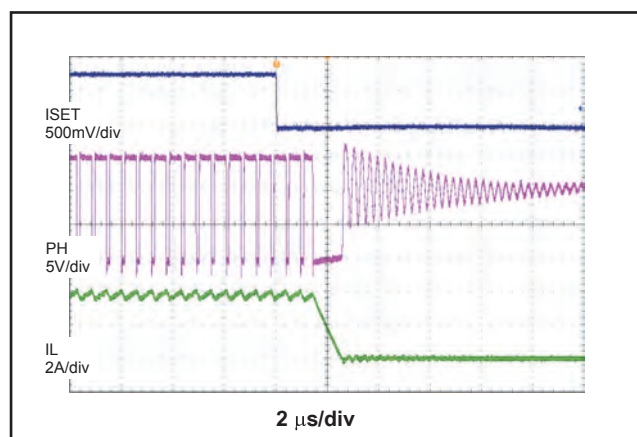


図 8. ISETによる充電ディスエーブル

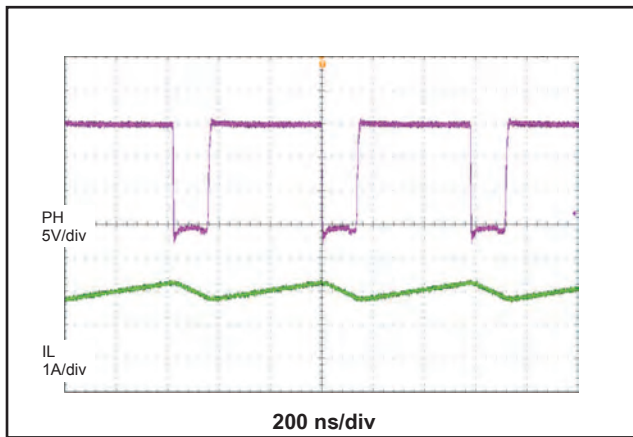


図 9. 連続導通モードのスイッチング

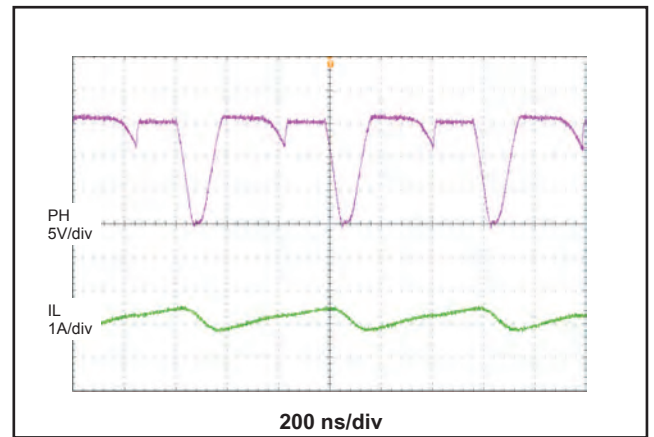


図 10. 不連続導通モードのスイッチング

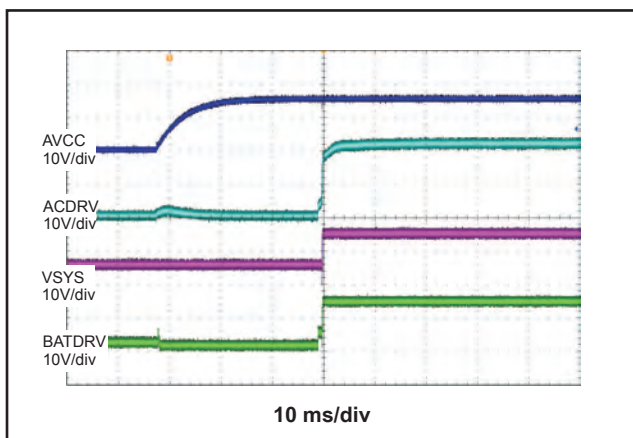


図 11. パワーアップ中のBATFETからACFETへの遷移

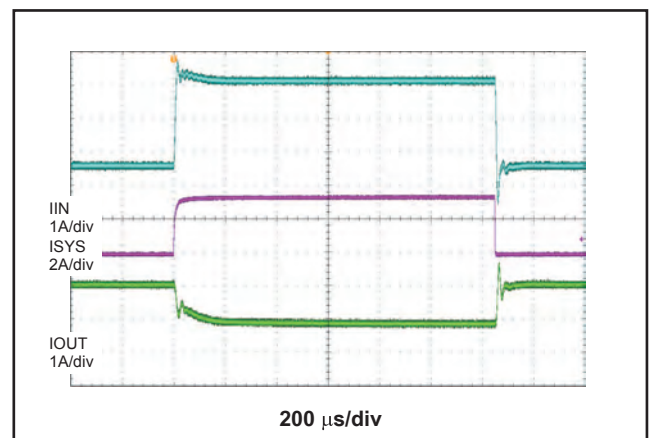


図 12. システム負荷過渡 (入力電流DPM)

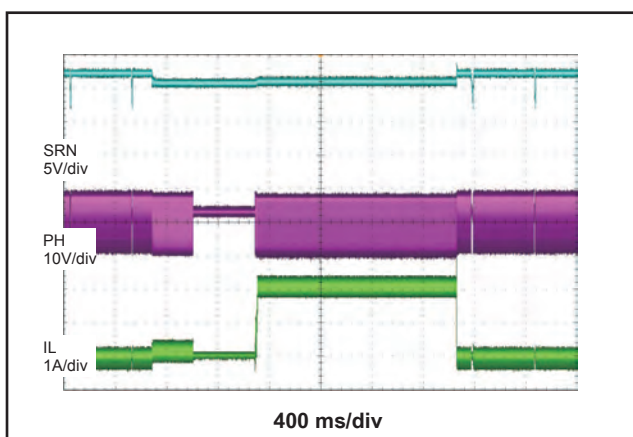


図 13. バッテリー挿入および取り外し

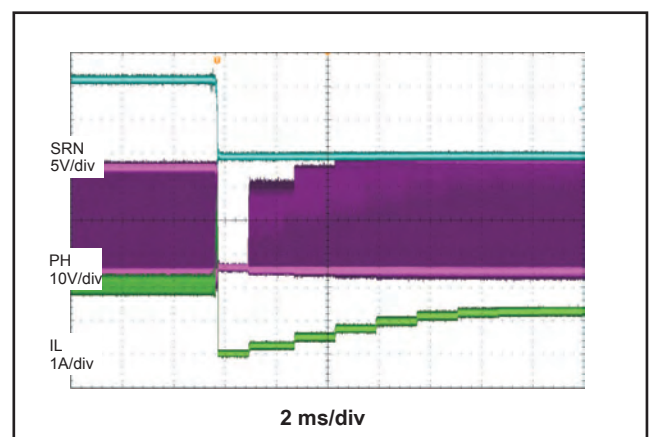


図 14. バッテリー — GND 短絡保護

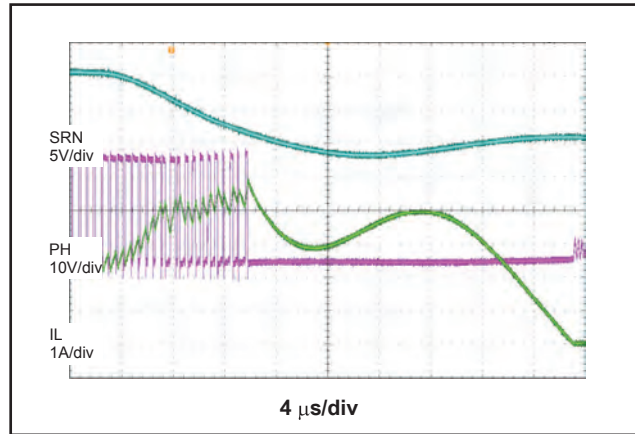


図 15. バッテリー — GND 短絡過渡

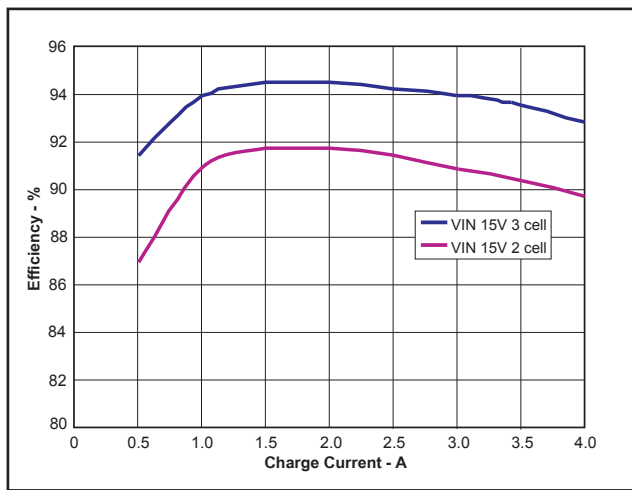


図 16. 効率 対 出力電流 (VIN = 15V)

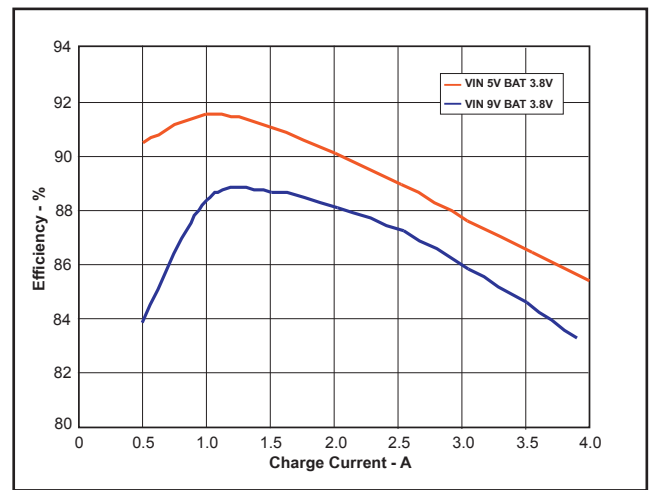


図 17. 効率 対 出力電流 (VOUT = 3.8V)

The schematic diagram illustrates the internal architecture of the bq24170 and bq24172 battery charger ICs. Key components and connections include:

- Input Pins and Initial Stages:**
 - AVCC (Pin 4):** Connected to the 3.6V reference and the UVLO/SLEEP comparators.
 - VREF (Pin 12):** Connected to the VREF LDO and the SRN/SRN divider.
 - Thermal PAD:** Connected to the thermal node model.
 - CELL (Pin 170) and FB (Pin 172):** Connected to the SRN/SRN divider.
 - ACP (Pin 6) and ACN (Pin 5):** Connected to the 20xIAC and CE comparators.
 - ACSET (Pin 17):** Connected to the CE comparator.
 - ISET (Pin 13):** Connected to the IBAT_REG and the 20xICHG comparator.
 - SRP (Pin 16) and SRN (Pin 15):** Connected to the 20xICHG comparator and the discharge/termination/fault current sources.
 - TTC (Pin 11):** Connected to the Fast Charge Timer (TTC) and Precharge Timer (30 mins).
 - OVPSET (Pin 18):** Connected to the ACOV and ACUV comparators.
- Internal Blocks and Comparators:**
 - SYSTEM POWER SELECTOR CONTROL:** Receives SLEEP, ACN-SRN, UVLO, ACOV, and ACUV signals.
 - PWM CONTROL:** Receives FBO, EAI, EAO, UCP, REFRESH, and EN_CHARGE signals.
 - STATE MACHINE:** Receives CE, RCHRG, Charge Termination, BAT_SHORT, Timer Fault, TSHUT, and SUSPEND signals.
 - Comparators:**
 - UVLO:** 3.6V reference.
 - SLEEP:** V_{SRN}+90mV reference.
 - LOWV:** 1.35V reference.
 - RCHRG:** 2.05V reference.
 - BAT_OVP:** 2.184V reference.
 - 2.1V:** Reference for the FBO/EAI/EAO comparators.
 - 20xIAC:** Comparator for ACP/ACN.
 - CE:** Comparator for ACSET.
 - 20xICHG:** Comparator for ISET/SRP/SRN.
 - ACOVS:** 1.6V reference.
 - ACUVS:** 0.5V reference.
 - UCP:** 5mV reference.
 - REFRESH:** VSW+4.2V and VBTST references.
 - BAT_SHORT:** 2V reference.
 - TSHUT:** IC T_J and T_{SHUT} reference.
- Output Pins and External Components:**
 - ACDRV (Pin 8), CMSRC (Pin 7), BATDRV (Pin 19):** Connected to the ACDRV CHARGE PUMP.
 - REGN (Pin 20):** Connected to the REGN LDO.
 - BTST (Pin 21):** Connected to the BTST pin.
 - PVCC (Pin 2):** Connected to the PVCC pin.
 - SW (Pin 1) and SW (Pin 24):** Connected to the SW pin.
 - PGND (Pin 22) and PGND (Pin 23):** Connected to the PGND pin.
 - STAT (Pin 9):** Connected to the STAT pin.
 - TS (Pin 10):** Connected to the TS pin.

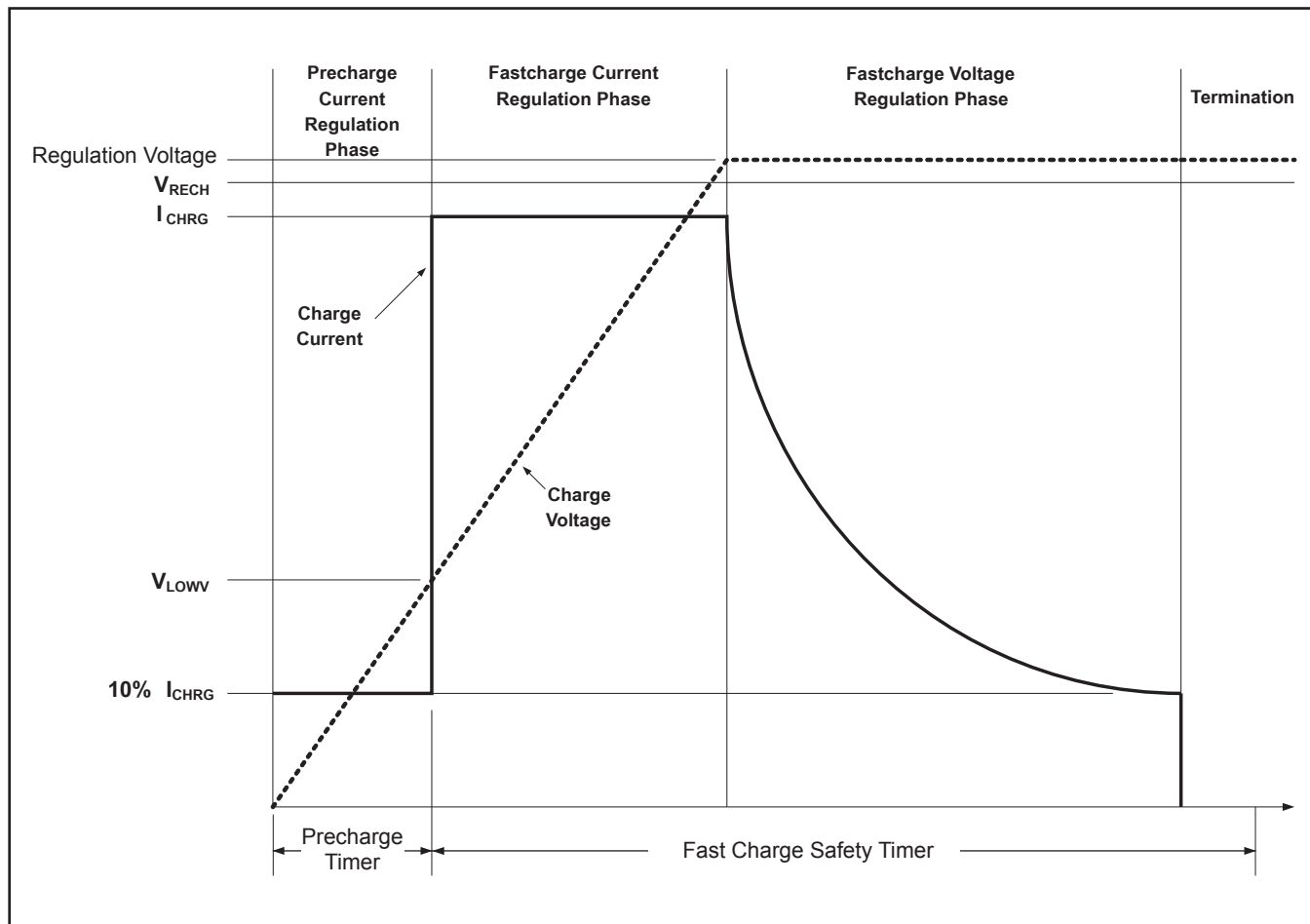


図 19. 標準的な充電プロファイル

バッテリー電圧レギュレーション

bq24170/172は、充電電圧に対して高精度の電圧レギュレータを実現します。bq24170では、CELLピンを使用してセル数を選択できます (4.2V/セルに固定)。CELLをAGNDに接続すると1セル出力が設定され、CELLピンをオープン状態にすると2セル出力、VREFに接続すると3セル出力が設定されます。

CELLピン	電圧制御
AGND	4.2V
Floating	8.4 V
VREF	12.6 V

表 2. bq24170のCELLピン設定

bq24172では、外部分圧抵抗を使用して、電圧帰還を行うとともに、FBピン上の電圧を内部の2.1V基準電圧に制御します。bq24172の制御電圧には、次の式を使用します。

$$V_{BAT} = 2.1 \text{ V} \times \left[1 + \frac{R2}{R1} \right] \quad (1)$$

ここで、R2はFB—バッテリー間、R1はFB—GND間に接続されます。

バッテリー電流制御

ISET入力によって、充電電流の最大値が設定されます。バッテリー電流は、SRPとSRNの間に接続された電流センス抵抗RSRによって検出されます。SRP—SRN間のフルスケール差動電圧は最大40mVです。充電電流は次の式で求められます。

$$I_{CHARGE} = \frac{V_{ISET}}{20 \times R_{SR}} \quad (2)$$

ISETの有効入力電圧範囲は、最大0.8Vです。10mΩのセンス抵抗に対する最大出力電流は、4Aです。20mΩのセンス抵抗に対する最大出力電流は、2Aです。

ISETピンの電圧が40mVを下回るとチャージはディスエーブルになり、ISETピンの電圧が120mVを超えるとイネーブルになります。10mΩの電流センス抵抗に対して、最小高速充電電流は600mAより大きい必要があります。

周囲温度が高い場合は、ICの温度が120°Cを超えないように、充電電流がフォールドバックされます。

バッテリー・プリチャージ電流の制御

パワーアップ時にバッテリー電圧が V_{LOWV} スレッシュホールドよりも低い場合、bq24170/172はバッテリーにプリチャージ電流を供給します。このプリチャージ機能は、深放電されたセルを再活性化する

ことを目的としています。プリチャージ開始から30分以内にV_{LOWV}スレッシュホールドに達しなかった場合、チャージャはオフになり、ステータス・ピンでFAULTが示されます。

bq24170/172では、プリチャージ電流はISET電圧で設定される高速充電レートの10%に設定されます。

$$I_{\text{PRECHARGE}} = \frac{V_{\text{ISET}}}{200 \times R_{\text{SR}}} \quad (3)$$

入力電流制御

ACアダプタまたは他のDCソースからの合計入力、システムの電源電流およびバッテリー充電電流の関数です。通常、システム電流は、システムの一部がパワーアップまたはパワーダウンされるたびに変動します。動的電源管理 (DPM) を使用しない場合、電源は最大システム電流と最大チャージャの入力電流を同時に供給する必要があります。DPMを使用すると、システム電力と充電電力の合計が最大入力電力を超える場合に、入力電流レギュレータによって充電電流が低減されます。それにより、ACアダプタの電流能力を低めにして、システムのコストを削減することが可能です。

入力電流は、ACSETピンの電圧から次の式を用いて設定されます。

$$I_{\text{DPM}} = \frac{V_{\text{ACSET}}}{20 \times R_{\text{AC}}} \quad (4)$$

ACPピンとACNピンを使用して、RAC両端の電圧を検知します。RACのデフォルト値は10mΩです。ただし、他の値の抵抗も使用できます。より大きなセンス抵抗を使用すると、センス電圧が高くなり、レギュレーション精度が上がりますが、抵抗損失が大きくなります。

充電終了、再充電、および安全タイマ

チャージャは、電圧制御・フェーズ中に充電電流を監視します。SRN電圧 (bq24170) またはFB電圧 (bq24172) が再充電スレッシュホールドを上回り、充電電流が次の式で計算される終了電流スレッシュホールドより低い場合は、充電終了が検出されます。

$$I_{\text{TERM}} = \frac{V_{\text{ISET}}}{200 \times R_{\text{SR}}} \quad (5)$$

ここで、V_{ISET}はISETピンの電圧、R_{SR}はセンス抵抗です。高速充電からプリチャージへの遷移時には25msのデグリッチ時間があります。

安全対策として、チャージャは内部に30分固定のプリチャージ安全タイマ、および設定可能な高速充電タイマも備えています。高速充電時間は、TTCピンとAGNDの間に接続されるコンデンサにより、次の式を用いて設定します。

$$t_{\text{TTC}} = C_{\text{TTC}} \times K_{\text{TTC}} \quad (6)$$

ここで、C_{TTC}はTTCに接続されたコンデンサ、K_{TTC}は定数の係数です。

次の条件のいずれかが満たされると、新しい充電サイクルが開始されます。

- バッテリ電圧が再充電スレッシュホールドを下回る。
- パワーオン・リセット (POR) が発生する。
- ISETピンが40mVより低い (充電ディスエーブル) または120mVより高い (充電イネーブル) 電圧に切り替えられる。

充電終了と高速充電安全タイマ (リセット・タイマ) の両方をディスエーブルにするには、TTCピンをAGNDにプルダウンにします。安全タイマをディスエーブルにして充電終了をイネーブルにするには、TTCピンをVREFにプルアップします。

パワーアップ

チャージャでは、AVCCがバッテリーまたはアダプタのいずれから供給されるため、SLEEPコンパレータを使用してAVCCピンの電源ソースを決定します。アダプタ・ソースが存在し、AVCC電圧がSRN電圧より高い場合には、SLEEPモードが終了します。充電のための条件がすべて満足されていれば、チャージャはバッテリーの充電を開始します (「充電のイネーブルとディスエーブル」を参照)。SRN電圧がAVCCより高い場合、チャージャは低静止電流のSLEEPモードに入り、バッテリーからの消費電流を最小限に抑えます。SLEEPモード中は、VREF出力がオフになり、STATピンがハイ・インピーダンスになります。

AVCCがUVLOスレッシュホールドより低い場合、デバイスはディスエーブルになります。

入力低電圧ロックアウト (UVLO)

システムが適切に動作するために最小動作電圧以上のAVCCが必要です。このAVCC電圧は、入力アダプタまたはバッテリーのいずれから供給できます。AVCCがUVLOスレッシュホールドより低い場合、ICのすべての回路がディスエーブルになります。

入力過電圧/低電圧保護

ACOVは、高い入力電圧によるシステムの損傷を防ぐための保護機能です。bq24170/172では、OVPSETの電圧が1.6VのACOVスレッシュホールドを上回るか、または0.5VのACUVスレッシュホールドを下回ると、充電がディスエーブルになり、入力MOSFETがオフになります。bq24170/172では、入力条件スレッシュホールドを柔軟に設定可能です。

充電のイネーブルとディスエーブル

充電がイネーブルになるには、以下の条件が満足されている必要があります。

- ISETピンが120mVを上回る。
- デバイスが低電圧ロックアウト (UVLO) モードでない (V_{AVCC} > V_{UVLO})。
- デバイスがSLEEPモードでない (V_{AVCC} > V_{SRN})。
- OVPSET電圧が0.5V~1.6Vの範囲内である。
- 最初のパワーアップ後に1.5sの遅延時間が経過。
- REGN LDOおよびVREF LDOの電圧が正しいレベルである。
- 過熱シャットダウン (TSHUT) 状態に達していない。
- TSエラーが未検出。
- ACFETがオン (詳細は「システム電源セレクト」を参照)。

次のいずれかの条件が満足されると、実行中の充電が停止されます。

- ISETピンの電圧が40mVを下回る。
- デバイスがUVLOモードになる。
- アダプタが取り外され、デバイスがSLEEPモードに入る。
- OVPSET電圧で、アダプタが有効でないことが示される。
- REGNまたはVREF LDO電圧が過負荷状態。
- TSHUT温度スレッシュホールドに達する。
- TS電圧が範囲外であり、バッテリー温度が高すぎるか低すぎる。
- ACFETがオフ。
- TTCタイマが満了、またはプリチャージ・タイマが満了。

システム電源セレクト

このICは、システム負荷への電源をアダプタとバッテリー電源の間で自動的に切り替えます。パワーアップ中、またはSLEEPモード中は、デフォルトでバッテリーがシステムに接続されます。アダプタが接続され、アダプタ電圧がバッテリー電圧を上回っている場合、ICはSLEEPモードを終了します。SLEEP終了後、バッテリーがシステムから切り離され、アダプタがシステムに接続されます。自動Break-Before-Makeロジックにより、セレクト切り替え時の貫通電流を防止しています。

ACDRVは、アダプタとACPの間に接続されたNチャネル・パワーMOSFETのペアを駆動するために使用されます。これらのMOSFETはソースがともにCMSRCに接続されています。ドレインがACP(Q2、RBFET)に接続されたこのNチャネルFETは、バッテリーの逆放電を防ぐとともに、低いRDS_{ON}により、システムの消費電力を最小限に抑える効果があります。アダプタ入力(Q1、ACFET)に接続されたもう1つのNチャネルFETは、アダプタからバッテリーを分離するとともに、FETのターンオン時間を制御することで、システムにアダプタを接続する際のdI/dtを制限します。BATDRVは、バッテリーとシステムの間に接続されたPチャネル・パワーMOSFET(Q3、BATFET)(ドレインをバッテリーに接続)を制御します。

アダプタの検出前は、ACDRVがCMSRCにプルアップされてACFETをオフに保持し、アダプタ入力をシステムから切り離します。以下のすべての条件が満足されると、BATDRVがACN-6V(グラウンドにクランプ)に保持され、バッテリーがシステムに接続されます。

- $V_{AVCC} > V_{UVLO}$ (バッテリーがAVCCを供給)
- $V_{ACN} < V_{SRN} + 200\text{mV}$

デバイスがSLEEPモードを終了した後、システムはバッテリーからアダプタへの切り替えを開始します。この遷移を有効にするには、AVCC電圧がSRNより300mV高い必要があります。Break-Before-Makeロジックにより、ACFETおよびBATFETが10μsだけオフに保持された後、ACFETがオンになります。これにより、貫通電流や大きな放電電流がバッテリーに流れ込むのを防止します。以下のすべての条件が満足されると、BATDRVがACNにプルアップされ、ACDRVピンは内部チャージ・ポンプによりCMSRC+6Vに設定されてNチャネルACFETがオンになり、アダプタがシステムに接続されます。

- $V_{ACUV} < V_{OVSET} < V_{ACOV}$
- $V_{AVCC} > V_{SRN} + 300\text{mV}$

アダプタが取り外されると、ICはACFETをオフにし、SLEEPモードに入ります。

BATFETは、システム電圧がSRNピン電圧の近い値に降下するまでオフのままとなります。BATDRVピンは内部レギュレータによりACN-6Vに駆動されてPチャネルBATFETがオンになり、バッテリーがシステムに接続されます。

ACFETおよびBATFETに対する非対称ゲート駆動(高速ターンオフと低速ターンオン)により、Break-Before-Makeロジックの実現を助け、両方のMOSFETのターンオン時にソフト・スタートを可能にします。遅延時間は、パワーMOSFETのゲートソース間にコンデンサを接続することでさらに長くできます。

コンバータの動作

bq24170/172は、1.6MHzの固定周波数降圧型スイッチング・レギュレータとなります。固定周波数発振回路によって、入力電圧、バッテリー電圧、充電電流、および温度のすべての条件下でスイッチング周波数の厳密な制御が維持されることにより、出力フィルタ設計が単純化されて、可聴領域内のノイズを防ぎます。

Type III内部位相補償回路により、コンバータの出力にセラミック・コンデンサを使用できます。内部ののこぎり波形が内部誤差制御信号と比較されて、コンバータのデューティ・サイクルを変化させます。波形の高さがAVCC電圧に比例することで、入力電圧の変化によるループ・ゲインの変動を相殺し、ループ補償を単純化します。内部ゲート駆動ロジックにより、パルスのスキップが開始される前に97%のデューティ・サイクルを実現できます。

自動内部ソフト・スタート・チャージャ電流

チャージャは、高速充電に入るときに、チャージャ・制御電流を自動的にソフト・スタートさせることで、出力コンデンサまたはパワー・コンバータにオーバーシュートやストレスが加わるのを防ぐことができます。このソフト・スタートは、設定された充電電流に達するまでに、充電レギュレーション電流を8つの等間隔のステップに分けて上昇させることで行います。各ステップは約1.6ms継続され、標準の立ち上がり時間は12.8msです。この機能には、外部部品は必要ありません。

充電過電流保護

チャージャは、ハイサイド・センスFETによって上側MOSFETの電流を監視します。ピーク電流がMOSFET制限を超えると、上側MOSFETがオフになり、次のサイクルまでオフに保持されます。チャージャには、2次的なcycle-to-cycleの過電流保護機能があります。この機能は、充電電流を監視して、設定された充電電流の160%を超えないようにします。いずれかの過電流状態が検出されるとハイサイド・ゲート駆動がオフになり、電流が過電流スレッシュホールドを下回ると自動的に復帰します。

充電低電流保護

再充電後、SRP-SRN間の電圧が5mVを下回った場合には、スイッチング・サイクルの残り時間の間、ローサイドFETがオフになります。不連続導通モード(DCM)の間、ローサイドFETは、ブートストラップ・コンデンサの電圧が4Vを下回ったときに短時間だけオンになり、コンデンサのリフレッシュ電荷を提供します。これは、負

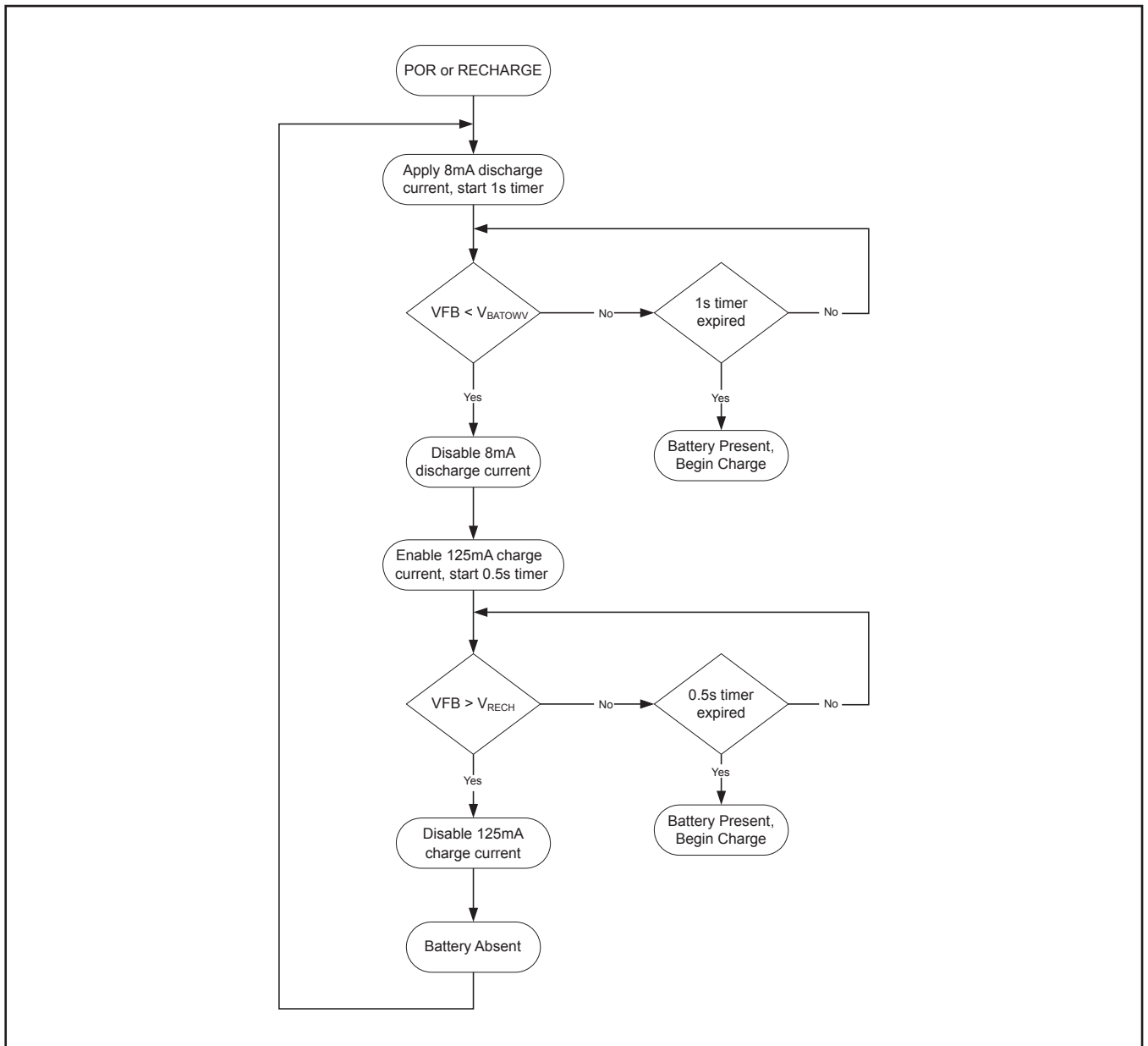


図 20. バッテリ検出フローチャート

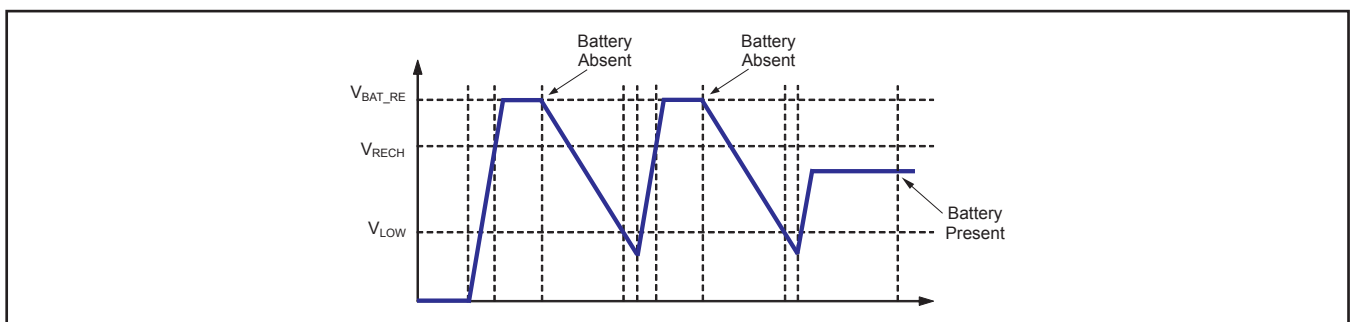


図 21. バッテリ検出タイミング図

のインダクタ電流によって昇圧効果が生じる（バッテリーから入力コンデンサに電力が伝達されて入力電圧が上昇する）のを防ぐために重要です。そのような状況が生じると、AVCCノードの過電圧につながり、システムに損傷を与える可能性があります。

バッテリー検出

バッテリー・パックが取り外し可能なアプリケーションのために、IC はバッテリー・パックの着脱を確実に検出するバッテリー未接続検出機

能を備えています。バッテリー検出ルーチンは、パワーアップ時、およびバッテリーの取り外しまたは放電によってバッテリー電圧が再充電スレッシュホールドを下回った場合に実行されます。

デバイスがパワーアップすると、8mAの放電電流がSRN端子に流れます。1秒以内にバッテリー電圧がLOW Vスレッシュホールドを下回った場合、放電ソースがオフになり、チャージャは低充電電流

(125mA) でオンになります。バッテリー電圧が500ms以内に再充電スレッシュホールドを上回った場合は、バッテリーが存在せずと判断され、サイクルが再度開始されます。対応するスレッシュホールドに達する前に500msまたは1秒のいずれかのタイムアウトした場合には、バッテリーが検出され、充電サイクルが開始されます。

バッテリー・ノードの合計出力容量が大きすぎると、放電電流ソースが1秒の放電時間内に電圧をLOWVスレッシュホールド未満にプルダウンできなくなることに注意してください。最大出力容量は、次の式で計算できます。

ここで、 C_{MAX} は最大出力容量、 I_{DISCH} は放電電流、 t_{DISCH} は放電時間、 R_2 および R_1 はバッテリーからFBピンへの電圧帰還抵抗です。

$$C_{MAX} = \frac{I_{DISCH} \times t_{DISCH}}{(4.1 \text{ V} - 2.9 \text{ V}) \times \text{Number of cells}} \quad (\text{for bq24170}) \quad (7)$$

$$C_{MAX} = \frac{I_{DISCH} \times t_{DISCH}}{(2.05 \text{ V} - 1.45 \text{ V}) \times \left[1 + \frac{R_2}{R_1} \right]} \quad (\text{for bq24172}) \quad (8)$$

例

3セルLi+チャージャ、 $R_2 = 500\text{k}\Omega$ 、 $R_1 = 100\text{k}\Omega$ (12.6Vの電圧レギュレーション)、 $I_{DISCH} = 8\text{mA}$ 、 $t_{DISCH} = 1\text{秒}$

この計算に基づき、バッテリー検出回路の適切な動作のためには、バッテリー・ノードの出力容量を2200 μF 以下にする必要があります。

$$C_{MAX} = \frac{8 \text{ mA} \times 1 \text{ sec}}{0.6 \text{ V} \times \left[1 + \frac{500 \text{ k}\Omega}{100 \text{ k}\Omega} \right]} = 2.2 \text{ mF} \quad (9)$$

バッテリー短絡保護

SRNピンの電圧が2Vより低い場合、充電期間中にバッテリー短絡状態と判断されます。チャージャは直ちに1msだけシャットダウン

してから、プリチャージ電流と同じ充電電流へとソフト・スタートします。これにより、充電中にバッテリー端子が短絡した場合に、出力インダクタに高電流が蓄積されてインダクタが飽和するのを防ぎます。バッテリー短絡状態の間、コンバータは非同期モードで動作します。

バッテリー過電圧保護

コンバータでは、バッテリー電圧がレギュレーション電圧の102%を下回るまで、ハイサイドFETをオンにしません。これにより、負荷が除去されたときやバッテリーが取り外されたときなどに発生する過電圧状況に対して、1サイクルで応答できます。SRP/SRNからAGNDへの合計6mAの電流シンクにより、出力コンデンサに移動した出力インダクタのエネルギーを放電することを可能にします。バッテリーの過電圧状態が30ms以上続くと、充電がディスエーブルになります。

温度条件

コントローラは、TSピンとAGNDの間の電圧を測定することにより、バッテリーの温度を常に監視しています。この電圧は一般に、負温度係数 (NTC) サーミスタと外部の分圧抵抗回路によって生成されます。コントローラは、この電圧を内部スレッシュホールドと比較して、充電を許可するかどうかを決定します。充電サイクルを開始するには、バッテリー温度が $V_{LTF} \sim V_{HTF}$ のスレッシュホールド範囲内に必要があります。バッテリー温度がこの範囲外になると、コントローラは充電を一時停止し、バッテリー温度が $V_{LTF} \sim V_{HTF}$ の範囲に収まるまで待ちます。充電サイクル中は、バッテリー温度が $V_{LTF} \sim V_{TCO}$ のスレッシュホールド範囲内に必要があります。バッテリー温度がこの範囲外になると、コントローラは充電を一時停止し、バッテリー温度が $V_{LTF} \sim V_{HTF}$ の範囲に収まるまで待ちます。コントローラは、PWM充電MOSFETをオフにすることで、充電を一時停止します。図22に、この動作を示します。

図23に示すようにバッテリー・バックで103AT NTCサーミスタが使用されていると仮定すると、 $RT1$ および $RT2$ の値は式 (10) および式 (11) で求められます。

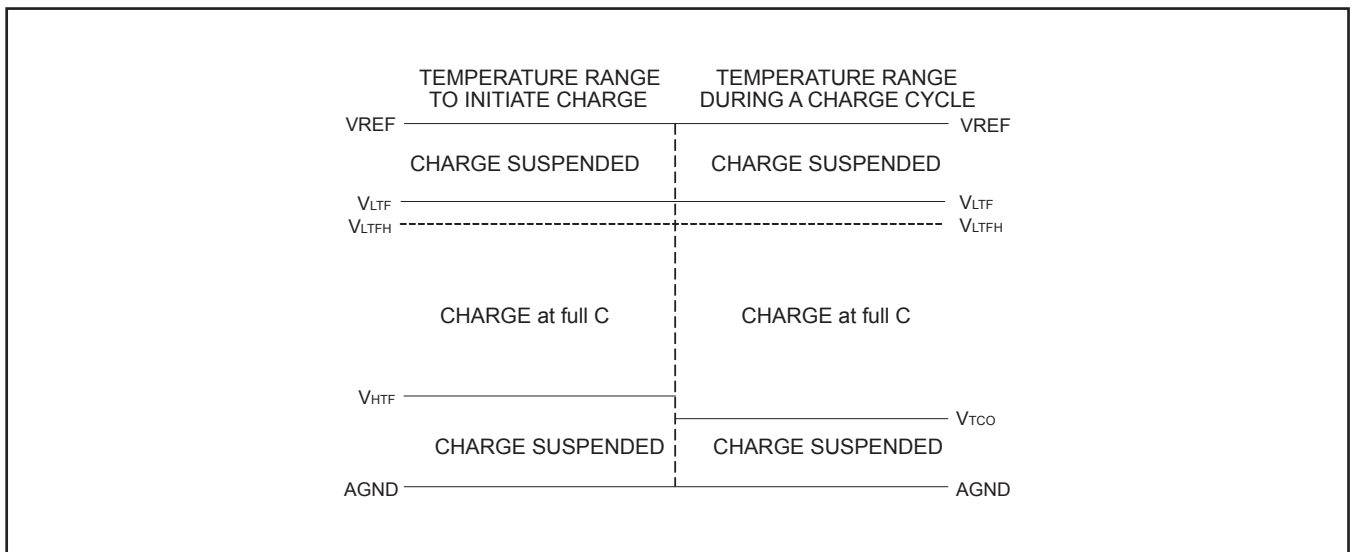


図 22. TSピン、サーミスタ・センス・スレッシュホールド

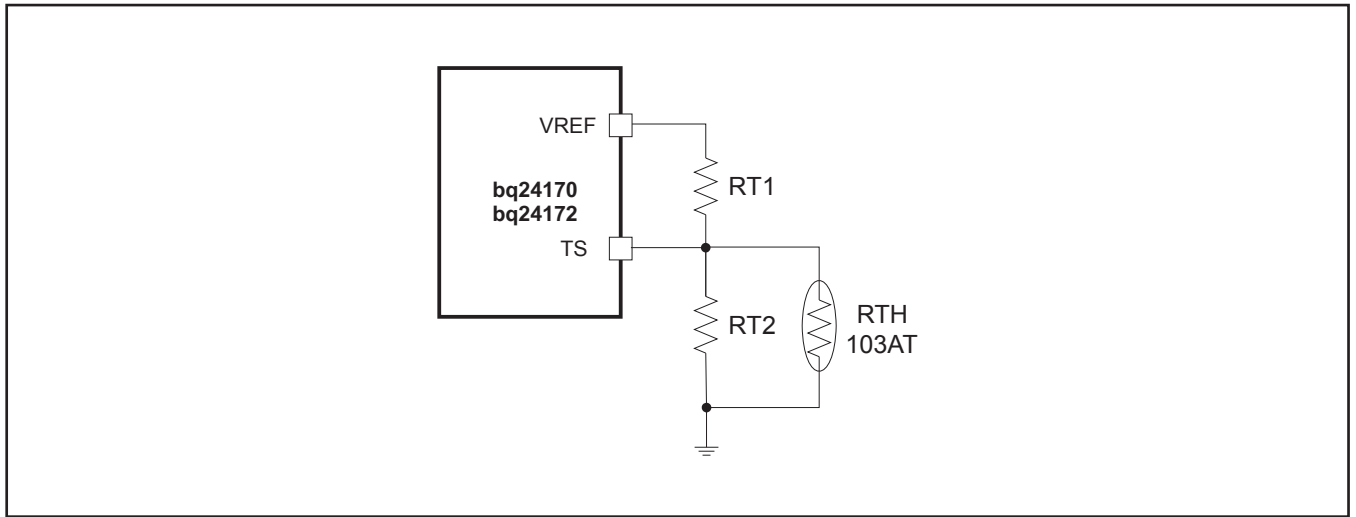


図 23. TSピン、サーミスタ・センス・スレッシュホールド

LiイオンまたはLiポリマー・バッテリーに対して、0°C～45°Cの範囲を選択します。

$$RTH_{COLD} = 27.28 \text{ k}\Omega$$

RT2 =

$$RTH_{HOT} \times \left(\frac{V_{VREF}}{V_{TCO}} - 1 \right) - RTH_{COLD} \times \left(\frac{V_{VREF}}{V_{LTF}} - 1 \right) \quad (10)$$

$$RT1 = \frac{\frac{V_{VREF}}{V_{LTF}} - 1}{\frac{1}{RT2} + \frac{1}{RTH_{COLD}}} \quad (11)$$

$$RTH_{HOT} = 4.911 \text{ k}\Omega$$

$$RT1 = 5.23 \text{ k}\Omega$$

$$RT2 = 30.1 \text{ k}\Omega$$

温度スレッシュホールドでのサーミスタ抵抗を計算し、最も近い標準の抵抗値を選択した後、最終的な温度範囲はサーミスタのデータシートに記載された温度-抵抗表から求めることができます。

MOSFET短絡およびインダクタ短絡保護

このICには、短絡保護機能が備えられています。Cycle-by-Cycleの電流監視機能は、MOSFETのR_{dson}での電圧降下を監視することにより実現されます。チャージャはラッチオフされますが、ACFETは引き続きシステムに電力を供給します。ラッチオフ状態からチャージャをリセットする唯一の方法は、アダプタを取り外してから、再度接続することです。その間、STATが点滅してエラー状態を通知します。

過熱保護

QFNパッケージは熱インピーダンスが低く、シリコンから周囲への熱伝導が優れているため、接合部温度が低く保たれます。接

合部温度が120°Cを超えないように、内部の熱レギュレーション・ループによって充電電流がフォールドバックされます。さらに追加の保護として、チャージャは接合部温度が150°CのTSHUTスレッシュホールドを超えるとオフになって、自身を保護します。接合部温度が130°Cを下回るまで、チャージャはオフに保持されます。

タイマエラーからの復帰

このICには、タイマエラー状態に対する回復手段が用意されています。次にその概要を示します。

状態1：バッテリー電圧が再充電スレッシュホールドを上回っている状態で、タイムアウトエラーが発生

復帰方法：バッテリー電圧が再充電スレッシュホールドを下回るとタイマエラーがクリアされ、バッテリー検出が開始されます。PORを行うか、ISETを40mV未満にすることで、エラーがクリアされます。

状態2：バッテリー電圧が再充電スレッシュホールドを下回っている状態で、タイムアウトエラーが発生

復帰方法：この状況では、ICがバッテリーにIFault電流を供給します。この小電流は、バッテリー未接続状態を検出するために使用され、バッテリー電圧が再充電スレッシュホールドを下回っている間はオンに保持されます。バッテリー電圧が再充電スレッシュホールドを上回ると、ICはIFault電流をディスエーブルにし、状態1の場合と同じ回復方法を実行します。PORを行うか、ISETを40mV未満にすることで、エラーがクリアされます。

インダクタ、コンデンサ、センス抵抗の選択ガイドライン

このICは、内部位相補償を備えています。この機能により、ICに対してLC共振周波数 (f_o) が約15kHz～25kHzのときに最高の安定性が得られます。

表3に、各種の充電電流に対する標準的なLC部品を示します。

充電ステータス出力

$$f_o = \frac{1}{2\pi\sqrt{LC}} \quad (12)$$

充電電流	1A	2A	3A	4A
出力インダクタL	6.8 μ H	3.3 μ H	3.3 μ H	2.2 μ H
出力コンデンサC	10 μ F	20 μ F	20 μ F	30 μ F

表 3. 各充電電流に対する標準値

充電状態	STAT
充電中(再充電中を含む)	オン
充電完了、スリープ・モード、充電ディスエーブル	オフ
充電一時停止、入力過電圧、バッテリー過電圧、タイマエラー、バッテリー未接続	点滅

表 4. STATピンの定義

オープン・ドレインのSTAT出力は、表4に示すような各種の充電動作を示します。これらのステータス・ピンは、LEDの駆動またはホスト・プロセッサとの通信に使用することができます。表中のOFFは、オープン・ドレイン・トランジスタがオフであることを示します。

置する必要があります。コンデンサの電圧定格は、通常の入力電圧レベルよりも高い必要があります。15Vの入力電圧に対しては、定格25V以上のコンデンサを推奨します。標準で3A～4Aの充電電流に対しては、20 μ Fの容量を推奨します。

アプリケーション情報

インダクタの選択

bq24170/72のスイッチング周波数は1600kHzであるため、小さな値のインダクタおよびコンデンサを使用できます。インダクタの飽和電流は、充電電流 (I_{CHG}) にリップル電流 (I_{RIPPLE}) の1/2を加えた値よりも大きい必要があります。

インダクタのリップル電流は、入力電圧 (V_{IN})、デューティ・サイクル ($D = V_{OUT}/V_{IN}$)、スイッチング周波数 (f_s)、およびインダクタンス (L) に依存します。

$$I_{SAT} \geq I_{CHG} + (1/2)I_{RIPPLE} \quad (13)$$

インダクタ・リップル電流は、 $D = 0.5$ または0.5に近い値のときに最大となります。通常、インダクタ・リップルは、実用的な設計に対するインダクタのサイズと効率のトレードオフとして、最大充電電

$$I_{RIPPLE} = \frac{V_{IN} \times D \times (1-D)}{f_s \times L} \quad (14)$$

流の20%～40%の範囲で設計されます。

入力コンデンサ

入力コンデンサは、入力スイッチング・リップル電流を吸収するのに十分なリップル電流定格を持つ必要があります。デューティ・サイクルが0.5のとき、ワーストケースのRMSリップル電流は充電電流の1/2です。コンバータが50%のデューティ・サイクルで動作していない場合、ワーストケースのコンデンサRMS電流 I_{CIN} は、デューティ・サイクルが50%に最も近いときに発生し、次の式で見積もることができます。

入力デカップリング・コンデンサには、X7RまたはX5Rなどの低ESRセラミック・コンデンサが推奨され、ハイサイドMOSFETのドレインおよびローサイドMOSFETのソースにできる限り近づけて配

$$I_{CIN} = I_{CHG} \times \sqrt{D \times (1-D)} \quad (15)$$

出力コンデンサ

出力コンデンサも、出力スイッチング・リップル電流を吸収するのに十分なリップル電流定格を持つ必要があります。出力コンデンサのRMS電流 I_{COUT} は、次の式で求められます。

$$I_{COUT} = \frac{I_{RIPPLE}}{2 \times \sqrt{3}} \approx 0.29 \times I_{RIPPLE} \quad (16)$$

bq24170/72は、内部位相補償を備えています。良好なループ

$$\Delta V_O = \frac{V_{OUT}}{8LCf_s^2} \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \quad (17)$$

安定性を得るには、出力インダクタおよび出力コンデンサの共振周波数を15kHz～25kHzの範囲で設計する必要があります。推奨されるセラミック・コンデンサは、定格25V以上のX7RまたはX5Rです。

入力フィルタの設計

アダプタのホット・プラグイン時には、アダプタ・ケーブルからの寄生インダクタンスおよび入力容量によって2次システムが形成されます。このとき、AVCCピンの電圧スパイクがICの最大電圧定格を超え、ICの損傷につながる可能性があります。AVCCピンでの過電圧を防ぐため、入力フィルタは注意深く設計してテストする必要があります。

アダプタのホット・プラグイン時に過電圧スパイクを抑制または制限するには、いくつかの方法があります。高ESRの電解コンデンサを入力コンデンサとして使用すると、過電圧スパイクをICの最大ピン電圧定格より十分低い値に抑制できます。また、電流量の大きなTVSツェナー・ダイオードも、過電圧レベルをICの安全レベルまで制限できます。ただし、この2つの対策は、コストやサイズのデメリットがあります。

図24に、低コスト、小サイズの対策を示します。R1およびC1は、ホット・プラグイン時の発振を抑えるためのダンピングRC回路を構成しています。その結果、過電圧スパイクは安全なレベルに制限

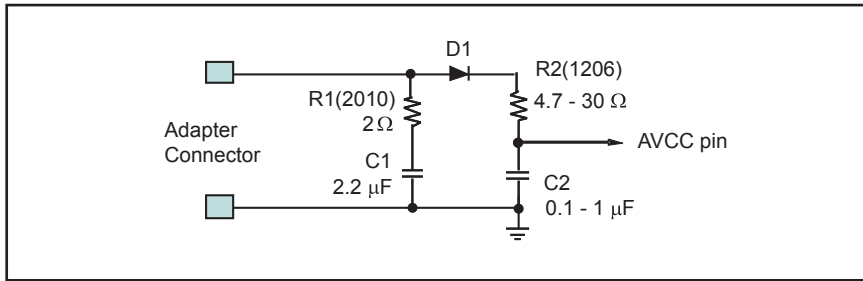


図 24. 入力フィルタ

されます。D1は、AVCCピンの逆電圧保護に使用されます。C2は、AVCCピンのデカップリング・コンデンサであり、AVCCピンにできる限り近づけて配置する必要があります。R2とC2は、ICを高い dv/dt および高い電圧スパイクからさらに保護するためのダンピングRC回路を形成します。ホット・プラグイン時に十分なダンピング効果を得るために、等価ESR値においてR1が優勢となるよう、C2の値はC1の値よりも小さくする必要があります。R1およびR2は、抵抗の製造元のデータシートに従って、突入電流による電力損失を処理するのに十分なサイズを持つ必要があります。フィルタ部品の値は常に、実際のアプリケーションで検証し、実際のアプリケーション回路に合わせて微調整を行う必要があります。

入力ACFETおよびRBFETの選択

よりコスト効果が高く、小サイズソリューションを実現するため、図22に示すようにACFET(Q1)およびRBFET(Q2)としてN型MOSFETが使用されています。通常は、合計で約50μFのコンデンサがPVCCノードに接続されます。bq24170/2の降圧型コンバータに対して10μF、システム側に対して40μFのコンデンサです。アダプタが挿入されたとき、Q1のターンオン期間中にサージ電流が流れます。比較的大きなCGDおよびCGSを持つMOSFETを選択してQ1のターンオン速度を低くすることにより、このサージ電流を許容範囲内に制限できます。Q1のターンオンが速すぎる場合は、外部にCGDおよびCGSを追加する必要があります。例えば、EVMでは、NexFETのCSD17313をQ1として使用しながら、4.7nFのCGDと47nFのCGSを追加しています。

PCBレイアウト

スイッチング損失を最小にするには、スイッチング・ノードの立ち上がりおよび立ち下がり時間を最小にする必要があります。電磁界

放射および高周波共振の問題を防ぐためには、適切な部品レイアウトによって高周波電流経路のループ(図26を参照)を最小にすることが重要です。PCBの適切なレイアウトのための優先事項の一覧を次に示します。この順序に従ってPCBをレイアウトすることが重要です。

1. 入力コンデンサはPVCC電源接続およびグランド接続にできる限り近づけて配置し、最短の銅パターンで接続します。これらの部品は、別々の層に配置してビアで接続するのではなく、PCBの同じ層に配置する必要があります。
2. インダクタの入力端子は、SW端子のできる限り近くに配置します。電磁界放射を低減するために、このパターンの銅面積は最小限にしますが、充電電流を伝達するのに十分な幅は確保します。多層配線を使った並列接続は避けてください。この領域から他のパターンまたはプレーンへの寄生容量は最小限に抑えます。
3. 充電電流のセンス抵抗は、インダクタ出力のすぐ隣に配置する必要があります。センス抵抗から同じ層内のICに戻る各センス・リードは、互いに近づけて配置(ループ面積を最小化)し、また、センス・リードは高電流経路を通らないようにしてください(電流精度を最大にするKelvin接続については、図27を参照)。これらのパターン上のデカップリング・コンデンサは、ICに隣接させて配置します。
4. 出力コンデンサは、センス抵抗の出力およびグランドに隣接させて配置します。
5. 出力コンデンサのグランド接続は、システム・グランドに接続する前に、入力コンデンサのグランドが接続されているのと同じ銅領域に接続する必要があります。
6. アナログ・グランドはパワー・グランドとは別に配線し、1つのグランド接続を使用してチャージャのパワー・グランドをチャージャのアナログ・グランドに接続します。ICの直下にアナログ・グ

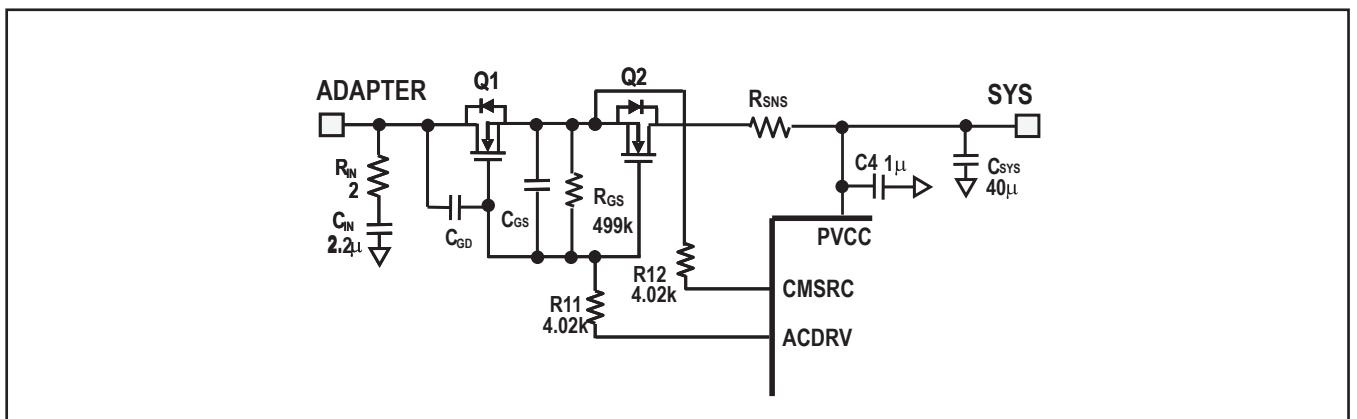


図 25. 入力ACFETおよびRBFET

ランド銅箔を使用しますが、誘導性および容量性のノイズ結合を低減するため、電源ピンからは避けてください。サーマル・パッドを使用して、アナログ・グランドとパワー・グランドを1つのグランド接続点として接続します。または、 0Ω の抵抗を使用してアナログ・グランドをパワー・グランドに接続します。サーマル・パッドの下はスター接続を強く推奨します。

7. ICパッケージの裏側の露出したサーマル・パッドをPCBのグランドに半田付けすることが重要です。IC直下では、十分なサーマル・ビアを使用して、他の層のグランド・プレーンに接続します。

8. デカップリング・コンデンサはICピンに隣接させて配置し、パターン接続をできる限り短くします。
9. ビアの数および物理的サイズは、与えられた電流経路に対して十分である必要があります。

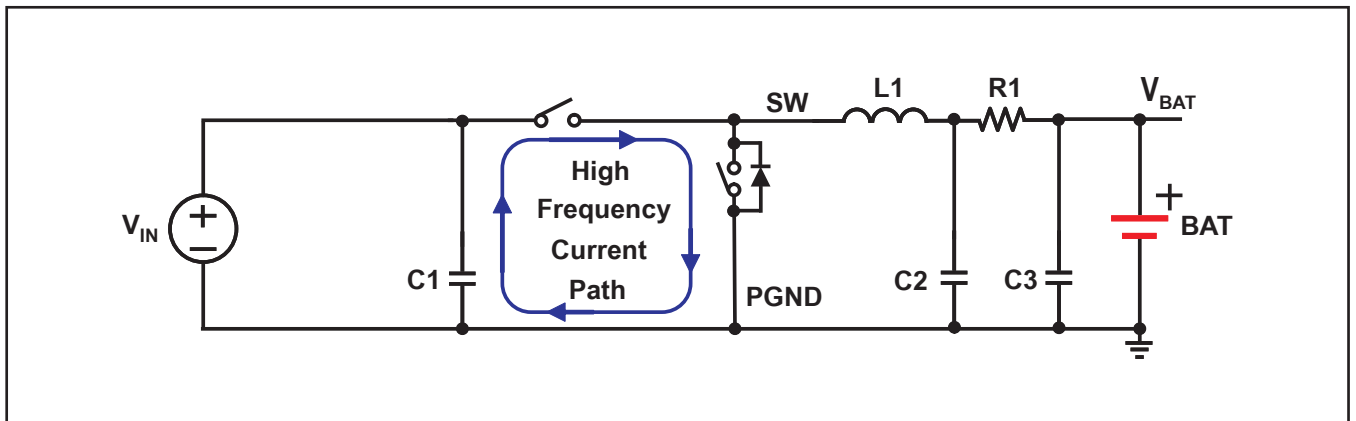


図 26. 高周波電流経路

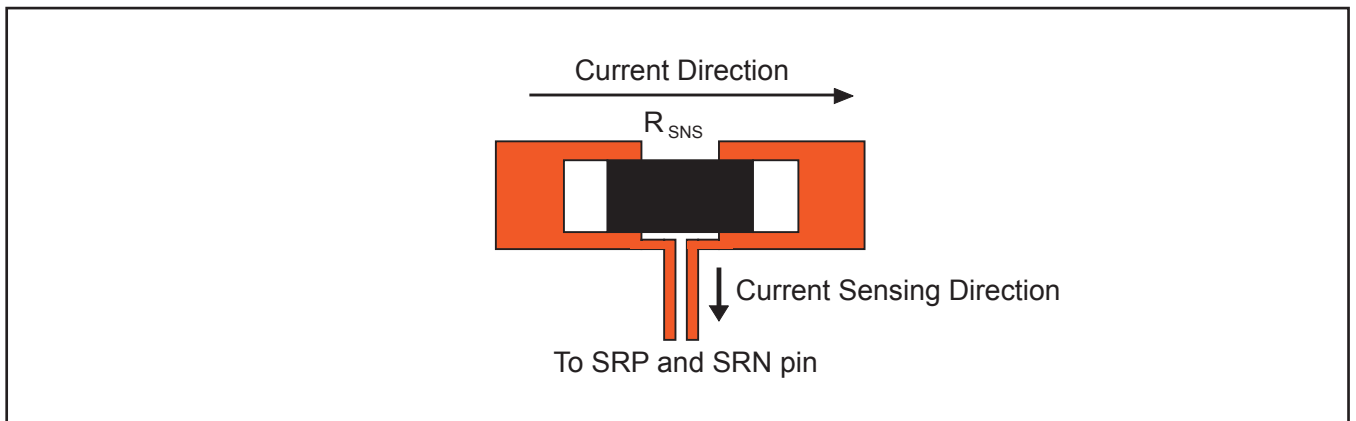


図 27. センス抵抗のPCBレイアウト

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
BQ24170RGYR	ACTIVE	VQFN	RGY	24	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples
BQ24170RGYT	ACTIVE	VQFN	RGY	24	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
BQ24172RGYR	ACTIVE	VQFN	RGY	24	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples
BQ24172RGYT	ACTIVE	VQFN	RGY	24	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples

⁽¹⁾ マーケティングステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコプラン - 環境に配慮した製品分類プランであり、Pb-Free(RoHS)、Pb-Free(RoHS Expert) およびGreen(RoHS & no Sb/Br)があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free(RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

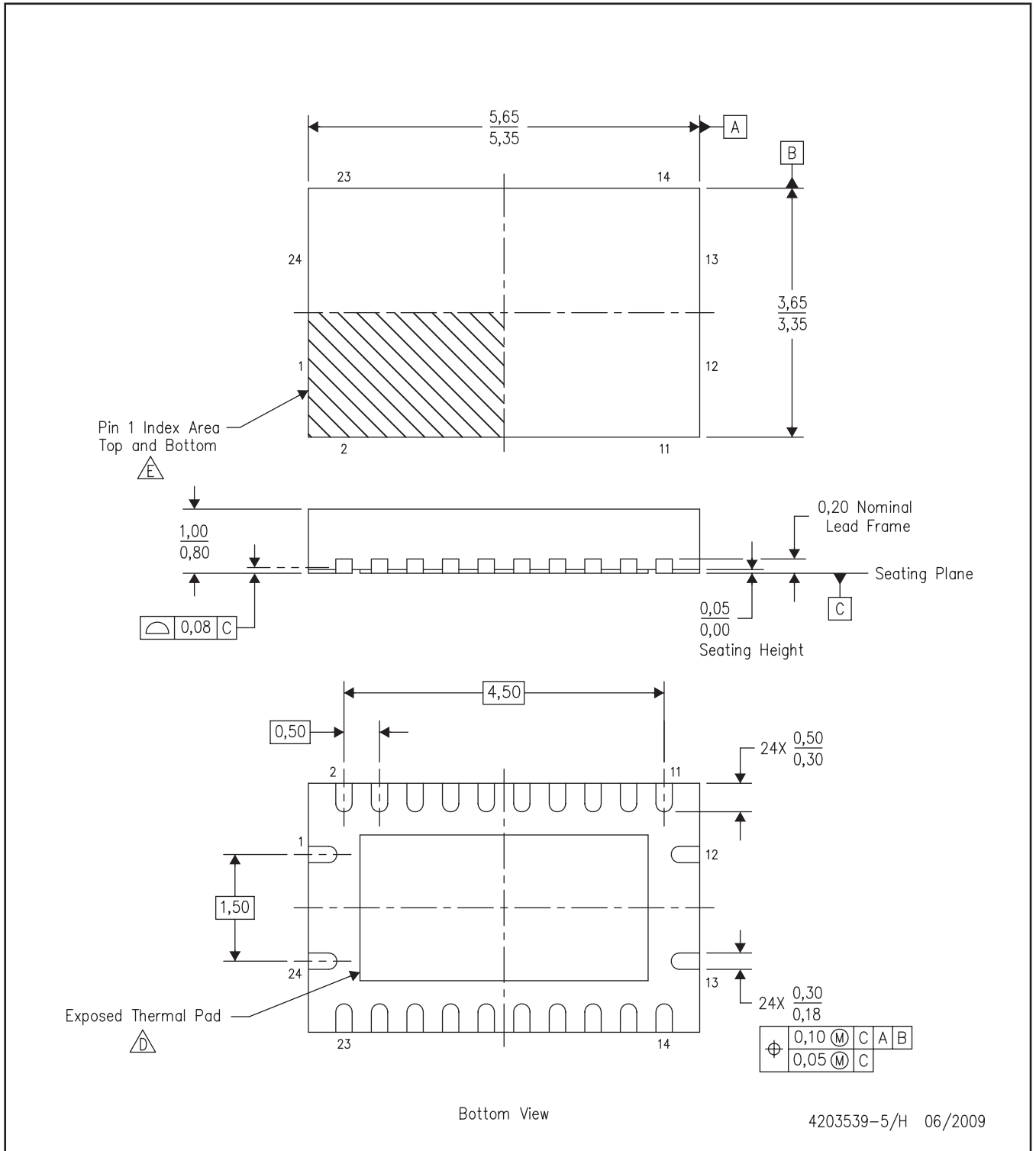
Pb-Free(RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free(RoHS)と考えられます。

Green(RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任は負いかねます。



注: A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。
 B. 本図は予告なしに変更することがあります。
 C. QFN (クワッド・フラットパック・ノーリード) パッケージ構造。
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
 E. ピン1識別は、パッケージの上下両面の示された領域内にあります。
 F. ピン1識別は、モールド、マーク、または金属を使用して施されます。

サーマルパッド・メカニカル・データ

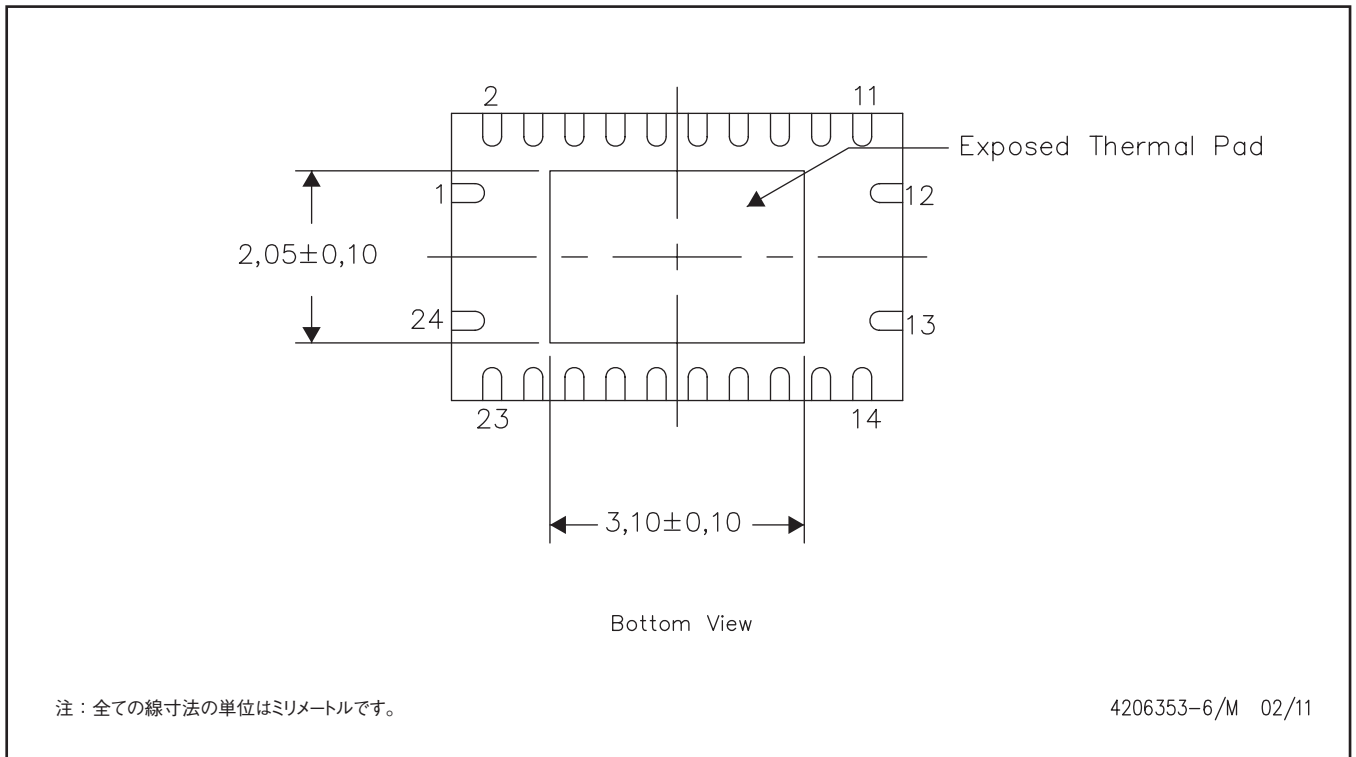
RGY (R-PVQFN-N24)

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマル・パッドをもっています。サーマル・パッドはプリント回路基板(PCB)に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマル・ビアを使用することにより、サーマル・パッドはグランドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路(IC)からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード(QFN)パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SCBA017を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマル・パッドの寸法は以下の図に示されています。



サーマル・パッド寸法図

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BQ24170RGYR	VQFN	RGY	24	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1
BQ24170RGYT	VQFN	RGY	24	250	180.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1
BQ24172RGYR	VQFN	RGY	24	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1
BQ24172RGYRG4	VQFN	RGY	24	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1
BQ24172RGYT	VQFN	RGY	24	250	180.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BQ24170RGYR	VQFN	RGY	24	3000	346.0	346.0	33.0
BQ24170RGYT	VQFN	RGY	24	250	210.0	185.0	35.0
BQ24172RGYR	VQFN	RGY	24	3000	346.0	346.0	33.0
BQ24172RGYRG4	VQFN	RGY	24	3000	346.0	346.0	33.0
BQ24172RGYT	VQFN	RGY	24	250	210.0	185.0	35.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月