

CD4053B-Q1 車載用、8 チャンネルを 1 セット備えた、CMOS アナログ マルチプレクサ / デマルチプレクサ、ロジック レベル変換付き

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: $-45^{\circ}\text{C} \sim +125^{\circ}\text{C}$, T_A
- 幅広いデジタルおよびアナログ信号レベル:
 - デジタル: $3\text{V} \sim 20\text{V}$
 - アナログ: $20\text{V}_{\text{P-P}}$ 以下
- 低いオン抵抗、 $15\text{V}_{\text{P-P}}$ 信号入力範囲で、 $V_{\text{DD}} - V_{\text{EE}} = 18\text{V}$ において 125Ω (代表値)
- 高いオフ抵抗: $V_{\text{DD}} - V_{\text{EE}} = 18\text{V}$ でチャンネルリーク $\pm 100\text{pA}$ (代表値)
- $3\text{V} \sim 20\text{V}$ のデジタル アドレッシング信号 ($V_{\text{DD}} - V_{\text{SS}} = 3\text{V} \sim 20\text{V}$) のロジック レベル変換により、スイッチ特性に合致する $20\text{V}_{\text{P-P}}$ ($V_{\text{DD}} - V_{\text{EE}} = 20\text{V}$) までのアナログ信号を切り換え、 $r_{\text{ON}} = 5\Omega$ (代表値、 $V_{\text{DD}} - V_{\text{EE}} = 15\text{V}$ の場合)、すべてのデジタル制御入力および電源条件において非常に低い静止電力損失、 $V_{\text{DD}} - V_{\text{SS}} = V_{\text{DD}} - V_{\text{EE}} = 10\text{V}$ において $0.2\mu\text{W}$ (代表値)
- オンチップでバイナリ アドレスをデコード
- 5V 、 10V 、 15V のパラメータ定格
- 20V で静止電流を 100% テスト済み
- パッケージの温度範囲全体にわたって 18V 時に最大制御入力電流 $1\mu\text{A}$ 、 25°C では 18V 時に 100nA
- Break-Before-Make スイッチングにより、チャンネルのオーバーラップを排除
- 業界標準の 4053 マルチプレクサとピン互換

2 アプリケーション

- アナログおよびデジタルの多重化 / 多重分離
- アナログ デジタルおよびデジタル アナログ変換
- 信号ゲーティング
- ファクトリ オートメーション
- テレビ
- 電化製品
- 民生用オーディオ
- プログラマブル ロジック回路
- センサ

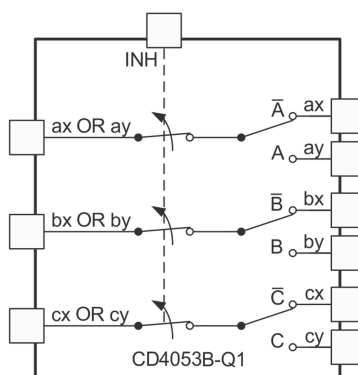
3 概要

CD4053B-Q1 アナログ マルチプレクサ / デマルチプレクサは、オン状態のインピーダンスが低くオフ状態のリーク電流が非常に小さいデジタル制御のアナログ スイッチです。これらのマルチプレクサ回路は、制御信号の論理状態にかかわらず、 $V_{\text{DD}} - V_{\text{SS}}$ および $V_{\text{DD}} - V_{\text{EE}}$ の電源電圧範囲全体にわたって非常に小さな静止電力しか消費しません。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
CD4053B-Q1	D (SOIC, 16)	$9.9\text{mm} \times 6\text{mm}$
	PW (TSSOP, 16)	$5\text{mm} \times 6.4\text{mm}$

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ \times 幅) は公称値であり、該当する場合はピンも含まれます。



CD4053B-Q1 の機能図



目次

1 特長.....	1	7.3 機能説明.....	16
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	17
3 概要.....	1	8 アプリケーションと実装.....	18
4 ピン構成および機能.....	3	8.1 アプリケーション情報.....	18
5 仕様.....	4	8.2 代表的なアプリケーション.....	18
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	19
5.2 ESD 定格.....	4	8.4 レイアウト.....	20
5.3 推奨動作条件.....	4	9 デバイスおよびドキュメントのサポート.....	21
5.4 熱に関する情報.....	5	9.1 ドキュメントのサポート.....	21
5.5 電気的特性 - CD4053B-Q1.....	6	9.2 ドキュメントの更新通知を受け取る方法.....	21
5.6 AC 性能特性 - CD4053B-Q1.....	10	9.3 サポート・リソース.....	21
5.7 代表的特性.....	11	9.4 商標.....	21
6 パラメータ測定情報.....	12	9.5 静電気放電に関する注意事項.....	21
7 詳細説明.....	15	9.6 用語集.....	21
7.1 概要.....	15	10 改訂履歴.....	21
7.2 機能ブロック図.....	16	11 メカニカル、パッケージ、および注文情報.....	21

4 ピン構成および機能

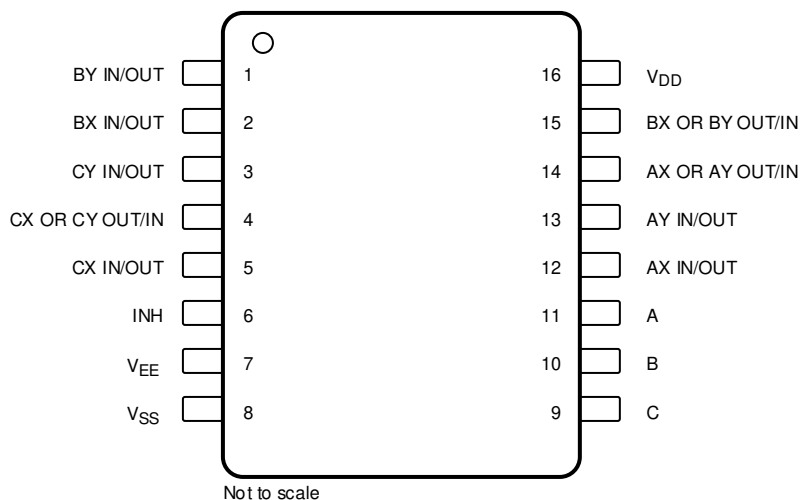


図 4-1. CD4053B-Q1 D または PW パッケージ (上面図)

表 4-1. ピン機能 CD4053B-Q1

ピン		種類 ⁽¹⁾	説明
番号	名称		
1	入力 / 出力別	I/O	B チャンネル Y 入力 / 出力
2	BX 入力 / 出力	I/O	B チャンネル X 入力 / 出力
3	CY 入力 / 出力	I/O	C チャンネル Y 入力 / 出力
4	CX または CY 出力 / 入力	I/O	C 共通 出力 / 入力
5	CX 入力 / 出力	I/O	C チャンネル X 入力 / 出力
6	INH	I	すべてのチャンネルを無効化します。表 7-1 を参照してください。
7	VEE	—	負電源入力
8	VSS	—	グランド
9	C	I	チャンネル選択 C。表 7-1 を参照してください。
10	B	I	チャンネル選択 B。表 7-1 を参照してください。
11	A	I	チャンネル選択 A。表 7-1 を参照してください。
12	AX 入力 / 出力	I/O	A チャンネル X 入力 / 出力
13	AY 入力 / 出力	I/O	A チャンネル Y 入力 / 出力
14	AX または AY 出力 / 入力	I/O	A 共通 出力 / 入力
15	BX または BY 出力 / 入力	I/O	B 共通 出力 / 入力
16	VDD	—	正電源入力

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

			最小値	最大値	単位
	電源電圧	V+ と V- 間の電圧 (V _{SS} 端子を基準)	-0.5	20	V
	DC 入力電圧		-0.5	V _{DD} +0.5	V
	DC 入力電流	任意の単一入力	-10	10	mA
T _{JMAX1}	最大接合部温度 (セラミック パッケージ)			175	°C
T _{JMAX2}	最大接合部温度 (プラスチック パッケージ)			150	°C
T _{stg}	保存温度		-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみにについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 特に指定のない限り、すべての電圧値はグラウンドを基準にしています。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±1500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
温度範囲	-55		125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		CD4053B-Q1		単位
		D (SOIC)	PW (TSSOP)	
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	86.7	116.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	47.3	47.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	45.3	63.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	12.1	6.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	44.9	62.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性 - CD4053B-Q1

自由気流での動作温度範囲内、 $V_{\text{SUPPLY}} = \pm 5\text{V}$ 、 $R_L = 100\Omega$ (特に記述のない限り) ⁽¹⁾

パラメータ	テスト条件					最小 値	標準 値	最大 値	単位	
信号入力 (V _{IS}) および出力 (V _{OS}) - CDIP、PDIP、SOIC、SOP パッケージ										
	V _{IS} (V)	V _{EE} (V)	V _{SS} (V)	V _{DD} (V)	TEMP					
静止デバイス電流、I _{DD} (最大値)		0 V	0V	5V	-55°C		5	μA		
					-40°C		5			
					25°C	0.04	5			
					85°C		150			
					125°C		150			
		0 V	0V	10V	-55°C		10			
					-40°C		10			
					25°C	0.04	10			
					85°C		300			
					125°C		300			
	0 V	0V	15V	-55°C		20				
				-40°C		20				
				25°C	0.04	20				
				85°C		600				
				125°C		600				
	0 V	0V	20V	-55°C		100				
				-40°C		100				
				25°C	18	100				
				85°C		3000				
				125°C		3000				
ドレイン・ソース間オン抵抗 r _{ON} (最大値) 0 ≤ V _{IS} ≤ V _{DD}		0 V	0V	5V	-55°C		800	Ω		
					-40°C		850			
					25°C	470	1050			
					85°C		1200			
					125°C		1300			
	0 V	0V	10V	-55°C		310				
				-40°C		300				
				25°C	180	400				
				85°C		520				
				125°C		550				
	0 V	0	15 V	-55°C		200				
				-40°C		210				
				25°C	125	240				
				85°C		300				
				125°C		300				
	オン抵抗の変化 (任意の 2 チャネル間)、 ΔR _{ON}		0 V	0V	5V	25°C			15	Ω
			0 V	0V	10V				10	
			0 V	0V	15V				5	

自由気流での動作温度範囲内、 $V_{\text{SUPPLY}} = \pm 5\text{V}$ 、 $R_L = 100\Omega$ (特に記述のない限り) ⁽¹⁾

パラメータ			テスト条件				最小 値	標準 値	最大 値	単位
オフ チャネルのリーク電流: 任意のチャネルがオフ (最大値) またはすべてのチャネルがオフ (共通 OUT/IN) (最大値)			0 V	0V	18V	-55°C	±100		nA	
						-40°C				
						25°C	±0.3	±100 (2)		
						85°C	±100 0(2)			
						125°C				
オン チャネルのリーク電流: 任意のチャネルがオン (最大値) またはすべてのチャネルがオン (共通 OUT/IN) (最大値)			5 または 0	-5 V	0V	10.5V	85°C	±800		nA
			5	0 V	0V	18V	85°C	±800		
容量	入力、C _{IS}		0 V	0V	10V	25°C	5		pF	
	出力、C _{OS}	CD4053-Q1					9			
	フィード スルー、C _{IOS}						0.2			
伝搬遅延			V _{DD}	R _L = 200kΩ		5 V	25°C	30	60	ns
				C _L = 50pF		10 V		15	30	
				t _r 、t _f = 20ns		15 V		10	20	

自由気流での動作温度範囲内、 $V_{\text{SUPPLY}} = \pm 5\text{V}$ 、 $R_L = 100\Omega$ (特に記述のない限り) ⁽¹⁾

パラメータ			テスト条件				最小 値	標準 値	最大 値	単位
制御 (アドレスまたはインビット)、V _C - CDIP、PDIP、SOIC、SOP パッケージ										
入力 Low 電圧、V _{IL} 、(最大値)						5 V	-55°C	1.5		V
							-40°C	1.5		
							25°C	1.5		
							85°C	1.5		
							125°C	1.5		
						10 V	-55°C	3		
							-40°C	3		
							25°C	3		
							85°C	3		
							125°C	3		
						15 V	-55°C	4		
							-40°C	4		
							25°C	4		
							85°C	4		
							125°C	4		
入力 High 電圧、V _{IH} 、(最小値)						5 V	-55°C	3.5		V
							-40°C	3.5		
							25°C	3.5		
							85°C	3.5		
							125°C	3.5		
						10 V	-55°C	7		
							-40°C	7		
							25°C	7		
							85°C	7		
							125°C	7		
						15 V	-55°C	11		
							-40°C	11		
							25°C	11		
							85°C	11		
							125°C	11		
入力電流、I _{IN} (最大値)						18 V	-55°C	±0.1		μA
							-40°C	±0.1		
							25°C	±10 ⁻⁵ ±0.1		
							85°C	±1		
							125°C	±1		
伝搬 遅延時 間	アドレス出力信号 (チャネルのオン またはオフ) (図 10、図 11、 および図 15 を参照)	t _r 、t _f = 20ns、 C _L = 50pF、 R _L = 10kΩ	0 V	0V	5V		450	720	ns	
			0 V	0V	10V		160	320		
			0 V	0V	15V		120	240		
			-5 V	0V	5V		225	450		
伝搬 遅延時 間	インビット出力信号 (チャネルが オン) (図 11 を参照)	t _r 、t _f = 20 ns、 C _L = 50pF、 R _L = 1kΩ	0 V	0V	5V		400	720	ns	
			0 V	0V	10V		160	320		
			0 V	0V	15V		120	240		
			-10 V	0V	5V		200	400		

自由気流での動作温度範囲内、 $V_{\text{SUPPLY}} = \pm 5\text{V}$ 、 $R_L = 100\Omega$ (特に記述のない限り) ⁽¹⁾

パラメータ		テスト条件					最小値	標準値	最大値	単位
伝搬遅延時間	インビット出力信号 (チャネルがオフ) (図 17 を参照)	t _r 、t _f = 20 ns、 C _L = 50pF、 R _L = 10kΩ	0 V	0V	5V		200	450	ns	
			0 V	0V	10V		90	210		
			0 V	0V	15V		90	160		
			-10 V	0V	5V		130	300		
入力容量、C _{IN} (任意のアドレスまたは禁止入力)			-5 V	0V	5V	25°C	5	7.5	pF	

- (1) ピークツーピーク電圧は、 $(V_{\text{DD}} - V_{\text{EE}}) / 2$ に対して対称の値を取ります。
(2) 自動試験のための最小実行可能リーク測定によって決定されます。

5.6 AC 性能特性 - CD4053B-Q1

 $V_{DD} = +15V$ 、 $V_{SS} = V_{EE} = 0V$ 、

 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ	テスト条件					標準値	単位
	V _{IS} (V)	V _{DD} (V)	R _L (kΩ)				
カットオフ (−3dB) 周波数チャネル ON (正弦波 入力)	5 ⁽¹⁾	10	1	同相出力 / 入力の V _{OS}	CD4053-Q1	30	MHz
	V _{EE} = V _{SS} 、 20Log (V _{OS} /V _{IS}) = −3dB			任意のチャネルでの V _{OS}		60	
全高調波歪み (THD)	2 ⁽¹⁾	5	10			0.3%	%
	3 ⁽¹⁾	10	10			0.2%	
	5 ⁽¹⁾	15	10			0.12%	
	V _{EE} = V _{SS} 、f _{IS} = 1kHz 正弦波						
−40dB フィードスルー 周波数 (すべてのチャネルがオフ)	5 ⁽¹⁾	10	1	同相出力 / 入力の V _{OS}	CD4053-Q1	8	MHz
	V _{EE} = V _{SS} 、 20Log (V _{OS} /V _{IS}) = −40dB			任意のチャネルでの V _{OS}		8	MHz
信号 クロストーク 周波数: −40dB	5 ⁽¹⁾	10	1			3	MHz
	V _{EE} = V _{SS} 、 20Log (V _{OS} /V _{IS}) = −3dB			任意の 2 つの セクション間、CD4053-Q1 のみ	IN ピン 2、 OUT ピン 14	2.5	MHz
					IN ピン 15、 OUT ピン 14	6	MHz
アドレスまたはインヒビッ ト 信号の クロストーク		10	10 ⁽²⁾			65	mV _{PEAK}
	V _{EE} = 0、V _{SS} = 0、t _r 、t _f = 20ns、mV _{PEAK} V _{CC} = V _{DD} − V _{SS} (矩形波)					65	mV _{PEAK}

(1) ピーク ツー ピーク電圧は、 $(V_{DD} - V_{EE})/2$ に対して対称の値を取ります。

(2) チャネルの両端。

5.7 代表的特性

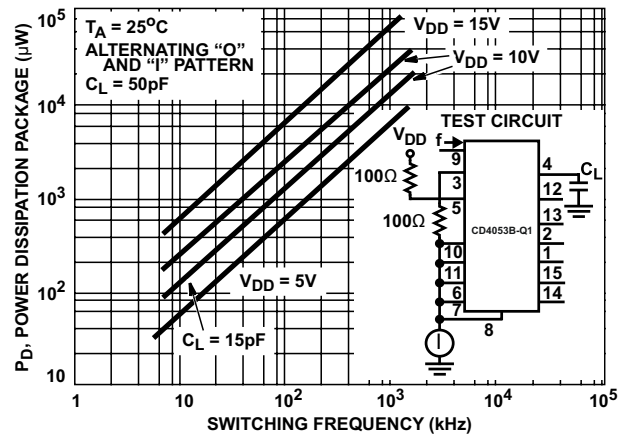


図 5-1. 動的消費電力とスイッチング周波数との関係 (CD4053B-Q1)

6 パラメータ測定情報

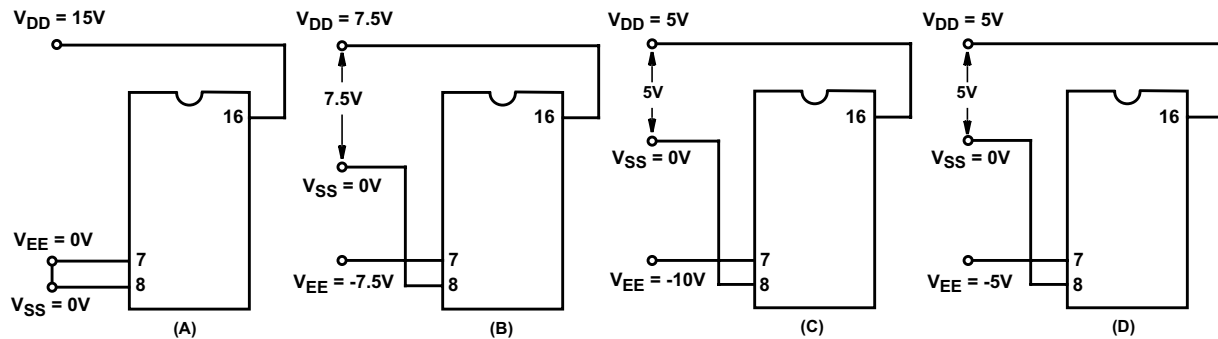


図 6-1. 代表的なバイアス電圧

注

アドレス (デジタル制御入力) とインヒビット ロジックレベルは次のとおりです。0 = V_{SS} および 1 = V_{DD} 。アナログ信号 (TG 経由) は、 V_{EE} から V_{DD} までスイングすることができます。

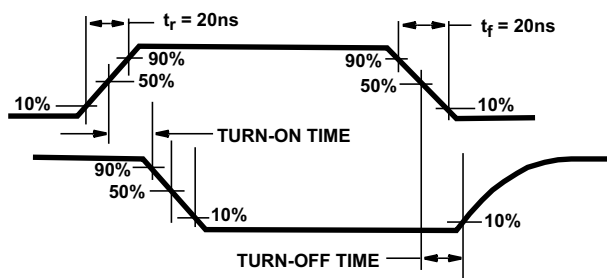


図 6-2. 波形、チャンネルがオンになる ($R_L = 1k\Omega$)

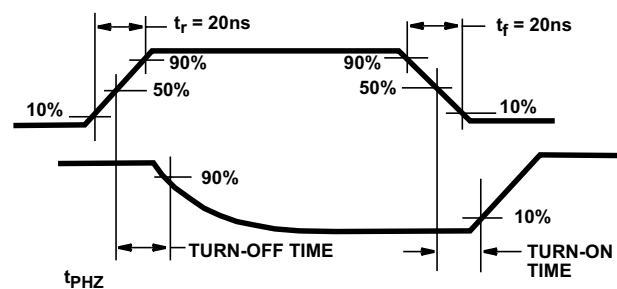


図 6-3. 波形、チャンネルがオフになる ($R_L = 1k\Omega$)

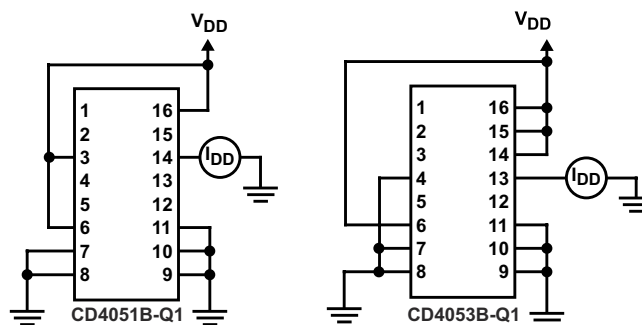


図 6-4. オフ チャンネル リーク電流 - 任意のチャンネルがオフ

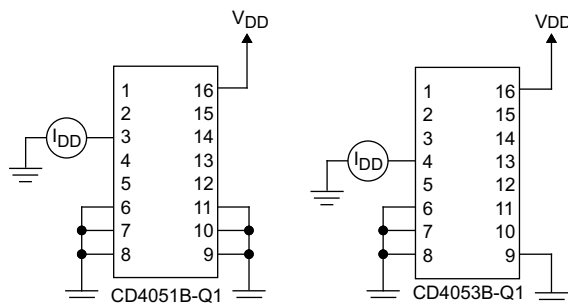


図 6-5. オン チャネル リーク電流 - 任意のチャンネルがオン

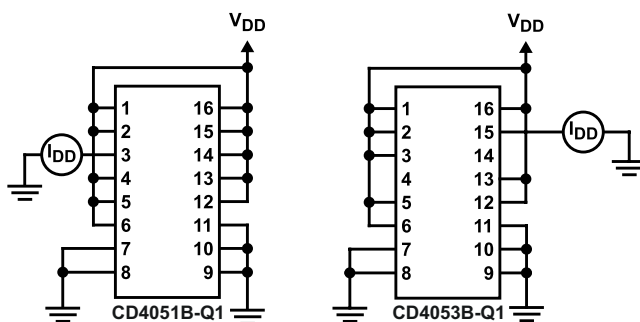


図 6-6. オフ チャネル リーク電流 - すべてのチャンネルがオフ

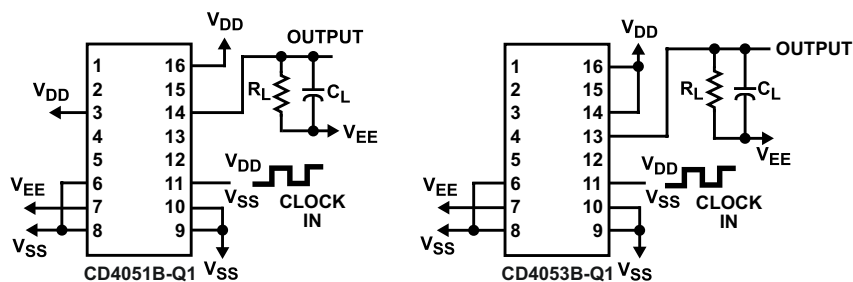


図 6-7. 伝搬遅延 - アドレス入力から信号出力

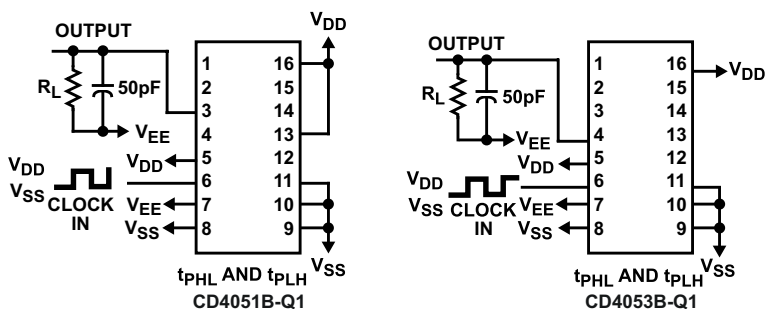
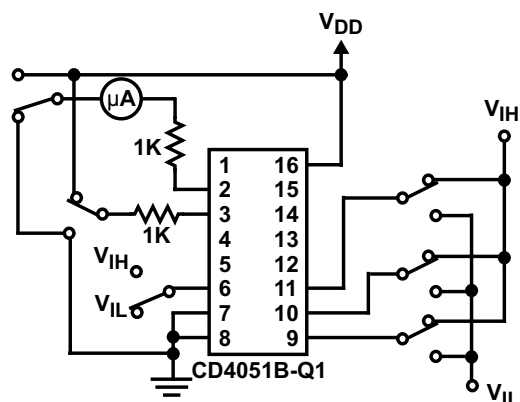
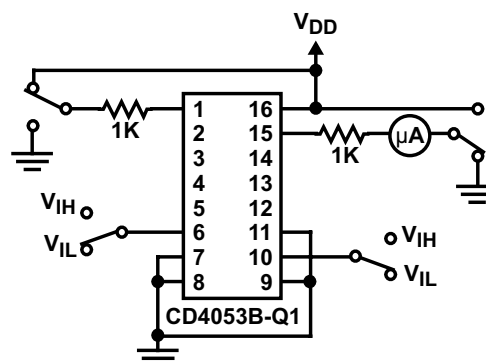


図 6-8. 伝搬遅延 - インhibit入力から信号出力



MEASURE $< 2\mu\text{A}$ ON ALL
"OFF" CHANNELS (e.g., CHANNEL 6)



MEASURE $< 2\mu\text{A}$ ON ALL
"OFF" CHANNELS (e.g., CHANNEL 6)

図 6-9. 入力電圧テスト回路 (ノイズ耐性)

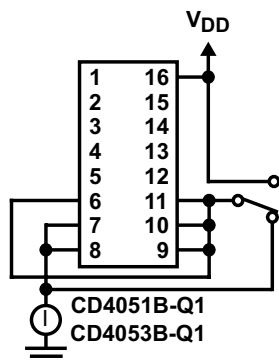


図 6-10. デバイスの静止電流

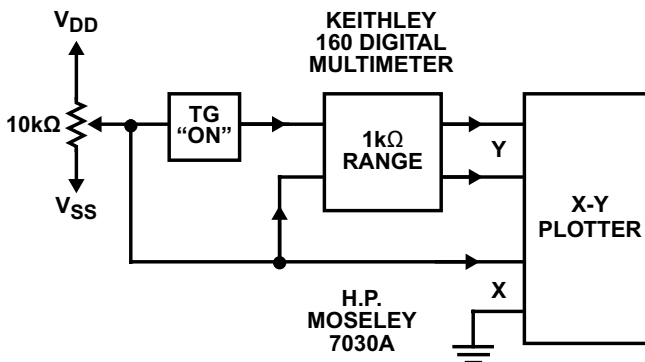


図 6-11. チャンネル オン抵抗測定回路

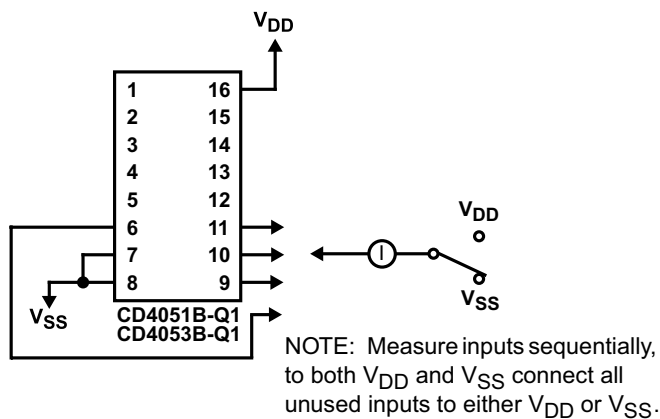


図 6-12. 入力電流

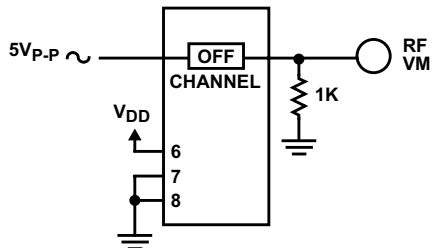


図 6-13. フィードスルー (すべてのタイプ)

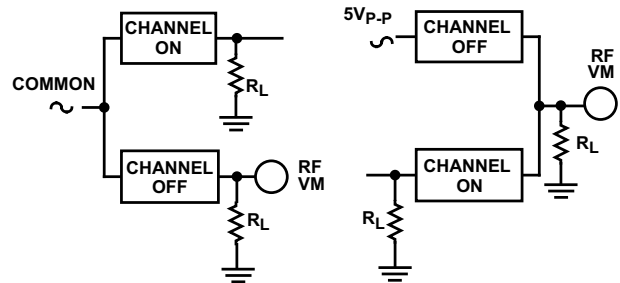


図 6-14. 任意の 2 チャンネル間のクロストーク (すべてのタイプ)

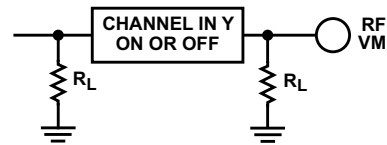
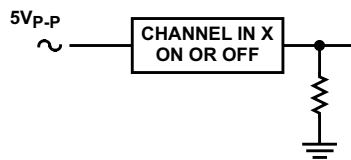


図 6-15. 2 チャンネルまたは 3 チャンネル間のクロストーク

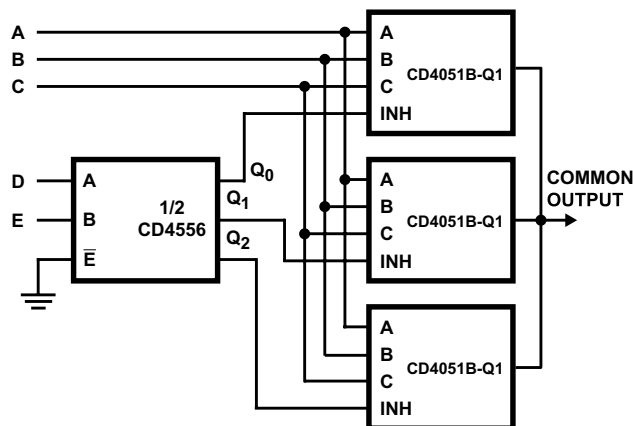


図 6-16. 24 対 1 のマルチプレクサのアドレッシング

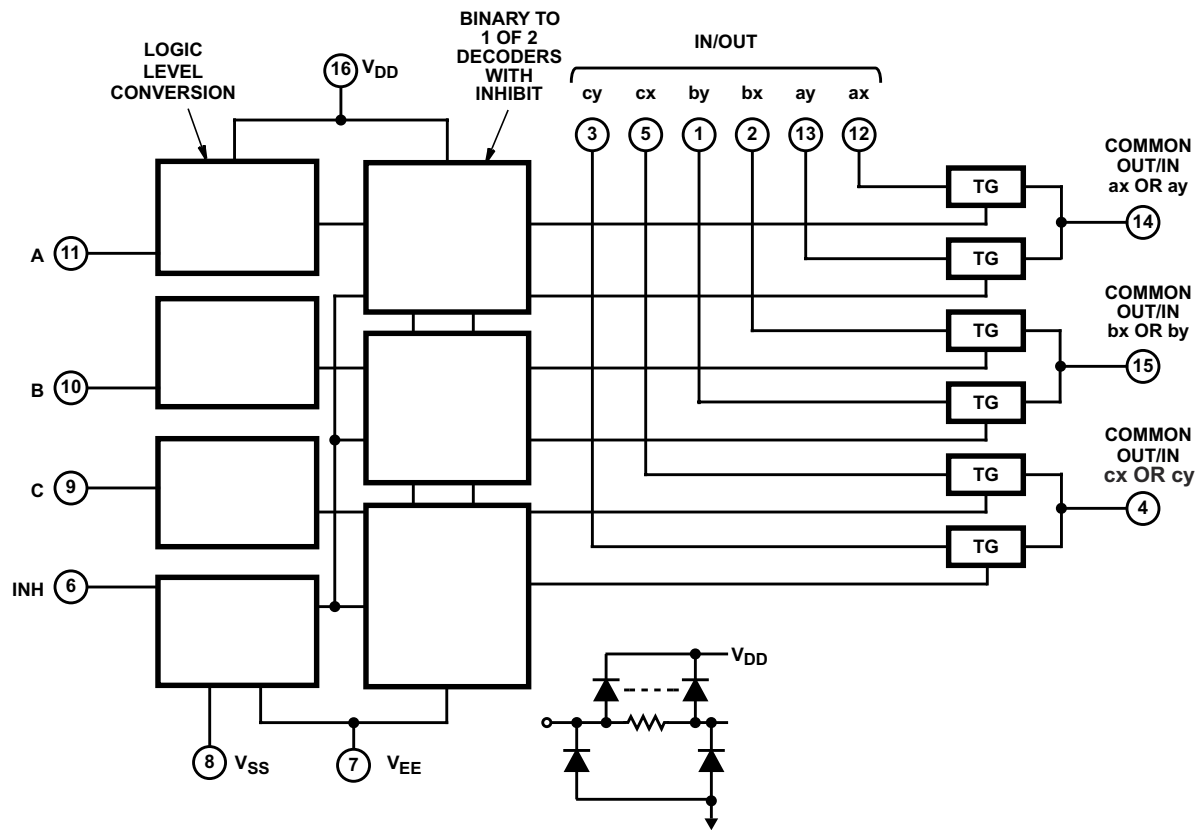
7 詳細説明

7.1 概要

CD4053B-Q1 デバイスは、3 つのバイナリ制御入力 (A、B、C) と 1 つの禁止入力を備えたシングル 8 チャンネル マルチプレクサです。3 つのバイナリ信号を使用して 8 つのチャンネルのうちの 1 つをオンにし、8 つの入力のいずれかを出力に接続します。

このデバイスをデマルチプレクサとして使用する場合、チャンネルの IN 端子または OUT 端子が出力となり、共通 OUT 端子または IN 端子が入力となります。

7.2 機能ブロック図



すべての入力は標準の CMOS 保護ネットワークで保護されています。

図 7-1. CD4053B-Q1 の機能ブロック図

7.3 機能説明

CD4053B-Q1 製品ラインのマルチプレクサ / デマルチプレクサは、幅広いデジタル信号レベルとアナログ信号レベルに対応できます。デジタル信号は 3V~20V の範囲、アナログ信号は最大 20V まで対応します。このデバイスは低いオン抵抗を特長とし、15V_{P-P} 信号入力範囲で、 $V_{DD} - V_{EE} = 18V$ において 125Ω (代表値) です。この機能により、スイッチを流れる信号損失を最小限に抑えることができます。

また、CD4053B-Q1 デバイスはオフ抵抗が高いため、スイッチがオフ位置のときにデバイスの電力を浪費することなく、チャネルリーク電流は $V_{DD} - V_{EE} = 18V$ で $\pm 100pA$ (代表値) です。

チップ上でバイナリ アドレスをデコードすることで、チャネルの選択が簡単になります。チャネルを変更すると、ブレイク ビフォー メイク システムによってチャネルのオーバーラップが排除されます。

7.4 デバイスの機能モード

表 7-1. 真理値表

入力の状態 ⁽¹⁾				オン チャネル (S)
インビット (抑止)	C	B	A	
CD4053B-Q1				
0	X	X	0	ax
0	X	X	1	ay
0	X	0	X	bx
0	X	1	X	by
0	0	X	X	cx
0	1	X	X	cy
1	X	X	X	なし

(1) X = 任意

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

CD4053B-Q1 マルチプレクサとデマルチプレクサは、幅広いアプリケーションで使用できます。

8.2 代表的なアプリケーション

CD4053B-Q1 のアプリケーションの 1 つは、マイコンと組み合わせて使用してキーパッドをポーリングすることです。図 8-1 に、このようなポーリング システムの基本的な回路図を示します。マイコンは、入力を読み取っている間にチャンネル選択ピンを使用してさまざまなチャンネルを順に切り替え、ユーザーがいずれかのキーを押しているかどうかを確認します。この応用回路は非常に堅牢なセットアップで、わずかな電力消費で同時に複数のキーを押すことができます。このセットアップでは、マイコン上のごく少数のピンも使用します。ポーリングの欠点は、マイコンがキーを継続的にスキャンして押下した場合、それ以外の処理をほとんど行わないことです。

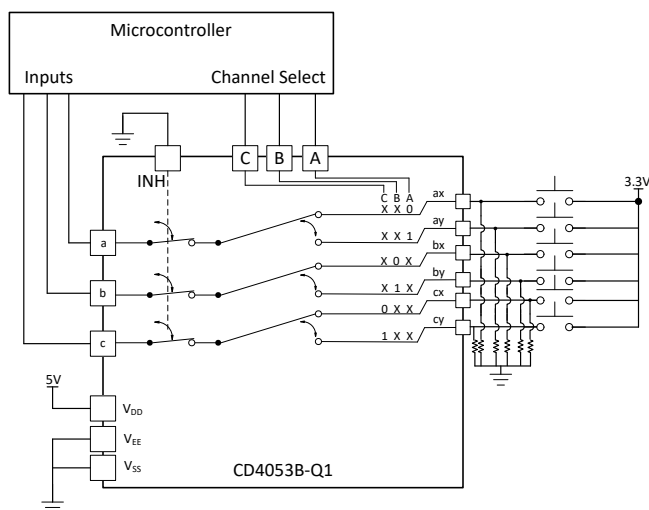


図 8-1. CD4053B-Q1 は、キーパッドの [読み取り] ボタンを押すのに使用されています

8.2.1 設計要件

これらの デバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリングングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件:
 - スイッチ時間の仕様については、[セクション 5.5](#) の伝搬遅延時間を参照してください。
 - 入力は、 V_{DD} より 0.5V 上回る、または V_{EE} より下回ってプッシュできません。
 - 制御入力の入力電圧レベルの仕様については、[セクション 5.5](#) の V_{IH} および V_{IL} を参照してください。
2. 推奨出力条件:
 - 出力は、 V_{DD} を上回る、または V_{EE} を下回ってプルできません。
3. 入力または出力電流に関する検討事項:

- CD405xB-Q1 シリーズの部品には電流駆動回路が内蔵されていないため、電流をシンクまたはソースすることはできません。任意の電流はデバイスを通して。

8.2.3 アプリケーション曲線

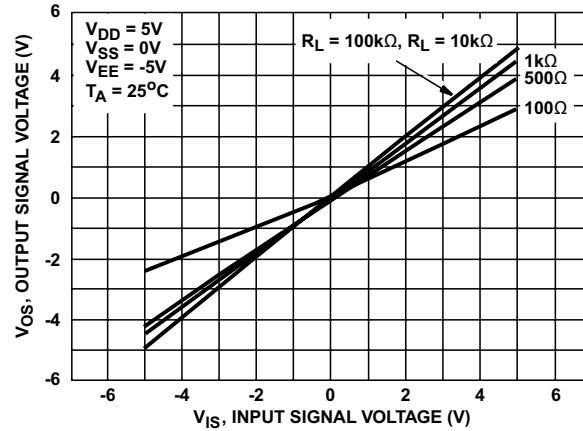


図 8-2. 8 チャンネルのうち 1 つのオン特性

8.3 電源に関する推奨事項

電源には、「[セクション 5.5](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスには、 $0.1\mu F$ のバイパス コンデンサを推奨します。複数のピンに V_{CC} というラベルが付いている場合、 V_{CC} ピンは内部で互いに接続されるため、各 V_{CC} には $0.01\mu F$ または $0.022\mu F$ のコンデンサを推奨します。 V_{CC} と V_{DD} など、異なる電圧で動作するデュアル電源ピンを備えたデバイスでは、各電源ピンに $0.1\mu F$ のバイパス コンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu F$ と $1\mu F$ のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

反射と整合はループアンテナの理論と密接に関連していますが、十分に異なるため、別途議論する価値があります。PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。この反射は主に、パターンの幅の変化が原因です。曲がりの頂点では、パターン幅が 1.414 倍に増加します。これにより、伝送ラインの特性が乱れ、特にパターンの分布静電容量や自己インダクタンスに影響を与え、反射が発生します。すべての PCB パターンが直線的であるとは限らないため、コーナーを曲げる必要があります。図 8-3 に、コーナーを丸める斬新で優れた方法を示します。最後の例のみが一定のパターン幅を維持し、反射を最小限に抑えます。

8.4.2 レイアウト例

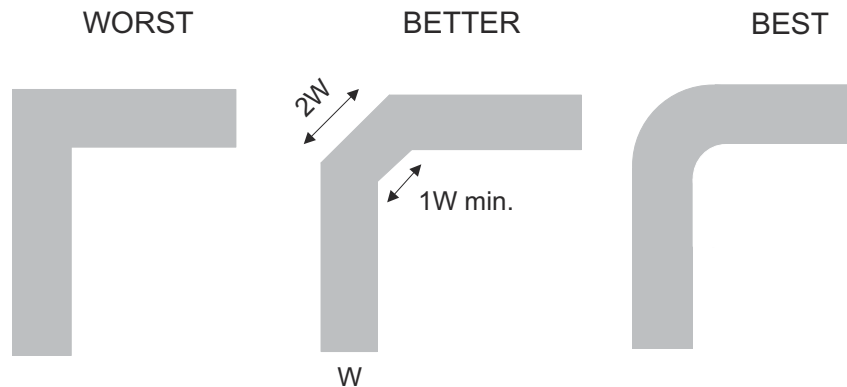


図 8-3. パターン例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2025	*	初版

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD4053BQM96G4Q1	NRND	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CD4053Q
CD4053BQM96G4Q1.A	NRND	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CD4053Q
CD4053BQM96Q1	NRND	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CD4053Q
CD4053BQM96Q1.A	NRND	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CD4053Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD4053B-Q1 :

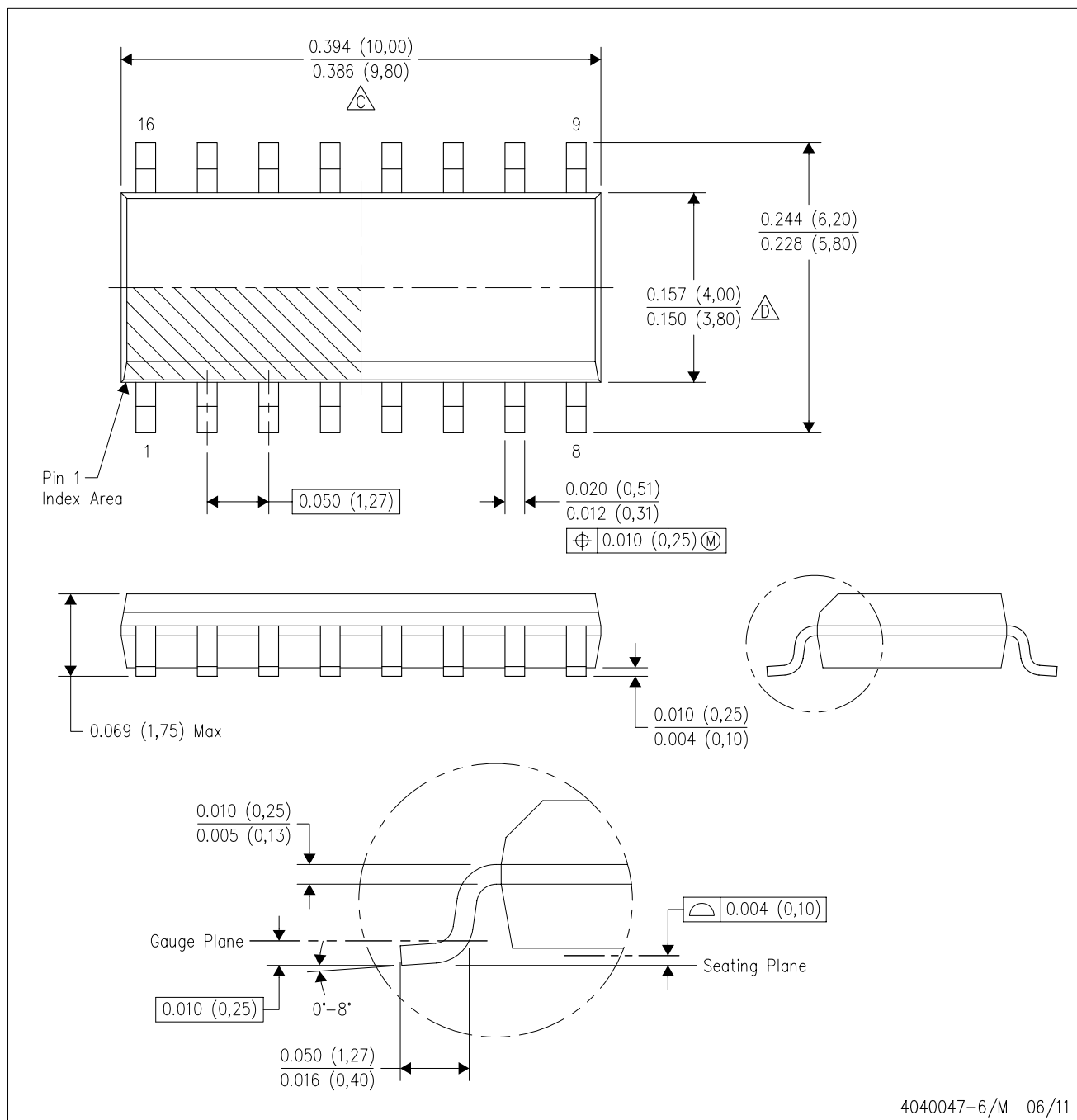
- Catalog : [CD4053B](#)
- Military : [CD4053B-MIL](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AC.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月