

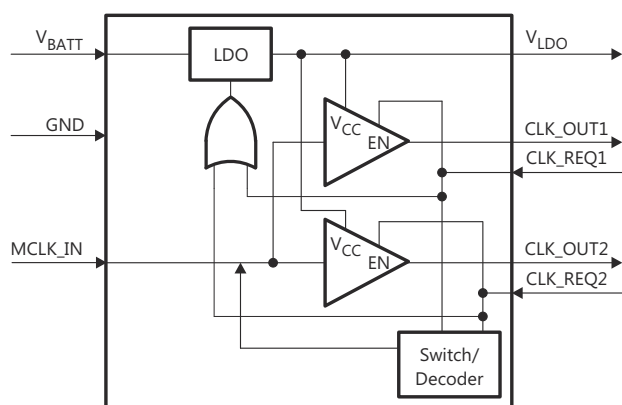
CDC3RL02 位相ノイズの小さい2チャネルのクロック・ファンアウト・バッファ

1 特長

- 小さいノイズの付加:
 - 149dBc/Hz の位相ノイズ (10kHz オフセット)
 - 0.37ps (RMS) の出力ジッタ
- 出力スルー レートの制限による EMI の低減 (10pF~50pF の負荷で 1~5ns の立ち上がり / 立ち下がり時間)
- 適応型出力段による反射の制御
- 外部で利用可能な、レギュレートされた 1.8V の I/O 電源
- 超小型の 8 バンプ YFP、0.4mm ピッチ WCSP (0.8mm × 1.6mm)
- JESD 22 を超える ESD 性能
 - 2000V、人体モデル (A114-A)
 - 1000V、デバイス帯電モデル (JESD22-C101-A Level III)

2 アプリケーション

- 携帯電話
- 全地球測位システム (GPS)
- ワイヤレス LAN
- FM ラジオ
- WiMAX
- W-BT



Copyright © 2017, Texas Instruments Incorporated

概略ブロック図

3 概要

CDC3RL02 は、2 チャネルのクロック ファンアウト バッファであり、加算性位相ノイズが小さくかつファンアウト能力を備えたクロック バッファ機能を必要とするポータブル機器 (携帯電話など) 向けに設計されています。本デバイスは 1 つのクロック源 (温度補償型水晶発振器 (TCXO) など) を複数のペリフェラルへバッファリングします。本デバイスは 2 つのクロック要求入力 (CLK_REQ1 および CLK_REQ2) を備えており、各入力が 1 つのクロック出力を有効化できます。

CDC3RL02 は、マスタ クロック入力 (MCLK_IN) で方形波または正弦波を受け付けるため、AC カップリング コンデンサは必要ありません。許容される最小の正弦波は 0.3V 信号 (ピーク ツー ピーク) です。CDC3RL02 は、チャネル間スキュー、加算性出力ジッタ、加算性位相ノイズが最も小さくなるように設計されています。適応型クロック出力バッファは、広い容量性負荷範囲にわたってスルー レートが制御されているため、EMI 放射が最小化され、信号の整合性が維持され、クロック分配ライン上の信号反射によるリンギングが最小化されます。

CDC3RL02 には低ドロップアウト (LDO) 電圧レギュレータが内蔵されており、2.3V~5.5V の入力電圧を受け付け、1.8V、50mA を出力します。この 1.8V 電源は、レギュレートされた電力を TCXO などの周辺デバイスに供給するため、外部から利用できます。

CDC3RL02 は、0.4mm ピッチのダイ サイズ ボール グリッド アレイ (DSBGA) パッケージ (ウェハー レベル チップ スケール パッケージ (WCSP) と呼びます) (0.8mm × 1.6mm) で供給されます。本デバイスは、スタンバイ時の消費電流が非常に小さくなるように最適化されています。

パッケージ情報

部品番号 ⁽¹⁾	パッケージ	パッケージ サイズ ⁽²⁾
CDC3RL02	YFP (DSBGA, 8)	0.80mm × 1.60mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



Table of Contents

1 特長	1	7.4 Device Functional Modes.....	10
2 アプリケーション	1	8 Application and Implementation	10
3 概要	1	8.1 Application Information.....	10
4 Device Comparison	3	8.2 Typical Application.....	12
5 Pin Configuration and Functions	3	8.3 Power Supply Recommendations.....	13
6 Specifications	4	8.4 Layout.....	13
6.1 Absolute Maximum Ratings.....	4	9 Device and Documentation Support	14
6.2 ESD Ratings.....	4	9.1 Documentation Support.....	14
6.3 Recommended Operating Conditions.....	4	9.2 ドキュメントの更新通知を受け取る方法.....	14
6.4 Thermal Information.....	5	9.3 サポート・リソース.....	14
6.5 Electrical Characteristics.....	5	9.4 Trademarks.....	14
6.6 Typical Characteristics.....	7	9.5 静電気放電に関する注意事項.....	14
7 Detailed Description	9	9.6 用語集.....	14
7.1 Overview.....	9	10 Revision History	14
7.2 Functional Block Diagram.....	9	11 Mechanical, Packaging, and Orderable Information	15
7.3 Feature Description.....	9		

4 Device Comparison

表 4-1. Device Comparison

T _A	PACKAGE ⁽¹⁾	ORDERABLE PART NUMBER	BACKSIDE COATING ⁽²⁾
-40°C to 85°C	YFP	CDC3RL02BYFPR	Yes
-40°C to 85° C	YFP	CDC3RL02YFPR	No

- (1) Package drawings, thermal data, and symbolization are available at www.ti.com/packaging.
 (2) CSP (DSBGA) devices manufactured with backside coating have an increased resistance to cracking due to the increased physical strength of the package. Devices with backside coating are highly encouraged for new designs.

5 Pin Configuration and Functions

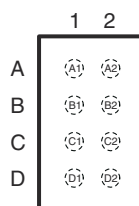


図 5-1. YFP Package 8-Pin DSBGA Top View

表 5-1. Pin Functions

PIN		Type ⁽¹⁾	DESCRIPTION
NAME	NO.		
V _{BATT}	A1	I	Input to internal LDO
CLK_OUT1	A2	O	Clock output 1
V _{LDO}	B1	O	1.8V I/O supply for CDC3RL02 and external TCXO
CLK_REQ1	B2	I	Clock request 1 (from peripheral) for Clock output 1
MCLK_IN	C1	I	Master clock input
CLK_REQ2	C2	I	Clock request 2 (from peripheral) for Clock output 2
GND	D1	–	Ground
CLK_OUT2	D2	O	Clock output 2

(1) I = Input, O = Output

表 5-2. YFP Package Pin Assignments

	1	2
A	V _{BATT}	CLK_OUT1
B	V _{LDO}	CLK_REQ1
C	MCLK_LIN	CLK_REQ2
D	GND	CLK_OUT2

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range, unless otherwise noted. ⁽¹⁾

		MIN	MAX	UNIT
V _{BATT}	Voltage range ⁽²⁾	−0.3	7	V
	Voltage range ⁽³⁾	CLK_REQ_1/2, MCLK_IN	−0.3	V _{BATT} + 0.3
		V _{LDO} , CLK_OUT_1/2 ⁽²⁾	−0.3	V _{BATT} + 0.3
I _{IK}	Input clamp current at V _{BATT} , CLK_REQ_1/2, and MCLK_IN	V _I < 0	−50	mA
I _O	Continuous output current	CLK_OUT1/2	±20	mA
	Continuous current through GND, V _{BATT} , V _{LDO}		±50	mA
T _J	Operating virtual junction temperature	−40	150	°C
T _A	Operating ambient temperature range	−40	85	°C
T _{stg}	Storage temperature range	−55	150	°C

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. *Absolute Maximum Ratings* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If used outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) The input negative-voltage and output voltage ratings can be exceeded if the input and output current ratings are observed.
- (3) All voltage values are with respect to network ground pin.

6.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1000
		Machine Model	200

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process. Manufacturing with less than 500V HBM is possible with the necessary precautions.
- (2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process. Manufacturing with less than 250V CDM is possible with the necessary precautions.

6.3 Recommended Operating Conditions

See ⁽¹⁾

		MIN	MAX	UNIT
V _{BATT}	Input voltage to internal LDO	2.3	5.5	V
V _I	Input voltage	MCLK_IN, CLK_REQ1/2	0	1.89
V _O	Output voltage	CLK_OUT1/2	0	1.8
V _{IH}	High-level input voltage	CLK_REQ1/2	1.3	1.89
V _{IL}	Low-level input voltage	CLK_REQ1/2	0	0.5
I _{OH}	High-level output current, DC current	−8		mA
I _{OL}	Low-level output current, DC current		8	mA

- (1) All unused inputs of the device must be held at V_{CC} or GND to verify proper device operation. See the [Implications of Slow or Floating CMOS Inputs](#) application note.

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾		CDC3RL02	UNIT
		YFP (TSSOP)	
		8 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	107.8	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	1.3	°C/W
R _{θJB}	Junction-to-board thermal resistance	18.1	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	4.5	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	18.1	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application note.

6.5 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
LDO							
V _{OUT}	LDO output voltage	I _{OUT} = 50mA		1.71	1.8	1.89	V
C _{LDO}	External load capacitance			1		10	μF
I _{OUT(SC)}	Short circuit output current	R _L = 0Ω			100		mA
I _{OUT(PK)}	Peak output current	V _{BATT} = 2.3V, V _{LDO} = V _{OUT} – 5%				100	mA
PSR	Power supply rejection	V _{BATT} = 2.3V, I _{OUT} = 2mA,	f _{IN} = 217Hz and 1kHz	60			dB
			f _{IN} = 3.25MHz	40			
t _{su}	LDO startup time	V _{BATT} = 2.3V, C _{LDO} = 1μF, CLK_REQ_n to V _{IH} = 1.71V			0.2		ms
		V _{BATT} = 5.5V, C _{LDO} = 10μF, CLK_REQ_n to V _{IH} = 1.71V				1	
POWER CONSUMPTION							
I _{SB}	Standby current	Device in standby (all V _{CLK_REQ_n} = 0V)			0.2	1	μA
I _{CCS}	Static current consumption	Device active but not switching			0.4	1	mA
I _{OB}	Output buffer average current	f _{IN} = 26MHz, C _{LOAD} = 50pF			4.2		mA
C _{PD}	Output power dissipation capacitance	f _{IN} = 26MHz				44	pF
MCLK_IN INPUT							
I _I	MCLK_IN, CLK_REQ_1/2 leakage current	V _I = V _{IH} or GND				1	μA
C _I	MCLK_IN capacitance	f _{IN} = 26MHz			4.75		pF
R _I	MCLK_IN impedance	f _{IN} = 26MHz			6		kΩ
f _{IN}	MCLK_IN frequency range			10	26	100	MHz
MCLK_IN LVCMOS SOURCE							
Additive phase noise	f _{IN} = 26MHz, t _r /t _f ≤ 1ns	1kHz offset		–140		dBc/Hz	
		10kHz offset		–149			
		100kHz offset		–153			
		1MHz offset		–148			
Additive jitter	f _{IN} = 26MHz, V _{PP} = 0.8V, BW = 10MHz to 5MHz			0.37		ps (rms)	
t _{DL}	MCLK_IN to CLK_OUT_n propagation delay				11		ns
DC _L	Output duty cycle	f _{IN} = 26MHz, DC _{IN} = 50%		45%	50%	55%	

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
MCLK_IN SINUSOIDAL SOURCE							
V _{MA}	Input amplitude			0.3		1.8	V
Additive phase noise	f _{IN} = 26MHz, V _{MA} = 1.8V _{PP}	1kHz offset		–141			dBc/Hz
		10kHz offset		–149			
		100kHz offset		–152			
		1MHz offset		–148			
	f _{IN} = 26MHz, V _{MA} = 0.8V _{PP}	1kHz offset		–139			
		10kHz offset		–146			
		100kHz offset		–150			
		1MHz offset		–146			
Additive jitter	f _{IN} = 26MHz, V _{MA} = 1.8V _{PP} , BW = 10MHz to 5MHz			0.41		ps (RMS)	
t _{DS}	MCLK_IN to CLK_OUT_1/2 propagation delay				12		ns
DC _s	Output duty cycle	f _{IN} = 26MHz, V _{MA} > 1.8V _{PP}		45%	50%	55%	
CLK_OUT_N OUTPUTS							
t _r	20% to 80% rise time	C _L = 10pF to 50pF			1	5.2	ns
t _f	20% to 80% fall time	C _L = 10pF to 50pF			1	5.2	ns
t _{sk}	Channel-to-channel skew	C _L = 10pF to 50pF (C _{L1} = C _{L2})			–0.5	0.5	ns
V _{OH}	High-level output voltage	I _{OH} = –100μA, reference to V _{LDO}			–0.1		V
		I _{OH} = –8mA			1.2		
V _{OL}	Low-level output voltage	I _{OL} = 20μA				0.2	V
		I _{OL} = 8mA				0.55	

6.6 Typical Characteristics

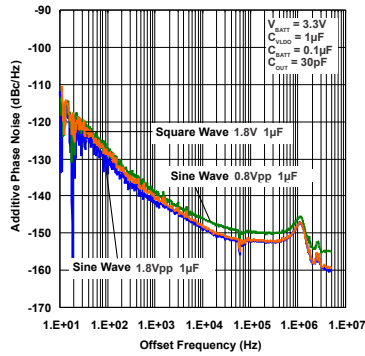


図 6-1. Additive Phase Noise vs Offset Frequency

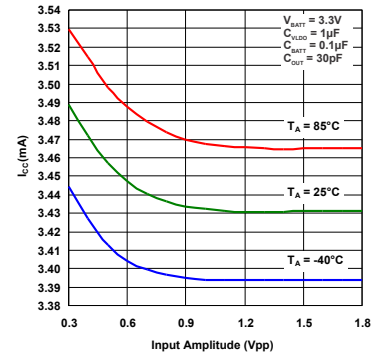


図 6-2. Supply Current vs Input Amplitude

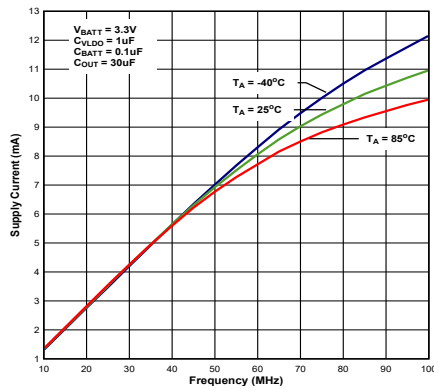


図 6-3. Supply Current vs Input Frequency

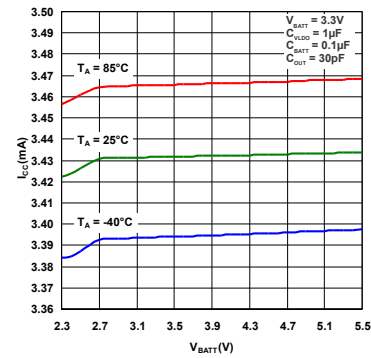


図 6-4. Supply Current vs Supply Voltage

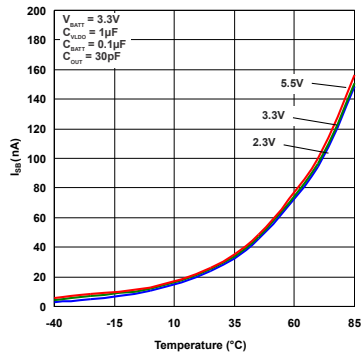


図 6-5. Standby Current vs Temperature

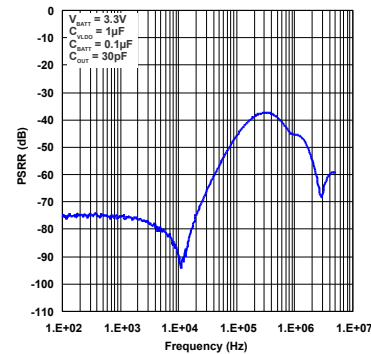


図 6-6. Power Supply Rejection vs Input Frequency

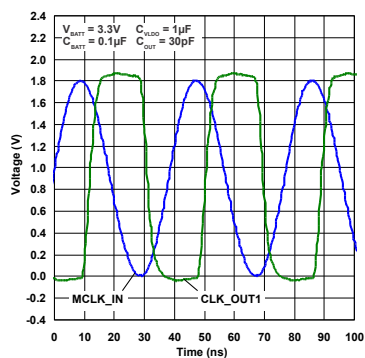


図 6-7. Sine-Wave Input vs Square-Wave Output

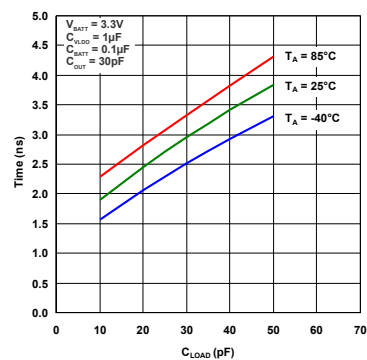


図 6-8. Rise Time vs Load

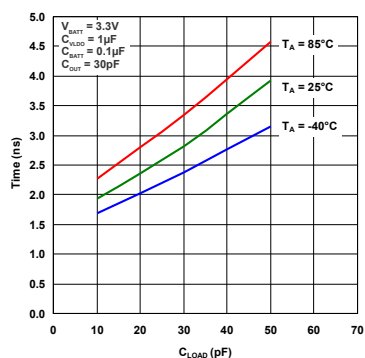


図 6-9. Fall Time vs Load

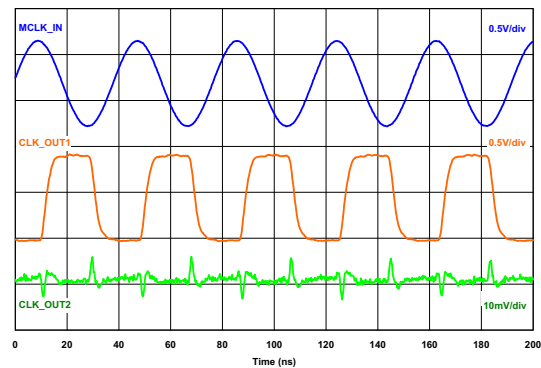


図 6-10. Digital Cross-Talk Scope Shot

7 Detailed Description

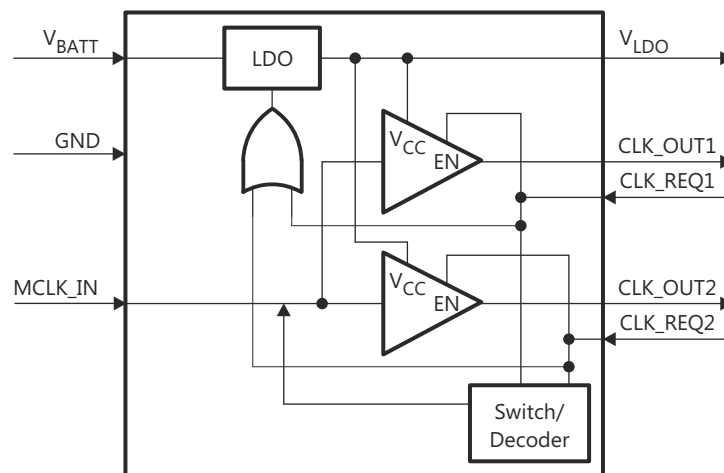
7.1 Overview

The CDC3RL02 is a two-channel clock fan-out buffer and is designed for use in portable end-equipment, such as mobile phones, that require clock buffering with minimal additive phase noise and fan-out capabilities. The device buffers a single master clock, such as a temperature compensated crystal oscillator (TCXO) to multiple peripherals. The device has two clock request inputs (CLK_REQ1 and CLK_REQ2), each of which enable a single clock output.

The CDC3RL02 accepts square or sine waves at the master clock input (MCLK_IN), eliminating the need for an AC coupling capacitor. The smallest acceptable sine wave is a 0.3V signal (peak-to-peak). CDC3RL02 is designed to offer minimal channel-to-channel skew, additive output jitter, and additive phase noise. The adaptive clock output buffers offer controlled slew-rate over a wide capacitive loading range which minimizes EMI emissions, maintains signal integrity, and minimizes ringing caused by signal reflections on the clock distribution lines.

The CDC3RL02 has an integrated Low-Drop-Out (LDO) voltage regulator which accepts input voltages from 2.3V to 5.5V and outputs 1.8V, 50mA. This 1.8V supply is externally available to provide regulated power to peripheral devices such as a TCXO.

7.2 Functional Block Diagram



Copyright © 2017, Texas Instruments Incorporated

7.3 Feature Description

7.3.1 Low Additive Noise

The CDC3RL02 features -149dBc/Hz at 10kHz offset phase noise and 0.37ps (RMS) of output jitter, to provide low noise buffered signals.

7.3.2 Regulated 1.8V Externally Available I/O Supply

The CDC3RL02 allows users to connect to the output of the internal LDO, for providing power to other ICs. For more information, refer to [LDO](#).

7.3.3 Ultra-Small 8-bump YFP 0.4mm Pitch WCSP Package

Using the ultra-small YFP package, the CDC3RL02 is very small and allows the device to be placed on a board with minimum work.

7.4 Device Functional Modes

表 7-1 is the function table for CDC3RL02.

表 7-1. Function Table

INPUTS			OUTPUTS	
CLK_REQ1 ⁽¹⁾	CLK_REQ2 ⁽¹⁾	MCLK_IN	CLK_OUT1	CLK_OUT2
L	L	X	L	L
L	H	CLK	L	CLK
H	L	CLK	CLK	L
H	H	CLK	CLK	CLK

(1) If a CLK_OUT is always enabled, tying the CLK_REQ pin to an external 1.8V source (not VLDO) is acceptable.

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

8.1.1 Input Clock Squarer

図 8-1 shows the input stage of the CDC3RL02. The input signal at MCLK_IN can be a square wave or sine wave. C_{MCLK} is an internal AC coupling capacitor that allows a direct connection from the TCXO to the CDC3RL02 without an external capacitor.

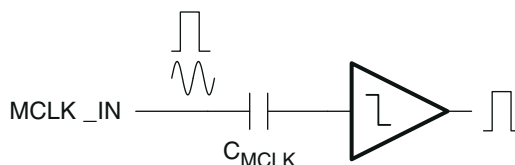


図 8-1. Input Stage With Internal AC Coupling Capacitor

Any external component added in the series path of the clock signal potentially adds phase noise and jitter. The error source associated with the internal decoupling capacitor is included in the specification of the CDC3RL02. The recommended clock frequency band of the CDC3RL02 is 10MHz to 80MHz for specified functionality. All performance metrics are specified at 26MHz. The lowest acceptable sinusoidal signal amplitude is 0.8V_{PP} for specified performance. Amplitudes as low as 0.3V_{PP} are acceptable but with reduced phase-noise and jitter performance.

8.1.2 Output Stage

Each output drives 1.8V LVCMOS levels. Adaptive output buffers limit the rise/fall time of the output to within 1ns to 5ns with load capacitance between 10pF and 50pF. Fast slew rates introduce EMI into the system. Each output buffer limits EMI by keeping the rise/fall time above 1ns. Slow rise/fall times can induce additive phase noise and duty cycle errors in the load device. The output buffer limits these errors by keeping the rise/fall time below 5ns. In addition, the output stage dynamically alters impedance based on the instantaneous voltage level of the output. This dynamic change limits reflections keeping the output signal monotonic during transitions. Each output is active low when not requested to avoid false clocking of the load device.

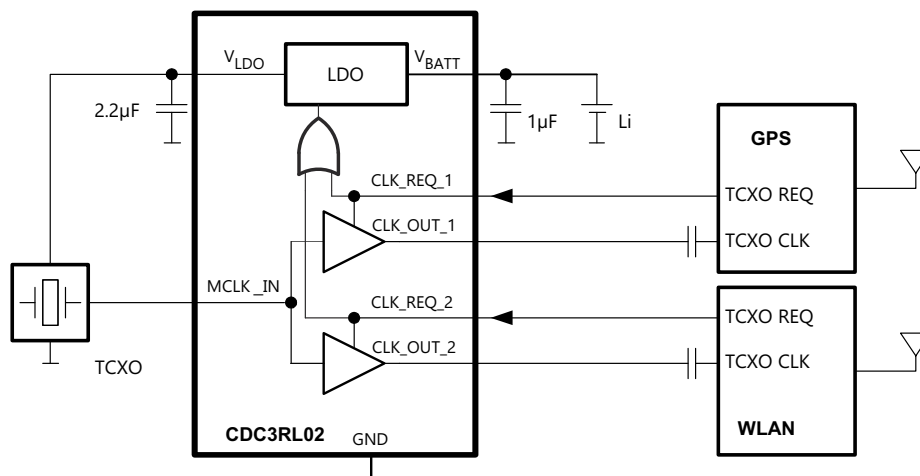
8.1.3 LDO

A low noise 1.8V LDO is integrated to provide the I/O supply for the output buffers. The LDO output is externally available to power a clock source such as a TCXO. A clean supply is provided to the clock buffers and the clock

source for optimum phase noise performance. The input range of the LDO allows the device to be powered directly from a single cell Li battery. The LDO is enabled by either of the CLK_REQ_N signals. When disabled, the device enters a low power shutdown mode consuming less than 1µA from the battery. The LDO requires an output decoupling capacitor in the range of 1µF to 10µF with an equivalent series resistance (ESR) of at least 0.1Ω for compensation and high-frequency PSR. This capacitor must stay within the specified range for capacitance and ESR over the entire operating temperature range. A ceramic capacitor can be used if a small external resistance is added in series with the capacitor to increase the effective ESR. An input bypass capacitor of 1µF or larger is recommended.

8.2 Typical Application

The CDC3RL02 is designed for use in mobile applications as shown in [Figure 8-2](#). In this example, a single low noise TCXO system clock source is buffered to drive a mobile GPS receiver and WLAN transceiver. Each peripheral independently requests an active clock by asserting a single clock request line (CLK_REQ_1 or CLK_REQ_2). When both clock request lines are inactive, the CDC3RL02 enters a low current shutdown mode. In this mode, the LDO output, CLK_OUT_1, and CLK_OUT_2 are pulled to GND and the TCXO is not powered.



Copyright © 2017, Texas Instruments Incorporated

Figure 8-2. Mobile Application

When either peripheral requests the clock, the CDC3RL02 enables the LDO and powers the TCXO. The TCXO output (square wave, sine wave, or clipped sine wave) is converted to a square wave and buffered to the requested output.

8.2.1 Design Requirements

For the typical application, the user must know the following parameters.

Table 8-1. Design Parameters

PARAMETER	DESCRIPTION	EXAMPLE VALUE
V _{BATT}	Input voltage from battery or power supply	3.7V
MCLK_IN	Input frequency from a TCXO	26MHz

8.2.2 Detailed Design Procedure

The designer must verify that all parameters are within the ranges specified in [Recommended Operating Conditions](#).

Each device which receives a clock output from the CDC3RL02 must have the CLK request pin connected to the appropriate CLK_REQ pin on the CDC3RL02. This pin enables the output buffer when a device requests the clock signal.

Control of the clock outputs is possible by using a GPIO from a controller to control the CLK_REQ pins.

If one of the outputs is unused, then tie the CLK_REQ and CLK_OUT pins to ground. If the user wants a CLK_OUT pin always enabled, tie the paired CLK_REQ pin to an external 1.8V source (not V_{LDO} because the LDO output is not enabled until at least one CLK_REQ pin is high).

8.2.3 Application Curve

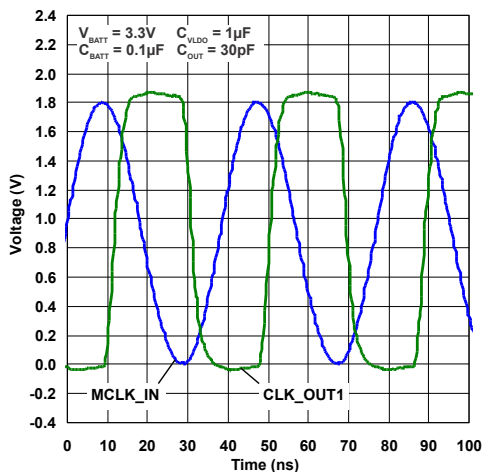


図 8-3. Sine Wave Input vs Output

8.3 Power Supply Recommendations

General power supply recommendations are to be considered for the CDC3RL02. These include:

- Decoupling capacitors placed close to the V_{BATT} pin of typical values (1μF)
- V_{BATT} be within the recommended voltage range

8.4 Layout

8.4.1 Layout Guidelines

To provide reliability of the device, following common printed-circuit board layout guidelines is recommended.

- Bypass capacitors must be used on power supplies and must be placed as close as possible to the V_{BATT} pin
- Short trace-lengths must be used to avoid excessive loading
- For improved performance on the clock output lines, use a ground trace on the sides of the clock trace to minimize crosstalk and EMI

8.4.2 Layout Example

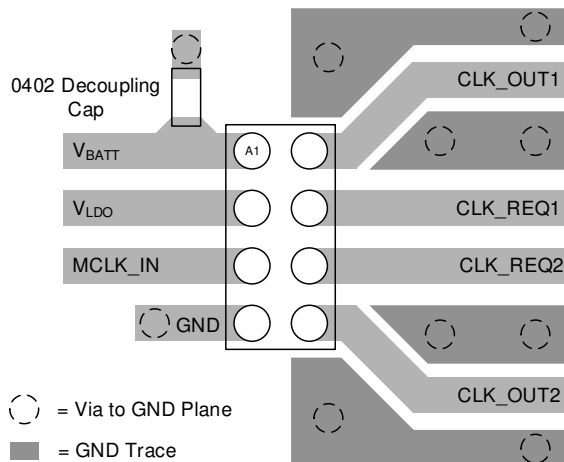


図 8-4. Example Layout for YFP Package

9 Device and Documentation Support

9.1 Documentation Support

9.1.1 Related Documentation

- Texas Instruments, [AN-2028 LMH2191 Evaluation Board](#), compatible EVM user's guide

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (November 2022) to Revision H (October 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• Updated the Electrical Characteristics for increased 100MHz MCLK_IN maximum frequency.....	5

Changes from Revision F (August 2019) to Revision G (November 2022)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• Changed MCLK_IN frequency maximum value from: 54MHz to: 80MHz.....	5
• Changed the x-axis range in 図 6-3	7
• Moved the <i>Power Supply Recommendations</i> and <i>Layout</i> sections to the <i>Application and Implementation</i> section.....	13

Changes from Revision E (August 2018) to Revision F (August 2019)	Page
• Changed MCLK_IN frequency maximum value from: 52MHz to: 54MHz.....	5

Changes from Revision D (April 2017) to Revision E (August 2018)	Page
• Changed V _{LDO} test conditions to V _{IH} conditions in the <i>Electrical Characteristics</i> table	5
• Added a tablenote to the <i>Function Table</i>	10
• Added content to the <i>LDO</i> section	10
• Changed the last sentence in the <i>Detailed Design Procedure</i> section	12

Changes from Revision C (January 2016) to Revision D (April 2017)	Page
• Updated clock request descriptions in the <i>Pin Functions</i> table.....	3
• Added <i>Receiving Notification of Documentation Updates</i> section.....	14

Changes from Revision B (December 2015) to Revision C (January 2016)	Page
• Added the <i>Device Comparison</i>	3

Changes from Revision A (September 2015) to Revision B (November 2015)	Page
• 「熱に関する情報」表、「概要」、「機能説明」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション..	1

Changes from Revision * (November 2009) to Revision A (September 2015)	Page
• ドキュメントのフォーマットを新しい形式に変更。	1

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDC3RL02BYFPR	Active	Production	DSBGA (YFP) 8	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	4LN
CDC3RL02BYFPR.A	Active	Production	DSBGA (YFP) 8	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	4LN
CDC3RL02BYFPR.B	Active	Production	DSBGA (YFP) 8	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	4LN
CDC3RL02YFPR	Active	Production	DSBGA (YFP) 8	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	4LN
CDC3RL02YFPR.A	Active	Production	DSBGA (YFP) 8	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	4LN
CDC3RL02YFPR.B	Active	Production	DSBGA (YFP) 8	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	4LN

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDC3RL02BYFPR	DSBGA	YFP	8	3000	178.0	9.2	0.9	1.75	0.6	4.0	8.0	Q1
CDC3RL02YFPR	DSBGA	YFP	8	3000	178.0	9.2	0.9	1.75	0.6	4.0	8.0	Q1

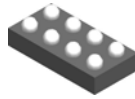
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDC3RL02BYFPR	DSBGA	YFP	8	3000	220.0	220.0	35.0
CDC3RL02YFPR	DSBGA	YFP	8	3000	220.0	220.0	35.0

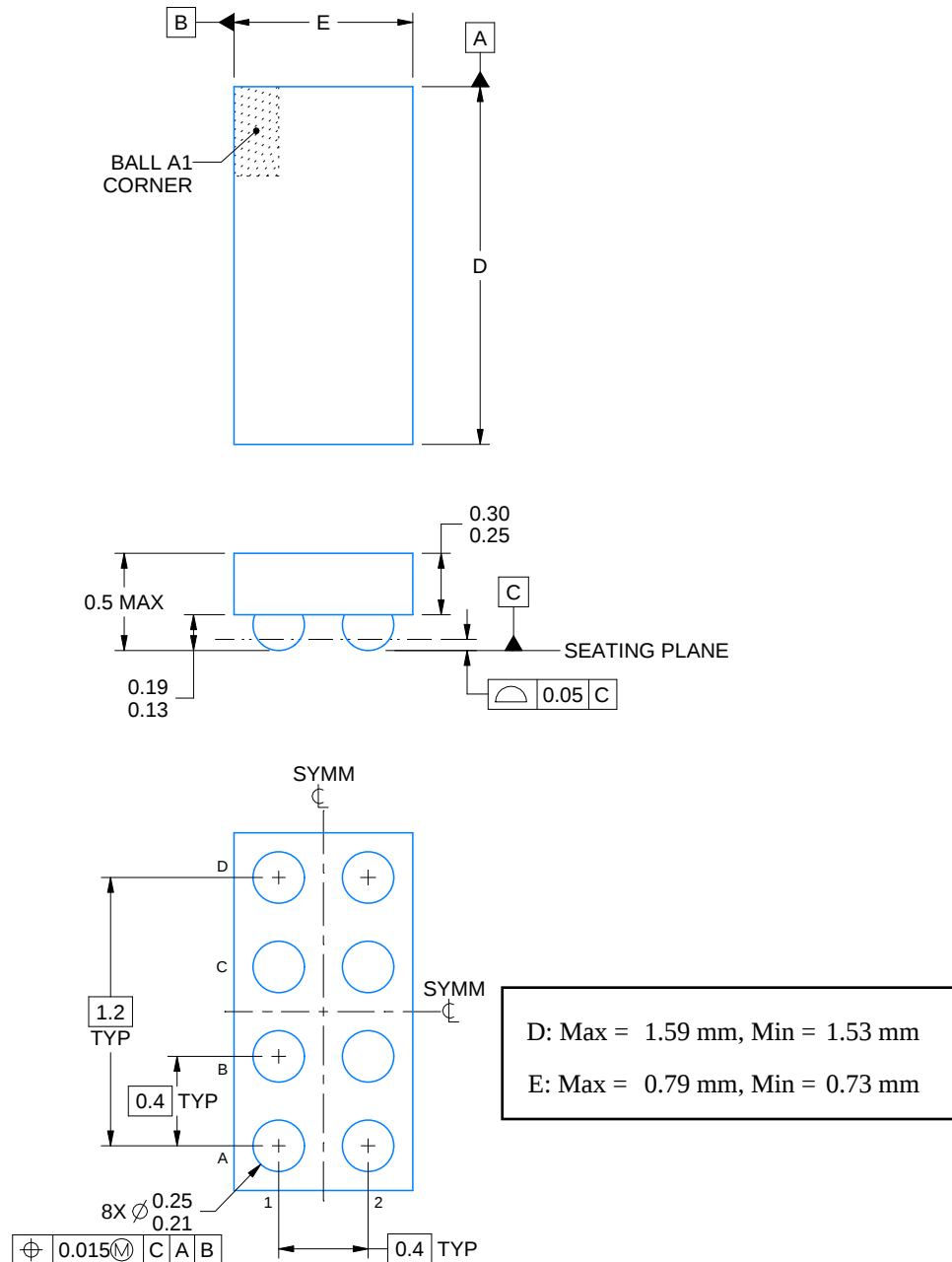
YFP0008



PACKAGE OUTLINE

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



4225242/A 08/2019

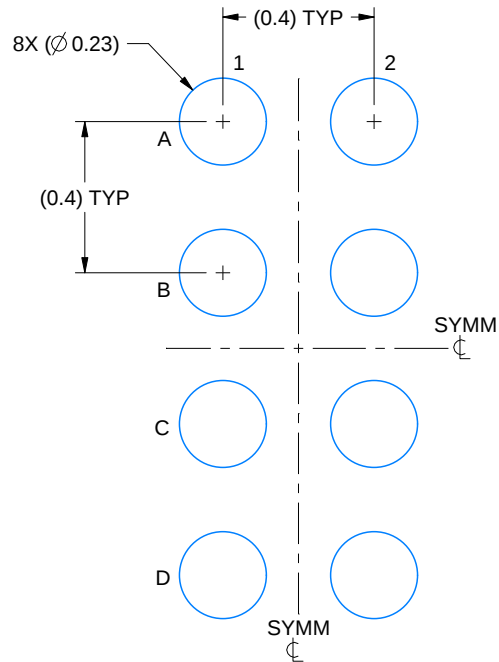
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

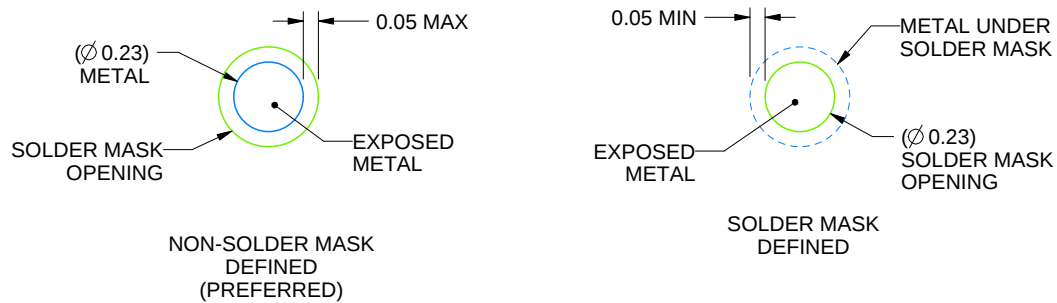
YFP0008

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4225242/A 08/2019

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
 BASED ON 0.1 mm THICK STENCIL
 SCALE: 50X

4225242/A 08/2019

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月