

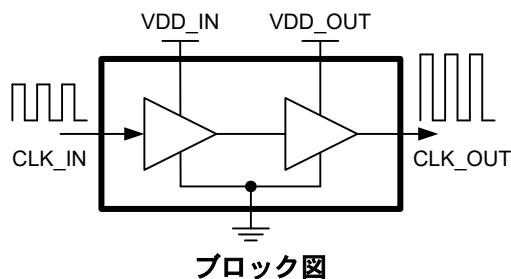
## CDCBT1001 1.2V から 3.3V へのクロック バッファ / レベルシフタ

### 1 特長

- 低追加ジッタおよび位相ノイズ:
  - 最大 0.8ps 12kHz ~ 5MHz 追加 RMS ジッタ ( $f_{out} = 24\text{MHz}$ )
  - 1kHz オフセット時の最大位相ノイズ: -120dBc/Hz ( $f_{out} = 24\text{MHz}$ )
  - 最大位相ノイズ フロア: -148dBc/Hz ( $f_{out} = 24\text{MHz}$ ,  $f_{offset} \geq 1\text{MHz}$ )
- 立ち上がり / 立ち下がり時間: 5ns 20% ~ 80%
- 伝搬遅延時間: 10ns
- 低消費電流
- 40°C ~ 85°C の動作温度範囲
- 動作周波数によるフレキシブル出力

### 2 アプリケーション

- パーソナル エレクトロニクスにおける FPGA / プロセッサのクロック バッファリング / レベルシフタ
- サーバーとアドイン カードの 1.2V クロック バッファとレベルシフタ



### 3 説明

CDCBT1001 は、1.2V から 3.3V へのクロック バッファ / レベルシフタです。VDD\_IN ピンの電源電圧は、入力の LVC MOS クロック レベルを定義します。VDD\_OUT ピンの電源電圧は、出力の LVC MOS クロック レベルを定義します。VDD\_IN = 1.2V、1.8V、2.5V、3.3V ±10%。VDD\_OUT = 1.2V、1.8V、2.5V、3.3V ±10%。

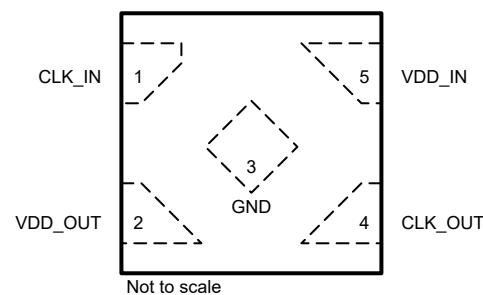
24MHz 時の 12kHz ~ 5MHz の追加 RMS ジッタは 0.8ps 未満です。

#### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
CDCBT1001	DPW (X2SON, 5)	0.80mm × 0.80mm

(1) 詳細については、[セクション 10](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はビンも含まれます。



ピン構成

## 目次

1 特長.....	1	6.4 デバイスの機能モード.....	8
2 アプリケーション.....	1	7 アプリケーションと実装.....	9
3 説明.....	1	7.1 アプリケーション情報.....	9
4 ピン構成および機能.....	3	7.2 代表的なアプリケーション.....	9
5 仕様.....	4	7.3 電源に関する推奨事項.....	10
5.1 絶対最大定格.....	4	7.4 レイアウト.....	10
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	11
5.3 推奨動作条件.....	4	8.1 ドキュメントのサポート.....	11
5.4 熱に関する情報.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	11
5.5 電気的特性.....	5	8.3 サポート・リソース.....	11
5.6 代表的特性.....	7	8.4 商標.....	11
6 詳細説明.....	8	8.5 静電気放電に関する注意事項.....	11
6.1 概要.....	8	8.6 用語集.....	11
6.2 機能ブロック図.....	8	9 改訂履歴.....	11
6.3 機能説明.....	8	10 メカニカル、パッケージ、および注文情報.....	11

## 4 ピン構成および機能

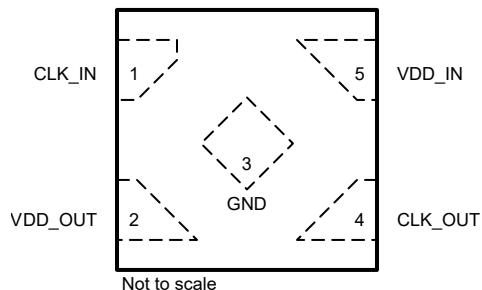


図 4-1. DPW パッケージ 5 ピン X2SON 透過上面図

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
CLK_IN	1	I	クロック入力。このピンに LVC MOS 入力クロックが注入されます。許容される LVC MOS 電圧レベルは、VDD_IN によって定義されます。
CLK_OUT	4	O	クロック出力。このピンは LVC MOS クロックを出力します。出力の LVC MOS 電圧レベルは、VDD_OUT によって定義されます。
VDD_IN	5	P	入力電源電圧。VDD_IN は、1.2V、1.8V、2.5V、3.3V のいずれか ±10% です。
VDD_OUT	2	P	出力電源電圧。VDD_OUT は、1.2V、1.8V、2.5V、3.3V のいずれか ±10% です。
GND	3	G	グランド

(1) I = 入力、O = 出力、P = 電源、G = グランド

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
VDD_IN	VDD_IN 電源電圧	-0.5	3.63	V
VDD_OUT	VDD_OUT 電源電圧	-0.5	3.63	V
V <sub>I</sub>	入力電圧 <sup>(2)</sup>	-0.5	3.63	V
V <sub>O</sub>	高インピーダンスまたは電源オフ状態で出力に印加される電圧 <sup>(2)</sup>	-0.5	3.63	V
	High または Low 状態で出力に印加される電圧 <sup>(2) (3)</sup>	-0.5	VDD_OUT + 0.2	V
I <sub>IK</sub>	入力クランプ電流、V <sub>I</sub> < 0		-50	mA
I <sub>OK</sub>	出力クランプ電流、V <sub>O</sub> < 0		-50	mA
I <sub>O</sub>	連続出力電流	-50	50	mA
	VDD_OUT または GND を通過する連続電流	-50	50	mA
I <sub>O</sub>	VDD_IN を通過する連続電流	-10	10	mA
T <sub>J</sub>	接合部温度	-40	150	°C
T <sub>stg</sub>	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

(3) 出力電流の定格を順守しても、出力の正電圧の定格を最大 2.25V 超過することがあります。

### 5.2 ESD 定格

		値	単位	所有者
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JS-002 に準拠、すべてのピン <sup>(2)</sup>	±1000	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD_IN	入力電源電圧	1.08	1.2	1.32	V
VDD_IN	入力電源電圧	1.62	1.8	1.98	V
VDD_IN	入力電源電圧	2.25	2.5	2.75	V
VDD_IN	入力電源電圧	2.97	3.3	3.63	V
VDD_OUT	出力電源電圧	1.08	1.2	1.32	V
VDD_OUT	出力電源電圧	1.62	1.8	1.98	V
VDD_OUT	出力電源電圧	2.25	2.5	2.75	V
VDD_OUT	出力電源電圧	2.97	3.3	3.63	V
T <sub>A</sub>	周囲温度	-40		85	°C

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		CDCBT1001	単位
		DPW (X2SON)	
		5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	462.7	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース(上面)への熱抵抗	227.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	326.5	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	33.8	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	325.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 5.5 電気的特性

自由気流での動作温度範囲内(特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>電源特性</b>					
IDD_IN	VDD_IN の消費電流	入力クロックと出力クロックは両方ともトグルされています。2pF 負荷終端。f <sub>0</sub> = 12MHz。		35	μA
		入力クロックと出力クロックは両方ともトグルされています。2pF 負荷終端。f <sub>0</sub> = 24MHz。		60	μA
IDD_OUT	VDD_OUT の消費電流	入力クロックと出力クロックは両方ともトグルされています。2pF 負荷終端。f <sub>0</sub> = 12MHz。		500	μA
		入力クロックと出力クロックは両方ともトグルされています。2pF 負荷終端。f <sub>0</sub> = 24MHz。		1000	μA
<b>クロック入力特性</b>					
f <sub>0</sub>	動作周波数	VDD_OUT = 3.3V	DC	75	MHz
f <sub>0</sub>	動作周波数	VDD_OUT = 2.5V	DC	75	MHz
f <sub>0</sub>	動作周波数	VDD_OUT = 1.8V	DC	75	MHz
f <sub>0</sub>	動作周波数	VDD_IN = 1.2V、VDD_OUT = 1.2V	DC	50	MHz
f <sub>0</sub>	動作周波数	VDD_IN = 1.8V、VDD_OUT = 1.2V	DC	75	MHz
f <sub>0</sub>	動作周波数	VDD_IN = 2.5V、VDD_OUT = 1.2V		24	MHz
f <sub>0</sub>	動作周波数	VDD_IN = 3.3V、VDD_OUT = 1.2V		24	MHz
I <sub>IN LEAK</sub>	入力リーキ電流		-8	8	μA
V <sub>IH</sub>	高入力電圧		VDD_IN x 0.8		V
V <sub>IL</sub>	低入力電圧			VDD_IN x 0.2	V
Δv/Δt	入力エッジ レート		0.01		V/ns
C <sub>I</sub>	入力容量			2	pF
t <sub>startup</sub>	電源が 0.5V を超えてから入力クロックを印加する前の時間で、グリッヂレス出力を供給			225	μs
<b>クロック出力特性</b>					
V <sub>OH</sub>	出力電圧 High	V <sub>I</sub> = V <sub>IH</sub> 、I <sub>OH</sub> = -100μA、VDD_OUT = 1.62 ~ 1.98V	VDD_OUT - 0.1		V
V <sub>OH</sub>	出力電圧 High	V <sub>I</sub> = V <sub>IH</sub> 、I <sub>OH</sub> = -8mA、VDD_OUT = 1.62V	1.2		V
V <sub>OL</sub>	出力電圧 Low	V <sub>I</sub> = V <sub>IL</sub> 、I <sub>OL</sub> = 100μA、VDD_OUT = 1.62 ~ 1.98 V		0.1	V
V <sub>OL</sub>	出力電圧 Low	V <sub>I</sub> = V <sub>IL</sub> 、I <sub>OL</sub> = 8mA、VDD_OUT = 1.62V		0.45	V

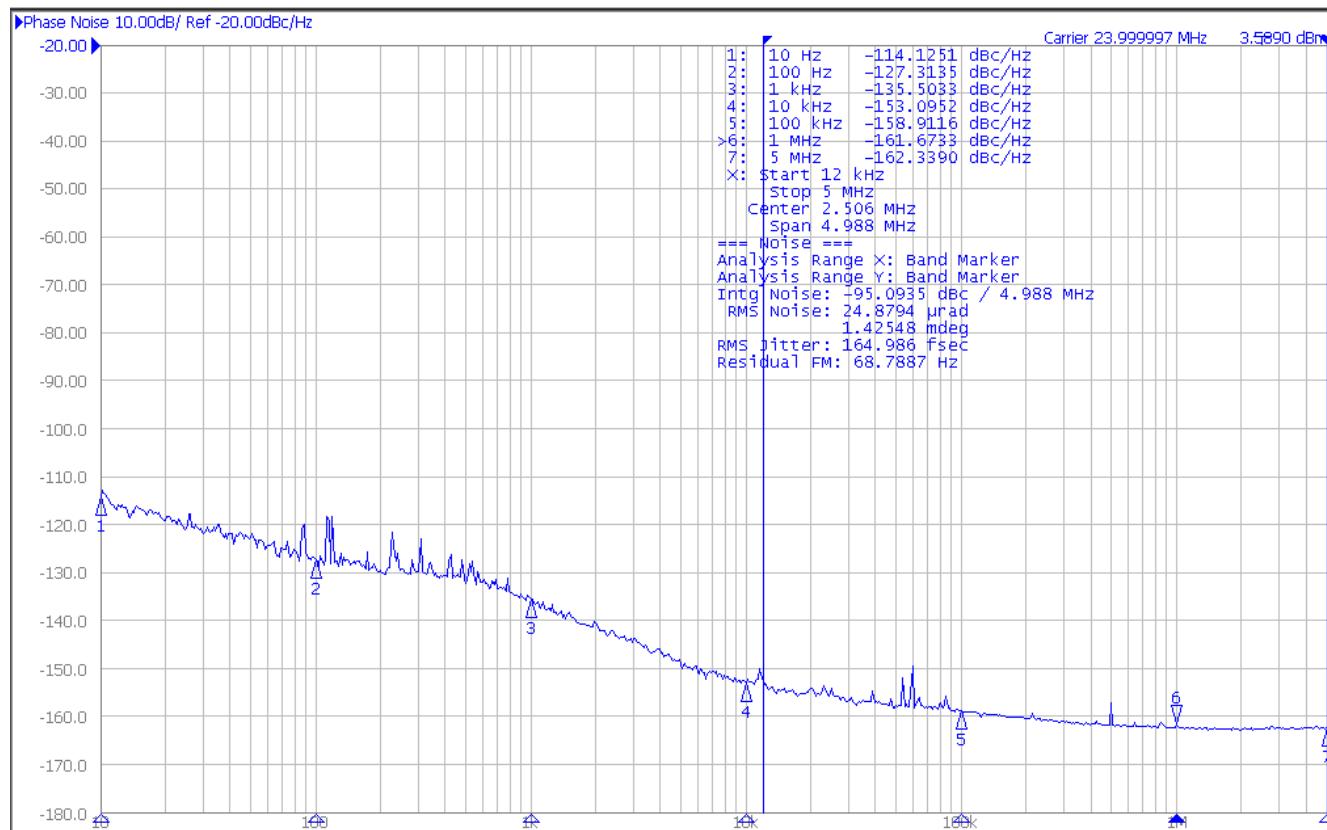
自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ODC	出力デューティ サイクル	入力デューティ サイクル = 45% ~ 55%、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IL} \leq 0.15 \times VDD\_IN$ 、 $V_{IH} \geq 0.85 \times VDD\_IN$ 、 $V_{IH} - V_{IL} \geq 850mVpp$	40	60	60	%
		入力デューティ サイクル = 45% ~ 55%、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IL} \leq 0.2 \times VDD\_IN$ 、 $V_{IH} \geq 0.8 \times VDD\_IN$ 、 $V_{IH} - V_{IL} \geq 850mVpp$	37	63	63	%
$t_R$ , $t_F$	クロック出力立ち上がり / 立ち下がり時間	20% ~ 80%、2pF の負荷容量			3	ns
$t_{PD}$	入力から出力までの伝搬遅延	入力スルーレート $\geq 0.2V/ns$ 、 $V_{IL} \leq 0.2 \times VDD\_IN$ 、 $V_{IH} \geq 0.8 \times VDD\_IN$ 、 $V_{IH} - V_{IL} \geq 850mVpp$		10	10	ns
$R_{out}$	出力インピーダンス			34	34	$\Omega$

#### クロック出力性能

$RJ_{RMS-ADD}$	12kHz ~ 5MHz 加算 RMS ランダム ジッタ	$f_0 = 24MHz$ 、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IH} - V_{IL} \geq 850mVpp$		0.8	ps
$PN_{10}$	10Hz での出力位相ノイズ	$f_0 = 24MHz$ 、入力位相ノイズ = $-104dBc/Hz$ 、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IH} - V_{IL} \geq 850mVpp$		-100	$dBc/Hz$
$PN_{100}$	100Hz での出力位相ノイズ	$f_0 = 24MHz$ 、入力位相ノイズ = $-127dBc/Hz$ 、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IH} - V_{IL} \geq 850mVpp$		-110	$dBc/Hz$
$PN_{1k}$	1kHz での出力位相ノイズ	$f_0 = 24MHz$ 、入力位相ノイズ = $-137dBc/Hz$ 、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IH} - V_{IL} \geq 850mVpp$		-120	$dBc/Hz$
$PN_{10k}$	10kHz での出力位相ノイズ	$f_0 = 24MHz$ 、入力位相ノイズ = $-159dBc/Hz$ 、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IH} - V_{IL} \geq 850mVpp$		-130	$dBc/Hz$
$PN_{100k}$	100kHz での出力位相ノイズ	$f_0 = 24MHz$ 、入力位相ノイズ = $-164dBc/Hz$ 、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IH} - V_{IL} \geq 850mVpp$		-140	$dBc/Hz$
$PN_{1M}$	1MHz での出力位相ノイズ	$f_0 = 24MHz$ 、入力位相ノイズ = $-166dBc/Hz$ 、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IH} - V_{IL} \geq 850mVpp$		-148	$dBc/Hz$
$PN_{5M}$	5MHz での出力位相ノイズ	$f_0 = 24MHz$ 、入力位相ノイズ = $-165dBc/Hz$ 、入力スルーレート $\geq 0.2V/ns$ 、 $V_{IH} - V_{IL} \geq 850mVpp$		-148	$dBc/Hz$

## 5.6 代表的特性



VDD\_IN = 1.2V, VDD\_OUT = 1.8V, T<sub>A</sub> = 25°C.

電気的特性表で規定されている入力位相ノイズ

図 5-1. 24MHz 位相ノイズ

## 6 詳細説明

### 6.1 概要

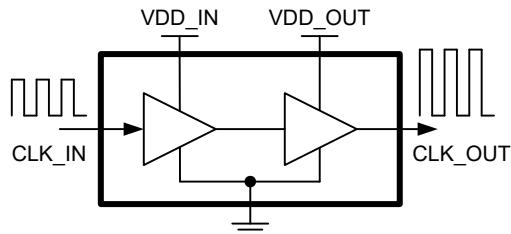
CDCBT1001 はシングルチャネルの 1.2V から 1.8V または 3.3V へ、および 1.8V から 3.3V へのクロックバッファ / レベルシフタです。VDD\_IN は入力の LVC MOS クロック レベルを定義し、VDD\_OUT は出力の LVC MOS クロック レベルを定義します。

デバイスの柔軟性を [表 6-1](#) に示します。

**表 6-1. 入出力の LVC MOS レベル変換と動作周波数範囲**

	VDD_OUT = 1.2V±10%	VDD_OUT = 1.8V±10%	VDD_OUT = 2.5V±10%	VDD_OUT = 3.3V±10%
VDD_IN = 1.2V±10%	DC - 50MHz	DC - 75MHz	DC - 75MHz	DC - 75MHz
VDD_IN = 1.8V±10%	DC - 75MHz	DC - 75MHz	DC - 75MHz	DC - 75MHz
VDD_IN = 2.5V±10%	24MHz~75MHz	DC - 75MHz	DC - 75MHz	DC - 75MHz
VDD_IN = 3.3V±10%	24MHz~75MHz	DC - 75MHz	DC - 75MHz	DC - 75MHz

### 6.2 機能ブロック図



### 6.3 機能説明

#### 6.3.1 パワーダウン許容入力

このデバイスは、チップが電源オフのとき、入力ピンにクロック信号を送ることができます。

#### 6.3.2 昇圧変換

このデバイスは、1.2V から 1.8V へ、1.2V から 3.3V へ、1.8V から 3.3V への昇圧変換をサポートしています。

### 6.4 デバイスの機能モード

このデバイスには、推奨動作条件内で動作した場合に適用される 1 つの動作モードがあります。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

CDCBT1001 デバイスは、異なるインターフェイス電圧で動作するデバイスまたはシステム間を接続するためのレベル変換アプリケーションで使用できます。

### 7.2 代表的なアプリケーション

#### 7.2.1 プロセッサ クロックの昇圧変換

図 7-1 に、クロックレベルシフトアプリケーションで使われている CDCBT1001 の例を示します。

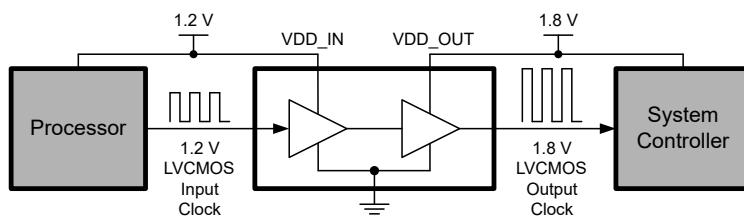


図 7-1. プロセッサ クロックの昇圧変換アプリケーション

#### 7.2.1.1 設計要件

この設計例では、表 7-1 に示すパラメータを使用します。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入力電源電圧	1.2V
出力電源電圧	1.8V

#### 7.2.1.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 入力クロック
  - $V_{DD\_IN}$  の電源電圧によって、入力クロックの電圧範囲が決まります。
  - 有効なロジック High の場合、High レベルのクロック入力は  $V_{IH}$  の仕様を超えている必要があります。有効なロジック Low の場合、Low レベルのクロック入力は  $V_{IL}$  を下回る必要があります。
  - デューティサイクルや位相ノイズなど一部の仕様には、 $V_{IH}$ 、 $V_{IL}$ 、入力スイング、入力スルーレートの追加要件があります。電気的特性表の「テスト条件」列を参照してください。
- 出力クロック
  - $V_{DD\_OUT}$  の電源電圧によって、出力クロックの電圧範囲が決まります。

#### 7.2.1.3 アプリケーション曲線

代表的特性セクションに記載されている 図 5-1 は、プロセッサ クロックの昇圧変換アプリケーション例のアプリケーション曲線としても使用できます。

**表 7-2. グラフ一覧**

タイトル	図
24MHz 位相ノイズ	図 5-1

## 7.3 電源に関する推奨事項

各 VDD ピンに  $0.1\mu\text{F}$  バイパスコンデンサを配置することを推奨します。

## 7.4 レイアウト

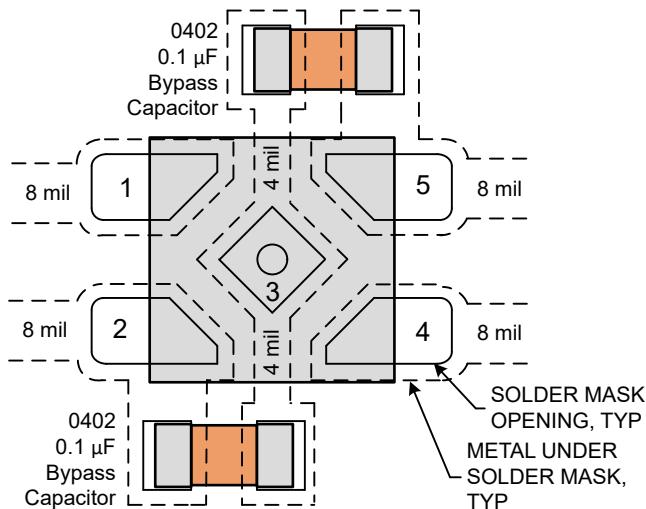
### 7.4.1 レイアウトのガイドライン

デバイスの信頼性を維持するため、次に示す一般的なプリント回路基板レイアウトのガイドラインに従います。

- 電源にはバイパスコンデンサを使用します。
- 過度の負荷を避けるため、短いパターンを使用します。

図 7-2 に、DPW (X2SON-5) パッケージの基板レイアウト例が示されています。このレイアウト例には、2 つの 0402 (メートル法) コンデンサが含まれており、このデータシートの末尾に追加されているパッケージ外形図に記載された測定値が使われています。直径  $0.1\text{mm}$  ( $3.973\text{mil}$ ) のビアが本デバイスの中央に直接配置されています。別の基板層を経由してセンター ピン接続を引き出すためにこのビアを使うことも、このビアをレイアウトから除外することもできます。

### 7.4.2 レイアウト例

**図 7-2. DPW (X2SON-5) パッケージのレイアウト例**

## 8 デバイスおよびドキュメントのサポート

### 8.1 ドキュメントのサポート

#### 8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーションノート
- テキサス・インスツルメンツ、『[TI の X2SON パッケージによる設計と製造](#)』アプリケーションノート

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2022) to Revision A (October 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 文書全体を通して、表、図、相互参照の入力および出力電源電圧範囲を更新.....	1
• 詳細説明に「入出力の LVC MOS レベル変換と動作周波数範囲」表を追加.....	8

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDCBT1001DPWR	Active	Production	X2SON (DPW)   5	3000   LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	BT
CDCBT1001DPWR.B	Active	Production	X2SON (DPW)   5	3000   LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	BT

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

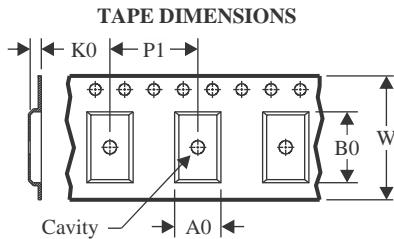
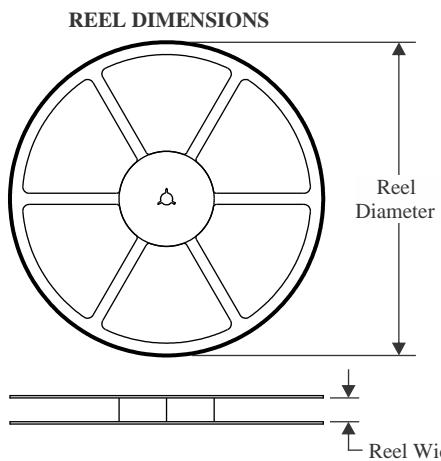
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

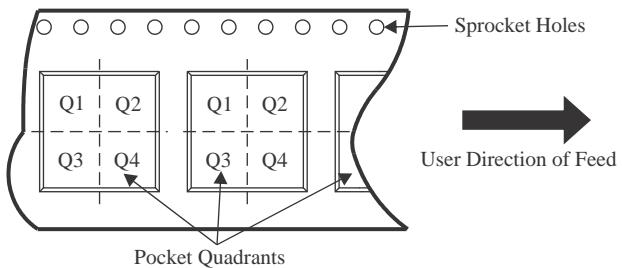
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



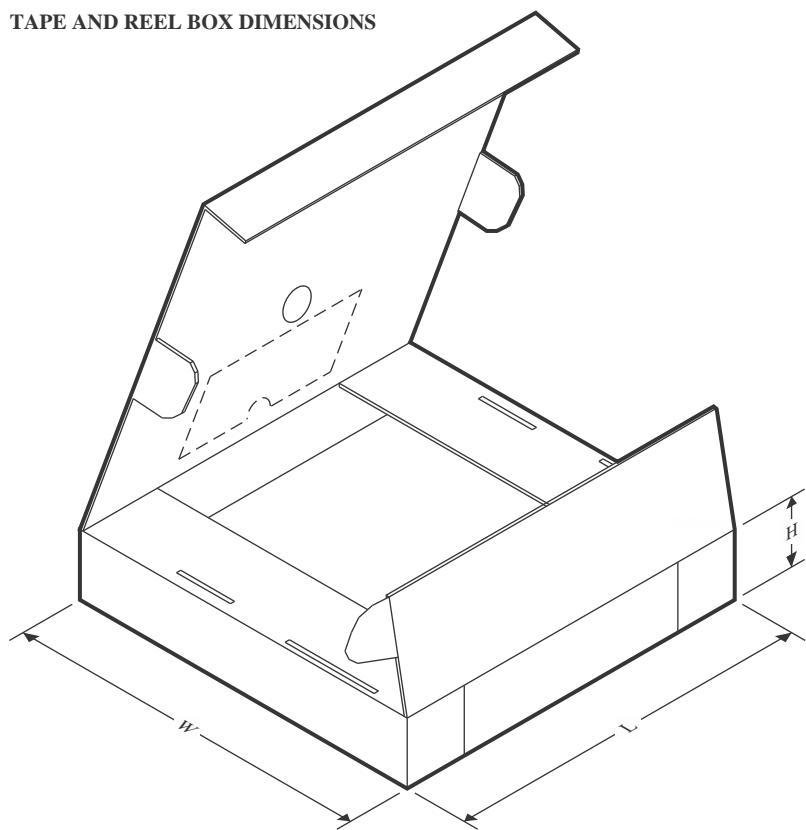
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCBT1001DPWR	X2SON	DPW	5	3000	178.0	8.4	0.91	0.91	0.5	2.0	8.0	Q3

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCBT1001DPWR	X2SON	DPW	5	3000	205.0	200.0	33.0

**DPW 5**

**GENERIC PACKAGE VIEW**

**X2SON - 0.4 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4211218-3/D

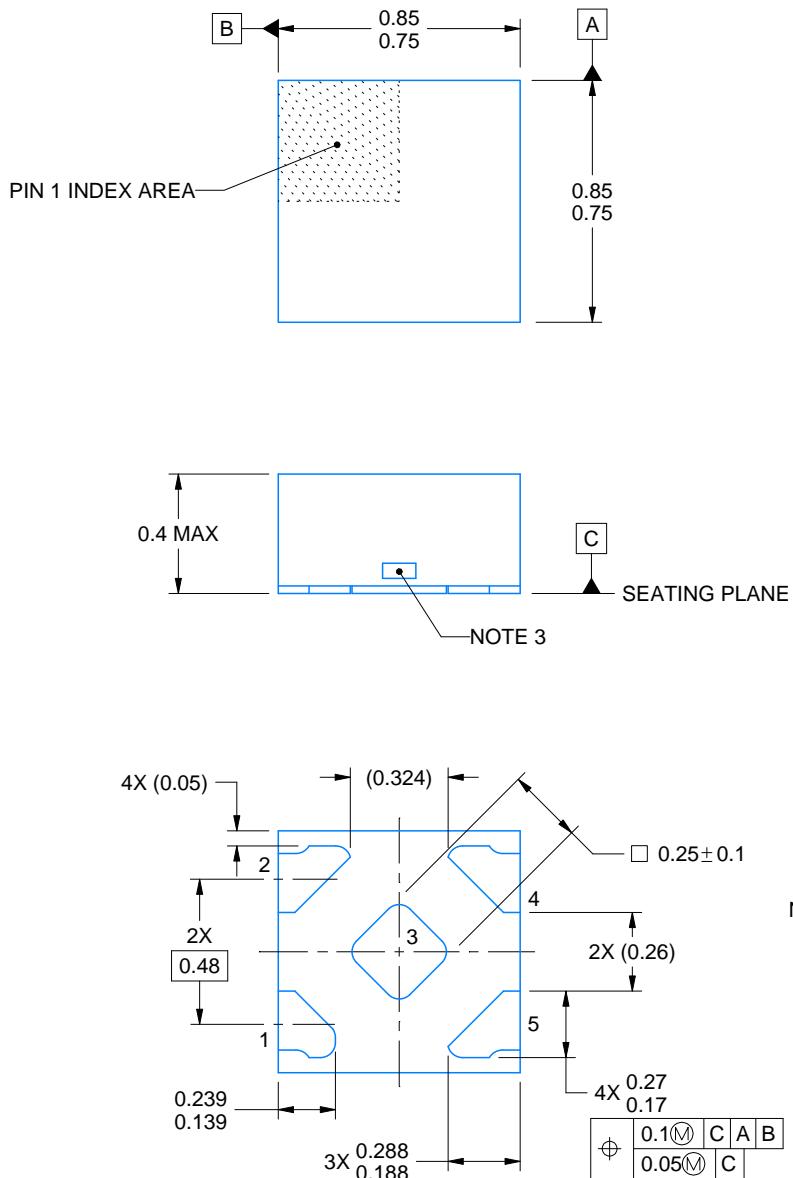
## **PACKAGE OUTLINE**

**DPW0005A**



## X2SON - 0.4 mm max height

## PLASTIC SMALL OUTLINE - NO LEAD



4223102/D 03/2022

## NOTES:

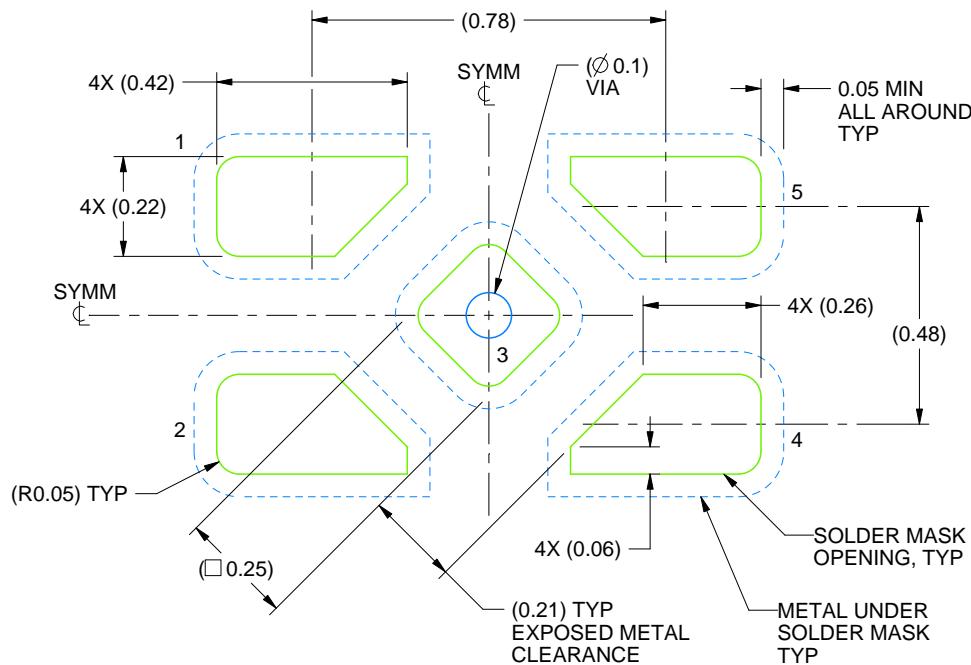
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. The size and shape of this feature may vary.

## **EXAMPLE BOARD LAYOUT**

**DPW0005A**

## X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



## LAND PATTERN EXAMPLE SOLDER MASK DEFINED SCALE:60X

4223102/D 03/2022

## NOTES: (continued)

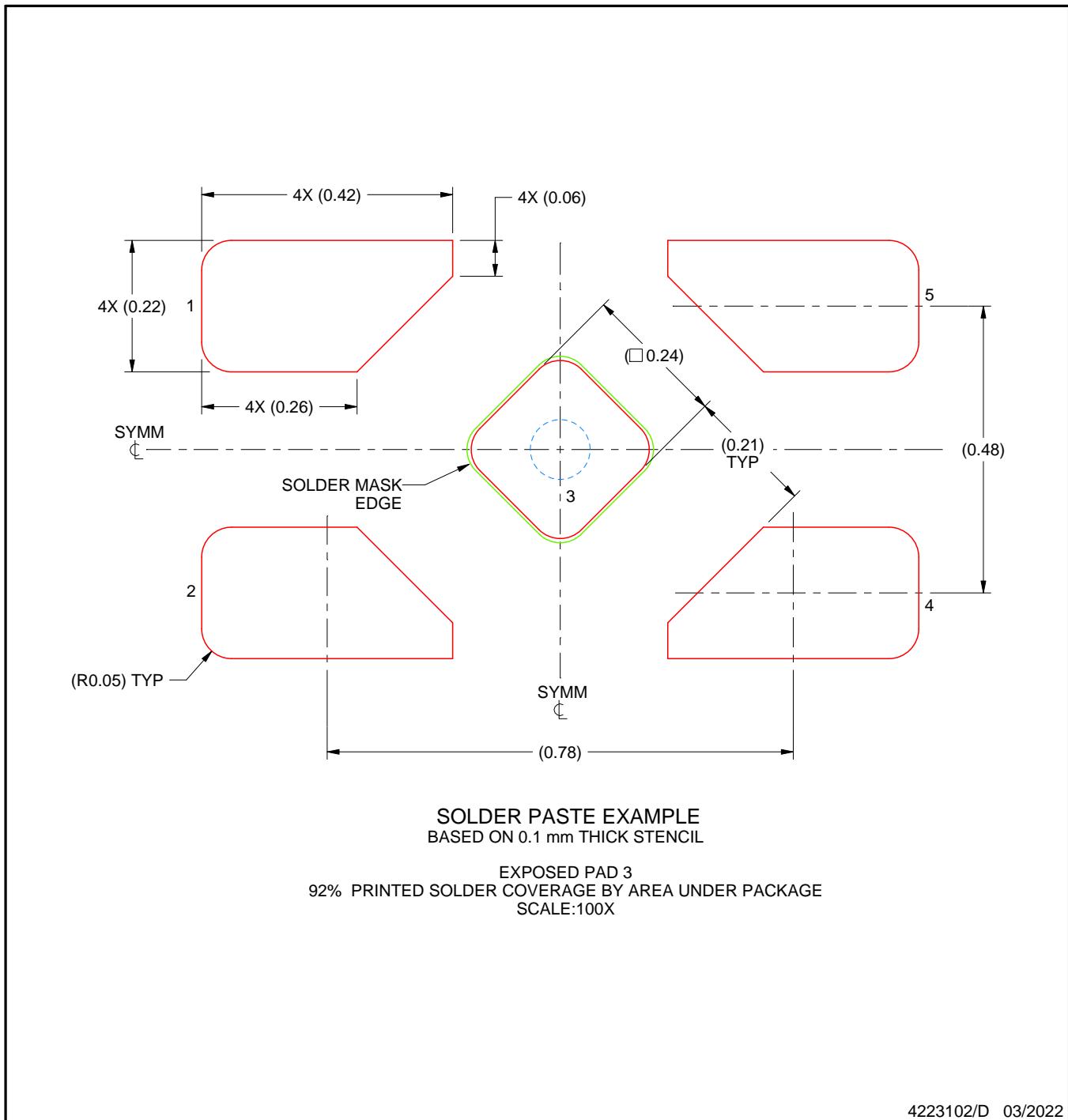
4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

# EXAMPLE STENCIL DESIGN

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月