

CDCE6214 超低消費電力クロック・ジェネレータ、1つの PLL、4つの差動出力、2つの入力、EEPROM 内蔵

1 特長

- 設定可能な高性能低消費電力フラクショナル N PLL (スプリアスによる RMS ジッタ (12kHz~20MHz、 $F_{out} > 100\text{MHz}$) は以下のとおり)
 - 整数モード:
 - 差動出力: 350fs (標準)、600fs (最大)
 - LVC MOS 出力: 標準 1.05ps、最大 1.5ps
 - 分数モード:
 - 差動出力: 標準 1.7ps、最大 2.1ps
 - LVC MOS 出力: 標準 2.0ps、最大 4.0ps
- SSC 付きの PCIe Gen 1/2/3/4、SSC なしの 1/2/3/4/5/6 をサポート
- 標準消費電力: 4 出力チャネルで 65mA、1 出力チャネルで 23mA
- ユニバーサル クロック入力
 - 差動 AC 結合または LVC MOS: 10 MHz ~ 200 MHz
 - 水晶振動子: 10 MHz ~ 50 MHz
- 柔軟な出力クロック分配
 - 4 チャネル分周器: 24kHz~328.125MHz の最大 5 つの固有出力周波数
 - OUT0~OUT4 ピンで疑似 LVDS、LP-HCSL、LVC MOS 出力の組み合わせ
 - 出力分周器のグリッチレス スイッチングと出力チャネル同期
 - GPIO とレジスタによる個別の出力有効化
- 周波数マーギニング オプション
 - DCO モード: 10ppb 以下のステップ サイズで周波数を増減
- 完全統合された設定可能なループ帯域幅: 100 kHz ~ 1.6 MHz
- 単一電源または複数電源 (レベル変換用): 1.8V、2.5V、3.3V
- 設定可能な GPIO と柔軟な設定オプション
 - I²C 互換インターフェイス: 最高 400kHz
 - 2 つのページと外部選択ピンを持つ内蔵 EEPROM その場で設定が可能
- 100Ω システムをサポート
- 低い電磁放射
- 小さい占有面積: 24 ピン VQFN (4mm × 4mm)

2 アプリケーション

- PCIe Gen 1~Gen 6 のクロック処理
- データ センターおよびエンタープライズ コンピューティング
- PC、ノート PC
- 企業向け機器 - 多機能プリンタ
- テストおよび測定 - ハンドヘルド機器

3 説明

CDCE6214 は、各種ドライバ モードを選択可能な 5 つの独立したクロック出力を生成できる、4 チャネル、超低消費電力、中グレード ジッタのクロック ジェネレータです。入力信号源にはシングルエンドまたは差動入力のクロックソース、あるいは水晶振動子を使用できます。CDCE6214 は、任意の入力周波数から無関係のベース周波数を合成するフラクショナル N PLL を備えています。CDCE6214 は I²C インターフェイスを通じて設定できます。シリアル インターフェイスが使用できないときは、GPIO ピンをピン モードで使用し、デバイスを固有の構成に設定できます。

CDCE6214 は、フォールバック モードでのみ I²C インターフェイスを使用して構成できます。シリアル インターフェイスが使用できないときは、GPIO ピンをピン モードで使用し、デバイスを独自の構成に設定できます。

オンチップの EEPROM を使用して構成を変更できます (ピンで事前選択可能)。このデバイスは、グリッチなしの動作による周波数マーギニング機能を備えており、システム設計検証テスト (DVT) とイーサネット オーディオ ビデオブリッジ (eAVB) をサポートできます。DCO モードで分数帰還分周器を調整することで、すべての出力チャネルで細かい周波数マーギニングが可能です。

内蔵パワー コンディショニングは、優れた電源リップル除去 (PSRR) を提供し、電力供給ネットワークのコストと複雑さを低減します。アナログおよびデジタル コア ブロックは 1.8V、2.5V、または 3.3V ±5% 電源で動作し、出力ブロックは 1.8V、2.5V、または 3.3V ±5% 電源で動作します。

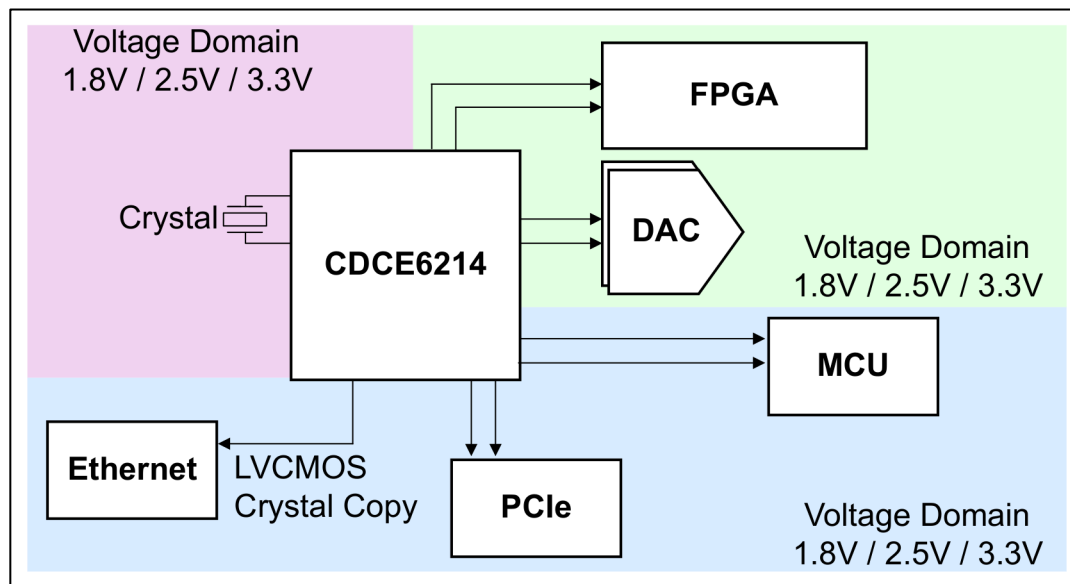
CDCE6214 を使用すると、1 つの基準クロックで動作する高性能クロック ツリーを非常に低い消費電力と小さなフットプリントで実現できます。CDCE6214 は、EEPROM 機能を工場プログラムすることもユーザーがプログラムすることもできるため、使いやすく即座に起動できる低消費電力クロック供給デバイスとして理想的です。



表 3-1. パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
CDCE6214	RGE (VQFN, 24)	4.00mm × 4.00mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



アプリケーションの例 CDCE6214

目次

1 特長	1	5.25 代表的特性.....	14
2 アプリケーション	1	6 パラメータ測定情報	17
3 説明	1	6.1 リファレンス入力.....	17
4 ピン構成および機能	4	6.2 出力.....	17
5 仕様	7	6.3 シリアル・インターフェイス.....	18
5.1 絶対最大定格.....	7	6.4 PSNR テスト.....	18
5.2 ESD 定格.....	7	6.5 クロックのインターフェイスと終端.....	19
5.3 推奨動作条件.....	7	7 詳細説明	20
5.4 熱に関する情報.....	7	7.1 概要.....	20
5.5 EEPROM の特性.....	8	7.2 機能ブロック図.....	20
5.6 リファレンス入力、シングルエンド特性.....	8	7.3 機能説明.....	21
5.7 リファレンス入力、差動特性.....	8	7.4 デバイスの機能モード.....	35
5.8 リファレンス入力、水晶振動子モードの特性.....	8	7.5 プログラミング.....	36
5.9 汎用入力特性.....	9	8 アプリケーションと実装	44
5.10 トリプル・レベル入力特性.....	9	8.1 アプリケーション情報.....	44
5.11 ロジック出力特性.....	9	8.2 代表的なアプリケーション.....	45
5.12 フェーズ ロック ループ特性.....	9	8.3 電源に関する推奨事項.....	47
5.13 閉ループ出力ジッタの特性.....	10	8.4 レイアウト.....	48
5.14 入力および出力絶縁.....	10	9 デバイスおよびドキュメントのサポート	50
5.15 バッファ モードの特性.....	10	9.1 デバイス サポート.....	50
5.16 PCIe スペクトラム拡散ジェネレータ.....	11	9.2 ドキュメントのサポート.....	50
5.17 LVCMOS 出力特性.....	11	9.3 ドキュメントの更新通知を受け取る方法.....	50
5.18 LP-HCSL 出力特性.....	12	9.4 サポート・リソース.....	50
5.19 LVDS 出力特性.....	12	9.5 商標.....	50
5.20 出力同期特性.....	12	9.6 静電気放電に関する注意事項.....	50
5.21 パワーオンリセット特性.....	13	9.7 用語集.....	50
5.22 I ² C 互換シリアル インターフェイスの特性.....	13	10 改訂履歴	50
5.23 タイミング要件、I ² C 互換シリアル インターフェイス.....	13	11 メカニカル、パッケージ、および注文情報	51
5.24 電源特性.....	14		

4 ピン構成および機能

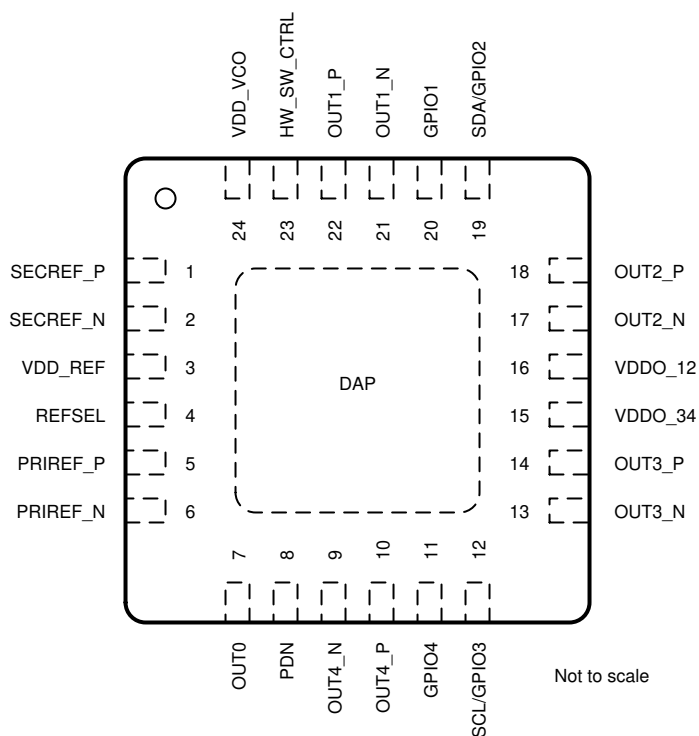


図 4-1. RGE パッケージ 24 ピン VQFN 上面図

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
電源			
DAP	—	G	ダイ取り付けパッド。DAP は、電氣的接続であり、放熱経路を提供します。デバイスの適切な電氣的性能および放熱性能を得るために、DAP を PCB のグランド プレーンに接続する必要があります。
VDD_REF	3	P	リファレンス入力およびデジタル用の 1.8V、2.5V、または 3.3V 電源。
VDD_VCO	24	P	PLL/VCO 用の 1.8V、2.5V、または 3.3V 電源。
VDDO_12	16	P	OUT1 および OUT2 チャンネル用の 1.8V、2.5V、または 3.3V 電源
VDDO_34	15	P	OUT0、OUT3、および OUT4 チャンネル用の 1.8V、2.5V、または 3.3V 電源
入力ブロック			
HW_SW_CTRL	23	I、RpUPD	EEPROM ページの手動選択ピン (トライステート)。弱いプルアップ / プルダウン。R _{PU} = 50kΩ。R _{PD} = 50kΩ。
PRIREF_P	5	I	プライマリ基準クロック。差動入力またはシングルエンド入力を受け入れます。差動モードでは、入力ピンに AC 結合コンデンサと内部バイアスが必要です。LVCMOS の場合、入力は PRIREF_P に供給し、非駆動入力ピンはグランドにプルダウンする必要があります。シングルエンド モードでは、差動モードの場合の内部バイアスはディスエーブルになります。
PRIREF_N	6	I	
REFSEL	4	I、RpUPD	リファレンス入力の手動選択ピン (トライステート)。弱いプルアップ / プルダウン。R _{PU} = 50kΩ。R _{PD} = 50kΩ。
SECREP_P	1	I	セカンダリ基準クロック。差動入力、シングルエンド入力、または XTAL を受け入れます。差動モードでは、入力ピンに AC 結合コンデンサと内部バイアスが必要です。XTAL 入力の場合、SECREP_P ピンと SECREP_N ピンの間に水晶振動子を接続します。SECREP_P は XOUT で、SECREP_N は XIN です。このデバイスでは、XOUT に電力制限抵抗は必要ありません。LVCMOS 入力の場合、入力は SECREP_P に供給し、非駆動入力ピンはグランドにプルダウンする必要があります。シングルエンド モードおよび XTAL モードでは、差動モードの場合の内部バイアスはディスエーブルになります。
SECREP_N	2	I	
出力ブロック			
OUT0	7	O	LVCMOS 出力 0。リファレンス入力は、この出力にバイパスできます。すべての LVCMOS 出力で出力スルーレートを構成可能です。
OUT1_P	22	O	疑似 LVDS/LP-HCSL/LVCMOS 出力ペア 1。疑似 LVDS/LP-HCSL または 2x LVCMOS 出力付きプログラマブルドライバ。
OUT1_N	21	O	
OUT2_P	18	O	疑似 LVDS/LP-HCSL 出力ペア 2。疑似 LVDS/LP-HCSL 出力付きプログラマブルドライバ。
OUT2_N	17	O	
OUT3_P	14	O	疑似 LVDS/LP-HCSL 出力ペア 3。疑似 LVDS/LP-HCSL 出力付きプログラマブルドライバ。
OUT3_N	13	O	
OUT4_P	10	O	疑似 LVDS/LP-HCSL/LVCMOS 出力ペア 4。疑似 LVDS/LP-HCSL または 2x LVCMOS 出力付きプログラマブルドライバ。
OUT4_N	9	O	
デジタル制御 / インターフェイス			
GPIO1	20	I/O	ステータス出力または GPIO1 入力。
GPIO4	11	I/O	ステータス出力または GPIO4 入力。
PDN	8	I、R _{PU}	デバイスのパワーダウン / RESET (アクティブ Low) または SYNCN。弱いプルアップ抵抗 R _{PU} = 50kΩ。出力モードでは、プルアップ抵抗がディスエーブルになります。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
SDA/GPIO2	19	I/O	I ² C シリアル データ (双方向、オープンドレイン) または GPIO2 入力。I ² C モードでは、VDD_REF への外部プルアップ抵抗が必要です。I ² C アドレスは、オンチップ EEPROM から初期化されます。フェイルセーフ入力。
SCL/GPIO3	12	I	I ² C シリアル クロックまたは GPIO3 入力。I ² C モードでは、VDD_REF への外部プルアップ抵抗が必要です。フェイルセーフ入力。

(1) 種類:

- G = グランド
- P = 電源
- I = 入力
- I/O = 入出力
- O = 出力
- I, RPUPD = 入力、抵抗性プルアップおよびプルダウン付き
- I, RPU = 入力、抵抗性プルアップ付き
- I/O, RPU = 入出力、抵抗性プルアップ付き

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
VDD_REF, VDD_VCO, VDDO_12, VDDO_34	電源電圧	-0.3	3.63	V
PRIREF_P, PRIREF_N, SECREF_P, SECREF_N	入力電圧	-0.3	VDD_REF + 0.3	V
GPIO1, SDA/GPIO2, SCL/GPIO3, GPIO4, REFSEL, HW_SW_CTRL, PDN	入力電圧	-0.3	VDD_REF + 0.3	V
OUT0, OUT1_P, OUT1_N, OUT2_P, OUT2_N, OUT3_P, OUT3_N, OUT4_P, OUT4_N ⁽²⁾	出力電圧	-0.3	VDDO_X ⁽²⁾ + 0.3	V
T _J	接合部温度		125	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) VDDO_X は、特定の出力チャンネルの出力電源を表します。ここで、X はチャンネル インデックスを表します。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	2000 V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	750 V

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD_VCO	コア電源電圧	1.71	1.8, 2.5, 3.3	3.465	V
VDDO_12, VDDO_34	出力電源電圧	1.71	1.8, 2.5, 3.3	3.465	V
VDD_REF	リファレンス電源電圧	1.71	1.8, 2.5, 3.3	3.465	V
T _A	周囲温度	-40		105	°C
T _J	接合部温度	-40		125	°C
T _{LOCK}	全温度範囲での連続ロック (VCO キャリブレーションなし)			145	°C
t _{RAMP}	最大電源電圧ランプ時間 ⁽¹⁾	0.1		30	ms

- (1) VDD ピンは、電源ランプ時間内に最終値の 95% に単調に到達する必要があります。この評価のために、すべての VDD ピンは互いに接続されました。非単調または低速の電源ランプの場合、VDD ピンが最終値の 95% に達するまで PDN ピンをプルダウンすることをお勧めします。PDN ピンには 50kΩ のプルアップ抵抗があります。PDN ピンをアクティブに制御できない場合、PDN ピンの GND にコンデンサを追加して、リセットの解除を遅延させることを推奨します。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		CDCE6214Q1 TM	単位
		RGE (VQFN)	
		24 ピン	
R _{θJA}	接合部から周囲への熱抵抗	32.5	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	32.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	12.2	°C/W

熱評価基準 ⁽¹⁾		CDCE6214Q1 TM	単位
		RGE (VQFN)	
		24 ピン	
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	2.0	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	0.4	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	12.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 EEPROM の特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
η _{EEcyc}	EEPROM プログラミング サイクル	各ワード	10		サイクル
t _{EEret}	EEPROM データ保持		10		年

5.6 リファレンス入力、シングルエンド特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	代表値	最大値	単位
f _{IN_Ref}	リファレンス周波数	10		200	MHz
V _{IH}	入力 HIGH 電圧	LVCMOS 入力バッファ		0.8 × VDD_REF	V
V _{IL}	入力 LOW 電圧	LVCMOS 入力バッファ		0.2 × VDD_REF	V
dV _{IN} /dT	入力スルーレート	20% ~ 80%	1		V/ns
IDC	入力デューティ・サイクル	40		60	%
I _{IN_LEAKAGE}	入力リーク電流	-100		100	μA
C _{IN_REF}	入力容量	25°C		5	pF

5.7 リファレンス入力、差動特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ		テスト条件	最小値	代表値	最大値	単位
f _{IN_Ref}	リファレンス周波数		10		200	MHz
V _{IN_DIFF}	差動入力電圧スイング、ピーク・ツー・ピーク	VDD_REF = 2.5V/3.3V	0.4		1.6	V
V _{IN_DIFF}	差動入力電圧スイング、ピーク・ツー・ピーク	VDD_REF = 1.8V	0.4		1.0	V
dV _{IN} /dT	入力スルーレート	20%～80%	1			V/ns
IDC	入力デューティ・サイクル		40		60	%
I _{IN_LEAKAGE}	入力リーク電流		-100		100	μA
C _{IN_REF}	入力容量	25℃		5		pF

5.8 リファレンス入力、水晶振動子モードの特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C⁽¹⁾

パラメータ		テスト条件	最小値	代表値	最大値	単位
f _{IN_Xtal}	水晶周波数	基本モード	10		50	MHz
Z _{ESR}	水晶振動子の等価直列抵抗	f _{XTAL} = 10MHz～16MHz			60	Ω
Z _{ESR}	水晶振動子の等価直列抵抗	f _{XTAL} = 16MHz～30MHz			50	Ω
Z _{ESR}	水晶振動子の等価直列抵抗	f _{XTAL} = 30MHz～50MHz			30	Ω
C _L	水晶振動子の負荷容量	オンチップ負荷容量を使用。サポートされている水晶振動子の範囲	5		12.8	pF
P _{XTAL}	水晶振動子で許容される駆動電力	サポートされている水晶振動子の最大許容			200	μW

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C⁽¹⁾

パラメータ		テスト条件	最小値	代表値	最大値	単位
C _{XIN_LOAD}	オンチップ負荷容量	代表値の 200fF ステップでプログラム可能	3		9.1	pF

(1) XTAL 入力に関する詳細なアプリケーション・レポートについては、『[SNAA331: CDCI6214 および CDCE6214-Q1 水晶振動子入力を使用する設計](#)』を参照してください。

5.9 汎用入力特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ		テスト条件	最小値	代表値	最大値	単位
V _{IH}	入力 HIGH 電圧		0.8 × VDD_REF			V
V _{IL}	入力 LOW 電圧				0.2 × VDD_REF	V
I _{IH}	入力 HIGH レベル電流	V _{IH} = VDD_REF、GPIO[1:4]、PDN	-5		5	μA
I _{IL}	入力 LOW レベル電流	V _{IL} = GND、GPIO[2:3]	-5		5	μA
I _{IL}	入力 LOW レベル電流	V _{IL} = GND、GPIO[1]、GPIO[4]、PDN	-100		100	μA
dV _{IN} /dT	入力スルーレート	20% ~ 80%	0.5			V/ns
T _{PULSE_WIDT H}	正常動作のパルス幅		10			ns
R _{PU}	プルアップ抵抗	ピン PDN、GPIO[1]、GPIO[4]	30	55	80	kΩ
C _{IN}	ピン容量				10	pF

5.10 トリプル・レベル入力特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ		テスト条件	最小値	代表値	最大値	単位
V _{IH}	入力 HIGH 電圧		0.8 × VDD_REF			V
V _{IM}	入力 MID 電圧	フロート・ピン	0.41 × VDD_REF	0.5 × VDD_REF	0.58 × VDD_REF	V
V _{IL}	入力 LOW 電圧				0.2 × VDD_REF	V
I _{IH}	入力 HIGH レベル電流	V _{IH} = VDD_REF	20	50	100	μA
I _{IL}	入力 LOW レベル電流	V _{IL} = GND	-100	-50	-20	μA

5.11 ロジック出力特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ		テスト条件	最小値	代表値	最大値	単位
VOH	出力 HIGH 電圧		0.8 × VDD_REF			V
VOL	出力 LOW 電圧				0.2 × VDD_REF	V

5.12 フェーズ ロック ループ特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{PDF}	位相検出器周波数	整数およびフラクショナル PLL モード	1		100	MHz
f _{VCO}	電圧制御発振器の周波数		2335		2625	MHz
f _{BW}	構成可能な閉ループ PLL 帯域幅	REF = 25MHz	100		1600	kHz
K _{VCO}	電圧制御発振器のゲイン	f _{VCO} = 2.4GHz		140		MHz/V
K _{VCO}	電圧制御発振器のゲイン	f _{VCO} = 2.5GHz		175		MHz/V

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
ΔT _{CL}	連続ロックで許容される温度ドリフト ⁽¹⁾	dT/dt ≤ 20K/min		145	°C
f _{MAX-ERROR}	フラクショナル N PLL での最大周波数誤差			0.1	ppm

- (1) 連続ロックの最大許容温度ドリフト: 温度ドリフト全体にわたって PLL がロック状態にある間にオンチップ VCO がキャリブレーションされたときに、以前の値からいずれかの方向に温度がドリフト可能な範囲。内部 VCO キャリブレーションの実行: デバイスの起動時、および RESET ピンを使用してデバイスをリセットしたとき、およびレジスタ ビットが変更されたとき。これは、デバイスが全周波数範囲で動作することを意味しますが、温度が連続ロックの最大許容温度ドリフトを超えてドリフトした場合、適切な REGISTER ビットを使用して VCO を再キャリブレーションし、PLL をロック状態に維持する必要があります。最初にキャリブレーションを行った温度にかかわらず、-40°C ~ 105°C の周囲温度範囲を超える温度ドリフトは決して発生しません。

5.13 閉ループ出力ジッタの特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	代表値	最大値	単位
t _{RJ_CL}	RMS 位相ジッタ	12kHz~20MHz のスプリアスによる RMS ジッタ、入力水晶振動子 = 25MHz、差動 OUTx > 100MHz、整数 PLL	350	600	fs
t _{RJ_CL}	RMS 位相ジッタ ⁽¹⁾	12kHz~20MHz のスプリアスによる RMS ジッタ、水晶振動子入力 = 25MHz、差動 OUTx > 100MHz、フラクショナル PLL	1600	2100	fs
t _{RJ_CL, PCIE}	RMS 位相ジッタ	PCIe Gen 3 フィルタ適用済み、XIN = 水晶振動子 25MHz、OUTx = 100MHz、フラクショナル N PLL、SSC あり / なし、LP-HCSL または LVDS 出力	475	1000	fs

- (1) F_{IN} = 25MHz、F_{OUT} = 161.1328MHz、F_{PDF} = 25MHz、RMS ノイズ = 1.83ps。F_{IN} = 25MHz、F_{OUT} = 161.1328MHz、F_{PDF} = 50MHz、RMS ノイズ = 1.33ps。F_{IN} = 25MHz、F_{OUT} = 148.5MHz、F_{PDF} = 25MHz、RMS ノイズ = 1.74ps。F_{IN} = 25MHz、F_{OUT} = 148.5MHz、F_{PDF} = 50MHz、RMS ノイズ = 1.43ps。F_{IN} = 25MHz、F_{OUT} = 148.3516MHz、F_{PDF} = 25MHz、RMS ノイズ = 1.6ps。F_{IN} = 25MHz、F_{OUT} = 148.3516MHz、F_{PDF} = 50MHz、RMS ノイズ = 1.5ps。F_{IN} = 25MHz、F_{OUT} = 106.5MHz、F_{PDF} = 25MHz、RMS ノイズ = 0.8ps。F_{IN} = 25MHz、F_{OUT} = 106.5MHz、F_{PDF} = 50MHz、RMS ノイズ = 1.3ps。

5.14 入力および出力絶縁

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	代表値	最大値	単位
P _{ISOLATION}	リファレンス入力絶縁	リファレンス入力間のクロストーク、PRIREF = 27MHz LVCMOS、SECREF = 25MHz XTAL	-64		dB
P _{ISOLATION}	リファレンス入力絶縁	リファレンス入力間のクロストーク、PRIREF = 100MHz LVDS、SECREF = 25MHz LVCMOS	-72		dB
P _{ISOLATION}	クロック出力絶縁	クロック出力間のクロストーク、OUT1 = 100MHz LP-HCSL、OUT2 = 156.25MHz LVDS、PDF = 25MHz、整数 PLL	-65		dB
P _{ISOLATION}	クロック出力絶縁	クロック出力間のクロストーク、OUT1 = 156.25MHz LVDS、OUT0 = 25MHz LVCMOS	-42		dB

5.15 バッファ モードの特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
t _{RJ_ADD}	追加の RMS 位相ジッタ、システム レベル	整数モード、10kHz~20MHz の範囲、REF = HCSL 100MHz、0.5V/ns、OUTx = 100MHz LP-HCSL		350	fs
t _{PROP, LVCMOS}	入力から出力までの伝搬遅延	REF = LVCMOS 25MHz、OUTx = 25MHz LVCMOS	1		ns

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
t _{PROP} , Differential	入力から出力までの伝搬遅延 ⁽¹⁾	REF = AC-LVDS 100MHz、OUTx = 100MHz、OUT0 で測定	2.3		ns
t _{PROP} - VARIATION	ZDB モードでの入力から出力までの遅延変動	ZDB モード、LVCMOS 入力 = LVCMOS 出力 = 25MHz、PLL BW = 300kHz ~ 900kHz、全温度範囲	-400	400	ps

(1) OUT1/OUT4 と OUT2/OUT3 はペア単位でマッチングされます。OUT1/OUT4 には LVCMOS バッファがあるのに対し、OUT2/OUT3 には LVCMOS バッファがありません。OUT1/OUT4 と OUT2/OUT3 の間に、追加のスキュー 150ps ~ 250ps があります。

5.16 PCIe スペクトラム拡散ジェネレータ

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{SSC-RATE}	SSC 変調レート	OUTx = 100MHz	30	31.5	33	kHz
P _{AMPL-RED}	SSC 振幅縮小	OUTx = 100MHz、-0.25% ダウン スプレッド		6.8		dB
P _{AMPL-RED}	SSC 振幅縮小	OUTx = 100MHz、-0.50% ダウン スプレッド		9.9		dB
f _{SSC-STEP}	ダウンおよびセンター スプレッド SSC ステップ サイズ	OUTx = 100MHz		0.25		%
t _{SSC_FREQ_DEVIATION}	ダウン スプレッドの最小 / 最大偏差	OUTx = 100MHzF _{PFD} = 25MHz、50MHz、100MHz	-0.5		0	%
t _{SSC_FREQ_DEVIATION}	センター スプレッドの最小 / 最大偏差	OUTx = 100MHzF _{PFD} = 25MHz、50MHz、100MHz	-0.5		0.5	%

5.17 LVCMOS 出力特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ		テスト条件	最小値	代表値	最大値	単位
f _{O_LVCMOS}	出力周波数	GND に 2pF、通常モード	0.024		200	MHz
V _{OH_LVCMOS}	出力 HIGH 電圧	I _{OH} = 1mA、VDDO_x は対応する電源電圧です。	0.8 × VDDO_x			V
V _{OL_LVCMOS}	出力 LOW 電圧	I _{OL} = 1mA、VDDO_x は対応する電源電圧です。			0.2 × VDDO_x	V
I _{OH}	出力 HIGH 電流	Vout = 0.8 × VDDO_x、VDDO_x = 1.8V		-6		mA
I _{OH}	出力 HIGH 電流	Vout = 0.8 × VDDO_x、VDDO_x = 2.5 V		-8.5		mA
I _{OH}	出力 HIGH 電流	Vout = 0.8 × VDDO_x、VDDO_x = 3.3 V		-11.2		mA
I _{OL}	出力 LOW 電流	Vout = 0.2 × VDDO_x、VDDO_x = 1.8V		6		mA
I _{OL}	出力 LOW 電流	Vout = 0.2 × VDDO_x、VDDO_x = 2.5 V		8.5		mA
I _{OL}	出力 LOW 電流	Vout = 0.2 × VDDO_x、VDDO_x = 3.3 V		11.2		mA
T _{RISE-FALL}	出力立ち上がり / 立ち下がり時間	20/80%、C _L = 5pF、通常モード	300	500	700	ps
T _{RISE-FALL}	出力立ち上がり / 立ち下がり時間	20/80%、C _L = 5pF、スロー・モード、OUT0 で測定		1000		ps
T _{SKEW}	出力間スキュー ⁽¹⁾	LVCMOS 出力間、同じ分周値		100		ps
T _{SKEW}	出力間スキュー ⁽¹⁾	LVCMOS 出力から差動出力、同じ分周値		400		ps
ODC	出力デューティ・サイクル	PLL バイパス・モードではありません	45		55	%
R _{ON_LVCMOS}	出力インピーダンス	通常モード	45	60	75	Ω
R _{ON_LVCMOS}	出力インピーダンス	スロー・モード	50	65	85	Ω

(1) OUT1/OUT4 と OUT2/OUT3 はペア単位でマッチングされます。OUT1/OUT4 には LVCMOS バッファがあるのに対し、OUT2/OUT3 には LVCMOS バッファがありません。OUT1/OUT4 は T_{OUT-SKEW} 内でマッチングされます。OUT2/OUT3 は T_{OUT-SKEW} 内でマッチングされます。

5.18 LP-HCSL 出力特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
f _{O_HCSL}	出力周波数	0.024		328.125	MHz
V _{OH}	出力 HIGH 電圧 ⁽³⁾	660		850	mV
V _{OL}	出力 LOW 電圧	-150		150	mV
Z _{DIFF}	差動出力インピーダンス ⁽³⁾	90	100	110	Ω
V _{CROSS}	絶対交差ポイント	12 インチ、100Ω ± 10% 差動パターン、FR4 でピンあたり 2pF ± 5%。	250	550	mV
ΔV _{CROSS}	相対交差ポイントの変動	平均的な交差ポイントを基準にします		140	mV
dV/dt	立ち上がりエッジと立ち下がりエッジのスルーレート	差動、V _{CROSS} ± 150mV、f _{O_HCSL} = 100MHz ⁽¹⁾	1	4	V/ns
ΔdV/dt	スルーレート マッチング	シングルエンド、V _{CROSS} ± 75mV、f _{O_HCSL} = 100MHz ⁽¹⁾		20	%
V _{rb}	出力リングバック電圧	100MHz の差動出力で測定され、ゼロ交差からの最小電圧を指定します	-100	100	mV
T _{stable}	リングバックまでの経過時間	リングバックが許容されるまでの最小時間	500		ps
ODC	出力デューティ サイクル	PLL バイパス モードではありません	45	55	%
T _{OUT-SKEW}	出力スキュー ⁽²⁾	同じ分周値、LP-HCSL から LP-HCSL まで		100	ps

(1) PCIe テスト負荷スルーレート

(2) OUT1/OUT4 と OUT2/OUT3 はペア単位でマッチングされます。OUT1/OUT4 には LVCMOS バッファがあるのに対し、OUT2/OUT3 には LVCMOS バッファがありません。OUT1/OUT4 は T_{OUT-SKEW} 内でマッチングされます。OUT2/OUT3 は T_{OUT-SKEW} 内でマッチングされます。OUT1/OUT4 と OUT2/OUT3 の間に、追加のスキュー 150ps ~ 250ps があります。

(3) 差動出力特性は出荷時にトリミングされ、トリミング設定は EEPROM に保存されます。パラメータは、フォールバック モードでは無効です。

5.19 LVDS 出力特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{O_PRG_AC}	出力周波数		0.024		328.125	MHz
V _{CM}	出力同相モード ⁽¹⁾	VDDO_X = 2.5V、3.3V	1.025	1.2	1.375	V
V _{CM}	出力同相モード ⁽¹⁾	VDDO_X = 1.8V	0.85	0.95	1.05	V
V _{OD}	差動出力電圧 ⁽¹⁾	VDDO_X = 1.8V (F _{out} < 200MHz)、2.5V、3.3V。	0.25	0.30	0.45	V
V _{OD}	差動出力電圧 ⁽¹⁾	VDDO_X = 1.8V、F _{OUT} > 200MHz	0.22	0.30	0.45	V
t _{RF}	出力立ち上がり / 立ち下がり時間	LVDS (20%～80%)	450	650	900	ps
ODC	出力デューティ サイクル	PLL バイパス モードではありません	45		55	%
T _{OUT-SKEW}	出力スキュー ⁽²⁾	同じ分周値、LVDS 出力間		100		ps

(1) 出力同相電圧および差動出力スイングは、レジスタ設定 DIFFBUF_IBIAS_TRIM、LVDS_CMTRIM_DEC、および LVDS_CMTRIM_INC に依存します。DIFFBUF_IBIAS_TRIM=6h、LVDS_CMTRIM_DEC=0h、および LVDS_CMTRIM_INC=0h に対して定義されたパラメータ。DC でテストされた出力同相モード。

(2) OUT1/OUT4 と OUT2/OUT3 はペア単位でマッチングされます。OUT1/OUT4 には LVCMOS バッファがあるのに対し、OUT2/OUT3 には LVCMOS バッファがありません。OUT1/OUT4 は T_{OUT-SKEW} 内でマッチングされます。OUT2/OUT3 は T_{OUT-SKEW} 内でマッチングされます。OUT1/OUT4 と OUT2/OUT3 の間に、追加のスキュー 150ps ~ 250ps があります。

5.20 出力同期特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
t _{SU_SYNC}	セットアップ時間の同期パルス	R = 1 で 100MHz での PLL リファレンス立ち上がりエッジを基準にします	3		ns
t _{H_SYNC}	ホールド時間の同期パルス	R = 1 で 100MHz での PLL リファレンス立ち上がりエッジを基準にします		3	ns

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ±5%、2.5V ±5%、3.3V ±5%、T_A = -40°C～105°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PDH_SYNC}	同期の High パルス幅	R = 1 で、2 PFD 期間以上 + 24 フィードバックプリスケール期間	60			ns
t _{PWL_SYNC}	同期の Low パルス幅	R = 1 で、1 PFD 期間以上	6			ns
t _{EN}	個別の出力イネーブル時間 ⁽¹⁾	トライステートから最初の有効な立ち上がりエッジまで			4	nCK
t _{DIS}	個別の出力ディスエーブル時間 ⁽¹⁾	最後の有効な立ち下がりエッジからトライステートまで			4	nCK

(1) 各出力チャネルの出力クロック サイクル。デジタル ロジックで処理されるグローバル出力イネーブルでは、さらに伝搬が追加されます。

5.21 パワーオン リセット特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C～105°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{THRESHOLD}	POR スレッシュホールド電圧 ⁽¹⁾		0.875		1.275	V
t _{STARTUP}	起動時間	スタートアップ時間は、VDD が 95% に到達した後、出力が正しい周波数でトグルする (入力 = 水晶振動子または外部クロック) までの時間です。		9		ms
t _{VDD}	電源ランプ時間 ⁽²⁾	PDN=LOW のときのすべての VDD ピンのタイミング要件	0.1		30	ms

- (1) POR スレッシュホールド電圧は、内部リセットがデアサートされる電源電圧です。スレッシュホールド電圧は PDN によって内部的に認定されます。
- (2) VDD ピンは、電源ランプ時間内に最終値の 95% に単調に到達する必要があります。パラメータは特性により規定されています。この評価のために、すべての VDD ピンは互いに接続されました。非単調または低速の電源ランプの場合、VDD ピンが最終値の 95% に達するまで PDN ピンをプルダウンすることをお勧めします。PDN ピンには 50kΩ のプルアップ抵抗があります。PDN ピンをアクティブに制御できない場合、PDN ピンの GND にコンデンサを追加して、リセットの解除を遅延させることを推奨します。

5.22 I²C 互換シリアル インターフェイスの特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C～105°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IH}	入力電圧、ロジック High		0.7 × VDD_REF			V
V _{IL}	入力電圧、ロジック Low			0.3 × VDD_REF		V
I _{IH}	入力リーク電流	VDD_REF ± 10%	-5		5	μA
V _{OL}	Low レベル出力電圧	3mA のシンク電流			0.4	V
C _{IN}	入力容量				10	pF
C _{OUT}	出力容量	ピンあたりの最大バス容量			400	pF

5.23 タイミング要件、I²C 互換シリアル インターフェイス

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C～105°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{PW_G}	抑制されたグリッチのパルス幅				50	ns
f _{SCL}	SCL クロック周波数	標準		100		kHz
f _{SCL}	SCL クロック周波数	ファースト モード		400		kHz
t _{SU_STA}	スタートコンディションのセットアップ時間	SDA=V _{IL} の前に SCL=V _{IH}		0.6		μs
t _{H_STA}	スタートコンディションのホールド時間	SCL=V _{IL} の後に SCL=V _{IL} 。この時間の経過後に、最初のクロック エッジが生成される。		0.6		μs
t _{SU_SDA}	データセットアップ時間	SCL=V _{IL} の後に SDA が有効、f _{SCL} =100kHz	250			ns
t _{SU_SDA}	データセットアップ時間	SCL=V _{IL} の後に SDA が有効、f _{SCL} =400kHz	100			ns

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
t _{H_SDA}	データ ホールド時間 ⁽¹⁾	SCL=V _{IH} の前に SDA が有効	0 ⁽²⁾	⁽³⁾	μs
t _{VD_SDA}	有効なデータまたはアクノリッジ時間	f _{SCL} =100kHz ⁽³⁾		3.45	μs
t _{VD_SDA}	有効なデータまたはアクノリッジ時間	f _{SCL} =400kHz ⁽²⁾		0.9	μs
t _{PDWH_SCL}	パルス幅 High、SCL	f _{SCL} =100kHz	4.0		μs
t _{PDWH_SCL}	パルス幅 High、SCL	f _{SCL} =400kHz	0.6		μs
t _{PWL_SCL}	パルス幅 Low、SCL	f _{SCL} =100kHz	4.7		μs
t _{PWL_SCL}	パルス幅 Low、SCL	f _{SCL} =400kHz	1.3		μs
t _{IR}	入力立ち上がり時間			300	ns
t _{IF}	入力立ち下がり時間			300	ns
t _{OF}	出力立ち下がり時間	10pF ≤ C _{OUT} ≤ 400pF		250	ns
t _{SU_STOP}	ストップ コンディションのセットアップ時間		0.6		μs
t _{BUS}	バス フリー時間	ストップ コンディションからスタートコンディションまでの時間	1.3		μs

- (1) t_{H_SDA} は、SCL の立ち下がりエッジから測定されたデータ ホールド時間であり、送信中のデータとアクノリッジに適用されます。
- (2) SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の V_{IH(min)} を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
- (3) t_{H_SDA} の最大値は、スタンダード モードで 3.45μs、ファースト モードで 0.9μs ですが、t_{VD_SDA} の最大値より遷移時間の分だけ小さくする必要があります。この最大値を満たす必要があるのは、SCL 信号の Low 期間 (t_{PWL_SCL}) を本デバイスがストレッチ (延長) しない場合に限られます。クロックが SCL をストレッチする場合、I²C Master がクロックをリリースする前に、セットアップ時間までにデータが有効になっている必要があります。

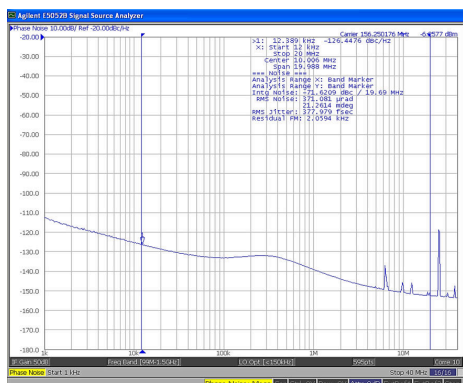
5.24 電源特性

VDD_VCO、VDDO_12、VDDO_34、VDD_REF = 1.8V ± 5%、2.5V ± 5%、3.3V ± 5%、T_A = -40°C ~ 105°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
I _{DD_REF}	VDD_REF 電源電流	25MHz XTAL、DBL ON	8		mA
I _{DD_VCO}	VCO および PLL 電流	f _{VCO} =2400MHz、PSA = PSB = 4、N 分周器 = 48	14		mA
I _{DD_OUT}	出力チャネル電流	IOD=6、LP-HCSL、OUT3 および OUT4 で 100MHz、OUT0 で 25MHz	22		mA
I _{DD_OUT}	出力チャネル電流	IOD = 6、LP-HCSL、OUT1 および OUT2 で 100MHz	17.5		mA
I _{DD_PDN}	パワーダウン電流	リセットピン / ビットを使用	2.8	5	mA
I _{DD_TYP}	標準電流	水晶振動子入力とダブラーを使用した 4 x 100MHz LVDS のケース、SSC オフ	50	70	mA
I _{DD_TYP}	標準電流	水晶振動子入力とダブラーを使用した 4 x 100MHz LP-HCSL のケース、SSC オフ	65	90	mA
L _{PSNR}	電源ノイズ除去	OUTx = 100MHz 差動、f _{INJ} = 100kHz で VDDx 注入正弦波の 1 つ	-61		dB
L _{PSNR}	電源ノイズ除去	OUTx = 100MHz 差動、f _{INJ} = 1MHz で VDDx 注入正弦波の 1 つ	-57		dB

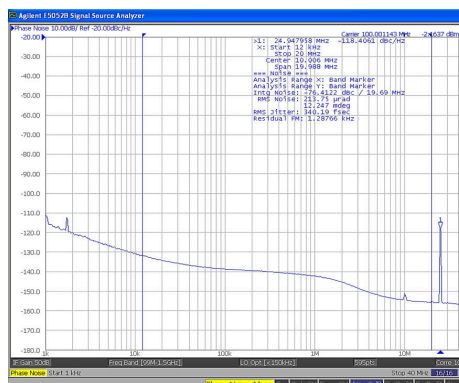
5.25 代表的特性

室温で測定



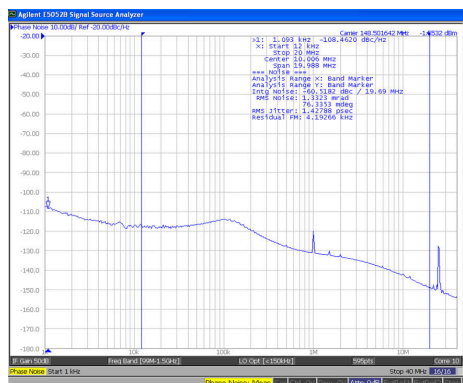
リファレンス: 水晶振 2.5GHz VCO による 156.25MHz LVDS
動子入力 25MHz 閉ループ位相ノイズ

図 5-1. 156.25MHz LVDS 出力



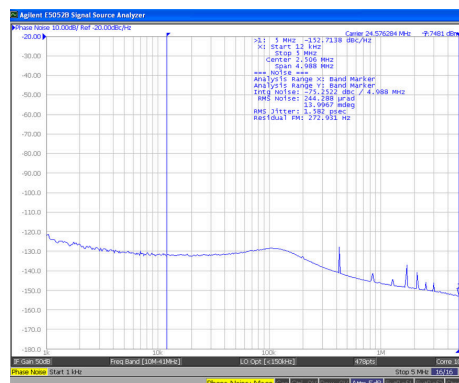
リファレンス: 水晶振 2.4GHz VCO による 100MHz LP-HCSL
動子入力 25MHz 閉ループ位相ノイズ

図 5-2. 100MHz LP-HCSL 出力



リファレンス: 水晶振 2.376GHz VCO に 148.5MHz LVDS
動子入力 25MHz による閉ループ位相ノイズ

図 5-3. 148.5MHz LVDS 出力



リファレンス: 水晶振 2.4576GHz VCO に 24.576MHz LVCMOS
動子入力 25MHz による閉ループ位相ノイズ

図 5-4. 24.576MHz LVCMOS 出力

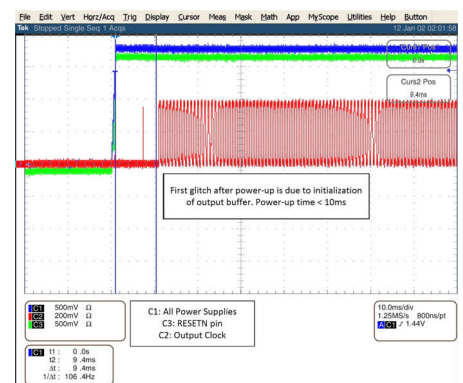


図 5-5. すべての電源 = 1.8V、VDD ランプ時間 = 1ms

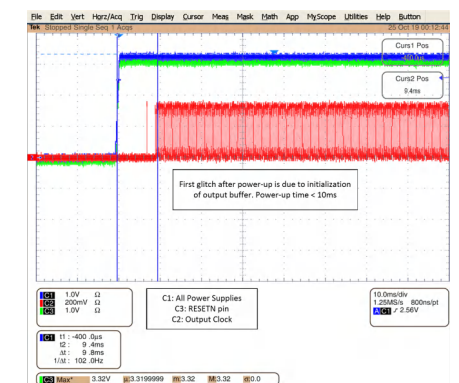


図 5-6. すべての電源 = 3.3V、VDD ランプ時間 = 1ms

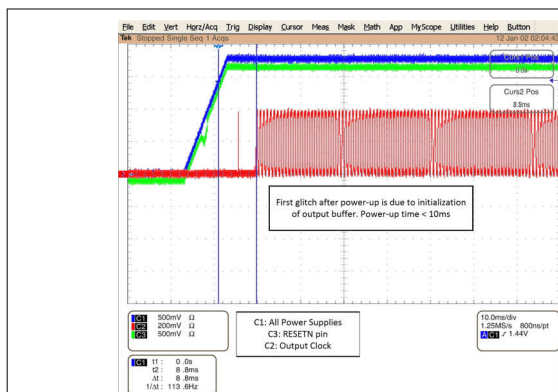


図 5-7. すべての電源 = 1.8V、VDD ランプ時間 = 10ms

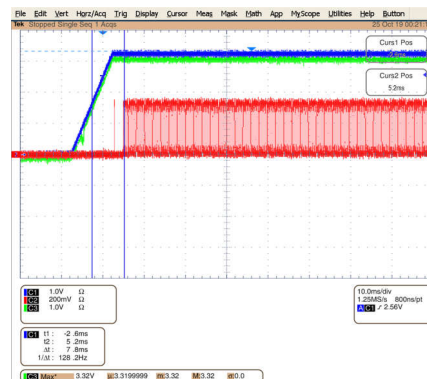


図 5-8. すべての電源 = 3.3V、VDD ランプ時間 = 10ms

6 パラメータ測定情報

6.1 リファレンス入力

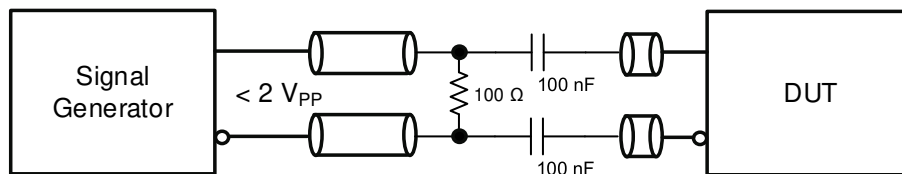


図 6-1. 差動 AC 結合入力

6.2 出力

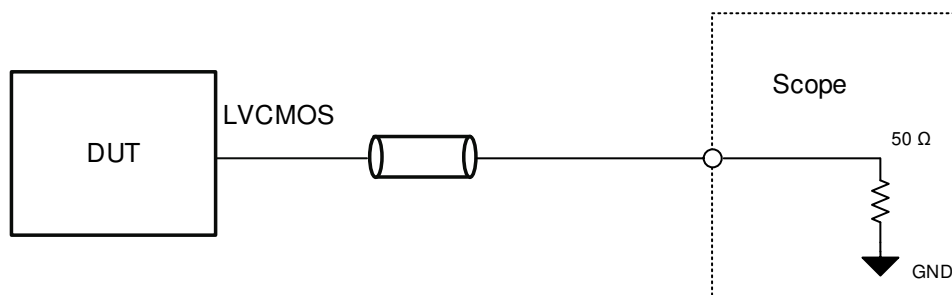


図 6-2. LVCMOS 出力テスト構成

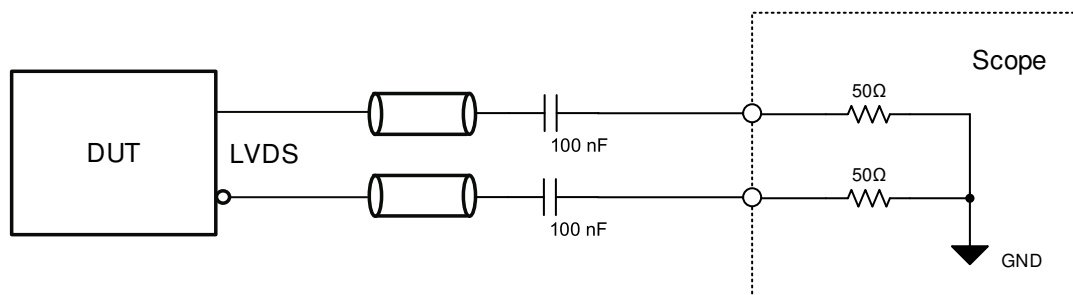


図 6-3. LVDS 出力テスト構成、AC 結合

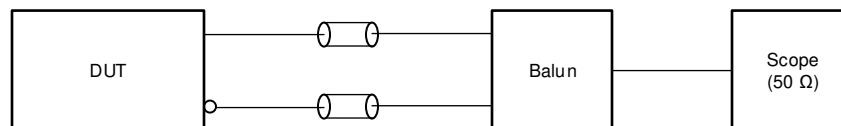


図 6-4. LP-HCSL テスト構成、DC 結合

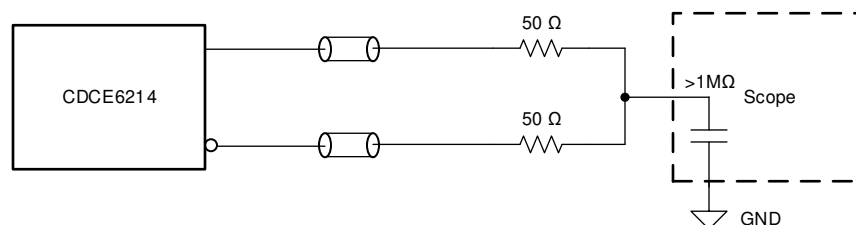


図 6-5. LVDS 同相電圧、DC 結合

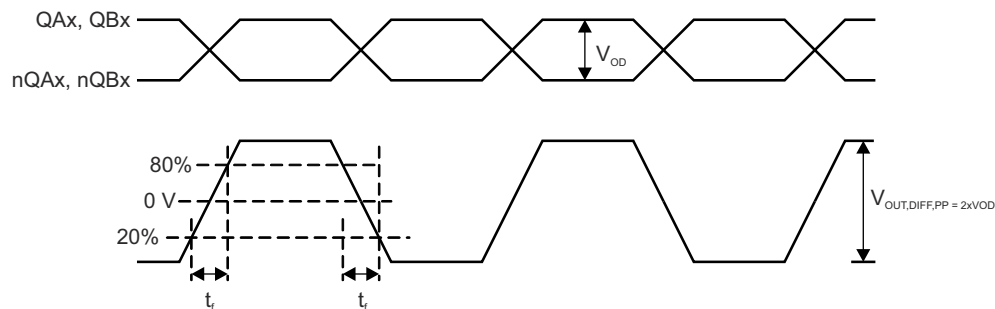


図 6-6. 差動出力電圧と立ち上がり / 立ち下がり時間

6.3 シリアル・インターフェイス

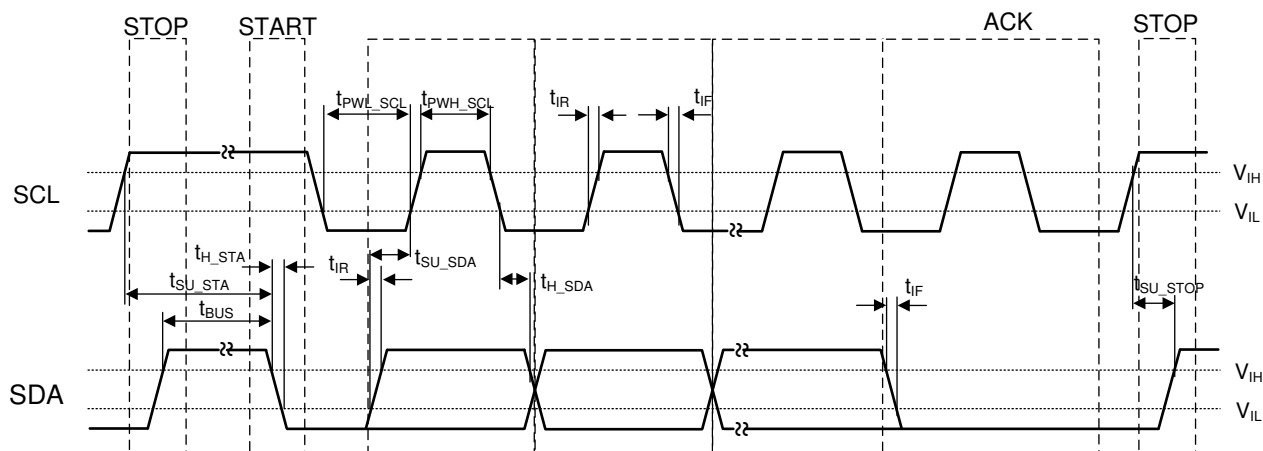


図 6-7. I²C タイミング

6.4 PSNR テスト

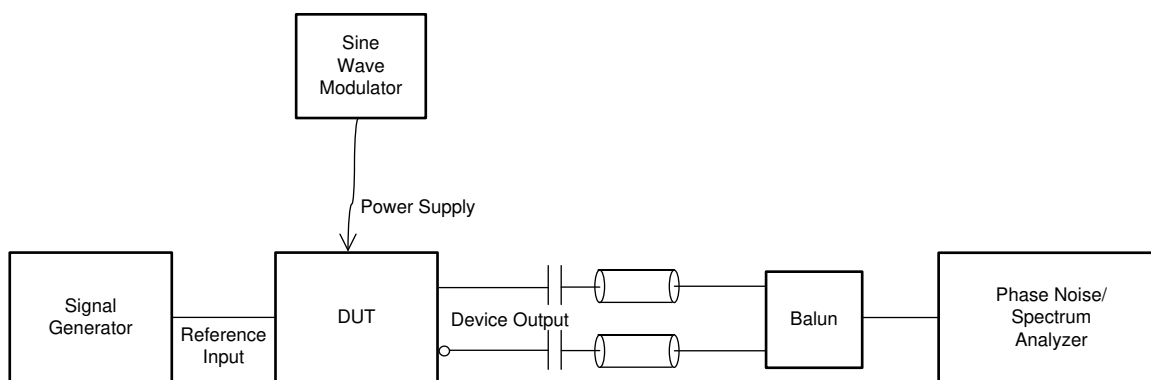


図 6-8. PSNR テスト構成

6.5 クロックのインターフェイスと終端

6.5.1 リファレンス入力

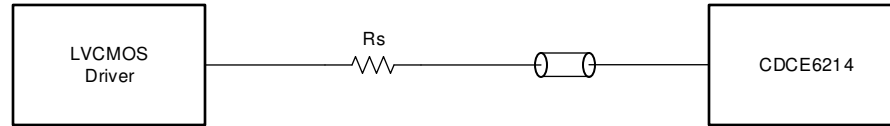


図 6-9. シングルエンド LVCMOS からリファレンス

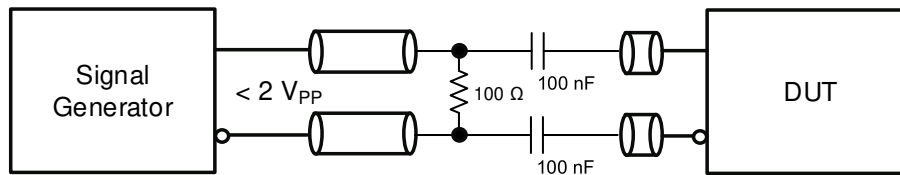


図 6-10. 差動入力からリファレンス

6.5.2 出力

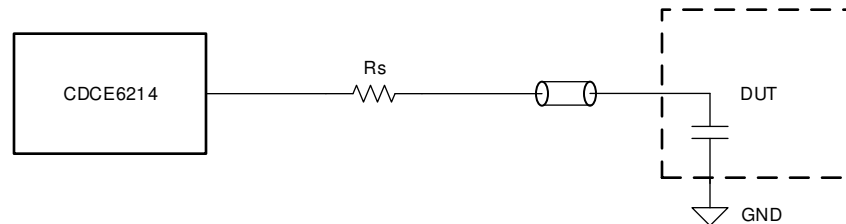
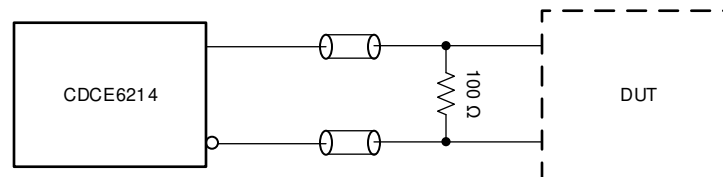


図 6-11. LVCMOS 出力



A. 100Ω の抵抗を DUT の近くに配置します

図 6-12. LVDS 出力 - DC 結合

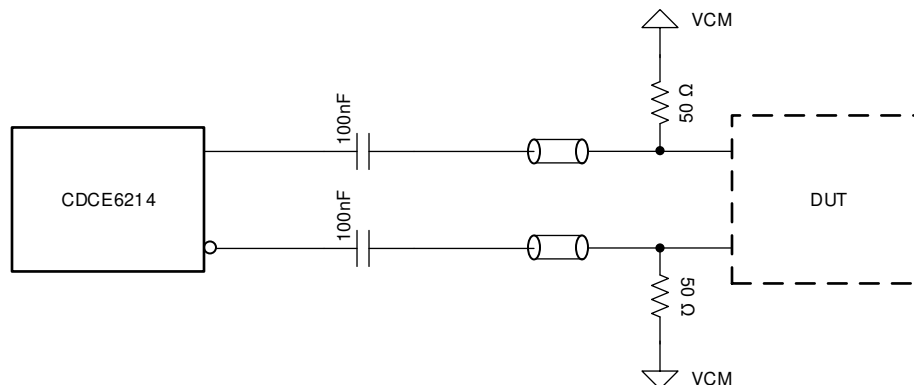


図 6-13. LVDS 出力 - AC 結合

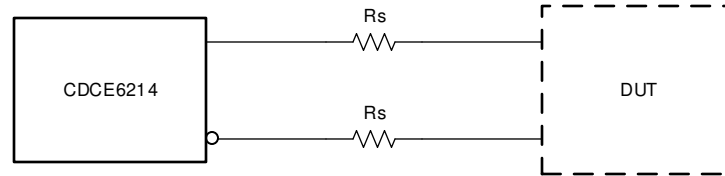


図 6-14. LP-HCSL 出力

7 詳細説明

7.1 概要

CDCE6214 向けクロック ジェネレータは、電圧制御発振器 (VCO) 内蔵、および選択可能な入力リファレンスを備えたループ フィルタ内蔵のフェーズ ロック ループ (PLL) です。入力リファレンスは、XTAL、差動およびシングルエンド LVCMOS 入力をサポートしています。PLL にはフラクショナル N PLL があり、内蔵 VCO の範囲は 2335 MHz ~ 2625 MHz です。VCO の出力は、複数の周波数分周器とマルチプレクサを含むクロック分配ネットワークに接続されています。これらのネットワークの出力は、構成可能な差動バッファとシングルエンド バッファを使用して 4 つの出力チャンネルに接続されています。4 つの電源ピンがあり、1.8V/2.5V/3.3V の電源電圧に個別に構成できます。CDCE6214 は、電源オン時にフォールバック モードでのみ I²C シリアル またはビルトイン EEPROM の両方でパワーアップ時に無効になります。このデバイスは、GPIO/I²C、内部/外部ゼロ遅延モードを介したデジタル制御発振器 (DCO) などのさまざまなモードをサポートします。

7.2 機能ブロック図

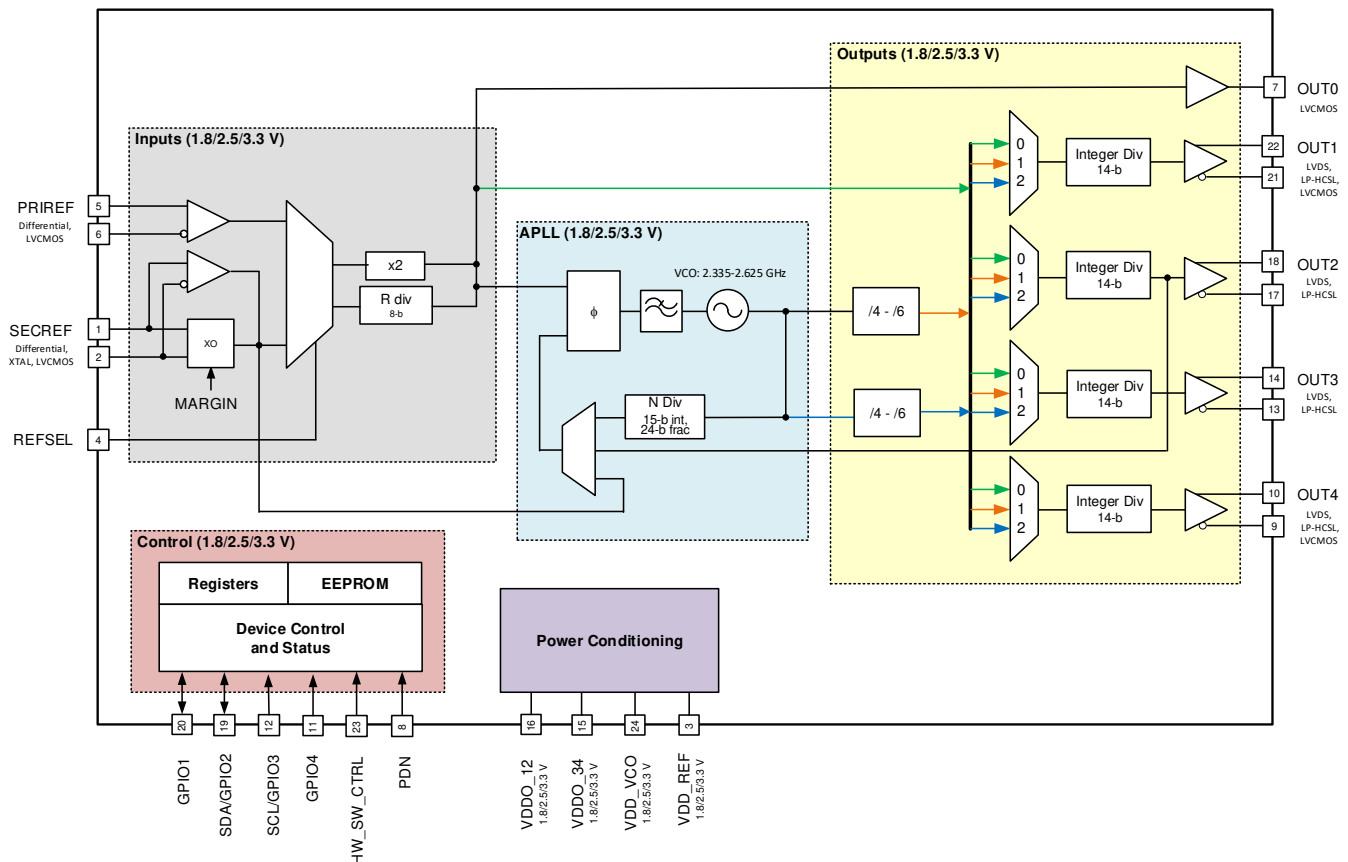


図 7-1. CDCE6214 クロック・ジェネレータ、2 入力、1 つのフラクショナル N PLL、4 出力付き

7.3 機能説明

以下のセクションでは、CDCE6214 超低消費電力クロック・ジェネレータの個々のブロックについて説明します。

7.3.1 リファレンス ブロック

PLL への基準クロックは、ピン 1 (SECREP_P) および 2 (SECREP_N)、またはピン 5 (PRIREF_P) および 6 (PRIREF_N) に供給されます。さまざまな基準クロックに対応するために、複数の入力段があります。ピン 1 とピン 2 を使用して、クロックの両端に XTAL を接続するか、外部シングルエンド LVCMOS クロックまたは差動クロックを供給することができます。これらのモードは、レジスタのプログラミングにより選択できます。差動モードを選択すると、ピンに適切なバイアスが印加されます。差動モードの場合は、外部 AC 結合コンデンサが必要です。XTAL または LVCMOS モードを選択すると、バイアス回路が解除されます。ピン 5 とピン 6 を使用して、外部シングルエンド LVCMOS クロックまたは差動クロックを供給できます。

リファレンス マルチプレクサは、PLL の基準クロックを選択します。REFSEL ピン = L に設定すると SECREP 入力を選択され、REFSEL ピン = H に設定すると PRIREF 入力を選択されます。または、レジスタ設定を使用してこれを構成することもできます。

表 7-1. リファレンス入力の選択

レジスタ ビット アドレス	レジスタ ビット フィールド名	値	説明
R2[1:0]	REFSEL_SW	0h または 1h	入力リファレンス マルチプレクサはピン 4 (REFSEL) で制御
	(デフォルト:0h)	2h	ピン 1 / ピン 2 の SECREP 入力を選択。これはピン 4 のステータスとは無関係です。
		3h	ピン 5 / ピン 6 の PRIREF 入力を選択。これはピン 4 のステータスとは無関係です。
R24[1:0]	IP_SECREP_BUF_SEL	0h	XO をイネーブル。SECREP ピンで有効。
	(デフォルト:0h)	1h	LVCMOS バッファをイネーブル。SECREP ピンで有効。
		2h または 3h	差動バッファをイネーブル。SECREP ピンで有効。
R24[15]	IP_PRIREF_BUF_SEL	0h	LVCMOS バッファをイネーブル。PRIREF ピンで有効。
	(デフォルト:0h)	1h	差動バッファをイネーブル。PRIREF ピンで有効。

基準分周器またはクロック ダブラーを使用して、基準クロックをさらに乗算 (2x) するか、PLL に分周することができます。IP_RDIV[7:0] を使用して分周器の値を設定できます。IP_RDIV[7:0] を 00h に設定するとダブラー機能が有効になります。

リファレンス ブロックからの出力クロックは、OUT0 およびその他の出力チャネルにバイパスできます。バイパスされたクロックは、入力クロックと PFD クロックのどちらかを選択できます。表 7-9 を参照してください。

SECREP_P および SECREP_N ピンは、基本モードの水晶振動子を 10MHz~50MHz の範囲で駆動する水晶発振器の段を提供します。水晶発振器の入力段には、最大 9pF の調節可能な負荷コンデンサ アレイが内蔵されており、R24[12:8] によりプログラムできます。発振器の駆動能力は、R24[5:2] によりプログラムできます。

LVCMOS 入力バッファのスレッシュホールド電圧は、VDD_REF に従います。このデバイスは、出力に個別の電源があるため、レベル シフトとして使用できます。

7.3.1.1 ゼロ遅延モード、内部パスおよび外部パス

CDCE6214 は、内部および外部フィードバックにより、ゼロ遅延モードで動作できます。ゼロ遅延モードでは、PRIREF クロックが PFD への基準クロックとして使用されます。SECREF 入力クロックを使用して、外部ソースを PFD へのフィードバック クロックとして供給できます。ゼロ遅延動作には、外部フィードバック パスを推奨します。さらに、出力チャンネル 2 から供給される追加の内部フィードバック パスもあります。内部ゼロ遅延モードでは、入力出力伝播遅延はゼロ遅延モードよりも高くなることが予想されます。

表 7-2. ゼロ遅延動作^{(1) (2) (3)}

動作	REFSEL	R2[1:0] - REFSEL_SW	R24[1:0] - IP_SECREF_BUF_SEL	R24[15] - IP_PRIREF_BUF_SEL	R0[8] - ZDM_EN	R0[10] - ZDM_CLOCKSEL	説明
通常動作、XTAL 入力	L	0h, 1h, または 2h	0h	X	0h	0h	通常動作、XTAL 入力
通常動作、差動入力	L	0h, 1h, または 2h	2h または 3h	X	0h	0h	SECREF / 差動入力
通常動作、差動入力	H	0h, 1h, または 3h	X	1h	0h	0h	PRIREF / 差動入力
通常動作、LVCMOS 入力	L	0h, 1h, または 2h	1h	X	0h	0h	SECREF / LVCMOS 入力
通常動作、LVCMOS 入力	H	0h, 1h, または 3h	X	0h	0h	0h	PRIREF / LVCMOS 入力
外部ゼロ遅延モード、差動入力	H	0h, 1h, または 3h	2h または 3h	1h	1h	1h	PRIREF の入力クロック、SECREF のフィードバック クロック
外部ゼロ遅延モード、LVCMOS 入力	H	0h, 1h, または 3h	1h	0h	1h	1h	PRIREF の入力クロック、SECREF のフィードバック クロック
内部ゼロ遅延モード、差動入力	H	0h, 1h, または 3h	X	1h	1h	0h	PRIREF の入力クロック
内部ゼロ遅延モード、差動入力	H	0h, 1h, または 3h	X	0h	1h	0h	PRIREF の入力クロック

- (1) ゼロ遅延モードでは、PLL がロックできるようにすべての分周器をプログラムする必要があります。ゼロ遅延モードでのパワーアップ時に、PLL は自動的にロックされます。
- (2) 外部ゼロ遅延モードでは、チャンネル 2 が必要です。チャンネル 2 はパワーダウンしないでください。
- (3) 「X」は機能に影響を与えずに、あらゆる値を許可します。

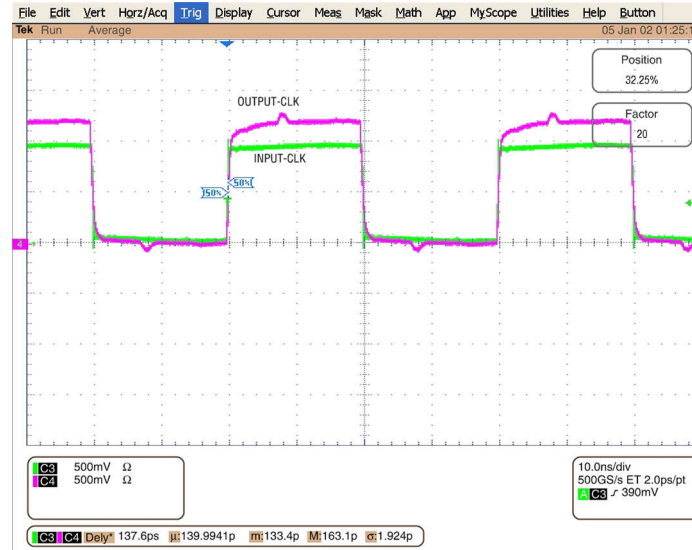


図 7-2. LVC MOS 出力の外部ゼロ遅延モードでの入力 / 出力アライメント

7.3.2 フェーズロック ループ(PLL)

CDCE6214 は、完全に統合されたフェーズ ロック ループ (PLL) 回路を備えています。位相周波数検出器で、リファレンス位相と内部フィードバック位相の間の誤差が比較されます。比較結果は、内蔵ループ フィルタに接続されているチャージポンプに供給されます。ループ フィルタから生成される制御電圧によって、内蔵の電圧制御発振器 (VCO) が調整されます。VCO の周波数は、帰還分周器 (N カウンタ) を経由して PFD に返されます。

- 整数およびフラクショナル N PLL 動作モード。
- 分数モードでの 1 次、2 次、または 3 次の MASH 動作。
- 24 ビットの分子と分母を使用して、0ppb の周波数精度で分数周波数を生成できます。
- PFD は 1MHz~100MHz で動作します。
- ライブ ロック検出器 (R7[0] または GPIO の PLL_LOCK) は、PLL ロック ステータスを提供します (分数モードで SSC がイネーブルの場合、ロック検出ウィンドウを拡大する必要があります。R50[10:8] = 7h)。さらに、スティッキー ビット ロック検出 (R7[1]) により、ロックの一時的損失があったかどうかを検出されます。
- 選択可能なフィルタ コンポーネントを内蔵しています。
- 25MHz の PFD 周波数では、100kHz~1.6MHz の PFD 帯域幅を実現して、リファレンス入力への PLL を最適化できます。
- 電圧制御発振器 (VCO) の範囲は 2335MHz~2615MHz です。
- 0.25% および 0.5% のセンターおよびダウン スプレッド スペクトラム クロック (SSC) をサポートしています。さらに、VCO は PCIe クロック用に 100MHz で最大 0.5% の SSC 基準電圧もサポートしています。

表 7-3. 一般的なクロック ジェネレータのループ フィルタ設定

f _{VCO} (MHz)	f _{PFD} (MHz)	帯域幅 (MHz 単位)	位相マージン (°)	減衰係数	I _{CP} (mA)	C _{Pcap} (pF)	R _{Res} (kΩ)	C _{Zcap} (pF)
2400	25	0.469	70	0.5	0.60	16.1	2.5	580
2400	50	0.938	70	2	0.60	8.2	2.5	276
2400	100	1.60	70	0.5	0.80	8.2	2.5	303
2457.6	61.44	1.04	70	1.15	0.60	9.2	2.0	331
2500	25	0.49	70	0.4	0.60	13.5	2.5	497
2500	50	0.93	70	1.0	0.60	11.7	2.5	386
2400	50	400	65	0.1	0.40	11.7	1.5	636

表 7-4. 一般的な PLL 分周器設定 (1)

入力周波数 (MHz)	f _{PFD} (MHz)	出力周波数 (MHz)	f _{VCO}	N カウンタ分周値	分子	分母	PSA	出力分周器
25	50	100	2400	48	該当なし	該当なし	4	6
25	25	100	2400	96	該当なし	該当なし	4	6
25	50	156.25	2500	50	該当なし	該当なし	4	4
25	25	25	2400	96	該当なし	該当なし	4	24
25	25	24.576	2457.6	98	5071614	16682942	4	25
25	25	148.5	2376	95	664983	16624579	4	4

(1) 分数モード設定は、DCO モードのステップ サイズである 0.1ppm に基づいています

7.3.2.1 PLL 構成および分周器の設定

$$f_{PFD} = F_{in} / F_{factor} \quad (1)$$

F_{factor} は、R25[7:0] - ip_ref_div によって決まります。ip_ref_div = 0 のときは F_{factor} = 0.5、それ以外のときは F_{factor} = ip_ref_div です。

$$f_{VCO} = f_{PFD} \times (N + Num/Den). \quad (2)$$

N は、R30[14:0] - PLL_NDIV によって設定されます。Num は分数の分子で、{R32[7:0], R31[15:0]} によって設定されます。Den は分数の分母で、R34[7:0], R33[15:0] によって設定されます。{R34[7:0], R33[15:0]} = 0 のとき、Den = 2²⁴ です。

シグマ デルタ モジュレータは、量子化ノイズを形成するために、異なる次数の MASH をサポートしています。整数モードの場合、R27[1:0] は 0h として設定されます。分数モードでは、R27[1:0] は、1 次では 1h、2 次では 2h、3 次では 3h にそれぞれ設定できます。

整数モードでは、R51[6] = 1h に設定することにより、PLL がシングルエンド PFD 構成で設定されます。分数モードでは、R51[6] = 0h に設定することにより、PLL を差動 PFD 構成で設定する必要があります。さらに、R51[10] は、分数モードでは 1h として、整数モードでは 0h として設定されます。

7.3.2.2 拡散スペクトラム クロック処理

矩形クロック信号からの高調波エネルギーは、特定の周波数範囲に拡散できます。この周波数偏差は、高調波の平均振幅の低下につながります。これは、レシーバがこの動作モードをサポートしている場合に、システムの電磁干渉 (EMI) の課題対応に役立ちます。変調の形状は三角波です。

SSC クロックは、フラクショナル N PLL を介して生成されます。SSC がイネーブルのとき、SSC クロックは、PLL から生成されるすべてのクロックで使用できます。基準クロックまたは PFD クロックは、OUT1～OUT4 ピンで使用できます。

ダウン スプレッドとセンター スプレッドをサポートしています。以下のモードをサポートしています。

- PFD 周波数: 25MHz または 50MHz
- ダウン スプレッド: -0.25% および ±0.5%
- センター スプレッド: ±0.25% および ±0.5%

これらの組み合わせのいずれかを選択するには、事前構成済み設定を使用できます。

これらの事前構成済み設定を使用すると、31.5kHz の fmod が合成され、100MHz の出力クロックが得られます。

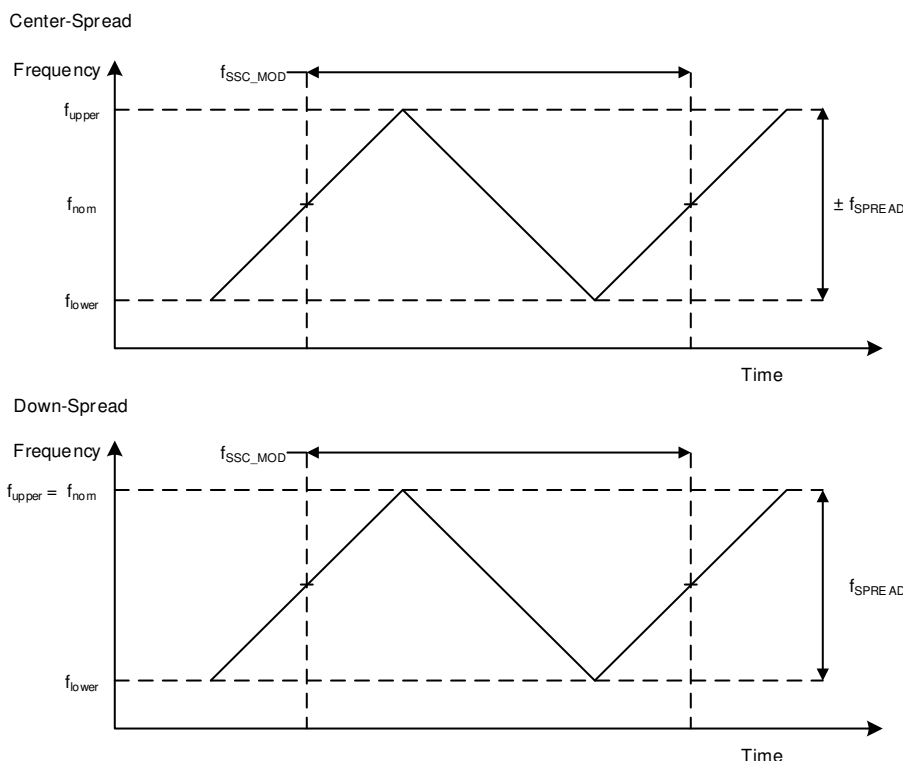


図 7-3. 拡散スペクトラム クロック

表 7-5. 拡散スペクトラム設定 (1) (2)

R41[15] - SSC_EN	R42[5] - SSC_TYPE	R42[3:1] - SSC_SEL	説明
0h	X	X	出力に SSC 変調なし
1h	0h	X	ダウン スプレッド SSC 変調。SSC 拡散は、ssc_sel によって決まります
1h	1h	X	センター スプレッド SSC 変調。SSC 拡散は、ssc_sel によって決まります
1h	X	0h	25MHz PFD、センター スプレッドの場合は $\pm 0.25\%$ 、ダウン スプレッドの場合は -0.25% 。
1h	X	1h	25MHz PFD、センター スプレッドの場合は $\pm 0.50\%$ 、ダウン スプレッドの場合は -0.50% 。
1h	X	2h	50MHz PFD、センター スプレッドの場合は $\pm 0.25\%$ 、ダウン スプレッドの場合は -0.25% 。
1h	X	3h	50MHz PFD、センター スプレッドの場合は $\pm 0.50\%$ 、ダウン スプレッドの場合は -0.50% 。
1h	X	4h-7h	使用できません。

(1) 「X」は、このビット フィールドが任意の値を取ることを示します

(2) その他の SSC 拡散および変調レートについては、テキサス・インスツルメンツの担当者にお問い合わせください。

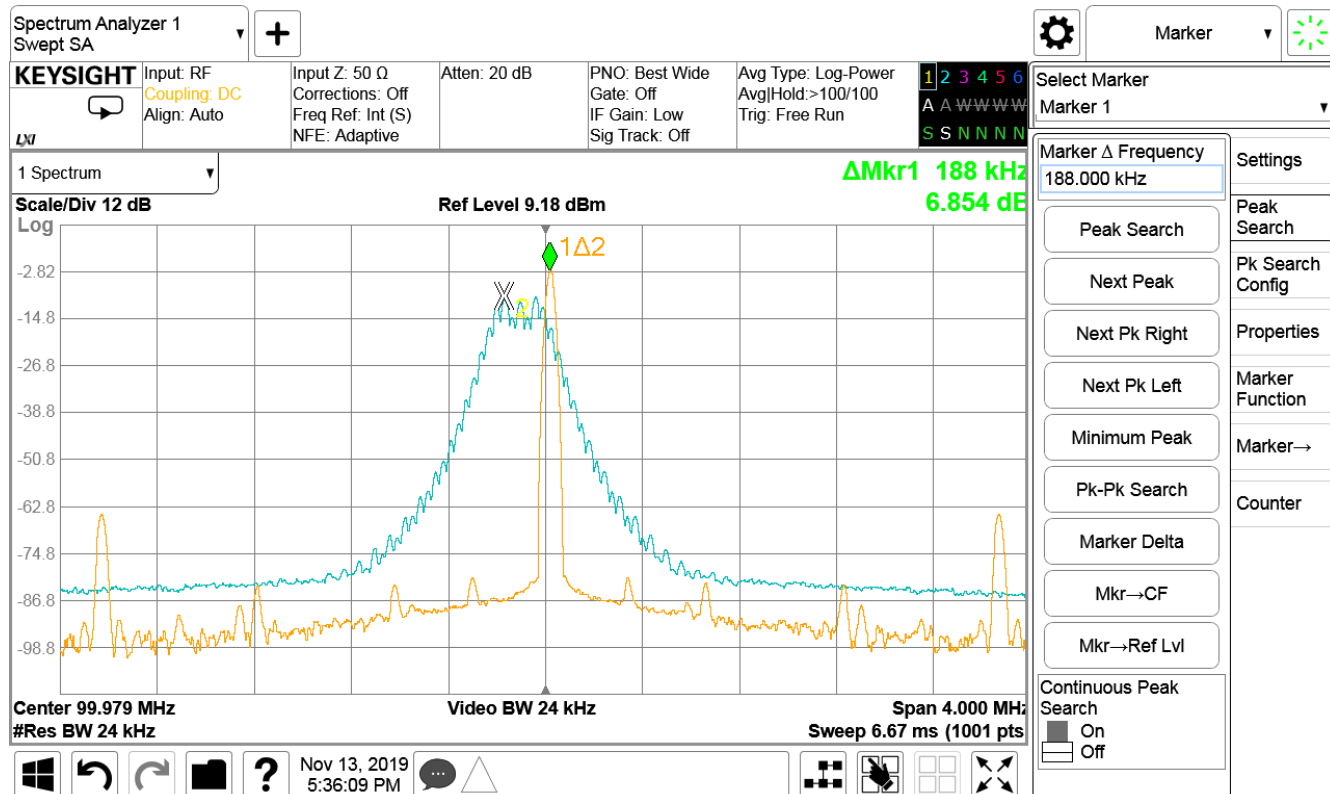


図 7-4. 100MHz、-0.25% のダウンスプレッド、パターンあり / なし

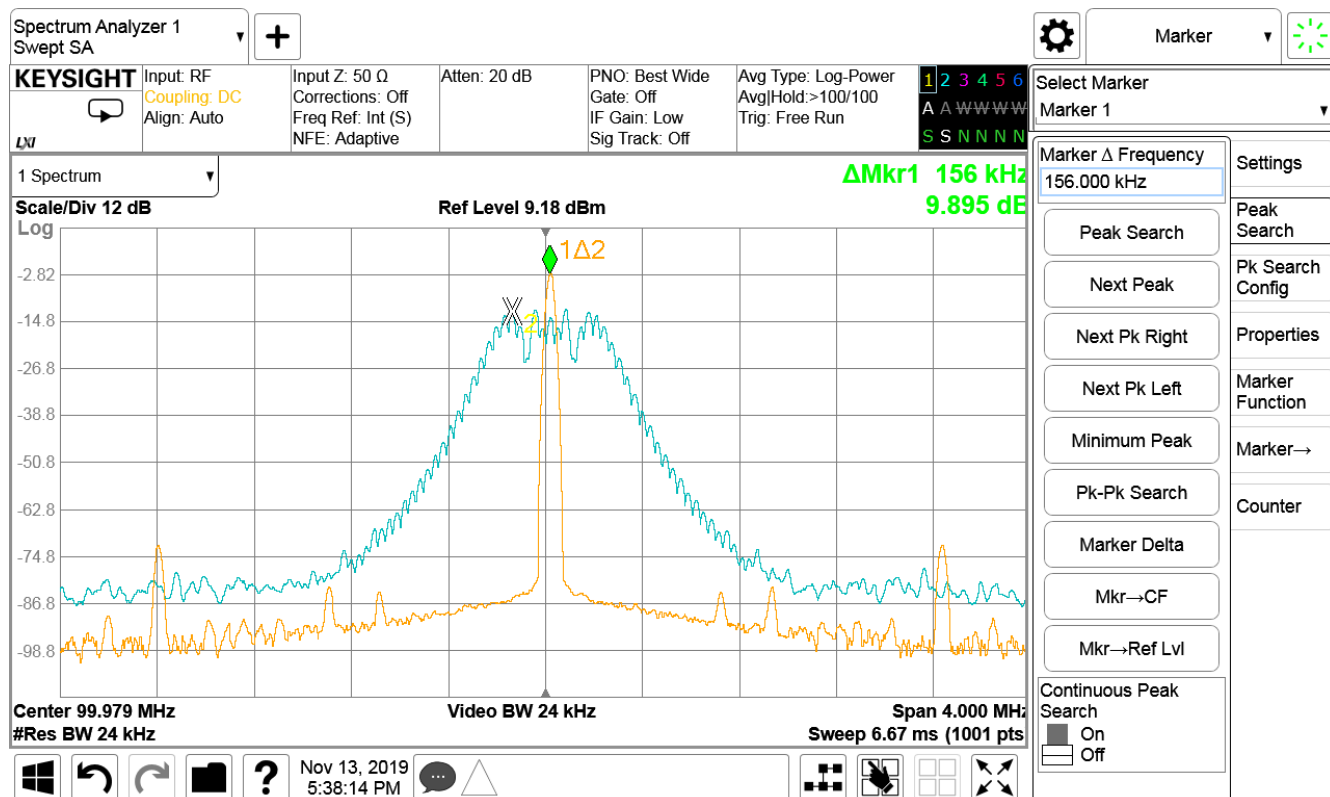


図 7-5. 100MHz、±0.25% のセンター スプッド、パターンあり / なし

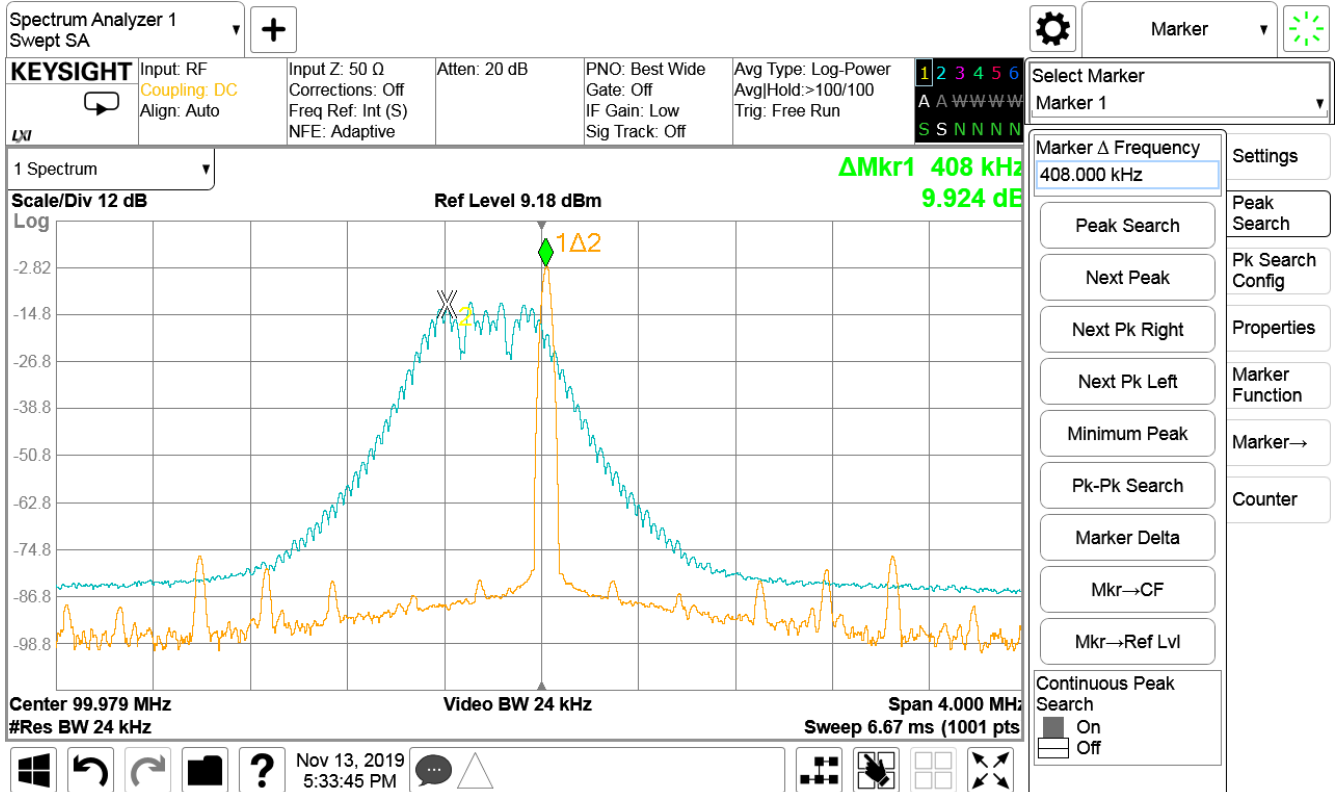


図 7-6. 100MHz、-0.5% のダウン スプレッド、パターンあり / なし

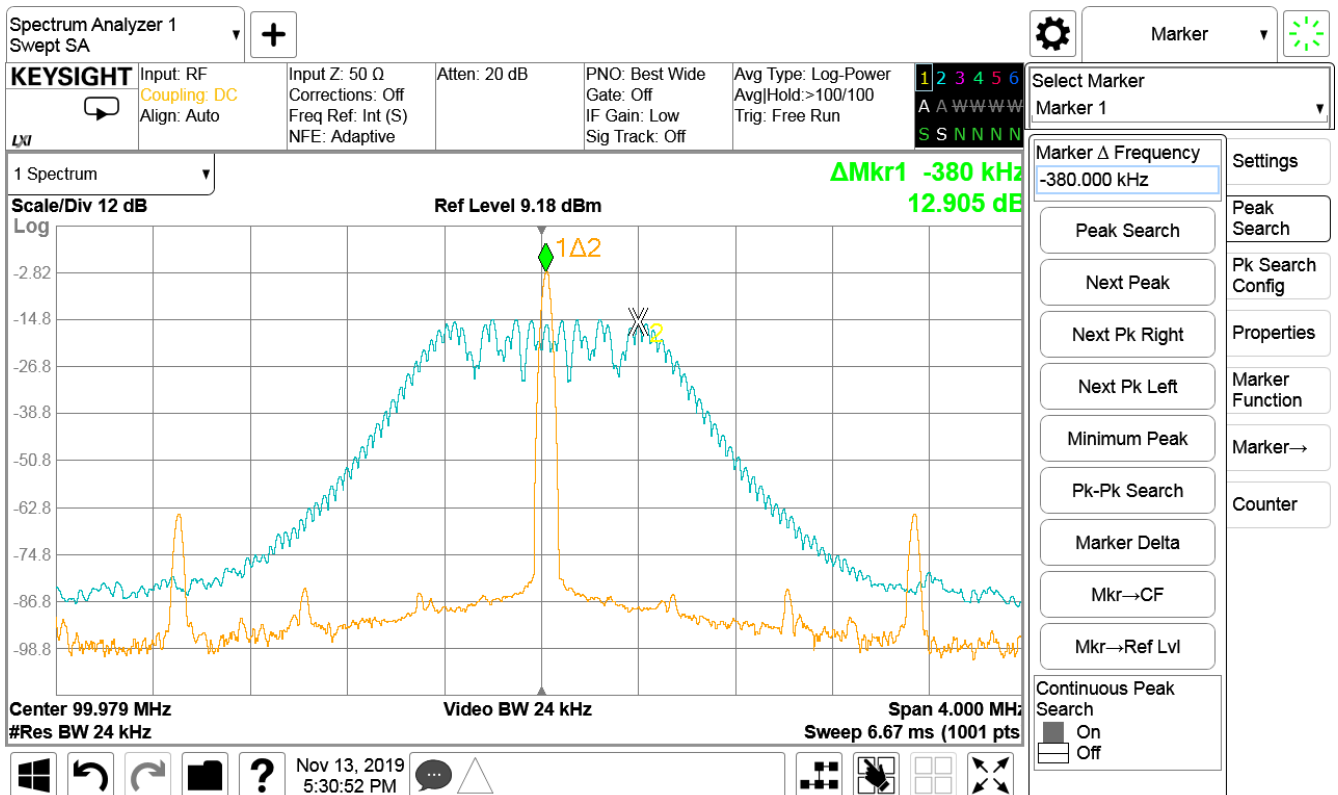


図 7-7. 100MHz、 $\pm 0.5\%$ のセンター スプッド、パターンあり / なし

表 7-6. PCI Express 準拠測定

番号	CLASS	データレート	アーキテクチャ	PNA 測定方式	スコープ測定方式	仕様限界	結果
1	Gen4	16Gb/s	CC	195fs	260fs	500fs	合格
2	Gen4	16Gb/s	SRIS	-	490fs	500fs	合格
3	Gen5	32Gb/s	CC	87fs	111fs	150fs	合格
4	Gen5	32Gb/s	SRIS	-	157fs	*	*

7.3.2.3 デジタル制御発振器と周波数インクリメントまたはデクリメント - シリアル インターフェイス モードと GPIO モード

このモードでは、出力クロック周波数を固定周波数ステップでインクリメントまたはデクリメントできます。周波数ステップ サイズは、レジスタ R43[15:0] によって決まります。この値は、シグマ デルタ変調器の分子に加算または減算されます。FREQ_INC 信号の立ち上がりエッジごとに出力周波数が上昇し、FREQ_DEC 信号の立ち上がりエッジごとに出力周波数が低下します。インクリメント / デクリメントをトリガする方法は 2 つあります。

1. GPIO を適切に構成し、外部マイコンまたは ASIC 経由で FREQ_INC または FREQ_DEC 信号を送信します。
2. シリアル インターフェイスで制御されるレジスタ ビット フィールドを使用します。

表 7-7. 周波数インクリメントまたはデクリメント機能のレジスタ設定

レジスタ ビット アドレス	レジスタ ビット フィールド名	説明
R3[3]	FREQ_INC_DEC_EN	DCO モードを有効化 / 無効化します
R3[4]	FREQ_INC_DEC_REG_MODE	GPIO またはシリアル インターフェイスを使用して DCO トリガを選択します。
R3[6:5]	FREQ_DEC_REG、FREQ_INC_REG	シリアル インターフェイス経由で FREQ_INC または FREQ_DEC 信号を生成します
R43[15:0]	FREQ_INC_DEC_DELTA	周波数インクリメントまたはデクリメントのステップ サイズ

表 7-8. DCO モードでの分周器設定の計算

パラメータ	値 (例)	説明
入力 PFD 周波数 (F_{PFD})	25MHz	F_{PFD} に従って設定します。
期待される VCO 周波数 (F_{VCO})	2457.6MHz	F_{VCO} は、2335MHz～2625MHz の VCO 動作範囲内に設定されます。PSA / PSB / 出力分周器が整数になるように F_{VCO} が選択されます。
期待される出力周波数 (F_{OUT})	24.576MHz	$PSA = 4$ 、 $IOD = 25$ 。 $F_{VCO} = PSA \times IOD \times F_{OUT}$ 。
期待されるステップ サイズ (ppm 単位) (F_{step})	0.1	FREQ_INC または FREQ_DEC の立ち上がりエッジごとに、出力はこのステップ サイズで変化します。
N 分周器の値 (N)	98	$INT(F_{VCO}/F_{PFD})$
0ppb の精度を満たす最小の分子値 (Num)	76	これらの値は、出力の精度要件を満たすよう計算されます。 2^{24} 未満である必要があります。
0ppb の精度を満たす最小の分母 (Den)	250	
ppm ステップ サイズを満たす最小の分母値 ($F_{DEN,min}$)	101725.26	$1/(F_{step} \times 1e6) / (F_{VCO}/F_{PFD})$
最終的な分母値 ($F_{DEN,final}$)	500000	$F_{DEN,final}$ は、 $F_{DEN,min}$ よりも大きく、 2^{24} よりも小さい必要があります。 $F_{DEN,final}$ および $F_{NUM,final}$ はそれぞれ、Den と Num の整数倍である必要があります。 $F_{DEN,final}/Den = F_{NUM,final}/Num$
最終的な分子値 ($F_{NUM,final}$)	152000	
ステップ サイズをインクリメントまたはデクリメントします	5	この値は $2^{16}-1$ 未満である必要があります。 $F_{DEN,final}$ は、 $F_{DEN,min}$ の最も近い整数倍である必要があります。

7.3.3 クロック ディストリビューション

VCO 出力は、オンチップ クロック分配の供給源である個別構成可能な 2 つのプリスケアラ分周器、PSA と PSB に接続されます。PSA と PSB は、/4、/5、または /6 の分周値として互いに独立して構成できます。

クロック分配は、4 つの出力チャンネルで構成されています。各出力チャンネルには、グリッチレス スイッチングおよび同期機能を備えた整数分周器 (IOD) が内蔵されています。

IOD は、PSA、PSB、または基準クロックのいずれかをソースにすることができます。IOD をバイパスすると、出力で基準クロックを供給できます。

OUT0、OUT1、OUT2、OUT3、OUT4 の 5 つの出力チャンネルがあります。

OUT0 はスルーレート制御可能な LVCMOS 出力です。基準クロックか PFD クロックのいずれかを、クロック分配ネットワーク経由でこの出力に配線できます。

OUT1 と OUT4 は同一の出力チャンネルです。このチャンネルの出力バッファは、LVCMOS、LP-HCSL、疑似 LVDS など、さまざまな信号規格と互換性があります。

OUT2 と OUT3 は同一の出力チャンネルです。このチャンネルの出力バッファは、LP-HCSL や 疑似 LVDS など、さまざまな信号規格と互換性があります。

- LP-HCSL 出力バッファは、GND への終端抵抗なしでレシーバに直接接続できます。LP-HCSL の出力インピーダンスは、 $50\Omega \pm 10\%$ にトリミングされます。直列抵抗を使用して、トレースのインピーダンスに適應できます。
- 疑似 LVDS では、正と負の極性の出力ピンの間に差動終端を接続する必要があります。終端は、直接接続すること、AC 結合コンデンサを経由することもできます。 50Ω のシステムには、 100Ω の差動終端が適切です。
- LVCMOS 出力は、容量性負荷専用として設計されています。正および負の出力ピンの極性は、個別に構成できます。

差動バッファは、最大 328.125MHz の広範囲の出力周波数をサポートします。LVCMOS は最大 200MHz をサポートします。

表 7-9. 入力基準クロック、PFD クロック、または PLL クロックから出力までの構成 ⁽¹⁾

レジスタ ビット アドレス	レジスタ ビット フィールド名	説明
R25[10]	IP_BYP_OUT0_EN	OUT0 に対する基準クロックまたは PFD クロックをイネーブルにします
R25[9]	REF_CH_MUX	PFD クロックまたは入力基準クロックを選択します
R25[14:11]	IP_REF_TO_OUT4_EN、 IP_REF_TO_OUT3_EN、 IP_REF_TO_OUT2_EN、 IP_REF_TO_OUT1_EN	OUT1～OUT4 への基準クロックを選択します
R56[15:14]	CH1_MUX	OUT1 のクロック選択 MUX 制御
R62[15:14]	CH2_MUX	OUT2 のクロック選択 MUX 制御
R67[15:14]	CH3_MUX	OUT3 のクロック選択 MUX 制御
R72[15:14]	CH4_MUX	OUT4 のクロック選択 MUX 制御

(1) クロストーク低減のため、クロックを使用していないときはすべてディスエーブルにすることを推奨します

表 7-10. クロック分配ネットワークの構成

レジスタ ビット アドレス	レジスタ ビット フィールド名	説明
R47[6:5]	PLL_PSB	プログラマブル プリスケアラ分周器 PSB
R47[4:3]	PLL_PSA	プログラマブル プリスケアラ分周器 PSA
R56[13:0]	CH1_DIV	OUT1 整数分周器の値
R62[13:0]	CH2_DIV	OUT2 整数分周器の値
R67[13:0]	CH3_DIV	OUT3 整数分周器の値

表 7-10. クロック分配ネットワークの構成 (続き)

レジスタ ビット アドレス	レジスタ ビット フィールド名	説明
R72[13:0]	CH4_DIV	OUT4 整数分周器の値

表 7-11. LVCMOS 出力バッファの構成 (1) (2)

レジスタ ビット アドレス	レジスタ ビット フィールド名	説明
R78[12]	CH0_EN	OUT0 LVCMOS バッファをイネーブルにします
R79[3:0]	CH0_CMOS_SLEW_RATE_CTRL	OUT0 LVCMOS バッファの出力スループートを制御します
R59[14], R75[14]	CH1_CMOSN_EN, CH4_CMOSP_EN	OUT1N/OUT4P LVCMOS バッファをイネーブルにします
R59[13], R75[13]	CH1_CMOSP_EN, CH4_CMOSN_EN	OUT1P/OUT4N LVCMOS バッファをイネーブルにします
R59[12], R75[12]	CH1_CMOSN_POL, CH4_CMOSP_POL	OUT1N/OUT4P LVCMOS バッファの出力極性を設定します
R59[11], R75[11]	CH1_CMOSP_POL, CH4_CMOSN_POL	OUT1P/OUT4N LVCMOS バッファの出力極性を設定します
R60[3:0], R76[3:0]	CH1_CMOS_SLEW_RATE_CTRL, CH4_CMOS_SLEW_RATE_CTRL	OUT1/OUT4 LVCMOS バッファの出力スループートを制御します

- (1) 複数の出力バッファを同時に有効にはできません。
 (2) VDDO レベルに基づき、ch1_1p8vdet、ch2_1p8vdet、ch3_1p8vdet、ch4_1p8vdet を適宜設定する必要があります。1.8V に設定する場合は、safety_1p8v_mode を設定する必要があります。

表 7-12. LP-HCSL 出力バッファの構成 (1) (2) (3)

レジスタ ビット アドレス	レジスタ ビット フィールド名	説明
R57[14], R63[13], R68[13], R73[13]	CH1_HCSL_EN, CH2_HCSL_EN, CH3_HCSL_EN, CH4_HCSL_EN	OUT1/OUT2/OUT3/OUT4 で LP-HCSL バッファをイネーブルにします

- (1) 複数の出力バッファを同時に有効にはできません。
 (2) 外部終端は不要です。電圧モードドライバ。
 (3) VDDO レベルに基づき、ch1_1p8vdet、ch2_1p8vdet、ch3_1p8vdet、ch4_1p8vdet を適宜設定する必要があります。1.8V に設定する場合は、safety_1p8v_mode を設定する必要があります。

表 7-13. 疑似 LVDS 出力バッファの構成 (1) (2) (3)

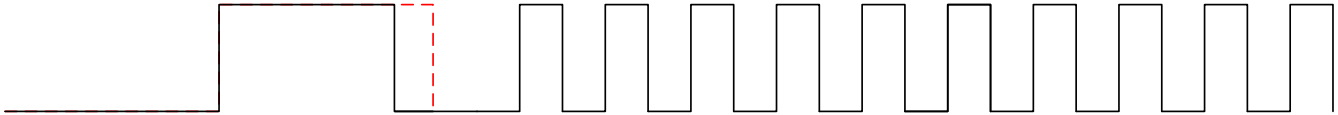
レジスタ ビット アドレス	レジスタ ビット フィールド名	説明
R59[15], R65[11], R70[11], R75[15]	CH1_LVDS_EN, CH2_LVDS_EN, CH3_LVDS_EN, CH4_LVDS_EN	OUT1/OUT2/OUT3/OUT4 で疑似 LVDS バッファをイネーブルにします
R60[15:12], R66[3:0], R71[3:0], R76[9:6]	CH1_DIFFBUF_IBIAS_TRIM, CH2_DIFFBUF_IBIAS_TRIM, CH3_DIFFBUF_IBIAS_TRIM, CH4_DIFFBUF_IBIAS_TRIM	OUT1/OUT2/OUT3/OUT4 の出力スイングと出力同相モードを設定します
R60[11:10], R66[5:4], R71[5:4], R76[5:4]	CH1_LVDS_CMTRIM_INC, CH2_LVDS_CMTRIM_INC, CH3_LVDS_CMTRIM_INC, CH4_LVDS_CMTRIM_INC	OUT1/OUT2/OUT3/OUT4 の出力同相モードを引き上げます。2.5V/3.3V モードのみ。
R60[5:4], R65[14:13], R71[10:9], R77[1:0]	CH1_LVDS_CMTRIM_DEC, CH2_LVDS_CMTRIM_DEC, CH3_LVDS_CMTRIM_DEC, CH4_LVDS_CMTRIM_DEC	OUT1/OUT2/OUT3/OUT4 の出力同相モードを引き下げます。2.5V または 3.3V モードの場合のみ。

- (1) 複数の出力バッファを同時に有効にはできません。
 (2) DC 結合モードでは、100Ω の差動終端が必要です。AC 結合モードでは、50Ω のシングルエンド終端または 100Ω の差動終端が必要です。
 (3) VDDO レベルに基づき、ch1_1p8vdet、ch2_1p8vdet、ch3_1p8vdet、ch4_1p8vdet を適宜設定する必要があります。1.8V に設定する場合は、safety_1p8v_mode を設定する必要があります。

7.3.3.1 グリッチレス動作

ビット フィールド `ch{x}_glitchless_en` を使用して、グリッチレス出力分周器の更新を有効にできます。この機能により、クロック周期の **High** パルスが出力分周器の更新プロセスによって遮断されないことが保証されます。この機能は、レシーバのセットアップ時間とホールド時間が違反されていないことも保証します。以前の期間から新しい期間への遷移時の **Low** パルスが適宜延長されます。

Glitch-Less Divider Disabled:



Glitch-Less Divider Enabled:

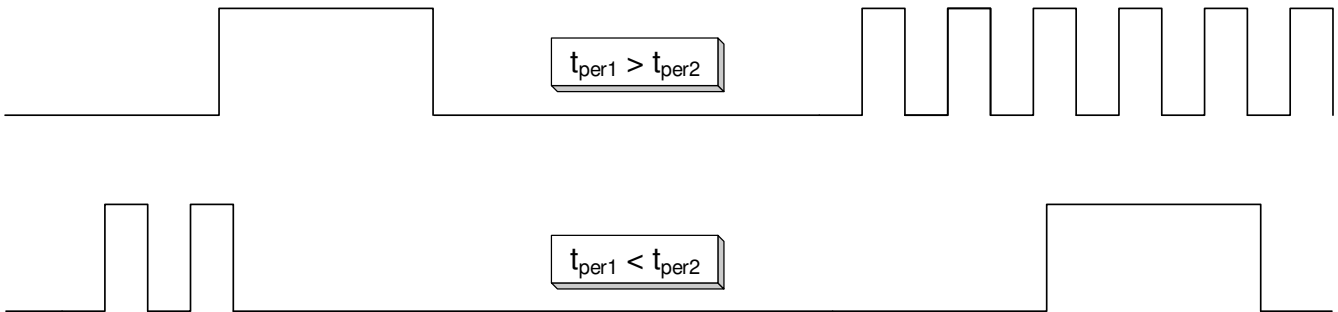


図 7-8. グリッチレス分周器の更新

7.3.3.2 分周器の同期

出力分周器は、決定論的な方法でリセットできます。これは、同期ビットまたは **PDN** ピンを使用して行うことができます。ピンのレベルは、**PFD** 入力の基準周波数を使用して内部的に判定されます。**SYNCH** ピンまたは同期ビットが **Low** レベルになると、出力がミュートされます。**High** レベルになると、すべての出力分周器が同期的に解放されて動作し、すべての出力が共通の立ち上がりエッジを共有します。最初の立ち上がりエッジは、それぞれのプリスケール期間のステップで個別に遅延させることができ、`ch{x}_sync_delay` を使用して最大 32 サイクルまで遅延可能です。これにより、**FPGA** 設計でロジック ゲートが引き起こす配線ミスマッチ、ケーブル、固有遅延などの外部遅延を補償できます。各チャネルは、同期プロセスに含めることも、除外することもできます。分周器の同期は、`ch{x}_sync_en` によって個別に有効にできます。

パワー サイクルでの入力から出力までの確定的な動作を実現するには、基準分周器を **1** に設定する必要があります。リファレンス分周器がリファレンス クロックを分割したり、リファレンス ダブラーを使用したりしてはいけません。

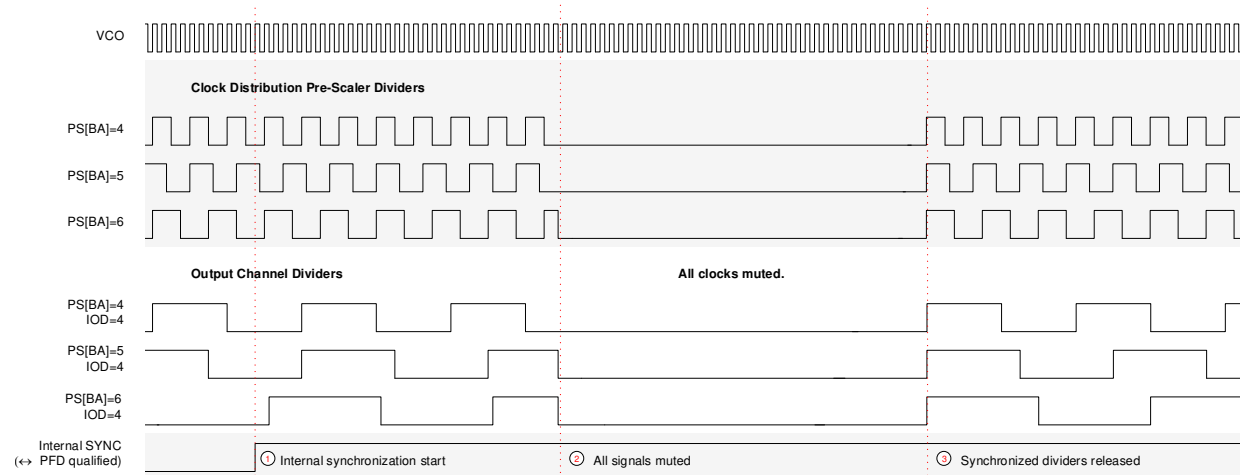


図 7-9. 出力分周器の同期

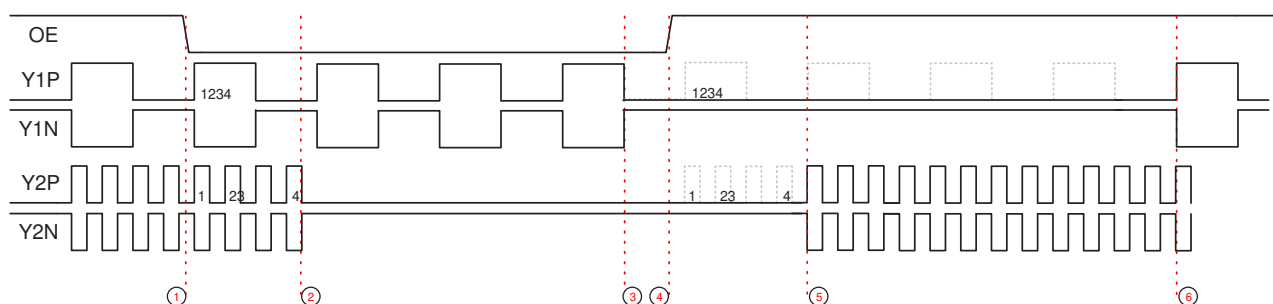
7.3.3.3 グローバルおよび個別の出カインーブル

出力イネーブル機能により、ユーザーはすべてまたは特定の出力バッファをイネーブルまたはディスエーブルにすることができます。OUT0 のバイパス コピーは、グローバル出力イネーブル信号から除外されます。出力がディスエーブルのとき、この信号は構成可能なミュート状態を駆動します。シリアル インターフェイスが非アクティブになっているときは、個別の出力イネーブル信号をすべて同時に使用できます。個別の出力イネーブル信号は、クロックをゲートするために、それぞれの出力チャンネルの整数分周器を制御します。したがって、各整数分周器をアクティブにする必要があります。

個別の出力イネーブル信号により、それぞれの出力が確定的な方法でイネーブルおよびディスエーブルになります。したがって、信号の High および Low レベルは、それぞれの出力クロックの 4 サイクルをカウントすることで判定されます。

1. OE の立ち下がりエッジで出力が無効化されます。出力は、チャンネルの出力有効化をアサートした後、4 サイクルにわたって有効になります。これにより、OE がアサートされた後、システムでさらなる動作が可能になります。
2. OE の立ち上がりエッジで出力が有効化されます。4 つの内部クロック サイクル後に出力切り換えを開始します。

MUTE_SEL = Logic Low



MUTE_SEL = Logic High

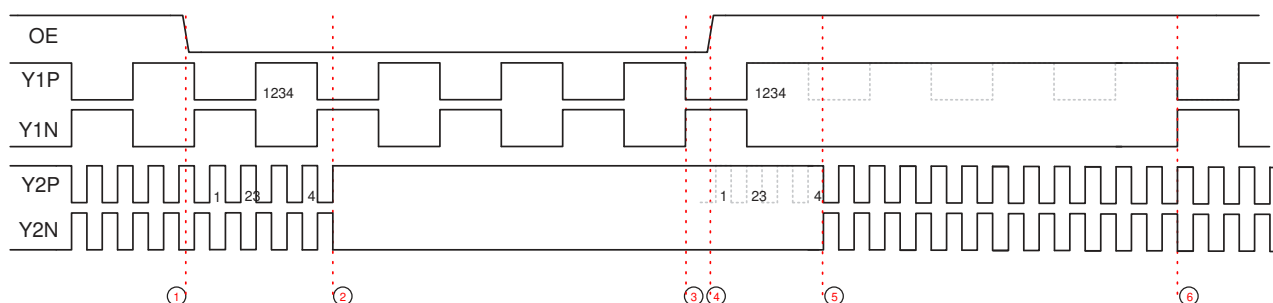


図 7-10. 個別の出力の有効化と無効化

表 7-14. グリッチレス動作と分周器の同期

レジスタ ビット アドレス	レジスタ ビット フィールド名	説明
R0[14]	PDN_INPUT_SEL	PDN ピンを PDN または SYNCN として構成します
R0[5]	SYNC	シリアル インターフェイス経由で同期信号を生成します
R57[9], R63[9], R68[9], R73[9]	CH1_GLITCHLESS_EN、 CH2_GLITCHLESS_EN、 CH3_GLITCHLESS_EN、 CH4_GLITCHLESS_EN	OUT1/OUT2/OUT3/OUT4 のグリッチレス スイッチングをイネーブルにします
R57[3], R63[3], R68[3], R73[3]	CH1_SYNC_EN、CH2_SYNC_EN、 CH3_SYNC_EN、CH4_SYNC_EN	OUT1/OUT2/OUT3/OUT4 の同期をイネーブルにします
R57[1], R63[1], R68[1], R73[1]	CH1_MUTESEL、CH2_MUTESEL、 CH3_MUTESEL、CH4_MUTESEL	OUT1/OUT2/OUT3/OUT4 のミュート時の出力レベルを設定します
R57[0], R63[0], R68[0], R73[0]	CH1_MUTE、CH2_MUTE、CH3_MUTE、 CH4_MUTE	OUT1/OUT2/OUT3/OUT4 の出力をミュートします

7.3.4 電源とパワー マネージメント

CDCE6214 は、複数の電源ピンを備えています。各電源は、1.8V、2.5V、または 3.3V をそれぞれサポートしています。内蔵の低ドロップアウト レギュレータ (LDO) は、内部ブロックのソースとなり、各ピンに個別の電源電圧を供給できます。VDDREF ピンは、コントロール ピンとシリアル インターフェイスに電源を供給します。したがって、プルアップ抵抗は VDDREF と同じドメインに接続します。

このデバイスは、内部パワー マネージメントに関して非常にフレキシブルです。各ブロックはパワーダウン ビットを備えており、ブロックが不要なときはディスエーブルにして電力を節約できます。表 7-15 に使用可能なビットを示します。パイパス出力 Y0 は pdn_ch4 ビットに接続されています。各出力チャンネルには、印加される電源電圧 ch[4:1]_1p8vdet に適応するビットがあります。

表 7-15. パワー マネージメント

VDDREF	VDDVCO	VDDO_12	VDDO_34
R0[1] - パワーダウン	R0[1] - パワーダウン	R0[1] - パワーダウン	R0[1] - パワーダウン
	R5[8] - PLL_VCOBUFF_LDO_PD	R4[4] - CH1_PD	R4[6] - CH3_PD
	R5[7] - PLL_VCO_LDO_PD	R4[5] - CH2_PD	R4[7] - CH4_PD
	R5[6] - PLL_VCO_BUFF_PD		
	R5[5] - PLL_CP_LDO_PD		
	R5[4] - PLL_LOCKDET_PD		
	R5[3] - PLL_PSB_PD		
	R5[2] - PLL_PSA_PD		
	R5[1] - PLL_PFD_PD		
	R53[6] - PLL_NCTR_EN		
	R53[3] - PLL_CP_EN		

7.3.5 コントロールピン

超低消費電力クロック ジェネレータは、複数の LVCMOS 入力ピンで制御されます。

HW_SW_CTRL ピンは、EEPROM ページ選択として機能します。CDCE6214 クロック ジェネレータには、2 ページの構成設定が含まれています。このピンのレベルは、デバイスの電源投入後にサンプリングされます。Low レベルでは、ページ 0 が選択されます。High レベルでは、ページ 1 が選択されます。HW_SW_CTRL ピンは 3 レベル入力ピンです。この 3 番目の電圧レベルは、内蔵の分圧器によって自動的に適用されます。中間レベルを使用して、シリアル インターフェイスがイネーブルになっている内部デフォルトを選択します。

PDN/SYN CN (ピン 8)、SCL (ピン 12)、および SDA (ピン 19) には二次機能があり、汎用入出力 (GPIO) として動作できます。つまり、シリアル インターフェイスまたは GPIO 機能のいずれかをアクティブにできるということです。

PDN/SYN CN は、最初のパワーアップ シーケンスで使用され、内部回路をリセットします。このピンは、同期入力として動作するように再構成できます。SYN CN が Low の間、差動出力はミュート状態に維持されます。SYN CN が High のとき、出力はアクティブです。

SSC_EN ビットが 1 に設定されている場合、ピンの状態に関係なく SSC が有効になります。

SSC_EN ビットが 0 に設定されている場合、SSC 機能は GPIO ピンによって制御できます。これは、SSC が有効 (GPIOx = HIGH) で起動した後、GPIOx ピンを low にすることで無効に制限されます。

表 7-16. コントロール ピンと GPIO ピン

ピン番号	名称	タイプ	2-LEVEL INPUT	3-LEVEL INPUT	出力	終端
23	HW_SW_CTRL	入力	-	あり	-	PUPD
20	GPIO1	入力 / 出力	あり	-	あり	-

表 7-16. コントロール ピンと GPIO ピン (続き)

ピン番号	名称	タイプ	2-LEVEL INPUT	3-LEVEL INPUT	出力	終端
19	GPIO2	入力 / 出力	あり	-	あり	I ² C モードでのオープンドレイン I/O、CMOS (入力)
12	GPIO3	入力	あり	-	-	-
11	GPIO4	入力 / 出力	あり	-	あり	-
8	PDN	入力	あり	-	-	PU (入力時)
4	REFSEL	入力	-	あり	-	PUPD

表 7-17. GPIO 入力および出力信号のリスト

略語	タイプ	説明
FREQ_INC	入力	周波数インクリメント。MASH 分子をインクリメントします
FREQ_DEC	入力	周波数デクリメント。MASH 分子をデクリメントします
OE (グローバル)	入力	すべての差動出力 Y[4:1] をイネーブルまたはディスエーブルにします (バイパスは影響を受けません)
SSC_EN	入力	SSC をイネーブルまたはディスエーブルにします。
OE1	入力	OUT1 をイネーブルまたはディスエーブルにします
OE2	入力	OUT2 をイネーブルまたはディスエーブルにします
OE3	入力	OUT3 をイネーブルまたはディスエーブルにします
OE4	入力	OUT4 をイネーブルまたはディスエーブルにします
PLL_LOCK	出力	PLL ロック ステータス。0 = PLL はロック解除されています。1 = PLL がロックされていることを示します

7.4 デバイスの機能モード

7.4.1 動作モード

表 7-18 に示す動作モードを設定し、GPIO を構成できます。動作モードの変更が有効になるのは、パワー サイクル後に EEPROM からその変更がロードされた場合のみです。

表 7-18. 動作モード

説明	モード	REFSEL	HW_SW_CTRL	GPIO1	GPIO2	GPIO3	GPIO4
I ² C + GPIO	フォールバック	M	M	I/O	SDA	SCL	I/O
		M	L/H	I/O	SDA	SCL	I/O
		L/H	M	I/O	SDA	SCL	I/O
OE	ピン モード	L/H	L/H	OE1	OE2	OE3	OE4
I ² C + GPIO	シリアル インターフェイス モード	L/H	L/H	I/O	SDA	SCL	I/O

7.4.1.1 フォールバック モード

プログラミング インターフェイスは EEPROM を使用して意図的に非アクティブにできるため、I²C を誤って無効にした場合、デバイスへのアクセスがさらにブロックされます。フォールバック モードを使用して、シリアル インターフェイスを強制的

に設定できます。このモードに移行するには、VDDREF に電源電圧が印加されている間にピン 4 またはピン 23 をフローティングのままにします。このモードでは、電源投入時の EEPROM 読み取りがバイパスされ、デバイスはデフォルト モードで起動します。このモードでは、ピン 11 は入力として事前構成されており、ピン 20 は出力として構成されます。フォールバック モードで電源投入した後、シリアル インターフェイスを使用してデバイスを再プログラムし、通常動作に再構成することができます。EEPROM を再プログラムすることもできます。ただし、PLL は自動キャリブレーションされず、I²C インターフェイスがアクティブになります。このモードでは、PLL を再ロックする前にデバイスを完全に構成できます。

7.4.1.2 ピン・モード

ピン・モードで、ピン 12 とピン 19 は、個別の出力イネーブル・ピンとして機能する入力ピンです。ピン 11 とピン 20 を組み合わせることで、出力チャンネルごとに 1 つの出力イネーブル・ピンを使用できます。

7.4.1.3 シリアル・インターフェイス・モード

シリアル・インターフェイス・モードでは、ピン 12 とピン 19 が I²C インターフェイスとして構成されます。

7.5 プログラミング

7.5.1 I²C シリアル インターフェイス

CDCE6214 超低消費電力クロック ジェネレータは、レジスタおよび EEPROM アクセス用の I²C 互換シリアル インターフェイスを備えています。このデバイスは、100kHz のスタンダード モード I²C、および 400kHz クロック周波数のファーストモード I²C と互換性があります。

- REFSEL がフローティングのフォールバック モードでは、I²C ターゲット アドレス = 67h になります。
- その他のモードでは、インターフェイスが使用可能なとき、I²C ターゲット アドレス = 68h です。デフォルトでは、インターフェイスは使用できません。
- デバイスの LSB ビットは、EEPROM でプログラムできます。たとえば、EEPROM のページ 0 で I2C_A0 が H にプログラムされている場合、HW_SW_CTRL = 0 に設定すると、I²C アドレスは 69h に設定されます。
- EEPROM 内蔵の 2 つのデバイスとフォールバック モードの 1 つのデバイスを、同じ I²C バス上のアドレス 67h、68h、69h のアドレスで使用できます。

表 7-19. I²C 互換シリアル インターフェイス、ターゲット アドレス バイト (1) (2)

7	6	5	4	3	2	1	0
ターゲット アドレス [6:0]							R/W# ビット

- ターゲット アドレスは、2 つのセクションで構成されています。ハードワイヤード MSB A[6:1] とソフトウェアで選択可能な LSB A[0]。
- R/W# ビットは、読み取り (1) または書き込み (0) 転送を示します。

表 7-20. I²C 互換シリアル インターフェイス、プログラマブル ターゲット アドレス (1) (2)

A6	A5	A4	A3	A2	A1	A0	HW_SW_SEL	REFSEL	説明
1	1	0	0	1	1	1	L/M/H	M	フォールバック モード
1	1	0	1	0	0	0	M	L/H	フォールバック モード
1	1	0	1	0	0	I2C_A0	L	L/H	EEPROM の ページ 0
1	1	0	1	0	0	I2C_A0	H	L/H	EEPROM の ページ 1

- EEPROM のページ 0 では、シリアル インターフェイスは使用できません。デバイスはピン モードで構成されています。
- EEPROM のページ 1 では、シリアル インターフェイスは使用できません。デバイスはピン モードで構成されています。

シリアル インターフェイスは、図 7-11 に示すように、次のプロトコルを使用します。ターゲット アドレスの後ろに、ワード幅のレジスタ オフセットとワード幅のレジスタ値が続いています。

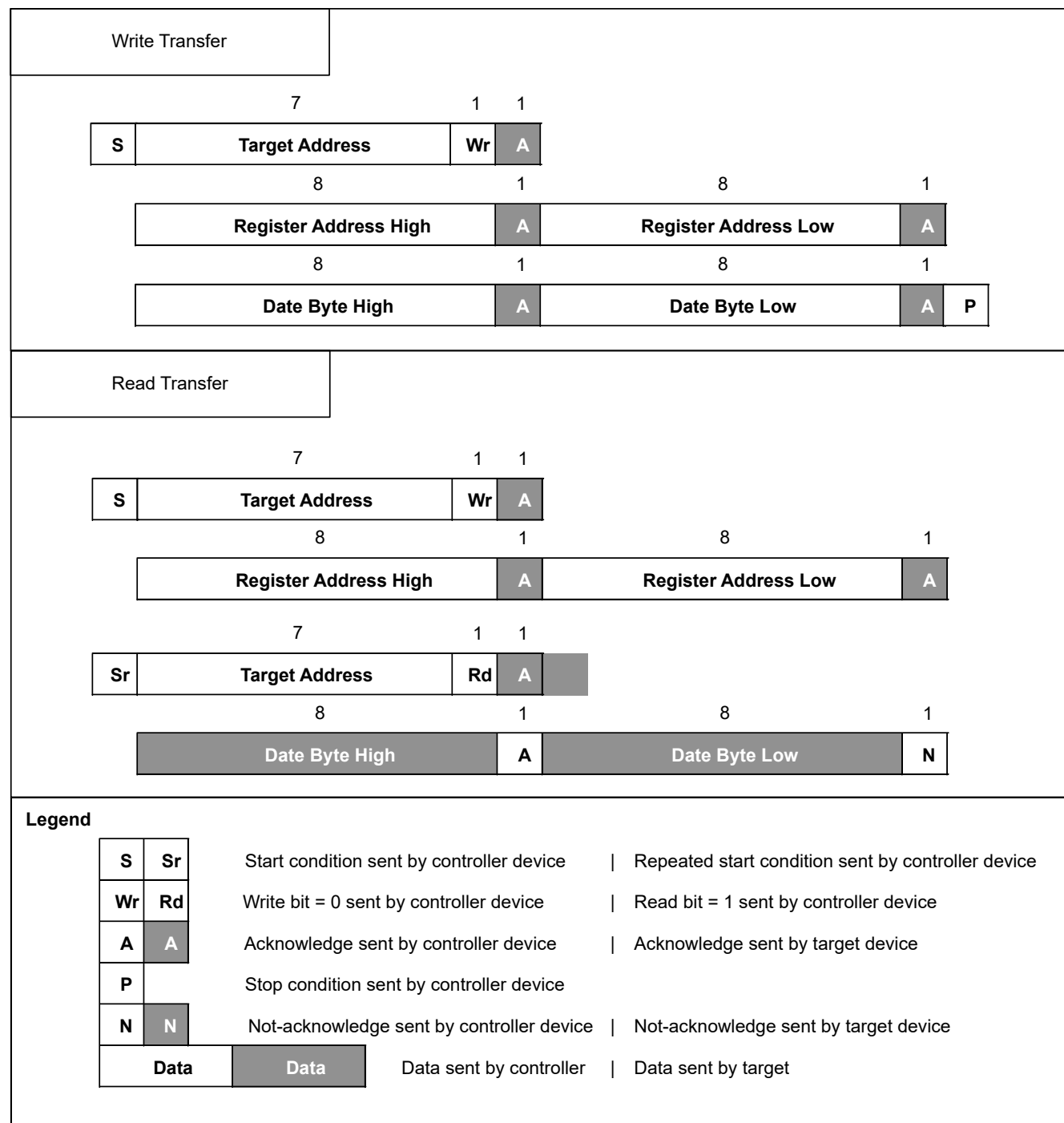


図 7-11. I²C 互換シリアル インターフェイス、サポートされるプロトコル

7.5.2 EEPROM

7.5.2.1 EEPROM - 巡回冗長検査

このデバイスには、EEPROM からデバイス レジスタへの読み取りを行うための巡回冗長検査 (CRC) 機能が搭載されています。起動時に、EEPROM は内部的に読み取られ、CRC 値が計算されます。EEPROM のワードの 1 つに、以前保存された CRC 値が含まれています。保存された CRC 値と実際の CRC 値が比較され、結果がレジスタに転送されます。CRC の計算は、update_crc ビットに 1 を書き込むことによりトリガできます。保存された CRC 値と計算された CRC 値の不一致は、情報提供のみを目的としたものであり、デバイスの動作をブロックしません。CRC ステータス ビットと実際の CRC 値をリードバックするだけで、EEPROM インシステム プログラミングを高速化し、既知の構成について EEPROM の各ワードのリードバックを回避できます。

使用される多項式は、CCITT-CRC16: $x^{16} + x^{12} + x^5 + 1$ です。

7.5.2.2 推奨プログラミング手順

テキサス・インスツルメンツは、以下の方法でデバイスのレジスタをプログラムすることを推奨します。

1. EEPROM ページ構成の出荷時デフォルトをリードバックします。デバイスごとに異なる EEPROM ベース ページ構成があります。
2. レジスタ ビットを変更します。
3. EEPROM を上書きするときは、ee_lock が 5h (ロック解除) に設定されていることを確認します。
4. レジスタ アドレスは、予約済みの値を持つすべてのレジスタ アドレスも含め、0x53 から 0x00 までの降順でプログラムできます。

7.5.2.3 EEPROM アクセス

注

EEPROM のワード書き込みアクセス時間は、通常 8ms です。

内部 EEPROM への書き込みには 2 つの方法があります。

1. レジスタ・コミット方式
2. EEPROM ダイレクト・アクセス方式

デバイスを適切な既知の構成にするには、以下の手順に従います。

1. すべての電源をオフにします。
2. PDN = Low を適用します。
3. REFSEL ピンと HW_SW_CTRL ピンは、High、Low、または High-Z のいずれかです。出荷時にプログラムされるデバイスでは、HW_SW_CTRL ピンのすべての状態で I²C インターフェイスは使用できません。EEPROM は、フールバック・モードでのみプログラムできます。
4. すべての VDD ピンに電源を供給します。デバイスの動作が不要な場合は、VDDREF に電源を供給します。
5. PDN = High を適用します。
6. I²C インターフェイスを使用してデバイスを構成します。

7.5.2.3.1 レジスタのコミット・フロー

レジスタのコミット・フローでは、デバイス・レジスタのすべてのビットが EEPROM にコピーされます。推奨するフローは次のとおりです。

1. モードを使用するシリアル・インターフェイスを除き、デバイスを必要に応じて事前構成します。
2. この動作モードで VCO のキャリブレーションを行うには、RECAL に 1 を書き込みます。
3. REGCOMMIT_PAGE を使用して、レジスタ設定のコピー先にする EEPROM ページを選択します。
4. EE_LOCK = x5 を使用して、書き込みアクセス用に EEPROM のロックを解除します。
5. REGCOMMIT に 1 を書き込み、レジスタのコミット動作を開始します。

6. UPDATE_CRC に 1 を書き込むことにより、CRC アップデートを適用します。
7. 計算された CRC を NVMLCRC にリードバックします。
8. NVM_WR_ADDR に 0x3F を書き込み、次に NVM_WR_DATA に CRC 値を書き込むことにより、読み取った CRC 値を EEPROM に保存します。

7.5.2.3.2 ダイレクト・アクセス・フロー

EEPROM へのダイレクト・アクセス・フローでは、アドレスおよびデータ・ビット・フィールドを使用して、EEPROM のワードに直接アクセスします。推奨するフローは次のとおりです。

1. それぞれ 16 ビットの 64 ワードで構成される EEPROM イメージを準備します。
2. EE_LOCK = 0x5 を使用して、書き込みアクセス用に EEPROM のロックを解除します。
3. アドレス・ビット・フィールドに初期アドレス・オフセットを書き込みます。NVM_WR_ADDR に 0x00 を書き込みます。
4. EEPROM イメージの各ワードを NVM_WR_DATA に書き込むことで、EEPROM イメージをアドレス 0 から 63 までループさせます。EEPROM のワード・アドレスは、NVM_WR_DATA への書き込みアクセスごとに自動的にインクリメントされます。



Copyright © 2017 Texas Instruments Incorporated

図 7-12. I²C を使用した EEPROM ダイレクト・アクセス

7.5.2.4 レジスタ ビットから EEPROM へのマッピング

レジスタ ビットの設定は、EEPROM にマッピングされます。EEPROM は次の 3 つのセグメントに分かれています。

- EEPROM ベース ページ: HW_SW_CTRL ピンをロジック 0 またはロジック 1 に接続することで選択できます。

- EEPROM のページ 0:HW_SW_CTRL ピンをロジック 0 に接続することで選択できます。
- EEPROM のページ 1:HW_SW_CTRL ピンをロジック 1 に接続することで選択できます。

表 7-21. EEPROM マッピング (1) (2) (3) (4)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	1	1	1	R5[8]	R5[7]	R5[6]	R5[5]	R5[4]	R5[1]	R4[3]	R4[2]	R4[1]	R4[0]	R3[9]	R0[3]
1	0	1	0	0	1	0	0	0	0	1	1	1	1	1	R15[5]	1
2	0	0	0	1	1	0	1	1	0	0	0	1	0	0	1	0
3	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
4	R48[4]	R48[3]	R48[2]	R48[1]	R48[0]	R47[1]	R47[1]	R47[1]	R47[9]	R47[8]	R47[7]	0	0	0	0	0
5	0	R49[4]	R49[3]	R49[2]	R49[1]	R49[0]	R48[1]	R48[1]	R48[1]	R48[1]	R48[1]	R48[9]	R48[8]	R48[7]	R48[6]	R48[5]
6	0	0	0	R50[1]	R50[9]	R50[8]	1	1	0	0	0	0	0	0	0	0
7	R55[6]	R53[6]	1	R53[2]	R53[1]	R53[0]	1	0	1	0	0	0	0	0	0	0
8	1	0	0	0	0	0	1	R58[4]	R58[3]	R58[2]	R58[1]	R58[0]	0	R55[9]	R55[8]	R55[7]
9	0	1	R60[1]	R60[1]	R60[1]	R60[1]	R60[3]	R60[2]	R60[1]	R60[0]	R59[9]	R59[8]	R59[7]	R59[6]	R59[5]	R59[4]
10	R65[8]	R65[7]	R65[6]	R65[5]	R65[4]	1	0	0	0	0	R64[9]	R64[8]	R64[7]	R64[6]	R64[5]	0
11	0	0	0	R69[9]	R69[8]	R69[7]	R69[6]	R69[5]	0	0	1	R66[3]	R66[2]	R66[1]	R66[0]	R65[9]
12	R74[5]	0	0	1	R71[3]	R71[2]	R71[1]	R71[0]	R70[9]	R70[8]	R70[7]	R70[6]	R70[5]	R70[4]	1	0
13	R76[0]	R75[9]	R75[8]	R75[7]	R75[6]	R75[5]	R75[4]	1	0	0	0	0	R74[9]	R74[8]	R74[7]	R74[6]
14	0	0	0	0	0	R79[3]	R79[2]	R79[1]	R79[0]	R76[9]	R76[8]	R76[7]	R76[6]	R76[5]	R76[4]	R76[3]
15	0	0	0	0	0	0	R81[3]	1	0	0	0	0	0	0	R80[3]	0
16	R1[6]	R1[5]	R1[4]	R1[3]	R1[2]	R1[1]	R1[0]	R0[15]	R0[14]	R0[13]	R0[12]	0	R0[10]	0	R0[8]	R0[0]
17	R2[6]	R2[5]	R2[4]	R2[3]	R2[2]	R2[1]	R2[0]	R1[15]	R1[14]	R1[13]	R1[12]	R1[11]	R1[10]	R1[9]	R1[8]	R1[7]
18	0	R5[3]	R5[2]	R4[7]	R4[6]	R4[5]	R4[4]	R3[4]	R3[3]	R2[13]	R2[12]	R2[11]	R2[10]	R2[9]	R2[8]	R2[7]
19	R24[1]	R24[1]	R24[1]	R24[1]	R24[9]	R24[8]	0	0	R24[5]	R24[4]	R24[3]	R24[2]	R24[1]	R24[0]	0	0
20	R27[0]	0	R25[1]	R25[1]	R25[1]	R25[1]	R25[1]	R25[9]	R25[7]	R25[6]	R25[5]	R25[4]	R25[3]	R25[2]	R25[1]	R25[0]
21	R30[1]	R30[1]	R30[1]	R30[1]	R30[1]	R30[9]	R30[8]	R30[7]	R30[6]	R30[5]	R30[4]	R30[3]	R30[2]	R30[1]	R30[0]	R27[1]
22	R31[1]	R31[1]	R31[1]	R31[1]	R31[1]	R31[1]	R31[9]	R31[8]	R31[7]	R31[6]	R31[5]	R31[4]	R31[3]	R31[2]	R31[1]	R31[0]
23	R33[7]	R33[6]	R33[5]	R33[4]	R33[3]	R33[2]	R33[1]	R33[0]	R32[7]	R32[6]	R32[5]	R32[4]	R32[3]	R32[2]	R32[1]	R32[0]
24	R34[7]	R34[6]	R34[5]	R34[4]	R34[3]	R34[2]	R34[1]	R34[0]	R33[1]	R33[1]	R33[1]	R33[1]	R33[1]	R33[1]	R33[9]	R33[8]

表 7-21. EEPROM マッピング (1) (2) (3) (4) (続き)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
25	R43[1 0]	R43[9]	R43[8]	R43[7]	R43[6]	R43[5]	R43[4]	R43[3]	R43[2]	R43[1]	R43[0]	R42[5]	R42[3]	R42[2]	R42[1]	R41[1 5]
26	R51[1 0]	0	0	1	R51[6]	0	0	R47[6]	R47[5]	R47[4]	R47[3]	R43[1 5]	R43[1 4]	R43[1 3]	R43[1 2]	R43[1 1]
27	R56[1 0]	R56[9]	R56[8]	R56[7]	R56[6]	R56[5]	R56[4]	R56[3]	R56[2]	R56[1]	R56[0]	R53[3]	1	0	0	0
28	R57[1 4]	R57[1 2]	R57[9]	R57[8]	R57[7]	R57[6]	R57[5]	R57[4]	R57[3]	R57[1]	R57[0]	R56[1 5]	R56[1 4]	R56[1 3]	R56[1 2]	R56[1 1]
29	R62[6]	R62[5]	R62[4]	R62[3]	R62[2]	R62[1]	R62[0]	R60[1 1]	R60[1 0]	R60[5]	R60[4]	R59[1 5]	R59[1 4]	R59[1 3]	R59[1 2]	R59[1 1]
30	R63[7]	R63[6]	R63[5]	R63[4]	R63[3]	R63[1]	R63[0]	R62[1 5]	R62[1 4]	R62[1 3]	R62[1 2]	R62[1 1]	R62[1 0]	R62[9]	R62[8]	R62[7]
31	R67[6]	R67[5]	R67[4]	R67[3]	R67[2]	R67[1]	R67[0]	R66[5]	R66[4]	R65[1 4]	R65[1 3]	R65[1 1]	R63[1 3]	R63[1 2]	R63[9]	R63[8]
32	R68[7]	R68[6]	R68[5]	R68[4]	R68[3]	R68[1]	R68[0]	R67[1 5]	R67[1 4]	R67[1 3]	R67[1 2]	R67[1 1]	R67[1 0]	R67[9]	R67[8]	R67[7]
33	R72[6]	R72[5]	R72[4]	R72[3]	R72[2]	R72[1]	R72[0]	R71[1 0]	R71[9]	R71[5]	R71[4]	R70[1 1]	R68[1 3]	R68[1 2]	R68[9]	R68[8]
34	R73[7]	R73[6]	R73[5]	R73[4]	R73[3]	R73[1]	R73[0]	R72[1 5]	R72[1 4]	R72[1 3]	R72[1 2]	R72[1 1]	R72[1 0]	R72[9]	R72[8]	R72[7]
35	0	0	0	R77[1]	R77[0]	R76[5]	R76[4]	R75[1 5]	R75[1 4]	R75[1 3]	R75[1 2]	R75[1 1]	R73[1 3]	R73[1 2]	R73[9]	R73[8]
36	0	0	0	0	0	0	0	0	0	R79[9]	R78[1 2]	0	0	0	0	0
37	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
38	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
39	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
40	R1[6]	R1[5]	R1[4]	R1[3]	R1[2]	R1[1]	R1[0]	R0[15]	R0[14]	R0[13]	R0[12]	0	R0[10]	0	R0[8]	R0[0]
41	R2[6]	R2[5]	R2[4]	R2[3]	R2[2]	R2[1]	R2[0]	R1[15]	R1[14]	R1[13]	R1[12]	R1[11]	R1[10]	R1[9]	R1[8]	R1[7]
42	0	R5[3]	R5[2]	R4[7]	R4[6]	R4[5]	R4[4]	R3[4]	R3[3]	R2[13]	R2[12]	R2[11]	R2[10]	R2[9]	R2[8]	R2[7]
43	R24[1 5]	R24[1 2]	R24[1 1]	R24[1 0]	R24[9]	R24[8]	0	0	R24[5]	R24[4]	R24[3]	R24[2]	R24[1]	R24[0]	0	0
44	R27[0]	0	R25[1 4]	R25[1 3]	R25[1 2]	R25[1 1]	R25[1 0]	R25[9]	R25[7]	R25[6]	R25[5]	R25[4]	R25[3]	R25[2]	R25[1]	R25[0]
45	R30[1 4]	R30[1 3]	R30[1 2]	R30[1 1]	R30[1 0]	R30[9]	R30[8]	R30[7]	R30[6]	R30[5]	R30[4]	R30[3]	R30[2]	R30[1]	R30[0]	R27[1]
46	R31[1 5]	R31[1 4]	R31[1 3]	R31[1 2]	R31[1 1]	R31[1 0]	R31[9]	R31[8]	R31[7]	R31[6]	R31[5]	R31[4]	R31[3]	R31[2]	R31[1]	R31[0]
47	R33[7]	R33[6]	R33[5]	R33[4]	R33[3]	R33[2]	R33[1]	R33[0]	R32[7]	R32[6]	R32[5]	R32[4]	R32[3]	R32[2]	R32[1]	R32[0]
48	R34[7]	R34[6]	R34[5]	R34[4]	R34[3]	R34[2]	R34[1]	R34[0]	R33[1 5]	R33[1 4]	R33[1 3]	R33[1 2]	R33[1 1]	R33[1 0]	R33[9]	R33[8]
49	R43[1 0]	R43[9]	R43[8]	R43[7]	R43[6]	R43[5]	R43[4]	R43[3]	R43[2]	R43[1]	R43[0]	R42[5]	R42[3]	R42[2]	R42[1]	R41[1 5]

表 7-21. EEPROM マッピング (1) (2) (3) (4) (続き)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
50	R51[1 0]	0	0	1	R51[6]	0	0	R47[6]	R47[5]	R47[4]	R47[3]	R43[1 5]	R43[1 4]	R43[1 3]	R43[1 2]	R43[1 1]
51	R56[1 0]	R56[9]	R56[8]	R56[7]	R56[6]	R56[5]	R56[4]	R56[3]	R56[2]	R56[1]	R56[0]	R53[3]	1	0	0	0
52	R57[1 4]	R57[1 2]	R57[9]	R57[8]	R57[7]	R57[6]	R57[5]	R57[4]	R57[3]	R57[1]	R57[0]	R56[1 5]	R56[1 4]	R56[1 3]	R56[1 2]	R56[1 1]
53	R62[6]	R62[5]	R62[4]	R62[3]	R62[2]	R62[1]	R62[0]	R60[1 1]	R60[1 0]	R60[5]	R60[4]	R59[1 5]	R59[1 4]	R59[1 3]	R59[1 2]	R59[1 1]
54	R63[7]	R63[6]	R63[5]	R63[4]	R63[3]	R63[1]	R63[0]	R62[1 5]	R62[1 4]	R62[1 3]	R62[1 2]	R62[1 1]	R62[1 0]	R62[9]	R62[8]	R62[7]
55	R67[6]	R67[5]	R67[4]	R67[3]	R67[2]	R67[1]	R67[0]	R66[5]	R66[4]	R65[1 4]	R65[1 3]	R65[1 1]	R63[1 3]	R63[1 2]	R63[9]	R63[8]
56	R68[7]	R68[6]	R68[5]	R68[4]	R68[3]	R68[1]	R68[0]	R67[1 5]	R67[1 4]	R67[1 3]	R67[1 2]	R67[1 1]	R67[1 0]	R67[9]	R67[8]	R67[7]
57	R72[6]	R72[5]	R72[4]	R72[3]	R72[2]	R72[1]	R72[0]	R71[1 0]	R71[9]	R71[5]	R71[4]	R70[1 1]	R68[1 3]	R68[1 2]	R68[9]	R68[8]
58	R73[7]	R73[6]	R73[5]	R73[4]	R73[3]	R73[1]	R73[0]	R72[1 5]	R72[1 4]	R72[1 3]	R72[1 2]	R72[1 1]	R72[1 0]	R72[9]	R72[8]	R72[7]
59	0	0	0	R77[1]	R77[0]	R76[5]	R76[4]	R75[1 5]	R75[1 4]	R75[1 3]	R75[1 2]	R75[1 1]	R73[1 3]	R73[1 2]	R73[9]	R73[8]
60	0	0	0	0	0	0	0	0	0	R79[9]	R78[1 2]	0	0	0	0	0
61	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
62	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
63	SCR C[15]	SCR C[14]	SCR C[13]	SCR C[12]	SCR C[11]	SCR C[10]	SCR C[9]	SCR C[8]	SCR C[7]	SCR C[6]	SCR C[5]	SCR C[4]	SCR C[3]	SCR C[2]	SCR C[1]	SCR C[0]

- (1) アドレス位置 0~15:EEPROM ベース ページ
(2) アドレス位置 16~39:EEPROM のページ 0
(3) アドレス位置 40~63:EEPROM のページ 1
(4) 赤色で表示されているビット位置は、デバイスごとに異なる場合があります

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

図 8-1 に、I²C インターフェイスと 25MHz 水晶振動子入力を使用する代表的なアプリケーションを示します。25MHz 水晶振動子の両端は、ピン 1 とピン 2 に接続されています。REFSEL ピンをプルダウンして、二次入力を選択します。HW_SW_CTRL は、EEPROM を使用する場合は Low または High のいずれにも設定でき、EEPROM を使用しない場合はフローティングのままにできます。VDD_REF ピンと VDD_VCO ピン、および VDDO_12 ピンと VDDO_34 ピンには、フィルタリングで 1.8V、2.5V、または 3.3V を供給できます。I²C のデータおよびクロックラインは、プルアップ抵抗を使用して VDD_REF にプルアップする必要があります。ハードウェアのリセットが必要な場合は、PDN を MCU に接続できます。それ以外の場合は、PDN をフローティングのままにできます。必要に応じて、GPIO1 ピンと GPIO4 ピンを MCU に接続できます。接続しない場合は、これらのピンをフローティングのままにできます。未使用の出力はフローティングのままにできます。

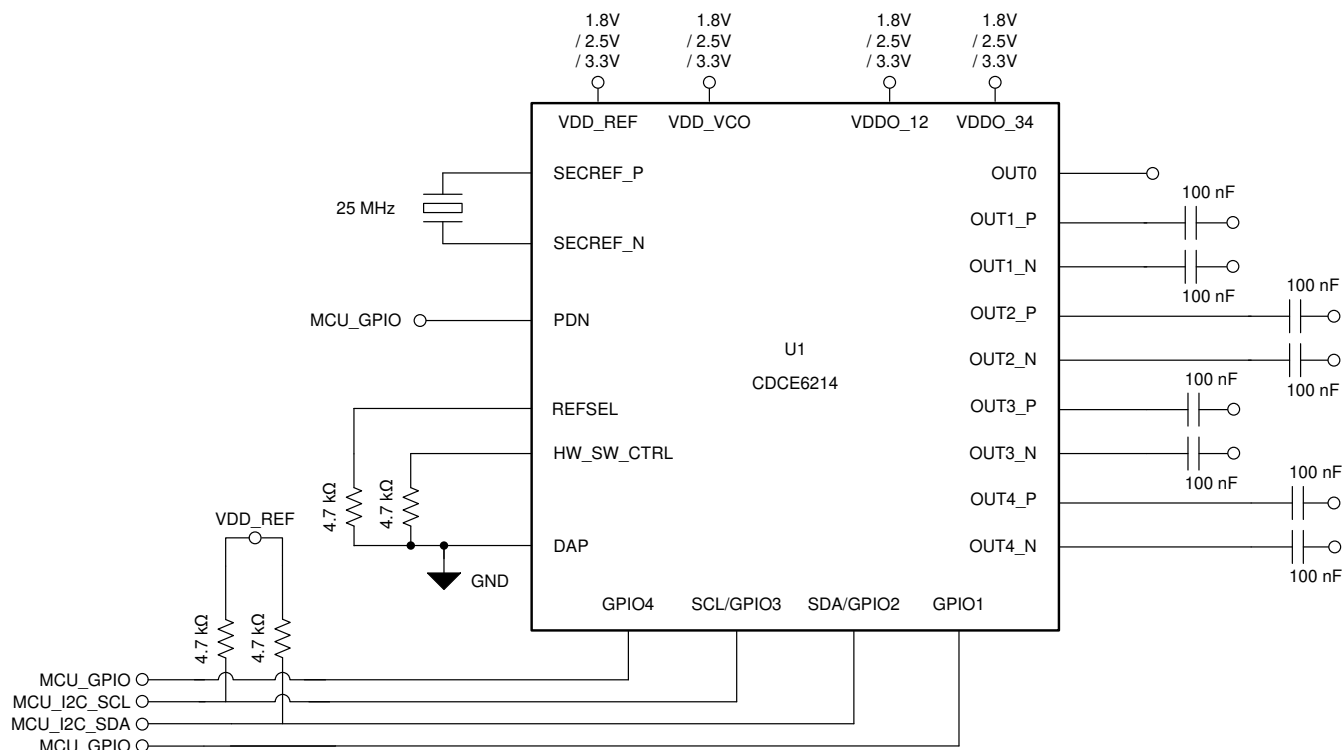


図 8-1. I²C インターフェイスを使用した代表的なアプリケーション回路図

8.2 代表的なアプリケーション

図 8-2 に、CDCE6214 を使用した eAVB システムの代表的なブロック図を示します。

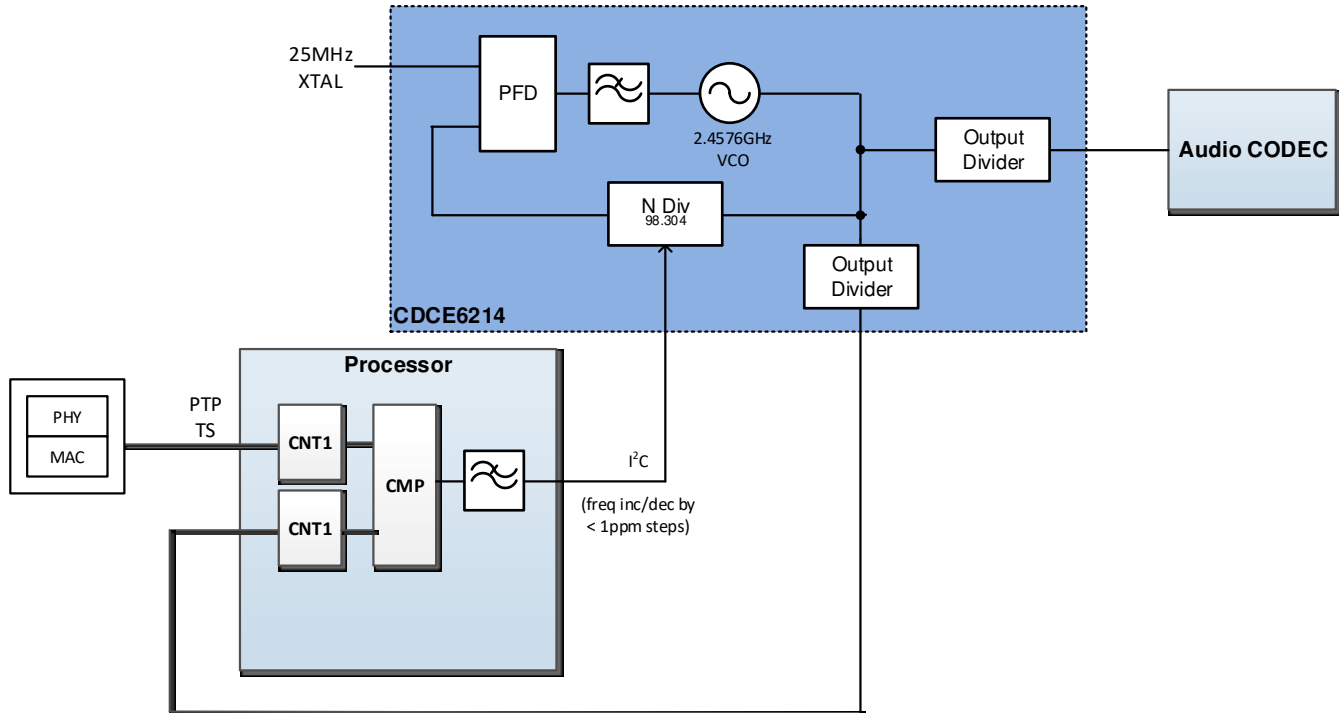


図 8-2. CDCE6214 を使用した eAVB システムのブロック図

8.2.1 設計要件

CDCE6214 を使用する設計では、設計者は次のものを選択する必要があります。

- ・ プライマリ入力またはセカンダリ入力
- ・ 入力の種類
- ・ 入力周波数
- ・ デバイス通信モード (I²C および / または EEPROM)
- ・ GPIO ピンの接続を構成するために必要なデバイス動作モード
- ・ 電源電圧 (1.8V、2.5V、または 3.3V)
- ・ デジタル基準電圧 (1.8V、2.5V、または 3.3V)
- ・ 出力基準電圧 (1.8V、2.5V、または 3.3V)
- ・ 出力フォーマット

8.2.2 詳細な設計手順

CDCE6214 は、使いやすさを重視して設計されています。デバイスをパワーアップするには：

1. 電源ピン (VDD_REF、VDD_VCO、VDDO_12、VDDO_34) を互いに接続するか、電源ピンを 1.8V、2.5V、または 3.3V 電源に個別に接続します。
2. GND ピン (DAP) を PCB プレーンに半田付けします。
3. REFSEL、HW_SW_CTRL、PDN の各構成ピンが適切に接続されていることを確認します。
 - a. プルアップ抵抗を介して、PDN ピンを VDD_REF に内部的に接続します。フローティング時に、PDN ピンは自動的に PDN からデバイスを解放します。
 - b. PDN ピンが Low の場合、デバイスは I²C コマンドに応答しません。

- c. REFSEL および HW_SW_CTRL は 3 レベル ピンです。フローティングのままにすると、デバイスはフォールバック モードで起動します。

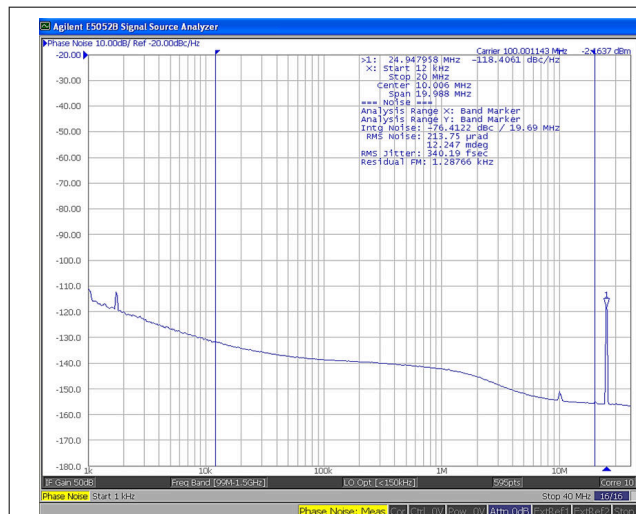
デバイスは工場出荷時に次のように構成されています。

- EEPROM のページ 0: 100MHz LP-HCSL は、25MHz XTAL を使用したすべての差動出力で、HW_SW_CTRL = L の場合。OUT0 の 25MHz 出力は無効になります。デバイスはピンモードで起動します (I²C アクセスなし)。
- EEPROM のページ 1: 100MHz LVDS は、25MHz XTAL を使用したすべての差動出力で、HW_SW_CTRL = H の場合。OUT0 の 25MHz 出力は無効になります。デバイスは、シリアル インターフェイス モードで起動します。
- フォールバック モード 25MHz XTAL、REFSEL = ハイ インピーダンス、HW_SW_CTRL = ハイ インピーダンスを使用したすべての差動出力での 100MHz LP-HCSL。OUT0 の 25MHz 出力は有効で、PLL はロックされません。ロックを実現するには、PLL を再キャリブレーションする必要があります。本デバイスは、フォールバックモードで起動します。

注

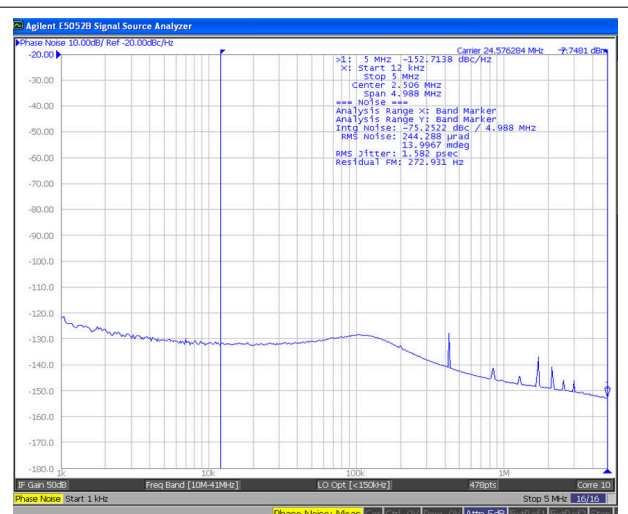
EEPROM Page 0 または 1 を選択する場合、REF_SEL をフローティングのままにしないでください。適切に機能させるためには、REF_SEL を High または Low のいずれかにプルアップする必要があります。

8.2.3 アプリケーション曲線



リファレンス: 水晶振 2.4GHz VCO による 100MHz LP-HCSL
動子入力 25MHz 閉ループ位相ノイズ

図 8-3. PCIe アプリケーション向け 100MHz LP-HCSL 出力



リファレンス: 水晶振 2.4576GHz VCO に 24.576MHz
動子入力 25MHz による閉ループ位相ノイズ LVCMOS

図 8-4. オーディオ・クロック向け 24.576MHz LVCMOS 出力

8.3 電源に関する推奨事項

CDCE6214 は、複数の電源ピンを備えています。各電源は、1.8V、2.5V、または 3.3V をサポートしています。内蔵の低ドロップアウトレギュレータ (LDO) は、内部ブロックのソースとなり、各ピンに個別の電源電圧を供給できます。VDD_REF ピンは、コントロール ピンとシリアル インターフェイスに電源を供給します。したがって、プルアップ抵抗は VDD_REF と同じドメインに接続する必要があります。VDD_VCO はすべての PLL ブロックに電力を供給し、VDDO_12 は OUT1 および OUT2 を出力し、VDDO_34 は OUT0、OUT3、OUT4 に電力を供給します。

VDD_REF と VDDO_34 は、OUT0 でのレベル遷移動作に使用できます。

8.3.1 パワーアップ・シーケンス

電源ピンに電力を供給する場合、デバイスに制限はありません。アプリケーションの観点では、すべての VDD を同時に適用するか、VDDREF を最初に適用することを推奨します。デジタル・コアは VDDREF に接続されているため、EEPROM の設定が自動的に適用されます。

8.3.2 デカップリング

テキサス・インスツルメンツは、フェライト・ビーズを使用してすべての電源を絶縁し、各電源でデカップリングを行うことを推奨します。また、各レイアウトに合わせてデカップリングを最適化することを推奨します。個別の周波数計画に合わせて最適化するために、電源インピーダンスを考慮してください。

電源ピンごとのデカップリングの例: $1 \times 4.7\mu\text{F}$ 、 $1 \times 470\text{nF}$ 、 $1 \times 100\text{nF}$ 。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

この例では、以下のガイドラインに従ってください。

- GND シールドを使用して、入力と出力を分離します。図 8-5 は、すべての入力と出力を差動ペアとしてルーティングします。
- 複数の周波数を生成するときは、出力を隣接出力と分離します。
- 水晶領域を分離し、水晶パッケージの GND パッドを接続して、隣接領域を埋めます。図 8-6 に、複数の水晶振動子サイズをサポートするフット プリントを示します。
- 可能な場合は、ファンインおよびファンアウト領域でインピーダンスのジャンプを回避するようにします。
- 5 つのビアを使用して、サーマル パッドをソリッドな GND プレーンに接続します。フルスルー ビアを推奨します。
- 電源ピンに非常に近い場所に、容量値の小さいデカップリング コンデンサを配置します。コンデンサは、同じ層の非常に近い場所に配置するか、裏面の層に直接配置するようにします。値がより大きい場合は、より遠くに配置できます。図 8-6 に、デバイスの近くに配置された 3 つのデカップリング コンデンサを示します。さまざまな周波数ドメインと VDD_VCO ドメインを分離するために、フェライト ビーズを推奨します。
- 複数のビアを使用して、幅広の供給パターンをそれぞれの電源プレーンに接続することを推奨します。

8.4.2 レイアウト例

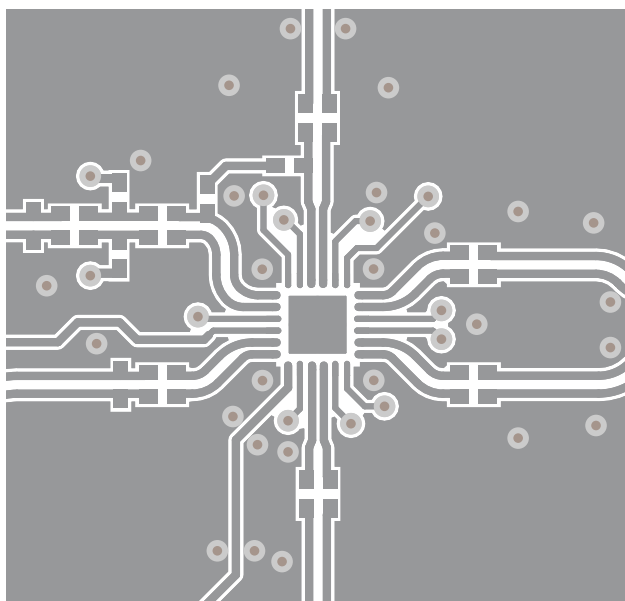


図 8-5. レイアウト例、最上層

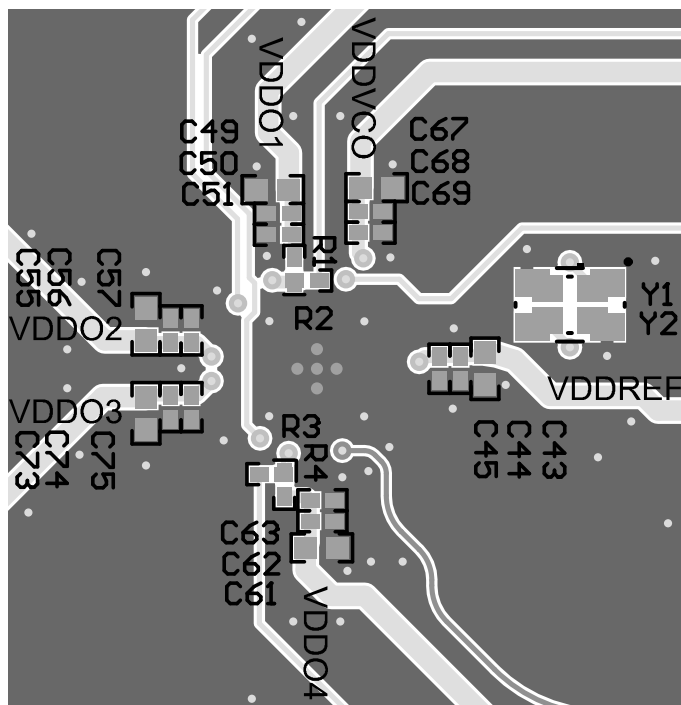


図 8-6. レイアウト例、最下層

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

詳細については、テキサス・インスツルメンツ担当者までお問い合わせください。

9.1.2 デバイスの命名規則

CDCE6214 - 62 = クロック ジェネレータ 1 = 1x PLL 4 = 4x 出力

9.2 ドキュメントのサポート

9.2.1 関連資料

この評価基板に関する資料については、次の資料もご覧ください。

- テキサス インスツルメンツ、[CDCE6214-Q1 EVM ユーザー ガイド](#)

レジスタ マップの関連資料については、次のも参照してください。

- テキサス インスツルメンツ、[CDCE6214-Q1 レジスタ マップ ユーザー ガイド](#)

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

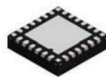
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (July 2020) to Revision A (July 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 機能セクションの PCIe 世代コンプライアンスを更新.....	1

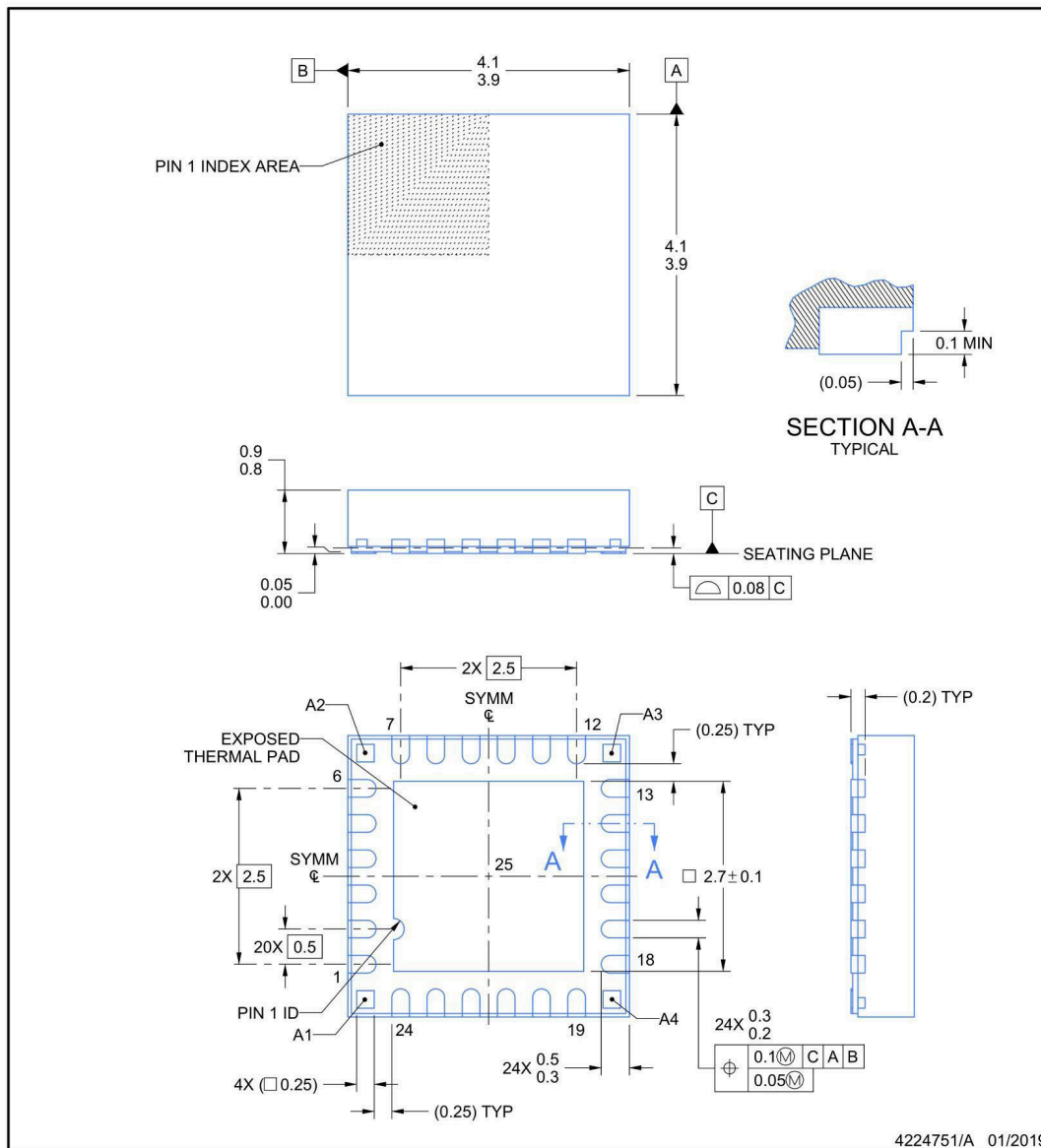
• アプリケーション セクションの PCIe 世代コンプライアンスを更新.....	1
• 概要 (続き) セクションを削除.....	1
• 「パッケージ情報」表を更新.....	1
• ピン機能表 の「タイプ」脚注を更新して情報を統合.....	4
• 仕様 セクション全体の文字を大文字表記に更新.....	7
• タイミング要件、I²C 互換シリアル インターフェイス の (3) 脚注を明確にする t 目の更新.....	13
• 制御ピン セクションの SSC_EN 機能を更新.....	34
• 詳細設計手順 セクションの工場構成を更新.....	45
• レイアウト ガイドライン を更新し、 図 8-5 へのリンクを修正しました。.....	48
• EVM のユーザーガイドとレジスタマップのユーザーガイドへの参照を追加.....	50

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**RGE0024P****PACKAGE OUTLINE****VQFN - 0.9 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

RGE0024P

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

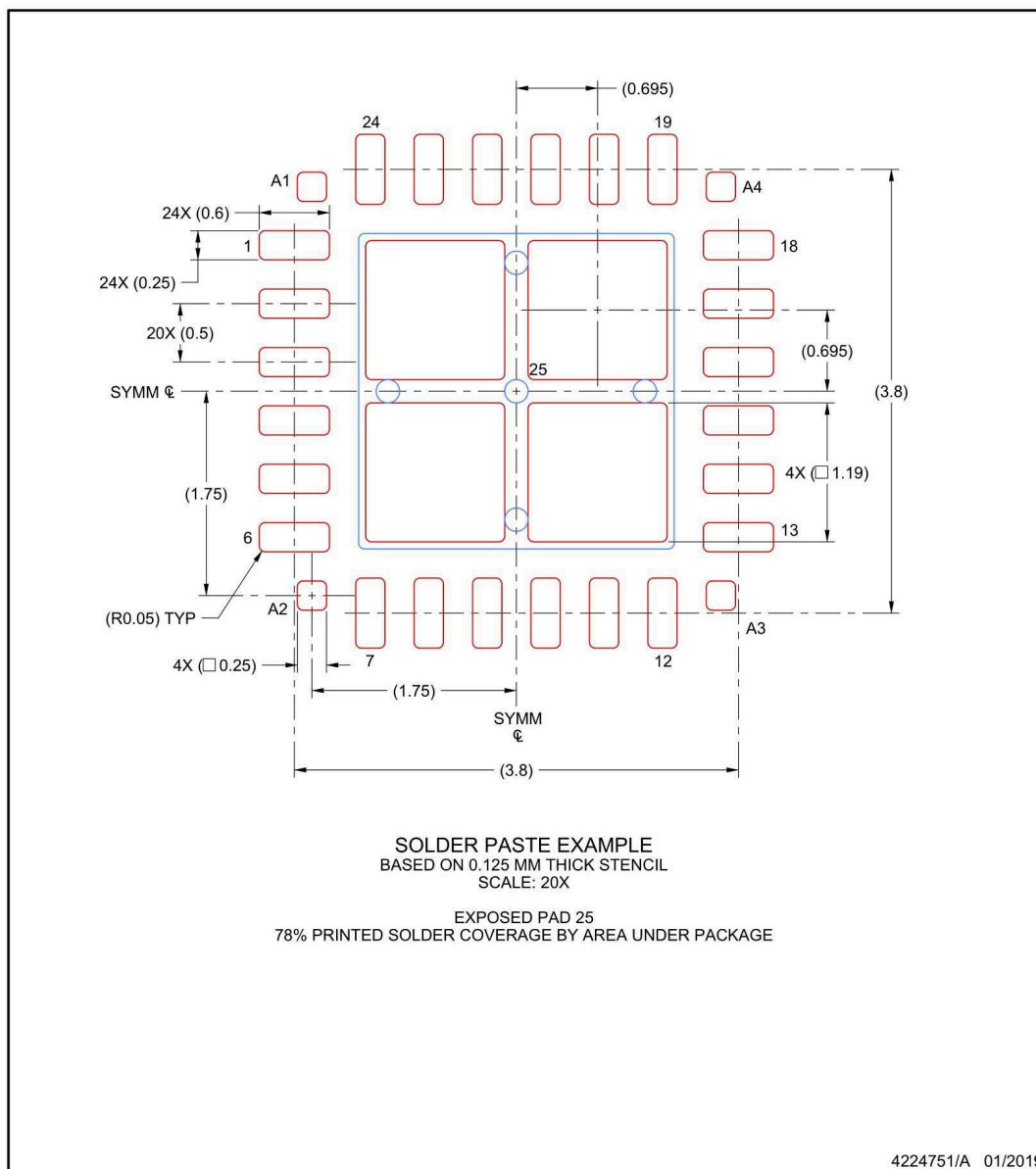


4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN**RGE0024P****VQFN - 0.9 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDCE6214RGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	Call TI Sn	Level-2-260C-1 YEAR	-40 to 105	6214A2
CDCE6214RGER.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	6214A2
CDCE6214RGET	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 105	6214A2
CDCE6214RGET.A	Active	Production	VQFN (RGE) 24	250 SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 105	6214A2

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

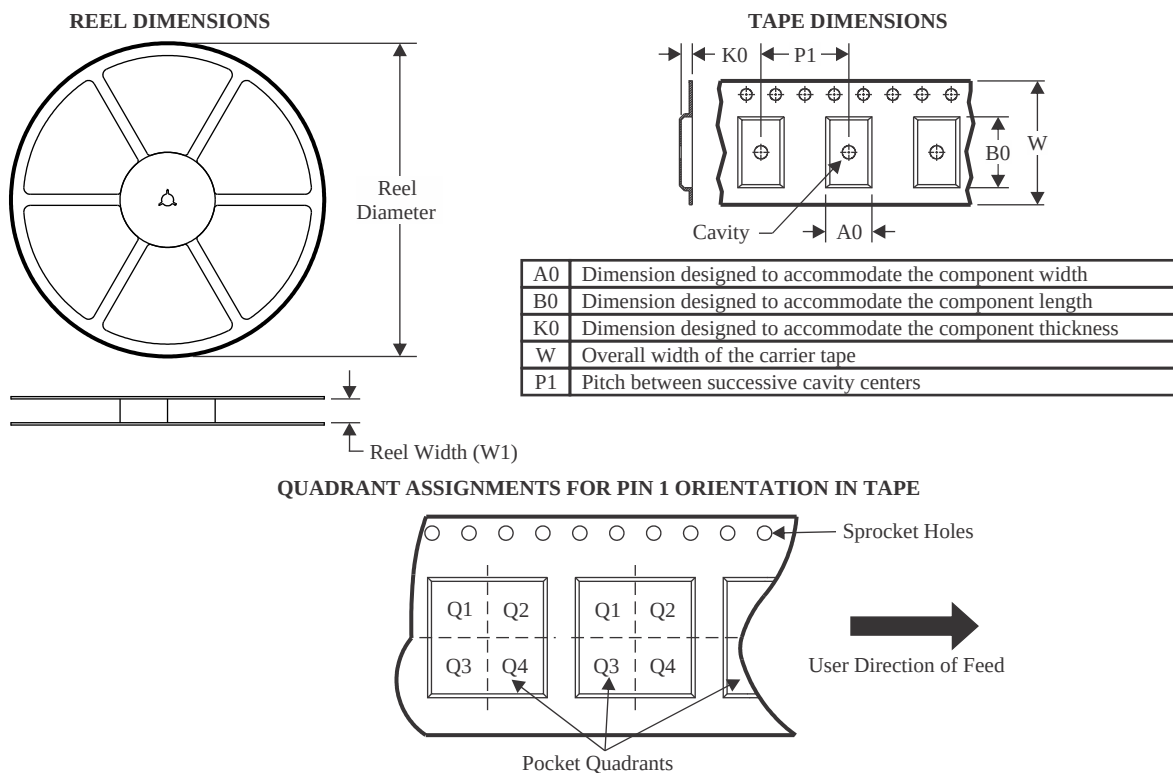
OTHER QUALIFIED VERSIONS OF CDCE6214 :

- Automotive : [CDCE6214-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

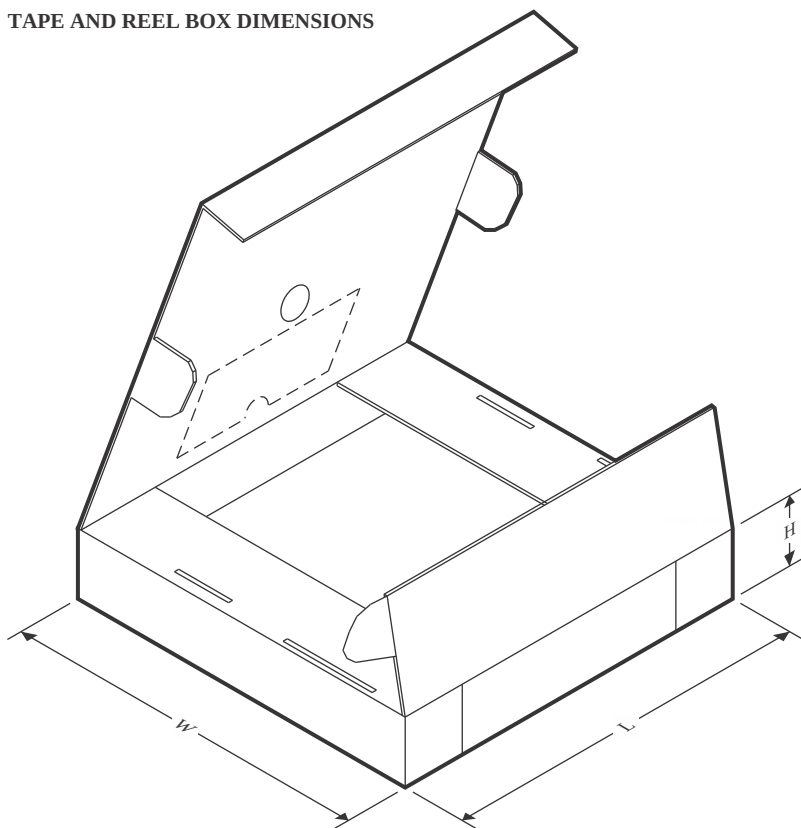
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCE6214RGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
CDCE6214RGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

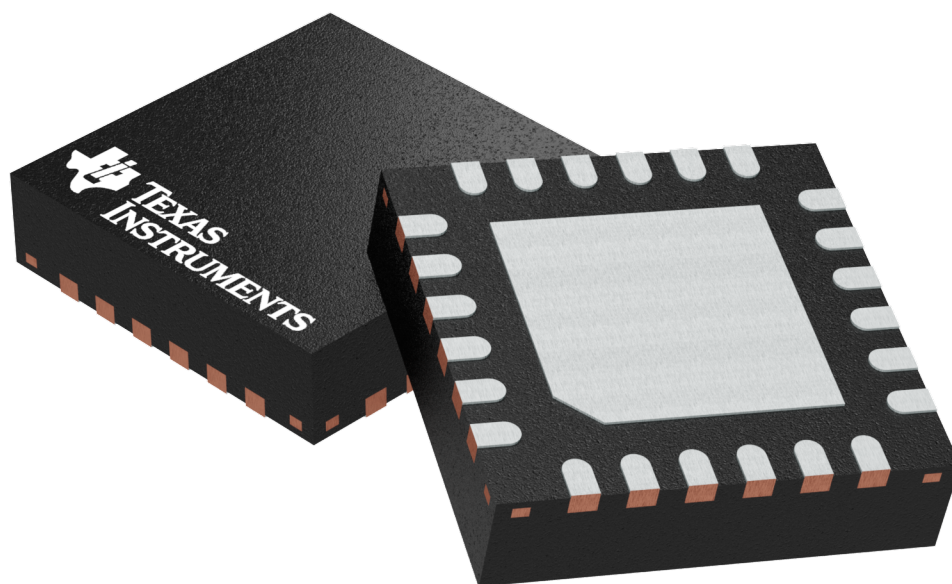
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCE6214RGER	VQFN	RGE	24	3000	346.0	346.0	33.0
CDCE6214RGET	VQFN	RGE	24	250	210.0	185.0	35.0

RGE 24

GENERIC PACKAGE VIEW

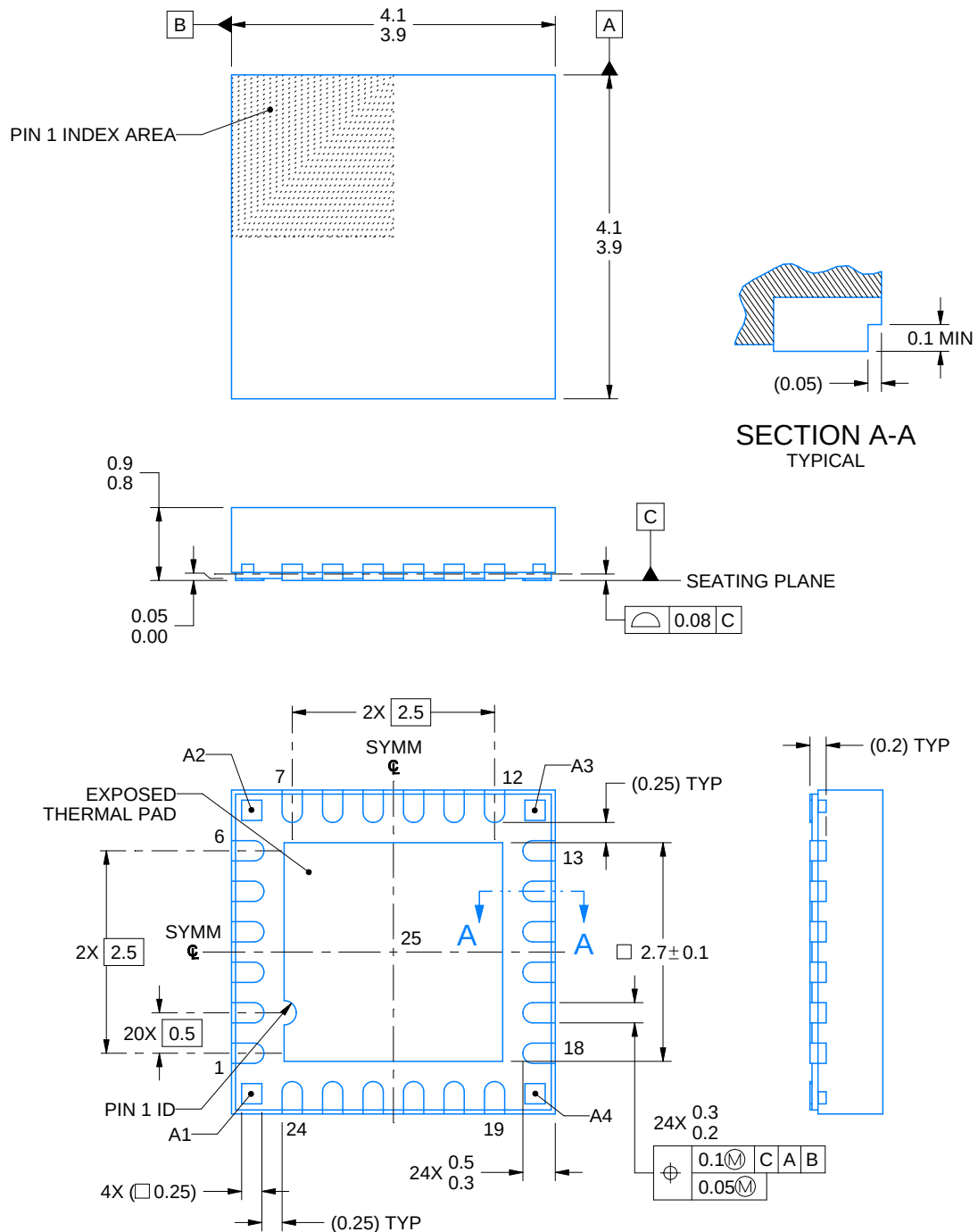
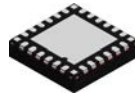
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



4224751/A 01/2019

NOTES:

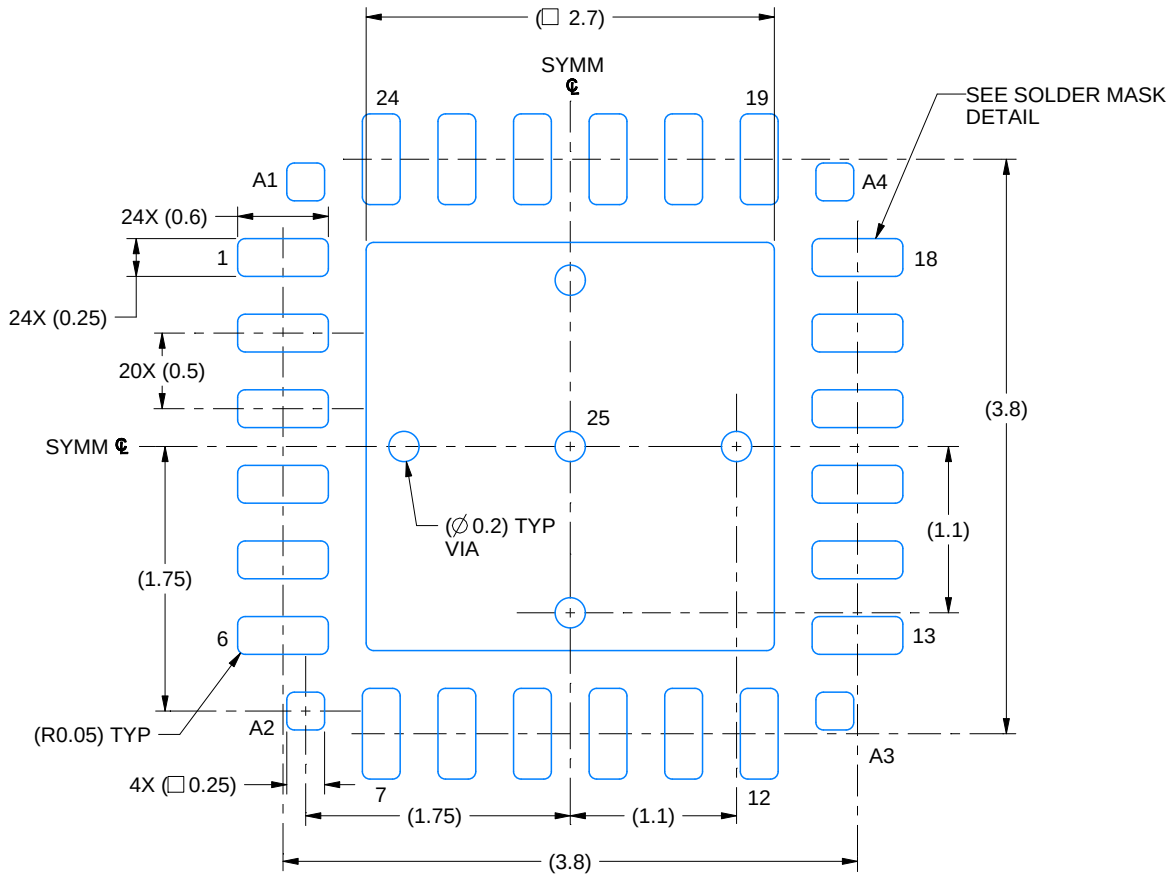
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

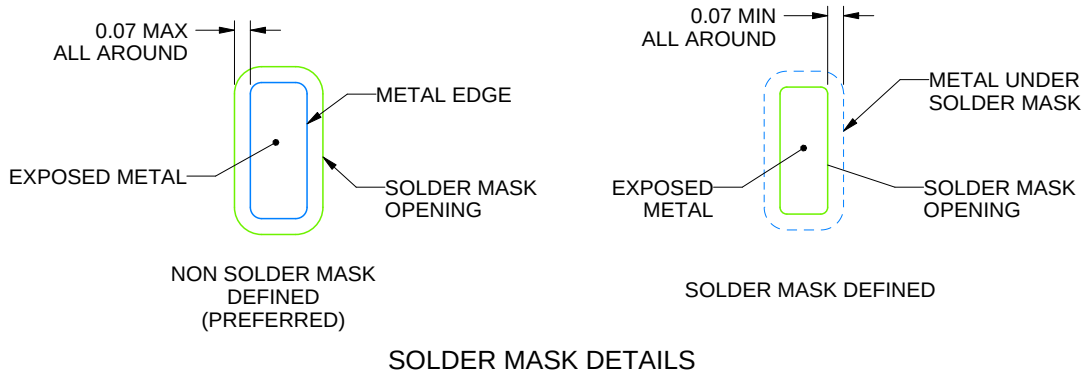
RGE0024P

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224751/A 01/2019

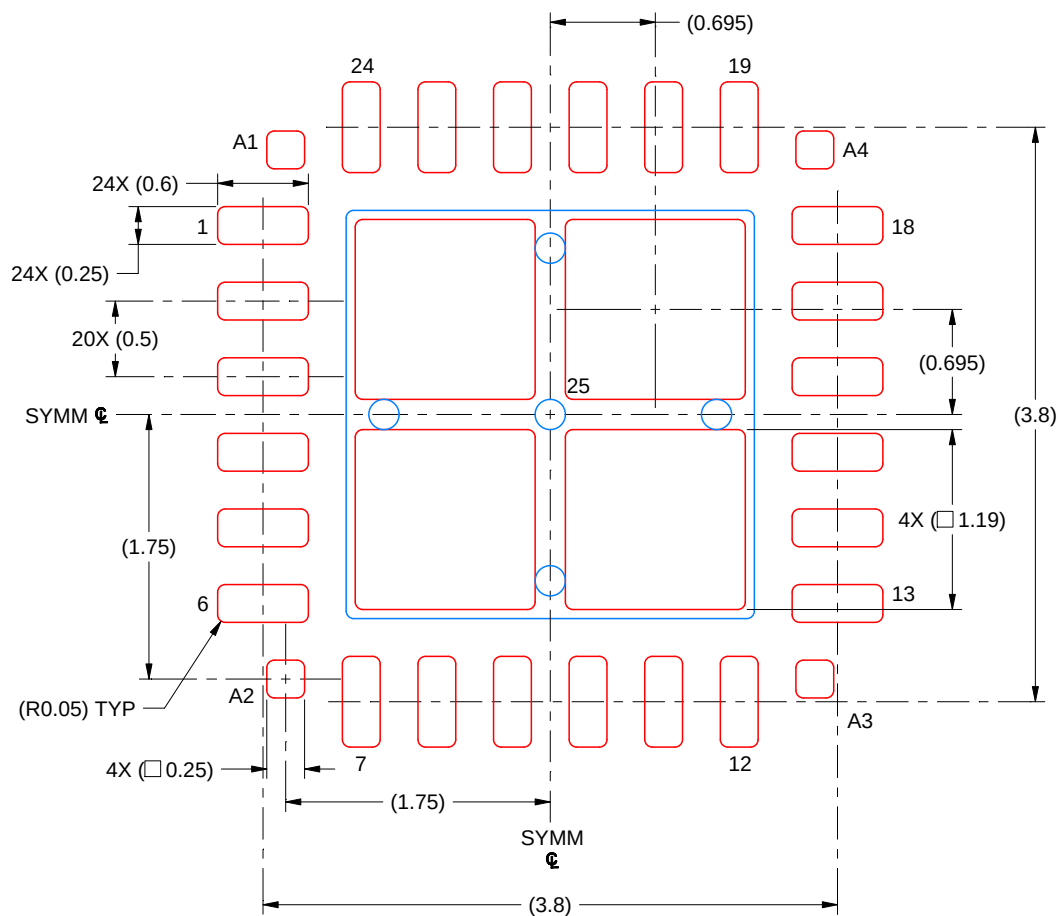
NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RGE0024P

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4224751/A 01/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月