

# CSD18504Q5A 40V、N チャネル NexFET™ パワー MOSFET

## 1 特長

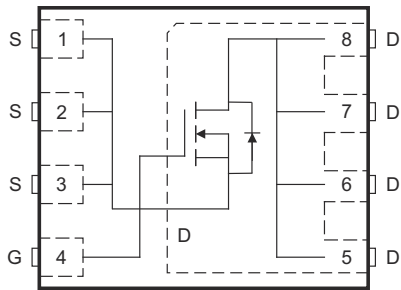
- 5V ゲートドライブに最適化
- $V_{GS} = 2.5V$  での抵抗値
- 非常に小さい  $Q_g$  と  $Q_{gd}$
- 低い熱抵抗
- アバランシェ定格
- 鉛不使用の端子メッキ処理
- RoHS に準拠
- ハロゲン不使用
- SON 5mm × 6mm プラスチック パッケージ

## 2 アプリケーション

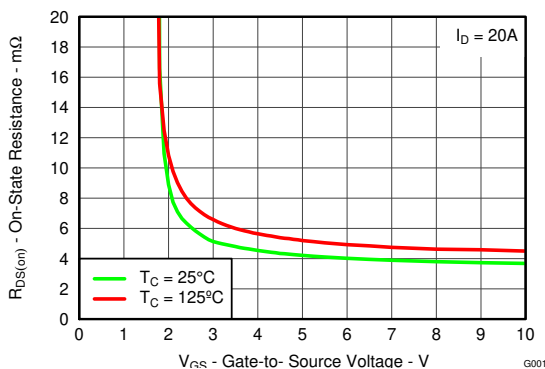
- ネットワーク、テレコム、コンピューティング システム アプリケーション用のポイント オブ ロード (POL) 同期整流降圧型コンバータ
- 制御または同期 FET アプリケーションに最適化

## 3 概要

NexFET™ パワー MOSFET はパワー コンバージョン アプリケーションにおいて損失を最小限とするよう設計され、5V ゲート ドライブ アプリケーションに最適化されています。



上面図



$R_{DS(on)}$  と  $V_{GS}$  との関係

## 製品概要

$V_{DS}$	ドレイン - ソース間電圧	25	V
$Q_g$	ゲートの合計電荷 (4.5V)	6.8	nC
$Q_{gd}$	ゲート電荷、ゲート - ドレイン間	1.2	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 2.5V$	6.1 mΩ
		$V_{GS} = 4.5V$	4.3 mΩ
		$V_{GS} = 8V$	3.8 mΩ
$V_{th}$	スレッショルド電圧	0.85	V

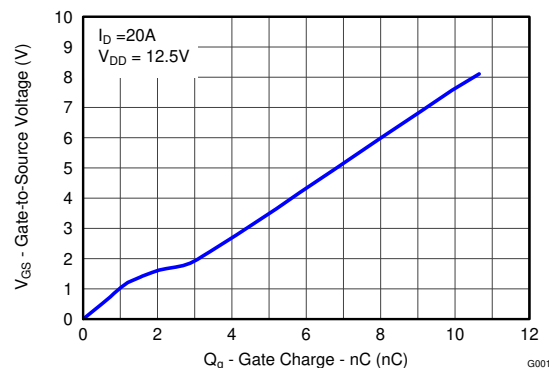
## 注文情報

デバイス	パッケージ	メディア	数量	Ship (配送)
CSD16342Q5A	SON 5 × 6 プラスチック パッケージ	13 インチリール	2500	テープ アン ドリール

## 絶対最大定格

$T_A = 25^\circ C$ (特に記述のない限り)		値	単位
$V_{DS}$	ドレイン - ソース間電圧	25	V
$V_{GS}$	ゲート - ソース間電圧	+10 / -8	V
$I_D$	連続ドレイン電流、 $T_C = 25^\circ C$	100	A
	連続ドレイン電流 <sup>(1)</sup>	21	A
$I_{DM}$	パルスドレイン電流、 $T_A = 25^\circ C$ <sup>(2)</sup>	131	A
$P_D$	消費電力 <sup>(1)</sup>	3	W
$T_J$ , $T_{STG}$	動作時の接合部温度、保存温度	-55 ~ 150	°C
$E_{AS}$	アバランシェエネルギー、単一パルス $I_D = 40A$ , $L = 0.1mH$ , $R_G = 25\Omega$	80	mJ

- (1) 厚さ 0.060 インチの FR4 PCB 上に構築された面積 1 平方インチ、2 オンスの Cu パッド上で、標準値  $R_{\theta JA} = 40^\circ C/W$ 。
- (2) パルス幅  $\leq 300\mu s$ 、デューティサイクル  $\leq 2\%$



ゲート電荷



## 4 Specifications

### 4.1 Electrical Characteristics

( $T_A = 25^\circ\text{C}$  unless otherwise stated)

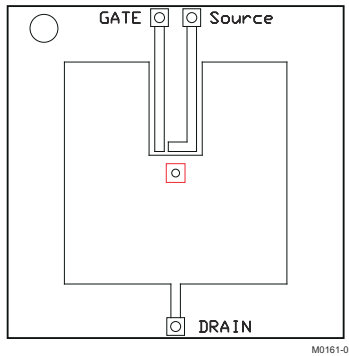
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>Static Characteristics</b>						
$BV_{DSS}$	Drain to Source Voltage	$V_{GS} = 0V, I_{DS} = 250\mu A$	25			V
$I_{DSS}$	Drain to Source Leakage Current	$V_{GS} = 0V, V_{DS} = 20V$			1	$\mu A$
$I_{GSS}$	Gate to Source Leakage Current	$V_{DS} = 0V, V_{GS} = +10/-8V$			100	nA
$V_{GS(th)}$	Gate to Source Threshold Voltage	$V_{DS} = V_{GS}, I_{DS} = 250\mu A$	0.6	0.85	1.1	V
$R_{DS(on)}$	Drain to Source On Resistance	$V_{GS} = 2.5V, I_{DS} = 20A$		6.1	7.8	m $\Omega$
		$V_{GS} = 4.5V, I_{DS} = 20A$		4.3	5.5	m $\Omega$
		$V_{GS} = 8V, I_{DS} = 20A$		3.8	4.7	m $\Omega$
$g_{fs}$	Transconductance	$V_{DS} = 15V, I_{DS} = 20A$		91		S
<b>Dynamic Characteristics</b>						
$C_{ISS}$	Input Capacitance	$V_{GS} = 0V, V_{DS} = 12.5V, f = 1MHz$		1050	1350	pF
$C_{OSS}$	Output Capacitance			730	950	pF
$C_{RSS}$	Reverse Transfer Capacitance			53	69	pF
$R_g$	Series Gate Resistance			1.5	3	$\Omega$
$Q_g$	Gate Charge Total (4.5V)	$V_{DS} = 12.5V, I_D = 20A$		6.8	7.1	nC
$Q_{gd}$	Gate Charge Gate to Drain			0.9		nC
$Q_{gs}$	Gate Charge Gate to Source			1.9		nC
$Qg(th)$	Gate Charge at $V_{th}$			1.2		nC
$Q_{OSS}$	Output Charge	$V_{DS} = 13V, V_{GS} = 0V$		13.7		nC
$t_{d(on)}$	Turn On Delay Time	$V_{DS} = 12.5V, V_{GS} = 4.5V, I_D = 20A, R_G = 2\Omega$		5.2		ns
$t_r$	Rise Time			16.6		ns
$t_{d(off)}$	Turn Off Delay Time			13.4		ns
$t_f$	Fall Time			3.1		ns
<b>Diode Characteristics</b>						
$V_{SD}$	Diode Forward Voltage	$I_S = 20A, V_{GS} = 0V$		0.8	1	V
$Q_{rr}$	Reverse Recovery Charge	$V_{DD} = 13V, I_F = 20A, di/dt = 300A/\mu s$		14.5		nC
$t_{rr}$	Reverse Recovery Time			20		ns

## 4.2 Thermal Characteristics

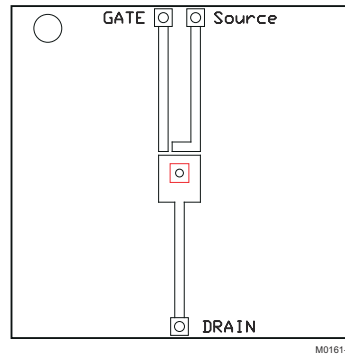
( $T_A = 25^\circ\text{C}$  unless otherwise stated)

PARAMETER		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Thermal Resistance Junction to Case <sup>(1)</sup>			1.2	$^\circ\text{C/W}$
$R_{\theta JA}$	Thermal Resistance Junction to Ambient <sup>(1) (2)</sup>			50	$^\circ\text{C/W}$

- (1)  $R_{\theta JC}$  is determined with the device mounted on a 1-inch<sup>2</sup> (6.45cm<sup>2</sup>), 2oz. (0.071mm thick) Cu pad on a 1.5-inch × 1.5-inch (3.81cm × 3.81cm), 0.06-inch (1.52mm) thick FR4 PCB.  $R_{\theta JC}$  is specified by design, whereas  $R_{\theta JA}$  is determined by the user's board design.
- (2) Device mounted on FR4 material with 1-inch<sup>2</sup> (6.45cm<sup>2</sup>), 2oz. (0.071mm thick) Cu.



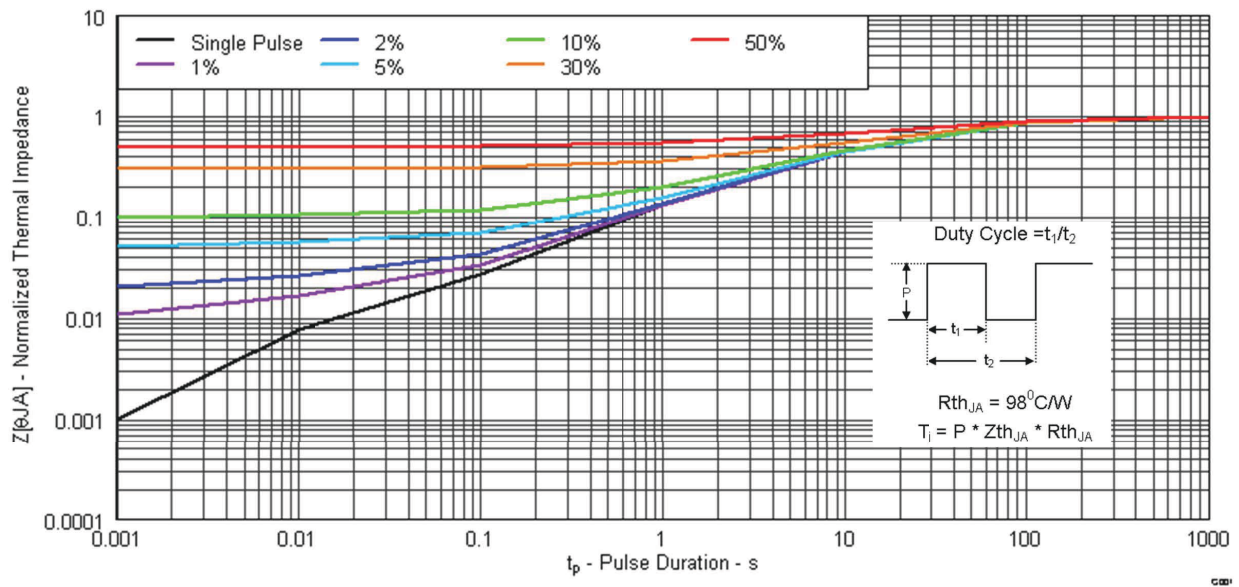
Max  $R_{\theta JA} = 50^\circ\text{C/W}$  when mounted on 1 inch<sup>2</sup> of 2oz. Cu.



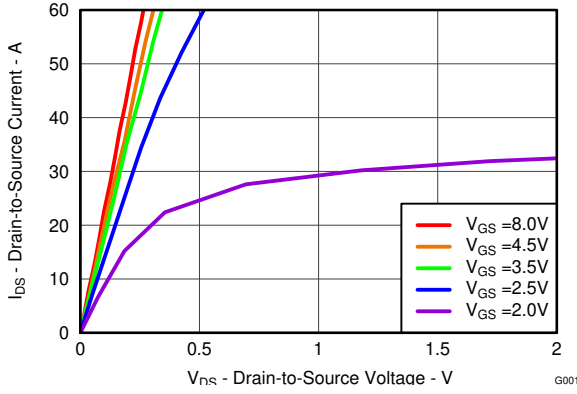
Max  $R_{\theta JA} = 123^\circ\text{C/W}$  when mounted on minimum pad area of 2oz. Cu.

## 5 Typical MOSFET Characteristics

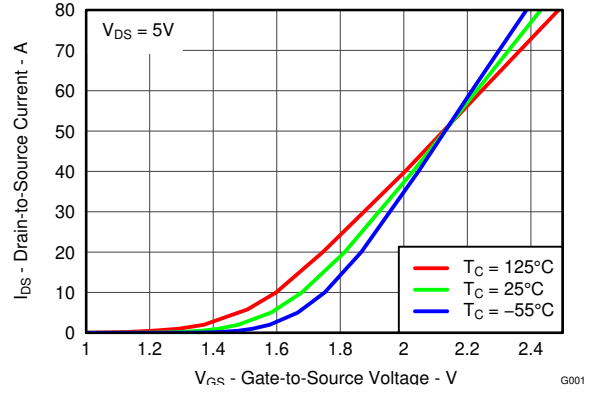
( $T_A = 25^\circ\text{C}$  unless otherwise stated)



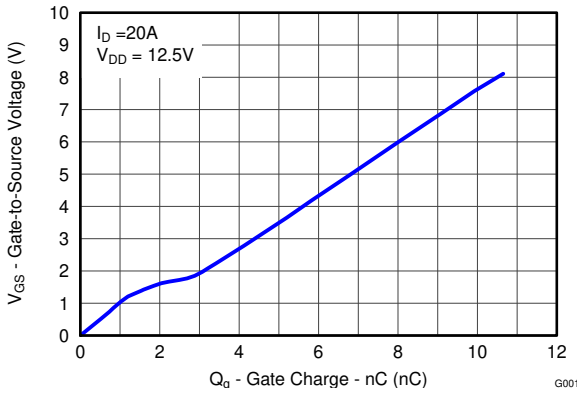
5-1. Transient Thermal Impedance



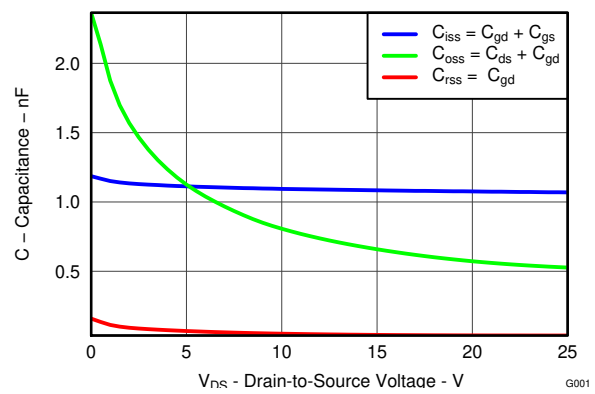
5-2. Saturation Characteristics



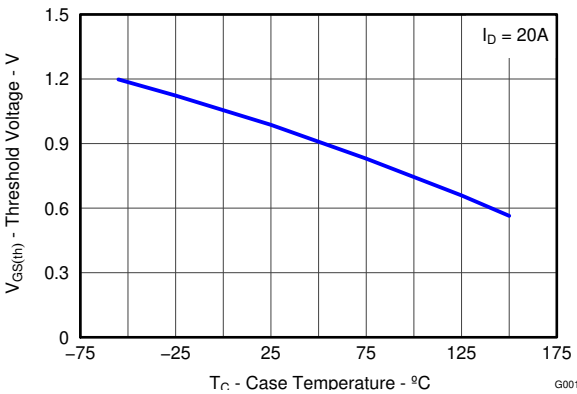
5-3. Transfer Characteristics



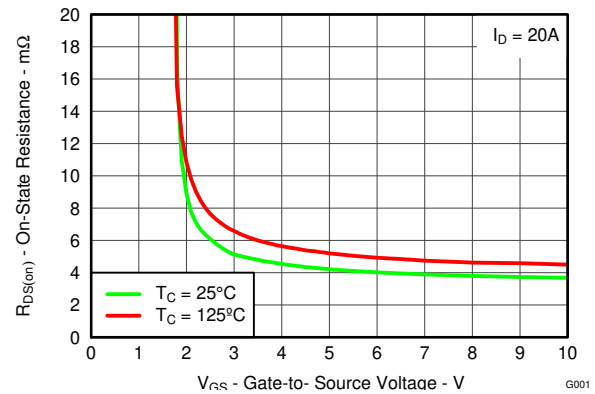
5-4. Gate Charge



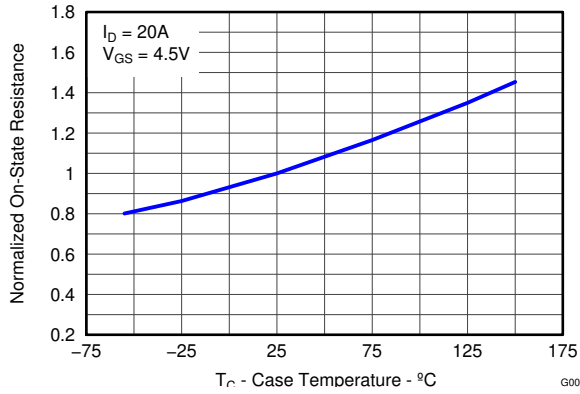
5-5. Capacitance



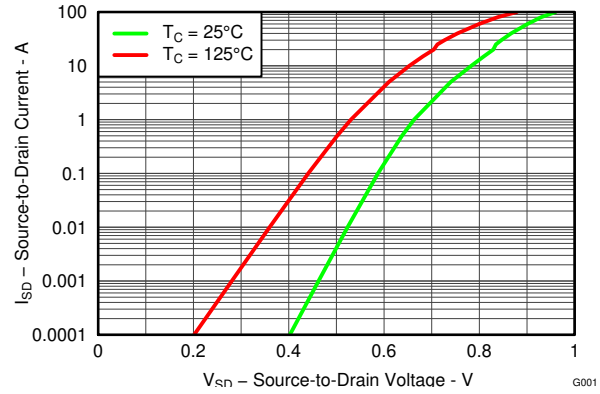
5-6. Threshold Voltage vs. Temperature



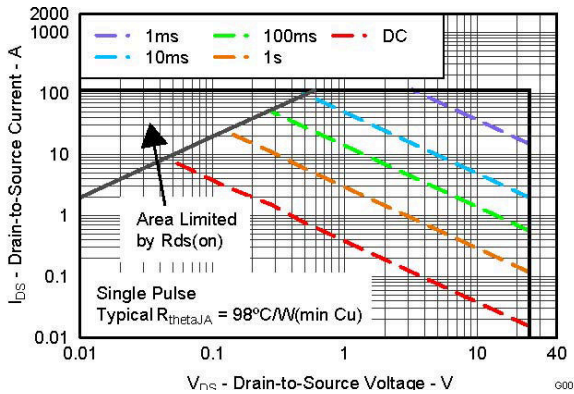
5-7. On Resistance vs. Gate Voltage



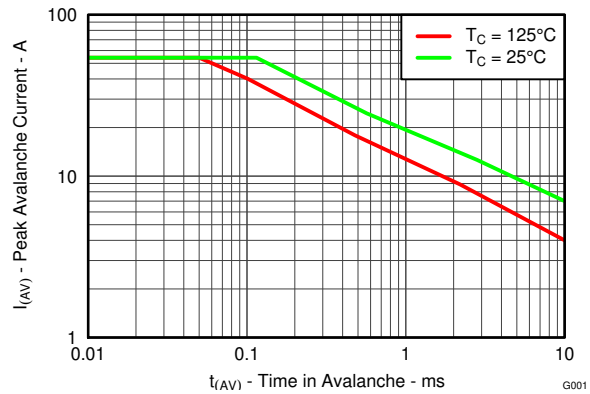
5-8. Normalized On Resistance vs. Temperature



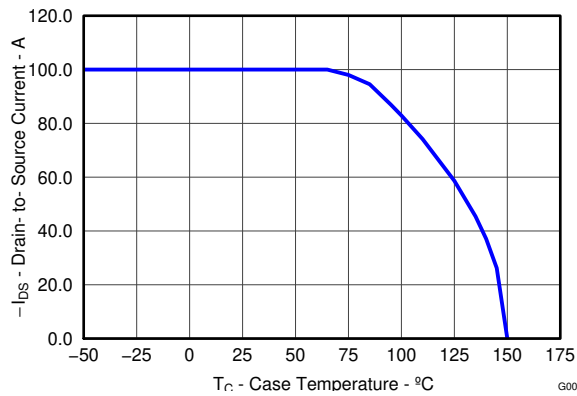
5-9. Typical Diode Forward Voltage



5-10. Maximum Safe Operating Area



5-11. Single Pulse Unclamped Inductive Switching



5-12. Maximum Drain Current vs. Temperature

## 6 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

---

### Changes from Revision A (March 2012) to Revision B (January 2025) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1
- 

---

### Changes from Revision \* (February 2012) to Revision A (March 2012) Page

- 製品ステータスを製品プレビューから量産データへ変更..... 1
-

## 7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD16342Q5A	ACTIVE	VSONP	DQJ	8	2500	RoHS-Exempt & Green	SN	Level-1-260C-UNLIM	-55 to 150	CSD16342	Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated