

# CSD18512Q5B 40V、N チャネル NexFET™ パワー MOSFET

## 1 特長

- 低い $R_{DS(on)}$
- 低い熱抵抗
- アバランシェ定格
- ロジック・レベル
- 鉛不使用の端子メッキ処理
- RoHS に準拠
- ハロゲン不使用
- SON 5mm×6mm プラスチック・パッケージ

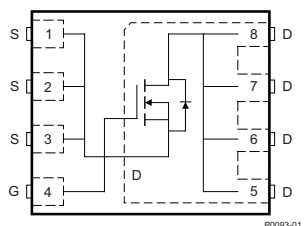
## 2 アプリケーション

- DC/DC 変換
- 2 次側同期整流器
- モータ制御

## 3 概要

この40V、1.3mΩ、5mm×6mm NexFET™ パワー MOSFETは、電力変換アプリケーションにおいて損失を最小限に抑えるよう設計されています。

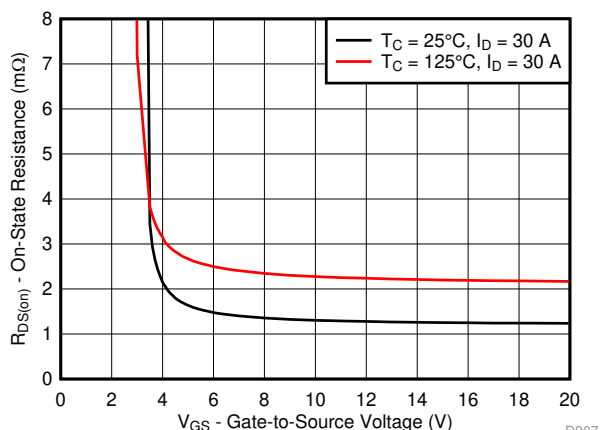
上面図



製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
$V_{DS}$	ドレイン-ソース間電圧	40	V

$R_{DS(on)}$  と  $V_{GS}$  との関係



製品概要 (continued)

$T_A = 25^\circ\text{C}$		標準値	単位	
$Q_g$	総ゲート電荷量(10V)	75	nC	
$Q_{gd}$	ゲート電荷、ゲート-ドレイン間	13.3	nC	
$R_{DS(on)}$	ドレイン-ソース間オン抵抗	$V_{GS} = 4.5\text{V}$	1.8	mΩ
		$V_{GS} = 10\text{V}$	1.3	mΩ
$V_{GS(th)}$	スレッショルド電圧	1.6	V	

製品情報<sup>(1)</sup>

デバイス	数量	メディア	パッケージ	出荷
CSD18512Q5B	2500	13インチ・リール	SON 5mm×6mm プラスチック・パッケージ	テープ・アンド・リール
CSD18512Q5BT	250	7インチ・リール		

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

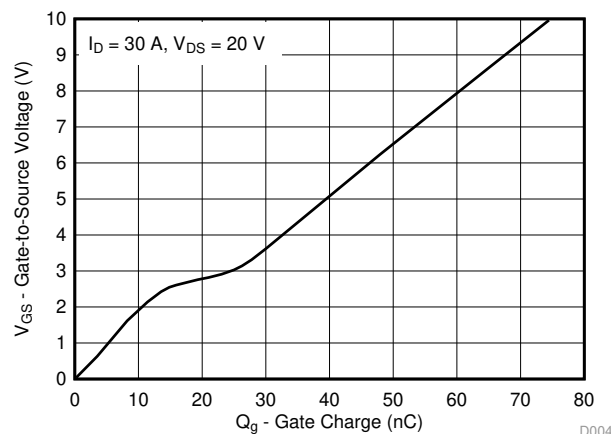
絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
$V_{DS}$	ドレイン-ソース間電圧	40	V
$V_{GS}$	ゲート-ソース間電圧	±20	V
$I_D$	連続ドレイン電流(パッケージ制限)	100	A
	連続ドレイン電流(シリコン制限)、 $T_C = 25^\circ\text{C}$	211	
	連続ドレイン電流 <sup>(1)</sup>	32	
$I_{DM}$	パルス・ドレイン電流 <sup>(2)</sup>	400	A
$P_D$	消費電力 <sup>(1)</sup>	3.1	W
	消費電力、 $T_C = 25^\circ\text{C}$	139	
$T_J$ , $T_{stg}$	動作時の接合部、 保管温度	-55~150	°C
$E_{AS}$	アバランシェ・エネルギー、単一パルス $I_D = 64\text{A}$ , $L = 0.1\text{mH}$ , $R_G = 25\Omega$	205	mJ

(1) 0.06インチ厚のFR4 PCB上の1インチ<sup>2</sup>、2オンスのCuパッドにおいて、 $R_{\theta JA} = 40^\circ\text{C}/\text{W}$  (標準値)

(2) 最大 $R_{\theta JC} = 0.9^\circ\text{C}/\text{W}$ 、パルス期間 ≤ 100μs、デューティ・サイクル ≤ 1%

ゲート電荷



## 目次

1	特長 .....	1	6.1	コミュニティ・リソース .....	7
2	アプリケーション .....	1	6.2	商標 .....	7
3	概要 .....	1	6.3	静電気放電に関する注意事項 .....	7
4	改訂履歴 .....	2	6.4	Glossary .....	7
5	<b>Specifications</b> .....	3	7	メカニカル、パッケージ、および注文情報 .....	8
	5.1 Electrical Characteristics .....	3	7.1	Q5Bパッケージの寸法 .....	8
	5.2 Thermal Information .....	3	7.2	推奨されるPCBパターン .....	9
	5.3 Typical MOSFET Characteristics .....	4	7.3	推奨されるステンシルパターン .....	9
6	デバイスおよびドキュメントのサポート .....	7	7.4	Q5Bのテープ・アンド・リール情報 .....	10

## 4 改訂履歴

2016年12月発行のものから更新

Page

•	Corrected the SOA in <a href="#">Figure 10</a> .....	5
---	--	---

## 5 Specifications

### 5.1 Electrical Characteristics

(T<sub>A</sub> = 25°C unless otherwise stated)

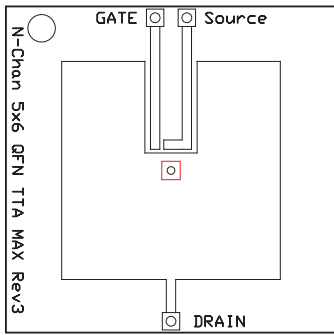
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>STATIC CHARACTERISTICS</b>						
V <sub>DSS</sub>	Drain to source voltage	V <sub>GS</sub> = 0 V, I <sub>D</sub> = 250 μA	40			V
I <sub>DSS</sub>	Drain to source leakage current	V <sub>GS</sub> = 0 V, V <sub>DS</sub> = 32 V			1	μA
I <sub>GSS</sub>	Gate to source leakage current	V <sub>DS</sub> = 0 V, V <sub>GS</sub> = 20 V			100	nA
V <sub>GS(th)</sub>	Gate to source threshold voltage	V <sub>DS</sub> = V <sub>GS</sub> , I <sub>D</sub> = 250 μA	1.3	1.6	2.2	V
R <sub>DS(on)</sub>	Drain to source on resistance	V <sub>GS</sub> = 4.5 V, I <sub>D</sub> = 30 A		1.8	2.3	mΩ
		V <sub>GS</sub> = 10 V, I <sub>D</sub> = 30 A		1.3	1.6	mΩ
g <sub>fs</sub>	Transconductance	V <sub>DS</sub> = 20 V, I <sub>D</sub> = 30 A		136		S
<b>DYNAMIC CHARACTERISTICS</b>						
C <sub>iss</sub>	Input capacitance	V <sub>GS</sub> = 0 V, V <sub>DS</sub> = 20 V, f = 1 MHz		5480	7120	pF
C <sub>oss</sub>	Output capacitance			537	699	pF
C <sub>rss</sub>	Reverse transfer capacitance			256	333	pF
R <sub>G</sub>	Series gate resistance			1.0	2.0	Ω
Q <sub>g</sub>	Gate charge total (4.5 V)	V <sub>DS</sub> = 20 V, I <sub>D</sub> = 30 A		37	48	nC
Q <sub>g</sub>	Gate charge total (10 V)			75	98	nC
Q <sub>gd</sub>	Gate charge gate to drain			13.3		nC
Q <sub>gs</sub>	Gate charge gate to source			15.1		nC
Q <sub>g(th)</sub>	Gate charge at V <sub>th</sub>			8.2		nC
Q <sub>oss</sub>	Output charge		V <sub>DS</sub> = 20 V, V <sub>GS</sub> = 0 V		23	
t <sub>d(on)</sub>	Turn on delay time	V <sub>DS</sub> = 20 V, V <sub>GS</sub> = 10 V, I <sub>DS</sub> = 30 A, R <sub>G</sub> = 0 Ω		7		ns
t <sub>r</sub>	Rise time			16		ns
t <sub>d(off)</sub>	Turn off delay time			31		ns
t <sub>f</sub>	Fall time			7		ns
<b>DIODE CHARACTERISTICS</b>						
V <sub>SD</sub>	Diode forward voltage	I <sub>SD</sub> = 30 A, V <sub>GS</sub> = 0 V		0.75	1.0	V
Q <sub>rr</sub>	Reverse recovery charge	V <sub>DS</sub> = 20 V, I <sub>F</sub> = 30 A, di/dt = 300 A/μs		22		nC
t <sub>rr</sub>	Reverse recovery time			17		ns

### 5.2 Thermal Information

(T<sub>A</sub> = 25°C unless otherwise stated)

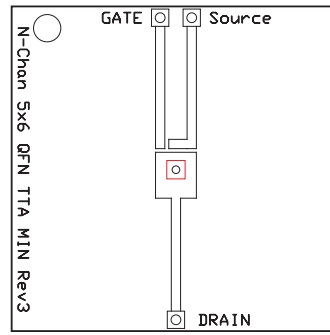
THERMAL METRIC		MIN	TYP	MAX	UNIT
R <sub>θJC</sub>	Junction-to-case (top of package) thermal resistance <sup>(1)</sup>			0.9	°C/W
R <sub>θJA</sub>	Junction-to-ambient thermal resistance <sup>(1)(2)</sup>			50	°C/W

- (1) R<sub>θJC</sub> is determined with the device mounted on a 1 inch<sup>2</sup> (6.45 cm<sup>2</sup>), 2 oz. (0.071 mm thick) Cu pad on a 1.5 inch × 1.5 inch (3.81 cm × 3.81 cm), 0.06 inch (1.52 mm) thick FR4 PCB. R<sub>θJC</sub> is specified by design, whereas R<sub>θJA</sub> is determined by the user's board design.
- (2) Device mounted on FR4 material with 1 inch<sup>2</sup> (6.45 cm<sup>2</sup>), 2 oz. (0.071 mm thick) Cu.



M0137-01

Max  $R_{\theta JA} = 50^{\circ}\text{C/W}$   
when mounted on  
1 inch<sup>2</sup> (6.45 cm<sup>2</sup>) of 2  
oz. (0.071 mm thick)  
Cu.

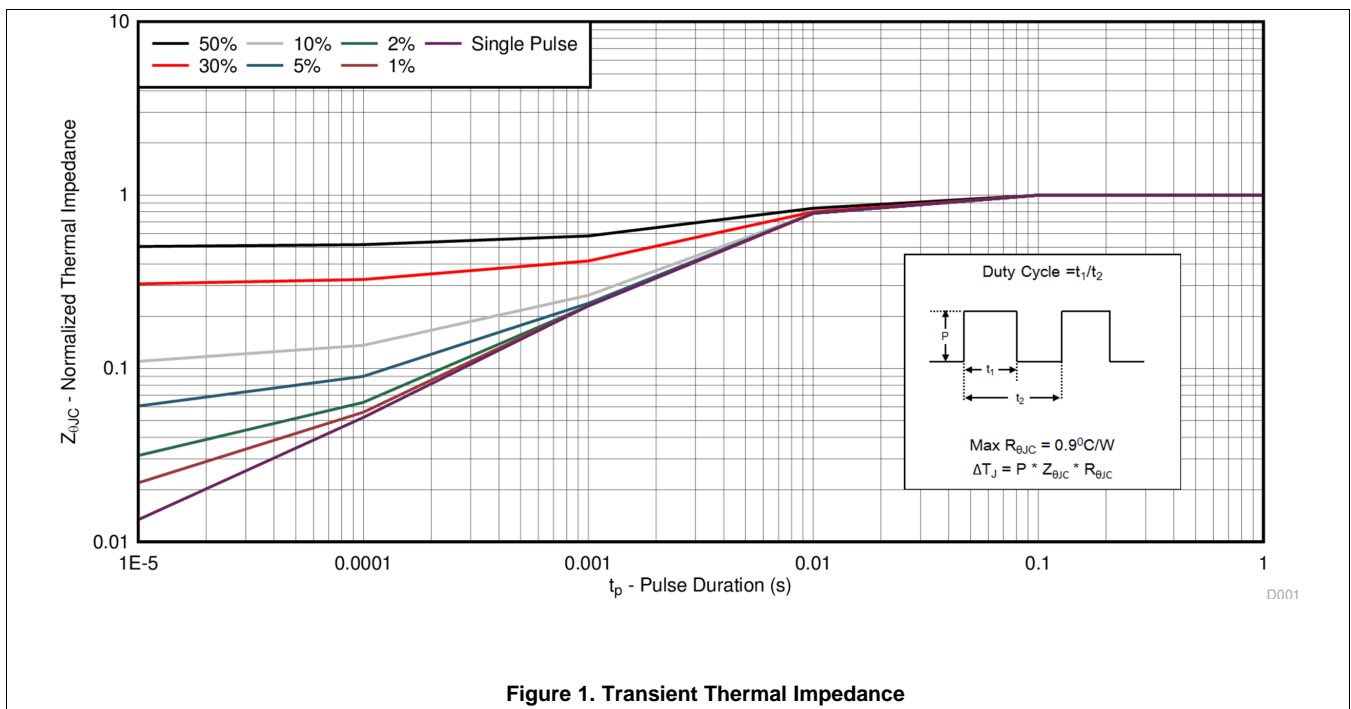


M0137-02

Max  $R_{\theta JA} = 125^{\circ}\text{C/W}$   
when mounted on a  
minimum pad area of 2  
oz. (0.071 mm thick)  
Cu.

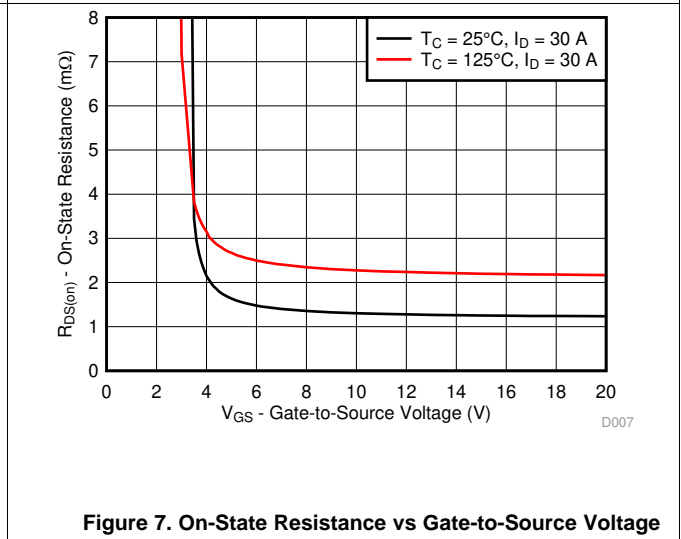
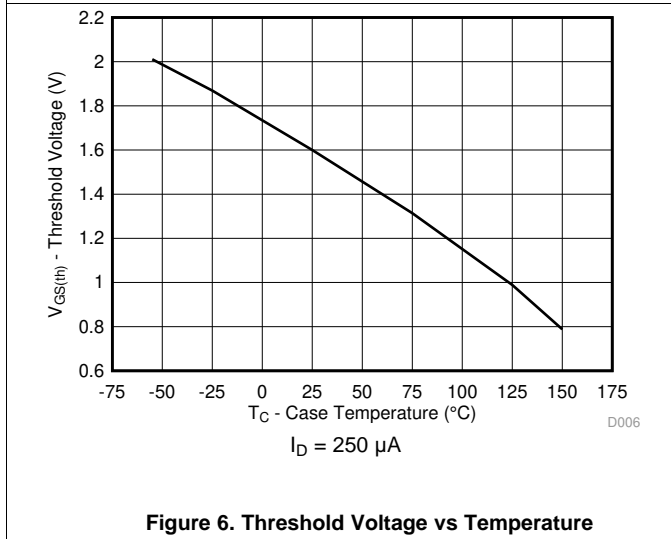
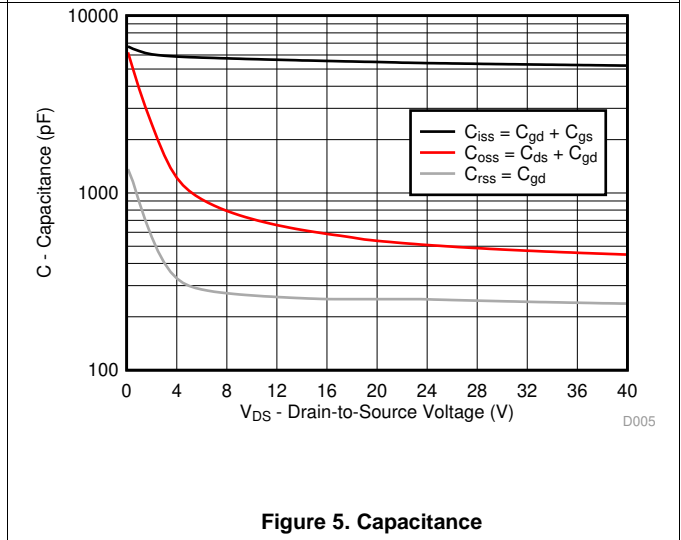
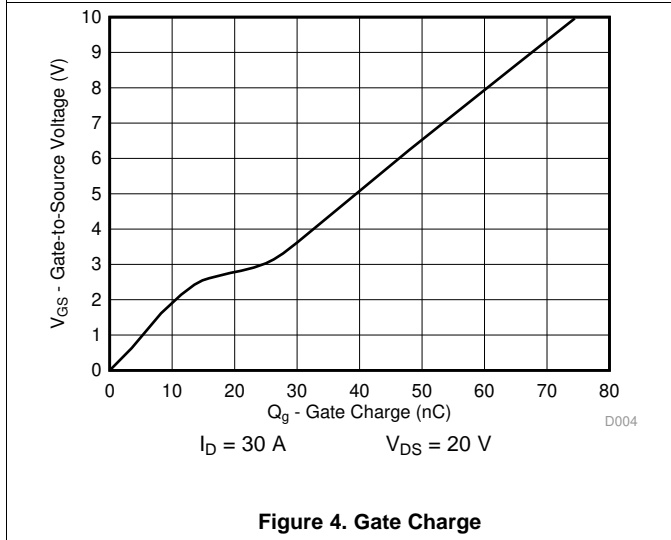
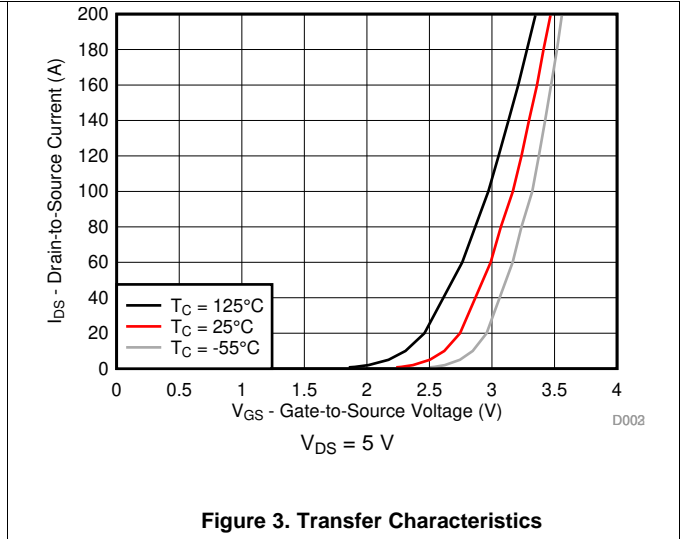
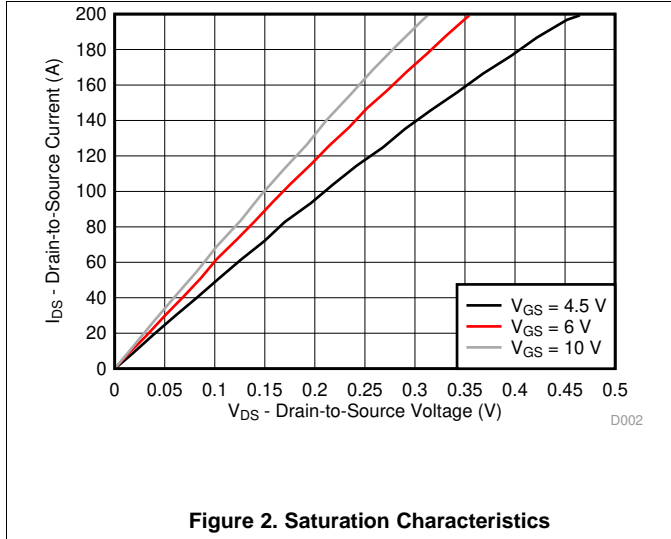
### 5.3 Typical MOSFET Characteristics

$T_A = 25^{\circ}\text{C}$  (unless otherwise stated)



Typical MOSFET Characteristics (continued)

T<sub>A</sub> = 25°C (unless otherwise stated)



Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$  (unless otherwise stated)

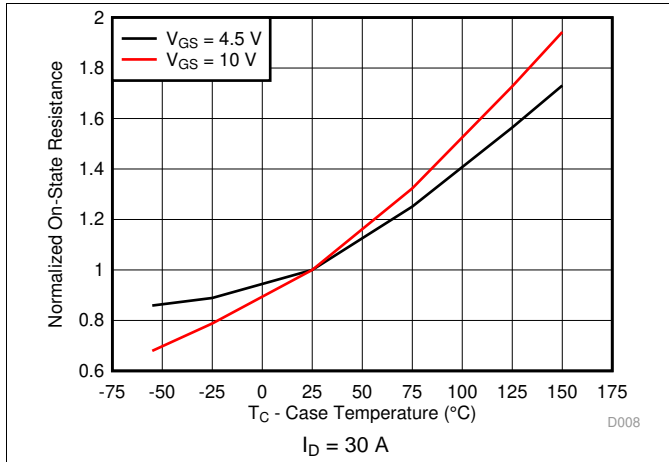


Figure 8. Normalized On-State Resistance vs Temperature

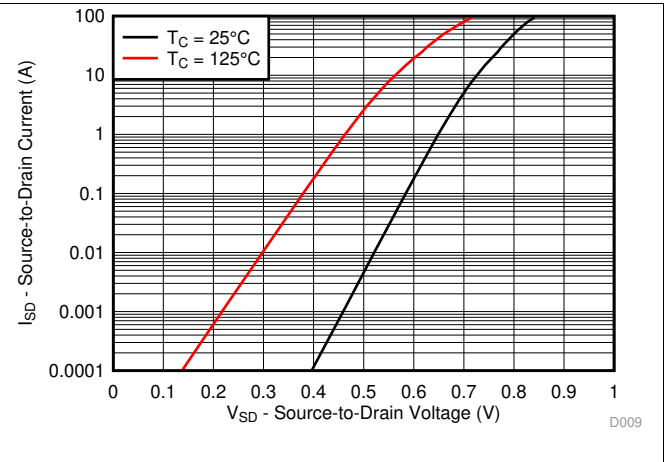


Figure 9. Typical Diode Forward Voltage

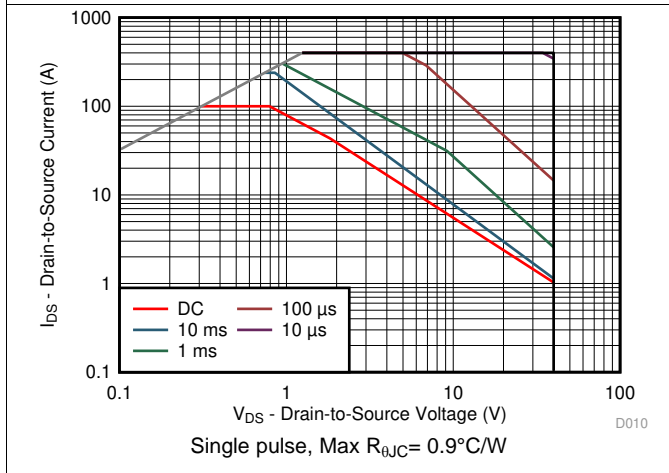


Figure 10. Maximum Safe Operating Area

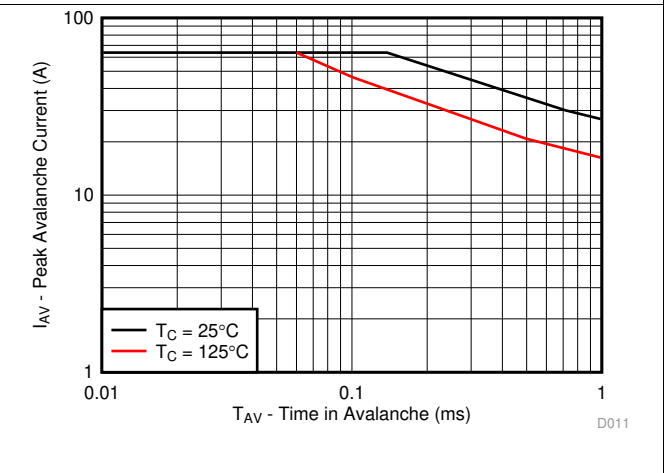


Figure 11. Single Pulse Unclamped Inductive Switching

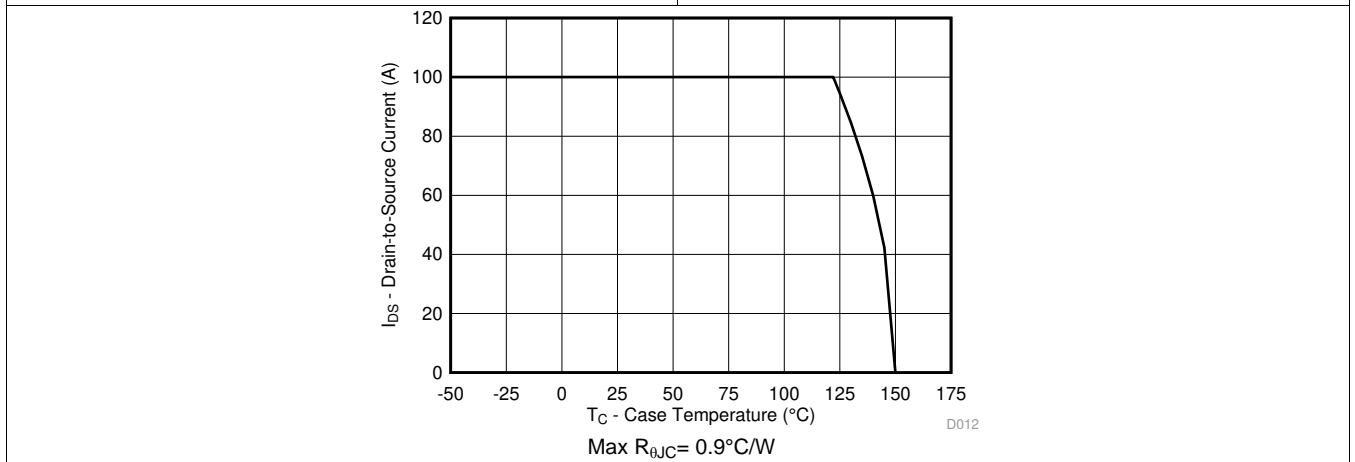


Figure 12. Maximum Drain Current vs Temperature

## 6 デバイスおよびドキュメントのサポート

### 6.1 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

**TI E2E™ Online Community** *TI's Engineer-to-Engineer (E2E) Community*. Created to foster collaboration among engineers. At [e2e.ti.com](http://e2e.ti.com), you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

**Design Support** *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

### 6.2 商標

NexFET, E2E are trademarks of Texas Instruments.  
All other trademarks are the property of their respective owners.

### 6.3 静電気放電に関する注意事項



これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

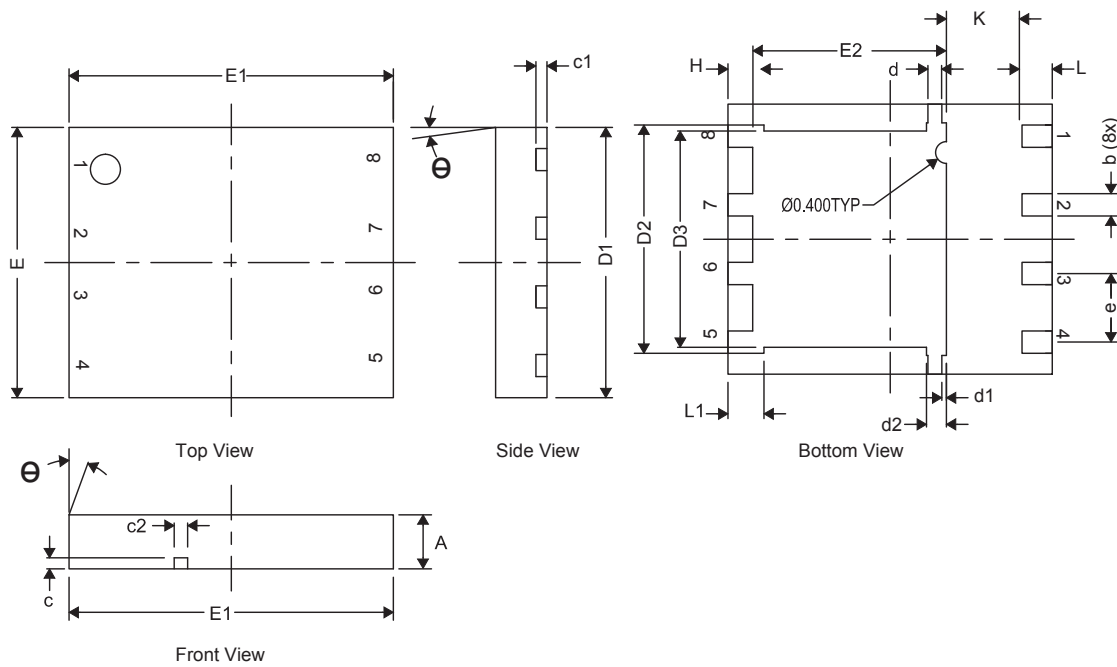
### 6.4 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

## 7 メカニカル、パッケージ、および注文情報

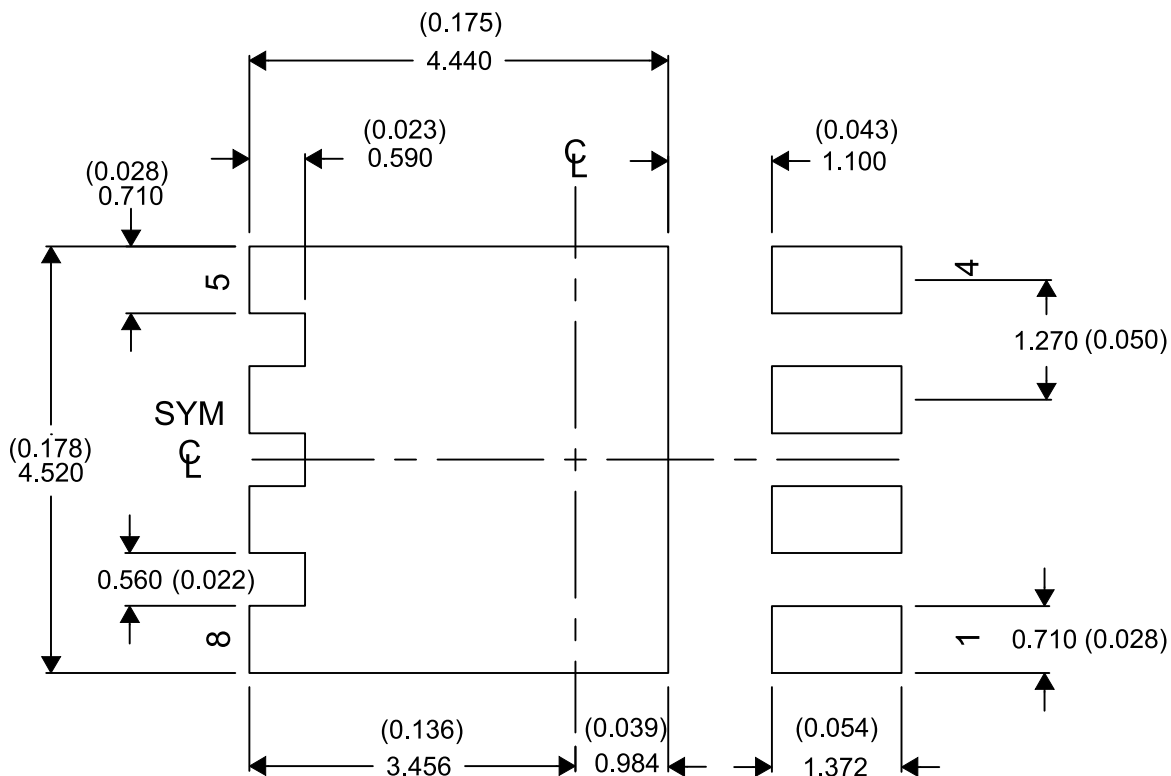
### 7.1 Q5Bパッケージの寸法



寸法	ミリメートル		
	最小	公称	最大
A	0.80	1.00	1.05
b	0.36	0.41	0.46
c	0.15	0.20	0.25
c1	0.15	0.20	0.25
c2	0.20	0.25	0.30
D1	4.90	5.00	5.10
D2	4.12	4.22	4.32
D3	3.90	4.00	4.10
d	0.20	0.25	0.30
d1	0.085 (標準値)		
d2	0.319	0.369	0.419
E	4.90	5.00	5.10
E1	5.90	6.00	6.10
E2	3.48	3.58	3.68
e	1.27 (標準値)		
H	0.36	0.46	0.56
L	0.46	0.56	0.66
L1	0.57	0.67	0.77
$\theta$	0°	-	-
K	1.40 (標準値)		

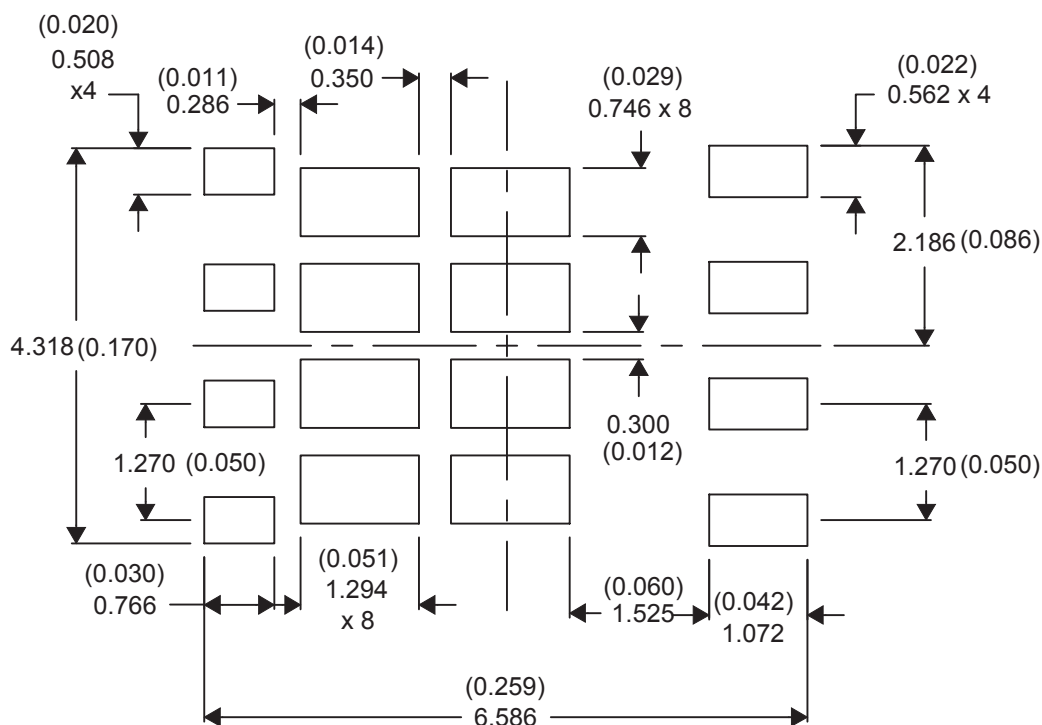


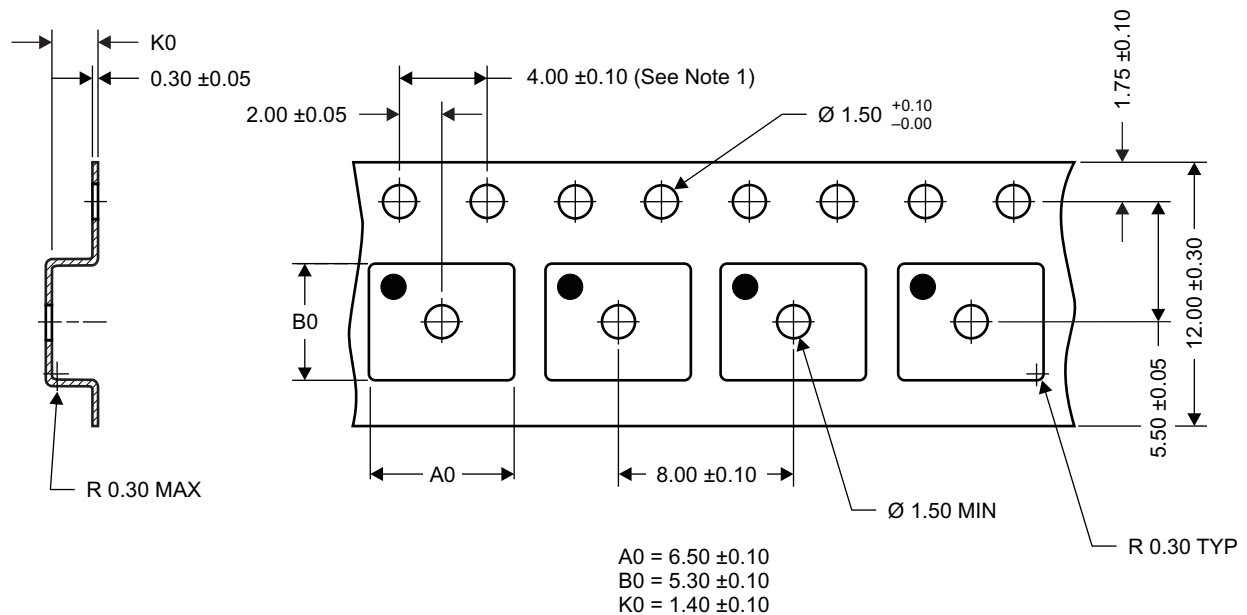
## 7.2 推奨されるPCBパターン



PCBデザインの推奨回路レイアウトについては、アプリケーション・ノートSLPA005『PCBレイアウト技法によるリンギングの低減』を参照してください。

## 7.3 推奨されるステンシル・パターン



**7.4 Q5Bのテープ・アンド・リール情報**


M0138-01

**注**

1. スプロケット穴のピッチ10個分の累積許容誤差は±0.2
2. キャンバーは100mm内に1mmを超えないこと(250mm以上では累積しない)
3. 材質: 黒色の静電散逸性ポリスチレン
4. すべての寸法は、特記されていない限りmm単位
5. A0およびB0は、ポケットの底部から0.3mm上の平面上で測定

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">CSD18512Q5B</a>	Active	Production	VSON-CLIP (DNK)   8	2500   LARGE T&R	ROHS Exempt	NIPDAU	Level-1-260C-UNLIM	-55 to 150	CSD18512
<a href="#">CSD18512Q5BT</a>	Active	Production	VSON-CLIP (DNK)   8	250   SMALL T&R	ROHS Exempt	NIPDAU	Level-1-260C-UNLIM	-55 to 150	CSD18512

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

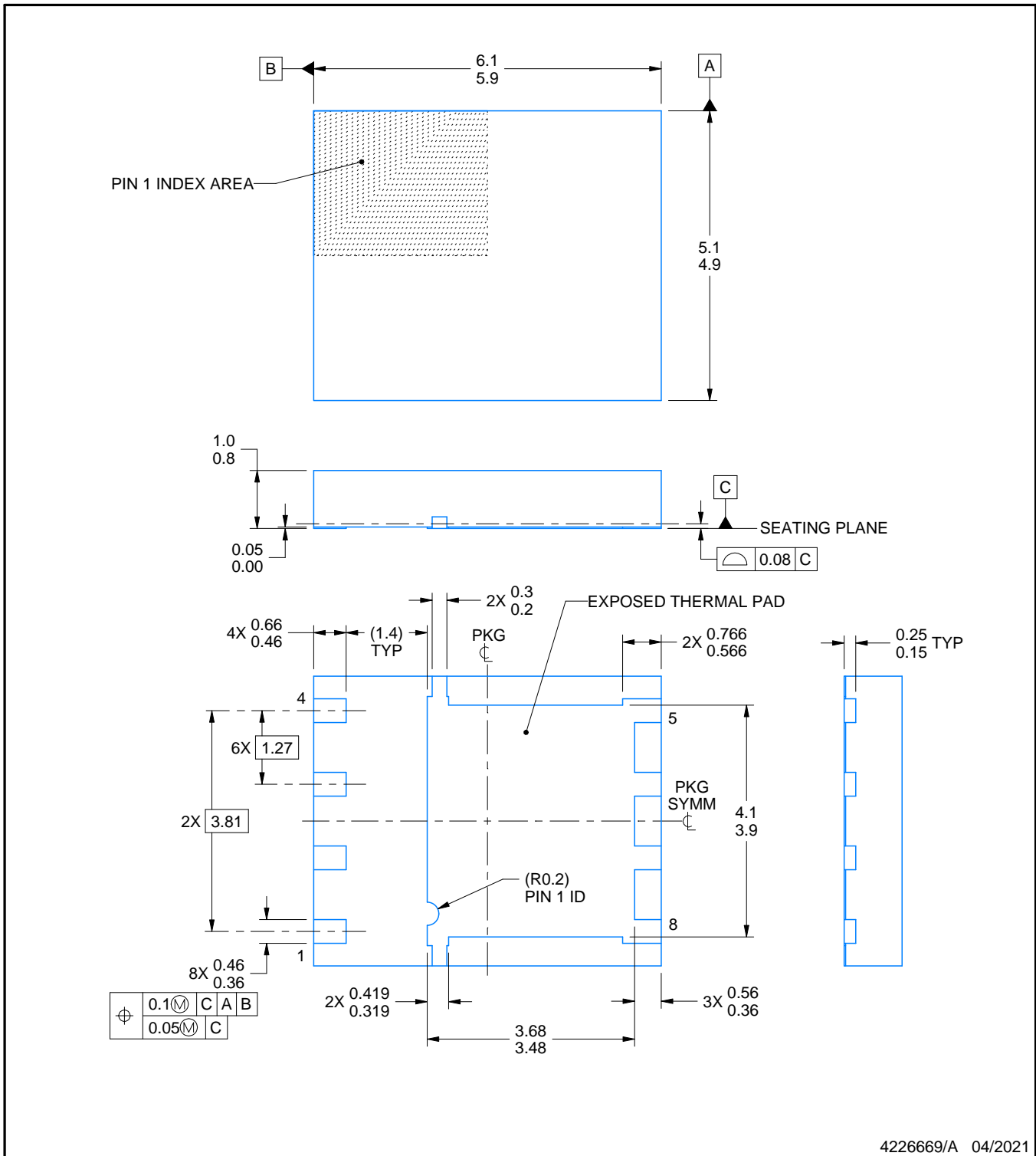
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

# PACKAGE OUTLINE

DNK0008A

VSON-CLIP - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



**NOTES:**

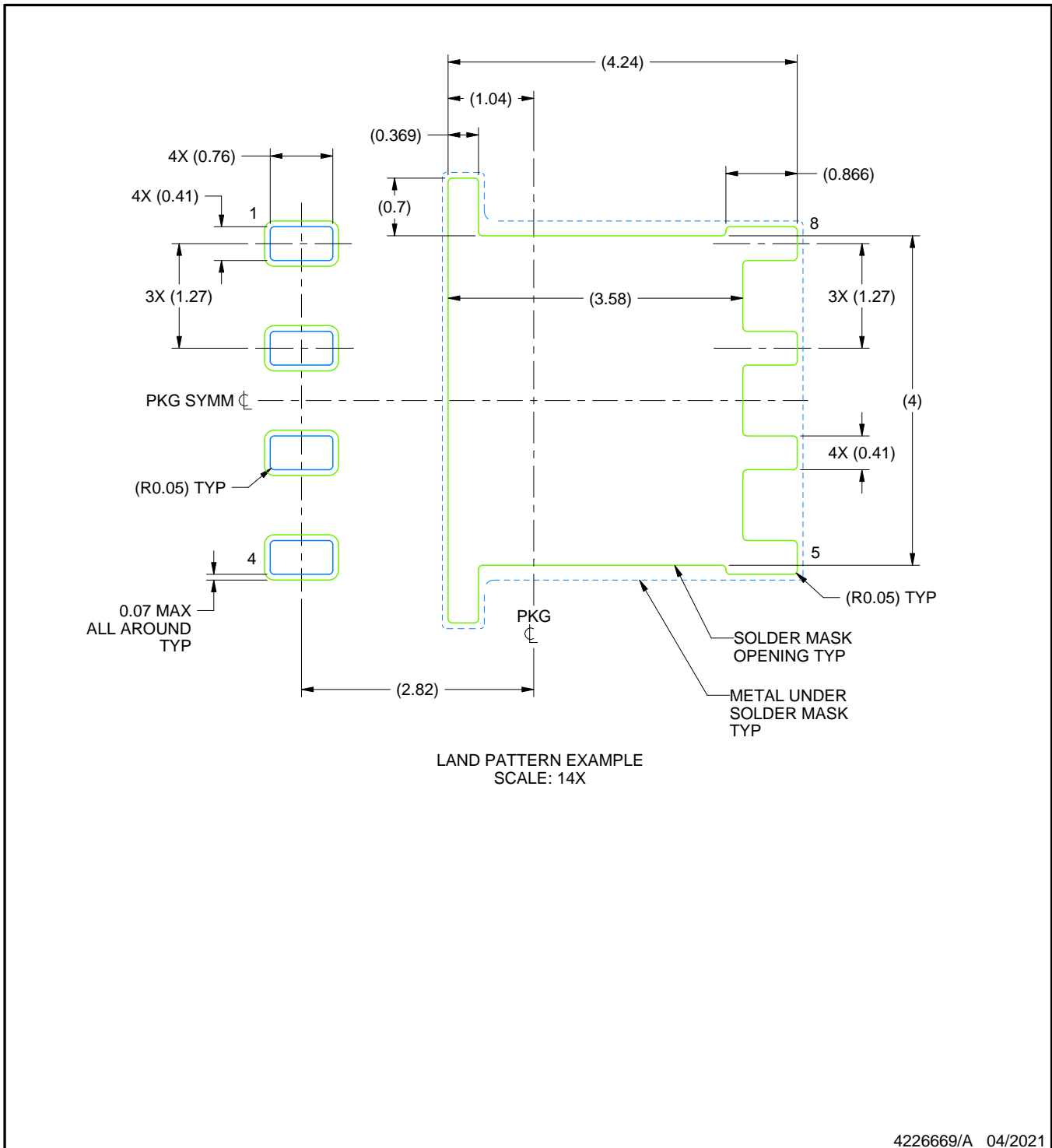
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

**DNK0008A**

**VSON-CLIP - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

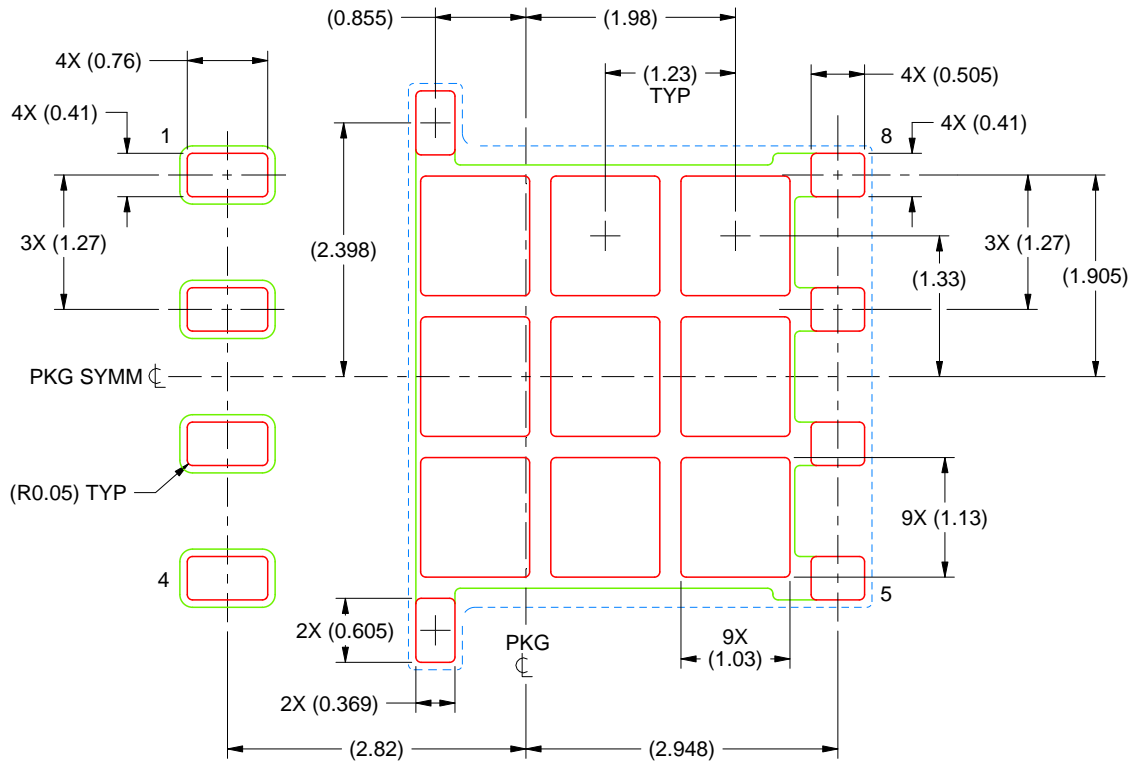
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

# EXAMPLE STENCIL DESIGN

DNK0008A

VSON-CLIP - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 14X

74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4226669/A 04/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated