CSD83325L 12V、デュアル N チャネル NexFET™ Power MOSFET

1 特長

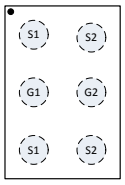
- 共通ドレインの構成
- 低いオン抵抗
- 2.2mm × 1.15mm の小さな占有面積
- 鉛不使用
- RoHS に準拠
- ハロゲン不使用
- ゲート ESD 保護

2 アプリケーション

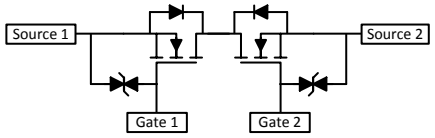
- バッテリ管理
- バッテリ保護

3 概要

この 12V、9.9mΩ、2.2mm × 1.15mm LGA のデュアル NexFET™ パワー MOSFET は、小さな占有面積で抵抗とゲート電荷を最小限に抑えるように設計されています。占有面積が小さく共通ドレインの構成なので、このデバイスは小型のハンドヘルド デバイスのバッテリ パック・アプリケーションに理想的です。



上面図



構成

製品概要

T_A = 25℃		標準値		単位
V_{S1S2}	ソース間電圧	12		V
Q_g	ゲートの合計電荷 (4.5V)	8.4		nC
Q_{gd}	ゲート-ドレイン間ゲート電荷	1.9		nC
$R_{S1S2(on)}$	ソース間 ON 抵抗	V_{GS} = 2.5V	17.5	mΩ
		V_{GS} = 3.8V	10.9	mΩ
		V_{GS} = 4.5V	9.9	mΩ
$V_{GS(th)}$	スレッショルド電圧	1.0		V

製品情報 (1)

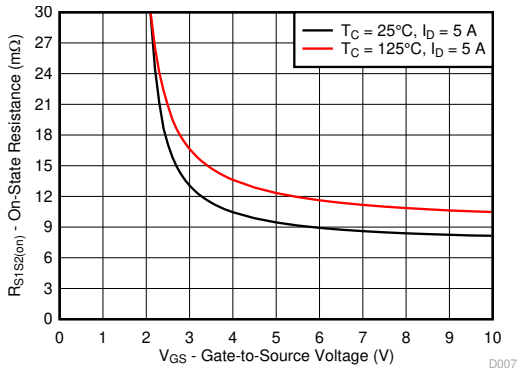
デバイス	数量	メディア	パッケージ	出荷形態
CSD83325L	3000	7 インチ・リール	1.20mm × 1.15mm ランド・グリッド・アレイ(LGA) パッケージ	テープおよびリール
CSD83325LT	250			

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

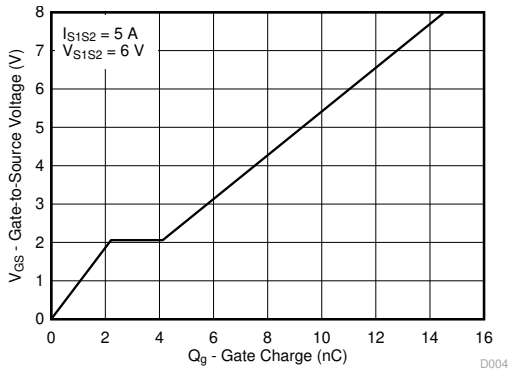
絶対最大定格

T_A = 25℃		値	単位
V_{S1S2}	ソース間電圧	12	V
V_{GS}	ゲート - ソース間電圧	±10	V
I_S	連続ソース電流 (1)	8	A
I_{SM}	パルス・ソース電流 (2)	52	A
P_D	消費電力	2.3	W
$V_{(ESD)}$	人体モデル (HBM)	2000	V
T_J、T_{stg}	動作時の接合部温度、保存温度	-55～150	℃

(1) 温度 105℃でのデバイス動作時
(2) 標準的な最小 Cu $R_{\theta JA}$ = 150℃/W、パルス期間 ≤ 100μs、デューティ サイクル ≤ 1%。



$R_{DS(on)}$ と V_{GS} との関係



ゲート電荷

このリソースの元の言語は英語です。 翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。 実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 Specifications.....3
4.1 Electrical Characteristics.....3
4.2 Thermal Information.....3
4.3 Typical MOSFET Characteristics.....4
5 Device and Documentation Support.....6
5.1 サード・パーティ製品に関する免責事項.....6
5.2 ドキュメントの更新通知を受け取る方法.....6
5.3 サポート・リソース.....6
5.4 Trademarks.....6
5.5 静電気放電に関する注意事項.....6
5.6 用語集.....6
6 Revision History.....6
7 Mechanical, Packaging, and Orderable Information.....8

Copyright © 2023 Texas Instruments Incorporated

4 Specifications

4.1 Electrical Characteristics

T_A = 25°C (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV_{S1S2}	Source-to-source voltage	V_{GS} = 0 V, I_S = 250 µA	12			V
I_{S1S2}	Source-to-source leakage current	V_{GS} = 0 V, V_{S1S2} = 9.6 V			1.0	µA
I_{GSS}	Gate-to-source leakage current	V_{S1S2} = 0 V, V_{GS} = 10 V			10	µA
$V_{GS(th)}$	Gate-to-source threshold voltage	V_{S1S2} = V_{GS}, I_S = 250 µA	0.7	1.0	1.4	V
$R_{S1S2(on)}$	Source-to-source on resistance	V_{GS} = 2.5 V, I_S = 5 A	12.0	17.5	23.0	mΩ
		V_{GS} = 3.8 V, I_S = 5 A	8.8	10.9	13.0	mΩ
		V_{GS} = 4.5 V, I_S = 5 A	7.9	9.9	11.9	mΩ
g_{fs}	Transconductance	V_{S1S2} = 1.2 V, I_S = 5 A		36		S
DYNAMIC CHARACTERISTICS(1)						
C_{iss}	Input capacitance	V_{GS} = 0 V, V_{S1S2} = 6 V, f = 1 MHz		902	1170	pF
C_{oss}	Output capacitance			187	243	pF
C_{rss}	Reverse transfer capacitance			111	144	pF
Q_g	Gate charge total (4.5 V)	V_{S1S2} = 6 V, I_S = 5 A		8.4	10.9	nC
Q_{gd}	Gate charge gate-to-drain			1.9		nC
Q_{gs}	Gate charge gate-to-source			2.2		nC
$Q_{g(th)}$	Gate charge at V_{th}			0.6		nC
Q_{oss}	Output charge	V_{S1S2} = 6 V, V_{GS} = 0 V		2.9		nC
$t_{d(on)}$	Turnon delay time	V_{S1S2} = 6 V, V_{GS} = 4.5 V, I_{S1S2} = 5 A, R_G = 0 Ω		205		ns
t_r	Rise time			353		ns
$t_{d(off)}$	Turnoff delay time			711		ns
t_f	Fall time			589		ns
DIODE CHARACTERISTICS						
$V_{F(S-S)}$	Source-to-source diode forward voltage	I_{SS} = 5 A, V_{G1S1} = 0 V, V_{G2S2} = 4.5 V		0.79	1.0	V

(1) Dynamic characteristics values specified are per single FET.

4.2 Thermal Information

T_A = 25°C (unless otherwise stated)

THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance(1)		150		°C/W
	Junction-to-ambient thermal resistance(2)		55		

(1) Device mounted on FR4 material with minimum Cu mounting area.
(2) Device mounted on FR4 material with 1-in^2 (6.45-cm^2), 2-oz (0.071-mm) thick Cu.

Copyright © 2023 Texas Instruments Incorporated

4.3 Typical MOSFET Characteristics

T_A = 25°C (unless otherwise stated)

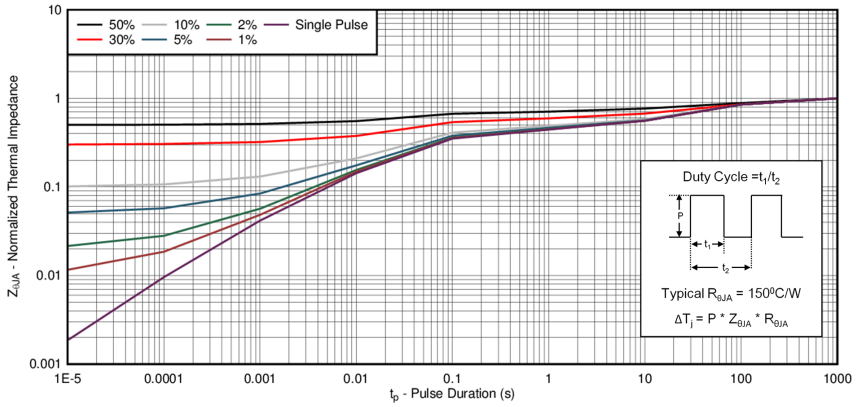


図 4-1. Transient Thermal Impedance

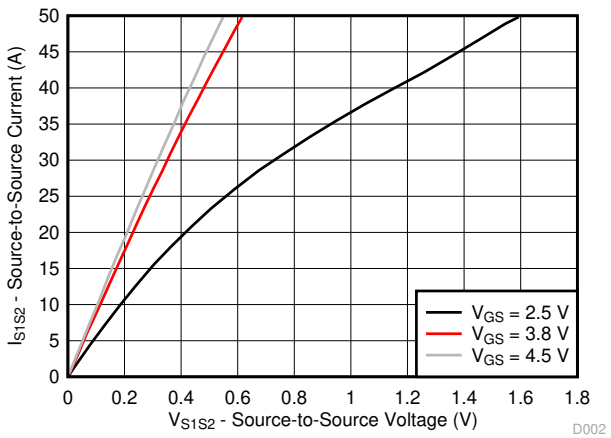
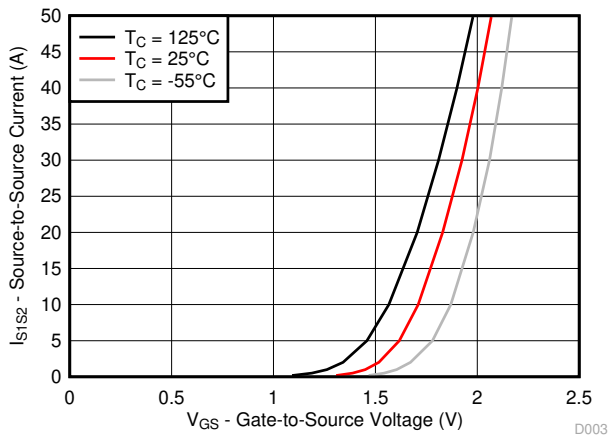
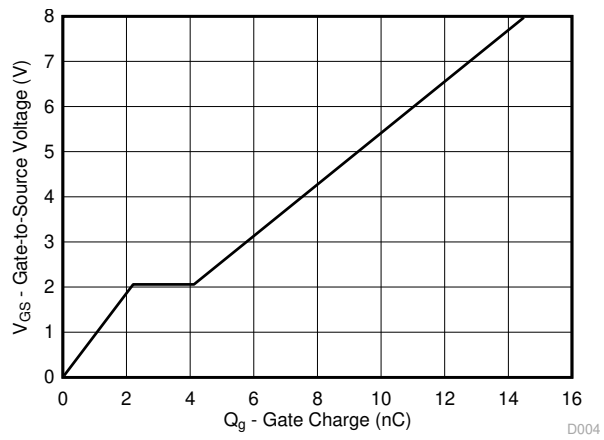


図 4-2. Saturation Characteristics



V_{S1S2} = 5 V

図 4-3. Transfer Characteristics



I_S = 5 A V_{S1S2} = 6 V

図 4-4. Gate Charge

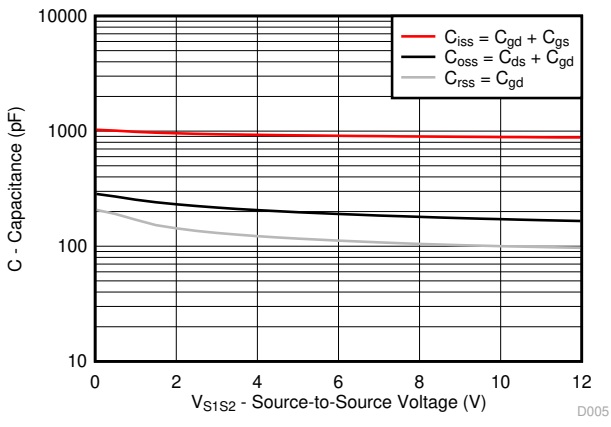
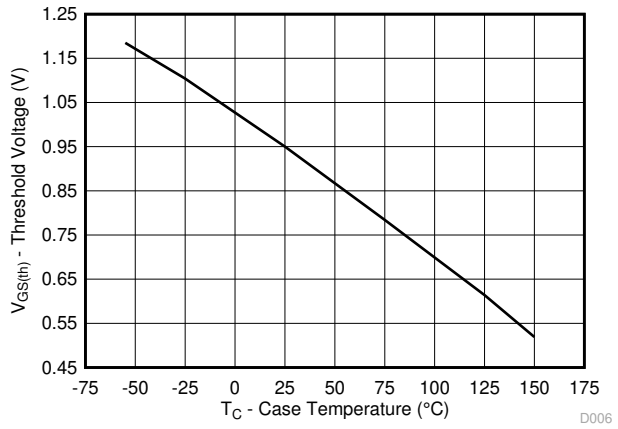


図 4-5. Capacitance

Copyright © 2023 Texas Instruments Incorporated



I_S = 250 µA

図 4-6. Threshold Voltage vs Temperature

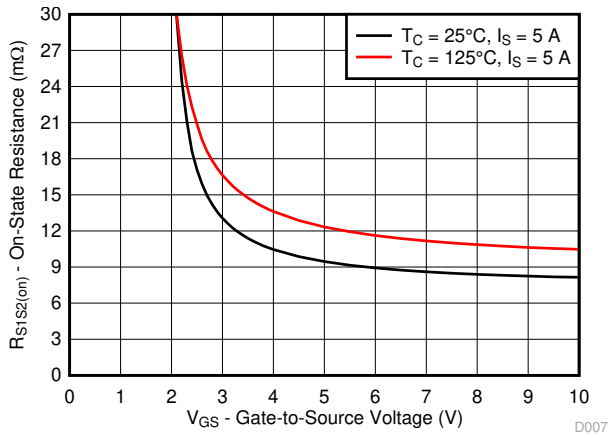
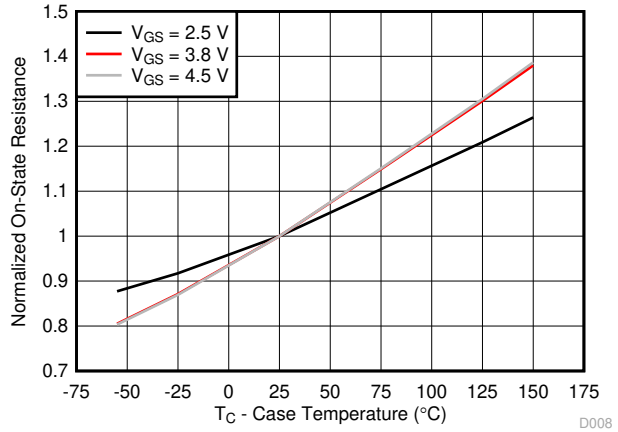


図 4-7. On-State Source-to-Source Resistance vs Gate-to-Source Voltage



I_S = 5 A

図 4-8. Normalized On-State Resistance vs Temperature

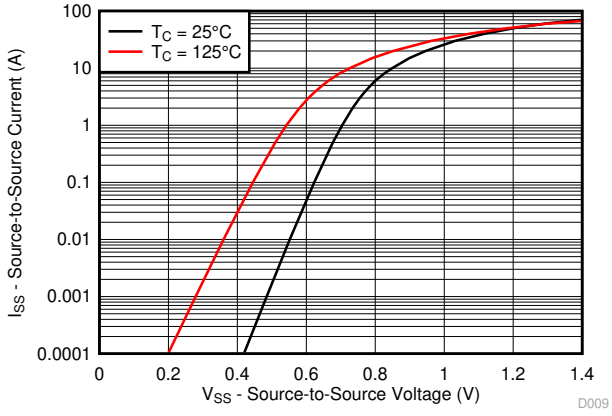
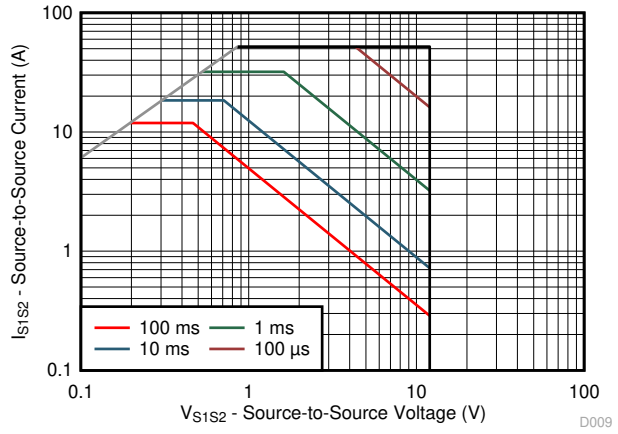


図 4-9. Typical Diode Forward Voltage



Single pulse, max $R_{\theta JA}$ = 150°C/W

図 4-10. Maximum Safe Operating Area

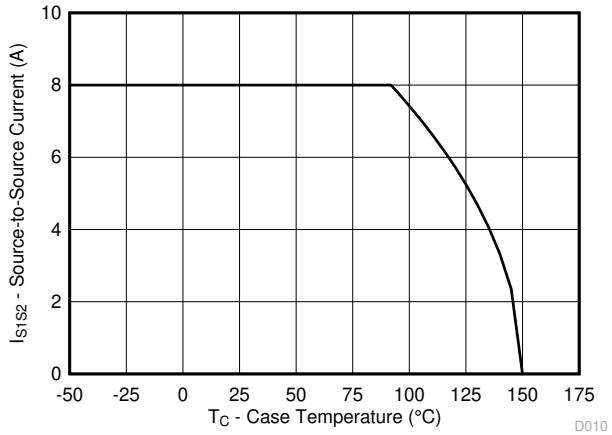


図 4-11. Maximum Source Current vs Temperature

Copyright © 2023 Texas Instruments Incorporated

5 Device and Documentation Support

5.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

5.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

5.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントを工キスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

5.4 Trademarks

NexFET™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

5.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

5.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

6 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (February 2017) to Revision C (November 2023)	Page
• スレッショルド電圧 GS(th) を 0.95V から 1.0V に更新	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• Updated Source-to-source on resistance VGS = 2.5 V from 14 mΩ to 12 mΩ	3
• Updated Gate-to-source threshold voltage from 0.75 V min, 0.95 V typ, 1.25 V max to 0.7 V min, 1.0 V typ, 1.4 V max	3

Changes from Revision A (January 2016) to Revision B (February 2017)	Page
• Added Diode Characteristics ($V_{F(S-S)}$) in the *Electrical Characteristics* table	3
• Added 図 4-9 to *Typical MOSFET Characteristics* section	4

Copyright © 2023 Texas Instruments Incorporated

Changes from Revision * (November 2014) to Revision A (January 2016)	Page
• Improved graph setup for readability	4

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD83325L	Active	Production	PICOSTAR (YJE) | 6	3000 | LARGE T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	83325L
CSD83325L.B	Active	Production	PICOSTAR (YJE) | 6	3000 | LARGE T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	83325L
CSD83325LT	Active	Production	PICOSTAR (YJE) | 6	250 | SMALL T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	83325L
CSD83325LT.B	Active	Production	PICOSTAR (YJE) | 6	250 | SMALL T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	83325L

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

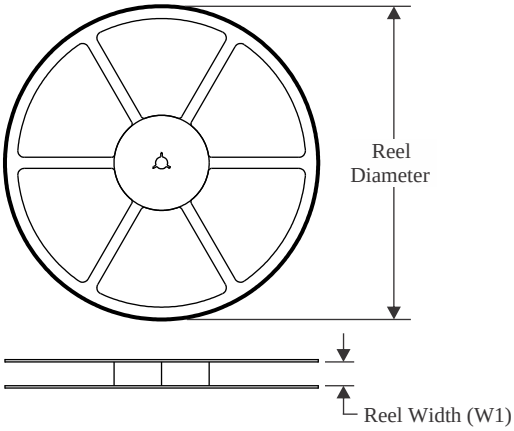
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

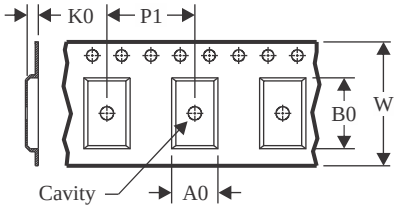
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

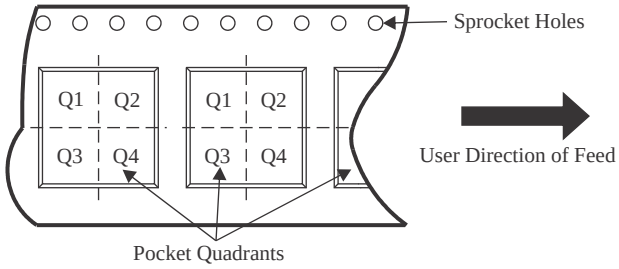


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

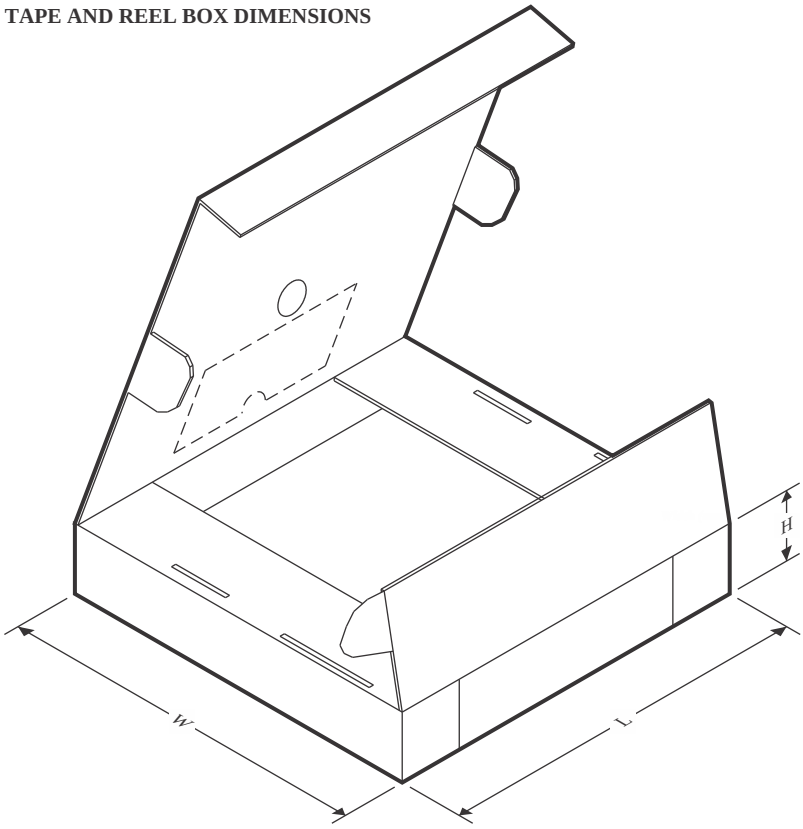
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD83325L	PICOSTAR	YJE	6	3000	180.0	8.4	1.25	2.34	0.32	4.0	8.0	Q1
CSD83325LT	PICOSTAR	YJE	6	250	180.0	8.4	1.25	2.34	0.32	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

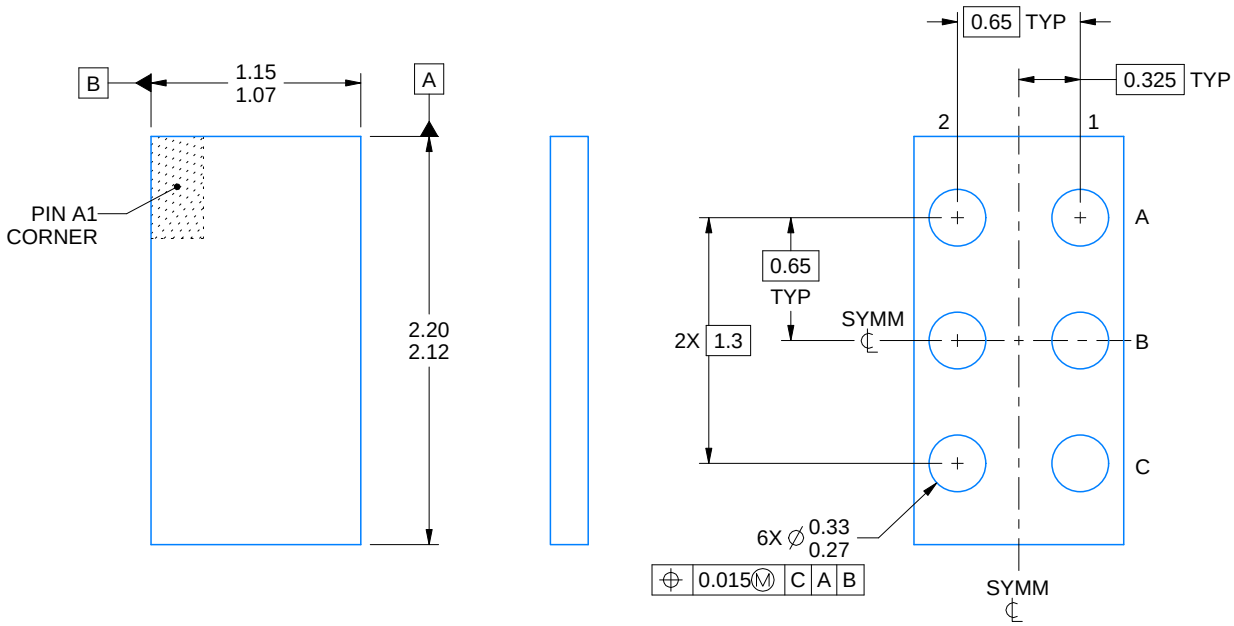
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD83325L	PICOSTAR	YJE	6	3000	182.0	182.0	20.0
CSD83325LT	PICOSTAR	YJE	6	250	182.0	182.0	20.0

PACKAGE OUTLINE

YJE0006A

PicoStar ™ - 0.22 mm max height

PicoStar



D: Max = 2.19 mm, Min = 2.13 mm

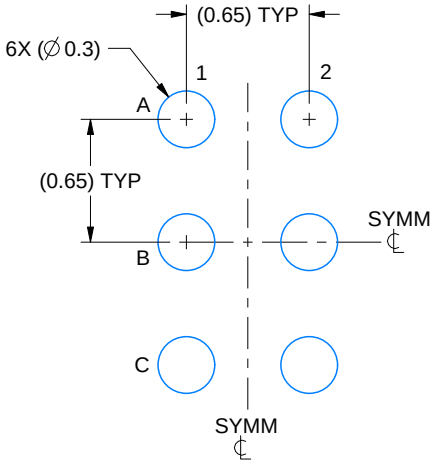
E: Max = 1.14 mm, Min = 1.08 mm

4221674/C 07/2023

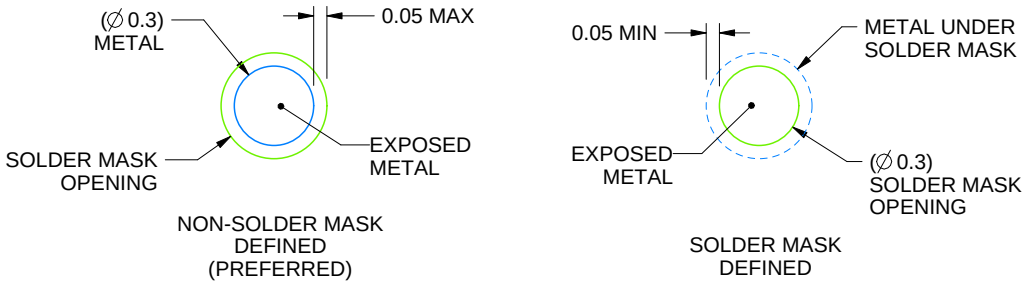
PicoStar is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X

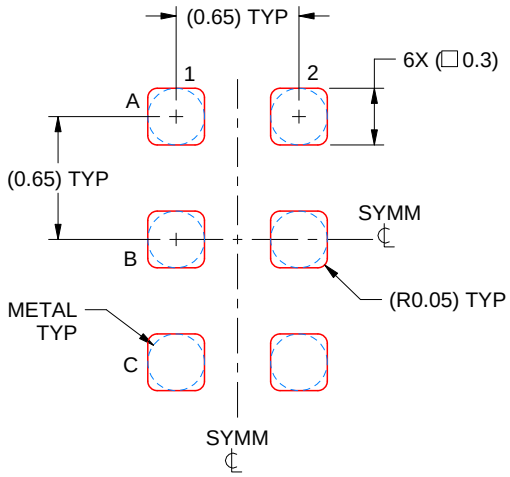


SOLDER MASK DETAILS
NOT TO SCALE

4221674/C 07/2023

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:25X

4221674/C 07/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月