



16ビット、超低消費電力、電圧出力 DA コンバータ

特長

- 16ビット分解能
- 2.7V ~ 5.5V 単電源動作
- 超低消費電力：15 μ W、3V電源動作時
- 高精度、INL：1LSB
- 低グリッチ：10nV-s
- 低雑音：10nV/ $\sqrt{\text{Hz}}$
- 高速セトリング：1.0 μ S
- 高速SPI™インターフェイス、最大50MHz
- ゼロコードへのリセット
- シュミット・トリガ入力、フォトカプラとの直接インターフェイス用
- 業界標準のピン配置

アプリケーション

- ポータブル機器
- 自動テスト機器
- 産業用プロセス制御
- データ・アキュイジション・システム
- 光学ネットワーク

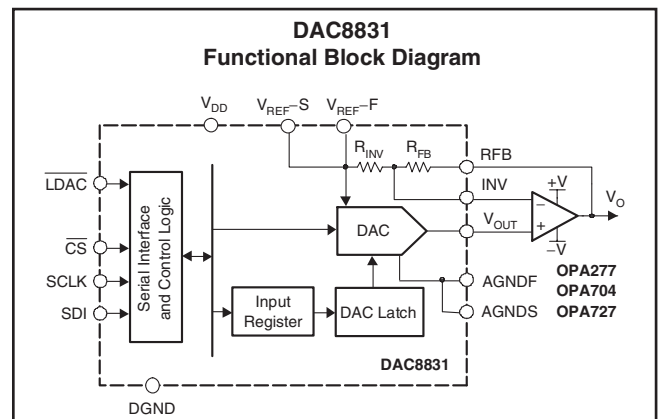
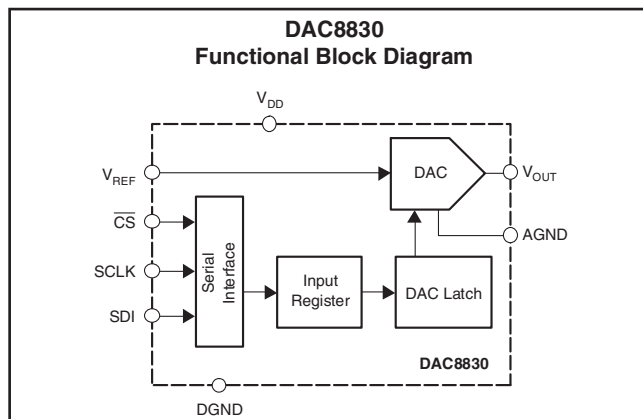
概要

DAC8830およびDAC8831は、シングル、16ビット、シリアル入力、電圧出力のDA コンバータ (DAC) であり、3V~5Vの単電源電圧で動作します。これらのコンバータは、優れたリニアリティ (1LSB INL)、低グリッチ、低雑音、および高速セトリング (フルスケール出力に対する1/2 LSBを達成するまでに1.0 μ S) の特性を、規定温度範囲-40°C~+85°Cで提供します。出力はバッファ無しのため、低消費電力化とバッファに起因する誤差が低減できます。

これらのデバイスは、高速動作 (最高50MHzクロック)、3Vまたは5Vの標準的なSPIシリアル・インターフェイスを採用し、DSPまたはマイクロプロセッサとの通信をサポートしています。

DAC8830の出力範囲は、0V~V_{REF}です。ただし、DAC8831は外付けバッファを使用して、バイポーラ出力 ($\pm V_{REF}$) も可能です。DAC8830とDAC8831はどちらも、電源投入後にゼロコードにリセットされます。最適な性能を達成するために、DAC8831では、外部リファレンスおよびアナログ・グランド入力に対して、対のケルビン接続を提供します。

DAC8830はSO-8パッケージ、DAC8831はSO-14パッケージで供給されます。どちらも業界標準のピン配置です (詳細については、アプリケーション情報のクロスリファレンスにあります表3を参照してください)。DAC8831は、QFN-14パッケージでも入手できます。



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報 (1)

製品名	最小相対精度 (LSB)	微分非直線性誤差 (LSB)	パワーオン・リセット値	仕様温度範囲	パッケージの捺印	パッケージ	パッケージ指定コード	発注番号	出荷形態、数量
DAC8830ID	±4	±1	ゼロコード	-40° ~ 85°C	8830I	SO-8	D	DAC8830ID	チューブ、75
								DAC8830IDR	テープ・リール、2500
DAC8830IBD	±2	±1	ゼロコード	-40° ~ 85°C	8830I	SO-8	D	DAC8830IBD	チューブ、75
								DAC8830IBDR	テープ・リール、2500
DAC8830ICD	±1	±1	ゼロコード	-40° ~ 85°C	8830I	SO-8	D	DAC8830ICD	チューブ、75
								DAC8830ICDR	テープ・リール、2500
DAC8831ID	±4	±1	ゼロコード	-40° ~ 85°C	8831I	SO-14	D	DAC8831ID	チューブ、50
								DAC8831IDR	テープ・リール、2500
DAC8831IBD	±2	±1	ゼロコード	-40° ~ 85°C	8831I	SO-14	D	DAC8831IBD	チューブ、50
								DAC8831IBDR	テープ・リール、2500
DAC8831ICD	±1	±1	ゼロコード	-40° ~ 85°C	8831I	SO-14	D	DAC8831ICD	チューブ、50
								DAC8831ICDR	テープ・リール、2500
DAC8831IRGY	±4	±1	ゼロコード	-40° ~ 85°C	8831I	QFN-14	RGY	DAC8831IRGYT	テープ・リール、250
								DAC8831IRGYR	テープ・リール、1000
DAC8831IBRGY	±2	±1	ゼロコード	-40° ~ 85°C	8831I	QFN-14	RGY	DAC8831IBRGYT	テープ・リール、250
								DAC8831IBRGYR	テープ・リール、1000
DAC8831ICRGY	±1	±1	ゼロコード	-40° ~ 85°C	8831I	QFN-14	RGY	DAC8831ICRGYT	テープ・リール、250
								DAC8831ICRGYR	テープ・リール、1000

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「パッケージ・オプション」を参照するか、www.ti.com、またはwww.tij.co.jpにあるTIのWebサイトを参照してください。

絶対最大定格

		DAC8830、DAC8831	単位
VDD ~ AGND		-0.3 ~ +7	V
デジタル入力電圧 ~ DGND		-0.3 ~ +V _{DD} + 0.3	V
V _{OUT} ~ AGND		-0.3 ~ +V _{DD} + 0.3	V
AGND、AGNDF、AGNDS ~ DGND		-0.3 ~ +0.3	V
動作温度範囲		-40 ~ +85	°C
保存温度範囲		-65 ~ +150	°C
ジャンクション温度範囲 (T _J max)		+150	°C
消費電力		(T _J max - T _A) / θ _{JA}	W
熱抵抗、θ _{JA}	QFN-14	54.9	°C/W
	SO-8	136.9	°C/W
	SO-14	66.6	°C/W

電気的特性

特に指定がない限り、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 、 $V_{DD} = +3\text{V}$ または $V_{DD} = +5\text{V}$ 、 $V_{REF} = +2.5\text{V}$ です。
仕様は予告なしに変更される場合があります。

パラメータ		条件	DAC8830、DAC8831			単位
			MIN	TYP	MAX	
スタテック特性						
分解能			16			bits
直線性誤差	DAC8830ICD, DAC8831ICD, DAC8831ICRGY			± 0.5	± 1	LSB
	DAC8830IBD, DAC8831IBD, DAC8831IBRGY			± 0.5	± 2	
	DAC8830ID, DAC8831ID, DAC8831IRGY			± 0.5	± 4	
微分直線性誤差		すべてのグレード		± 0.5	± 1	LSB
ゲイン誤差		$T_A = +25^\circ\text{C}$		± 1	± 5	LSB
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$			± 7	
ゲイン・ドリフト				± 0.1		ppm/ $^\circ\text{C}$
ゼロコード誤差		$T_A = +25^\circ\text{C}$		± 0.25	± 1	LSB
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$			± 2	
ゼロコード・ドリフト				± 0.05		ppm/ $^\circ\text{C}$
出力特性						
電圧出力(1)	すべてのデバイス	ユニポーラ動作	0		$+V_{REF}$	V
	DAC8831のみ	バイポーラ動作	$-V_{REF}$		$+V_{REF}$	V
出カインピーダンス				6.25		k Ω
セトリング・タイム		フルスケールの1/2LSBまで、 $C_L = 10\text{pF}$		1		μs
スルーレート(2)		$C_L = 10\text{pF}$		25		V/ μs
D/A グリッチ		メジャー・キャリー付近の1LSBの変化		10		nV-s
デジタル・フィードスルー(3)				0.2		nV-s
出力雑音	DAC8830	$T_A = +25^\circ\text{C}$		10		nV/ $\sqrt{\text{Hz}}$
	DAC8831			18		
電源変動除去		V_{DD} 変動率 $\pm 10\%$			± 1	LSB
バイポーラ・抵抗マツチング	DAC8831のみ	R_{FB} / R_{INV}		1		Ω / Ω
		比率誤差		± 0.0015	± 0.0076	%
バイポーラ・ゼロ誤差	DAC8831のみ	$T_A = +25^\circ\text{C}$		± 0.25	± 5	LSB
		$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$				
バイポーラ・ゼロ・ドリフト	DAC8831のみ			± 0.2		ppm/ $^\circ\text{C}$

- (1) DAC8830の出力は、ユニポーラ(0V ~ $+V_{REF}$)です。DAC8831を外付けバッファに接続した場合、その出力はバイポーラ($\pm V_{REF}$)です(詳細については、バイポーラ出力動作セクションを参照してください)。
(2) スルーレートは、出力が0からフルスケールまで変化したときの、10%から90%までの遷移を測定したものです。
(3) デジタル・フィードスルーは、デジタル入力からアナログ出力へ流入するインパルスと定義します。これは、DACの出力を変化させずに測定します。CSを“High”に固定し、SCLKとDINの各信号を切り替えます。

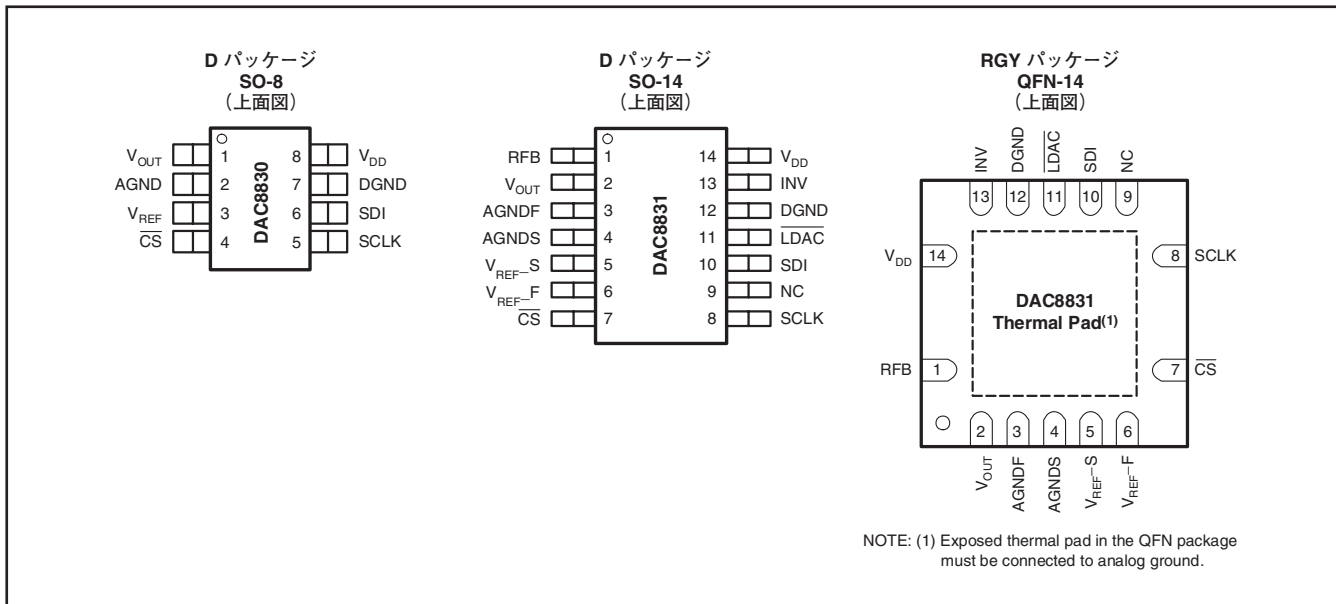
電気的特性

特に指定がない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $V_{DD} = +3\text{V}$ または $V_{DD} = +5\text{V}$ 、 $V_{REF} = +2.5\text{V}$ です。
仕様は予告なしに変更される場合があります。

パラメータ	条件	DAC8830、DAC8831			単位
		MIN	TYP	MAX	
リファレンス入力					
入力電圧範囲		1.25		V_{DD}	V
入力インピーダンス ⁽⁴⁾	ユニポーラ・モード	9			k Ω
	バイポーラ・モード、DAC8831	7.5			
基準電圧 -3dB 帯域幅、BW	コード = FFFFh		1.3		MHz
リファレンス・フィードスルー	コード = 0000h、 $V_{REF} = 1 V_{PP}$ 、100kHz 時		1		mV
信号対雑音比、SNR			92		dB
リファレンス入力容量	コード = 0000h		75		pF
	コード = FFFFh		120		
デジタル入力					
"L" レベル入力電圧	V_{IL}	$V_{DD} = 2.7\text{V}$		0.6	V
		$V_{DD} = 5\text{V}$		0.8	
"H" レベル入力電圧	V_{IH}	$V_{DD} = 2.7\text{V}$	2.1		V
		$V_{DD} = 5\text{V}$	2.4		
入力電流				± 1	μA
入力容量				10	pF
ヒステリシス電圧			0.4		V
電源供給					
電源電圧	V_{DD}		2.7	5.5	V
電源電流	I_{DD}	$V_{DD} = 3\text{V}$		5	μA
		$V_{DD} = 5\text{V}$		20	
消費電力		$V_{DD} = 3\text{V}$		15	μW
		$V_{DD} = 5\text{V}$		60	
温度範囲					
仕様			-40	+85	$^{\circ}\text{C}$

(4) 基準入力抵抗値は、コードに依存します。最小は、8555hのときです。

ピン配置 (非縮尺)



ピン構成

端子		説明
端子番号	名称	
DAC8830		
1	V _{OUT}	DACアナログ出力
2	AGND	アナログ・グランド
3	V _{REF}	基準電圧入力
4	CS	チップ・セレクト入力 (アクティブ “Low”)。CSが “L”レベルではない場合は、データがSDIに入力されません。
5	SCLK	シリアル・クロック入力
6	SDI	シリアル・データ入力。データは、SCLKの立ち上がりエッジで、入力レジスタにラッチされます。
7	DGND	デジタル・グランド
8	V _{DD}	アナログ電源、+3V ~ +5V
DAC8831		
1	RFB	フィードバック抵抗。バイポーラ・モードの場合は、外付けオペアンプの出力に接続します。
2	V _{OUT}	DACアナログ出力
3	AGNDF	アナログ・グランド (フォース)
4	AGNDS	アナログ・グランド (センス)
5	V _{REF-S}	基準電圧入力 (センス)。外部基準電圧に接続
6	V _{REF-F}	基準電圧入力 (フォース)。外部基準電圧に接続
7	CS	チップ・セレクト入力 (アクティブ “Low”)。CSが “L”レベルではない場合は、データがSDIにクロック入力されません。
8	SCLK	シリアル・クロック入力。
9	NC	内部接続なし
10	SDI	シリアル・データ入力。データは、SCLKの立ち上がりエッジで、入力レジスタにラッチされます。
11	LDAC	Load DAC制御入力。アクティブ “Low”。LDACが “L”レベルである場合は、DACラッチは入力レジスタの内容を使用して同時に更新されます。
12	DGND	デジタル・グランド
13	INV	内蔵スケール抵抗との接続点。バイポーラ・モードの場合は、外付けオペアンプの反転入力に接続します。
14	V _{DD}	アナログ電源、+3V ~ +5V。

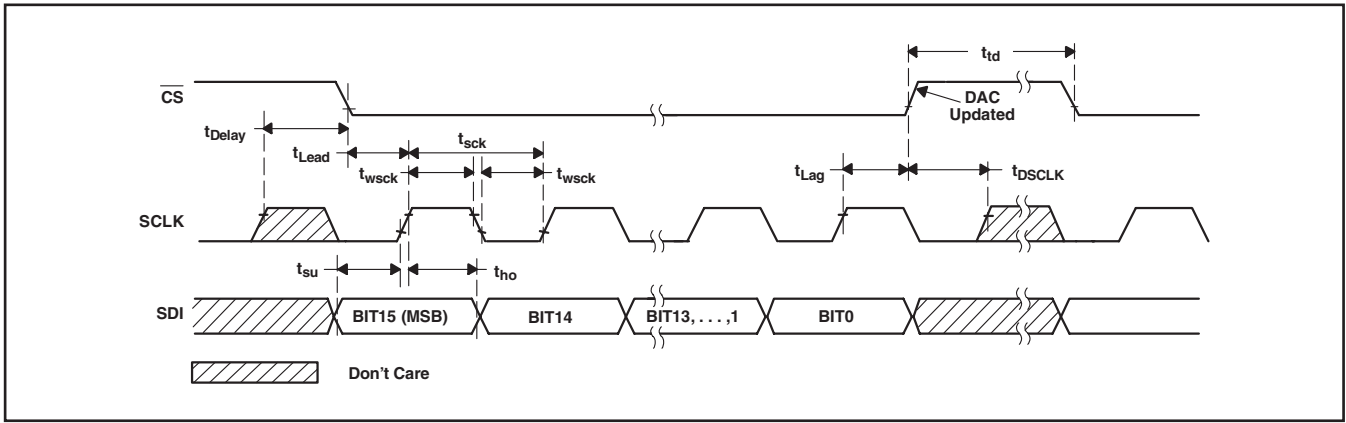


図 1. DAC8830 タイミング図

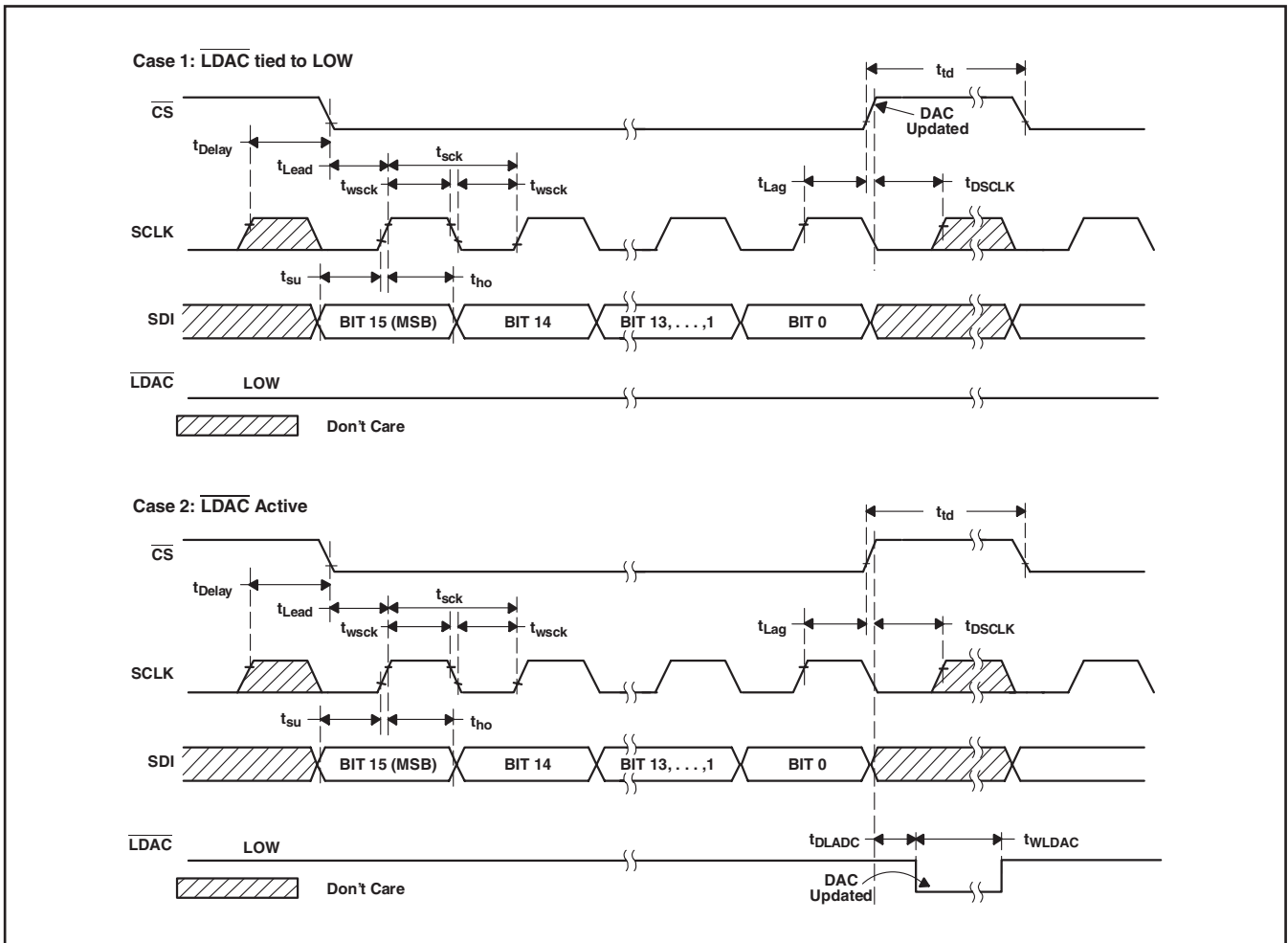


図 2. DAC8831 タイミング図

タイミング特性：V_{DD} = +5V⁽¹⁾⁽²⁾

T_A = -40°C ~ +85°C (特に記述のない限り)。

パラメータ		MIN	MAX	単位
t _{sck}	SCLK期間	20		ns
t _{wscck}	SCLKの“H”レベルまたは“L”レベルの時間	10		ns
t _{Delay}	SCLK “H” から $\overline{\text{CS}}$ “L” までの遅延	10		ns
t _{Lead}	$\overline{\text{CS}}$ イネーブル進み時間	10		ns
t _{Lag}	$\overline{\text{CS}}$ イネーブル遅延時間	10		ns
t _{D_{SCLK}}	CS “H” から $\overline{\text{SCLK}}$ “H” までの遅延	10		ns
t _{td}	アクティブ期間の間にある $\overline{\text{CS}}$ の “H” レベル時間	30		ns
t _{su}	データ・セットアップ時間(入力)	10		ns
t _{ho}	データ・ホールド時間(入力)	0		ns
t _{WLDAC}	$\overline{\text{LDAC}}$ 幅	30		ns
t _{D_{LDAC}}	$\overline{\text{CS}}$ の “H” から $\overline{\text{LDAC}}$ の “L” までの遅延	30		ns
	V _{DD} の “H” から $\overline{\text{CS}}$ の “L” まで(電源投入遅延)	10		μs

(1) 設計により保証。量産でのテストは実施されていません。

(2) 初期リリース時にサンプルをテスト済み。このパラメータは、再設計時やプロセス変更時に影響を及ぼす可能性があります。

タイミング特性：V_{DD} = +3V⁽¹⁾⁽²⁾

T_A = -40°C ~ +85°C (特に記述のない限り)。

パラメータ		MIN	MAX	単位
t _{sck}	SCLK期間	20		ns
t _{wscck}	SCLKの“H”レベルまたは“L”レベルの時間	10		ns
t _{Delay}	SCLK “H” から $\overline{\text{CS}}$ “L” までの遅延	10		ns
t _{Lead}	$\overline{\text{CS}}$ イネーブル進み時間	10		ns
t _{Lag}	$\overline{\text{CS}}$ イネーブル遅延時間	10		ns
t _{D_{SCLK}}	CSの“H”から $\overline{\text{SCLK}}$ “H”までの遅延	10		ns
t _{td}	アクティブ期間の間にある $\overline{\text{CS}}$ の “H” レベル時間	30		ns
t _{su}	データ・セットアップ時間(入力)	10		ns
t _{ho}	データ・ホールド時間(入力)	0		ns
t _{WLDAC}	$\overline{\text{LDAC}}$ 幅	30		ns
t _{D_{LDAC}}	$\overline{\text{CS}}$ の “H” から $\overline{\text{LDAC}}$ の “L” までの遅延	30		ns
	V _{DD} の “H” から $\overline{\text{CS}}$ の “L” まで(電源投入遅延)	10		μs

(1) 設計により保証。量産でのテストは実施されていません。

(2) 初期リリース時にサンプルをテスト済み。このパラメータは、再設計時やプロセス変更時に影響を及ぼす可能性があります。

代表的特性：V_{DD} = +5V

T_A = +25°C、V_{REF} = +2.5V (特に記述のない限り)。

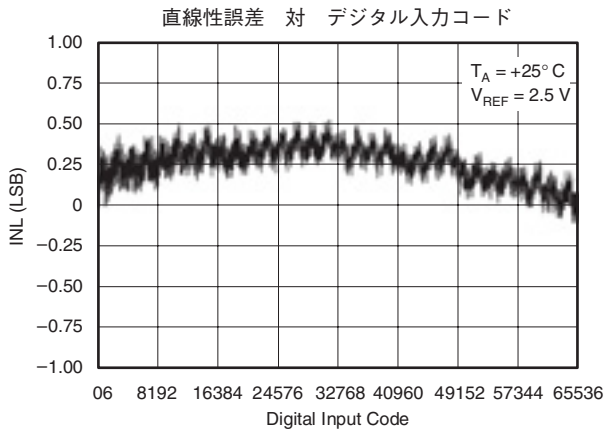


図 3

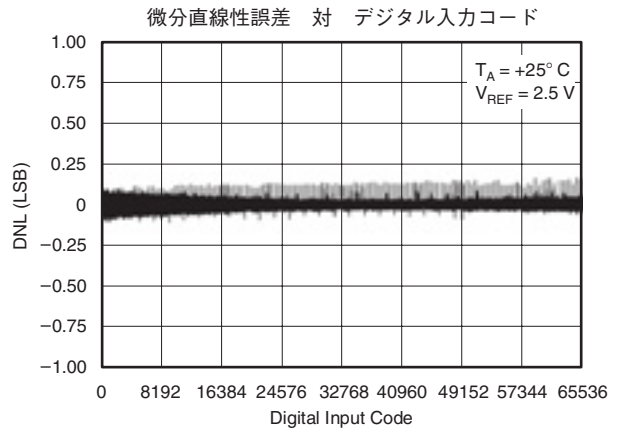


図 4

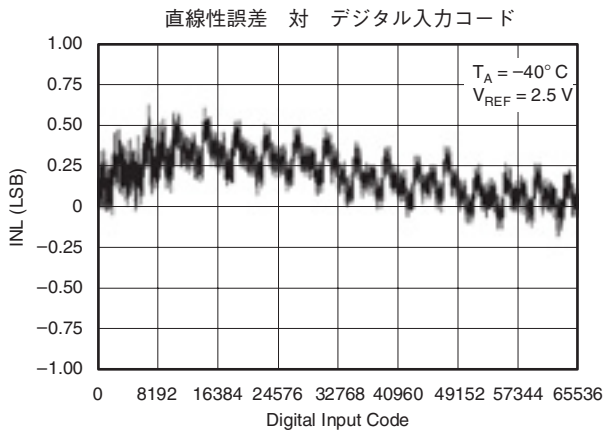


図 5

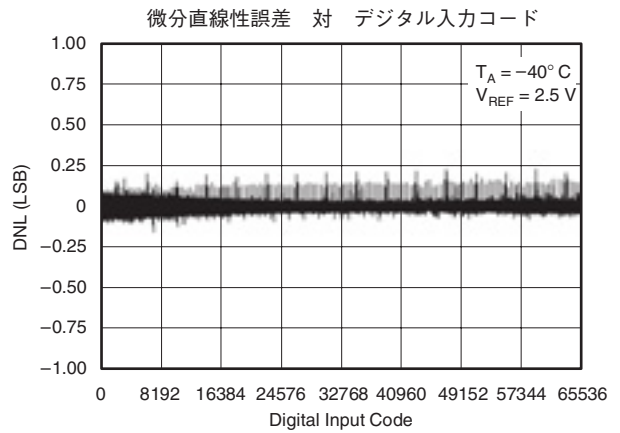


図 6

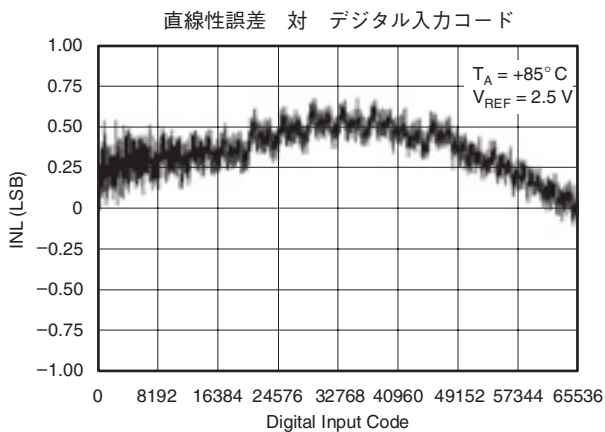


図 7

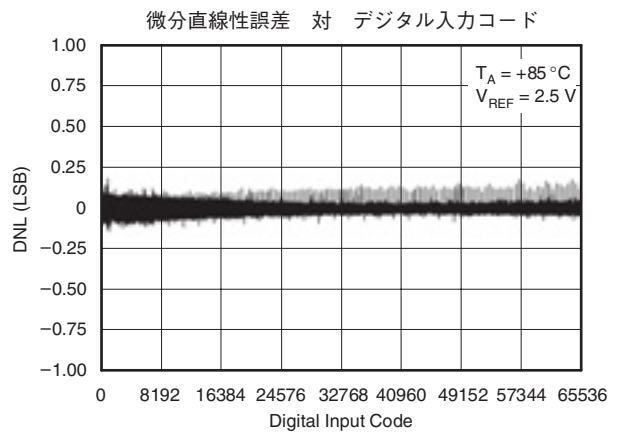


図 8

代表的特性：V_{DD} = +5V

T_A = +25°C、V_{REF} = +2.5V (特に記述のない限り)。

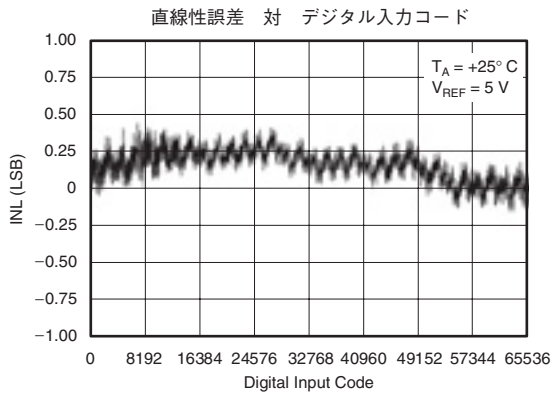


図 9

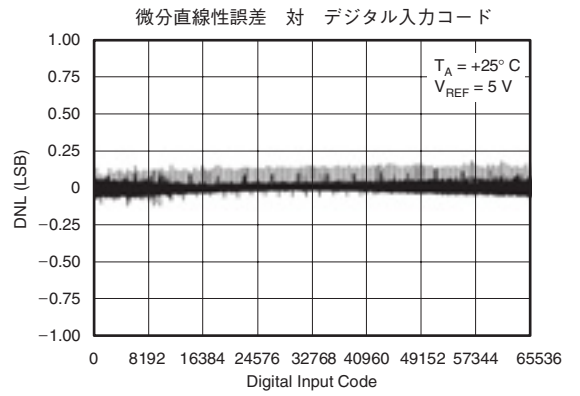


図 10

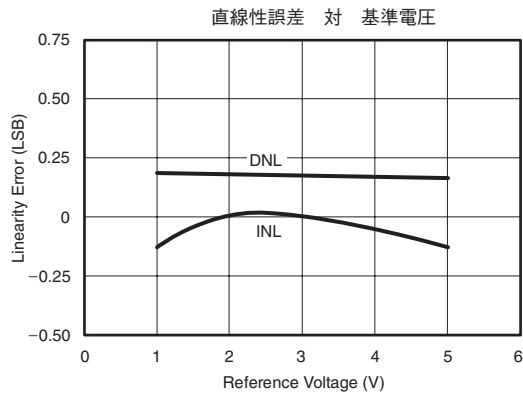


図 11

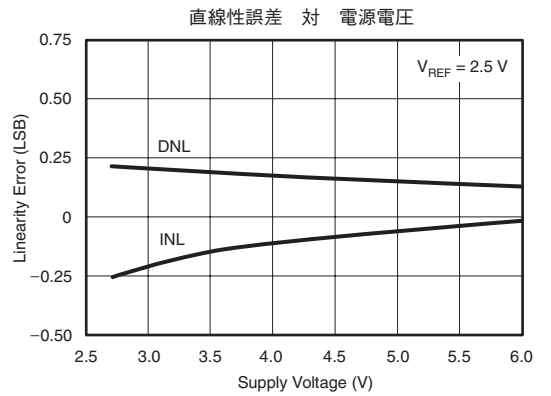


図 12

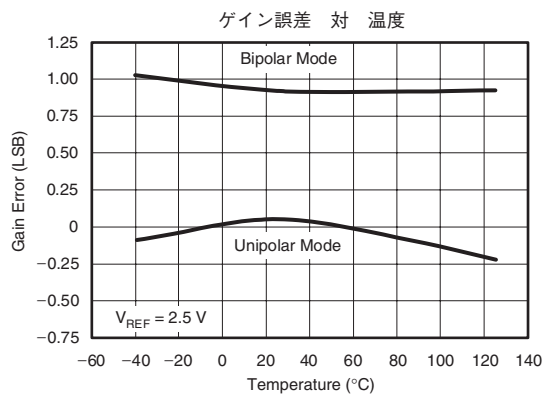


図 13

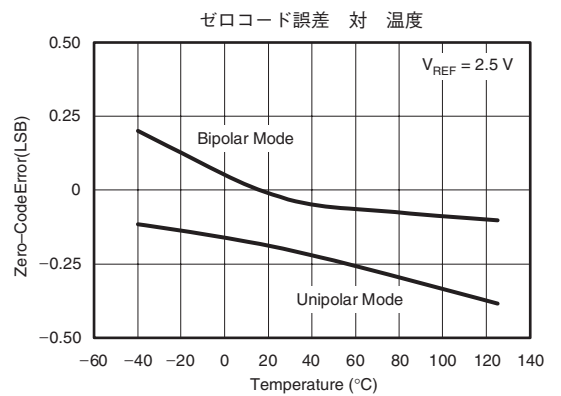


図 14

代表的特性：V_{DD} = +5V

T_A = +25°C、V_{REF} = +2.5V (特に記述のない限り)。

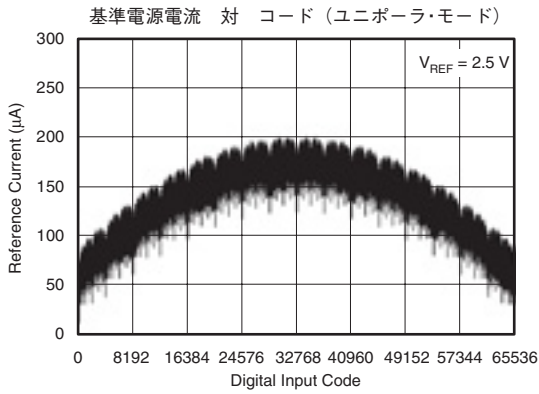


図 15

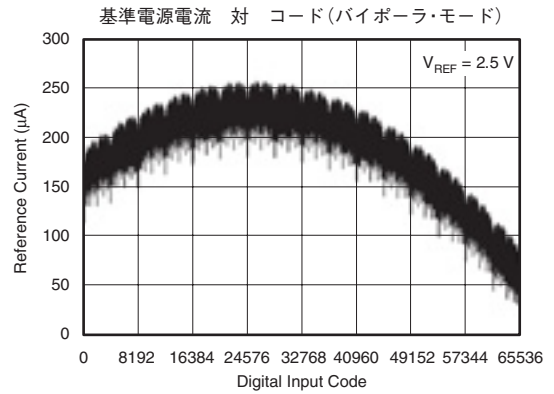


図 16

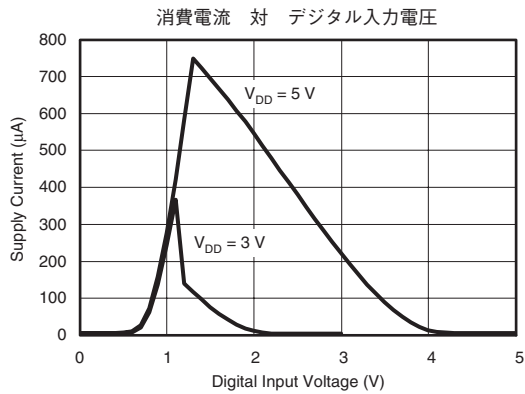


図 17

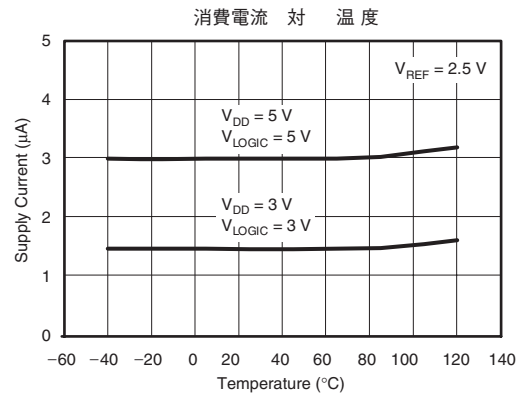


図 18

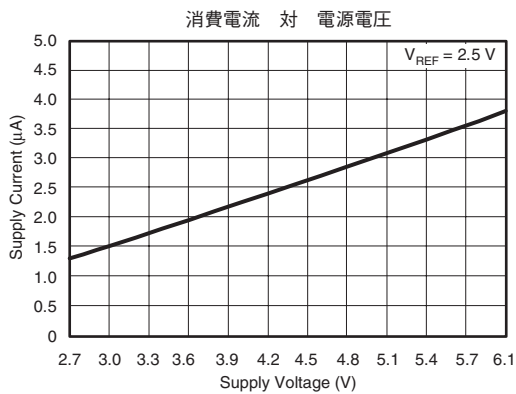


図 19

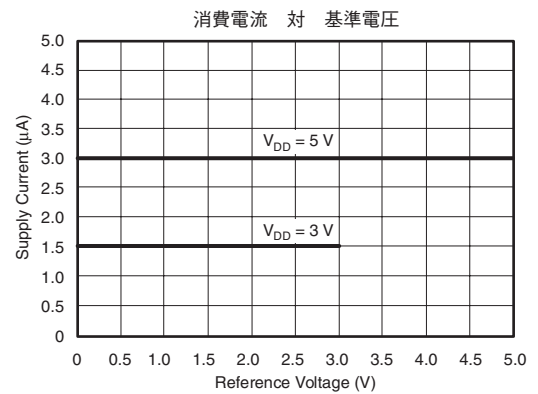
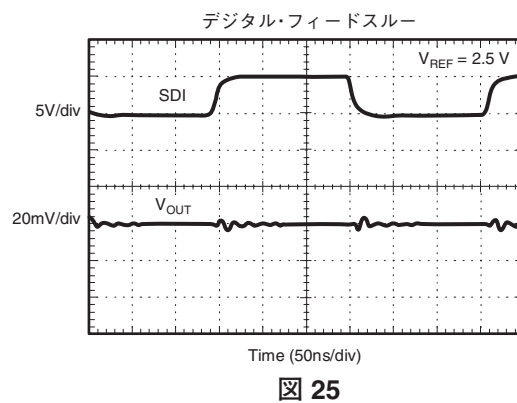
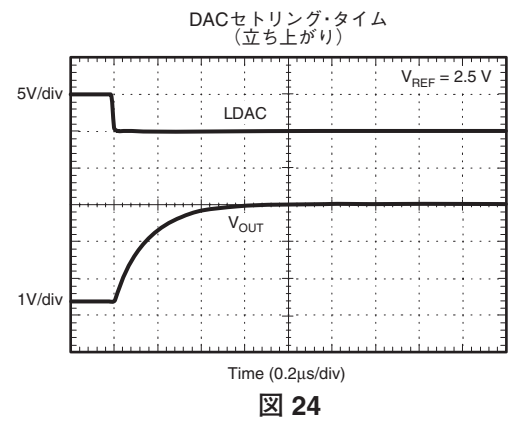
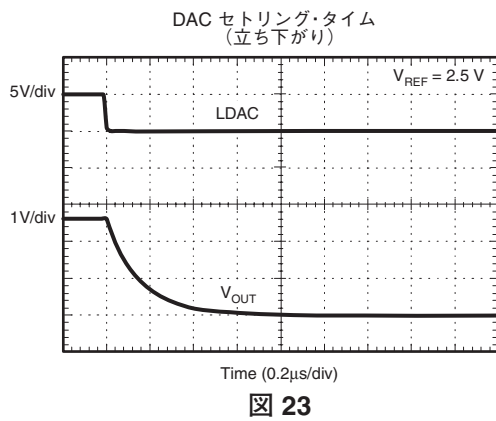
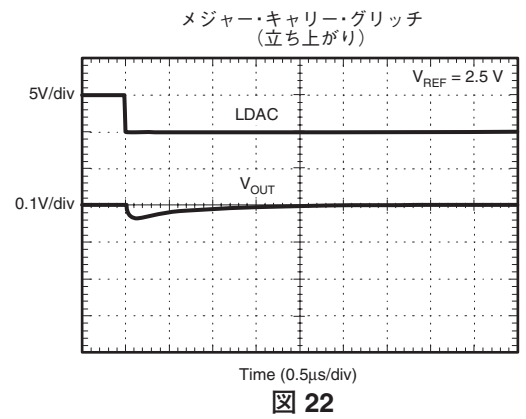
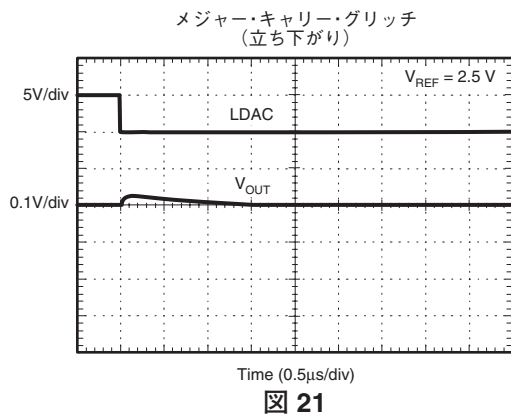


図 20

代表的特性：V_{DD} = +5V

T_A = +25°C、V_{REF} = +2.5V (特に記述のない限り)。



代表的特性：V_{DD} = +3V

T_A = +25°C、V_{REF} = +2.5V (特に記述のない限り)。

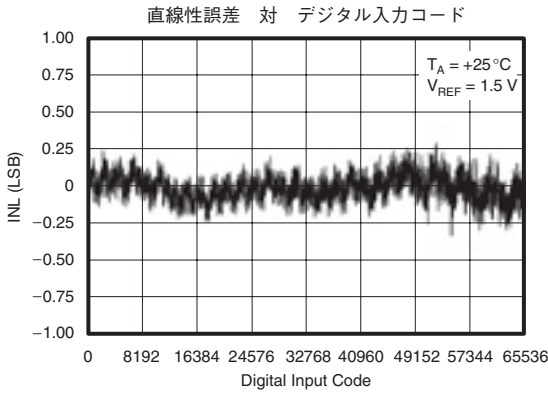


図 26

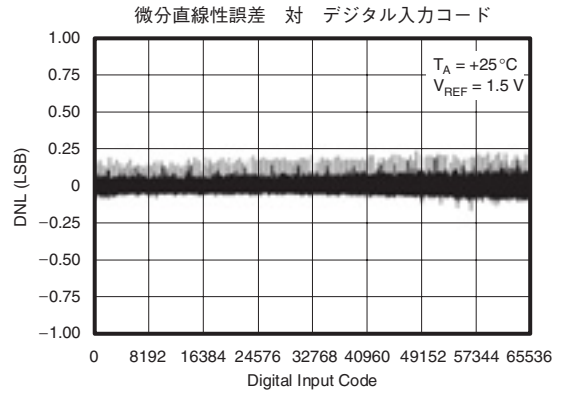


図 27

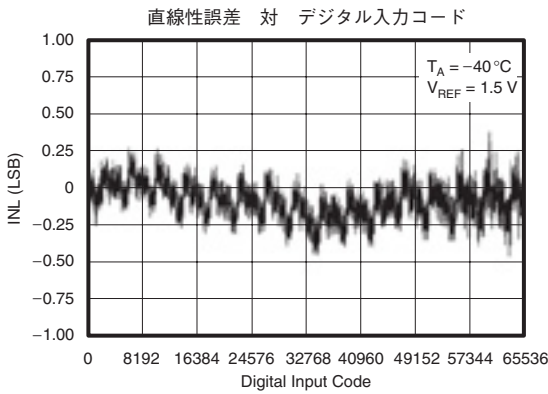


図 28

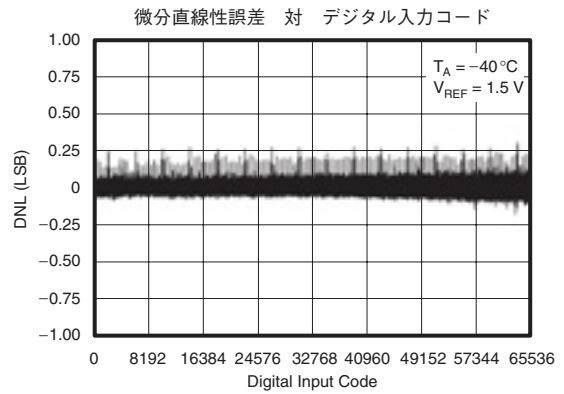


図 29

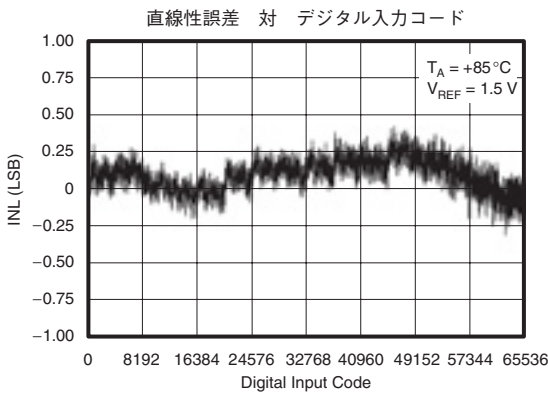


図 30

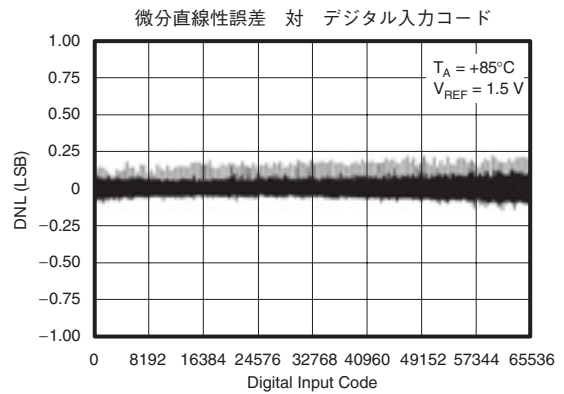


図 31

代表的特性：V_{DD} = +3V

T_A = +25°C、V_{REF} = +2.5V (特に記述のない限り)。

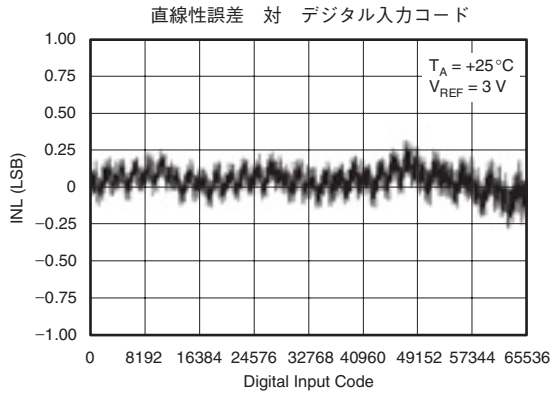


図 32

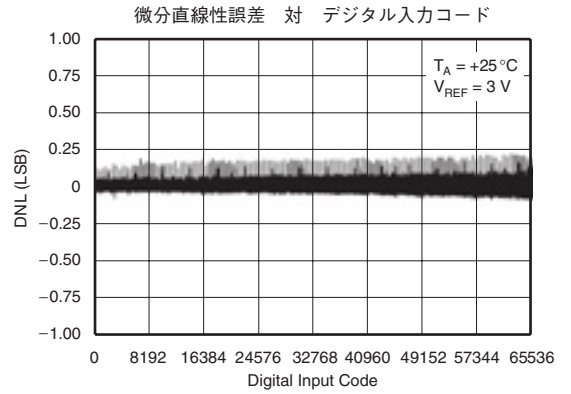


図 33

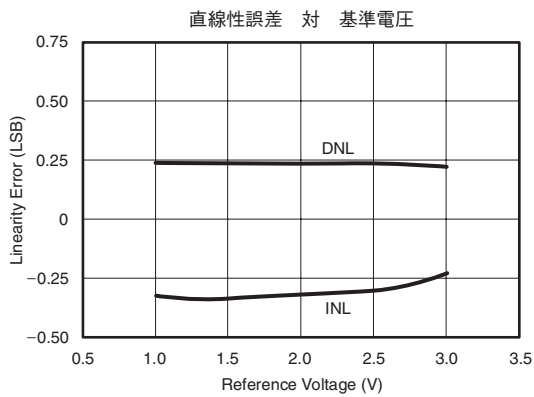


図 34

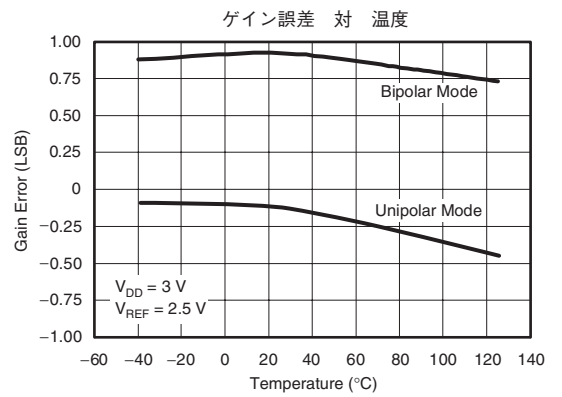


図 35

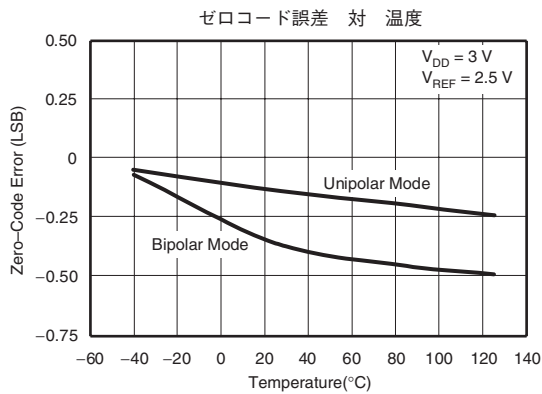


図 36

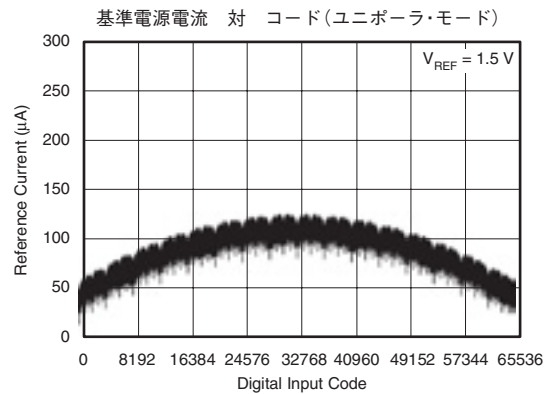


図 37

代表的特性：V_{DD} = +3V

T_A = +25°C、V_{REF} = +2.5V (特に記述のない限り)。

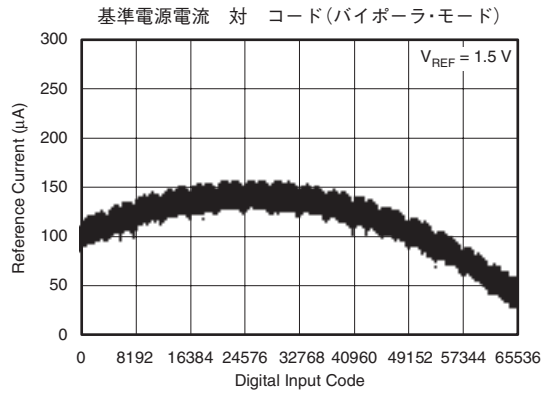


図 38

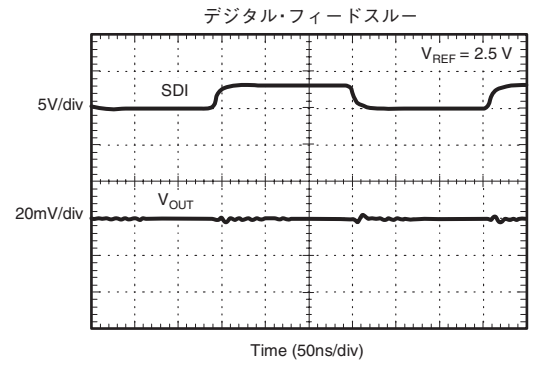


図 39

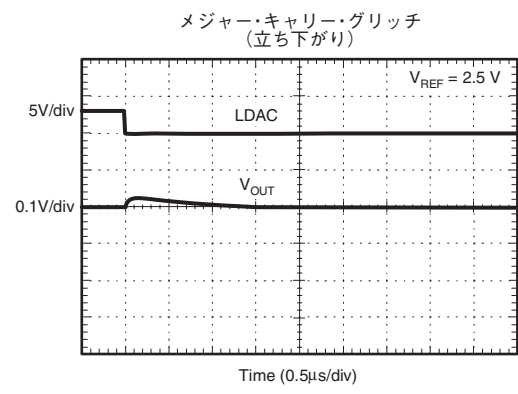


図 40

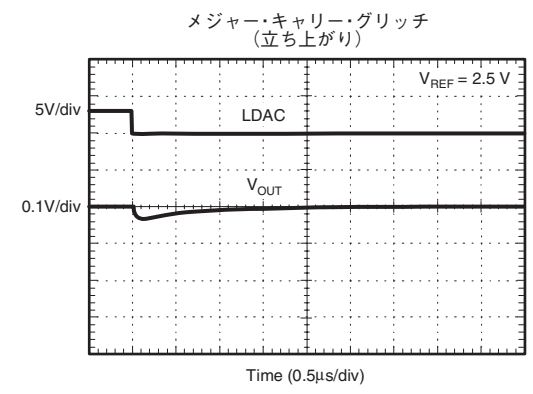


図 41

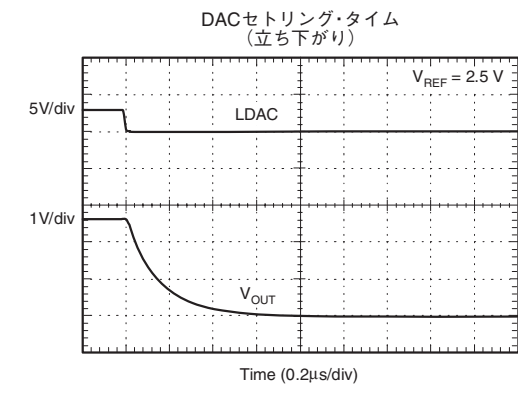


図 42

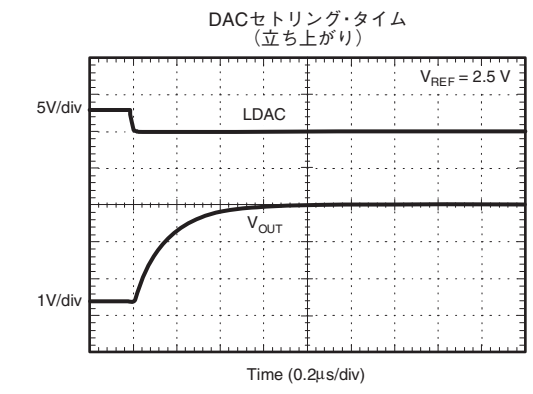


図 43

動作原理

概要説明

DAC8830およびDAC8831は、シングル、16ビット、シリアル入力、電圧出力のDAコンバータです。2.7V ~ 5Vの単電源で動作し、消費電流は5 μ A (typ)です。データは、SPIシリアル・インターフェイス経由で、16ビット・ワード形式でこれらのデバイスに書き込みます。電源投入時に既知の状態とする為に、これらのデバイスはパワーオン・リセット機能を内蔵しています。DAC8830とDAC8831はどちらも、ゼロコードにリセットされます。ユニポーラ・モードでは、DAC8830とDAC8831は0Vにリセットされます。DAC8831のバイポーラ・モードでは、 $-V_{REF}$ にリセットされます。DAC8831には、基準電源とアナログ・グランドに対するケルビン接続が採用されています。

DA変換部

両デバイスのDACアーキテクチャは、2つのマッチングされたDAC部により構成され、セグメント化されています。簡略化した回路図を図44に示します。16ビット・データ・ワードのうち、上位 (MSB) 4ビットはデコードされ、E1 - E15の15個のスイッチを駆動します。これらの各スイッチは、15個のマッチングされた抵抗のいずれかとAGNDまたは V_{REF} に接続されています。データ・ワードのうち残りの12ビットは、12ビットの電圧モードR-2Rラダー・ネットワークを形成するS0 - S11のスイッチを駆動します。

出力範囲

DACの出力は、次のとおりです。

$$V_{OUT} = (V_{REF} \times \text{Code}) / 65536$$

ここで、Codeは、DACラッチにロードされたデータの10進値データです。

パワーオン・リセット

どちらのデバイスにもパワーオン・リセット機能があり、電源投入時に出力が既知の状態になります。DAC8830およびDAC8831では、電源投入時にDACラッチと入力レジスタはオール“0”となり、入力シリアル・シフト・レジスタから新しいデータがロードされるまで保持します。したがって、電源投入後は、DAC8830の V_{OUT} ピンからの出力は0Vになります。DAC8831の

V_{OUT} ピンからの出力は、ユニポーラ・モードでは0V、バイポーラ・モードでは $-V_{REF}$ になります。

ただし、DAC8830とDAC8831のシリアル・レジスタは、電源投入時にクリアされません。したがって、その内容は未定義です。データを最初にデバイスにロードするとき、正しくないデータが出力に現れることを防止するために、16ビット、又はそれ以上のデータをロードする必要があります。16ビットを超えるデータをロードした場合は、最後の16ビットが保持されます。16ビット未満のデータをロードした場合は、直前のワードの後半の一部のビットが残ります。このデバイスにて16ビット未満のデータとインターフェイスをする必要がある場合は、データのLSB側に“0”を埋め込んで16ビットとしてください。

シリアル・インターフェイス

デジタル・インターフェイスは、標準的な3線接続であり、SPI、QSPI™、Microwire™、およびTIのDSPインターフェイスとの互換性を備え、最大50Mbpsで動作します。データ転送は、チップ・セレクト信号 \overline{CS} によりフレーム化されます。DACは、バス・スレーブとして動作します。バス・マスタは、同期クロックSCLKを生成し、伝送を実行します。 \overline{CS} が“High”である場合は、DACはアクセスされず、SCLKクロックとSDIシリアル入力データは無視されます。バス・マスタは \overline{CS} ピンを“Low”に駆動して、DACにアクセスします。 \overline{CS} が“High”から“Low”に遷移した直後に、SDIピンのシリアル入力データはバス・マスタ出力からのSCLKの立ち下がりエッジに同期して出力され、SCLKの立ち上がりエッジで入力シフト・レジスタにラッチされます。データは、最上位ビット (MSB) が先になります。 \overline{CS} の“Low”から“High”への遷移により、入力シフト・レジスタの内容は入力レジスタに転送されます。すべてのデータ・レジスタは16ビットです。1データ・ワードを転送するには、SCLKが16クロックが必要です。1データ・ワード全体の転送を完了させるには、16個のSCLKがクロック入力された直後に \overline{CS} を“High”にする必要があります。 \overline{CS} が“Low”状態にあるときに、16個を上回るSCLKを印加した場合は、 \overline{CS} の立ち上がりエッジで最後の16ビットが入力レジスタに転送されます。しかしながら、 \overline{CS} の“Low”が16 SCLKサイクル未満の場合には、データは損傷します。この場合、新しい16ビット・ワードをDACに再ロードしてください。

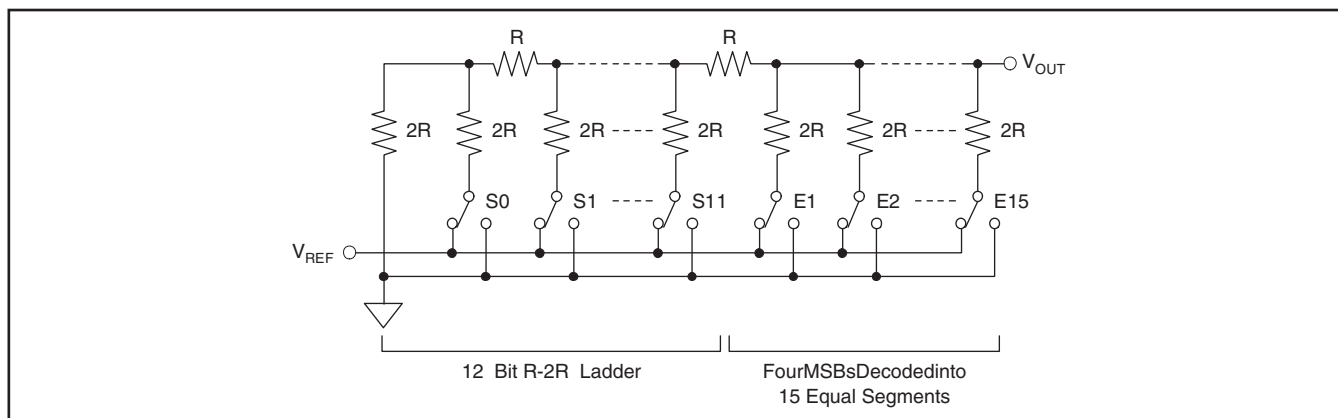


図 44. DACアーキテクチャ

DAC8830の場合は、入力レジスタにデータがロードされた時点で、入力レジスタの内容がDACラッチに直ちに転送され、DAC出力も同時に更新されます。

DAC8831にはLDACピンがあり、CSが“High”になった後でLDACを“Low”にする方法で、DACラッチを非同期で更新することができます。この場合は、CSが“Low”である間、LDACを“High”に維持する必要があります。LDACを恒久的に“Low”に固定した場合は、(CSが“Low”から“High”に遷移することによって)入力レジスタがロードされた直後に、DACラッチが更新されます。

表 1. ユニポーラ・コード

DAC ラッチの内容		アナログ出力
MSB	LSB	
1111	1111 1111	$V_{REF} \times (65,535/65,536)$
1000	0000 0000	$V_{REF} \times (32,768/65,536) = 1/2 V_{REF}$
0000	0000 0001	$V_{REF} \times (1/65,536)$
0000	0000 0000	0V

理想基準電圧を想定すると、出力電圧の最悪値は次の式から計算できます。

ユニポーラ・モードの最悪出力値

$$V_{OUT_UNI} = \frac{D}{2^{16}} \times (V_{REF} + V_{GE}) + V_{ZSE} + INL$$

ここで、

V_{OUT_UNI} = ユニポーラ・モードの出力最悪値

D = DACにロードされたコード

V_{REF} = このデバイスに印加された基準電圧

V_{GE} = ボルト単位のゲイン誤差

V_{ZSE} = ボルト単位のゼロ・スケール誤差

INL = ボルト単位の積分非直線性

アプリケーション情報

ユニポーラ出力動作

これらのDACはバッファ無しで、60kΩの負荷を駆動する能力があります。バッファ無し動作では、電源電流の削減(5μA: typ)、および低オフセット誤差という結果をもたらします。DAC8830は、0V ~ V_{REF} の範囲でシングルのユニポーラ出力を提供します。DAC8831は、ユニポーラ電圧とバイポーラ電圧のどちらかを出力するように構成できます。図45および図46に、各デバイスのユニポーラ出力時の電圧出力回路を示します。この動作モードに対応するコード表を表1に示します。

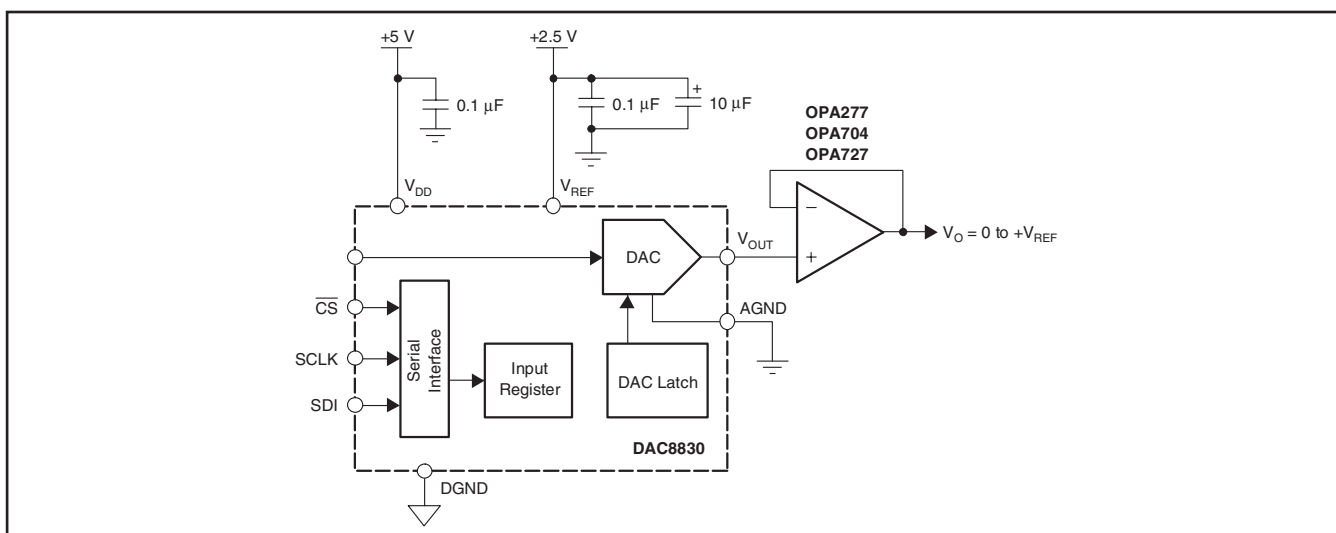


図 45. DAC8830のユニポーラ出力モード

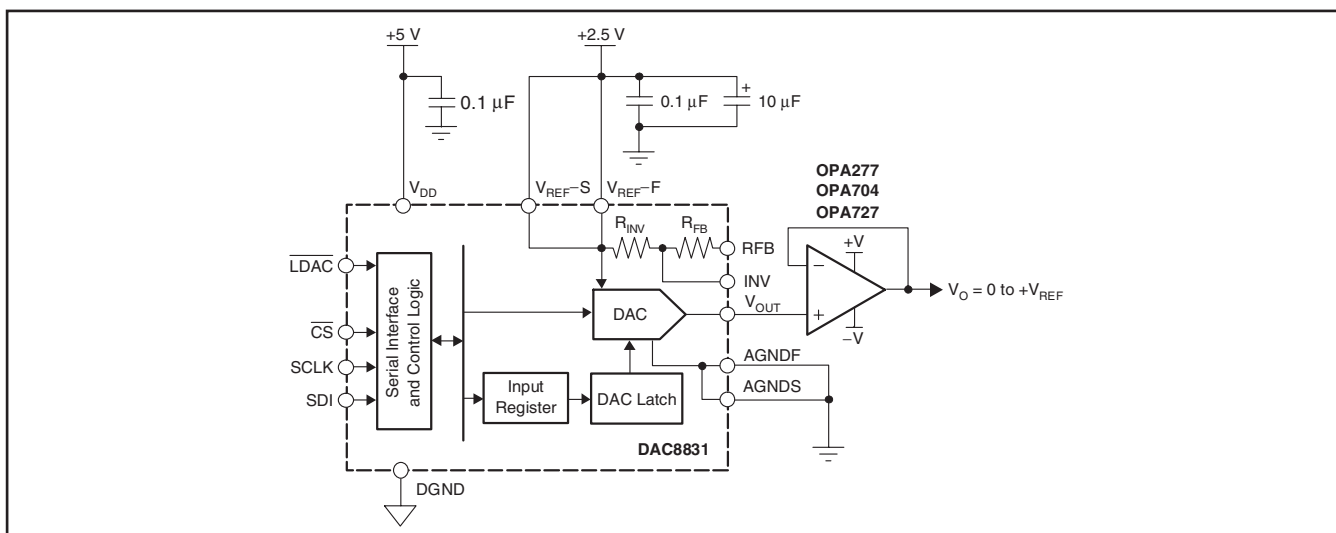


図 46. DAC8831のユニポーラ出力モード

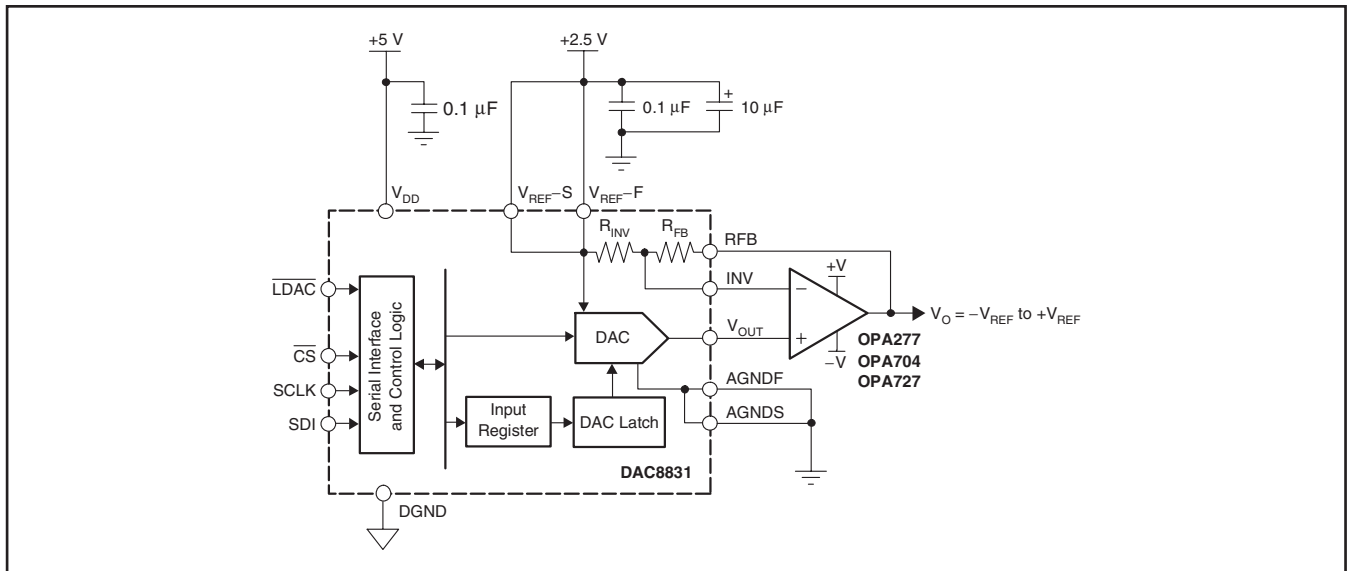


図 47. DAC8831のバイポーラ出力モード

バイポーラ出力動作

外付けオペアンプを使用することにより、バイポーラ出力を提供するようDAC8831を構成することもできます。この動作の代表的な回路を図47に示します。マッチングしたバイポーラ・オフセット抵抗 R_{FB} および R_{INV} を外付けオペアンプに接続し、バイポーラ出力スイングを達成します。代表値は、 $R_{FB} = R_{INV} = 28k\Omega$ です。

表2に、この出力動作モードのコード表を示します。DAC8831には、アナログGNDと外部基準入力に対する1組のケルビン接続もあります。

表 2. バイポーラ・コード

DAC ラッチの内容		アナログ出力
MSB	LSB	
1111	1111 1111 1111	$+V_{REF} \times (32,767/32,768)$
1000	0000 0000 0001	$+V_{REF} \times (1/32,768)$
1000	0000 0000 0000	0V
0111	1111 1111 1111	$-V_{REF} \times (1/32,768)$
0000	0000 0000 0000	$-V_{REF} \times (32,768/32,768) = -V_{REF}$

理想基準電圧を想定すると、出力電圧の最悪値は次の式から計算できます。

バイポーラ・モードでの最悪出力値

$$V_{OUT_BIP} = \frac{\left[(V_{OUT_UNI} + V_{OS}) (2 + RD) - V_{REF}(1 + RD) \right]}{1 + \left(\frac{2 + RD}{A} \right)}$$

ここで、

V_{OS} = 外付けオペアンプの入力オフセット電圧

$RD = R_{FB}$ および R_{INV} 各抵抗のマッチング誤差

A = オペアンプのオープン・ループ・ゲイン

出力アンプの選択

バイポーラ・モードでは、高精度のアンプを使用し、デュアル電源から電圧を供給する必要があります。これにより、 $\pm V_{REF}$ 出力を提供します。

単電源アプリケーションでは、適切なオペアンプの選択が更に困難になります。アンプの出力スイング範囲には通常、ネガティブ・レール、つまりこの場合はAGNDが含まれません。アプリケーションが“0”付近のコードを使用しない場合を除き、この出力スイングは規定された性能よりある程度低下する(0付近の電圧を出力できないため)可能性があります。

選択するオペアンプは出力オフセット・トリムを不要にするために、オフセット電圧(このDACのLSBは、2.5Vの基準を使用する場合、 $38\mu V$ となります。)が小さいことが必要です。入力バイアス電流も小さいものにする必要があります。理由は、バイアス電流にDACの出力インピーダンス(約 $6.25k\Omega$)をかけた値が、ゼロコード誤差に加算されるからです。

レール・ツー・レールの入出力性能が必要です。高速セトリングを実現するために、オペアンプのスルーレートは、DACのセトリング時間に影響しない必要があります。DACの出力インピーダンスは一定であり、コードに依存しません。ただし、ゲイン誤差を最小限に抑えるために、出力アンプの入力インピーダンスはできるだけ高くすることが必要です。アンプは、1MHz(3dBの帯域幅)以上が必要です。アンプを使用すると、システムに対してもう1つの時定数が追加されます。したがって、出力のセトリング時間が長くなります。アンプの3dB帯域幅がより広い場合は、DACとアンプの組み合わせによる実効セトリング時間が短縮されます。

基準電圧とGND

入力インピーダンスはコードに依存するので、基準電圧ピンは低インピーダンスのソースから駆動する必要があります。DAC8830およびDAC8831は、1.25V ~ V_{DD} の範囲にある基準電圧を使用して動作します。1.25V未満の基準電圧を使用した場合は、精度が低下します。

DACのフルスケール出力電圧は基準電圧によって決定されず。表1および表2に、特定のデジタル・コードに対応するアナログ出力電圧を示します。

最適な性能を達成するために、DAC8831ではケルビン接続を提供します。アプリケーションで個別のフォース/センスラインが必要ない場合は、パッケージリードと内部のダイとの間で発生する電圧降下を最小限に抑えるために、これらをパッケージの近くで接続する必要があります。

電源と基準電圧のバイパス

高精度および高分解能を達成するために、10 μ Fのタンタル・コンデンサ、およびそれに対して並列接続した0.1 μ Fのセラミック・コンデンサによるパスコンを、基準電圧ピンと電源ピンにそれぞれ使用されることをお勧めします。

クロスリファレンス

DAC8830およびDAC8831は、業界標準のピン配置を採用しています(表3を参照)。

モデル	INL (LSB)	DNL (LSB)	パワーオン・リセットの値	温度範囲	パッケージ説明	パッケージ・オプション	クロスリファレンス
DAC8830ICD	± 1	± 1	ゼロコード	-40° ~ 85°C	8ピン、スモール・アウトライン IC	SO-8	AD5541CR, MAX541AESA
DAC8830IBD	± 2	± 1	ゼロコード	-40° ~ 85°C	8ピン、スモール・アウトライン IC	SO-8	AD5541BR, MAX541BESA
DAC8830ID	± 4	± 1	ゼロコード	-40° ~ 85°C	8ピン、スモール・アウトライン IC	SO-8	AD5541AR, MAX541CESA
N/A	± 1	± 1	ゼロコード	-40° ~ 85°C	8ピン、プラスチック DIP	PDIP-8	MAX541AEPA
N/A	± 2	± 1	ゼロコード	-40° ~ 85°C	8ピン、プラスチック DIP	PDIP-8	MAX541BEPA
N/A	± 4	± 1	ゼロコード	-40° ~ 85°C	8ピン、プラスチック DIP	PDIP-8	MAX541CEPA
N/A	± 1	± 1	ゼロコード	0°C ~ +70°C	8ピン、スモール・アウトライン IC	SO-8	AD5541LR
N/A	± 2	± 1.5	ゼロコード	0°C ~ +70°C	8ピン、スモール・アウトライン IC	SO-8	AD5541JR
N/A	± 1	± 1	ゼロコード	0°C ~ +70°C	8ピン、プラスチック DIP	PDIP-8	MAX541AEPA
N/A	± 2	± 1	ゼロコード	0°C ~ +70°C	8ピン、プラスチック DIP	PDIP-8	MAX541BEPA
N/A	± 4	± 1	ゼロコード	0°C ~ +70°C	8ピン、プラスチック DIP	PDIP-8	MAX541CEPA
DAC8831ICD	± 1	± 1	ゼロコード	-40° ~ 85°C	14ピン、スモール・アウトライン IC	SO-14	AD5542CR, MAX542AESD
DAC8831IBD	± 2	± 1	ゼロコード	-40° ~ 85°C	14ピン、スモール・アウトライン IC	SO-14	AD5542BR, MAX542BESD
DAC8831ID	± 4	± 1	ゼロコード	-40° ~ 85°C	14ピン、スモール・アウトライン IC	SO-14	AD5542AR, MAX542CESD
DAC8831ICRGY	± 1	± 1	ゼロコード	-40° ~ 85°C	14ピン、QFN	14ピン、QFN	N/A
DAC8831IBRGY	± 2	± 1	ゼロコード	-40° ~ 85°C	14ピン、QFN	QFN-14	N/A
DAC8831IRGY	± 4	± 1	ゼロコード	-40° ~ 85°C	14ピン、QFN	QFN-14	N/A
N/A	± 1	± 1	ゼロコード	-40° ~ 85°C	14ピン、プラスチック DIP	PDIP-14	MAX542ACPD
N/A	± 2	± 1	ゼロコード	-40° ~ 85°C	14ピン、プラスチック DIP	PDIP-14	MAX542BCPD
N/A	± 4	± 1	ゼロコード	-40° ~ 85°C	14ピン、プラスチック DIP	PDIP-14	MAX542CCPD
N/A	± 1	± 1	ゼロコード	0°C ~ +70°C	14ピン、スモール・アウトライン IC	SO-14	AD5542LR
N/A	± 2	± 1.5	ゼロコード	0°C ~ +70°C	14ピン、スモール・アウトライン IC	SO-14	AD5542JR
N/A	± 1	± 1	ゼロコード	0°C ~ +70°C	14ピン、スモール・アウトライン IC	SO-14	MAX542AEPD
N/A	± 2	± 1	ゼロコード	0°C ~ +70°C	14ピン、スモール・アウトライン IC	SO-14	MAX542BEPD
N/A	± 4	± 1	ゼロコード	0°C ~ +70°C	14ピン、スモール・アウトライン IC	SO-14	MAX542CEPD

表 3. クロスリファレンス

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
DAC8830IBD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830IBDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830IBDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830IBDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830ICD	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830ICDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830ICDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830ICDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830IDG4	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	Call TI	Level-2-260C-1 YEAR
DAC8830IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8830IDRG4	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBRGYR	ACTIVE	QFN	RGY	14	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBRGYRG4	ACTIVE	QFN	RGY	14	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBRGYT	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IBRGYTG4	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICD	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICRGYR	ACTIVE	QFN	RGY	14	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
DAC8831ICRGYT	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ICRGYTG4	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831ID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IDG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IDRG4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IRGYR	ACTIVE	QFN	RGY	14	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IRGYRG4	ACTIVE	QFN	RGY	14	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IRGYT	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8831IRGYTG4	ACTIVE	QFN	RGY	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

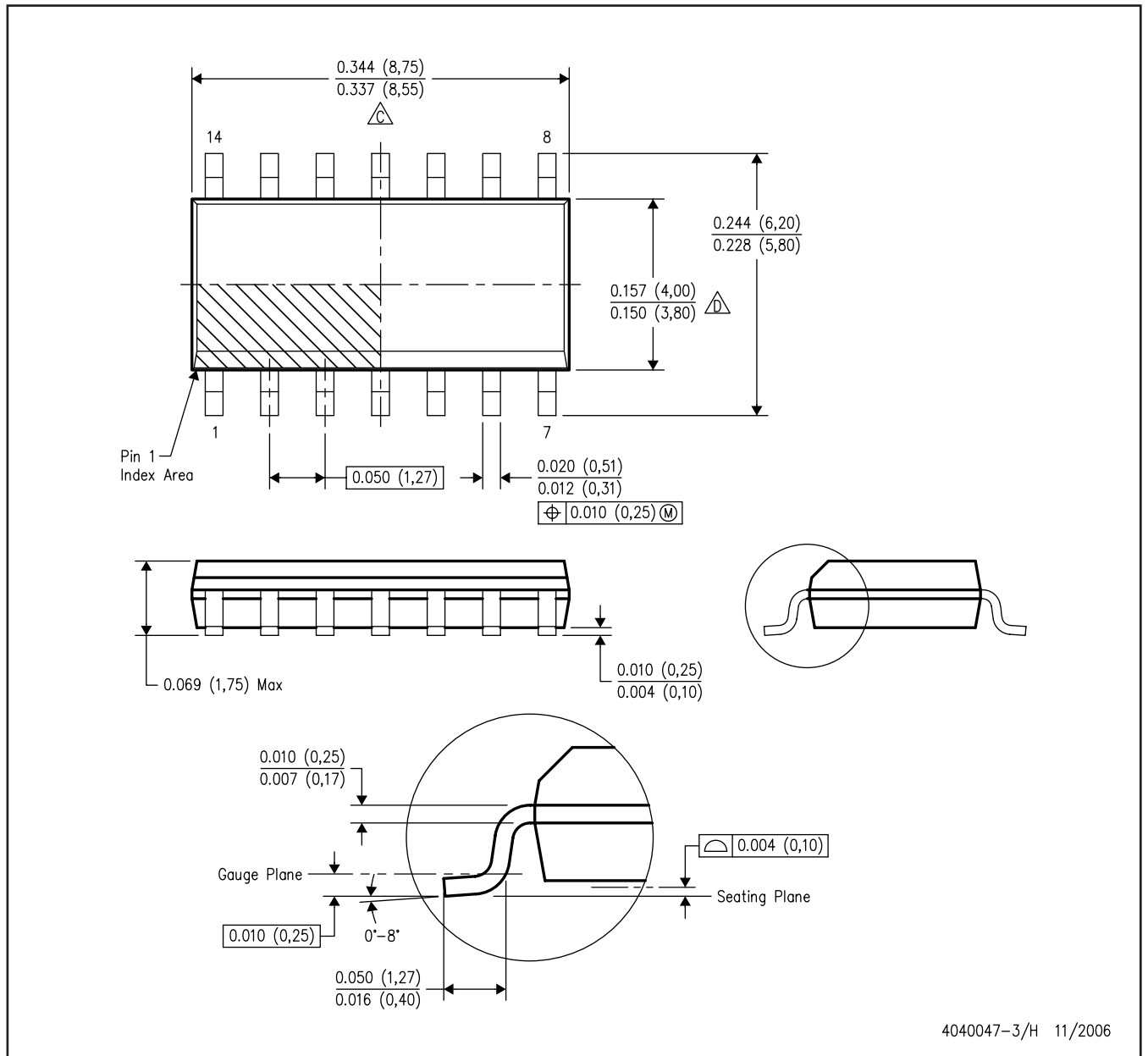
Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS)と考えられます。

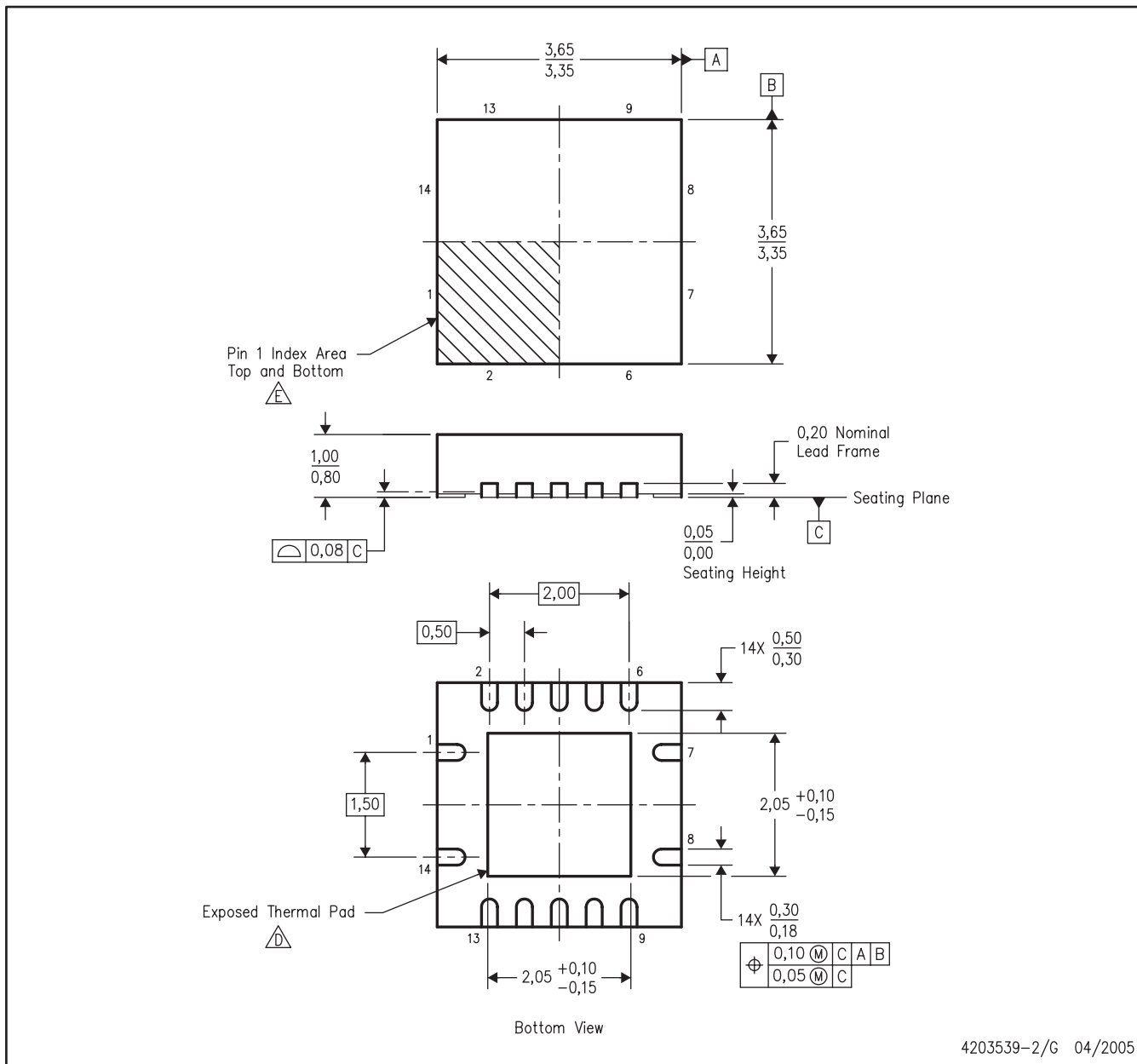
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
 - E. Reference JEDEC MS-012 variation AB.



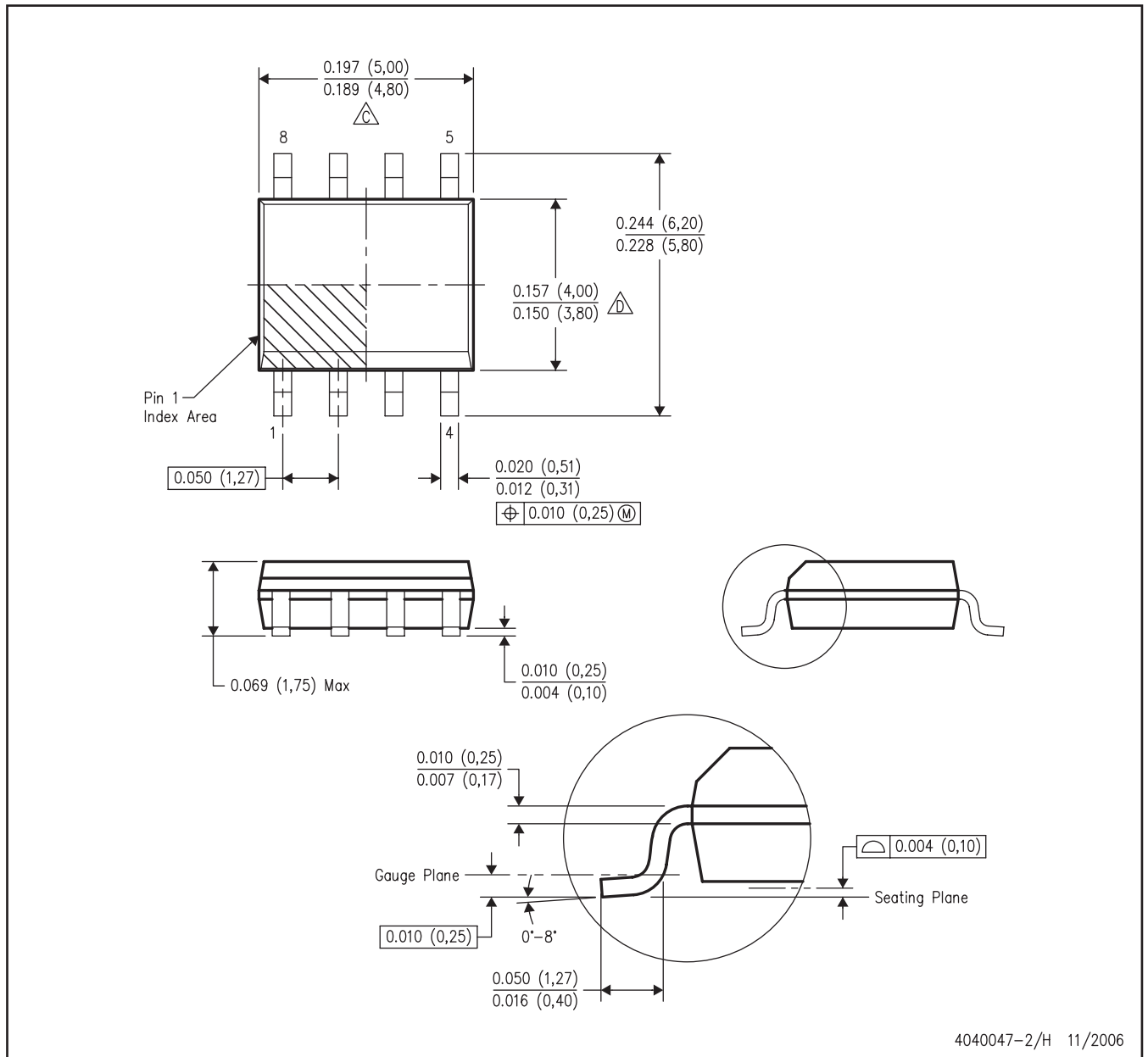
4203539-2/G 04/2005

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - E. Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
 - F. Package complies to JEDEC MO-241 variation BA.

メカニカル・データ

D (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



4040047-2/H 11/2006

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
 - E. Reference JEDEC MS-012 variation AA.

(SLAS449C)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上