

DRV8434S ステッピング・ドライバ、内蔵電流検出機能、1/256 マイクロステッピング、SPI インターフェイス、スマート・チューン・テクノロジ、ストール検出機能搭載

1 特長

- PWM マイクロステッピングのステッピング・モータ・ドライバ
 - STEP/DIR ピン付きの SPI インターフェイス
 - 最高 1/256 のマイクロステッピング・インデクサ
- 電流検出機能を搭載
 - 検出抵抗が不要
 - $\pm 4\%$ のフルスケール電流精度
- スマート・チューン、スローおよびミックス・ディケイ・オプション
- 4.5~48V の電源動作電圧範囲
- 低い $R_{DS(ON)}$: 24V, 25°C で 330mΩ HS + LS
- 高電流出力ドライバ: 2.5A フルスケール、1.8A rms
- TRQ_DAC ビットによりフルスケール電流をスケーリング
- 構成可能なオフ時間 PWM チョッピング
 - 7μs, 16μs, 24μs, 32μs
- 1.8V, 3.3V, 5.0V ロジック入力をサポート
- SPI によるデイジー・チェーンをサポート
- 低消費電流スリープ・モード (2μA)
- 拡散スペクトラム・クロック処理による低い EMI
- 小型パッケージと小占有面積
- 保護機能
 - VM 低電圧誤動作防止 (UVLO)
 - チャージ・ポンプ低電圧検出 (CPUV)
 - 過電流保護 (OCP)
 - センサレスのストール検出
 - 開放負荷検出 (OL)
 - 過熱警告 (OTW)
 - サーマル・シャットダウン (OTSD)
 - フォルト条件出力 (nFAULT)

2 アプリケーション

- プリンタとスキャナ
- ATM と貨幣処理機
- 工業用ミシン
- ステージ照明機器
- オフィスおよびホーム・オートメーション
- ファクトリ・オートメーションおよびロボティクス
- 医療用アプリケーション
- 3D プリンタ

3 概要

DRV8434S は、産業用および民生用アプリケーション向けのステッピング・モータ・ドライバです。このデバイスに

は、2つのNチャネル・パワー MOSFET Hブリッジ・ドライバ、マイクロステッピング・インデクサ、および電流検出機能が完全に統合されています。DRV8434S は最大 2.5A のフルスケール出力電流 (PCB の設計に依存) を駆動できます。

本デバイスは、2つの外部電力検出抵抗が不要な内部電流検出アーキテクチャを採用しているため、PCB 面積とシステム・コストを低減できます。本デバイスは、スマート・チューン、スロー、ミックスのディケイ・オプションを選択できる内部 PWM 電流レギュレーション方式を採用しています。スマート・チューンは最適な電流レギュレーションを自動的に調整し、モータの可聴ノイズを低減します。

STEP/DIR ピンを使ったシンプルな SPI インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。デバイスは、フルステップから 1/256 マイクロステッピングまでのモードに構成可能です。高度なストール検出アルゴリズムにより、設計者はモータが停止したかどうかを検出し、必要に応じて対策を講じることができます。このデバイスは、SPI 経由で出力電流をスケーリングできるトルク DAC も内蔵しているため、VREF リファレンスをスケーリングする必要はありません。電源の低電圧、チャージ・ポンプ障害、過電流、短絡、開放負荷、過熱に対するその他の保護機能が備わっています。フォルト条件は、nFAULT ピンで通知されます。

低消費電力のスリープ・モードを備えており、nSLEEP ピンを使用することで、超低スタンバイ電流を実現できます。このデバイスには、全二重の 4 線式同期 SPI 通信機能が搭載されており、最大 63 台のデバイスを直列にデイジー・チェーン接続し、構成や詳細なフォルト報告が可能です。

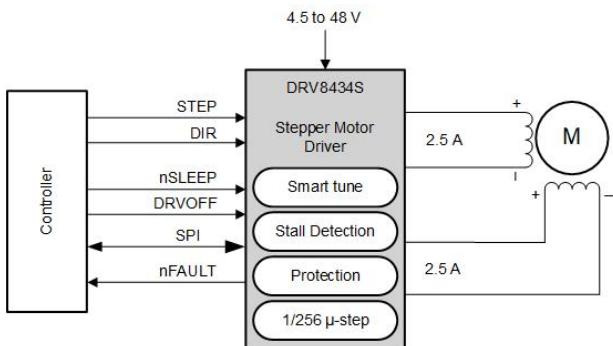
製品情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ (公称)
DRV8434SPWPR	HTSSOP (28)	9.7mm × 4.4mm
DRV8434SRGER	VQFN (24)	4mm × 4mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、必ず最新版の英語版をご参照ください。



概略回路図

目次

1 特長	1	7.4 デバイスの機能モード	37
2 アプリケーション	1	7.5 プログラミング	38
3 概要	1	7.6 レジスタ・マップ	43
4 改訂履歴	3	8 アプリケーションと実装	51
5 ピン構成および機能	3	8.1 アプリケーション情報	51
5.1 端子機能	4	8.2 代表的なアプリケーション	51
6 仕様	6	9 電源に関する推奨事項	57
6.1 絶対最大定格	6	9.1 バルク・コンデンサ	57
6.2 ESD 定格	6	10 レイアウト	58
6.3 推奨動作条件	7	10.1 レイアウトの注意点	58
6.4 熱に関する情報	7	11 デバイスおよびドキュメントのサポート	60
6.5 電気的特性	8	11.1 ドキュメントの更新通知を受け取る方法	60
6.6 SPI のタイミング要件	9	11.2 サポート・リソース	60
6.7 ステッピング制御ロジック・タイミング要件	10	11.3 商標	60
7 詳細説明	12	11.4 静電気放電に関する注意事項	60
7.1 概要	12	11.5 用語集	60
7.2 機能ブロック図	13	12 メカニカル、パッケージ、および注文情報	61
7.3 機能説明	13		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	リビジョン	注
2020 年 12 月	*	初版

5 ピン構成および機能

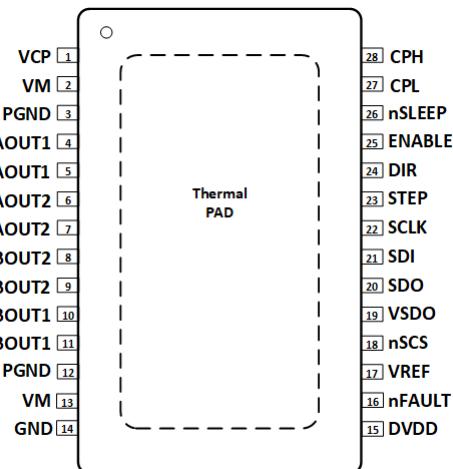


図 5-1. PWP PowerPAD™ パッケージ 28 ピン HTSSOP 上面図

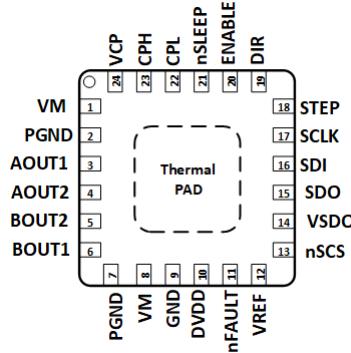


図 5-2. RGE パッケージ 24 ピン VQFN (露出サーマル・パッド付き) 上面図

5.1 端子機能

名前	端子		I/O	種類	説明			
	番号							
	HTSSOP	VQFN						
AOUT1	4, 5	3	O	出力	巻線 A 出力。ステッピング・モータの巻線に接続します。			
AOUT2	6, 7	4	O	出力	巻線 A 出力。ステッピング・モータの巻線に接続します。			
PGND	3, 12	2, 7	—	電源	電源グランド。システム・グランドに接続します。			
BOUT2	8, 9	5	O	出力	巻線 B 出力。ステッピング・モータの巻線に接続します。			
BOUT1	10, 11	6	O	出力	巻線 B 出力。ステッピング・モータの巻線に接続します。			
CPH	28	23	—	電源	チャージ・ポンプのスイッチング・ノード。X7R、0.022μF、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。			
CPL	27	22						
DIR	24	19	I	入力	方向入力。論理レベルによりステッピング方向を設定します。内部プルダウン抵抗。			
ENABLE	25	20	I	入力	論理 Low でデバイスの出力をディセーブル。論理 High でイネーブル。DVDD への内部プルアップ。			
DVDD	15	10	—	電源	ロジック電源電圧。X7R、0.47μF~1μF、6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。			
GND	14	9	—	電源	デバイスのグランド。システム・グランドに接続します。			
VREF	17	12	I	入力	電流設定リファレンス入力。最大値 3.3V。DVDD と抵抗分割器を使用して VREF を供給できます。			
nSCS	18	13	I	入力	シリアル・チップ選択。このピンを Low にするとシリアル・インターフェイス通信が有効になります。DVDD への内部プルアップ。			
SCLK	22	17	I	入力	シリアル・クロック入力。シリアル・データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト・アウトおよびキャプチャされます。			
SDI	21	16	I	入力	シリアル・データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。			
SDO	20	15	O	プッシュプル	シリアル・データ出力。データは、SCLK ピンの立ち上がりエッジでシフト・アットされます。			
STEP	23	18	I	入力	ステップ入力。立ち上がりエッジでシーケンス制御ロジックが 1 ステップ進みます。内部プルダウン抵抗。			
VCP	1	24	—	電源	チャージ・ポンプの出力。X7R、0.22μF、16V セラミック・コンデンサを VM との間に接続します。			
VM	2, 13	1, 8	—	電源	電源。モータ電源電圧に接続し、VM 定格の 2 つの 0.01μF セラミック・コンデンサ (各ピンに 1 つずつ) と 1 つのパラク・コンデンサを使用して PGND にバイパスします。			
VSDO	19	14	—	電源	SDO 出力の電源ピン。必要な論理レベルに応じて外部電圧に接続します。			

名前	端子		I/O	種類	説明			
	番号							
	HTSSOP	VQFN						
nFAULT	16	11	O	オープンドレイン	フォルト通知。フォルト条件により論理 Low に駆動されます。オープンドレイン出力には外部プルアップ抵抗が必要です。			
nSLEEP	26	21	I	入力	スリープ・モード入力。論理 High でデバイスをイネーブル。論理 Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。nSLEEP Low パルスにより、フォルトがクリアされます。			
PAD	-	-	-	-	サーマル・パッド。システム・グランドに接続します。			

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

	最小	最大	単位
電源電圧 (VM)	-0.3	50	V
チャージ・ポンプ電圧 (VCP、CPH)	-0.3	$V_{VM} + 7$	V
チャージ・ポンプ負スイッチング・ピン (CPL)	-0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	-0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	-0.3	5.75	V
SDO 出力リファレンス電圧 (VSDO)	-0.3	5.75	V
制御ピン電圧 (STEP、DIR、ENABLE、nFAULT、SDI、SDO、SCLK、nSCS)	-0.3	5.75	V
オープンドレイン出力電流 (nFAULT)	0	10	mA
リファレンス入力ピン電圧 (VREF)	-0.3	5.75	V
相ノード・ピン電圧 (連続) (AOUT1、AOUT2、BOUT1、BOUT2)	-1	$V_{VM} + 1$	V
相ノード・ピン電圧 (過渡 100ns) (AOUT1、AOUT2、BOUT1、BOUT2)	-3	$V_{VM} + 3$	V
ピーク駆動電流 (AOUT1、AOUT2、BOUT1、BOUT2)	内部的に制限		A
動作時の周囲温度、 T_A	-40	125	°C
動作時の接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}	-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	± 2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	± 750	
		その他のピン	± 500	

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小	最大	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	48	V
V_I	論理レベル入力電圧	0	5.5	V
V_{VREF}	V_{REF} 電圧	0.05	3.3	V
f_{STEP}	適用される STEP 信号 (STEP)	0	500 ⁽¹⁾	kHz
I_{FS}	モータ・フルスケール電流 (xOUTx)	0	2.5 ⁽²⁾	A
I_{rms}	モータ RMS 電流 (xOUTx)	0	1.8 ⁽²⁾	A
T_A	動作時の周囲温度	-40	125	°C
T_J	動作時のジャンクション温度	-40	150	°C

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。

(2) 消費電力および温度の制限に従う必要があります。

6.4 热に関する情報

熱評価基準 ⁽¹⁾	PWP (HTSSOP)	RGE (VQFN)	単位
	28 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	29.7	°C/W
R_{θ} JC(top)	接合部からケース (上面) への熱抵抗	23.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.3	°C/W
Ψ_{JT}	接合部から上面への評価パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への評価パラメータ	9.2	°C/W
R_{θ} JC(bot)	接合部からケース (底面) への熱抵抗	2.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
電源 (VM、DVDD)						
I_{VM}	VM 動作電源電流	ENABLE = 1、nSLEEP = 1、モータ負荷なし		5	6.5	mA
I_{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0		2	4	μA
t_{SLEEP}	スリープ時間	nSLEEP = 0 でスリープモード	120			μs
t_{RESET}	nSLEEP リセット・パルス	nSLEEP = Low でフォルトをクリア	20		40	μs
t_{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移		0.8	1.2	ms
t_{ON}	ターンオン時間	VM > UVLO で出力遷移		0.8	1.2	ms
t_{EN}	イネーブル時間	ENABLE = 0/1 で出力遷移			5	μs
V_{DVDD}	内部レギュレータ電圧	外部負荷なし、 $6\text{V} < V_{VM} < 48\text{V}$	4.75	5	5.25	V
		外部負荷なし、 $V_{VM} = 4.5\text{V}$	4.2	4.35		V
チャージ・ポンプ (VCP、CPH、CPL)						
V_{VCP}	VCP 動作電圧	$6\text{V} < V_{VM} < 48\text{V}$		$V_{VM} + 5$		V
$f_{(VCP)}$	チャージ・ポンプ・スイッチング周波数	$V_{VM} > \text{UVLO}$ 、nSLEEP = 1		360		kHz
論理レベル入力 (STEP、DIR、nSLEEP、nSCS、SCLK、SDI、ENABLE)						
V_{IL}	入力論理 Low 電圧		0		0.6	V
V_{IH}	入力論理 High 電圧		1.5		5.5	V
V_{HYS}	入力論理ヒステリシス			150		mV
I_{IL1}	入力論理 Low 電流 (nSCS)	$V_{IN} = 0\text{V}$	8		12	μA
I_{IL}	入力論理 Low 電流 (その他のビン)	$V_{IN} = 0\text{V}$	-1		1	μA
I_{IH1}	入力論理 High 電流 (nSCS)	$V_{IN} = DVDD$			500	nA
I_{IH}	入力論理 High 電流 (その他のビン)	$V_{IN} = 5\text{V}$			100	μA
プッシュプル出力 (SDO)						
$R_{PD,SDO}$	内部プルダウン抵抗	5mA 負荷、GND 基準		30	60	Ω
$R_{PU,SDO}$	内部プルアップ抵抗	5mA 負荷、VSDO 基準		30	60	Ω
I_{SDO}	SDO リーク電流	$SDO = VSDO$ および 0V	-1		1	μA
制御出力 (nFAULT)						
V_{OL}	出力論理 Low 電圧	$I_O = 5\text{mA}$			0.5	V
I_{OH}	出力論理 High リーク電流		-1		1	μA
モータ・ドライバ出力 (AOUT1、AOUT2、BOUT1、BOUT2)						
$R_{DS(ON)}$	ハイサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = -1\text{A}$		165	200	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$ 、 $I_O = -1\text{A}$		250	300	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$ 、 $I_O = -1\text{A}$		280	350	$\text{m}\Omega$
$R_{DS(ON)}$	ローサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = 1\text{A}$		165	200	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$ 、 $I_O = 1\text{A}$		250	300	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$ 、 $I_O = 1\text{A}$		280	350	$\text{m}\Omega$
t_{SR}	出力スルーレート	$V_{VM} = 24\text{V}$ 、 $I_O = 1\text{A}$ 、10% と 90% の間		240		$\text{V}/\mu\text{s}$
PWM 電流制御 (VREF)						

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
K_V	トランジンピーダンス・ゲイン	$V_{REF} = 3.3\text{V}$	1.254	1.32	1.386	V/A
I_{VREF}	V_{REF} リーク電流	$V_{REF} = 3.3\text{V}$			8.25	μA
t_{OFF}	PWM オフ時間	TOFF = 00b		7		μs
		TOFF = 01b		16		
		TOFF = 10b		24		
		TOFF = 11b		32		
ΔI_{TRIP}	電流トリップ精度	$0.25\text{A} < I_O < 0.5\text{A}$	-12		12	$\%$
		$0.5\text{A} < I_O < 1\text{A}$	-6		6	
		$1\text{A} < I_O < 2.5\text{A}$	-4		4	
$I_{O,CH}$	AOUT と BOUT の電流マッチング	$I_O = 2.5\text{A}$	-2.5		2.5	$\%$

保護回路

V_{UVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり、UVLO 立ち下がり	4.1	4.25	4.35	V
		VM 立ち上がり、UVLO 立ち上がり	4.2	4.35	4.45	
$V_{UVLO,HYS}$	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
V_{RST}	VM 低電圧誤動作防止 (UVLO) リセット	VM 立ち下がり、デバイス・リセット、SPI 通信なし			3.9	V
V_{CPUV}	チャージ・ポンプ低電圧	VCP 立ち下がり、CPUV 通知		$V_{VM} + 2$		V
I_{OCP}	過電流保護	FET を流れる電流	4			A
t_{OCP}	過電流グリッチ除去時間			2		μs
t_{RETRY}	過電流リトライ時間	OCP_MODE = 1b		4		ms
t_{OL}	開放負荷検出時間	EN_OL = 1b			50	ms
I_{OL}	開放負荷電流スレッショルド	EN_OL = 1b		75		mA
T_{OTW}	過熱警告	ダイ温度 T_J	135	150	165	$^\circ\text{C}$
T_{OTSD}	サーマル・シャットダウン	ダイ温度 T_J	150	165	180	$^\circ\text{C}$
T_{HYS_OTSD}	過熱保護閾値ヒステリシス	ダイ温度 T_J		20		$^\circ\text{C}$
T_{HYS_OTW}	過熱警告ヒステリシス	ダイ温度 T_J		20		$^\circ\text{C}$

6.6 SPI のタイミング要件

		最小	公称	最大	単位
$t_{(READY)}$	SPI 準備完了、 $VM > V_{RST}$		1		ms
$t_{(CLK)}$	SCLK の最小周期	100			ns
$t_{(CLKH)}$	SCLK の最小 High 時間	50			ns
$t_{(CLKL)}$	SCLK の最小 Low 時間	50			ns
$t_{su(SDI)}$	SDI 入力のセットアップ時間	20			ns
$t_{h(SDI)}$	SDI 入力のホールド時間	30			ns
$t_{d(SDO)}$	SDO 出力遅延時間、SCLK High から SDO 有効まで、 $C_L = 20\text{pF}$			30	ns
$t_{su(nSCS)}$	nSCS 入力のセットアップ時間	50			ns
$t_{h(nSCS)}$	nSCS 入力のホールド時間	50			ns
$t_{(HI_nSCS)}$	nSCS のアクティブ Low の前の最小 High 時間			2	μs
$t_{dis(nSCS)}$	nSCS ディセーブル時間、nSCS High から SDO ハイ・インピーダンスまで		10		ns

6.7 ステッピング制御ロジック・タイミング要件

標準限界値は $T_J = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

番号			最小	最大	単位
1	f_{STEP}	ステップ周波数		500 ⁽¹⁾	kHz
2	$t_{\text{WH(STEP)}}$	パルス幅、STEP High	970		ns
3	$t_{\text{WL(STEP)}}$	パルス幅、STEP Low	970		ns
4	$t_{\text{SU(DIR, Mx)}}$	セットアップ時間、DIR または MODEx から STEP 立ち上がりまで	200		ns
5	$t_{\text{H(DIR, Mx)}}$	ホールド時間、DIR または MODEx から STEP 立ち上がりまで	200		ns

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。

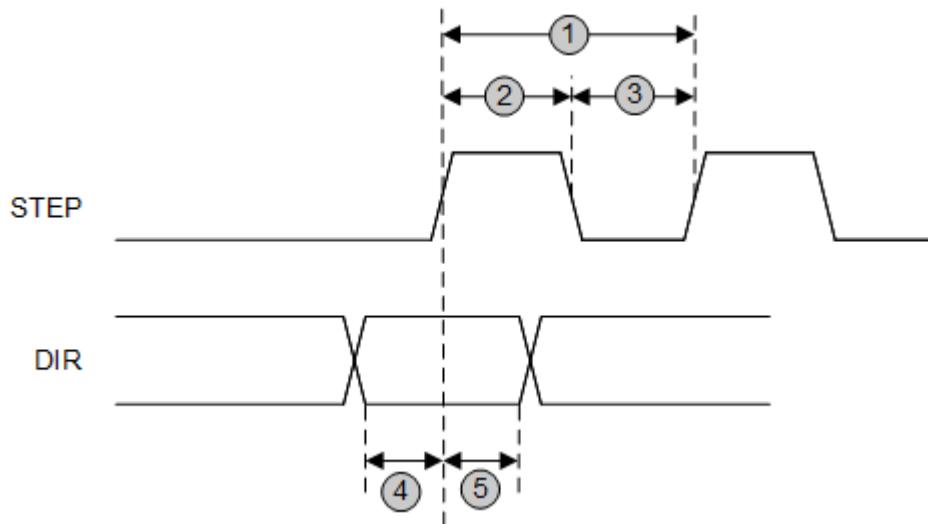


図 6-1. STEP/DIR のタイミング図

6.7.1 代表的特性

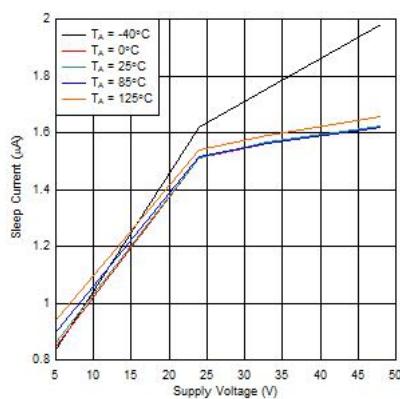


図 6-2. スリープ電流と電源電圧

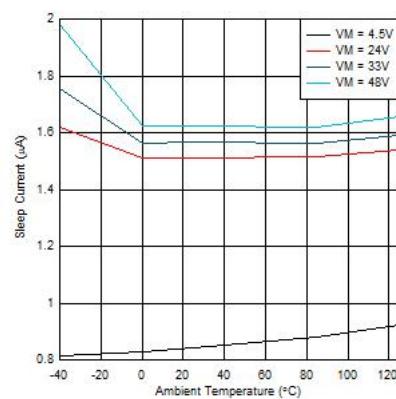


図 6-3. スリープ電流温度特性

6.7.1 代表的特性 (continued)

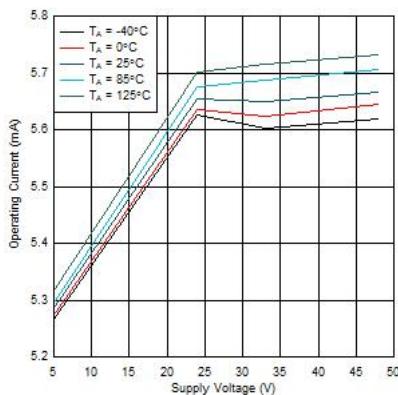


図 6-4. 動作電流と電源電圧

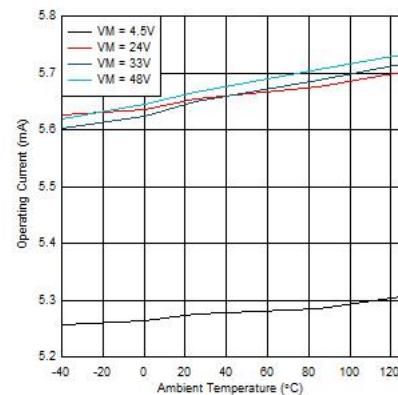


図 6-5. 動作電流温度特性

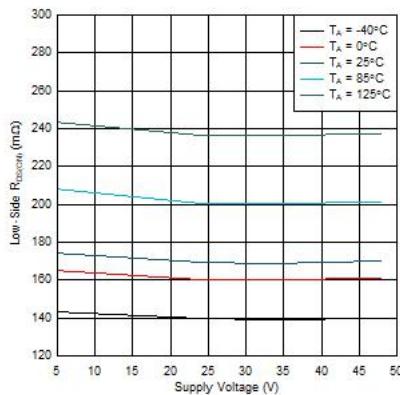


図 6-6. ローサイド $R_{DS(ON)}$ と電源電圧 (MODE = 0 または $330\text{k}\Omega$ を GND との間に接続)

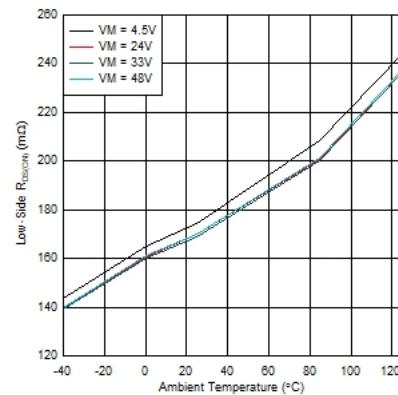


図 6-7. ローサイド $R_{DS(ON)}$ 温度特性 (MODE = 0 または $330\text{k}\Omega$ を GND との間に接続)

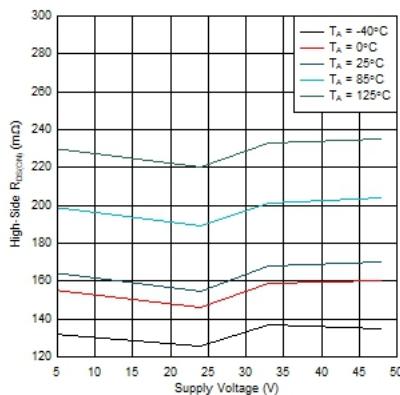


図 6-8. ハイサイド $R_{DS(ON)}$ と電源電圧 (MODE = 0 または $330\text{k}\Omega$ を GND との間に接続)

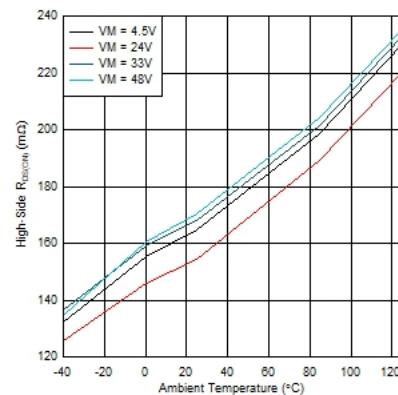


図 6-9. ハイサイド $R_{DS(ON)}$ 温度特性 (MODE = 0 または $330\text{k}\Omega$ を GND との間に接続)

7 詳細説明

7.1 概要

DRV8434S はバイポーラ・ステッピング・モータ用の高集積モータ・ドライバ・ソリューションです。このデバイスは、2 つの N チャネル・パワー MOSFET H ブリッジ、電流検出抵抗とレギュレーション回路、およびマイクロステッピング・インデクサを統合することで、性能を最大限に発揮します。DRV8434S は 4.5~48V の電源電圧範囲で動作し、ピーク時で最大 4A、フルスケールで最大 2.5A、実効値 (RMS) で最大 1.8A の出力電流を供給できます。実際のフルスケールおよび RMS 電流は、周囲温度、電源電圧、PCB の熱性能に依存します。

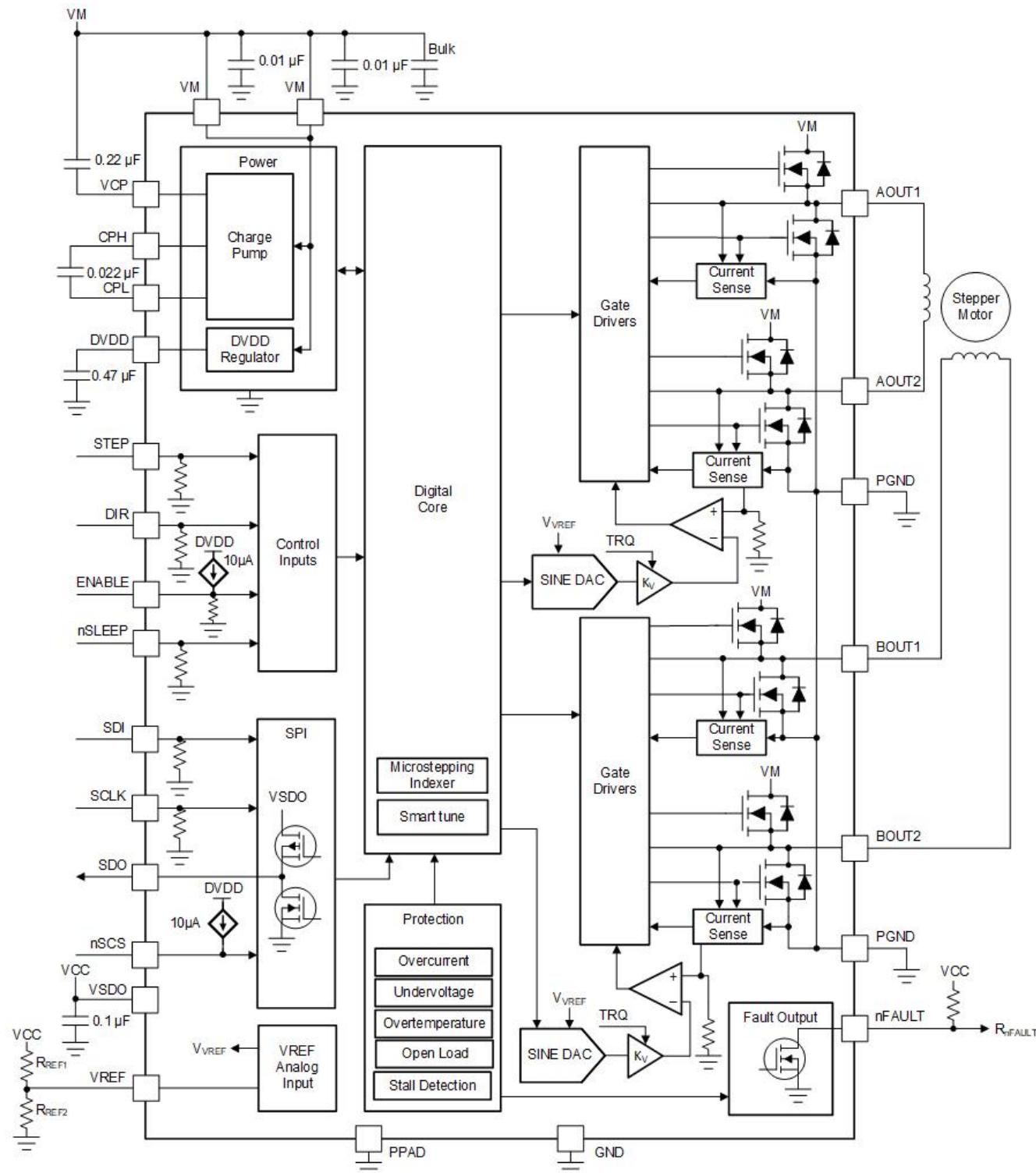
シンプルな STEP/DIR インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。内部マイクロステッピング・インデクサを使うと、巻線電流レベルを制御する外部コントローラを使わなくても高精度のマイクロステッピングを実行できます。このステッピング制御ロジック (インデクサ) はフルステップ、ハーフステップ、1/4、1/8、1/16、1/32、1/64、1/128、1/256 マイクロステッピングを実行できます。高いマイクロステッピングにより、大きな可聴ノイズの低減とスムーズな動作が可能になります。標準のハーフステップ・モードに加えて、非真円ハーフステップ・モードを利用して、モータの RPM が高いときにトルク出力を増大させることもできます。

ステッピング・モータ・ドライバは、スロー・ディケイ、ミックス・ディケイ、ファースト・ディケイなど、いくつかの種類のディケイ・モードを実装することにより、巻線電流を再循環する必要があります。DRV8434S には、スマート・チューン・ディケイ・モードが搭載されています。スマート・チューンは革新的なディケイ・メカニズムで、電圧、モータ速度、ばらつき、経年変化の影響に関係なく、最適な電流レギュレーション性能を自動的に調整します。スマート・チューン・リップル・コントロールでは、オフ時間可変型のリップル電流制御方式により、モータ巻線電流の歪みを最小限に抑えることができます。スマート・チューン・ダイナミック・ディケイでは、オフ時間固定のダイナミック・ファースト・ディケイ率方式により、モータ巻線電流の歪みを最小限に抑え、周波数成分を最小化し、設計作業を大幅に削減できます。このシームレスで簡単な自動スマート・チューンに加えて、DRV8434S はスロー・ミックスやミックス・ディケイなどの従来のディケイ・モードも備えています。

トルク DAC 機能により、コントローラは VREF 基準電圧のスケーリングを必要とせずに出力電流をスケーリングできます。トルク DAC はデジタル入力ピンから利用できるため、高い出力トルクが不要なときにモータの消費電流を抑えることで、コントローラはシステムの電力消費を削減できます。

本デバイスは、内蔵デジタル発振器と内蔵チャージ・ポンプのための拡散スペクトラム・クロック処理機能を備えています。この機能により、本デバイスからの放射妨害波を最小限に抑えることができます。また、低消費電力スリープ・モードを内蔵しているため、モータをアクティブ駆動していないときにシステムの電力を節約できます。

7.2 機能ブロック図



7.3 機能説明

表 7-1 に、DRV8434S の推奨外付け部品を示します。

表 7-1. 外付け部品

部品	ピン 1	ピン 2	推奨する事項
C_{VM1}	VM	PGND	2 つの X7R、0.01 μ F、VM 定格セラミック・コンデンサ
C_{VM2}	VM	PGND	バルク、VM 定格コンデンサ
C_{VCP}	VCP	VM	X7R、0.22 μ F、16V セラミック・コンデンサ
C_{SW}	CPH	CPL	X7R、0.022 μ F、VM 定格セラミック・コンデンサ
C_{DVDD}	DVDD	GND	X7R、0.47 μ F~1 μ F、6.3V セラミック・コンデンサ
R_{nFAULT}	VCC (1)	nFAULT	4.7k Ω 以上の抵抗
R_{REF1}	VREF	VCC	チッピング電流を制限するための抵抗。 R_{REF1} と R_{REF2} の並列抵抗値を 50k Ω よりも小さくすることを推奨します。
R_{REF2} (オプション)	VREF	GND	

(1) VCC は本デバイスのピンではありませんが、オープンドレイン出力の nFAULT は VCC 電源電圧にプルアップする必要があります。nFAULT は DVDD にプルアップすることもできます。

7.3.1 ステッピング・モータ・ドライバの電流定格

ステッピング・モータ・ドライバは、出力電流を表す 3 種類の数値 (ピーク、RMS、フルスケール) を使用して分類できます。

7.3.1.1 ピーク電流定格

ステッピング・ドライバのピーク電流は、過電流保護閾値 I_{OCP} で制限されます。ピーク電流は、すべての過渡電流パルスを指します (例: 静電容量の充電時、デューティ・サイクルが極めて小さい場合)。一般に、 I_{OCP} の最小値は、ステッピング・モータ・ドライバのピーク電流定格を規定します。DRV8434S の場合、ピーク電流定格はブリッジあたり 4A です。

7.3.1.2 RMS 電流定格

RMS (平均) 電流は、IC の熱性能を考慮して求めます。RMS 電流は、25°C の代表的なシステムでの $R_{DS(ON)}$ 、立ち上がりおよび立ち下がり時間、PWM 周波数、デバイスの静止電流、パッケージの熱的性能に基づいて計算されます。実動作時の RMS 電流は放熱と周囲温度に応じて上下する場合があります。DRV8434S の場合、RMS 電流定格はブリッジあたり 1.8A です。

7.3.1.3 フルスケール電流定格

フルスケール電流とは、マイクロステッピング時の正弦電流波形の最大値を指します。この正弦波振幅は RMS 電流に関係しているため、フルスケール電流もデバイスの熱性能を考慮して求めます。フルスケール電流定格は、正弦波電流波形の場合は約 $\sqrt{2} \times I_{RMS}$ 、方形波電流波形 (フルステップ) の場合は I_{RMS} です。

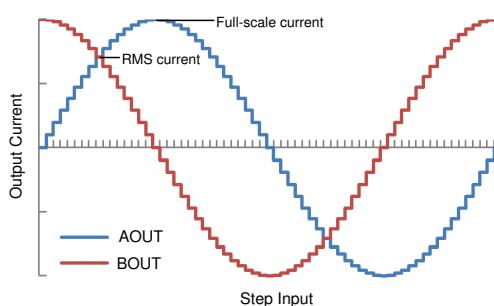


図 7-1. フルスケール電流と RMS 電流

7.3.2 PWM モータ・ドライバ

DRV8434S は、バイポーラ・ステッピング・モータの 2 つの巻線を駆動するために、2 つのフル H ブリッジ回路を駆動します。図 7-2 に、この回路のブロック図を示します。

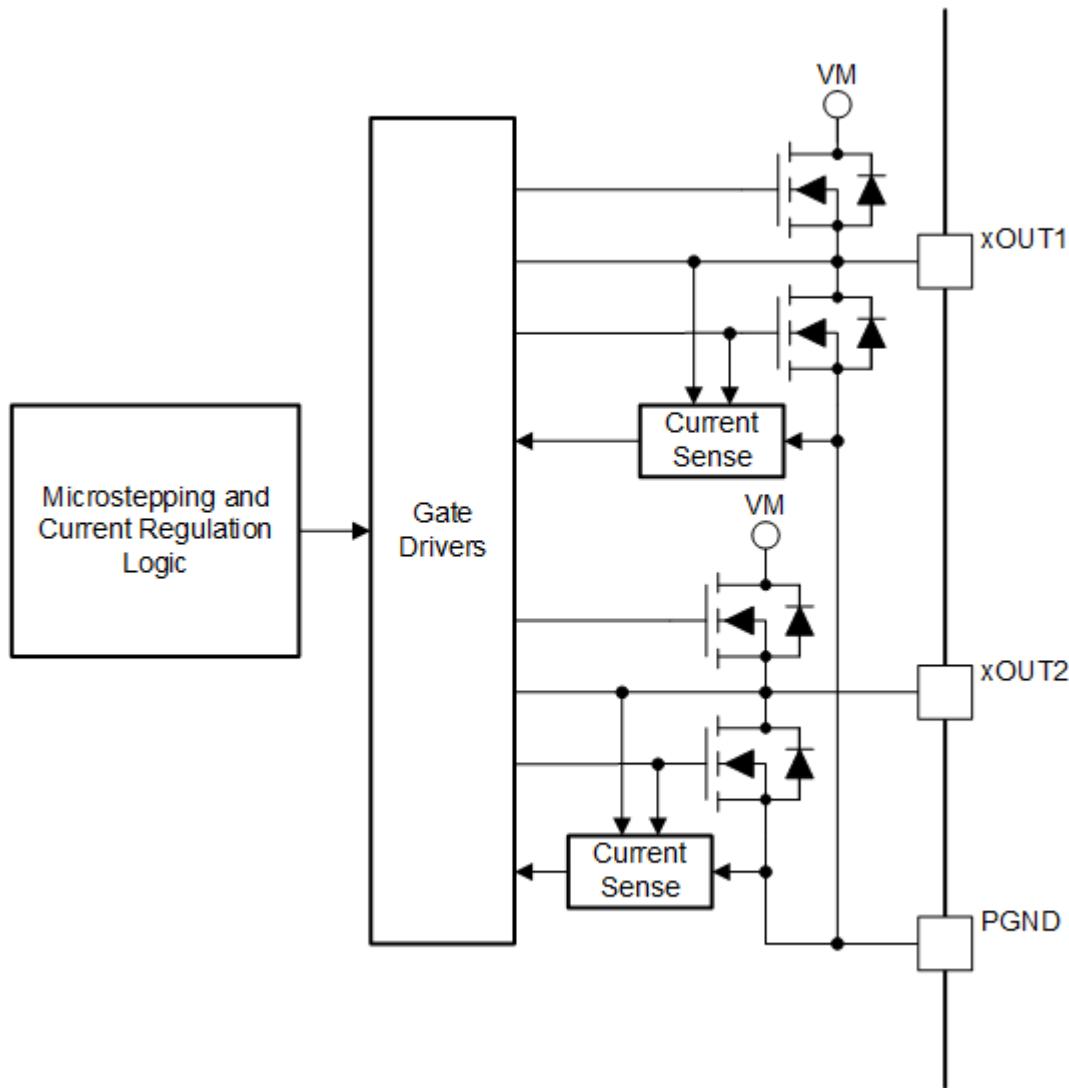


図 7-2. PWM モータ・ドライバのブロック図

7.3.3 マイクロステッピング・インデクサ

本デバイスの内蔵インデックス状態制御 (インデクサ) ロジックを使用すると、各種ステップ・モードに対応できます。表 7-2 に示すとおり、SPI レジスタの MICROSTEP_MODE ビットを使用してステップ・モードを設定します。

表 7-2. マイクロステッピングの設定

MICROSTEP_MODE	ステップ・モード
0000b	100% 電流によるフルステップ (2 相励起)
0001b	71% 電流によるフルステップ (2 相励起)
0010b	非真円 1/2 ステップ
0011b	1/2 ステップ
0100b	1/4 ステップ
0101b	1/8 ステップ

表 7-2. マイクロステッピングの設定 (continued)

MICROSTEP_MODE	ステップ・モード
0110b	1/16 ステップ
0111b	1/32 ステップ
1000b	1/64 ステップ
1001b	1/128 ステップ
1010b	1/256 ステップ

表 7-3 に、フルステップ (71% 電流)、1/2 ステップ、1/4 ステップ、1/8 ステップ動作の電流の相対値とステップ方向を示します。マイクロステッピングの分解能がより高い場合も同じパターンに従います。AOUT 電流は電気角の正弦、BOUT 電流は電気角の余弦です。正電流は、駆動時に xOUT1 ピンから xOUT2 ピンに流れる電流と定義します。

STEP 入力の各立ち上がりエッジで、インデックス状態は表内の次の状態に進みます。この方向は、DIR ピンが論理 High の場合です。DIR ピンが論理 Low の場合、表のシーケンスは反転します。

NOTE

ステップ中にステップ・モードが動的に変更された場合、STEP の立ち上がりエッジで、インデクサは次の有効な状態に進み、新しいステップ・モード設定になります。

初期励起状態は 45° の電気角で、両方のコイルのフルスケール電流の 71% に対応します。この状態には、デバイス起動直後、ロジック・リセット解除直後、スリープ・モード解除直後のいずれかで移行します。

表 7-3. 電流の相対値とステップ方向

1/8 ステップ	1/4 ステップ	1/2 ステップ	フルステップ 71%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	1	1		0%	100%	0.00
2				20%	98%	11.25
3	2			38%	92%	22.50
4				56%	83%	33.75
5	3	2	1	71%	71%	45.00
6				83%	56%	56.25
7	4			92%	38%	67.50
8				98%	20%	78.75
9	5	3		100%	0%	90.00
10				98%	-20%	101.25
11	6			92%	-38%	112.50
12				83%	-56%	123.75
13	7	4	2	71%	-71%	135.00
14				56%	-83%	146.25
15	8			38%	-92%	157.50
16				20%	-98%	168.75
17	9	5		0%	-100%	180.00
18				-20%	-98%	191.25
19	10			-38%	-92%	202.50
20				-56%	-83%	213.75
21	11	6	3	-71%	-71%	225.00
22				-83%	-56%	236.25
23	12			-92%	-38%	247.50

表 7-3. 電流の相対値とステップ方向 (continued)

1/8 ステップ	1/4 ステップ	1/2 ステップ	フルステップ 71%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
24				-98%	-20%	258.75
25	13	7		-100%	0%	270.00
26				-98%	20%	281.25
27	14			-92%	38%	292.50
28				-83%	56%	303.75
29	15	8	4	-71%	71%	315.00
30				-56%	83%	326.25
31	16			-38%	92%	337.50
32				-20%	98%	348.75

表 7-4 に、100% のフルスケール電流によるフルステップ動作を示します。このステッピング・モードは、71% の電流によるフルステップ・モードよりも多くの電力を消費しますが、高いモータ RPM で高トルクを実現できます。

表 7-4. 100% 電流によるフルステップ

フルステップ 100%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	100	100	45
2	-100	100	135
3	-100	-100	225
4	100	-100	315

表 7-5 に、非真円 1/2 ステップ動作を示します。このステッピング・モードは真円 1/2 ステップ動作よりも多くの電力を消費しますが、高いモータ RPM で高トルクを実現できます。

表 7-5. 非真円 1/2 ステッピング電流

非真円 1/2 ステップ	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	0	100	0
2	100	100	45
3	100	0	90
4	100	-100	135
5	0	-100	180
6	-100	-100	225
7	-100	0	270
8	-100	100	315

7.3.4 MCU DAC による VREF の制御

場合によっては、フルスケール出力電流を、モータの速度と負荷に応じて各種の値に変更する必要があります。VREF ピンの電圧をシステムで調整する事でフルスケール電流を変更できます。

この動作モードでは、DAC 電圧が増加するにつれて、フルスケール・レギュレーション電流も減少します。正常に動作させるには、DAC の出力が 3.3V を超えないようにする必要があります。

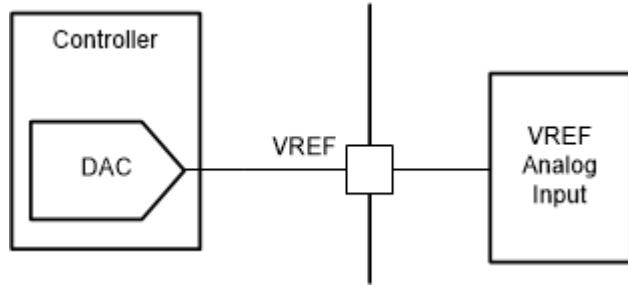


図 7-3. DAC 出力による VREF の制御

また、PWM 信号とローパス・フィルタを使用して VREF ピンを調整することもできます。

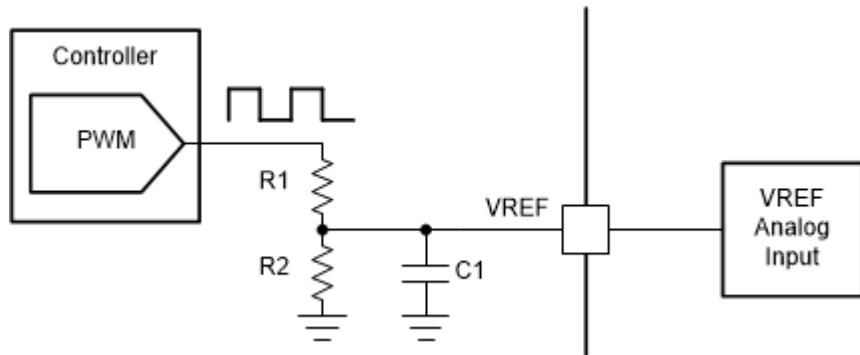


図 7-4. PWM 出力による VREF の制御

7.3.5 電流レギュレーション

モータ巻線に流れる電流は、PWM 電流レギュレーション回路によって制御されます。H ブリッジをイネーブルすると、現在の DC 電圧、巻線のインダクタンス、逆起電力の大きさに応じた速度で、巻線を流れる電流が増加します。電流が電流レギュレーション・スレッショルドに達すると、ブリッジは TOFF レジスタの設定と選択されたディケイ・モードで決まる時間の間ディケイ・モードに移行して電流を低減します。オフ時間が経過すると、ブリッジは再イネーブルされ、次の PWM サイクルを開始します。

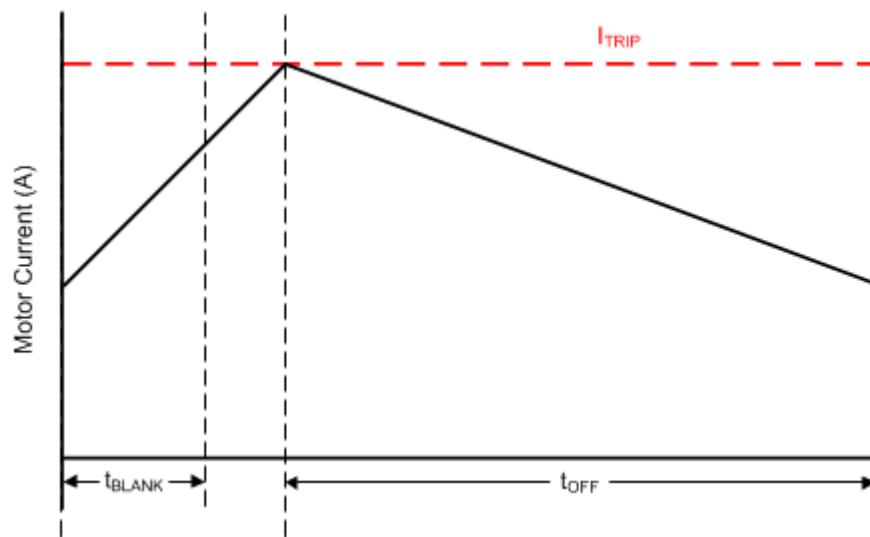


図 7-5. 電流チョッピング波形

PWM レギュレーション電流は、ローサイド・パワー MOSFET と並列に接続した電流センス MOSFET の両端の電圧を監視するコンパレータによって設定されます。電流センス MOSFET は、正弦波で重み付けした電流モード DAC の出力であるリファレンス電流でバイアスされます。この DAC のフルスケール・リファレンス電流は VREF ピンの電圧で設定します。また、TRQ_DAC レジスタにより、リファレンス電流をさらに調整できます。

フルスケール・レギュレーション電流を計算するには式 1 を使用します。

$$I_{FS} (A) = \frac{V_{REF} (V)}{K_v (V/A)} \times TRQ_DAC (\%) = \frac{V_{REF} (V) \times TRQ_DAC (\%)}{1.32 (V/A)} \quad (1)$$

TRQ_DAC は SPI レジスタにより調整されます。表 7-6 に、さまざまな入力の電流スカラ値を示します。

表 7-6. トルク DAC の設定

TRQ_DAC	電流スカラ (TRQ)
0000b	100%
0001b	93.75%
0010b	87.5%
0011b	81.25%
0100b	75%
0101b	68.75%
0110b	62.5
0111b	56.25%
1000b	50%
1001b	43.75%
1010b	37.5%
1011b	31.25%

表 7-6. トルク DAC の設定 (continued)

TRQ_DAC	電流スカラ (TRQ)
1100b	25%
1101b	18.75%
1110b	12.5%
1111b	6.25%

7.3.6 ディケイ・モード

PWM 電流チョッピング中、PWM 電流チョッピング・スレッショルドに達するまで H ブリッジはモータ巻線を駆動します。図 7-6 の項目 1 に、これを示します。

チョッピング電流スレッショルドに達すると、H ブリッジは 2 種類の状態 (ファースト・ディケイまたはスロー・ディケイ) で動作できるようになります。ファースト・ディケイ・モードでは、PWM チョッピング電流スレッショルドに達するとすぐ、巻線電流が逆方向に流れるように反対側の腕の MOSFET に切り換えることで、H ブリッジは状態を反転させます。巻線電流がゼロに近づくと、H ブリッジはディセーブルされ、逆方向の電流がそれ以上流れるのを防止します。図 7-6 の項目 2 に、ファースト・ディケイ・モードを示します。スロー・ディケイ・モードでは、H ブリッジの両方のローサイド MOSFET をオンにすることで巻線電流を再循環させます。図 7-6 の項目 3 に、これを示します。

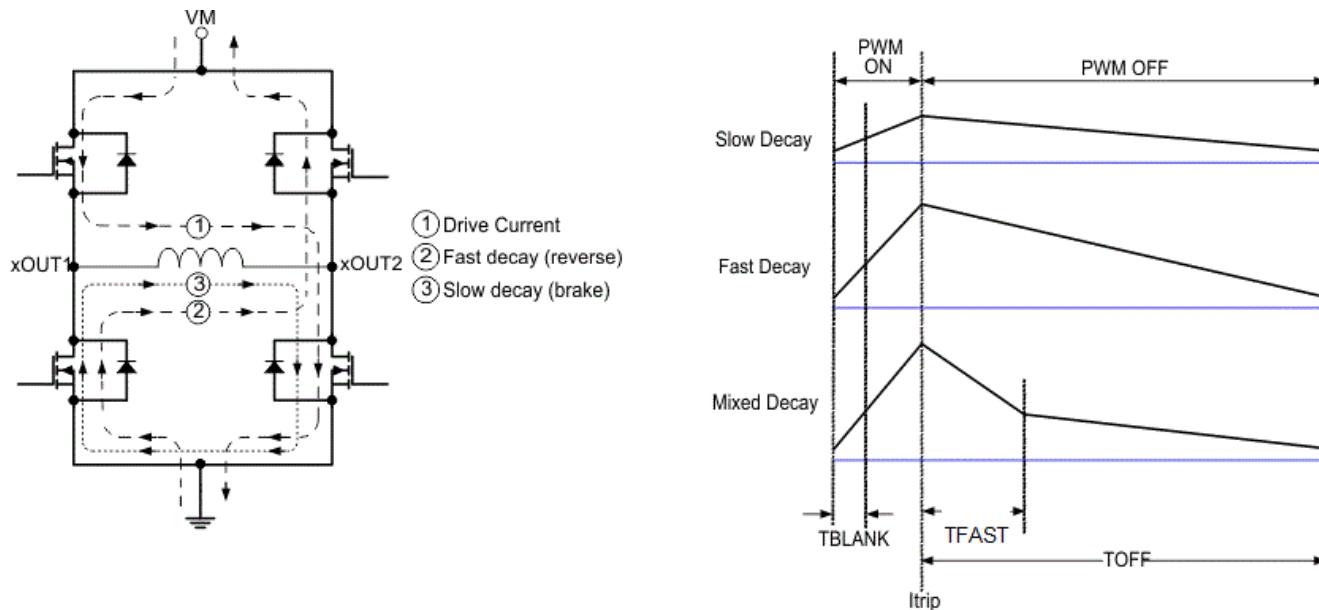


図 7-6. ディケイ・モード

ディケイ・モードは DECAY レジスタで選択されます (表 7-7 を参照)。

表 7-7. ディケイ・モードの設定

ディケイ	増加ステップ	減少ステップ
000b	スロー・ディケイ	スロー・ディケイ
001b	スロー・ディケイ	ミックス・ディケイ: 30% 高速
010b	スロー・ディケイ	ミックス・ディケイ: 60% 高速
011b	スロー・ディケイ	ファースト・ディケイ
100b	ミックス・ディケイ: 30% 高速	ミックス・ディケイ: 30% 高速
101b	ミックス・ディケイ: 60% 高速	ミックス・ディケイ: 60% 高速
110b	スマート・チューン・ダイナミック・ディケイ	スマート・チューン・ダイナミック・ディケイ
111b (デフォルト)	スマート・チューン・リップル・コントロール	スマート・チューン・リップル・コントロール

図 7-7 に、電流の増減を定義します。スロー・ミックス・ディケイ・モードの場合、電流増加ステップ中はディケイ・モードがスローに設定され、電流減少ステップ中はミックス・ディケイに設定されます。フルステップ非真円 1/2 ステップ動作では、減少ステップに対応するディケイ・モードが常に使用されます。

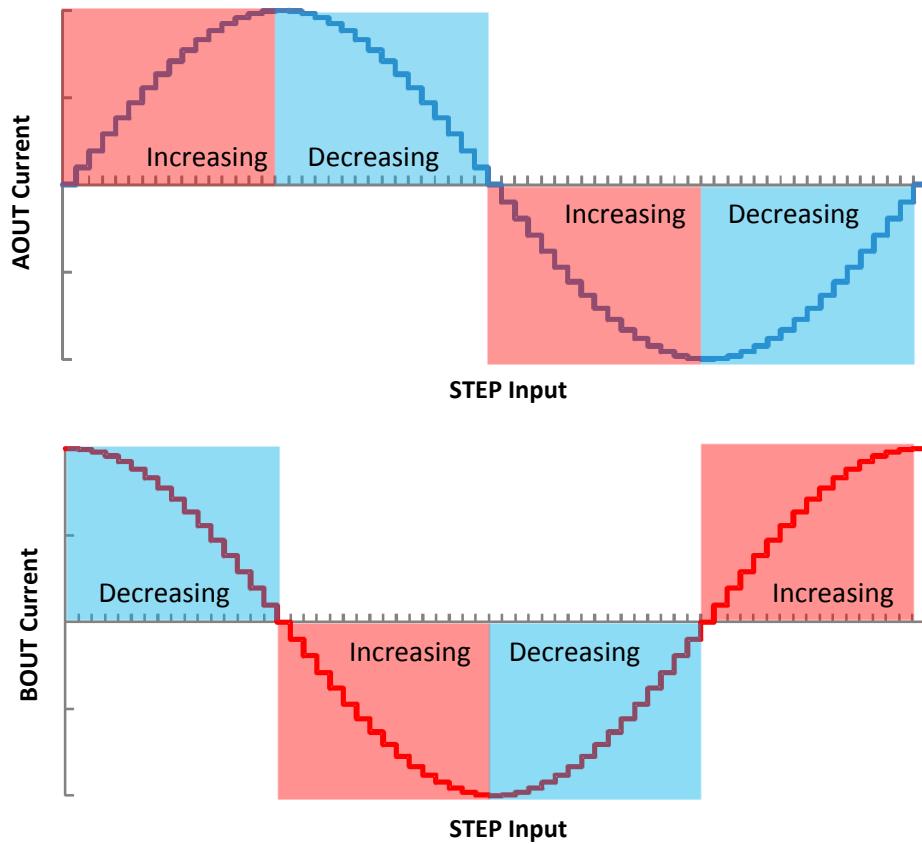


図 7-7. 増減ステップの定義

7.3.6.1 電流増加および減少でスロー・ディケイ

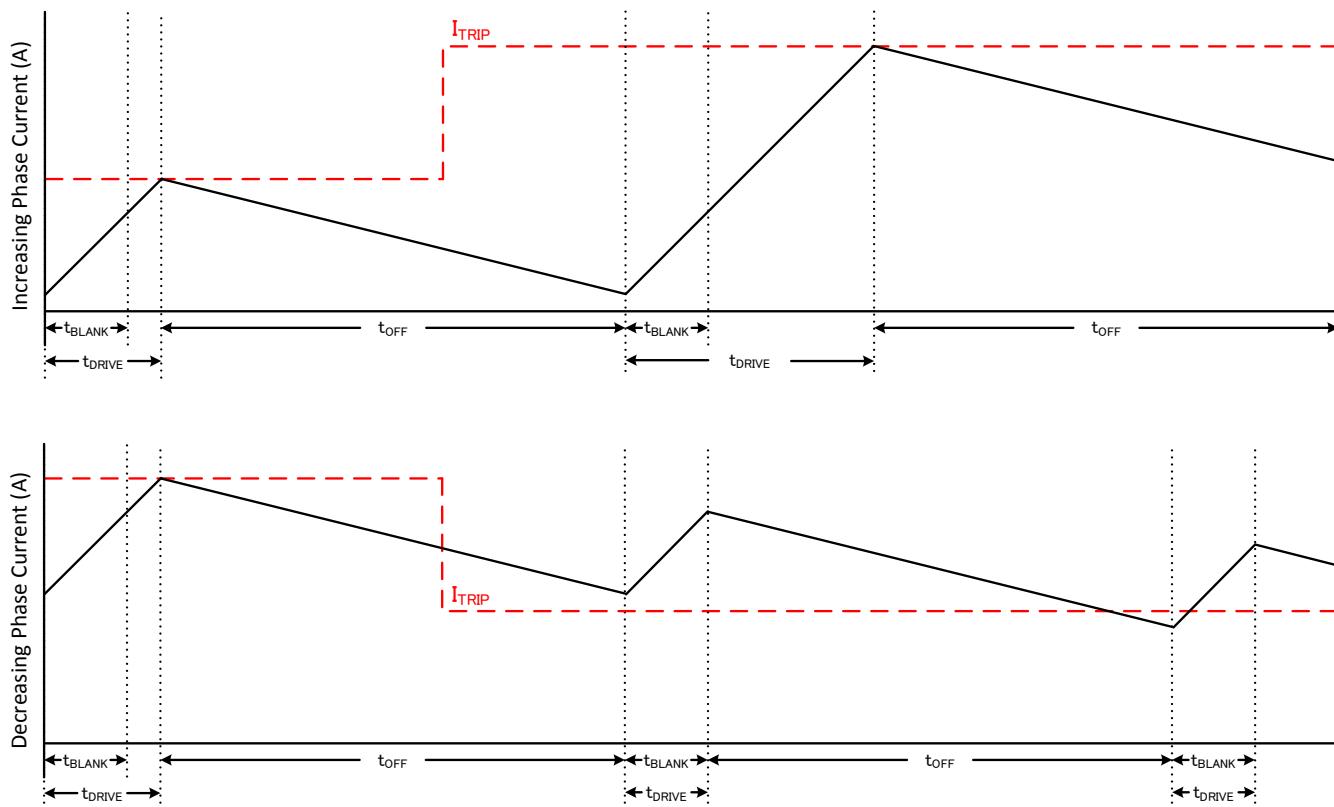


図 7-8. スロー / スロー・ディケイ・モード

スロー・ディケイ中、H ブリッジのローサイド MOSFET はどちらもオンになり、電流を再循環させます。

スロー・ディケイは、与えられた t_{OFF} に対して、ディケイ・モードの中で最も小さい電流リップルを示します。しかし電流減少ステップでは、スロー・ディケイでは電流が非常にゆっくり減少するため、新しい I_{TRIP} レベルに落ち着くのに長い時間がかかります。オフ時間の終わりの電流が I_{TRIP} レベルを上回っている場合、もう一度オフ時間の間スロー・ディケイが延長され、オフ時間の終わりの電流が I_{TRIP} レベルを下回るまで繰り返されます。

巻線電流が長時間保持されている (STEP 入力がないなど) 場合、またはステップ速度が非常に小さい場合、モータ巻線の逆起電力が小さい、または発生しないため、スロー・ディケイでは適切に電流を制御できない場合があります。モータ電流が急増し、電流をレギュレートするのに非常に長いオフ時間が必要になることがあります。場合によっては、このために電流レギュレーションが失われる可能性があります。そのような場合、積極的なディケイ・モードを推奨します。

7.3.6.2 電流増加ではスロー・ディケイ、電流減少ではミックス・ディケイ

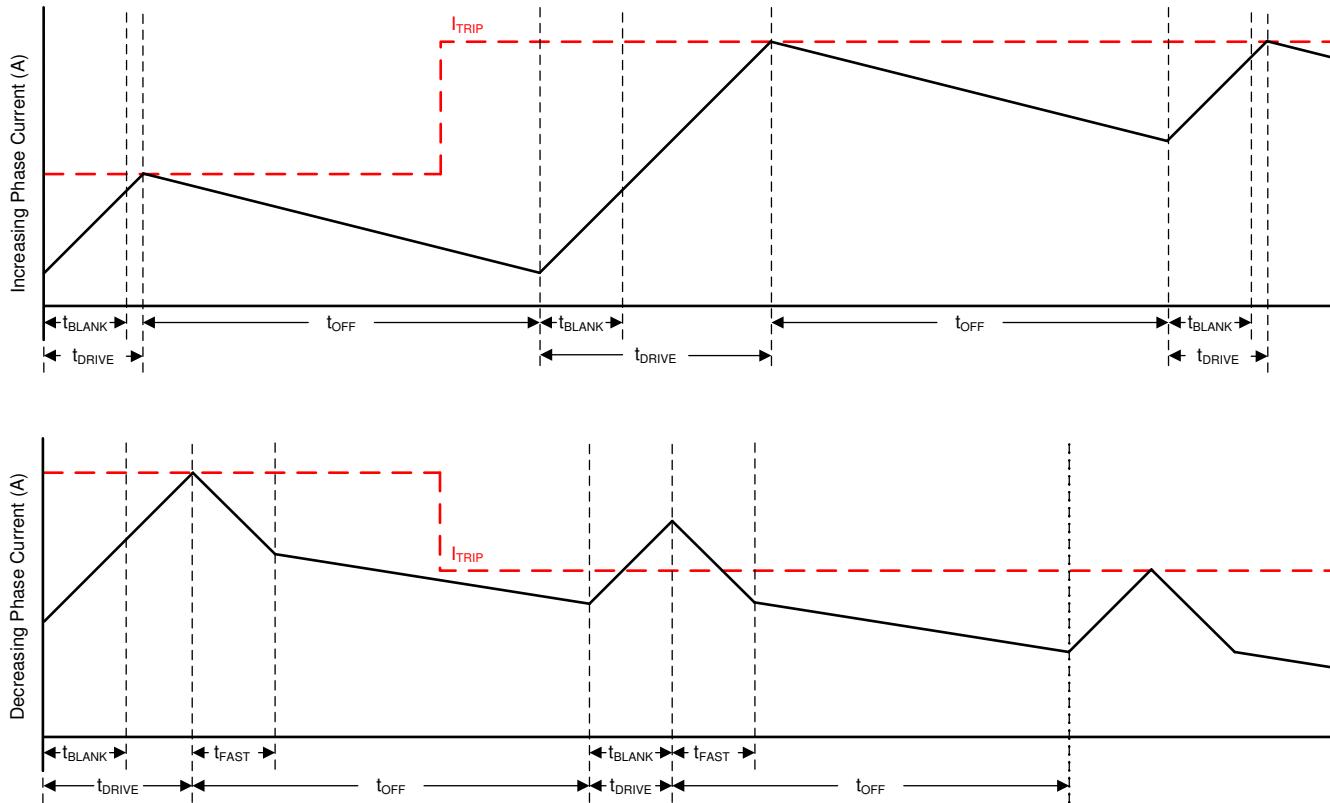


図 7-9. スロー・ミックス・ディケイ・モード

ミックス・ディケイでは、 t_{OFF} 時間の初めの一定期間はファースト・ディケイを行い、その後スロー・ディケイに切り替わります。ミックス・ディケイは電流減少時にのみアクティブになります。電流増加時にはスロー・ディケイが使用されます。

このディケイ・モードでは、電流増加時にスロー・ディケイ・モードと同じ電流リップルが生じていますが、これは、このモードでは電流減少時にスロー・ディケイのみを使用するためです。電流減少時のリップルは、スロー・ディケイ時より大きくなりますが、ファースト・ディケイ時よりは小さくなります。電流減少ステップでは、ミックス・ディケイはスロー・ディケイよりも高速に新しい I_{TRIP} レベルに落ち着きます。

7.3.6.3 電流増加ではスロー・ディケイ、電流減少ではファースト・ディケイ

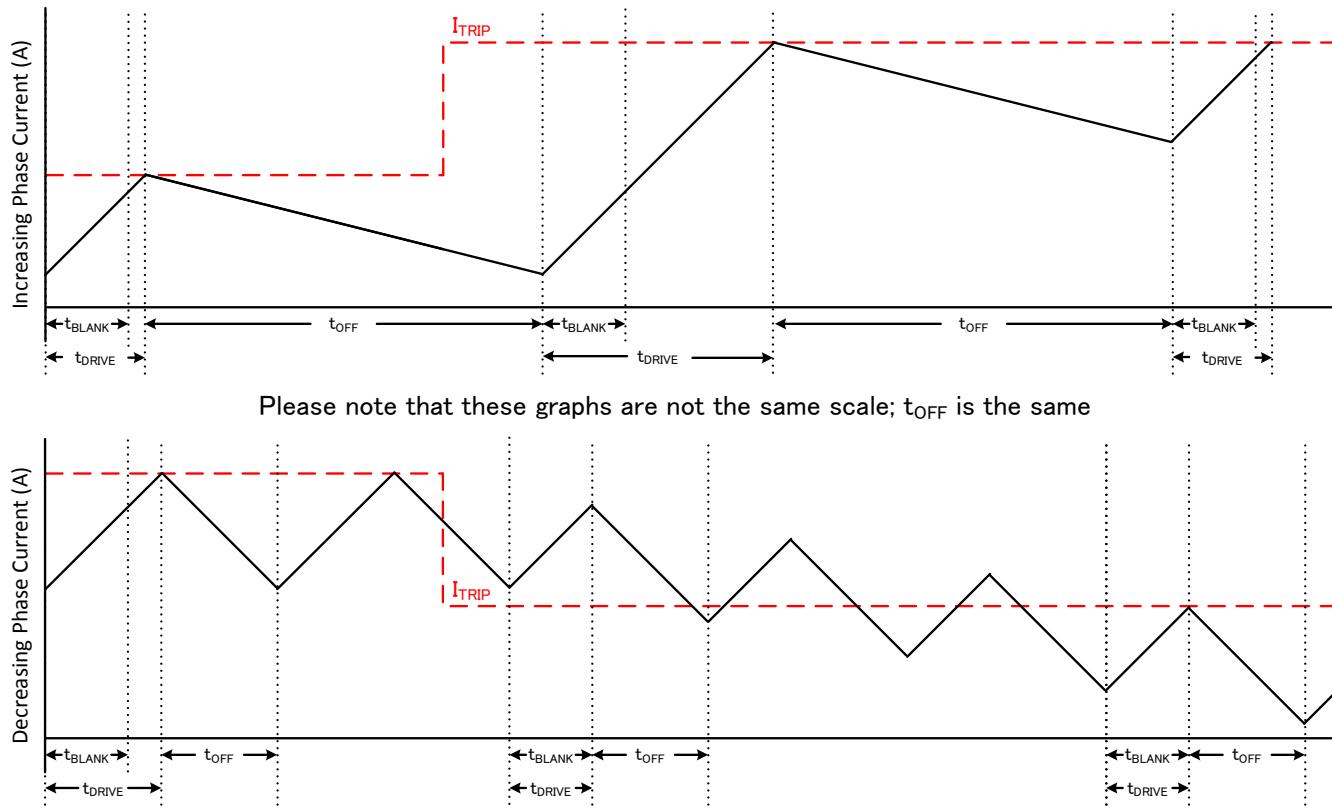


図 7-10. スロー / ファースト・ディケイ・モード

ファースト・ディケイ中、H ブリッジの極性は反転します。電流がゼロに近づくと、H ブリッジはディセーブルされ、逆方向の電流を防止します。このモードでは、ファースト・ディケイは電流減少時にのみアクティブになります。電流増加時にはスロー・ディケイが使用されます。

ファースト・ディケイは、与えられた t_{OFF} に対して、ディケイ・モードの中で最も大きい電流リップルを示します。電流減少ステップでは、電流が非常に速く減少するため、スロー・ディケイよりも遷移時間ははるかに短くなります。

7.3.6.4 電流増加および減少でミックス・ディケイ

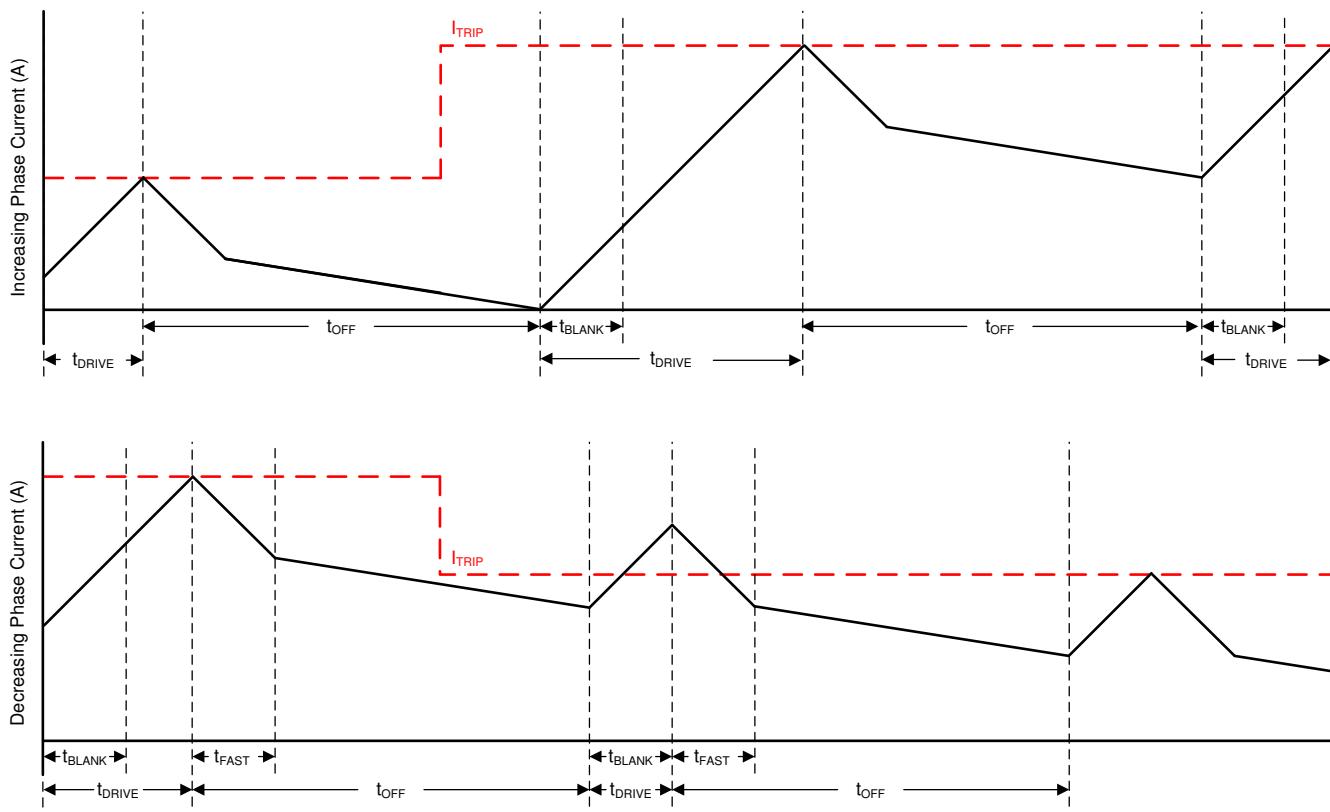


図 7-11. ミックス・ミックス・ディケイ・モード

ミックス・ディケイでは、 t_{OFF} 時間の初めの一定期間はファースト・ディケイを行い、その後スロー・ディケイに切り替わります。このモードでは、電流増加ステップと電流減少ステップの両方ともミックス・ディケイになります。

このモードでのリップルは、スロー・ディケイ時よりも大きくなりますが、ファースト・ディケイ時よりも小さくなります。電流減少ステップでは、ミックス・ディケイはスロー・ディケイよりも高速に新しい I_{TRIP} レベルに落ち着きます。

巻線電流が長時間保持されている (STEP 入力がないなど) 場合、またはステップ速度が非常に小さい場合、モータ巻線の逆起電力が小さい、または発生しないため、スロー・ディケイでは適切に電流を制御できない場合があります。この場合、モータ電流が急増し、電流をレギュレートするのに非常に長いオフ時間が必要になることがあります。電流増加および減少のミックス・ディケイ・モードを使用すると、モータ巻線に逆起電力が生じない場合、電流は制御状態を維持できます。

7.3.6.5 スマート・チューン・ダイナミック・ディケイ

スマート・チューン電流レギュレーション方式は、従来の固定オフ時間電流レギュレーション方式に比べて高度な電流レギュレーション制御手法です。スマート・チューン電流レギュレーション方式を使うと、ステッピング・モータ・ドライバは以下のようないくつかの要因に基づいてディケイ方式を調整できます。

- モータの巻線抵抗およびインダクタンス
- モータの経年変化
- モータの動的速度および負荷
- モータの電源電圧変動
- 立ち上がりおよび立ち下がりステップでのモータの逆起電力の差
- ステップ遷移
- 小電流と大電流の di/dt

本デバイスは 2 つのスマート・チューン電流レギュレーション・モード (スマート・チューン・ダイナミック・ディケイとスマート・チューン・リップル・コントロール) を備えています。

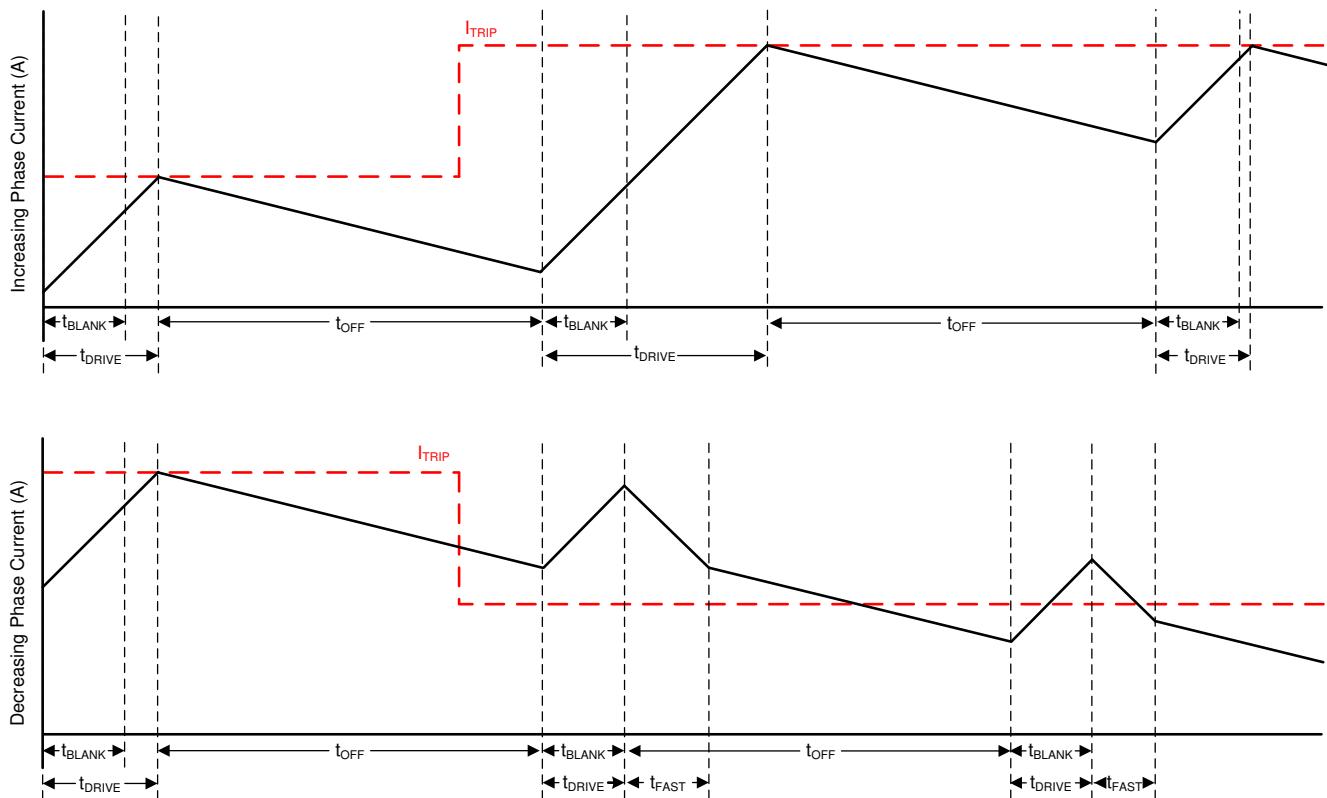


図 7-12. スマート・チューン・ダイナミック・ディケイ・モード

スマート・チューン・ダイナミック・ディケイでは、スロー、ミックス、ファースト・ディケイといったディケイ・モードが自動的に構成されるため、ディケイ・モードの選択が大幅に簡略化されます。ミックス・ディケイでは、スマート・チューンにより、ミックス・ディケイの総時間に対するファースト・ディケイの割合が動的に調整されます。この機能により、モータのリップルを最小限に抑える最良のディケイ設定が自動的に決定されるため、モータのチューニングが不要になります。

ディケイ・モード設定は、各 PWM サイクルで繰り返し最適化されます。モータ電流が目標トリップ・レベルを超えると、レギュレーション損失を防ぐため、次のサイクルでディケイ・モードはより積極的になります (ファースト・ディケイの割合を増やします)。目標トリップ・レベルに達するまでに長い駆動時間を必要とする場合は、リップルを抑え、効率を上げるために、次のサイクルでディケイ・モードはより消極的になります (ファースト・ディケイの割合を減らします)。電流減少ステップでは、次の電流ステップに素早く達するために、スマート・チューン・ダイナミック・ディケイは自動的にファースト・ディケイに切り替わります。

スマート・チューン・ダイナミック・ディケイは、電流リップルを最小限に抑える必要があると同時に、電流レギュレーション方式で固定周波数を維持する必要があるアプリケーションに最適です。

7.3.6.6 スマート・チューン・リップル・コントロール

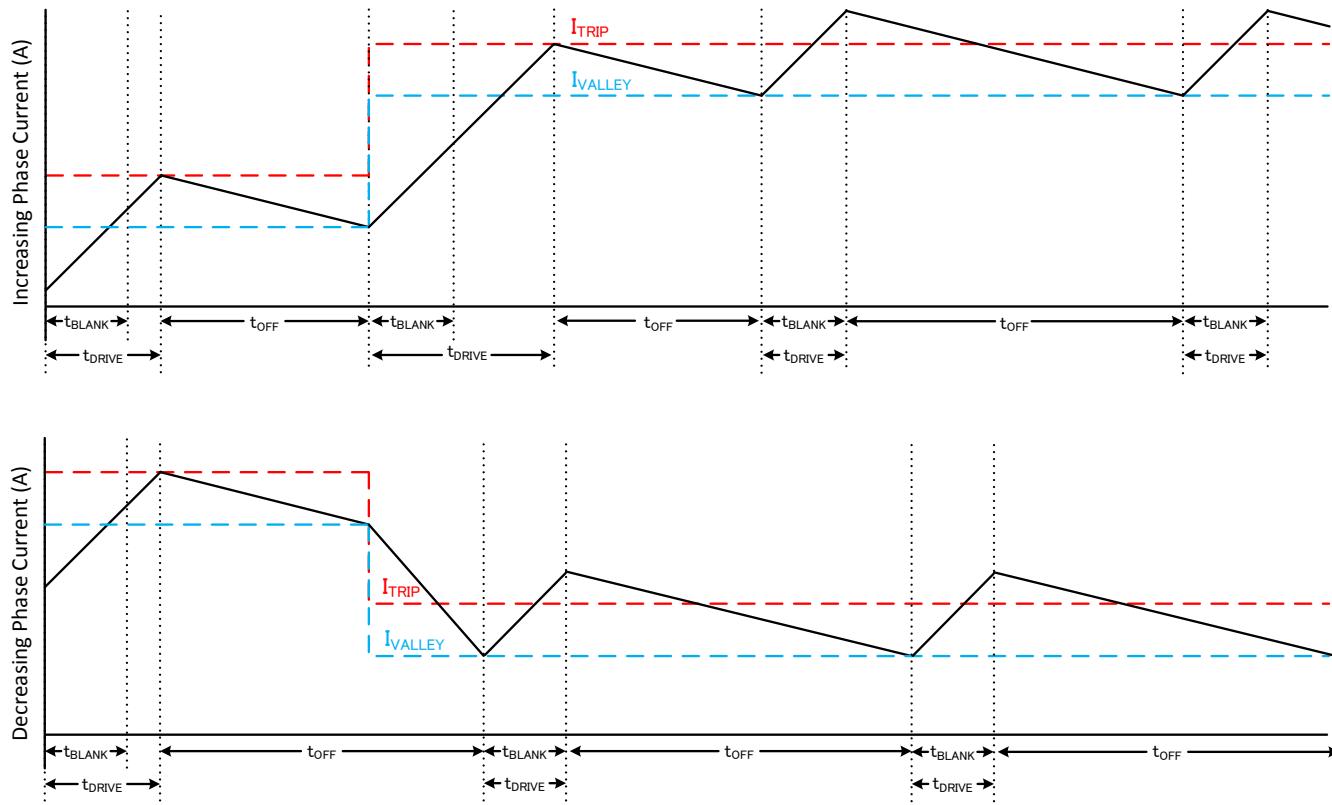


図 7-13. スマート・チューン・リップル・コントロール・ディケイ・モード

スマート・チューン・リップル・コントロールは、 I_{TRIP} レベルと I_{VALLEY} レベルを設定することで動作します。電流レベルが I_{TRIP} に達すると、ドライバは t_{OFF} 時間が経過するまでスロー・ディケイに移行する代わりに、 I_{VALLEY} に達するまでスロー・ディケイに移行します。スロー・ディケイは、両方のローサイド MOSFET がオンになって電流が再循環できるスロー / スロー・ディケイと同様に動作します。このモードでは、電流レベルと動作パラメータに応じて t_{OFF} が変化します。

このディケイ・モードのリップル電流は、RC_RIPPLE[1:0] ビットによってプログラミングされます。リップル電流は、特定のマイクロステップ・レベルの I_{TRIP} に依存します。

表 7-8. 電流リップル設定

RC_RIPPLE	特定のマイクロステップ・レベルでの電流リップル
00b	$19mA + I_{TRIP}$ の 1%
01b	$19mA + I_{TRIP}$ の 2%
10b	$19mA + I_{TRIP}$ の 4%
11b	$19mA + I_{TRIP}$ の 6%

このリップル制御方法によって、はるかに厳密な電流レベルのレギュレーションが可能になり、モータの効率とシステムの性能が向上します。スマート・チューン・リップル制御は、可変オフ時間レギュレーション方式に対応するシステムで使用でき、電流レギュレーションによって小さな電流リップルを達成できます。リップル電流が最小限であり、PWM 周波数が可聴範囲よりも確実に高くなる設定を選択します。

7.3.7 PWM オフ時間

TOFF[1:0] ビットは、表 7-9 に示すように、スマート・チューン・リップル・コントロールを除くすべてのディケイ・モードの PWM オフ時間を設定します。このオフ時間設定は動的に変更できます。オフ時間設定を変更した後、10 μ s のデグリッチ時間後に新しいオフ時間が適用されます。

表 7-9. オフ時間の設定

TOFF	オフ時間
00b	7μs
01b	16μs
10b	24μs
11b	32μs

7.3.8 ブランディング時間

H ブリッジで電流が出力されると (駆動相の開始)、電流検出コンパレータ出力を一定時間 (t_{BLANK}) 無視した後、電流検出回路を有効にします。ブランкиング時間は、PWM の最小駆動時間も設定します。ブランкиング時間は約 1 μ s です。

7.3.9 チャージ・ポンプ

ハイサイド N チャネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。

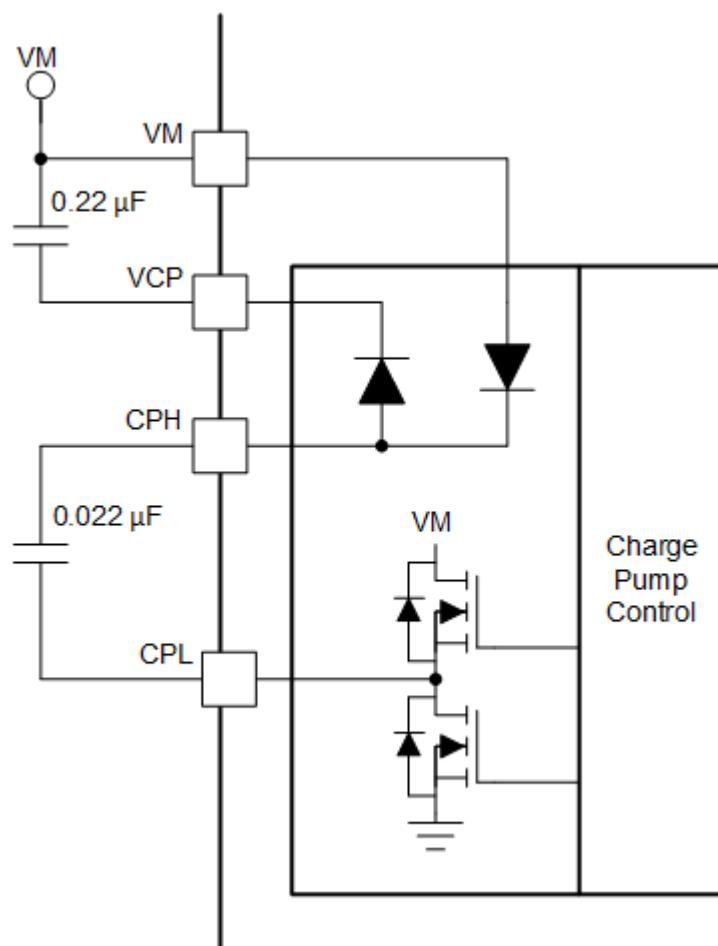


図 7-14. チャージ・ポンプのブロック図

7.3.10 リニア電圧レギュレータ

本デバイスには、DVDD 用にリニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、VREF リファレンス電圧に使用することができます。DVDD は、最大 2mA の負荷電流を供給できます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 5V です。DVDD LDO の電流負荷が 2mA を超えると、出力電圧は大きく低下します。

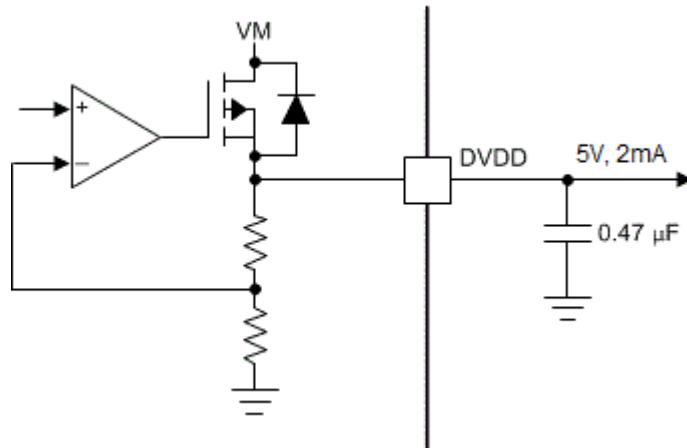


図 7-15. リニア電圧レギュレータのブロック図

論理レベル入力を永続的に High に接続する必要がある場合は、外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入力プルダウン抵抗に流れないためです。参考までに、論理レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続しないでください。さもないと本デバイスはスリープ・モードから出ることができません。

7.3.11 論理レベル、トライレベル、クワッドレベルのピン構造図

図 7-17 に STEP、DIR、nSLEEP、SDI、ENABLE、SCLK ピンの入力構造を示します。

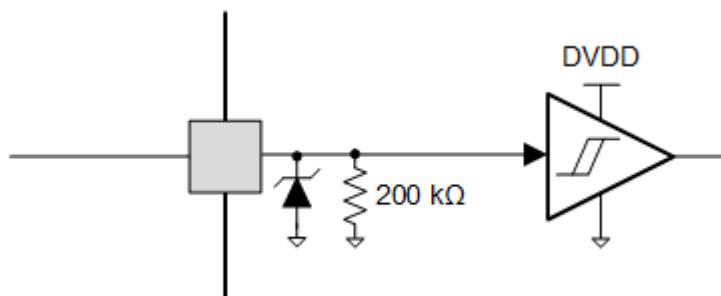


図 7-16. 論理レベル入力ピン構造図

図 7-17 に、論理レベルピン nSCS の入力構造を示します。

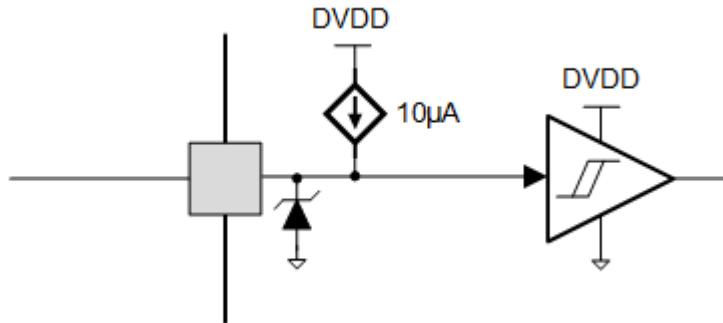


図 7-17. 内部プルアップ付き論理レベル入力ピン構造図

7.3.11.1 nFAULT ピン

nFAULT ピンはオープンドレインの出力を持っているため、5V、3.3V または 1.8V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンは論理 Low になります。起動後、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます。3.3V または 1.8V にプルアップする場合、外部電源を使う必要があります。

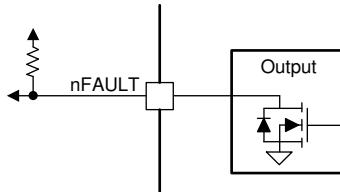


図 7-18. nFAULT ピン

7.3.12 保護回路

本デバイスは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、開放負荷、デバイス過熱イベントからデバイスを保護します。また、過負荷またはエンドオブライン動作の場合も本デバイスはストール検出からデバイスを保護します。

7.3.12.1 VM 低電圧誤動作防止 (UVLO)

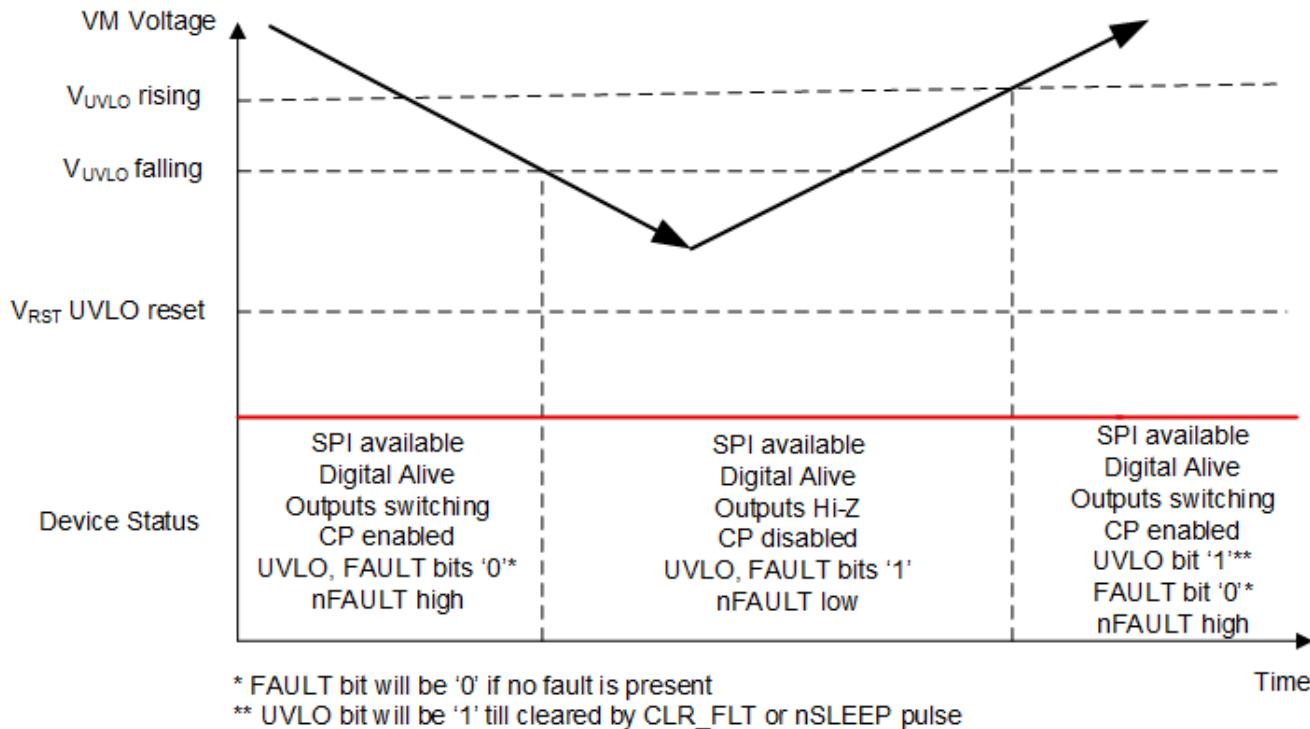


図 7-19. 電源電圧ランプ・プロファイル

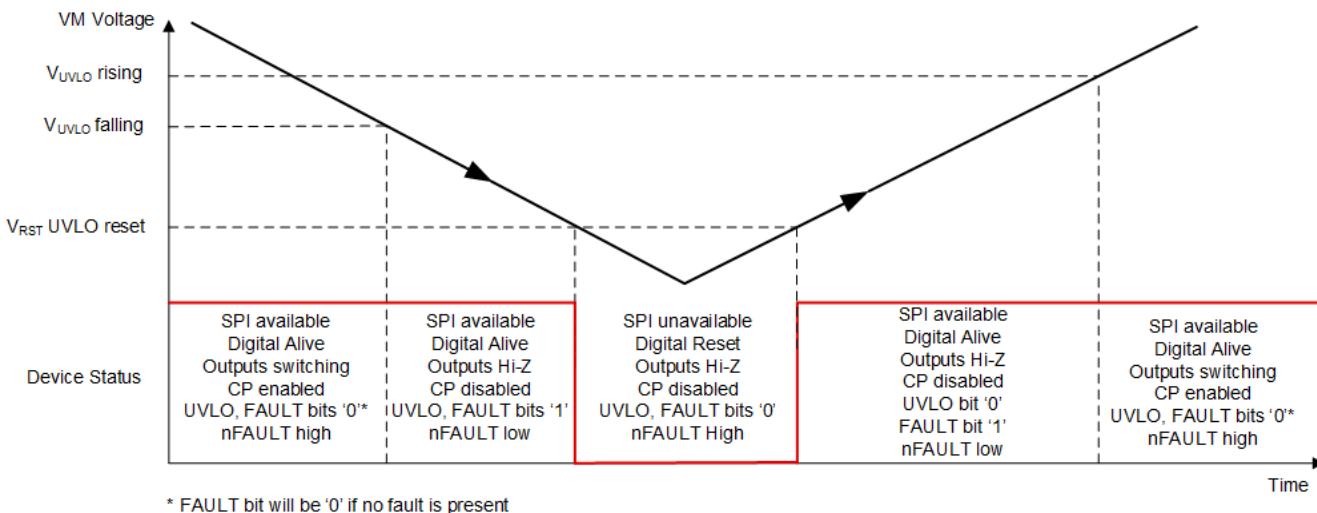


図 7-20. 電源電圧ランプ・プロファイル

VM ピンの電圧が UVLO 立ち下がりスレッショルド電圧を下回ると常に、すべての出力がディセーブルされ (ハイ・インピーダンス)、チャージ・ポンプ (CP) がディセーブルされます。VM 電圧が UVLO 立ち上がりスレッショルド電圧を上回ると、通常動作に復帰します (モータ・ドライバとチャージ・ポンプ)。

VM ピンの電圧が、UVLO 立ち下がりスレッショルド電圧 (標準値 4.25V) を下回っていても、VM UVLO リセット電圧 (VRST、3.9V 以下) を上回ると、SPI 通信が利用できるようになり、本デバイスのデジタル・コアがアクティブになり、SPI レジスタの FAULT ビットと UVLO ビットが High になり、nFAULT ピンが Low に駆動されます (図 7-19 を参照)。この状態から、VM 電圧が UVLO 立ち上がりスレッショルド電圧 (標準値 4.35V) を上回ると、nFAULT ピンが解放され (外部電

圧にプルアップされる)、FAULT ビットがリセットされます。しかし UVLO ビットは、CLR_FLT ビットまたは nSLEEP リセット・パルスによってクリアされるまで High にラッピングされたまま維持されます。

VM ピンの電圧が VM UVLO リセット電圧 (V_{RST} 、3.9V 以下) を下回ると、SPI 通信が利用できなくなり、デジタル・コアはシャットダウンし、FAULT ビットと UVLO ビットは Low になります、nFAULT ピンは High になります。次のデバイス起動中、VM 電圧が V_{RST} 電圧を上回ると、デジタル・コアが起動し、UVLO ビットが Low に維持されますが、FAULT ビットは High になります、nFAULT ピンは Low になります (図 7-20 を参照)。VM 電圧が VM UVLO 立ち上がりスレッショルドを上回ると、FAULT ビットはリセットされ、UVLO ビットは Low に維持され、nFAULT ピンは High になります。

7.3.12.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。SPI レジスタの FAULT ビットと CPUV ビットが High になります。VCP 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。CPUV ビットは、CLR_FLT ビットまたは nSLEEP リセット・パルスによってクリアされるまでセットされたまま維持されます。

7.3.12.3 過電流保護 (OCP)

各 FET のアナログ電流制限回路は、ゲート駆動を止めることで、FET に流れる電流を制限します。この電流制限が t_{OCP} 時間よりも長く続いた場合、その特定の H ブリッジの FET がディセーブルされ、nFAULT ピンは Low に駆動されます。SPI レジスタの FAULT ビットと OCP ビットが High にラッピングされます。

xOUTx と VM が短絡した場合、DIAG ステータス 1 レジスタの対応する OCP_LSx_x ビットが High になります。同様に、xOUTx とグランドが短絡した場合、対応する OCP_HSx_x ビットが High になります。たとえば、AOUT1 と VM が短絡した場合、OCP_LS1_A ビットが High になり、BOUT2 とグランドが短絡した場合、OCP_HS2_B ビットが High になります。

この条件の間、チャージ・ポンプはアクティブのまま維持されます。過電流保護は 2 つのモード (ラッピング・シャットダウンと自動リトライ) で動作できます。

7.3.12.3.1 ラッピング・シャットダウン (OCP_MODE = 0b)

このモードでは、OCP イベントの後、関連する出力がディセーブルされ、nFAULT ピンが Low に駆動されます。CLR_FLT コマンドが発行された後、nSLEEP リセット・パルスが印加された後、電源を切って再投入した後のいずれかで通常動作に復帰します。これは、本デバイスの OCP イベントのデフォルトのモードです。

7.3.12.3.2 自動リトライ (OCP_MODE = 1b)

このモードでは、OCP イベントの後、関連する出力がディセーブルされ、nFAULT ピンが Low に駆動されます。 t_{RETRY} 時間が経過し、フォルト条件が解消した後、自動的に通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.12.4 ストール検出

ステッピング・モータでは、モータの巻線電流、逆起電力、機械的トルク負荷の間に明確な関係があります (図 7-21 を参照)。与えられた巻線電流に対して、モータの負荷がモータの最大トルク能力に近づくと、逆起電力の位相は巻線電流に応じてシフトします。DRV8434S は、モータ電流の立ち上がり電流象限と立ち下がり電流象限の間の逆起電力の位相の変化を検出することで、モータの過負荷ストール条件またはエンドオブライン・トラベルを検出できます。

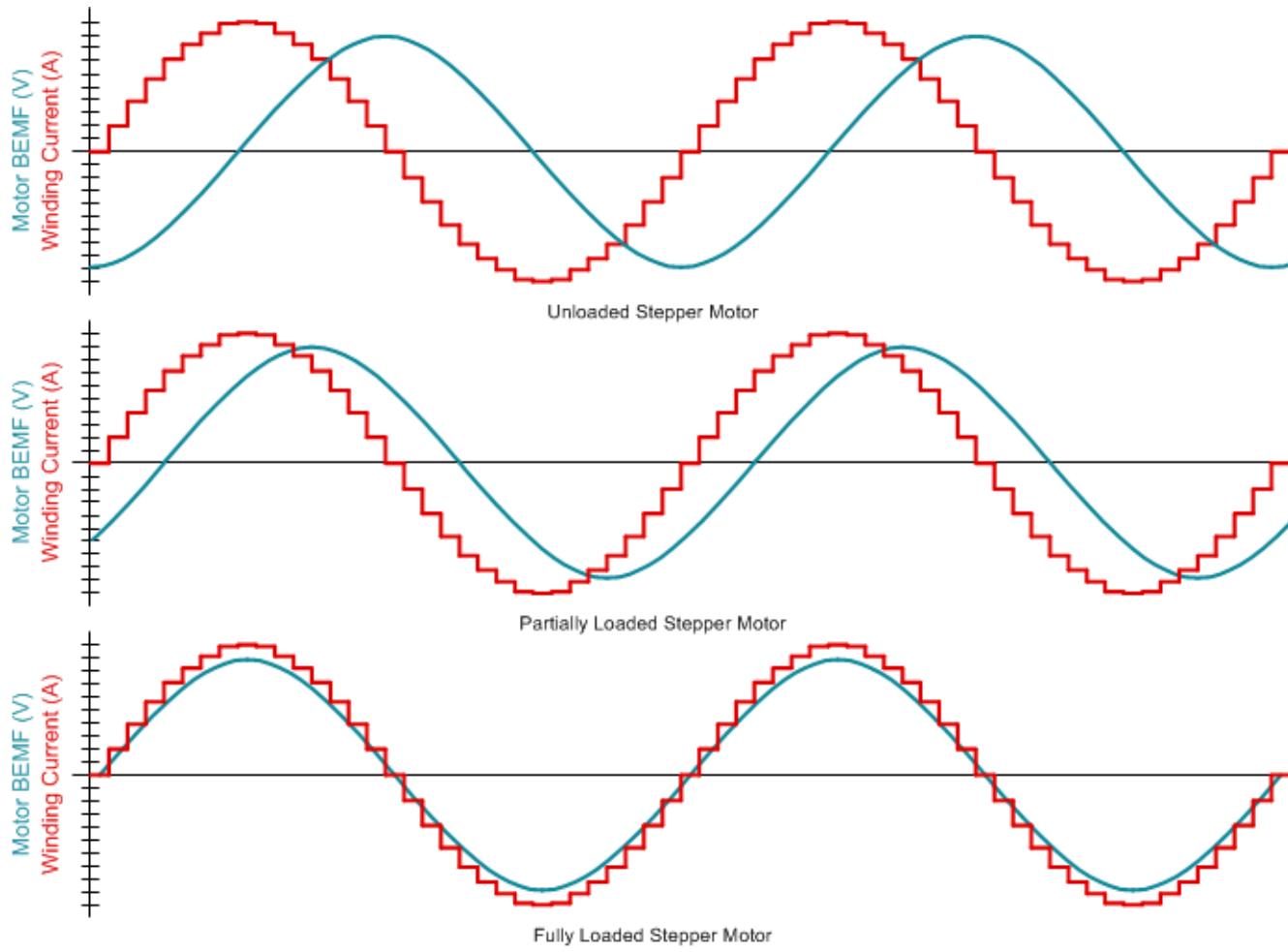


図 7-21. モータの逆起電力の監視によるストール検出

このストール検出アルゴリズムは、デバイスがスマート・チューン・リップル・コントロール・ディケイ・モードで動作するようにプログラムされているときのみ機能します。ストール検出を有効にするには **EN_STL** ビットを「1」にする必要があります。また、何らかのフォルト条件 (例:UVLO、OCP、OL、OTSD) が存在する場合、ストール検出は無効になります。

このアルゴリズムは、PWM オフ時間を監視することで立ち上がり電流象限と立ち下がり電流象限の逆起電力を比較し、12 ビット・レジスタ **TRQ_COUNT** で表される値を生成します。この比較は、**TRQ_COUNT** 値がモータ電流、周囲温度、電源電圧に事実上依存しないような方法で行われます。このアルゴリズムはフルステップ動作モードをサポートしています。

モータの負荷が軽い場合、**TRQ_COUNT** はゼロ以外の値になります。モータがストール条件に近づくにつれて **TRQ_COUNT** はゼロに近づくため、トルク・カウントを使ってストール条件を検出できます。**TRQ_COUNT** がストール・スレッショルド (12 ビット **STALL_TH** レジスタで表されます) を少しでも下回ると、本デバイスはストールを検出し、SPI レジスタの **STALL**、**STL**、**FAULT** ビットが **High** にラッチされます。**nFAULT** ピンでストール検出フォルトを通知するには、**STL REP** ビットが「1」である必要があります。**STL REP** ビットが「1」の場合、ストールが検出されると **nFAULT** ピンは **Low** に駆動されます。

ストール条件では、モータのシャフトは回転しません。ストール条件が解消すると、モータは再び回転を開始し、モータは目標速度まで回転数を増加させます。**CLR_FLT** ビットと **nSLEEP** リセット・パルスのどちらかによって障害クリア・コマンドが発行されると、**nFAULT** は解放され、**FAULT** レジスタはクリアされます。

TRQ_COUNT は、回転するモータの最新の 4 つの電気的半サイクルの平均トルク・カウントとして計算されます。その計算値は次の 100ns 以内に本デバイスの **CTRL8** および **CTRL9** レジスタで更新されます。これらのレジスタは次の更新まで変更されません。その後の更新は電気的半サイクルごとに行われます。

モータのコイルの抵抗が大きいと、TRQ_COUNT が小さくなる場合があります。TRQ_SCALE ビットを使うと、小さい TRQ_COUNT 値を拡大し、その後の処理を簡単にできます。最初に計算された TRQ_COUNT 値が 500 未満であり、かつ TRQ_SCALE ビットが「1」の場合、TRQ_COUNT は 8 倍されます。TRQ_SCALE ビットが「0」の場合、TRQ_COUNT はアルゴリズムによる当初の計算値を維持します。

ストール・スレッショルドは 2 つの方法で設定できます。ユーザーが STALL_TH ビットを書き込む方法と、ストール学習プロセスを使ってアルゴリズムにストール・スレッショルド値を学習させる方法です。ストール学習プロセスは、STL_LRN ビットを「1」に設定することで開始します。アルゴリズムが理想的なストール・スレッショルドを学習できるように、意図的にモータを短時間ストールさせます。学習が成功すると、STALL_TH レジスタは学習したストール・スレッショルド値で更新されます。STL_LRN_OK ビットは、学習が成功した後 High になります。

学習されたある速度のストール・スレッショルドは、別の速度ではうまく機能しない場合があります。モータ速度が大きく変化するたびにストール・スレッショルドを再学習させることを推奨します。

7.3.12.5 開放負荷検出 (OL)

どちらかのコイルの巻線電流が、オープン負荷電流スレッショルド (I_{OL}) とインデクサによって設定された I_{TRIP} レベルを下回り、この条件が開放負荷検出時間 (t_{OL}) を超えて持続した場合、開放負荷条件が検出されます。開放負荷検出を有効にするには、EN_OL ビットを「1」にする必要があります。

開放負荷フォルトが検出されると、SPI レジスタの OL ビットと FAULT ビットが High にラッチされ、nFAULT ピンが Low に駆動されます。OL_A ビットが High の場合、それは巻線 A (AOUT1 と AOUT2 の間) の開放負荷フォルトを示します。同様に、BOUT1 と BOUT2 の間の開放負荷フォルトによって OL_B ビットが High になります。

OL_MODE ビットが「1」の場合、開放負荷条件が解消した後、nFAULT ラインはただちに解放されます。OL_MODE ビットが「0」の場合、開放負荷条件が解消し、かつ CLR_FLT ビットと nSLEEP リセット・パルスのどちらかによって障害クリア・コマンドが発行された後、nFAULT ラインはただちに解放されます。本デバイスの電源を切って再投入した後、またはスリープ・モードから復帰した後にも、このフォルトはクリアされます。

7.3.12.6 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ・ポイント (T_{OTW}) を上回ると、SPI レジスタの OTW ビットと TF ビットがセットされます。デバイスの動作は継続され、追加動作が実行されることはありません。この条件の間、チャージ・ポンプはアクティブのまま維持されます。

ダイ温度が過熱警告のヒステリシス・ポイント (T_{HYS_OTW}) を下回ると、OTW ビットと TF ビットは自動的にクリアされます。

また、TW_REP ビットを 1b に設定することで、nFAULT ピンでフォルトを通知し、かつ SPI レジスタの FAULT ビットをセットするように OTW ビットを構成することもできます。

7.3.12.7 サーマル・シャットダウン (OTSD)

デバイス温度がサーマル・シャットダウン限界値 (T_{OTSD}) を超えると、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件では、チャージ・ポンプはディセーブルされます。さらに、FAULT ビット、TF ビット、OTS ビットが High にラッチされます。この保護機能をディスエーブルにすることはできません。過熱保護は 2 つのモード (ラッチド・シャットダウンと自動復帰) で動作できます。

7.3.12.7.1 ラッチド・シャットダウン (OTSD_MODE = 0b)

このモードでは、OTSD イベントの後、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。SPI レジスタの FAULT ビット、TF ビット、OTS ビットが High にラッチされます。nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。これは、OTSD のデフォルトのモードです。

7.3.12.7.2 自動復帰 (OTSD_MODE = 1b)

このモードでは、OTSD イベントの後、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。SPI レジスタの FAULT ビット、TF ビット、OTS ビットが High にラッチされます。接合部温度が、過熱スレッショルド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回ると、通常動作に復帰します (モータ・ドライバの動作と nFAULT ラインの解放)。FAULT ビット、TF ビット、OTS ビットが High にラッチされたまま維持され、CLR_FLT ビットまたは nSLEEP リセット・パルスのいずれかによって障害クリア・コマンドが実行されるまで過熱状態が発生していたことを示します。

フォルト条件のまとめ

表 7-10. フォルト条件のまとめ

フォルト	条件	構成	異常通知	H ブリッジ	チャージ・ポンプ	インデクサ	ロジック	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$ (最大値 4.35V)	—	nFAULT / SPI	ディセーブル	ディセーブル	ディセーブル	リセット ($V_{VM} < 3.9V$)	自動: $VM > V_{UVLO}$ (最大値 4.45V)
VCP 低電圧検出 (CPUV)	$V_{CPUV} < V_{CPUV}$ (標準値 $VM + 2V$)	—	nFAULT / SPI	ディセーブル	動作	動作	動作	$V_{CPUV} > V_{CPUV}$ (標準値 $VM + 2.7V$)
過電流 (OCP)	$I_{OUT} > I_{OCP}$ (最小値 4A)	OCP_MODE = 0b	nFAULT / SPI	ディセーブル	動作	動作	動作	ラップ: CLR_FLT / nSLEEP
		OCP_MODE = 1b	nFAULT / SPI	ディセーブル	動作	動作	動作	自動リトライ: t_RETRY
開放負荷 (OL)	負荷が検出されない	EN_OL = 1b	nFAULT / SPI	動作	動作	動作	動作	通知のみ
ストール検出 (STALL)	モータのストール / 停止	STL_REP = 0b	SPI	動作	動作	動作	動作	CLR_FLT / nSLEEP
		STL_REP = 1b	nFAULT / SPI	動作	動作	動作	動作	
過熱警告 (OTW)	$T_J > T_{OTW}$	TW_REP = 1b	nFAULT / SPI	動作	動作	動作	動作	自動: $T_J < T_{OTW} - T_{HYS_OTW}$
		TW_REP = 0b	SPI	動作	動作	動作	動作	
サーマル・シャットダウン (OTSD)	$T_J > T_{OTSD}$	OTSD_MODE = 0b	nFAULT / SPI	ディセーブル	ディセーブル	動作	動作	ラップ: CLR_FLT / nSLEEP
		OTSD_MODE = 1b	SPI	ディセーブル	ディセーブル	動作	動作	自動: $T_J < T_{OTSD} - T_{HYS_OTSD}$

7.4 デバイスの機能モード

7.4.1 スリープ・モード (nSLEEP = 0)

本デバイスの状態は nSLEEP ピンで制御されます。nSLEEP ピンが Low になると、本デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内蔵 MOSFET、DVDD レギュレータ、チャージ・ポンプ、SPI がディセーブルされます。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、本デバイスは自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.2 ディセーブル・モード (nSLEEP = 1、ENABLE = 0)

ENABLE ピンは、本デバイスのハーフ・ブリッジをイネーブルまたはディセーブルにするために使用されます。ENABLE ピンが Low になると、出力ドライバは無効化され、ハイ・インピーダンス状態になります。EN_OUT ビットは、出力ドライバを無効化する目的でも使用できます。EN_OUT ビットを「0」にすると、出力ドライバは無効化され、ハイ・インピーダンス状態になります。

表 7-11. 出力ドライバを有効または無効にするための条件

nSLEEP	ENABLE	EN_OUT	H ブリッジ
0	ドント・ケア	ドント・ケア	ディセーブル
1	0	0	ディセーブル
1	0	1	ディセーブル
1	1	0	ディセーブル
1	1	1	イネーブル

7.4.3 動作モード (nSLEEP = 1、ENABLE = 1)

nSLEEP ピンが High、ENABLE ピンが High、VM > UVLO のすべてに該当する場合、本デバイスはアクティブ・モードに入ります。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.4 nSLEEP リセット・パルス

ラッチされたフォルトは、SPI レジスタの CLR_FLT ビットに加えて、nSLEEP パルスでもクリアできます。このパルス幅は 20 μ s より長く 40 μ s より短い必要があります。nSLEEP が 40 μ s より長く 120 μ s より短い間 Low である場合、フォルトはクリアされますが、本デバイスはシャットダウンする場合としない場合があります (図 7-22 を参照)。このリセット・パルスはすべての SPI フォルトをリセットし、チャージ・ポンプの状態にもその他の機能ブロックの状態にも影響を与えません。

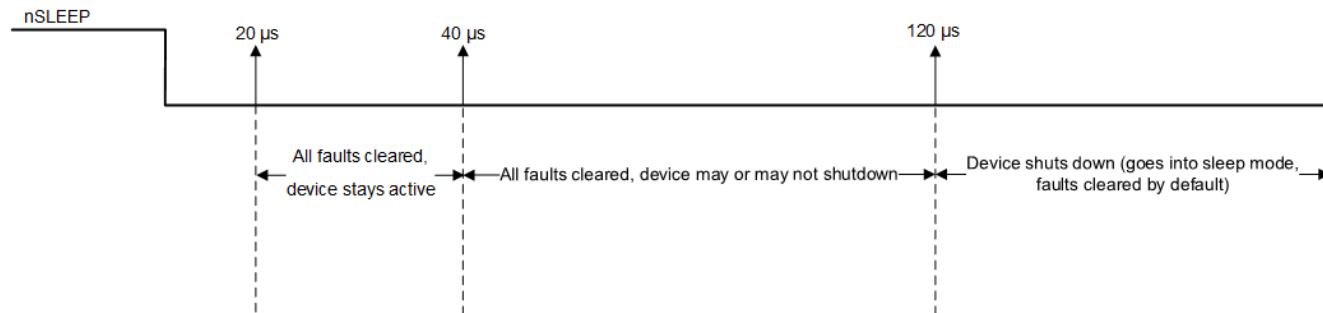


図 7-22. nSLEEP リセット・パルス

機能モードのまとめ

表 7-12 に、機能モードのまとめを示します。

表 7-12. 機能モードのまとめ

条件		構成	H ブリッジ	DVDD レギュレータ	チャージ・ポンプ	インデクサ	ロジック
スリープ・モード	4.5V < VM < 48V	nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	4.5V < VM < 48V	nSLEEP ピン = 1 ENABLE ピン = 1	動作	動作	動作	動作	動作
ディセーブル	4.5V < VM < 48V	nSLEEP ピン = 1 ENABLE ピン = 0	ディセーブル	動作	動作	動作	動作

7.5 プログラミング

7.5.1 シリアル・ペリフェラル・インターフェイス (SPI) 通信

本デバイスの SPI は、全二重 4 線式同期通信に対応しています。このセクションでは、SPI プロトコル、コマンド構造、制御およびステータス・レジスタについて説明します。本デバイスは、以下の構成で MCU と接続できます。

- 1 つのターゲット・デバイス
- 並列接続した複数のターゲット・デバイス
- 直列 (デイジ・チーン) 接続した複数のターゲット・デバイス

7.5.1.1 SPI フォーマット

SDI 入力データ・ワードは 16 ビット長であり、以下のフォーマットで構成されています。

- 1 読み取りまたは書き込みビット、W (ビット 14)
- 5 アドレス・ビット、A (ビット 13~9)
- 8 データ・ビット、D (ビット 7~0)

SDO 出力データ・ワードは 16 ビット長であり、上位 8 ビットはステータス・レジスタ (S1) を構成します。レポート・ワード (R1) はアクセス先のレジスタの内容です。

書き込みコマンド ($W0 = 0$) の場合、SDO ピンでの応答ワードはその時点で書き込み先レジスタ内にあるデータです。

読み取りコマンド ($W0 = 1$) の場合、応答ワードはその時点で読み取り元レジスタ内にあるデータです。

表 7-13. SDI 入力データ・ワードのフォーマット

R/W	アドレス								ドント・ ケア	データ							
	B15	B14	B13	B12	B11	B10	B9	B8		B7	B6	B5	B4	B3	B2	B1	B0
0	W0	A4	A3	A2	A1	A0	X	D7	D6	D5	D4	D3	D2	D1	D0		

表 7-14. SDO 出力データ・ワードのフォーマット

ステータス												レポート							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0				
1	1	UVLO	CPUV	OCP	STL	TF	OL	D7	D6	D5	D4	D3	D2	D1	D0				

7.5.1.2 1 つのターゲット・デバイスのための SPI

SPI は、デバイス構成と動作パラメータの設定、診断情報の読み出しに使用します。SPI はターゲット・モードで動作します。SPI 入力データ (SDI) ワードは 16 ビットのワード、8 ビットのコマンド、8 ビットのデータで構成されています。SPI 出力データ (SDO) ワードは 8 ビットのステータス・レジスタ (フォルト・ステータス表示付き) と 8 ビットのレジスタ・データで構成されています。図 7-23 に、MCU と SPI ターゲット・ドライバの間のデータ・シーケンスを示します。

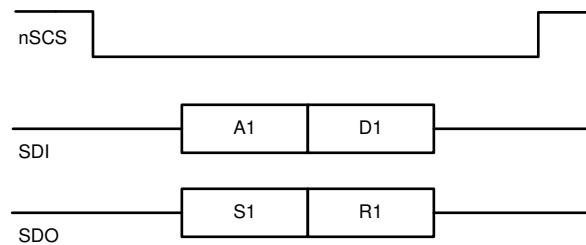


図 7-23. MCU と本デバイスの間の SPI トランザクション

有効なフレームは以下の条件を満たしていかなければなりません。

- nSCS ピンが Low になる際と nSCS ピンが High になる際に、SCLK ピンは Low である必要がある。
- nSCS ピンは、フレーム間の 500ns 以上にわたって High にプルされている必要がある。
- nSCS ピンに High がアサートされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ・インピーダンス状態 (Hi-Z) になる。
- 16 SCLK サイクルのすべてが発生する必要がある。
- データはクロックの立ち下がりエッジでキャプチャされ、クロックの立ち上がりエッジで駆動される。
- 最上位ビット (MSB) のシフト・イン / シフト・アウトが最初に行われる。
- SDI ピンに送信されるデータ・ワードが 16 ビットより少ない場合または 16 ビットより多い場合、フレーム・エラーが発生してデータ・ワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのコマンド・データに続いて SDO ピンでシフト・アウトされる。

7.5.1.3 デイジー・チェーン構成の複数のターゲット・デバイスのための SPI

複数のデバイスが同じ MCU と通信する際に、DRV8434S デバイスをデイジー・チェーン構成で接続することで GPIO ポートが利用可能な状態を保つことができます。図 7-24 に、3 つのデバイスを直列に接続する場合のトポロジを示します。

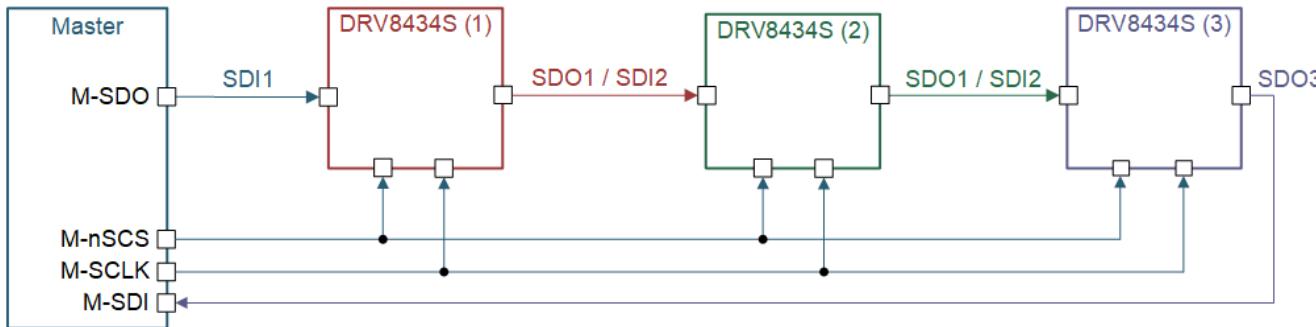


図 7-24. デイジー・チェーン接続された 3 つの DRV8434S デバイス

チェーンの最初のデバイスは、3 デバイス構成に対応する次のフォーマットで MCU からデータを受信します。2 バイトのヘッダ (HDRx) + 3 バイトのアドレス (Ax) + 3 バイトのデータ (Dx)。

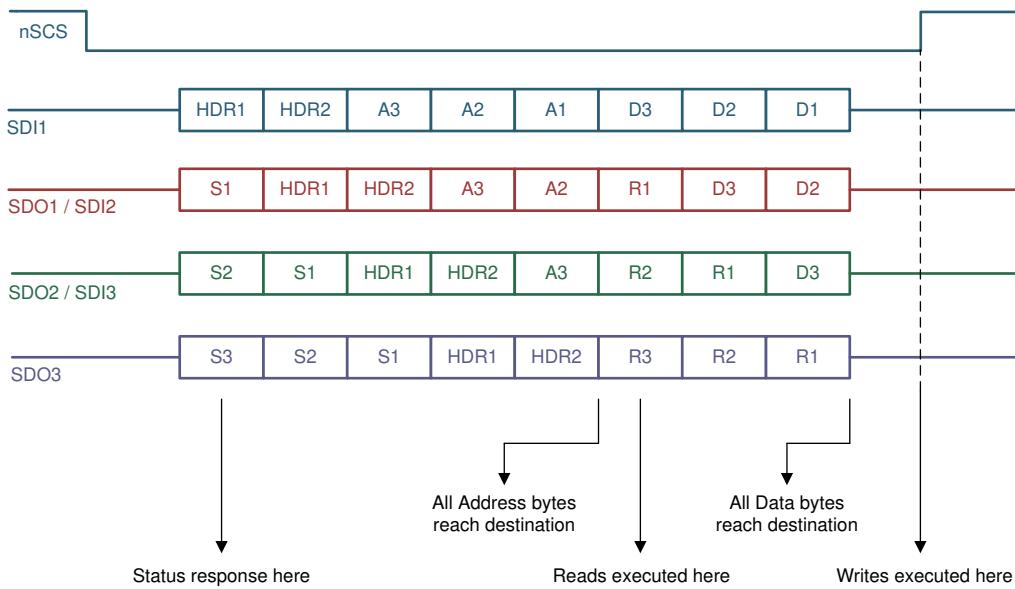


図 7-25. 3 つのデバイスによる SPI フレーム

データがチェーンを介して送信されると、MCU は 3 デバイス構成に対応する次のフォーマットでデータ・ストリングを受信します。3 バイトのステータス (Sx) + 2 バイトのヘッダ + 3 バイトのレポート (Rx)。

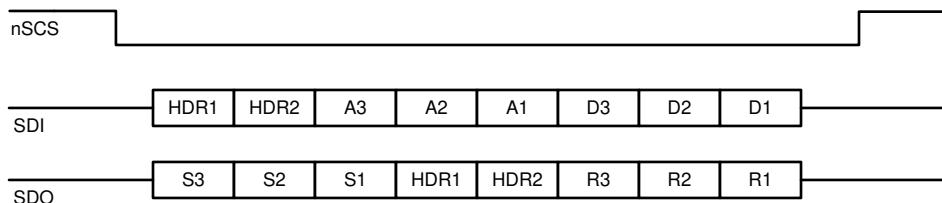


図 7-26. 3 つのデバイスのための SPI データ・シーケンス

ヘッダ・バイトには、チェーン接続されたデバイス数とグローバル障害クリア・コマンドの情報が含まれています。グローバル障害クリア・コマンドとは、すべてのデバイスの FAULT レジスタをチップ選択 (nSCS) 信号の立ち上がりエッジでクリアするコマンドです。ヘッダ値 N5~N0 は、チェーン内のデバイスの数を示すための 6 ビット値です。各デイジー・チェーン接続に、最大 63 のデバイスを直列に接続できます。

HDR2 レジスタの下位 5 ビットは、MCU がデイジー・チェーン接続の整合性を判断するために使えるドント・ケア・ビットです。ヘッダ・バイトは、上位 2 ビットが 10 で始まる必要があります。

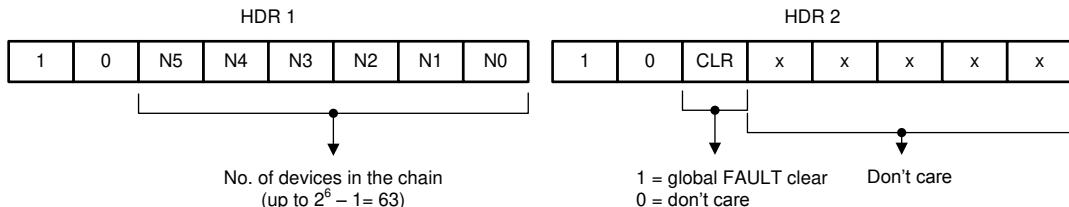


図 7-27. ヘッダ・バイト

ステータス・バイトは、MCU が読み出しコマンドを発行して特定のデバイスから�オルト・ステータスを読み取る必要がないように、デイジーチェーン内の各デバイスの FAULT ステータス・レジスタに関する情報を提供します。これにより、MCU は追加の読み取りコマンドを確保でき、システムは、デバイス内でフラグが立った�オルト条件をより効率的に特定できます。ステータス・バイトは、上位 2 ビットが 11 で始まる必要があります。

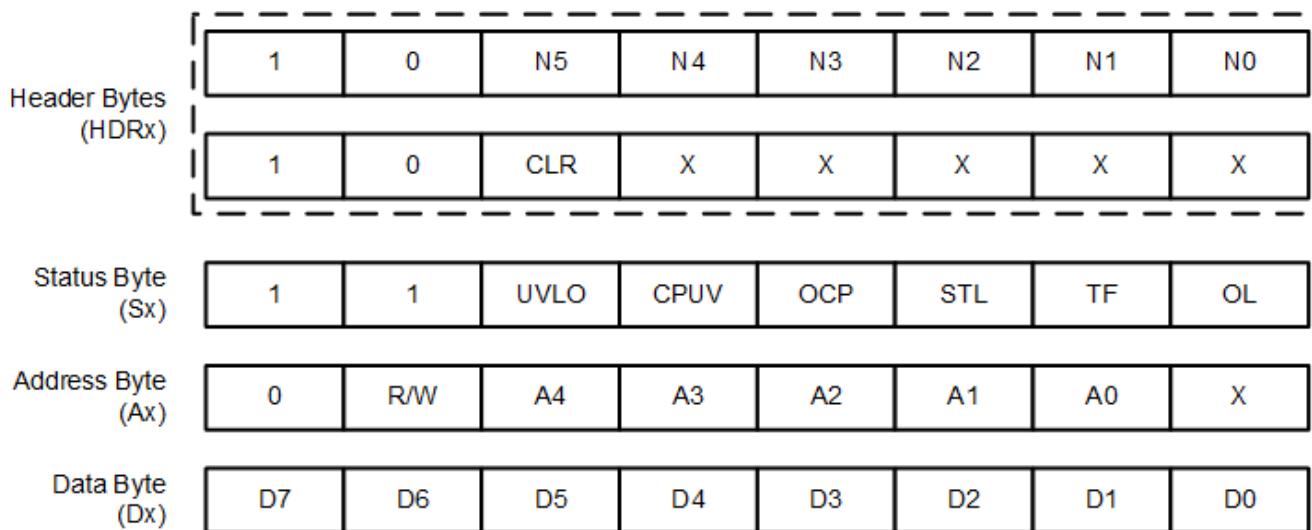


図 7-28. DRV8434S のヘッダ、ステータス、アドレス、データ・バイトの内容

データがデバイスを通過する際、そのデバイスは最初のヘッダ・バイトに続けて受信したステータス・バイトの数を数えることで、チェーン内の自身の位置を判断します。たとえば、この 3 デバイス構成では、チェーン内のデバイス 2 は、HDR1 バイトとそれに続く HDR2 バイトを受信する前に 2 つのステータス・バイトを受信します。

受信したステータス・バイトが 2 つであることから、デバイス 2 は自身の位置がチェーン内の 2 番目であることが分かります。HDR2 バイトから、チェーン内に接続されているデバイスの数が分かります。このようにして、データは関連するアドレスおよびデータ・バイトのみをバッファに読み込み、その他のビットは無視します。このプロトコルは、チェーン接続した最大 63 台のデバイスのシステムにレイテンシを追加しないより高速な通信を可能にします。

アドレスおよびデータ・バイトは 1 デバイス接続と同じです。レポート・バイト (R1~R3、図 7-26 を参照) は、アクセス先のレジスタの内容です。

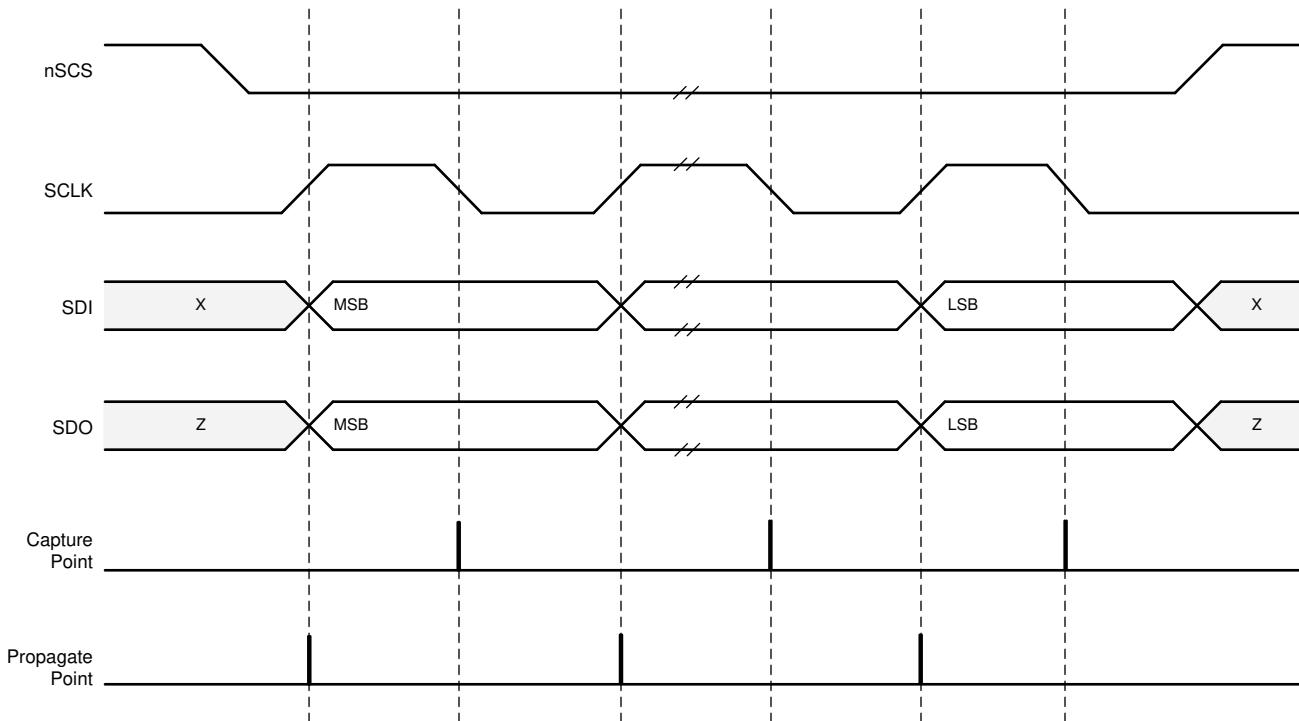


図 7-29. SPI トランザクション

7.5.1.4 パラレル構成の複数のターゲット・デバイスのための SPI

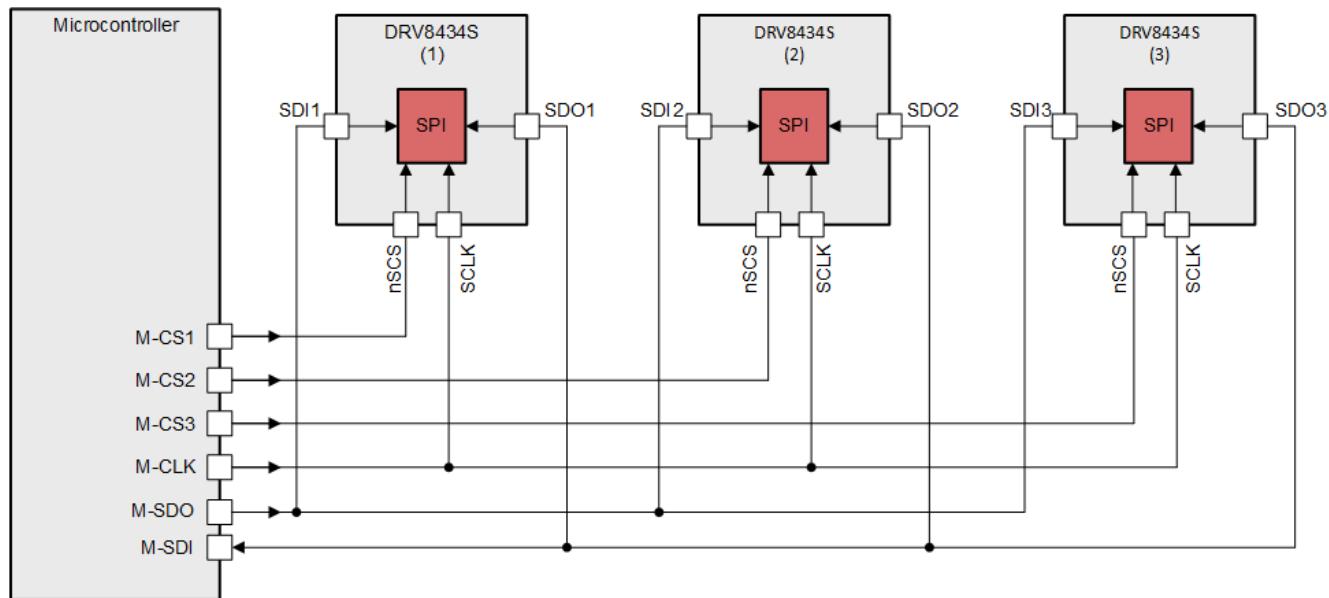


図 7-30. パラレル構成で接続された 3 つの DRV8434S デバイス

7.6 レジスタ・マップ

表 7-15 に、DRV8434S デバイスのメモリマップされたレジスタを示します。表 7-15 にないレジスタ・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-15. メモリ・マップ

レジスタ名	7	6	5	4	3	2	1	0	アクセス・タイプ	アドレス
FAULT ステータス	FAULT	SPI_ERROR	UVLO	CPUV	OCP	STL	TF	OL	R	0x00
DIAG ステータス 1	OCP_LS2_B	OCP_HS2_B	OCP_LS1_B	OCP_HS1_B	OCP_LS2_A	OCP_HS2_A	OCP_LS1_A	OCP_HS1_A	R	0x01
DIAG ステータス 2	RSVD	OTW	OTS	STL_LRNL_OK	STALL	RSVD	OL_B	OL_A	R	0x02
CTRL1	TRQ_DAC [3:0]				RSVD		OL_MODE	RSVD	RW	0x03
CTRL2	EN_OUT	RSVD		TOFF [1:0]		DECAY [2:0]			RW	0x04
CTRL3	DIR	STEP	SPI_DIR	SPI_STEP	MICROSTEP_MODE [3:0]				RW	0x05
CTRL4	CLR_FLT	LOCK [2:0]			EN_OL	OCP_MODE	OTSD_MODE	OTW_REP	RW	0x06
CTRL5	RSVD		STL_LRNL	EN_STL	STL REP	RSVD			RW	0x07
CTRL6	STALL_TH [7:0]							RW		0x08
CTRL7	RC_RIPPLE[1:0]		EN_SSC	TRQ_SCALE	STALL_TH[11:8]				RW	0x09
CTRL8	TRQ_COUNT [7:0]							R		0x0A
CTRL9	REV_ID[3:0]				TRQ_COUNT[11:8]				R	0x0B

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。表 7-16 に、このセクションでアクセス・タイプに使用している表記を示します。

表 7-16. アクセス・タイプ・コード

アクセス・タイプ	コード	説明
読み出しタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.1 ステータス・レジスタ

ステータス・レジスタは、警告および障害状態を示すために使用されます。ステータス・レジスタは読み取り専用レジスタです。

表 7-17 に、ステータス・レジスタのメモリマップされたレジスタを示します。表 7-17 にないレジスタ・オフセット・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-17. ステータス・レジスタまとめ表

アドレス	レジスタ名	セクション
0x00	FAULT ステータス	セクション 7.6.2
0x01	DIAG ステータス 1	セクション 7.6.3
0x02	DIAG ステータス 2	セクション 7.6.4

7.6.2 FAULT ステータス・レジスタ名 (アドレス = 0x00)

図 7-31 に、FAULT ステータス・レジスタのフィールドを示し、表 7-18 に、その説明を示します。

読み出し専用

図 7-31. FAULT ステータス・レジスタ

7	6	5	4	3	2	1	0
FAULT	SPI_ERROR	UVLO	CPUV	OCP	STL	TF	OL
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-18. FAULT ステータス・レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	FAULT	R	0b	nFAULT ピンが 1 のとき、FAULT ビットは 0 です。nFAULT ピンが 0 のとき、FAULT ビットは 1 です。
6	SPI_ERROR	R	0b	SPI プロトコル・エラー (例:SCLK パルスが必要な数以上存在する。nSCS が Low であるにもかかわらず SCLK が存在しない) を示します。フォルトで High になり、nFAULT ピンが Low に駆動されます。プロトコル・エラーが解消され、かつ CLR_FLT ビットと nSLEEP リセット・パルスのどちらかによって障害クリア・コマンドが発行されると、通常動作が再開されます。
5	UVLO	R	0b	電源低電圧誤動作防止フォルト条件を示します。
4	CPUV	R	0b	チャージ・ポンプ低電圧フォルト条件を示します。
3	OCP	R	0b	過電流フォルト条件を示します。
2	STL	R	0b	モータ・ストール条件を示します。
1	TF	R	0b	過熱警告と過熱シャットダウンの論理和です。
0	OL	R	0b	開放負荷条件を示します。

7.6.3 DIAG ステータス 1 (アドレス = 0x01)

図 7-32 に、DIAG ステータス 1 レジスタのフィールドを示し、表 7-19 に、その説明を示します。

読み出し専用

図 7-32. DIAG ステータス 1 レジスタ

7	6	5	4	3	2	1	0
OCP_LS2_B	OCP_HS2_B	OCP_LS1_B	OCP_HS1_B	OCP_LS2_A	OCP_HS2_A	OCP_LS1_A	OCP_HS1_A
R-0b							

表 7-19. DIAG ステータス 1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	OCP_LS2_B	R	0b	BOUT のハーフ・ブリッジ 2 のローサイド FET の過電流フォルトを示します。
6	OCP_HS2_B	R	0b	BOUT のハーフ・ブリッジ 2 のハイサイド FET の過電流フォルトを示します。
5	OCP_LS1_B	R	0b	BOUT のハーフ・ブリッジ 1 のローサイド FET の過電流フォルトを示します。
4	OCP_HS1_B	R	0b	BOUT のハーフ・ブリッジ 1 のハイサイド FET の過電流フォルトを示します。
3	OCP_LS2_A	R	0b	AOUT のハーフ・ブリッジ 2 のローサイド FET の過電流フォルトを示します。
2	OCP_HS2_A	R	0b	AOUT のハーフ・ブリッジ 2 のハイサイド FET の過電流フォルトを示します。
1	OCP_LS1_A	R	0b	AOUT のハーフ・ブリッジ 1 のローサイド FET の過電流フォルトを示します。
0	OCP_HS1_A	R	0b	AOUT のハーフ・ブリッジ 1 のハイサイド FET の過電流フォルトを示します。

7.6.4 DIAG ステータス 2 (アドレス = 0x02)

図 7-33 に、DIAG ステータス 2 レジスタのフィールドを示し、表 7-20 に、その説明を示します。

読み出し専用

図 7-33. DIAG ステータス 2 レジスタ

7	6	5	4	3	2	1	0
RSVD	OTW	OTS	STL_LRNRN_OK	STALL	RSVD	OL_B	OL_A
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-20. DIAG ステータス 2 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	RSVD	R	0b	予約済み
6	OTW	R	0b	過熱警告を示します。
5	OTS	R	0b	過熱シャットダウンを示します。
4	STL_LRNRN_OK	R	0b	ストール検出の学習が成功したことを示します。
3	STALL	R	0b	モータ・ストール条件を示します。
2	RSVD	R	0b	予約済み
1	OL_B	R	0b	BOUT の開放負荷検出を示します。
0	OL_A	R	0b	AOUT の開放負荷検出を示します。

7.6.5 制御レジスタ

本 IC の制御レジスタは、デバイスの設定に使用します。これらのレジスタは読み取りと書き込みが可能です。

表 7-21 に、制御レジスタのメモリマップされたレジスタを示します。表 7-21 にないレジスタ・オフセット・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-21. 制御レジスタまとめ表

アドレス	レジスタ名	セクション
0x03	CTRL1	セクション 7.6.6
0x04	CTRL2	セクション 7.6.7
0x05	CTRL3	セクション 7.6.8
0x06	CTRL4	セクション 7.6.9
0x07	CTRL5	セクション 7.6.10

表 7-21. 制御レジスタまとめ表 (continued)

アドレス	レジスタ名	セクション
0x08	CTRL6	セクション 7.6.11
0x09	CTRL7	セクション 7.6.12
0x0A	CTRL8	セクション 7.6.13
0x0B	CTRL9	

7.6.6 CTRL1 制御レジスタ (アドレス = 0x03)

図 7-34 に、CTRL1 制御レジスタのフィールドを示し、表 7-22 に、その説明を示します。

読み出し/書き込み

図 7-34. CTRL1 制御レジスタ

7	6	5	4	3	2	1	0
TRQ_DAC [3:0]				RSVD		OL_MODE	RSVD
R/W-0000b				R/W-00b		R/W-0b	R/W-0b

表 7-22. CTRL1 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-4	TRQ_DAC [3:0]	R/W	0000b	0000b = 100% 0001b = 93.75% 0010b = 87.5% 0011b = 81.25% 0100b = 75% 0101b = 68.75% 0110b = 62.5% 0111b = 56.25% 1000b = 50% 1001b = 43.75% 1010b = 37.5% 1011b = 31.25% 1100b = 25% 1101b = 18.75% 1110b = 12.5% 1111b = 6.25%
3-2	RSVD	R/W	00b	予約済み
1	OL_MODE	R/W	0b	0b = nFAULT は、ラッチされた OL フォルトが CLR_FLT ビットまたは nSLEEP リセット・パルスによってクリアされた後に解放されます。 1b = nFAULT は、OL フォルト条件が解消した直後に解放されます。
0	RSVD	R/W	0b	Reserved

7.6.7 CTRL2 制御レジスタ (アドレス = 0x04)

図 7-35 に、CTRL2 制御レジスタのフィールドを示し、表 7-23 に、その説明を示します。

読み出し/書き込み

図 7-35. CTRL2 制御レジスタ

7	6	5	4	3	2	1	0
EN_OUT	RSVD		TOFF [1:0]		DECAY [2:0]		

図 7-35. CTRL2 制御レジスタ (continued)

R/W-0b	R/W-00b	R/W-01b	R/W-111b
--------	---------	---------	----------

表 7-23. CTRL2 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	EN_OUT	R/W	0b	すべての出力を無効にするには、「0」を書き込みます。
6-5	RSVD	R/W	00b	予約済み
4-3	TOFF [1:0]	R/W	01b	00b = 7μs 01b = 16μs 10b = 24μs 11b = 32μs
2-0	DECAY [2:0]	R/W	111b	000b = 電流増加時はスロー、電流減少時はスロー 001b = 電流増加時はスロー、電流減少時はミックス 30% 010b = 電流増加時はスロー、電流減少時はミックス 60% 011b = 電流増加時はスロー、電流減少時はファースト 100b = 電流増加時はミックス 30%、電流減少時はミックス 30% 101b = 電流増加時はミックス 60%、電流減少時はミックス 60% 110b = スマート・チューン・ダイナミック・ディケイ 111b = スマート・チューン・リップル・コントロール

7.6.8 CTRL3 制御レジスタ (アドレス = 0x05)

図 7-36 に、CTRL3 制御レジスタのフィールドを示し、表 7-24 に、その説明を示します。

読み出し/書き込み

図 7-36. CTRL3 制御レジスタ

7	6	5	4	3	2	1	0
DIR	STEP	SPI_DIR	SPI_STEP	MICROSTEP_MODE [3:0]			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0110b			

表 7-24. CTRL3 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	DIR	R/W	0b	方向入力。SPI_DIR = 1 の場合、論理「1」はステッピング方向を設定します。
6	STEP	R/W	0b	ステップ入力。SPI_STEP = 1 の場合、論理「1」はインデクサを 1 ステップ進めます。このビットは「1」が書き込まれた後、自己クリアされ自動的に「0」になります。
5	SPI_DIR	R/W	0b	0b = 出力は入力ピン DIR に従います。 1b = 出力は SPI レジスタの DIR に従います。
4	SPI_STEP	R/W	0b	0b = 出力は入力ピン STEP に従います。 1b = 出力は SPI レジスタの STEP に従います。

表 7-24. CTRL3 制御レジスタのフィールドの説明 (continued)

ビット	フィールド	種類	デフォルト	説明
3-0	MICROSTEP_MODE [3:0]	R/W	0110b	0000b = 100% 電流によるフルステップ (2 相励起) 0001b = 71% 電流によるフルステップ (2 相励起) 0010b = 非真円 1/2 ステップ 0011b = 1/2 ステップ 0100b = 1/4 ステップ 0101b = 1/8 ステップ 0110b = 1/16 ステップ 0111b = 1/32 ステップ 1000b = 1/64 ステップ 1001b = 1/128 ステップ 1010b = 1/256 ステップ 1011b~1111b = 予約済み

7.6.9 CTRL4 制御レジスタ (アドレス = 0x06)

図 7-37 に、CTRL4 制御レジスタのフィールドを示し、表 7-25 に、その説明を示します。

読み出し/書き込み

図 7-37. CTRL4 制御レジスタ

7	6	5	4	3	2	1	0
CLR_FLT		LOCK [2:0]		EN_OL	OCP_MODE	OTSD_MODE	OTW_REP
R/W-0b		R/W-011b		R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-25. CTRL4 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	CLR_FLT	R/W	0b	すべてのラッチされたフォルト・ビットをクリアするには、このビットに「1」を書き込みます。書き込んだ後、このビットは自動的にリセットされます。
6-4	LOCK [2:0]	R/W	011b	設定をロックして、レジスタへのさらなる書き込み (これらのビットとアドレス 0x06h のビット 7 (CLR_FLT) への書き込みを除く) を無視するには、110b を書き込みます。ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。 すべてのレジスタのロックを解除するには、このレジスタに 011b を書き込みます。ロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
3	EN_OL	R/W	0b	開放負荷検出を有効にするには、「1」を書き込みます。
2	OCP_MODE	R/W	0b	0b = 過電流条件によってラッチされたフォルトが発生します。 1b = 過電流条件によって自動リトライ・フォルトが発生します。
1	OTSD_MODE	R/W	0b	0b = 過熱条件によってラッチされたフォルトが発生します。 1b = 過熱条件によって自動復帰フォルトが発生します。
0	TW_REP	R/W	0b	0b = 過熱または低温警告は nFAULT ラインで通知されません。 1b = 過熱または低温警告は nFAULT ラインで通知されます。

7.6.10 CTRL5 制御レジスタ (アドレス = 0x07)

図 7-38 に、CTRL5 制御レジスタのフィールドを示し、表 7-26 に、その説明を示します。

読み出し/書き込み

図 7-38. CTRL5 制御レジスタ

7	6	5	4	3	2	1	0
RSVD	STL_LRN	EN_STL	STL REP		RSVD		
R/W-00b	R/W-0b	R/W-0b	R/W-1b		R/W-000b		

表 7-26. CTRL5 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-6	RSVD	R/W	00b	予約済み常に「00」である必要があります。
5	STL_LRN	R/W	0b	ストール検出用のストール・カウントを学習させるには「1」を書き込みます。ストール学習プロセスが完了すると、このビットは自動的に「0」に戻ります。
4	EN_STL	R/W	0b	0b = ストール検出を無効にします。 1b = ストール検出を有効にします。
3	STL REP	R/W	1b	0b = ストール検出は nFAULT で通知されません。 1b = ストール検出は nFAULT で通知されます。
2-0	RSVD	R/W	000b	予約済み常に「000」である必要があります。

7.6.11 CTRL6 制御レジスタ (アドレス = 0x08)

図 7-39 に、CTRL6 制御レジスタのフィールドを示し、表 7-27 に、その説明を示します。

読み出し/書き込み

図 7-39. CTRL6 制御レジスタ

7	6	5	4	3	2	1	0
STALL_TH [7:0]							
R/W-00000011b							

表 7-27. CTRL6 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	STALL_TH [7:0]	R/W	00000011b	ストール・スレッショルドの下位 8 ビット 00000000b = 0 カウント XXXXXXXXXXXXb = 1~4094 カウント 111111111111b = 4095 カウント

7.6.12 CTRL7 制御レジスタ (アドレス = 0x09)

図 7-40 に、CTRL7 制御レジスタのフィールドを示し、表 7-28 に、その説明を示します。

読み出し専用

図 7-40. CTRL7 制御レジスタ

7	6	5	4	3	2	1	0
RC_RIPPLE[1:0]	EN_SSC	TRQ_SCALE		STALL_TH[11:8]			
R/W-00b	R/W-1b	R/W-0b		R/W-0000b			

表 7-28. CTRL7 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-6	RC_RIPPLE[1:0]	R/W	00b	00b = 1% リップル 01b = 2% リップル 10b = 4% リップル 11b = 6% リップル
5	EN_SSC	R/W	1b	1b = スペクトラム拡散を有効にします。 0b = スペクトラム拡散を無効にします。
4	TRQ_SCALE	R/W	0b	0b = トルク・カウント・スケーリングを適用しません。 1b = トルク・カウントは 8 倍されます。
3-0	STALL_TH	R/W	0000b	ストール・スレッショルドの上位 4 ビット

7.6.13 CTRL8 制御レジスタ (アドレス = 0x0A)

図 7-41 に、CTRL8 制御レジスタのフィールドを示し、表 7-29 に、その説明を示します。

読み出し専用

図 7-41. CTRL8 制御レジスタ

7	6	5	4	3	2	1	0
TRQ_COUNT[7:0]							
R-11111111b							

表 7-29. CTRL8 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	TRQ_COUNT	R	11111111b	TRQ_COUNT の下位 8 ビット 00000000b = 0 カウント XXXXXXXXXXXXb = 1~4094 カウント 111111111111b = 4095 カウント

7.6.14 CTRL9 制御レジスタ (アドレス = 0x0B)

図 7-42 に、CTRL9 制御レジスタのフィールドを示し、表 7-30 に、その説明を示します。

読み出し専用

図 7-42. CTRL9 制御レジスタ

7	6	5	4	3	2	1	0
REV_ID[3:0]					TRQ_COUNT[11:8]		
R-0000b					R-1111b		

表 7-30. CTRL9 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-4	REV_ID	R	0000b	シリコンのリビジョン識別。0000b は量産リビジョンを示します。
3-0	TRQ_COUNT	R	1111b	TRQ_COUNT の上位 4 ビット

8 アプリケーションと実装

NOTE

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8434S はバイポーラ・ステッピング制御で使用されます。

8.2 代表的なアプリケーション

次の設計手順で DRV8434S を構成できます。

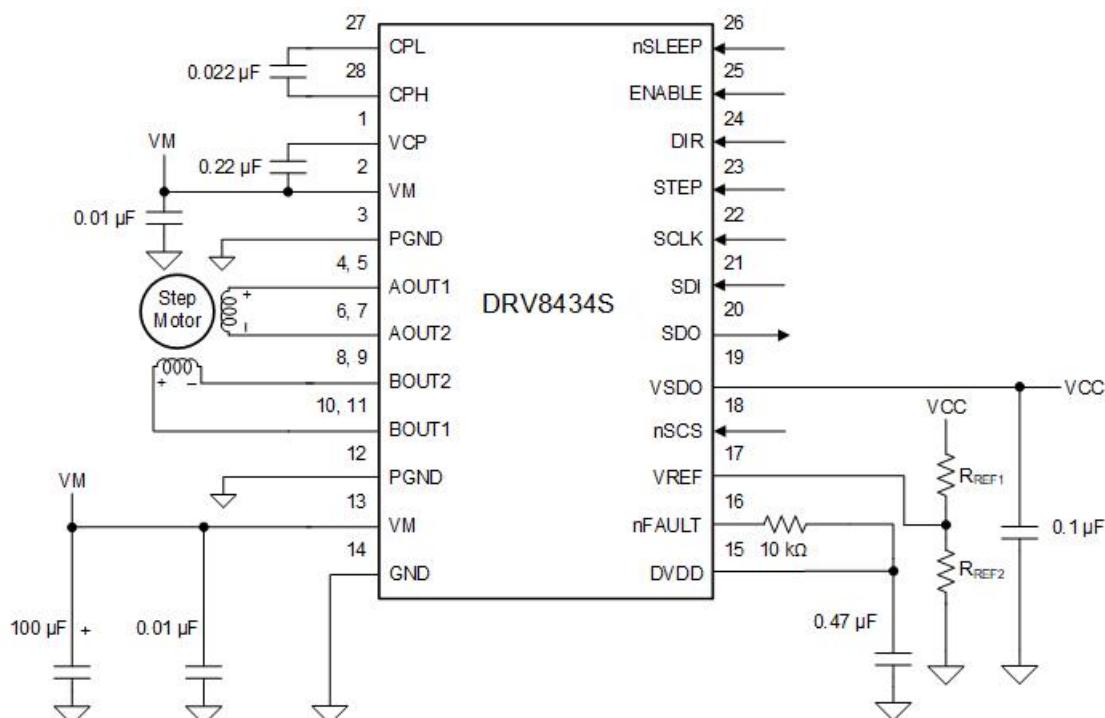


図 8-1. 代表的なアプリケーション回路図 (HTSSOP パッケージ)

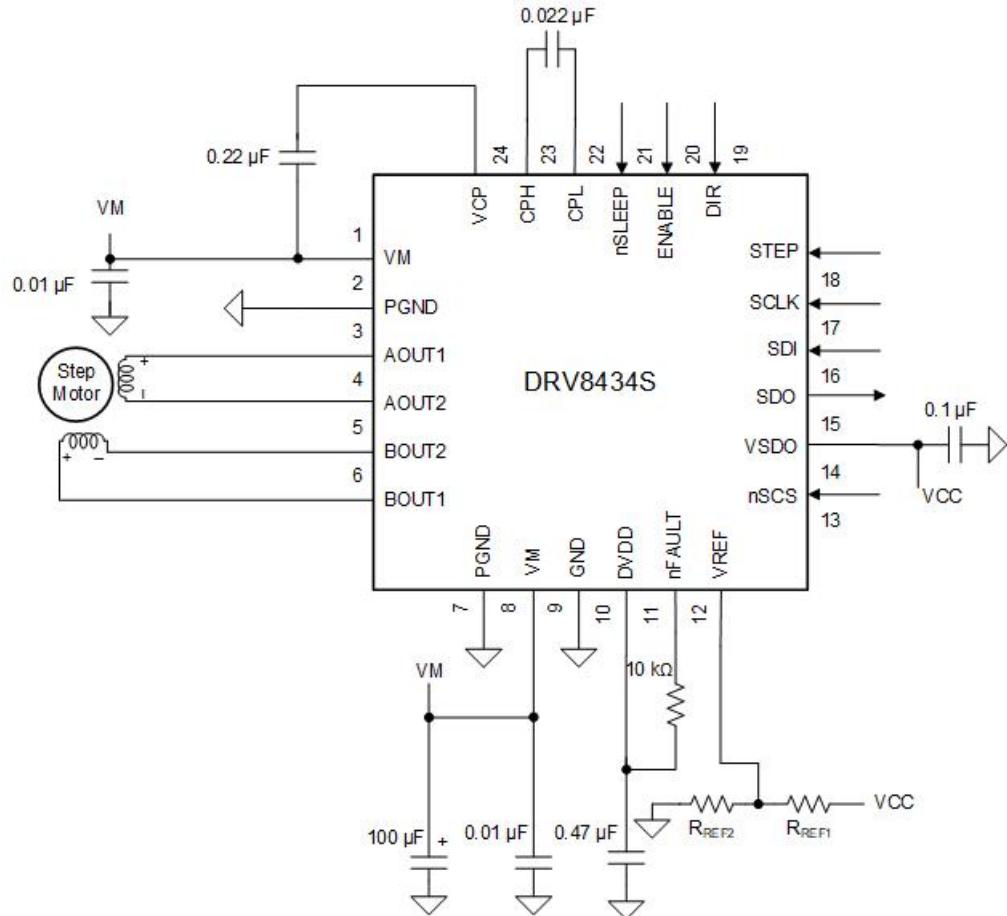


図 8-2. 代表的なアプリケーション回路図 (VQFN パッケージ)

8.2.1 設計要件

表 8-1 に、システム設計の設計入力パラメータを示します。

表 8-1. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧	VM	24V
モータ巻線抵抗	R _L	0.9Ω/相
モータ巻線インダクタンス	L _L	1.4mH/相
モータ・フルステップ角	θ _{step}	1.8°/ステップ
目標マイクロステッピング・レベル	n _m	1/8 ステップ
目標モータ速度	v	18.75rpm
目標フルスケール電流	I _{FS}	2A

8.2.2 詳細な設計手順

8.2.2.1 ステッピング・モータの速度

DRV8434S を構成するには、まず、モータ速度とマイクロステッピング・レベルの目標値が必要です。対象とするアプリケーションで一定速度が必要な場合、周波数 f_{step} の矩形波を STEP ピンに印加する必要があります。目標モータ速度が高すぎる場合、モータは回転しません。モータが目標速度に対応できることを確認してください。モータ速度 (v)、マイクロステッピング・レベル (n_m)、モータのフルステップ角 (θ_{step}) の目標値に対応する f_{step} を計算するには式 2 を使用します。

$$f_{\text{step}} \text{ (steps / s)} = \frac{v \text{ (rpm)} \times 360 \text{ (° / rot)}}{\theta_{\text{step}} \text{ (° / step)} \times n_m \text{ (steps / microstep)} \times 60 \text{ (s / min)}} \quad (2)$$

θ_{step} 値は、ステッピング・モータのデータシートまたはモータそのものに記載されています。たとえば、1/8 マイクロステップ・モードで 18.75rpm という目標に対して、このアプリケーションのモータは 1.8°/step の回転が必要となります。式 2 を使用すると、 f_{step} は 500Hz として計算できます。

マイクロステッピング・レベルは、MICROSTEP_MODE ビットによって設定されます。マイクロステッピング・レベルが高いほどモータの動きは円滑になり、可聴ノイズは小さくなります、同じモータ速度を実現するのにより高い f_{step} を必要とします。

8.2.2.2 電流レギュレーション

ステッピング・モータでは、フルスケール電流 (I_{FS}) は、どちらかの巻線に駆動される最大電流です。この量は VREF 電圧と TRQ_DAC 設定で決まります (式 3 を参照)。

VREF ピンの最大許容電圧は 3.3V です。DVDD と抵抗分割器を使用して VREF を供給できます。

ステッピング時には、 I_{FS} により、最大電流ステップの電流ショッピング・スレッショルド (I_{TRIP}) が定義されます。

$$I_{\text{FS}} \text{ (A)} = \frac{V_{\text{REF}} \text{ (V)}}{K_v \text{ (V/A)}} \times \text{TRQ_DAC} \text{ (%)} = \frac{V_{\text{REF}} \text{ (V)} \times \text{TRQ_DAC} \text{ (%)}}{1.32 \text{ (V/A)}} \quad (3)$$

8.2.2.3 ディケイ・モード

DRV8434A はスマート・チューン・リップル・コントロール・ディケイ・モードで動作します。モータ巻線電流が電流ショッピング・スレッショルド (I_{TRIP}) に達すると、DRV8434A は巻線をスロー・ディケイに設定します。

8.2.2.4 アプリケーション曲線

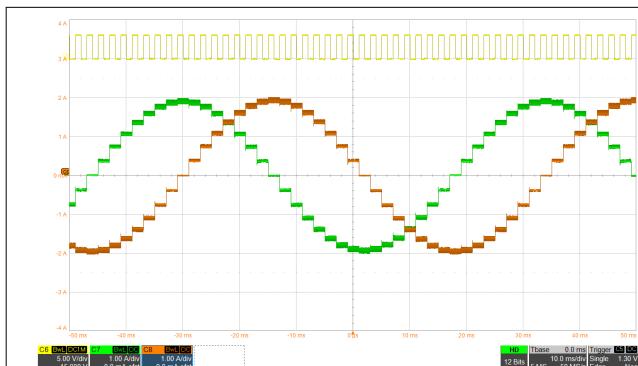


図 8-3. スマート・チューン・リップル・コントロール・ディケイによる 1/8 マイクロステッピング

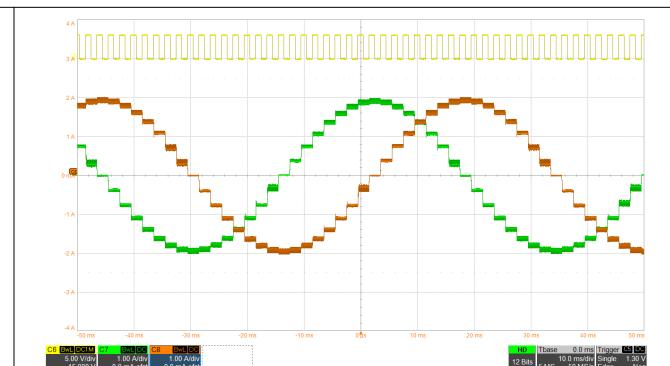


図 8-4. スマート・チューン・ダイナミック・ディケイによる 1/8 マイクロステッピング



図 8-5. スマート・チューン・リップル・コントロール・ディケイによる 1/32 マイクロステッピング



図 8-6. スマート・チューン・ダイナミック・ディケイによる 1/32 マイクロステッピング



図 8-7. スマート・チューン・リップル・コントロール・ディケイによる 1/256 マイクロステッピング



図 8-8. スマート・チューン・ダイナミック・ディケイによる 1/256 マイクロステッピング

8.2.2.5 熱に関連する計算

このセクションでは、デバイスの消費電力の計算と接合部温度の概算について説明します。

8.2.2.5.1 消費電力

全消費電力は主な 3 つの要素 (導通損失 (P_{COND})、スイッチング損失 (P_{SW})、静止消費電流による電力損失 (P_Q)) で構成されます。

8.2.2.5.2 導通損失

フル・ブリッジに接続されたモータの電流経路は一方のハーフ・ブリッジのハイサイド FET と他方のハーフ・ブリッジのローサイド FET を通ります。導通損失 (P_{COND}) は、式 4 のように、モータの RMS 電流 (I_{RMS})、ハイサイド・オン抵抗 ($R_{DS(ONH)}$)、ローサイド・オン抵抗 ($R_{DS(ONL)}$) で決まります。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \quad (4)$$

表 8-1 で説明する代表的なアプリケーションの導通損失は式 5 のように計算されます。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (2A / \sqrt{2})^2 \times (0.165\Omega + 0.165\Omega) = 1.32W \quad (5)$$

NOTE

この電力の計算値は、ハイサイド FET とローサイド FET のオン抵抗に大きな影響を与えるデバイス温度に大きく影響されます。より精密に計算するには、FET のオン抵抗の温度依存性を考慮します。

8.2.2.5.3 スイッチング損失

PWM スイッチング周波数に起因する電力損失はスルーレート (t_{SR})、電源電圧、モータの RMS 電流、PWM スイッチング周波数で決まります。各 H ブリッジの立ち上がり時間のスイッチング損失と立ち下がり時間のスイッチング損失は式 6 と式 7 のように計算されます。

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RISE_PWM} \times f_{PWM} \quad (6)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{FALL_PWM} \times f_{PWM} \quad (7)$$

t_{RISE_PWM} と t_{FALL_PWM} はどちらも V_{VM} / t_{SR} として近似されます。各種パラメータの値を代入した後、30kHz PWM 周波数を仮定すると、各 H ブリッジのスイッチング損失は以下のように計算されます。

$$P_{SW_RISE} = 0.5 \times 24V \times (2A / \sqrt{2}) \times (24V / 240V/\mu s) \times 30kHz = 0.05W \quad (8)$$

$$P_{SW_FALL} = 0.5 \times 24V \times (1A / \sqrt{2}) \times (24V / 240V/\mu s) \times 30kHz = 0.05W \quad (9)$$

ステッピング・モータ・ドライバの全スイッチング損失 (P_{SW}) は立ち上がり時間のスイッチング損失 (P_{SW_RISE}) と立ち下がり時間のスイッチング損失 (P_{SW_FALL}) の合計の 2 倍として以下のように計算されます。

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (0.05W + 0.05W) = 0.2W \quad (10)$$

NOTE

立ち上がり時間 (t_{RISE}) と立ち下がり時間 (t_{FALL}) はスルーレート (t_{SR}) の標準値に基づいて計算されます。このパラメータは、電源電圧、温度、デバイス間のばらつきに基づいて変化することが予想されます。

スイッチング損失は PWM スイッチング周波数に正比例します。アプリケーションでの PWM 周波数は電源電圧、モータ・コイルのインダクタンス、逆起電圧、オフ時間 (スマート・チューン・リップル・コントロール・ディケイ・モードの場合はリップル電流) で決まります。

8.2.2.5.4 静止電流による消費電力

電源によって消費される静止電流による消費電力は以下のように計算されます。

$$P_Q = V_{VM} \times I_{VM} \quad (11)$$

値を代入すると、静止電力損失は以下のように計算されます。

$$P_Q = 24V \times 5mA = 0.12W \quad (12)$$

NOTE

静止電力損失は、動作電源電流 (I_{VM} 、標準値) を使用して計算されます。この動作電源電流は電源電圧、温度、デバイス間のばらつきによって決まります。

8.2.2.5.5 全消費電力

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として式 13 のように計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 1.32W + 0.2W + 0.12W = 1.64W \quad (13)$$

8.2.2.5.6 デバイスの接合部温度の概算

周囲温度が T_A 、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます。

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

JEDEC 規格の 4 層 PCB を考慮すれば、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、HTSSOP パッケージの場合 29.7°C/W、VQFN パッケージの場合 39°C/W です。

25°Cの周囲温度を仮定すると、HTSSOP パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^\circ\text{C} + (1.64W \times 29.7^\circ\text{C}/\text{W}) = 73.71^\circ\text{C} \quad (14)$$

VQFN パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^\circ\text{C} + (1.64W \times 39^\circ\text{C}/\text{W}) = 88.96^\circ\text{C} \quad (15)$$

9 電源に関する推奨事項

本デバイスは、4.5V～48V の入力電圧源 (VM) 範囲で動作するように設計されています。VM 定格の $0.01\mu\text{F}$ セラミック・コンデンサを、本デバイスにできるだけ近付けて各 VM ピンに配置する必要があります。また、バルク・コンデンサを VM に接続する必要があります。

9.1 バulk・コンデンサ

適切なローカル・バルク・コンデンサを使用することは、モータ駆動システムの設計で重要な要素の 1 つです。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

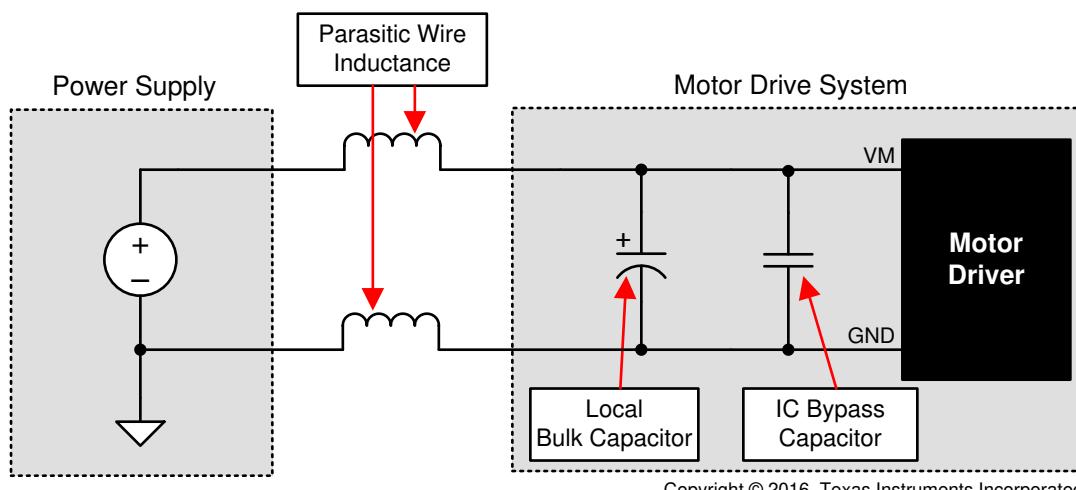
必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモータ・システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムの間のインダクタンスにより、電源からの電流が変化できる割合が制限されます。ローカル・バルク容量が小さすぎる場合、システムはモータからの過剰な電流要求やダンプによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。



Copyright © 2016, Texas Instruments Incorporated

図 9-1. 外部電源を使用したモータ駆動システムの構成例

10 レイアウト

10.1 レイアウトの注意点

推奨する VM 定格で $0.01\mu\text{F}$ の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを PGND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いトレースまたはグランド・プレーンでデバイスの PGND ピンに接続する必要があります。

VM 定格のバルク・コンデンサを使用して、VM ピンをグランドにバイパスする必要があります。この部品には電解コンデンサが使用できます。

低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 定格の $0.022\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $0.22\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを使用して DVDD ピンをグランドにバイパスします。6.3V 定格の $0.47\mu\text{F}$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。

10.1.1 レイアウト例

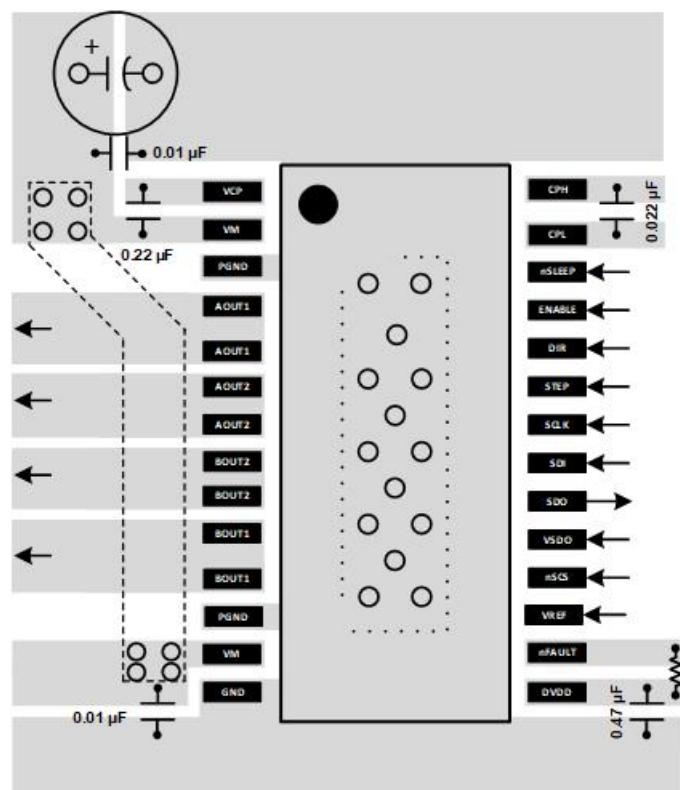


図 10-1. HTSSOP のレイアウト例

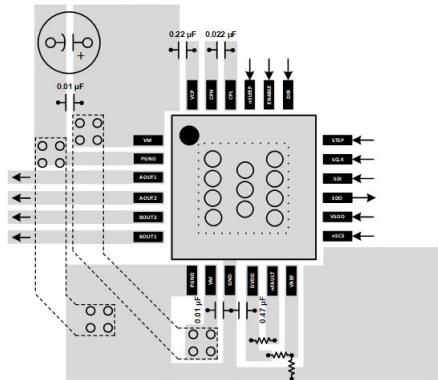


図 10-2. QFN のレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

11.3 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.5 用語集

TI 用語集

この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあります。ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

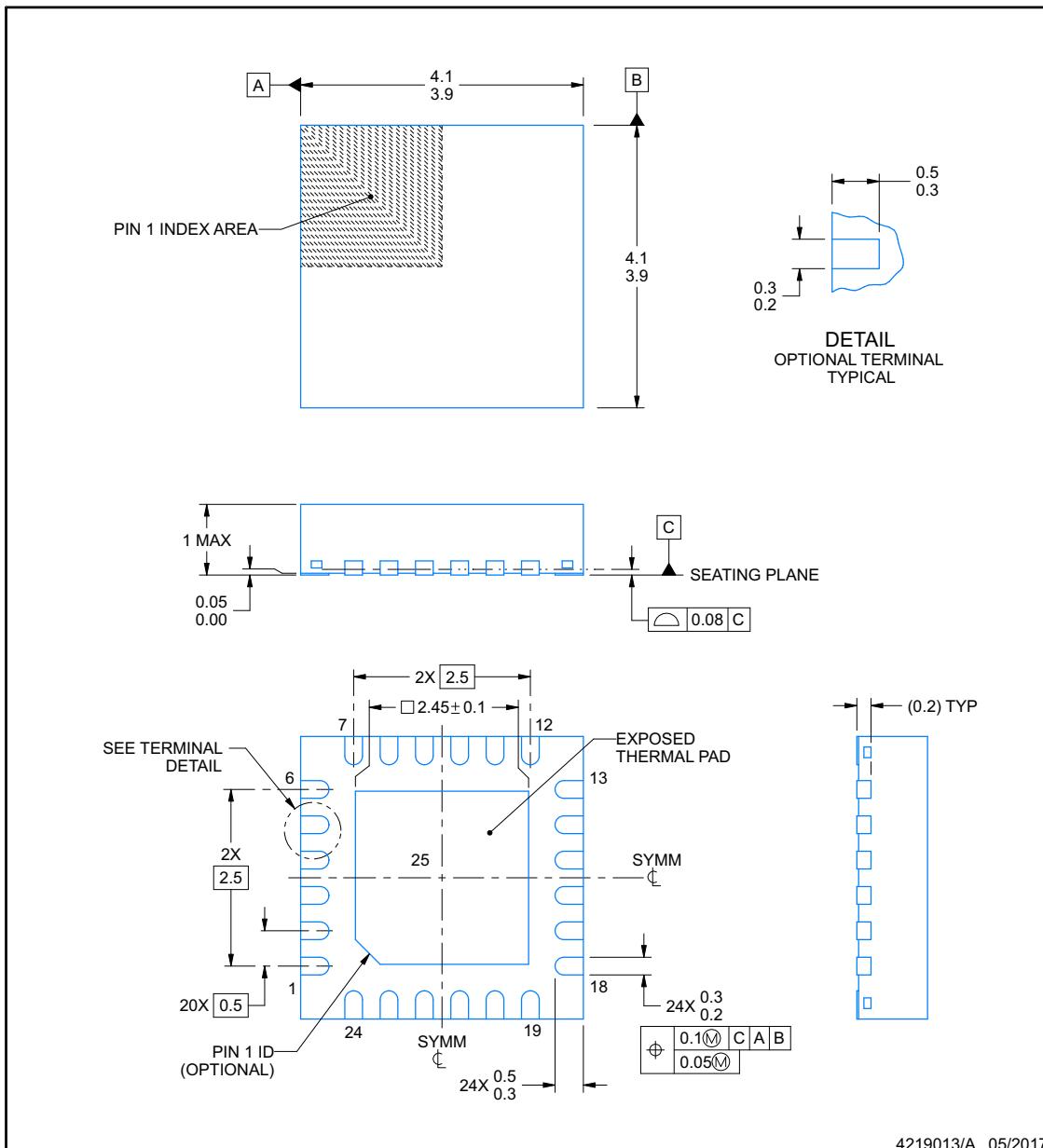
RGE0024B



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

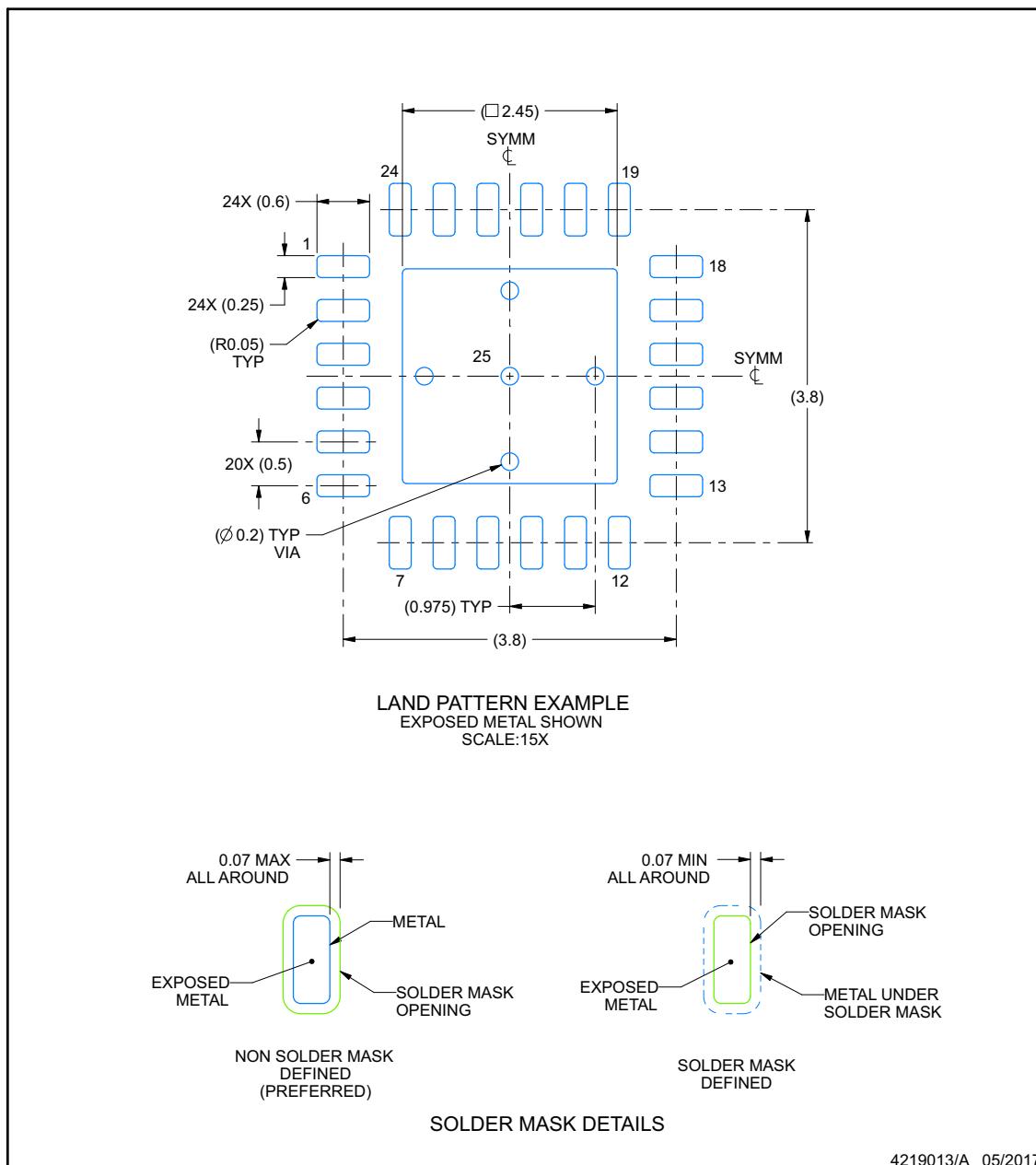
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

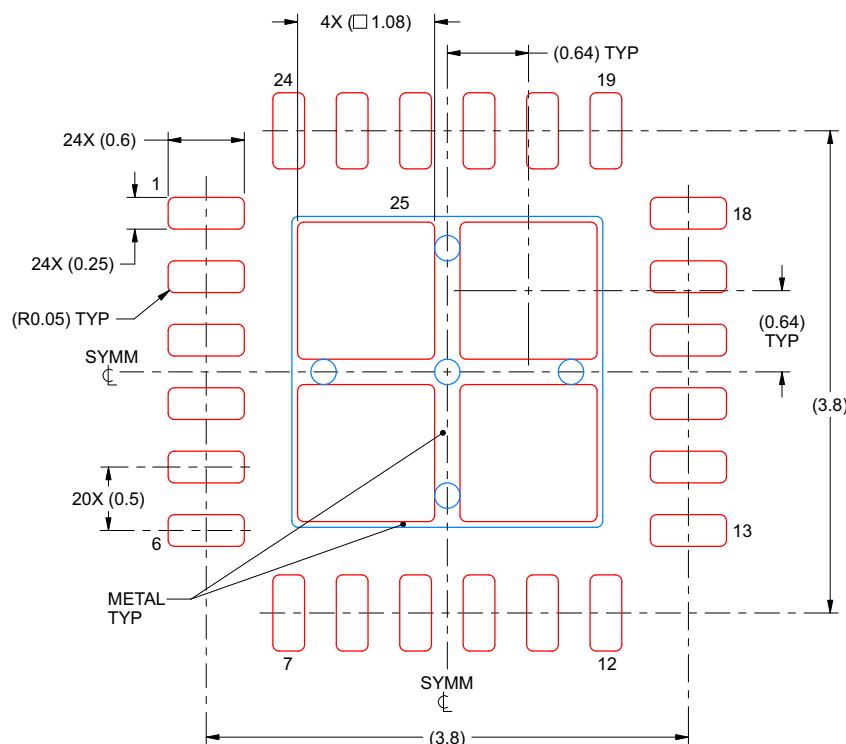
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

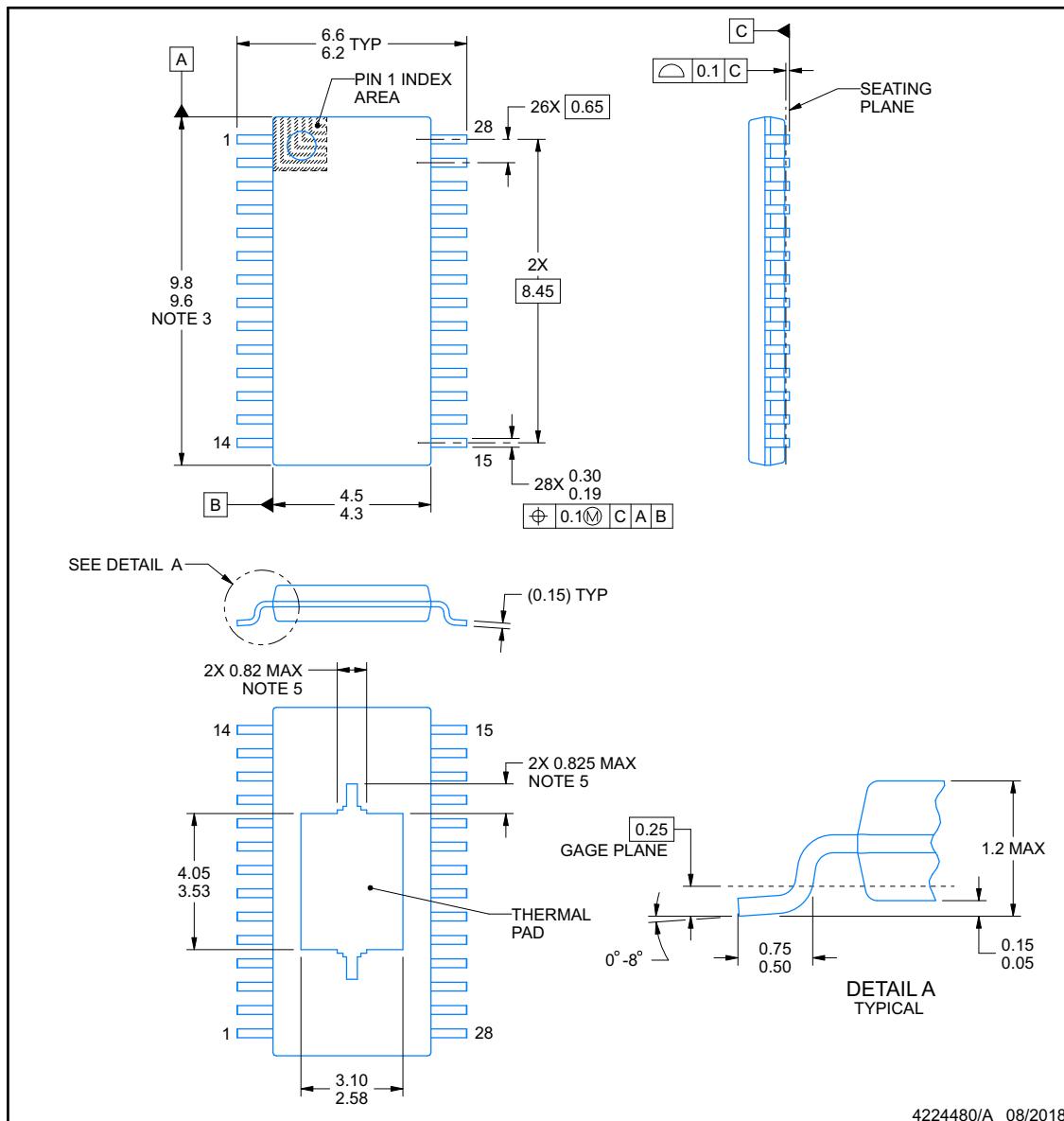


PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4224480/A 08/2018

NOTES:

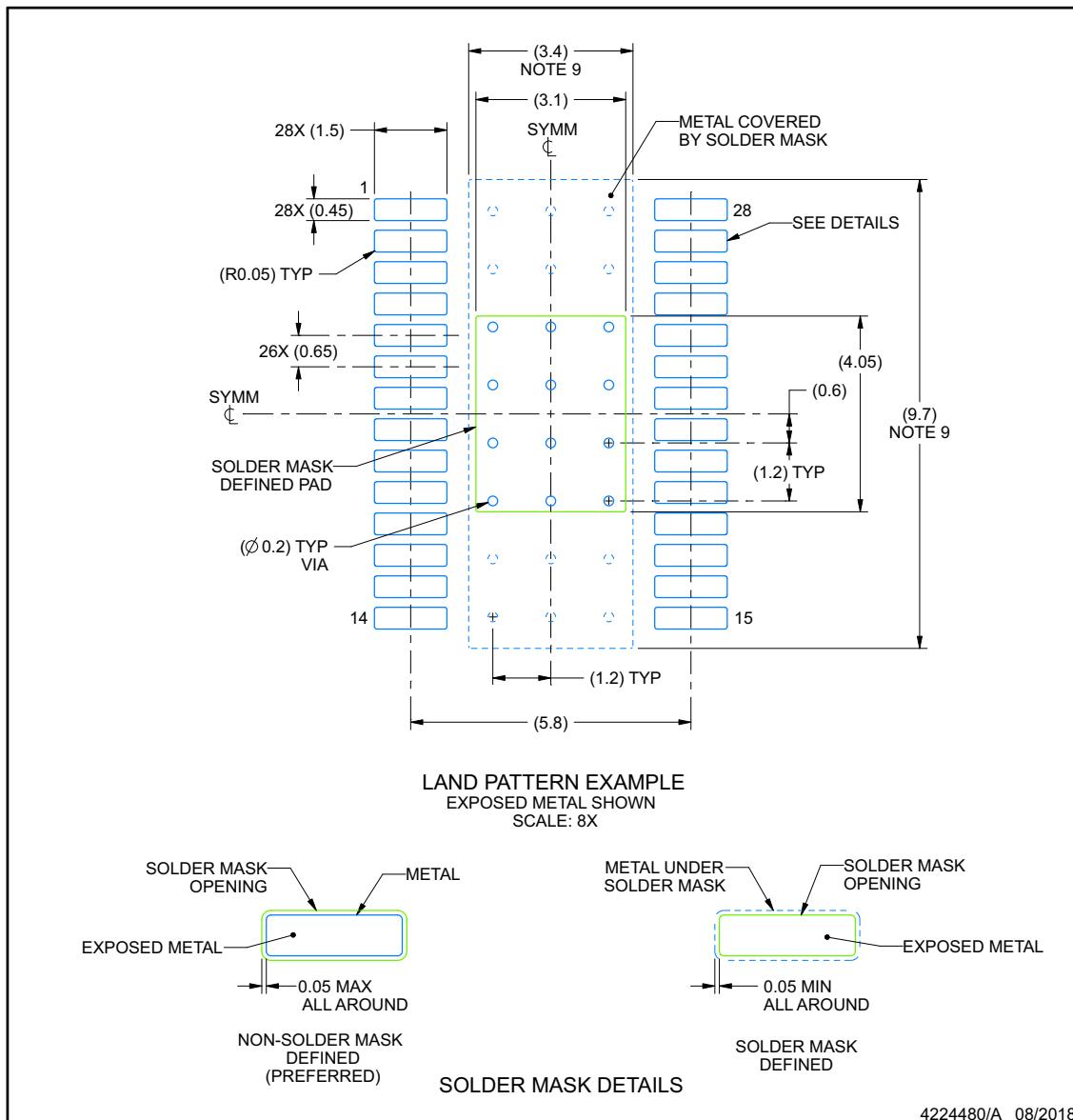
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

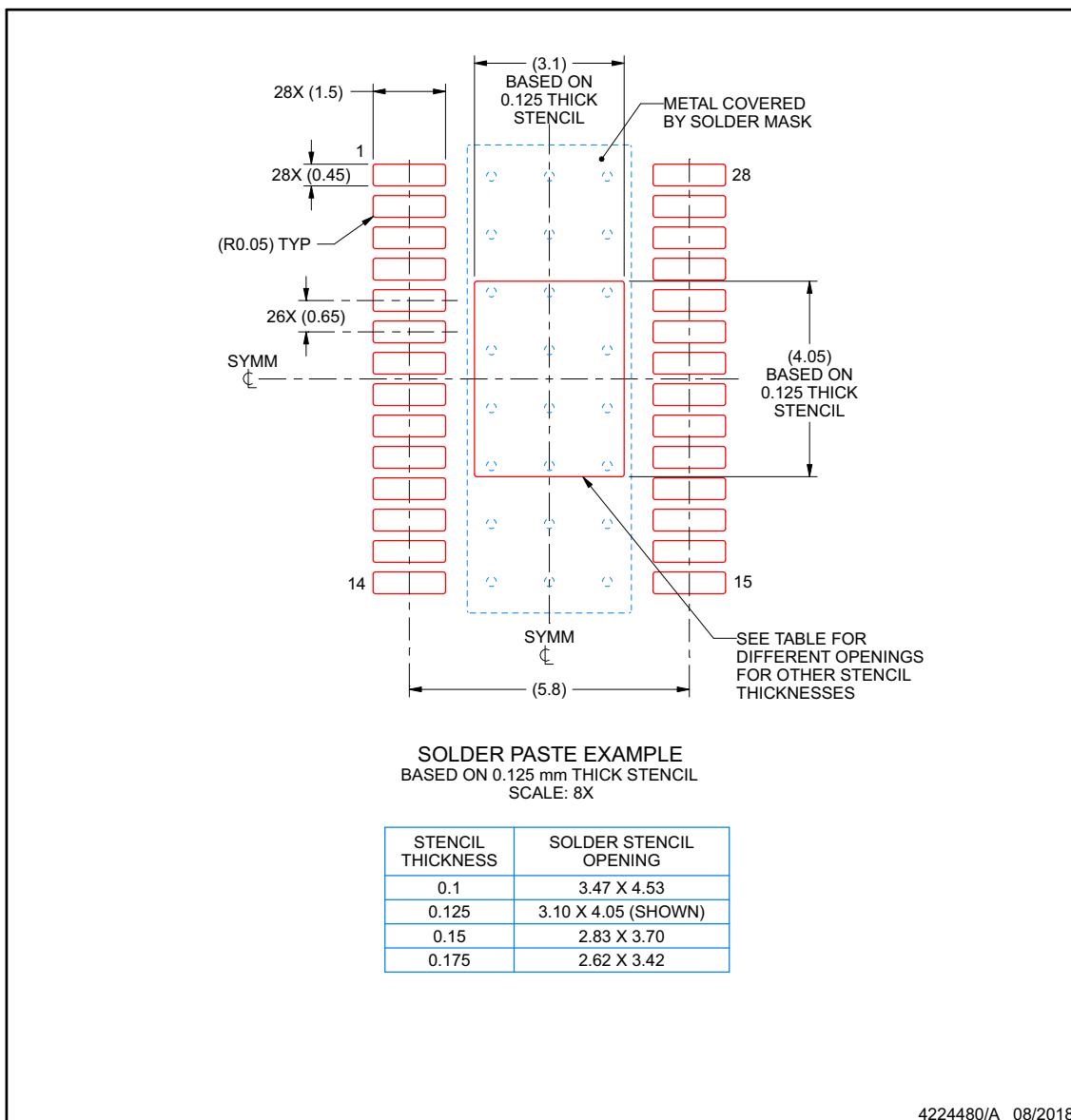
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4224480/A 08/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8434SPWPR	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8434S
DRV8434SPWPR.A	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8434S
DRV8434SRGER	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8434S
DRV8434SRGER.A	Active	Production	VQFN (RGE) 24	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8434S

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

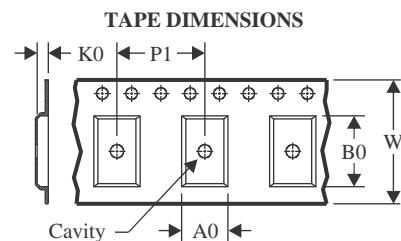
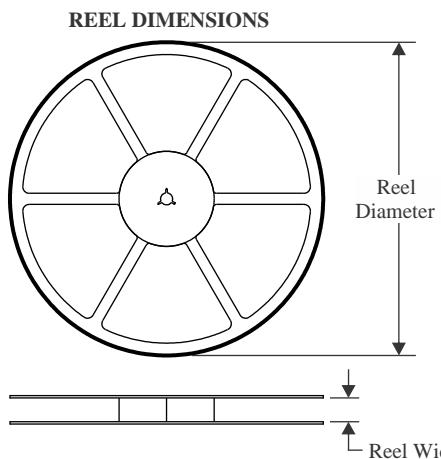
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

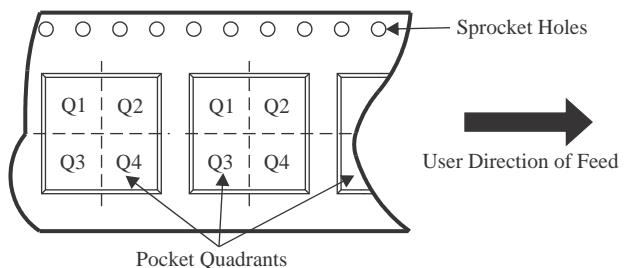
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

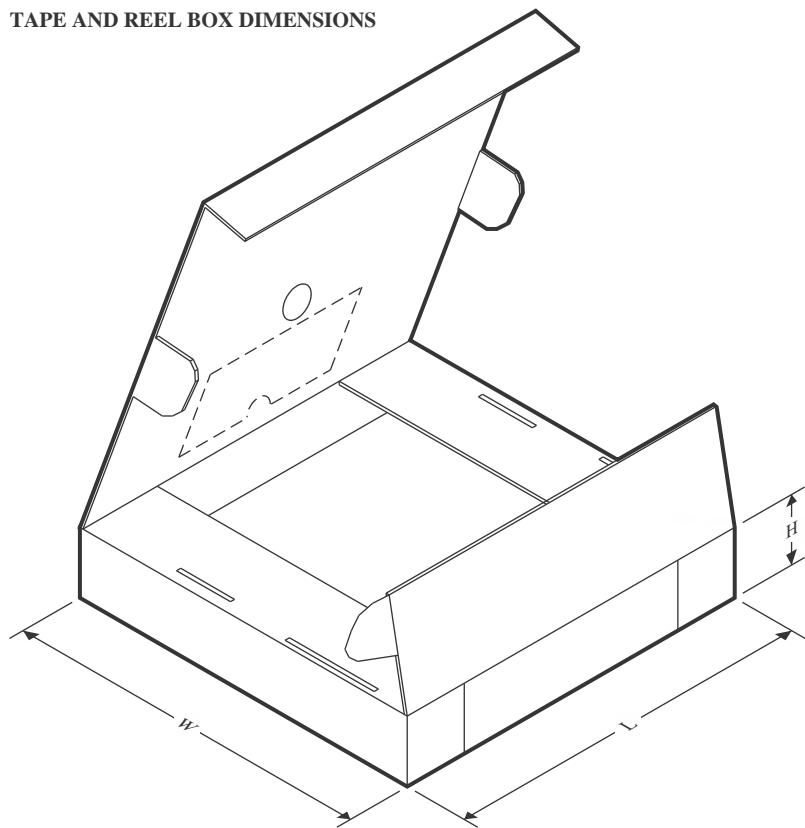
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8434SPWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1
DRV8434SRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8434SPWPR	HTSSOP	PWP	28	2500	353.0	353.0	32.0
DRV8434SRGER	VQFN	RGE	24	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

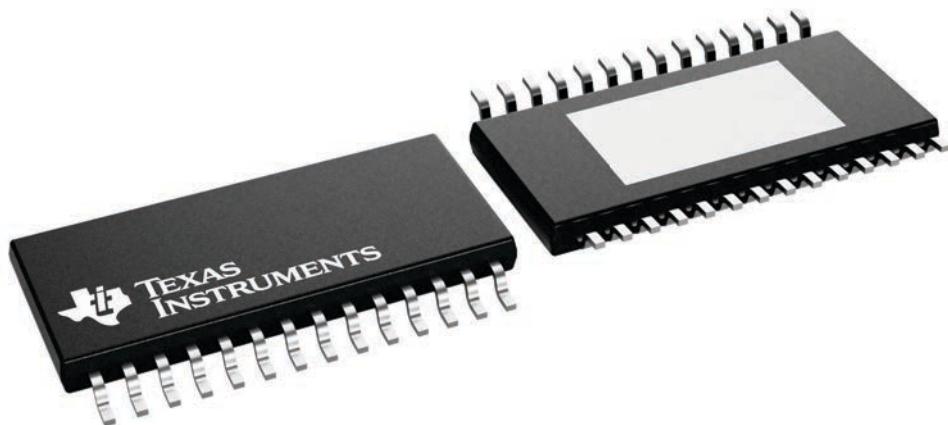
PWP 28

4.4 x 9.7, 0.65 mm pitch

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



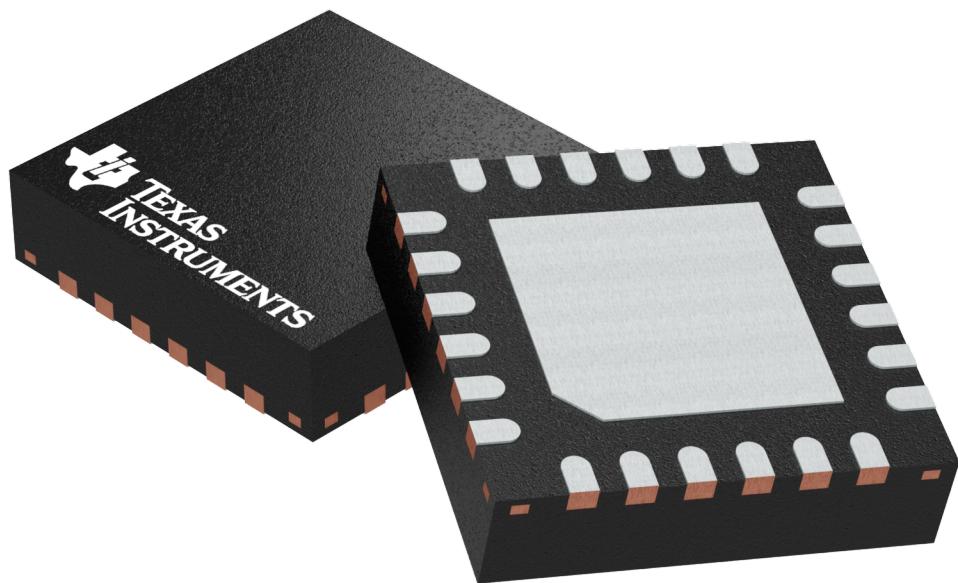
4224765/B

GENERIC PACKAGE VIEW

RGE 24

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H

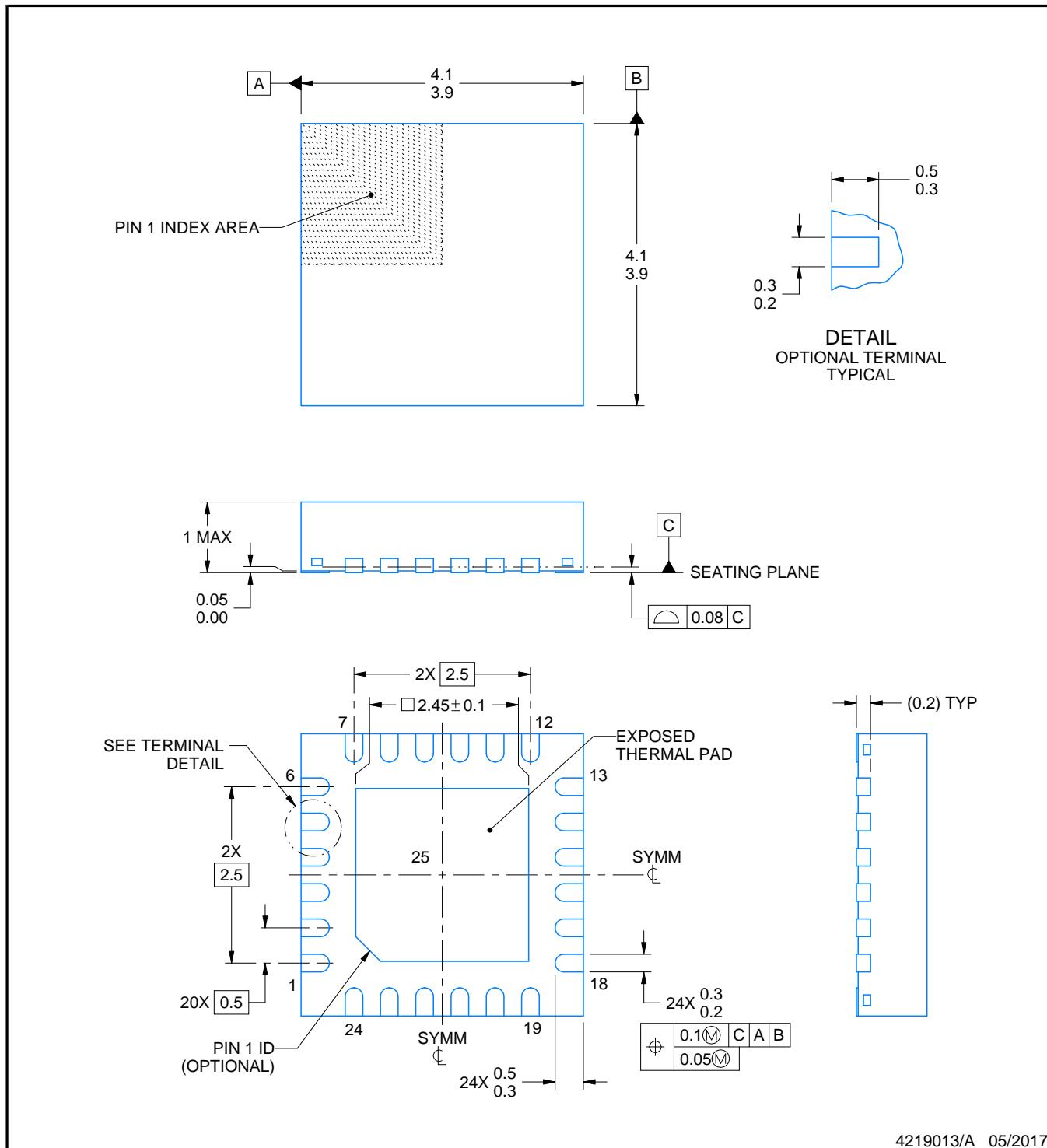
PACKAGE OUTLINE

RGE0024B



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219013/A 05/2017

NOTES:

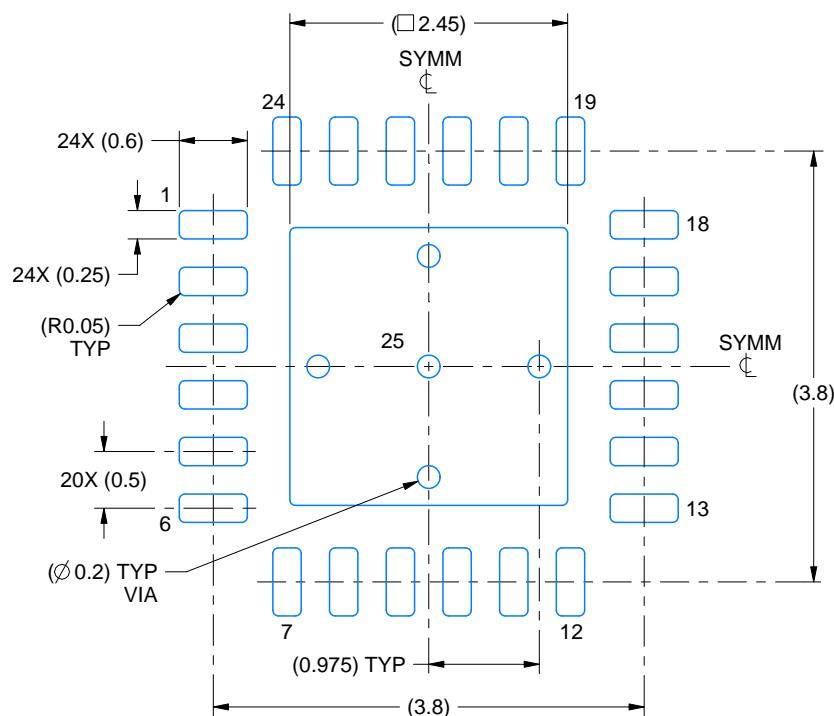
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

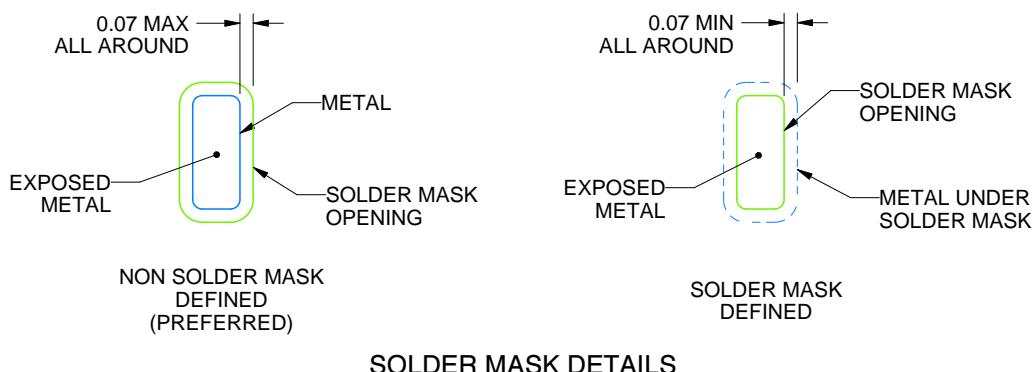
RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



4219013/A 05/2017

NOTES: (continued)

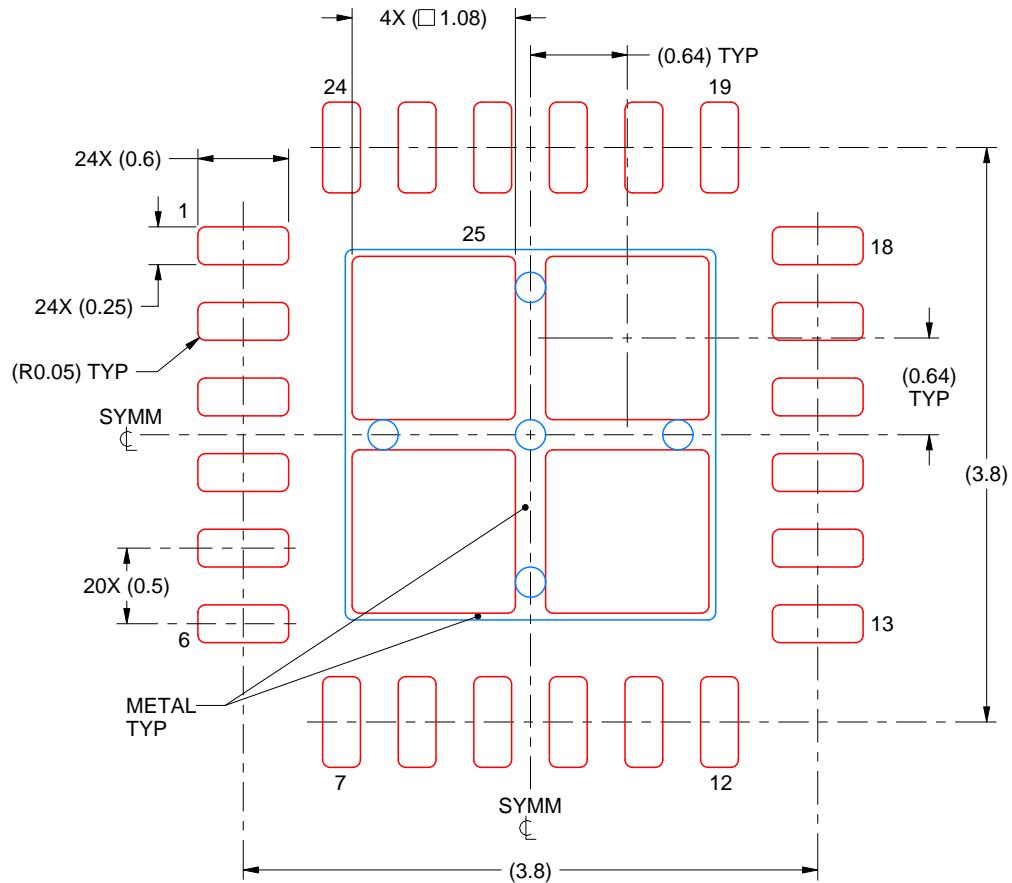
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月