

DRV8876N H ブリッジ・モータ・ドライバ

1 特長

- N チャネルの H ブリッジ・モータ・ドライバ
 - 1 つの双方向ブラシ付き DC モータを駆動
 - 2 つの単方向ブラシ付き DC モータ
 - その他の抵抗性および誘導性負荷
- 4.5V~37V の動作電源電圧範囲
- 高い出力電流能力: 3.5A (ピーク)
- 入力制御モード (PMODE) を選択可能
 - PH/EN および PWM H ブリッジ制御モード
 - 独立したハーフブリッジ制御モード
- 1.8V, 3.3V, 5V のロジック入力電圧に対応
- スリープ・モードでの非常に低い消費電力
 - $V_{VM} = 24V$, $T_J = 25^\circ C$ で $1\mu A$ 未満
- 拡散スペクトラム・クロックによる低い電磁気妨害 (EMI)
- 保護機能内蔵
 - 低電圧誤動作防止 (UVLO)
 - チャージ・ポンプ低電圧検出 (CPUV)
 - 過電流保護 (OCP)
 - 自動リトライまたは出力ラッチオフ (IMODE)
 - サーマル・シャットダウン (TSD)
 - フォルトからの自動復帰
 - フォルト通知出力ピン (nFAULT)

2 アプリケーション

- ブラシ付き DC モータ
- 大型および小型家電
- 掃除機、人型ロボット、ロボット玩具
- プリンタとスキャナ
- スマート・メーター
- ATM、通貨計数機、EPOS
- サーボ・モータとアクチュエータ

3 概要

DRV8876N は、N チャネル H ブリッジ、チャージ・ポンプ、保護回路を備えた統合型モータ・ドライバです。チャージ・ポンプは、N チャネル MOSFET ハーフブリッジと 100% デューティ・サイクル駆動に対応することで効率を向上させています。このデバイス・ファミリでは、最小限の設計変更で各種の負荷に対応できるように、ピン互換の $R_{DS(on)}$ バリエントを取りそろえています。

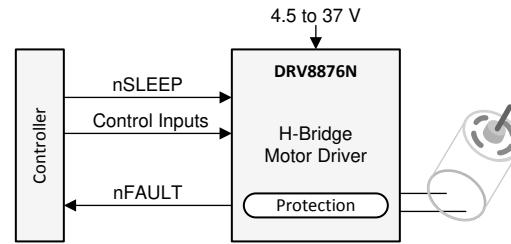
低消費電力スリープ・モードは、内部回路の多くをシャットダウンすることで非常に小さい静止電流を実現します。内部保護機能には、電源低電圧誤動作防止、チャージ・ポンプ低電圧、出力過電流、デバイス過熱が含まれます。フォルト条件は nFAULT で通知されます。

弊社のポートフォリオ全体について、ti.com の [ブラン付きモーター・ドライバ](#) をご覧ください。

製品情報 (1)

| 部品番号 | パッケージ | 本体サイズ (公称) |
|----------|-------------|-----------------|
| DRV8876N | HTSSOP (16) | 5.00mm × 4.40mm |

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図



英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、必ず最新版の英語版をご参照ください。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照ください。

目次

| | | | |
|-------------------|----------|-------------------------------|-----------|
| 1 特長 | 1 | 7.3 機能説明 | 9 |
| 2 アプリケーション | 1 | 7.4 デバイスの機能モード | 13 |
| 3 概要 | 1 | 8 アプリケーションと実装 | 15 |
| 4 改訂履歴 | 2 | 8.1 アプリケーション情報 | 15 |
| 5 ピン構成と機能 | 3 | 8.2 代表的なアプリケーション | 15 |
| ピン機能 | 3 | 9 電源に関する推奨事項 | 24 |
| 6 仕様 | 4 | 9.1 バルク容量 | 24 |
| 6.1 絶対最大定格 | 4 | 10 レイアウト | 25 |
| 6.2 ESD 定格 | 4 | 10.1 レイアウトのガイドライン | 25 |
| 6.3 推奨動作条件 | 4 | 10.2 レイアウト例 | 25 |
| 6.4 熱に関する情報 | 5 | 11 デバイスおよびドキュメントのサポート | 26 |
| 6.5 電気的特性 | 5 | 11.1 ドキュメントのサポート | 26 |
| 6.6 代表的特性 | 7 | 11.2 ドキュメントの更新通知を受け取る方法 | 26 |
| 7 詳細説明 | 8 | 11.3 コミュニティ・リソース | 26 |
| 7.1 概要 | 8 | 11.4 商標 | 26 |
| 7.2 機能ブロック図 | 8 | 12 メカニカル、パッケージ、および注文情報 | 27 |

4 改訂履歴

| Changes from Revision * (August 2019) to Revision A (April 2021) | Page |
|---|-------------|
| • PWP の熱の図と説明を更新 | 1 |
| • 「サイクル単位電流ショッピング」セクションの説明を更新 | 1 |
| • 「電気的特性」の t_{PD} テスト条件に負荷条件を追加 | 5 |
| • 「機能ブロック図」の誤字を訂正 | 8 |
| • 電源投入の図を追加 | 21 |

5 ピン構成と機能

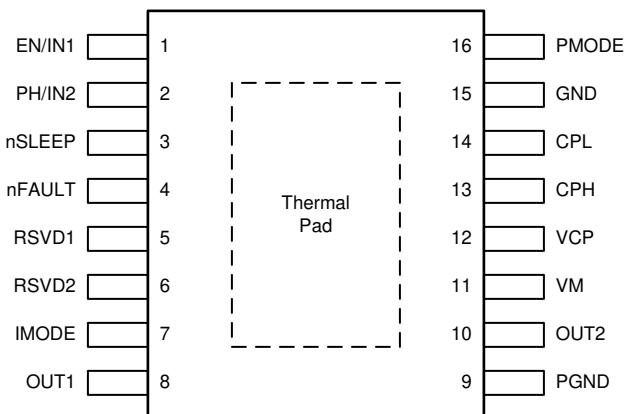


図 5-1. DRV8876N PWP パッケージ 16 ピン HTSSOP (露出サーマル・パッド付き) 上面図

ピン機能

| ピン | | タイプ ⁽¹⁾ | 説明 |
|--------|-----|--------------------|---|
| 名前 | PWP | | |
| CPH | 13 | PWR | チャージ・ポンプのスイッチング・ノード。X5R または X7R、22nF、VM 定格セラミック・コンデンサを CPH ピンと CPL ピンの間に接続します。 |
| CPL | 14 | PWR | |
| EN/IN1 | 1 | I | H ブリッジ制御入力。「セクション 7.3.2」を参照してください。内部プルダウン抵抗。 |
| GND | 15 | PWR | デバイスのグランド。システム・グランドに接続します。 |
| IMODE | 7 | I | 過電流保護モード「セクション 7.3.3.3」を参照してください。クワッドレベル入力。 |
| nFAULT | 4 | OD | フォルト状態出力。フォルト条件の間 Low になります。オープン・ドレイン動作の場合、外付けプルアップ抵抗を接続します。「セクション 7.3.3」を参照してください。 |
| nSLEEP | 3 | I | スリープ・モード入力。論理 High でデバイスをイネーブルします。論理 Low で低消費電力スリープ・モードに移行します。「セクション 7.4」を参照してください。内部プルダウン抵抗。 |
| OUT1 | 8 | O | H ブリッジ出力。モータまたはその他の負荷に接続します。 |
| OUT2 | 10 | O | H ブリッジ出力。モータまたはその他の負荷に接続します。 |
| PGND | 9 | PWR | デバイスの電源グランド。システム・グランドに接続します。 |
| PH/IN2 | 2 | I | H ブリッジ制御入力。「セクション 7.3.2」を参照してください。内部プルダウン抵抗。 |
| PMODE | 16 | I | H ブリッジ制御入力モード。「セクション 7.3.2」を参照してください。トライレベル入力。 |
| RSVD1 | 5 | I | 予約済みピン。1V より高い電圧に接続します。システムのロジック電源レールまたは nSLEEP にこのピンを接続することを推奨します。 |
| RSVD2 | 6 | O | 予約済みピン。システム・グランドに接続します。 |
| VCP | 12 | PWR | チャージ・ポンプの出力。X5R または X7R、100nF、16V セラミック・コンデンサを VCP ピンと VM ピンの間に接続します。 |
| VM | 11 | 電源 | 4.5V~37V 電源入力。VM 定格の 0.1μF バイパス・コンデンサと十分なセクション 9.1 をグランドとの間に接続します。 |
| PAD | — | — | サーマル・パッド。システム・グランドに接続します。 |

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン・ドレイン

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾

| | | | 最小値 | 最大値 | 単位 |
|---------------------|--------------------------------------|--|----------------|----------------|----|
| 電源ピン電圧 | VM | | -0.3 | 40 | V |
| グランド・ピン間の電圧差 | GND, PGND | | -0.3 | 0.3 | V |
| チャージ・ポンプ・ピン電圧 | CPH, VCP | | $V_{VM} - 0.3$ | $V_{VM} + 7$ | V |
| チャージ・ポンプ・ローサイド・ピン電圧 | CPL | | -0.3 | $V_{VM} + 0.3$ | V |
| ロジック・ピン電圧 | EN/IN1, IMODE, nSLEEP, PH/IN2, PMODE | | -0.3 | 5.75 | V |
| オープン・ドレイン出力ピン電圧 | nFAULT | | -0.3 | 5.75 | V |
| 出力ピン電圧 | OUT1, OUT2 | | -0.9 | $V_{VM} + 0.9$ | V |
| 出力ピン電流 | OUT1, OUT2 | | 内部的に制限 | 内部的に制限 | A |
| 予約済みピン電圧 | RSVD1, RSVD2 | | -0.3 | 5.75 | V |
| 周囲温度、 T_A | | | -40 | 125 | °C |
| 接合部温度、 T_J | | | -40 | 150 | °C |
| 保管温度、 T_{stg} | | | -65 | 150 | °C |

- (1) 絶対最大定格を上回るストレスが加わった場合、本製品に永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

| | | | 値 | 単位 |
|-------------|-------|---|-------|----|
| $V_{(ESD)}$ | 静電気放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾ | ±2000 | V |
| | | デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾ | ±500 | |

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

| | | | 最小値 | 公称値 | 最大値 | 単位 |
|--------------------------|-------------------|------------------------------|-----|-----|-----|-----|
| V_{VM} | 電源電圧 | VM | 4.5 | 37 | 37 | V |
| V_{IN} | 論理入力電圧 | EN/IN1, MODE, nSLEEP, PH/IN2 | 0 | 5.5 | 5.5 | V |
| f_{PWM} | PWM 周波数 | EN/IN1, PH/IN2 | 0 | 100 | 100 | kHz |
| V_{OD} | オープン・ドレイン・プルアップ電圧 | nFAULT | 0 | 5.5 | 5.5 | V |
| I_{OD} | オープン・ドレイン出力電流 | nFAULT | 0 | 5 | 5 | mA |
| I_{OUT} ⁽¹⁾ | ピーク出力電流 | OUT1, OUT2 | 0 | 3.5 | 3.5 | A |
| V_{RSVD1} | RSVD1 予約済みピン電圧 | RSVD1 | 0 | 5.5 | 5.5 | V |
| T_A | 動作時周囲温度 | | -40 | 125 | 125 | °C |
| T_J | 動作時接合部温度 | | -40 | 150 | 150 | °C |

- (1) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

| 熱特性 (1) | | DRV8876N | 単位 |
|-----------------------------|-------------------|--------------|------|
| | | PWP (HTSSOP) | |
| | | 16 ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 44.3 | °C/W |
| $R_{\theta JC(\text{top})}$ | 接合部からケース(上面)への熱抵抗 | 38.3 | °C/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 20.5 | °C/W |
| Ψ_{JT} | 接合部から上面への熱特性パラメータ | 1.0 | °C/W |
| Ψ_{JB} | 接合部から基板への熱特性パラメータ | 20.4 | °C/W |
| $R_{\theta JC(\text{bot})}$ | 接合部からケース(底面)への熱抵抗 | 5.0 | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

$4.5V \leq V_{VM} \leq 37V$ 、 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|--------------------|---|------|------|-----|
| 電源 (VCP, VM) | | | | | |
| I_{VMQ} | VM スリープ・モード電流 | $V_{VM} = 24V$, $nSLEEP = 0V$, $T_J = 25^{\circ}\text{C}$ | 0.75 | 1 | μA |
| | | $nSLEEP = 0V$ | | 5 | μA |
| I_{VM} | VM アクティブ・モード電流 | $V_{VM} = 24V$, $nSLEEP = 5V$, $EN/IN1 = PH/IN2 = 0V$ | 3 | 7 | mA |
| t_{WAKE} | ターンオン時間 | $V_{VM} > V_{UVLO}$, $nSLEEP = 5V$ でアクティブ | | 1 | ms |
| t_{SLEEP} | ターンオフ時間 | $nSLEEP = 0V$ でスリープ・モード | | 1 | ms |
| V_{VCP} | チャージ・ポンプ・レギュレータ電圧 | VM で決まる V_{VCP} , $V_{VM} = 24V$ | 5 | | V |
| f_{VCP} | チャージ・ポンプ・スイッチング周波数 | | 400 | | kHz |
| 論理レベル入力 (EN/IN1, PH/IN2, nSLEEP) | | | | | |
| V_{IL} | 入力論理 Low 電圧 | $V_{VM} < 5V$ | 0 | 0.7 | V |
| | | $V_{VM} \geq 5V$ | 0 | 0.8 | |
| V_{IH} | 入力論理 High 電圧 | | 1.5 | 5.5 | V |
| V_{HYS} | 入力ヒステリシス | | 200 | | mV |
| | | $nSLEEP$ | 50 | | mV |
| I_{IL} | 入力論理 Low 電流 | $V_I = 0V$ | -5 | 5 | μA |
| I_{IH} | 入力論理 High 電流 | $V_I = 5V$ | 50 | 75 | μA |
| R_{PD} | 入力プルダウン抵抗 | 対 GND | 100 | | kΩ |
| トライレベル入力 (PMODE) | | | | | |
| V_{TIL} | トライレベル入力論理 Low 電圧 | | 0 | 0.65 | V |
| V_{TIZ} | トライレベル入力 Hi-Z 電圧 | $4.5V < V_{VM} < 5.5V$ | 0.9 | 1.0 | 1.1 |
| | | $5.5V < V_{VM} < 37V$ | 0.9 | 1.1 | 1.2 |
| V_{TIH} | トライレベル入力論理 High 電圧 | | 1.5 | 5.5 | V |
| I_{TIL} | トライレベル入力論理 Low 電流 | $V_I = 0V$ | -50 | -32 | μA |
| I_{TIZ} | トライレベル入力 Hi-Z 電流 | $V_I = 1.1V$ | -10 | 10 | μA |
| I_{TIH} | トライレベル入力論理 High 電流 | $V_I = 5V$ | 113 | 150 | μA |
| R_{TPD} | トライレベル・プルダウン抵抗 | 対 GND | 44 | | kΩ |
| R_{TPU} | トライレベル・プルアップ抵抗 | 対内部 5V | 156 | | kΩ |
| クワッドレベル入力 (IMODE) | | | | | |
| V_{Q12} | クワッドレベル入力レベル 1 | クワッドレベル 1 に設定する電圧 | 0 | 0.45 | V |

4.5V $\leq V_{VM} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 | |
|-----------------------------|---------------------|--|------|------|-------------|---|
| R_{QI2} | クワッドレベル入力レベル 2 | クワッドレベル 2 を設定するための対 GND 抵抗 | 18.6 | 20 | k Ω | |
| R_{QI3} | クワッドレベル入力レベル 3 | クワッドレベル 3 を設定するための対 GND 抵抗 | 57.6 | 62 | k Ω | |
| V_{QI4} | クワッドレベル入力レベル 4 | クワッドレベル 4 を設定するための電圧 | 2.5 | 5.5 | V | |
| R_{QPD} | クワッドレベル・プルダウン抵抗 | 対 GND | | 136 | k Ω | |
| R_{QPU} | クワッドレベル・プルアップ抵抗 | 対内部 5V | | 68 | k Ω | |
| オープン・ドレイン出力 (nFAULT) | | | | | | |
| V_{OL} | 出力論理 Low 電圧 | $I_{OD} = 5mA$ | | 0.35 | V | |
| I_{OZ} | 出力論理 High 電流 | $V_{OD} = 5V$ | | -2 | μA | |
| ドライバ出力 (OUT1, OUT2) | | | | | | |
| $R_{DS(on)_HS}$ | ハイサイド MOSFET オン抵抗 | $V_{VM} = 24V$, $I_O = 1A$, $T_J = 25^{\circ}C$ | 350 | 420 | m Ω | |
| $R_{DS(on)_LS}$ | ローサイド MOSFET オン抵抗 | $V_{VM} = 24V$, $I_O = -1A$, $T_J = 25^{\circ}C$ | 350 | 420 | m Ω | |
| V_{SD} | ボディ・ダイオード順方向電圧 | $I_{SD} = 1A$ | | 0.9 | V | |
| t_{RISE} | 出力立ち上がり時間 | $V_{VM} = 24V$, OUTx が 10% から 90% まで立ち上がる時間 | | 150 | ns | |
| t_{FALL} | 出力立ち下がり時間 | $V_{VM} = 24V$, OUTx が 90% から 10% まで立ち下がる時間 | | 150 | ns | |
| t_{PD} | 入力から出力までの伝搬遅延 | (EN/IN1, PH/IN2) から OUTx まで、OUTx から GND に 200 Ω を接続 | | 650 | ns | |
| t_{DEAD} | 出力デッドタイム | ボディ・ダイオード導通 | | 300 | ns | |
| 保護回路 | | | | | | |
| V_{UVLO} | 電源低電圧誤動作防止 (UVLO) | V_{VM} 立ち上がり | 4.3 | 4.45 | 4.6 | V |
| | | V_{VM} 立ち下がり | 4.2 | 4.35 | 4.5 | V |
| V_{UVLO_HYS} | 電源 UVLO ヒステリシス | | | 100 | mV | |
| t_{UVLO} | 電源低電圧グリッヂ除去時間 | | | 10 | μs | |
| V_{CPUV} | チャージ・ポンプ低電圧誤動作防止 | VM を基準とした VCP の電位、 V_{VCP} 立ち下がり | | 2.25 | V | |
| I_{OCP} | 過電流保護トリップ・ポイント | | | 3.5 | A | |
| t_{OCP} | 過電流保護グリッヂ除去時間 | | | 3 | μs | |
| t_{RETRY} | 過電流保護リトライ時間 | | | 2 | ms | |
| T_{TSD} | サーマル・シャットダウン温度 | | | 160 | $^{\circ}C$ | |
| T_{HYS} | サーマル・シャットダウン・ヒステリシス | | | 20 | $^{\circ}C$ | |

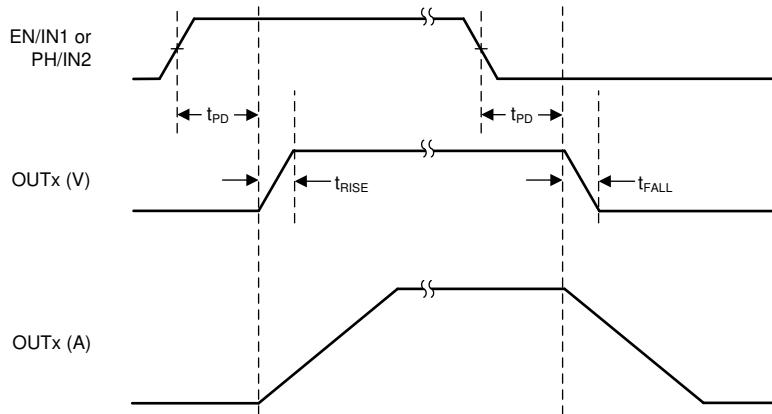


図 6-1. タイミング・パラメータ図

6.6 代表的特性

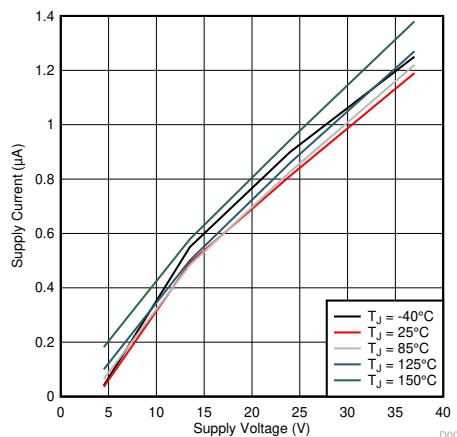


図 6-2. スリープ電流 ($I_{V_{MQ}}$) と電源電圧 (V_{VM}) との関係

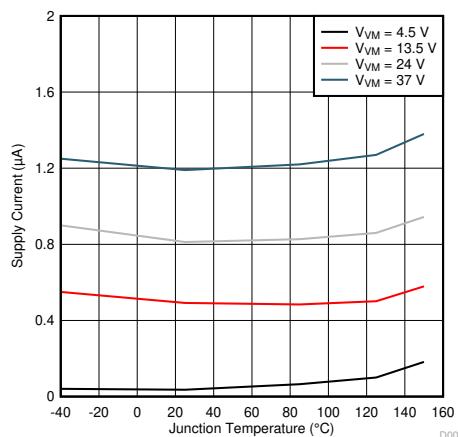


図 6-3. スリープ電流 ($I_{V_{MQ}}$) と接合部温度との関係

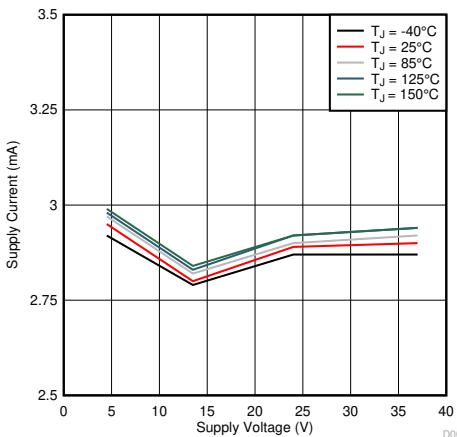


図 6-4. アクティブ電流 (I_{V_M}) と電源電圧 (V_{VM}) との関係

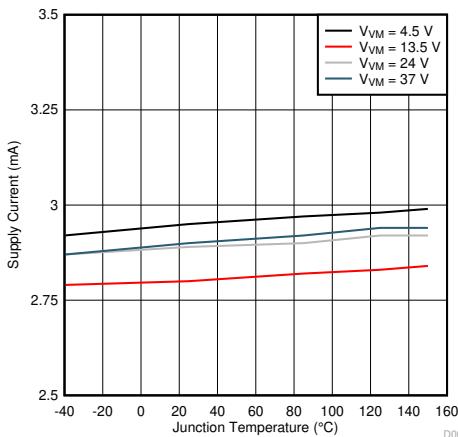


図 6-5. アクティブ電流 (I_{V_M}) と接合部温度との関係

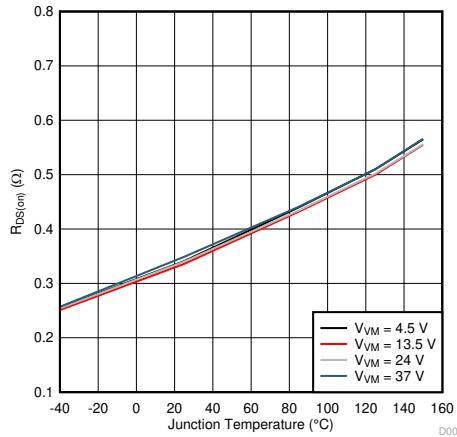


図 6-6. ローサイド $R_{DS(on)}$ と接合部温度との関係

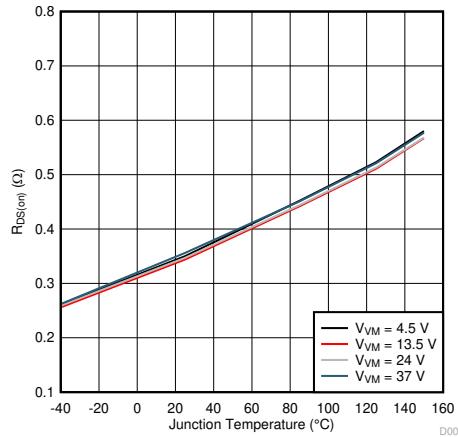


図 6-7. ハイサイド $R_{DS(on)}$ と接合部温度との関係

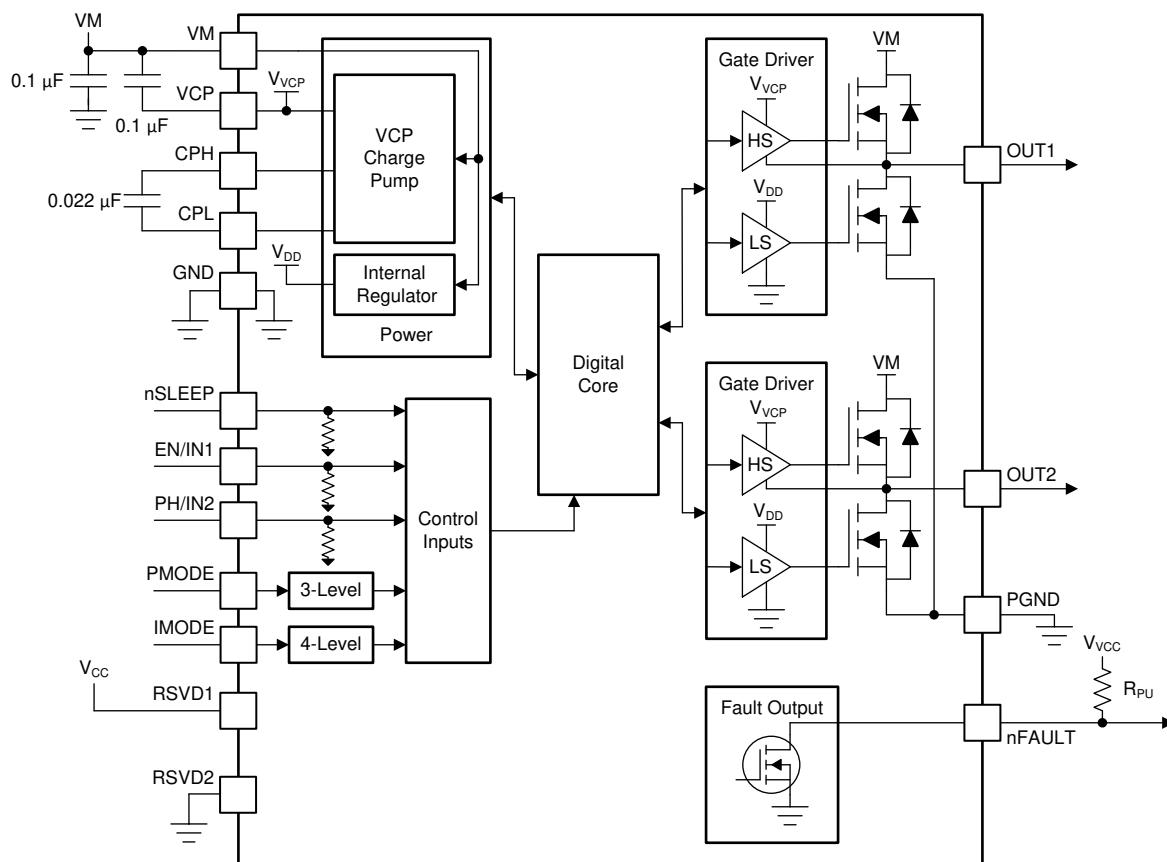
7 詳細説明

7.1 概要

DRV887x ファミリは、4.5~37V で動作するブラシ付き DC モータ・ドライバであり、各種モータおよび負荷の幅広い出力負荷電流をサポートしています。本デバイスは、PMODE ピン設定で設定される各種制御モードで動作できる H ブリッジ出力電力段を内蔵しています。そのため、1 つの双方向ブラシ付き DC モータ、2 つの単方向ブラシ付き DC モータ、その他の出力負荷構成を駆動できます。また、チャージ・ポンプ・レギュレータを内蔵しており、より高効率なハイサイド N チャネル MOSFET と 100% デューティ・サイクル動作に対応しています。本デバイスは、バッテリまたは DC 電圧電源に直接接続できる単一電源入力 (VM) で動作します。nSLEEP ピンにより、超低消費電力モードに移行して、スリープ時の消費電流を最小限に抑えることができます。

システムに異常状態が発生した場合、内蔵する各種保護機能がデバイスを保護します。主な保護機能は、低電圧誤動作防止 (UVLO)、チャージ・ポンプ低電圧 (CPUV)、過電流保護 (OCP)、過熱シャットダウン (TSD) などです。フォルト状態は、nFAULT ピンにより通知されます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 外付け部品

表 7-1 に、推奨外付け部品を示します。

表 7-1. 推奨外付け部品

| 部品 | ピン 1 | ピン 2 | 推奨する事項 |
|--------------|-------|--------|--|
| C_{VM1} | VM | GND | 0.1 μ F、低 ESR セラミック・コンデンサ、VM 定格。 |
| C_{VM2} | VM | GND | セクション 9.1 、VM 定格。 |
| C_{VCP} | VCP | VM | X5R または X7R、100nF、16V セラミック・コンデンサ |
| C_{FLY} | CPH | CPL | X5R または X7R、22nF、VM 定格セラミック・コンデンサ |
| R_{IMODE} | IMODE | GND | セクション 7.3.3.3 を参照してください。 |
| R_{PMODE} | PMODE | GND | セクション 7.3.2 を参照してください。 |
| R_{nFAULT} | VCC | nFAULT | プルアップ抵抗、 $I_{OD} \leq 5\text{mA}$ |

7.3.2 制御モード

DRV887x ファミリは、3 つのモードを備えており、EN/IN1 ピンと PH/IN2 ピンを使った各種制御方式に対応しています。制御モードは、PMODE ピンを論理 Low、論理 High、Hi-Z のいずれかに設定して選択します ([表 7-2 参照](#))。PMODE ピンの状態は、nSLEEP ピンでデバイスをイネーブルした際にラッチされます。PMODE の状態を変更するには、nSLEEP ピンを論理 Low にし、 t_{SLEEP} 時間待機して、PMODE ピンの入力を変更し、nSLEEP ピンを論理 High に戻してデバイスをイネーブルします。

表 7-2. PMODE の機能

| PMODE の状態 | 制御モード |
|-----------------|-----------|
| PMODE = 論理 Low | PH/EN |
| PMODE = 論理 High | PWM |
| PMODE = Hi-Z | 独立ハーフブリッジ |

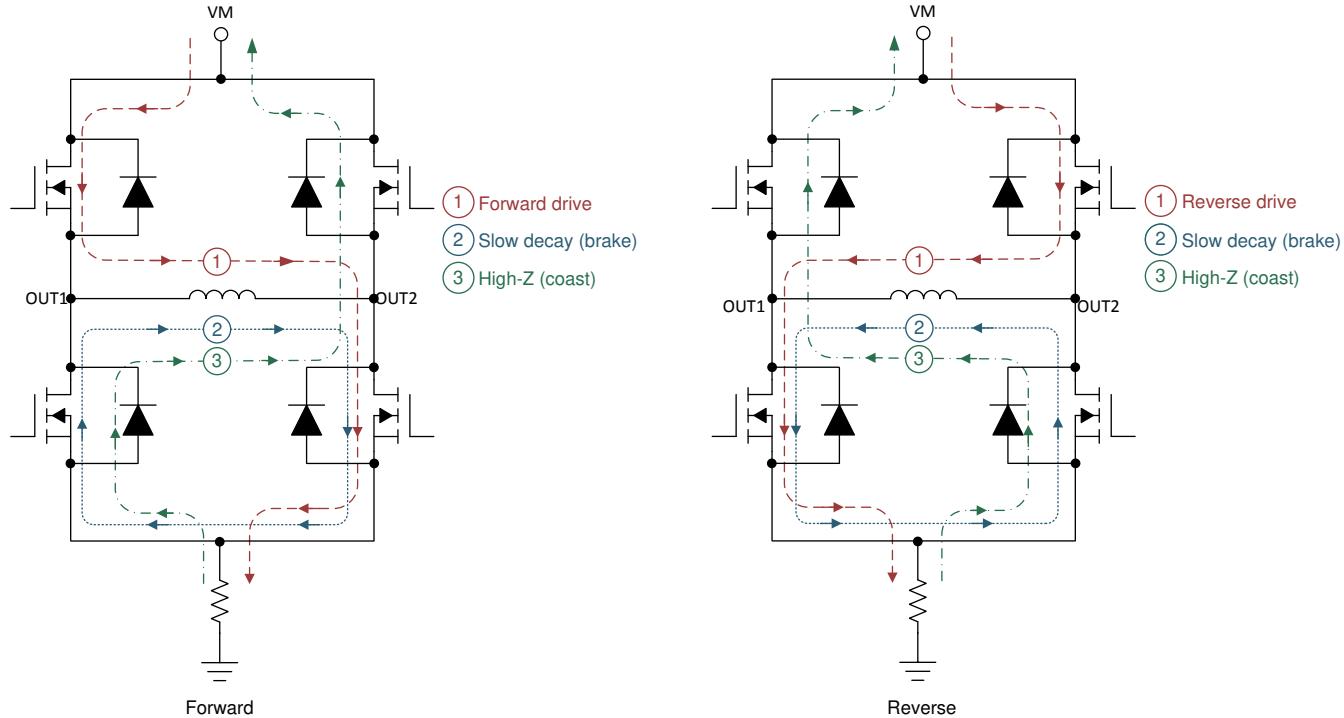


図 7-1. H ブリッジの動作モード

入力は、静的電圧 (100% 駆動モード) またはパルス幅変調 (PWM) 電圧信号 (PWM 駆動モード) を受け入れます。VM を印加する前に、デバイスの入力ピンに電力を供給しても問題ありません。入力がなくても出力が確実に Hi-Z になるように、EN/IN1 および PH/IN2 ピンにはデフォルトで内部プルダウン抵抗が接続されています。

以下に、各制御モードの真理値表を示します。また、DRV887x ファミリでは、ハーフブリッジのハイサイド MOSFET とローサイド MOSFET の切り替え時に自動的にデッドタイムが生成されます。

図 7-1 に、H ブリッジの各種状態の呼称と構成を示します。

7.3.2.1 PH/EN 制御モード (PMODE = 論理 Low)

電源投入時に PMODE ピンが論理 Low の場合、デバイスは PH/EN モードにラッチされます。PH/EN モードでは、H ブリッジのインターフェイスの速度と方向タイプを制御できます。表 7-3 に、PH/EN モードの真理値表を示します。

表 7-3. PH/EN 制御モード

| nSLEEP | EN | PH | OUT1 | OUT2 | 説明 |
|--------|----|----|------|------|-----------------------|
| 0 | X | X | Hi-Z | Hi-Z | スリープ (H ブリッジ Hi-Z) |
| 1 | 0 | X | L | L | ブレーキ (ローサイド・スロー・ディケイ) |
| 1 | 1 | 0 | L | H | 逆方向 (OUT2 → OUT1) |
| 1 | 1 | 1 | H | L | 順方向 (OUT1 → OUT2) |

7.3.2.2 PWM 制御モード (PMODE = 論理 High)

電源投入時に PMODE ピンが論理 High の場合、デバイスは PWM モードにラッチされます。PWM モードでは、nSLEEP ピンを論理 Low にしなくても H ブリッジは Hi-Z 状態に移行できます。表 7-4 に、PWM モードの真理値表を示します。

表 7-4. PWM 制御モード

| nSLEEP | IN1 | IN2 | OUT1 | OUT2 | 説明 |
|--------|-----|-----|------|------|--------------------|
| 0 | X | X | Hi-Z | Hi-Z | スリープ (H ブリッジ Hi-Z) |
| 1 | 0 | 0 | Hi-Z | Hi-Z | コースト (H ブリッジ Hi-Z) |

表 7-4. PWM 制御モード (continued)

| nSLEEP | IN1 | IN2 | OUT1 | OUT2 | 説明 |
|--------|-----|-----|------|------|-----------------------|
| 1 | 0 | 1 | L | H | 逆方向 (OUT2 → OUT1) |
| 1 | 1 | 0 | H | L | 順方向 (OUT1 → OUT2) |
| 1 | 1 | 1 | L | L | ブレーキ (ローサイド・スロー・ディケイ) |

7.3.2.3 独立ハーフブリッジ制御モード (PMODE = Hi-Z)

電源投入時に PMODE ピンが Hi-Z の場合、デバイスは独立ハーフブリッジ制御モードにラッピングされます。このモードでは、各ハーフブリッジを直接制御して、ハイサイド・スロー・ディケイまたは 2 つの独立した負荷の駆動をサポートできます。表 7-5 に、独立ハーフブリッジ・モードの真理値表を示します。

表 7-5. 独立ハーフブリッジ制御モード

| nSLEEP | INx | OUTx | 説明 |
|--------|-----|------|--------------------|
| 0 | X | Hi-Z | スリープ (H ブリッジ Hi-Z) |
| 1 | 0 | L | OUTx ローサイド・オン |
| 1 | 1 | H | OUTx ハイサイド・オン |

7.3.3 保護回路

DRV887x ファミリは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、デバイス過熱イベントからデバイスを保護します。

7.3.3.1 VM 電源低電圧誤動作防止 (UVLO)

VM ピンの電源電圧が低電圧誤動作防止スレッショルド電圧 (V_{UVLO}) を下回ると、H ブリッジのすべての MOSFET がディスエーブルされ、nFAULT ピンが Low に駆動されます。この条件では、チャージ・ポンプはディスエーブルされます。低電圧条件が解消し、VM が V_{UVLO} スレッショルドを上回ると、通常動作を再開します。

7.3.3.2 VCP チャージ・ポンプ低電圧誤動作防止 (CPUV)

VCP ピンのチャージ・ポンプ電圧が低電圧誤動作防止スレッショルド電圧 (V_{CPUV}) を下回ると、H ブリッジのすべての MOSFET がディスエーブルされ、nFAULT ピンが Low に駆動されます。低電圧条件が解消し、VCP が V_{CPUV} スレッショルドを上回ると、通常動作を再開します。

7.3.3.3 OUTx の過電流保護 (OCP)

各 MOSFET のアナログ電流制限回路により、短絡時にもデバイスのピーク出力電流を制限できます。

出力電流が t_{OCP} より長く過電流スレッショルド I_{OCP} を上回ると、H ブリッジのすべての MOSFET がディスエーブルされ、nFAULT ピンが Low に駆動されます。表 7-6 に示すとおり、過電流応答は IMODE ピンで設定できます。

表 7-6. IMODE の機能

| IMODE の状態 | 過電流応答 |
|--------------|-----------|
| IMODE = GND | 自動リトライ |
| IMODE = Hi-Z | 出力をオフにラッチ |

自動リトライ・モードでは、MOSFET がディスエーブルされ、nFAULT ピンが t_{RETRY} の間 Low に駆動されます。 t_{RETRY} 後、EN/IN1 ピンと PH/IN2 ピンの状態に応じて MOSFET が再イネーブルされます。過電流状態がまだ解消していない場合、このサイクルを繰り返します。解消している場合、通常のデバイス動作を再開します。

ラッチオフ・モードでは、nSLEEP ピンを使用するか VM 電源を切ってデバイスをリセットするまで、MOSFET はディスエーブルされ、nFAULT ピンは Low に駆動されたままになります。

セクション 7.3.2.3 では、OCP の動作が若干変わります。過電流イベントが検出されると、該当するハーフブリッジのみがディスエーブルされ、nFAULT ピンが Low に駆動されます。もう一方のハーフブリッジは通常動作を継続します。これにより、本デバイスは負荷を個別に駆動して、フォルト・イベントを個別に管理できます。両方のハーフブリッジで過電流イベントが検出されると、両方のハーフブリッジがディスエーブルされ、nFAULT ピンが Low に駆動されます。自動リトライ・モードでは、両方のハーフブリッジで同じ過電流リトライ・タイマを共有します。まず一方のハーフブリッジに過電流イベントが発生し、その後 t_{RETRY} が経過する前に、もう一方のハーフブリッジにも発生した場合、最初のハーフブリッジのリトライ・タイマが t_{RETRY} にリセットされ、リトライ・タイマのタイムアウト後に両方のハーフブリッジが再イネーブルされます。

7.3.3.4 サーマル・シャットダウン (TSD)

デバイス温度が過熱スレッショルド T_{TSD} を上回ると、H ブリッジのすべての MOSFET がディスエーブルされ、nFAULT ピンが Low に駆動されます。過熱状態が解消し、デバイス温度が T_{TSD} スレッショルドを下回ると、通常動作を再開します。

7.3.3.5 フォルト条件のまとめ

表 7-7. フォルト条件のまとめ

| フォルト | 条件 | 通知 | H ブリッジ | 復帰 |
|---------------------|------------------|--------|---------|------------------|
| VM 低電圧誤動作防止 (UVLO) | $VM < V_{UVLO}$ | nFAULT | ディスエーブル | $VM > V_{UVLO}$ |
| VCP 低電圧誤動作防止 (CPUV) | $VCP < V_{CPUV}$ | nFAULT | ディスエーブル | $VCP > V_{CPUV}$ |

表 7-7. フォルト条件のまとめ (continued)

| フォルト | 条件 | 通知 | H ブリッジ | 復帰 |
|--------------------|---------------------|--------|---------|---------------------------------|
| 過電流 (OCP) | $I_{OUT} > I_{OCP}$ | nFAULT | ディスエーブル | t_{RETRY} またはリセット (IMODE で設定) |
| サーマル・シャットダウン (TSD) | $T_J > T_{TSD}$ | nFAULT | ディスエーブル | $T_J < T_{TSD} - T_{HYS}$ |

7.3.4 ピン構造図

7.3.4.1 論理レベル入力

図 7-2 に、論理レベル入力ピン EN/IN1、PH/IN2、nSLEEP の入力構造を示します。

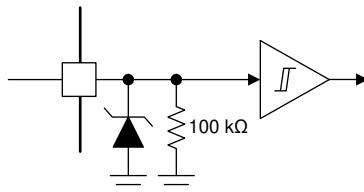


図 7-2. 論理レベル入力

7.3.4.2 トライレベル入力

図 7-3 にトライレベル入力ピン PMODE の入力構造を示します。

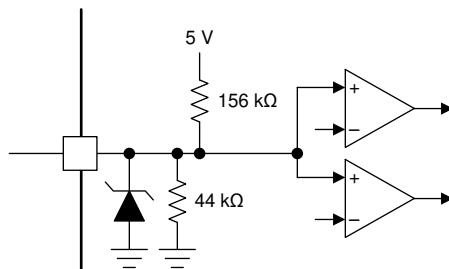


図 7-3. PMODE トライレベル入力

7.3.4.3 クワッドレベル入力

図 7-4 にクワッドレベル入力ピン IMODE の入力構造を示します。DRV8876N の場合、このピンをグランドに接続するか、フローティングのままにする必要があります (表 7-6 を参照)。

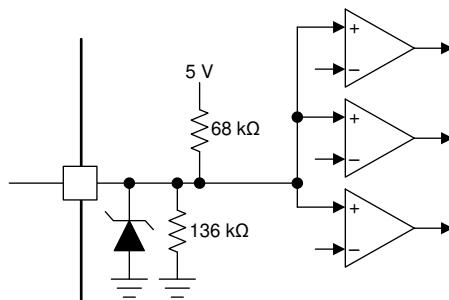


図 7-4. クワッドレベル入力

7.4 デバイスの機能モード

DRV887x ファミリには、システムの入力に応じた動作モードがあります。

7.4.1 アクティブ・モード

VM ピンの電源電圧が低電圧スレッショルド V_{UVLO} を超え、nSLEEP ピンが論理 High になり、 t_{WAKE} が経過すると、デバイスはアクティブ・モードに移行します。このモードでは、H ブリッジ、チャージ・ポンプ、内部論理回路がアクティブになります。本デバイスはいつでも入力を受信できます。本デバイスがアクティブ・モードに移行すると、入力制御モード (PMODE) と OCP モード (IMODE) がラッチされます。

7.4.2 低消費電力スリープ・モード

DRV887x ファミリは低消費電力モードをサポートしているため、ドライバがアクティブでないときに VM ピンの消費電流を低減できます。nSLEEP ピンを論理 Low に設定し、 t_{SLEEP} が経過するまで待機すると、このモードに移行します。スリープ・モードでは、H ブリッジ、チャージ・ポンプ、内部 5V レギュレータ、内部論理回路がディスエーブルされます。弱いブルダウンにより、すべての内部 MOSFET が確実にディスエーブルに維持されます。低消費電力スリープ・モードでは、本デバイスは nSLEEP 以外の入力に応答しません。

7.4.3 フォルト・モード

異常状態が発生すると、DRV887x ファミリはフォルト・モードに移行します。これにより、デバイスと出力負荷が保護されます。フォルト・モードでの本デバイスの挙動は表 7-7 に示すとおり、フォルト条件で決まります。復帰条件を満たすと、本デバイスはフォルト・モードからアクティブ・モードに戻ります。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV887x ファミリは、ハーフブリッジまたは H ブリッジ電力段構成を必要とする各種用途に使用できます。一般的なアプリケーション例としては、ブラシ付き DC モータ、ソレノイド、アクチュエータなどがあります。また、LED、抵抗素子、リレーなど多くの一般的な受動負荷の駆動にも利用できます。以下のアプリケーション例では、H ブリッジ・ドライバを必要とする双方向電流制御アプリケーションや、2 つのハーフブリッジ・ドライバを必要とするデュアル单方向電流制御アプリケーションで本デバイスを使用する方法を紹介します。

8.2 代表的なアプリケーション

8.2.1 主要アプリケーション

主要アプリケーション例では、H ブリッジ構成を採用し、外部負荷 (ブラシ付き DC モータなど) の双方向電流を駆動するように本デバイスを構成しています。H ブリッジの極性とデューティ・サイクルは、外部コントローラから EN/IN1 および PH/IN2 ピンに接続された PWM および IO 信号で制御されます。本デバイスは、PMODE ピンを GND に接続することで PH/EN 制御モードに構成されます。

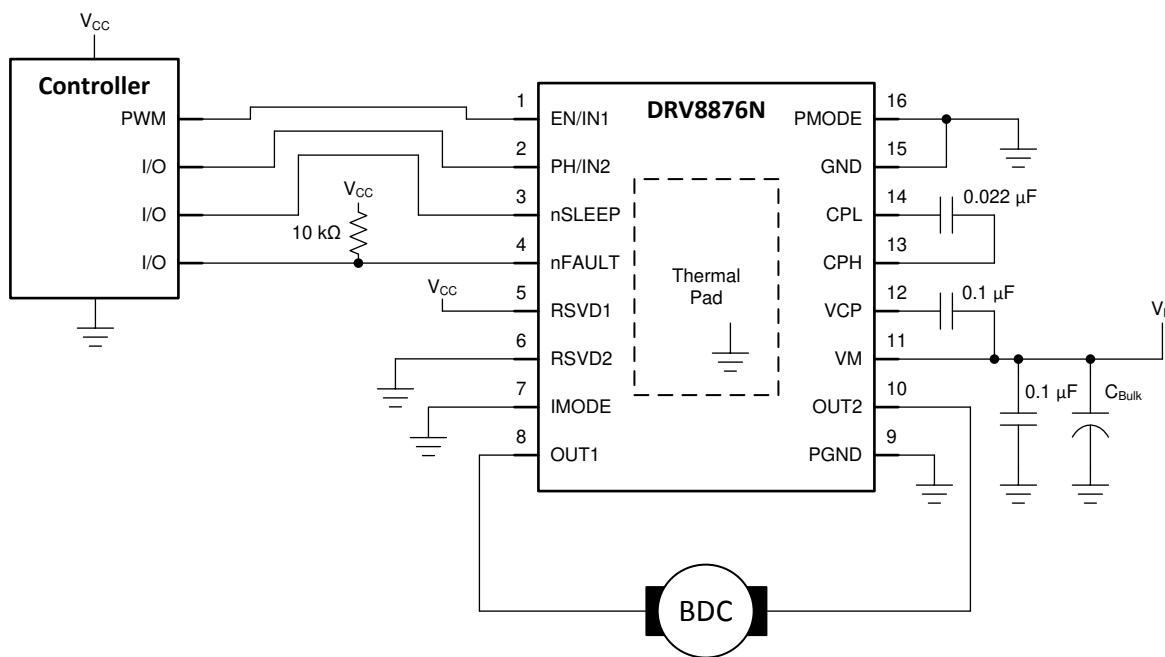


図 8-1. 代表的なアプリケーション回路図

8.2.1.1 設計要件

表 8-1. 設計パラメータ

| 略号 | 設計パラメータ | 値の例 |
|-----------|----------------|-------|
| V_M | モータおよびドライバ電源電圧 | 24V |
| V_{CC} | コントローラ電源電圧 | 3.3V |
| I_{RMS} | 出力 RMS 電流 | 0.5A |
| f_{PWM} | スイッチング周波数 | 20kHz |

表 8-1. 設計パラメータ (continued)

| 略号 | 設計パラメータ | 値の例 |
|-----------------|-------------------|----------|
| T_A | PCB 周囲温度 | -20~85°C |
| T_J | デバイスの最大接合部温度 | 150°C |
| $R_{\theta JA}$ | デバイスの接合部から周囲への熱抵抗 | 35°C/W |

8.2.1.2 詳細な設計手順

8.2.1.2.1 消費電力および出力電流特性

本デバイスの出力電流および消費電力特性は、PCB 設計と外部条件に大きく依存します。ここでは、これらの値を計算するための指針を提示します。

本デバイスの総消費電力は、おもに 3 つの要素から成ります。それは、静止時消費電流、パワー MOSFET のスイッチング損失、パワー MOSFET の $R_{DS(on)}$ (導通) 損失です。それ以外の要素が消費電力の増加に影響することもありますが、この 3 つの主要な要素に比べると通常わずかです。

$$P_{TOT} = P_{VM} + P_{SW} + P_{RDS} \quad (1)$$

P_{VM} は、公称電源電圧 (V_M) と I_{VM} アクティブ・モード電流の仕様から計算できます。

$$P_{VM} = V_M \times I_{VM} \quad (2)$$

$$P_{VM} = 0.096W = 24V \times 4mA \quad (3)$$

P_{SW} は、公称電源電圧 (V_M)、平均出力電流 (I_{RMS})、スイッチング周波数 (f_{PWM})、デバイス出力立ち上がり (t_{RISE}) / 立ち下がり (t_{FALL}) 時間の仕様から計算できます。

$$P_{SW} = P_{SW_RISE} + P_{SW_FALL} \quad (4)$$

$$P_{SW_RISE} = 0.5 \times V_M \times I_{RMS} \times t_{RISE} \times f_{PWM} \quad (5)$$

$$P_{SW_FALL} = 0.5 \times V_M \times I_{RMS} \times t_{FALL} \times f_{PWM} \quad (6)$$

$$P_{SW_RISE} = 0.018W = 0.5 \times 24V \times 0.5A \times 150ns \times 20kHz \quad (7)$$

$$P_{SW_FALL} = 0.018W = 0.5 \times 24V \times 0.5A \times 150ns \times 20kHz \quad (8)$$

$$P_{SW} = 0.036W = 0.018W + 0.018W \quad (9)$$

P_{RDS} は、デバイスの $R_{DS(on)}$ と平均出力電流 (I_{RMS}) から計算できます。

$$P_{RDS} = I_{RMS}^2 \times (R_{DS(ON)_HS} + R_{DS(ON)_LS}) \quad (10)$$

$R_{DS(ON)}$ はデバイス温度と強い相関があることに注意する必要があります。正規化した $R_{DS(on)}$ と温度との関係を示す曲線については、「代表的特性」の曲線を参照してください。デバイス温度を 85°C と仮定すると、正規化した温度データに基づき、 $R_{DS(on)}$ は約 1.25 倍になると予想されます。

$$P_{RDS} = 0.219W = (0.5A)^2 \times (350m\Omega \times 1.25 + 350m\Omega \times 1.25) \quad (11)$$

各種消費電力要素を合計することで、予想される消費電力とデバイス接合部温度が設計目標の範囲内にあることを検証できます。

$$P_{TOT} = P_{VM} + P_{SW} + P_{RDS} \quad (12)$$

$$P_{TOT} = 0.351W = 0.096W + 0.036W + 0.219W \quad (13)$$

デバイス接合部温度は、 P_{TOT} 、デバイス周囲温度 (T_A)、パッケージ熱抵抗 ($R_{\theta JA}$) を使って計算できます。 $R_{\theta JA}$ の値は、PCB 設計とデバイス周りの銅製ヒートシンクに大きく依存します。

$$T_J = (P_{TOT} \times R_{\theta JA}) + T_A \quad (14)$$

$$T_J = 97^\circ\text{C} = (0.351\text{W} \times 35^\circ\text{C/W}) + 85^\circ\text{C} \quad (15)$$

デバイス接合部温度が規定の動作範囲内にあることを確認する必要があります。利用可能な測定結果に応じて、デバイス接合部温度を検証する方法はその他にもあります。

モータ・ドライバの定格電流と消費電力の詳細については、「[セクション 8.2.1.2.2](#)」および「[セクション 11.1.1](#)」を参照してください。

8.2.1.2.2 热性能

データシートに規定する接合部から周囲への熱抵抗 $R_{\theta JA}$ は、おもに各種ドライバの比較または熱性能の概算に役立ちます。しかし、実際のシステム性能は、PCB 層形成 (スタックアップ)、配線、ビア数、サーマル・パッド周りの銅面積に応じて、この値よりも良くなったり、悪くなったりします。ドライバが特定の電流を駆動する時間の長さもまた、消費電力や熱性能に影響を与えます。ここでは、定常および過渡熱条件での設計方法について考察します。

このセクションのデータは、次の基準を使用してシミュレーションしたものです。

- 2 層 PCB、標準 FR4、1oz (35 μm 銅箔厚) または 2oz 銅箔厚。
- 上層:DRV887x HTSSOP パッケージ・フットプリントと銅プレーン・ヒートシンク。シミュレーションでは、上層の銅箔面積を変化させています。
- 下層:DRV887x のサーマル・パッド下のビアで熱的に接続されたグランド・プレーン。下層の銅箔面積は上層の銅箔面積によって変化します。サーマル・ビアはサーマル・パッドの下にのみ配置 (1.2mm 間隔のグリッド・パターン)。
- 4 層 PCB、標準 FR4。外側のプレーンは 1oz (35 μm 銅箔厚) または 2oz 銅箔厚。
- 上層:DRV887x HTSSOP パッケージ・フットプリントと銅プレーン・ヒートシンク。シミュレーションでは、上層の銅箔面積を変化させています。内側のプレーンは 1oz で一定。
- 中間層 1:DRV887x のサーマル・パッドとビアで熱的に接続された GND プレーン。グランド・プレーンの領域は 74.2mm x 74.2mm です。
- 中間層 2:電源プレーン、熱的接続なし。
- 下層:DRV887x の下に小さな銅パッドを設け、上層および内部 GND プレーンから打ったビアで熱的に接続した信号層。下層のサーマル・パッドはパッケージと同じサイズ (5mm x 4.4mm)。上層の銅プレーンが変化しても、下層のパッドのサイズは一定。サーマル・ビアはサーマル・パッドの下にのみ配置 (1.2mm 間隔のグリッド・パターン)。

図 8-2 に、HTSSOP パッケージ用基板のシミュレーション例を示します。表 8-2 に、各シミュレーションで変化させた基板の寸法を示します。

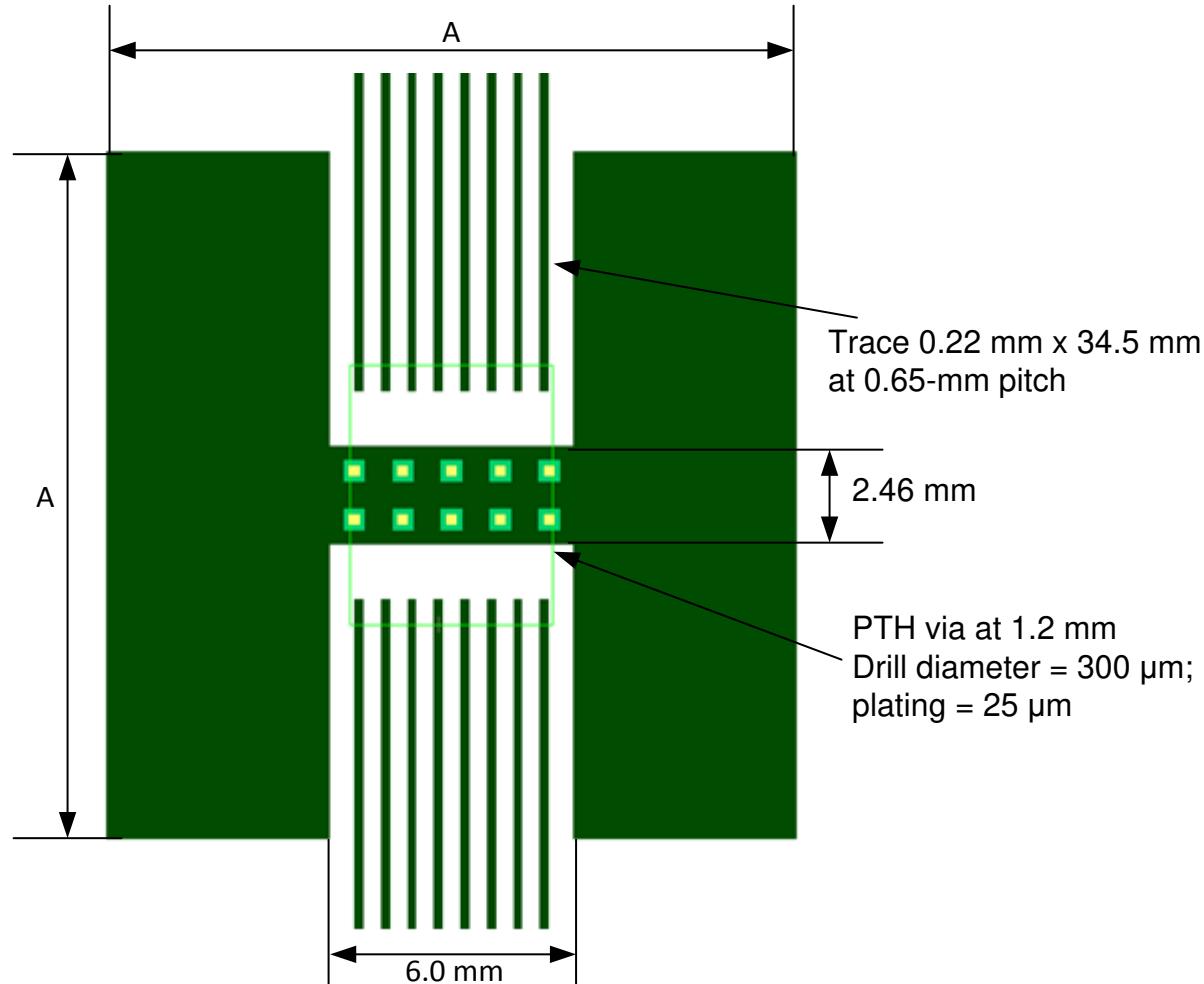


図 8-2. HTSSOP の PCB モデルの上層

表 8-2. 16 ピン PWP パッケージの寸法 A

| 銅 (Cu) 面積 (mm ²) | 寸法 A (mm) |
|------------------------------|-----------|
| 2 | 17.0 |
| 4 | 22.8 |
| 8 | 31.0 |
| 16 | 42.8 |

8.2.1.2.2.1 定常状態熱性能

「定常状態条件」とは、モータ・ドライバが長時間にわたって一定の RMS 電流で動作することを指します。図 8-3、図 8-4、図 8-5、図 8-6 に、HTSSOP パッケージ用の PCB の銅箔面積、銅箔厚さ、層数に応じて $R_{\theta JA}$ と Ψ_{JB} (接合部から基板への熱特性パラメータ) が変化する様子を示します。銅面積が大きく、層数が多く、銅プレーンが厚いほど、 $R_{\theta JA}$ と Ψ_{JB} は小さくなり、PCB レイアウトの熱性能が高くなることを示しています。

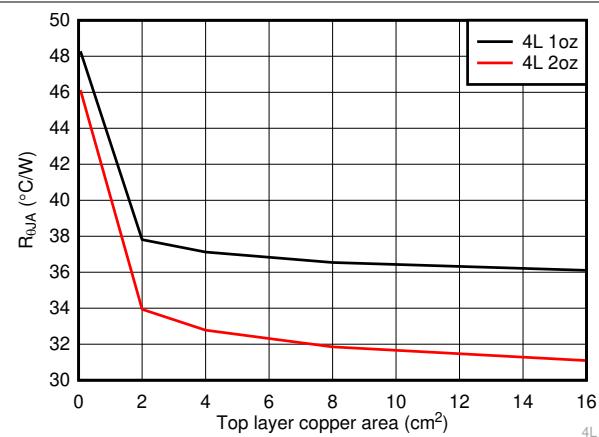


図 8-3. HTSSOP、4 層 PCB の接合部から周囲への熱抵抗と銅面積との関係

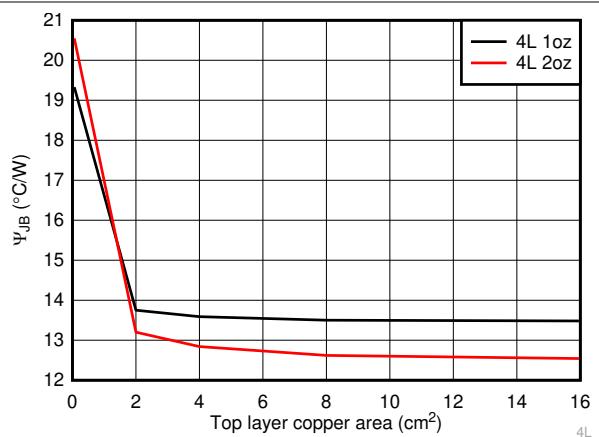


図 8-4. HTSSOP、4 層 PCB の接合部から基板への熱特性パラメータと銅面積との関係

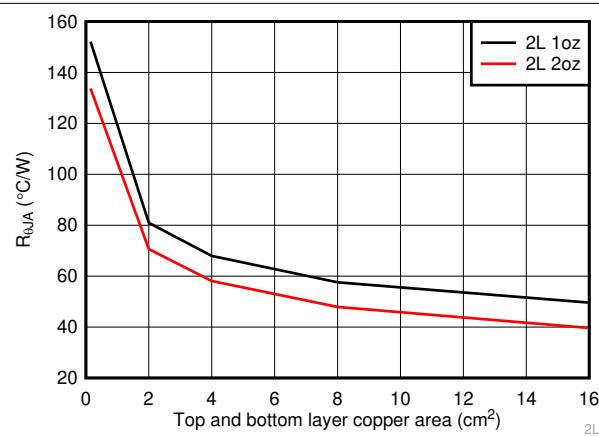


図 8-5. HTSSOP、2 層 PCB の接合部から周囲への熱抵抗と銅面積との関係

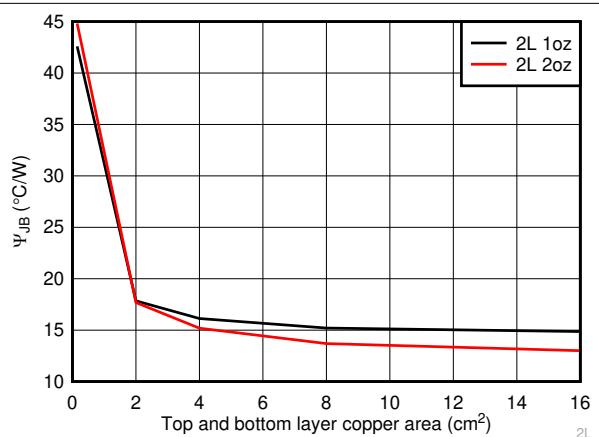


図 8-6. HTSSOP、2 層 PCB の接合部から基板への熱特性パラメータと銅面積との関係

8.2.1.2.2.2 過渡熱性能

モータ・ドライバは、短時間に大きな電流が流れるさまざまな過渡駆動条件になる可能性があります。たとえば、次のとおりです。

- ロータがフルスピードで回転しない状況でのモータの起動。
- 電源またはグランドがどちらかのモータ出力に短絡することで、本デバイスが過電流保護状態に移行し、また過電流保護状態から復帰するフォルト条件。
- モータまたはソレノイドが一定時間駆動した後、解放される。

このような過渡条件で、熱性能に影響を与えるもうひとつの要素が駆動時間です。過渡条件の場合、熱インピーダンス・パラメータ ($Z_{θJA}$) は接合部から周囲への熱性能を意味します。図 8-7 図 8-8 およびに、HTSSOP パッケージ用の 1oz および 2oz 銅レイアウトの熱インピーダンスのシミュレーション結果を示します。これらのグラフは、短い電流パルスで熱性能が高くなることを示しています。駆動時間が短い場合、本デバイスのダイ・サイズとパッケージが熱性能を支配します。より長いドライブ・パルスの場合、基板レイアウトが熱性能により大きな影響を与えます。どちらのグラフの熱インピーダンス曲線も、ドライブ・パルス期間が長くなるに従って層数と銅面積に応じた差が観測されることを示しています。長いパルスの場合、定常状態の性能になるとみなすことができます。

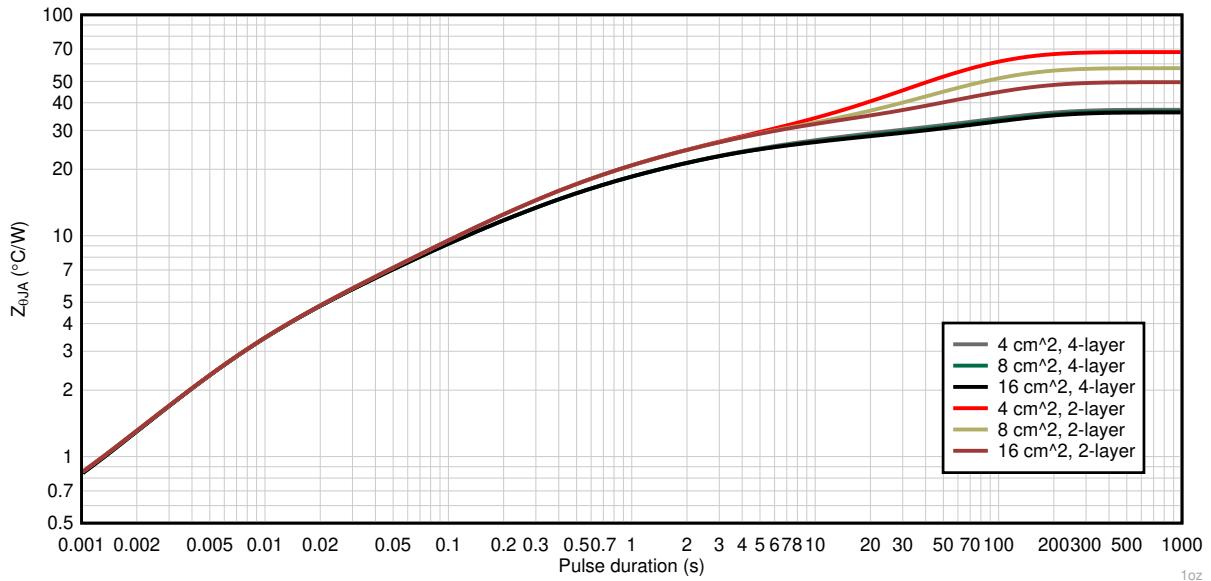


図 8-7. HTSSOP パッケージと 1oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

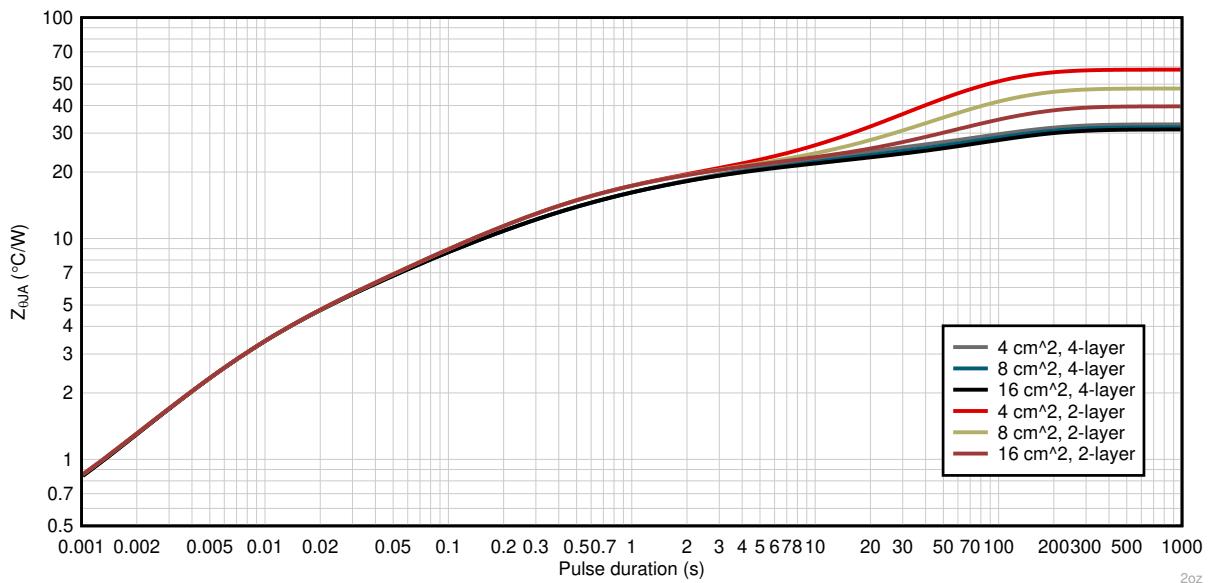
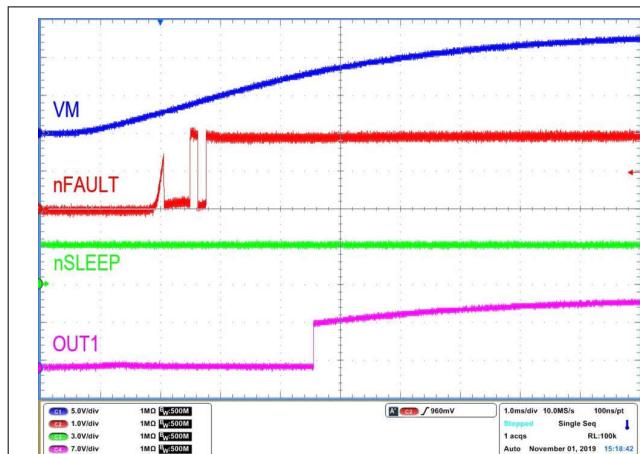


図 8-8. HTSSOP パッケージと 2oz 銅レイアウトでの、接合部から周囲への熱インピーダンス

8.2.1.3 アプリケーション曲線

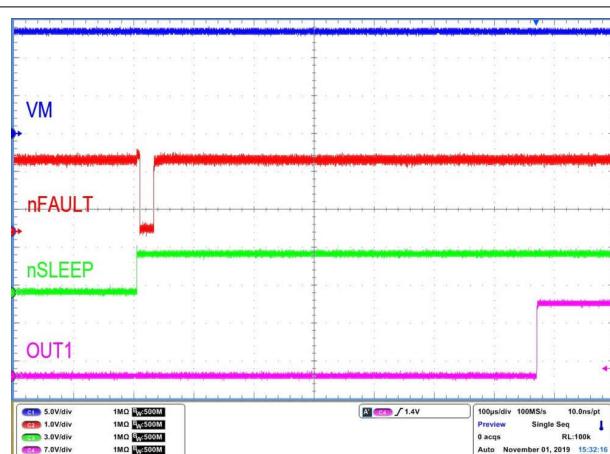


チャネル 1 = VM

チャネル 2 =
nFAULT

チャネル 3 =
nSLEEP

チャネル 4 = IOUT



チャネル 1 = VM

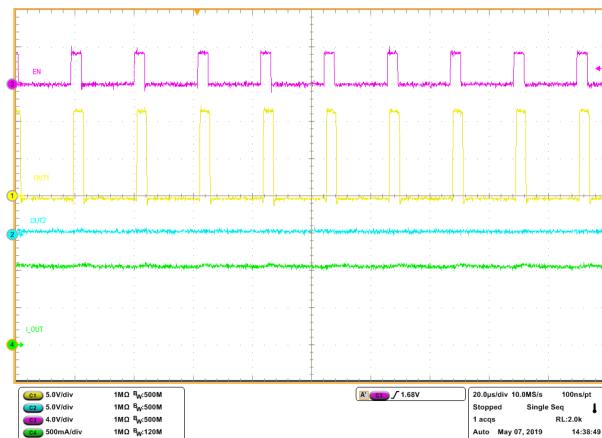
チャネル 2 =
nFAULT

チャネル 3 =
nSLEEP

チャネル 4 = IOUT

図 8-9. デバイス電源投入、電源電圧 (VM) ランプ使用

図 8-10. デバイスの電源投入、nSLEEP 使用



A.

チャネル 1 = OUT1

チャネル 2 = OUT2

チャネル 3 = EN/IN1

チャネル 4 = IOUT

図 8-11. ドライバ PWM 動作 (PH/EN)

8.2.2 代替アプリケーション

代替アプリケーション例では、デュアル・ハーフブリッジ構成を採用し、2つの外部負荷（2つのブラシ付き DC モータなど）の単方向電流を駆動するように本デバイスを構成しています。各ハーフブリッジのデューティ・サイクルは、外部コントローラから EN/IN1 および PH/IN2 ピンに接続された PWM 信号で制御されます。本デバイスは、PMODE ピンをフローティング状態にすることで独立ハーフブリッジ制御モードに構成されます。

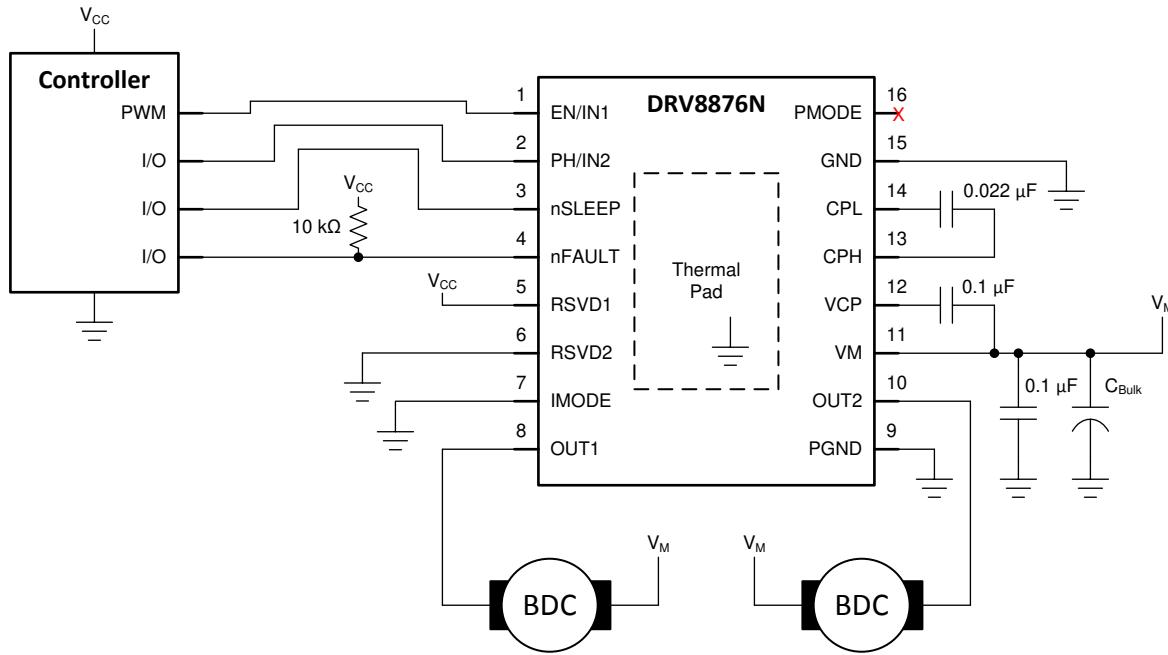


図 8-12. 代表的なアプリケーション回路図

8.2.2.1 設計要件

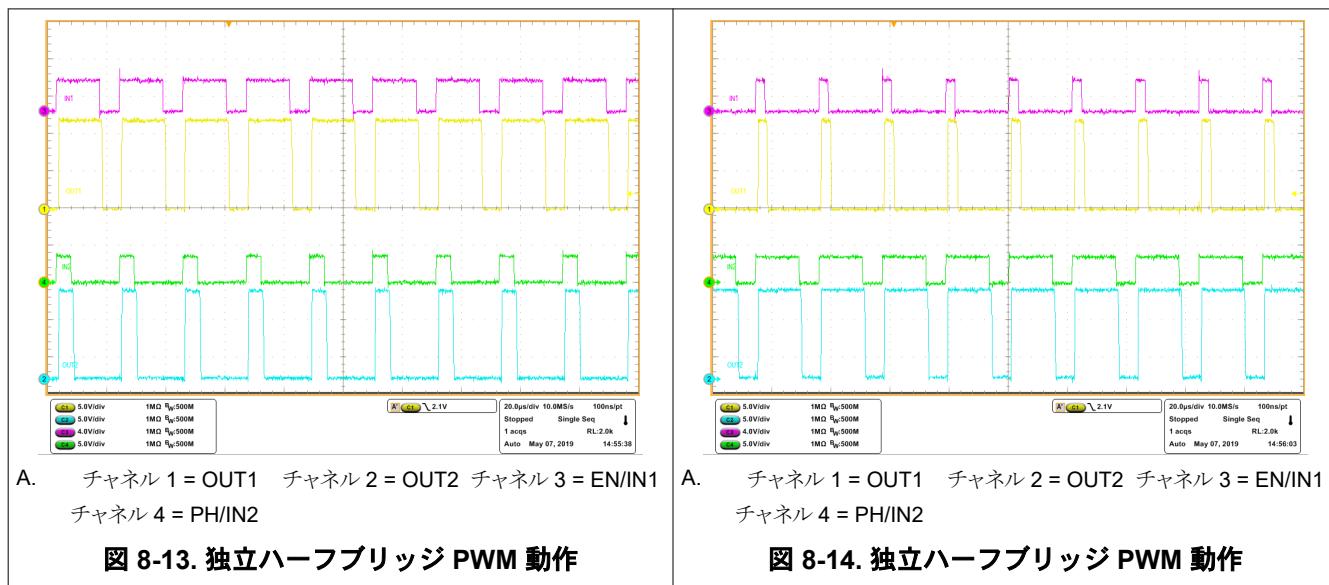
表 8-3. 設計パラメータ

| 略号 | 設計パラメータ | 値の例 |
|-------------|-------------------|----------|
| V_M | モータおよびドライバ電源電圧 | 24V |
| V_{CC} | コントローラ電源電圧 | 3.3V |
| I_{RMS1} | 出力 1 RMS 電流 | 0.5A |
| I_{PEAK1} | 出力 1 ピーク電流 | 1A |
| I_{RMS2} | 出力 2 RMS 電流 | 0.25A |
| I_{PEAK2} | 出力 2 ピーク電流 | 0.5A |
| f_{PWM} | スイッチング周波数 | 20kHz |
| T_A | PCB 周囲温度 | -20~85°C |
| T_J | デバイスの最大接合部温度 | 150°C |
| $R_{θJA}$ | デバイスの接合部から周囲への熱抵抗 | 35°C/W |

8.2.2.2 詳細な設計手順

詳細な設計手順の例については、「主要アプリケーション」の「[セクション 8.2.1.2](#)」を参照してください。大半の設計コンセプトは、代替アプリケーション例に該当します。

8.2.2.3 アプリケーション曲線



9 電源に関する推奨事項

9.1 バルク容量

適切なローカル・バルク容量の確保は、モータ・ドライブ・システムの設計において重要な要素です。バルク容量を増やすと、一般にメリットがありますが、コストの増大と大型化というデメリットも伴います。

必要なローカル・バルク容量値は、次のようなさまざまな要素で決まります。

- モータまたは負荷が必要とする最大電流
- 電源容量と電流供給能力
- 電源とモータ・システムの間の寄生インダクタンスの大きさ
- 許容されるシステムの電圧リップル
- モータのブレーキ方式 (該当する場合)

電源とモータ・ドライブ・システムの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル・バルク容量が小さすぎると、モータに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に推奨最小値が記載されていますが、バルク・コンデンサの適切な容量を決定するにはシステム・レベルのテストが必要です。

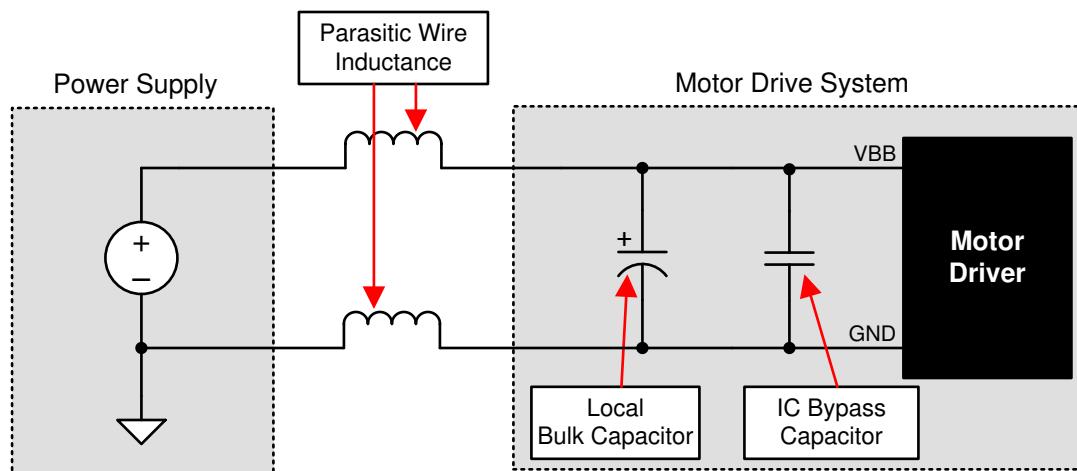


図 9-1. システム電源の寄生成分の例

10 レイアウト

10.1 レイアウトのガイドライン

DRV887x ファミリには、大電流を駆動できるパワー MOSFET が内蔵されているため、レイアウト設計および外付け部品の配置には細心の注意を払う必要があります。設計とレイアウトに関する指針は以下のとおりです。

- VM - GND 間のバイパス・コンデンサ、VCP - VM 間のチャージ・ポンプ・ストレージ・コンデンサ、チャージ・ポンプ・フライング・コンデンサには、ESR の小さいセラミック・コンデンサを使用する必要があります。X5R および X7R タイプを推奨します。
- ループ・インダクタンスを最小限に抑えるため、VM 電源とチャージ・ポンプ・コンデンサ (VCP、CPH、CPL) はデバイスにできるだけ近付けて配置する必要があります。
- VM 電源バールク・コンデンサはセラミックまたは電解タイプとすることができますが、やはりループ・インダクタンスを最小限に抑えるため、デバイスにできるだけ近付けて配置する必要があります。
- VM、OUT1、OUT2、PGND は電源から出力へ大電流を供給し、グランドに戻します。これらのトレースには、実現可能な場合、厚い金属配線を使用する必要があります。
- PGND と GND は、ともに PCB のグランド・プレーンに直接接続する必要があります。互いに絶縁するようには設計されていません。
- PCB のヒートシンクを最大限に確保するため、本デバイスのサーマル・パッドは、PCB 上層のグランド・プレーン (と、利用可能な場合、サーマル・ビアを介して内部グランド・プレーン) に取り付ける必要があります。
- サーマル・ビアの推奨ランド・パターンは、パッケージ図面のセクションに記載しています。
- 最適なヒートシンクを実現するために、サーマル・パッドを取り付ける銅プレーンの面積はできるだけ大きくする必要があります。

10.2 レイアウト例

10.2.1 HTSSOP のレイアウト例

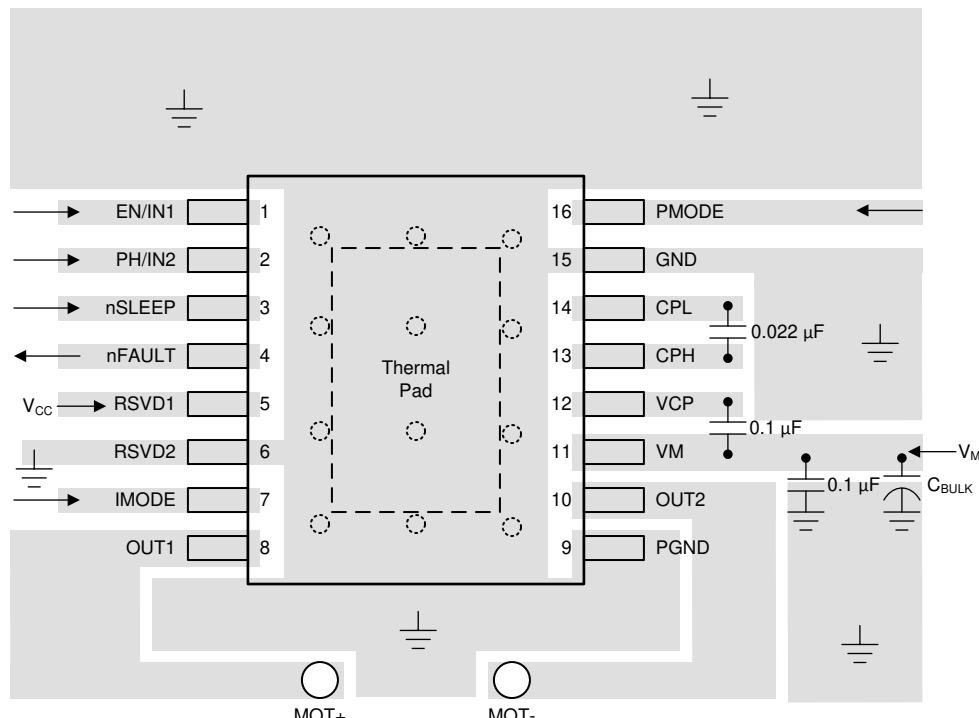


図 10-1. HTSSOP (PWP) のレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- ・テキサス・インスツルメンツ、『モータ・ドライバ消費電力の計算』アプリケーション・レポート
- ・テキサス・インスツルメンツ、『電流の再循環とディケイ・モード』アプリケーション・レポート
- ・テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーション・レポート
- ・テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーション・レポート
- ・テキサス・インスツルメンツ、『モータ・ドライバ電流定格の説明』アプリケーション・レポート
- ・テキサス・インスツルメンツ、『モータ・ドライバの基板レイアウトのベスト・プラクティス』アプリケーション・レポート
- ・テキサス・インスツルメンツ、『モータ・ドライブのレイアウト・ガイド』アプリケーション・レポート

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 コミュニティ・リソース

11.4 商標

すべての商標は、それぞれの所有者に帰属します。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあります。ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|-----------------------|---------------|----------------------|-------------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| DRV8876NPWPR | Active | Production | HTSSOP (PWP) 16 | 3000 LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 125 | 8876N |
| DRV8876NPWPR.A | Active | Production | HTSSOP (PWP) 16 | 3000 LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 125 | 8876N |
| DRV8876NPWPT | Obsolete | Production | HTSSOP (PWP) 16 | - | - | Call TI | Call TI | -40 to 125 | 8876N |

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

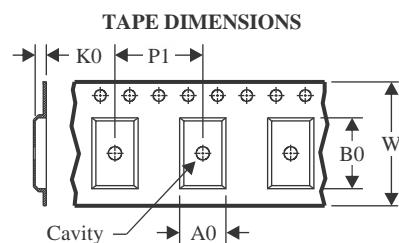
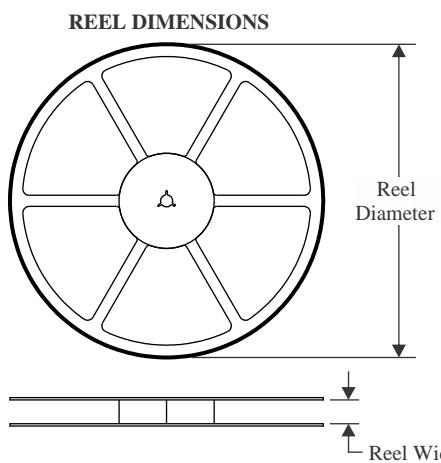
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

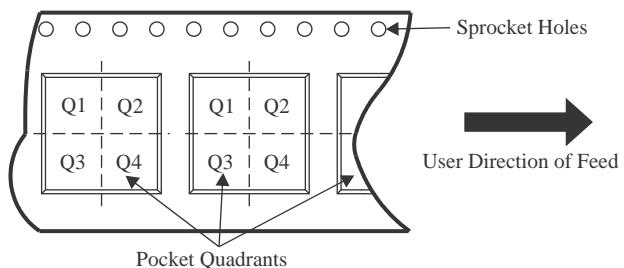
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

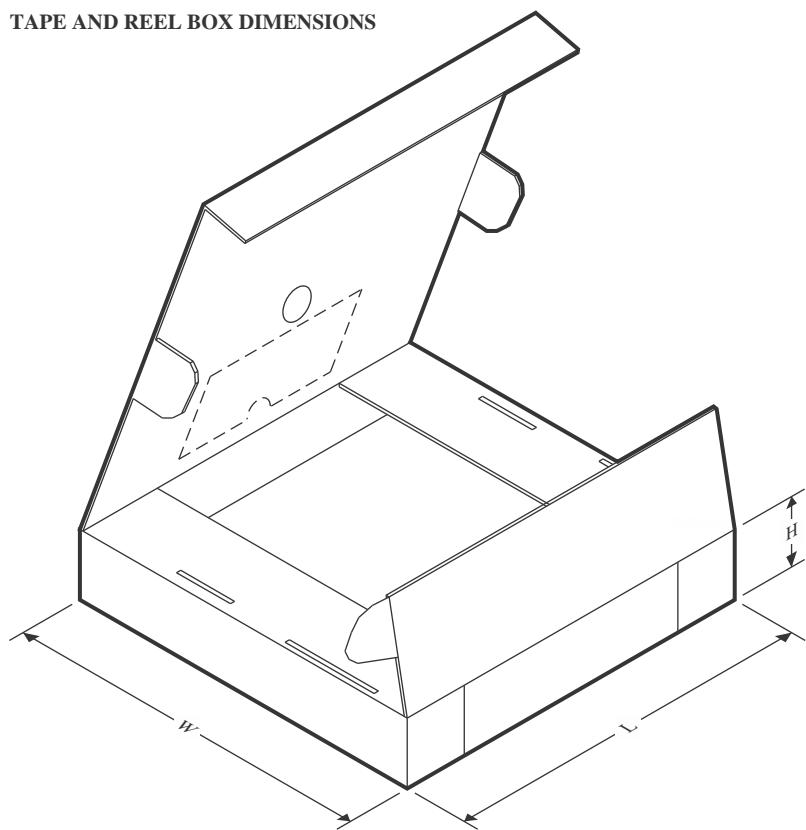
TAPE AND REEL INFORMATION


| | |
|----|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|--------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| DRV8876NPWPR | HTSSOP | PWP | 16 | 3000 | 330.0 | 12.4 | 6.9 | 5.6 | 1.6 | 8.0 | 12.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

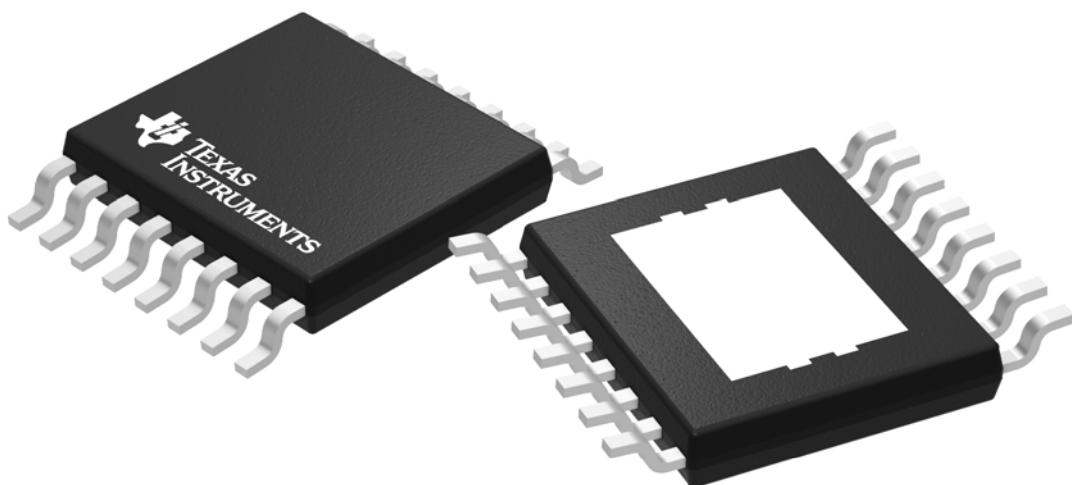
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|--------------|--------------|-----------------|------|------|-------------|------------|-------------|
| DRV8876NPWPR | HTSSOP | PWP | 16 | 3000 | 350.0 | 350.0 | 43.0 |

GENERIC PACKAGE VIEW

PWP 16

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE

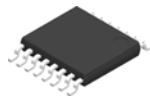


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4073225-3/J

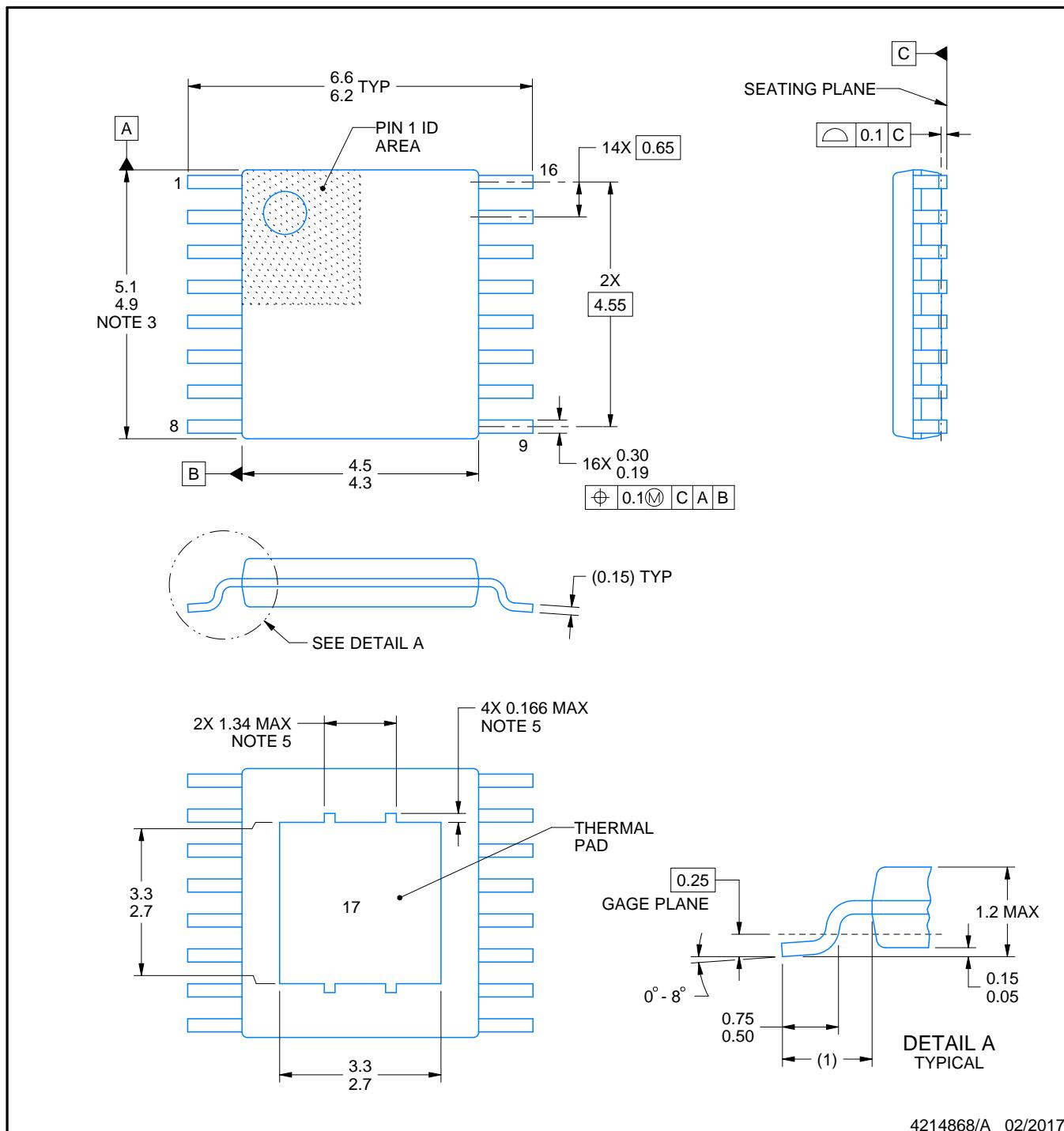
PACKAGE OUTLINE

PWP0016A



PowerPAD™ HTSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4214868/A 02/2017

NOTES:

PowerPAD is a trademark of Texas Instruments.

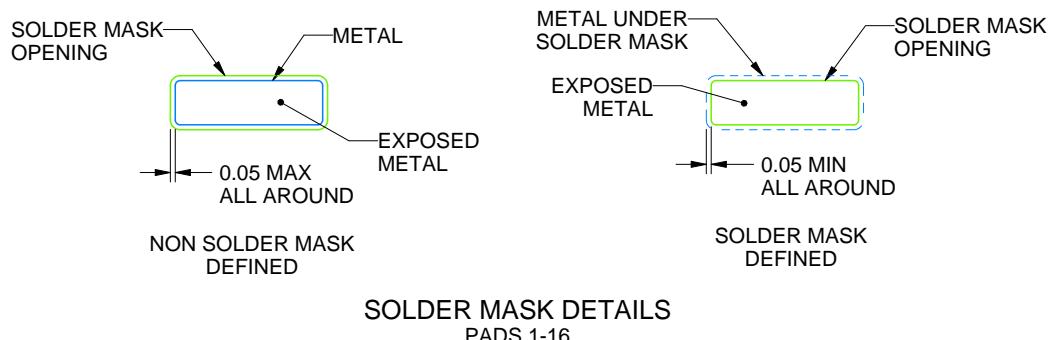
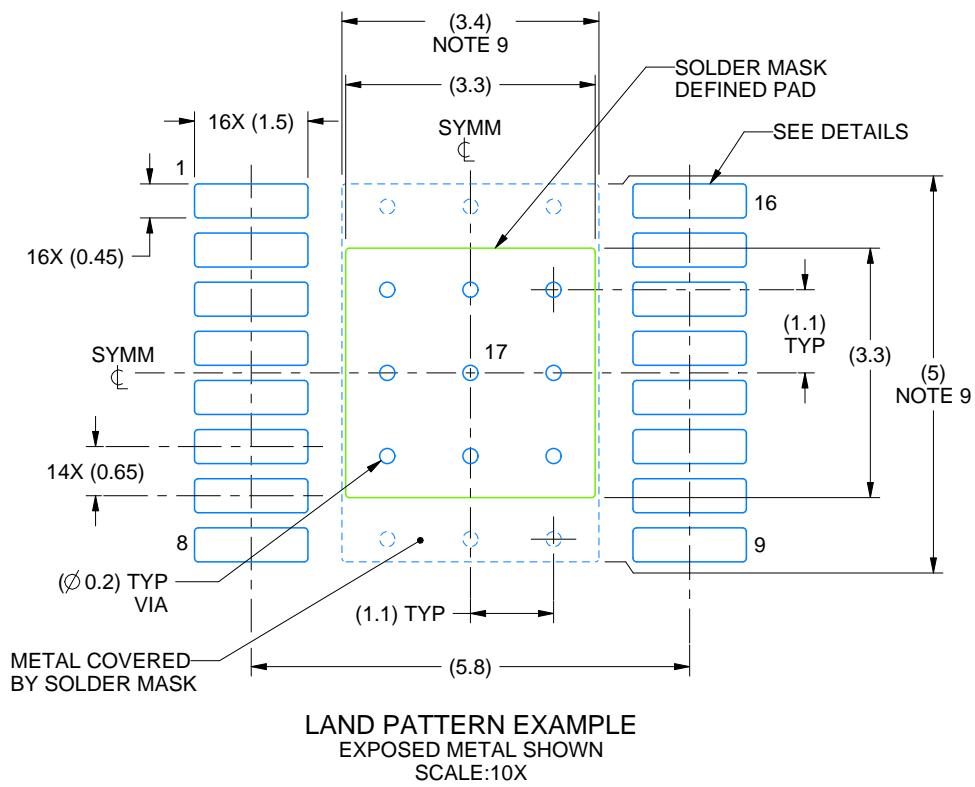
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may not be present.

EXAMPLE BOARD LAYOUT

PWP0016A

PowerPAD™ HTSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



4214868/A 02/2017

NOTES: (continued)

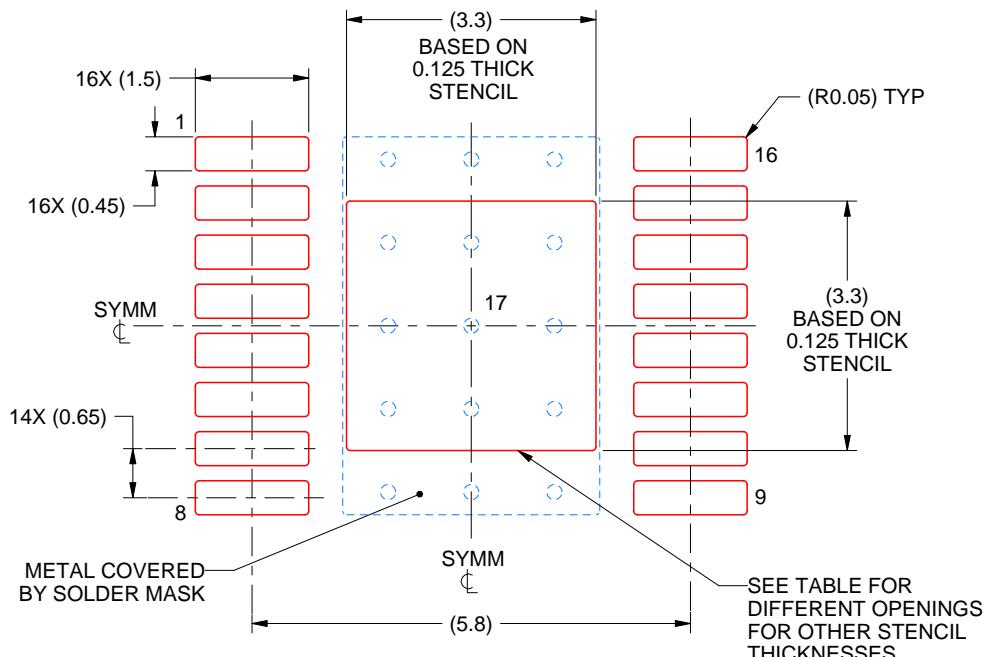
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PWP0016A

PowerPAD™ HTSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

| STENCIL THICKNESS | SOLDER STENCIL OPENING |
|-------------------|------------------------|
| 0.1 | 3.69 X 3.69 |
| 0.125 | 3.3 X 3.3 (SHOWN) |
| 0.15 | 3.01 X 3.01 |
| 0.175 | 2.79 X 2.79 |

4214868/A 02/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月