

DS15BR400,DS15BR401

DS15BR400/DS15BR401 4-Channel LVDS Buffer/Repeater with Pre-Emphasis



Literature Number: JAJSAJ8

プリエンファシス機能付き 4 チャンネル LVDS バッファ/リピータ

概要

DS15BR400/DS15BR401 は、最大 2Gbps までのデータ・レートに対応した 4 チャンネル LVDS バッファ/リピータです。高速データ・パスとフロースルー型ピン配置を採用しており、内部デバイス・ジッタを最小限に抑えるとともに、シンプルなボード・レイアウトを実現します。また、プリエンファシスを内蔵し、信号損失が問題のバックプレーンやケーブルで発生する ISI ジッタの影響を抑えます。各差動入力ピンは、LVDS や、ナショナル・セミコンダクターの 10 ビット、16 ビット、18 ビットの Bus LVDS SerDes などの Bus LVDS、さらには CML や LVPECL などの幅広い差動信号インタフェースに対応しています。DS15BR400 の差動入力と差動出力には、性能改善と実装面積の削減を目的として、100 Ω の終端抵抗が内蔵されています。DS15BR401 には、入力終端抵抗が内蔵されていません。リピータ機能は損失性のバックプレーンやケーブルを使った長距離伝送での信号ブーストにきわめて有効です。

DS15BR400/DS15BR401 は、単一 3.3V 電源により駆動し、消費電力は 578mW (代表値) です。- 40 °C ~ + 85 °C の産業用温度範囲で動作し、省スペース型の LLP-32 パッケージと TQFP-48 パッケージで供給されます。

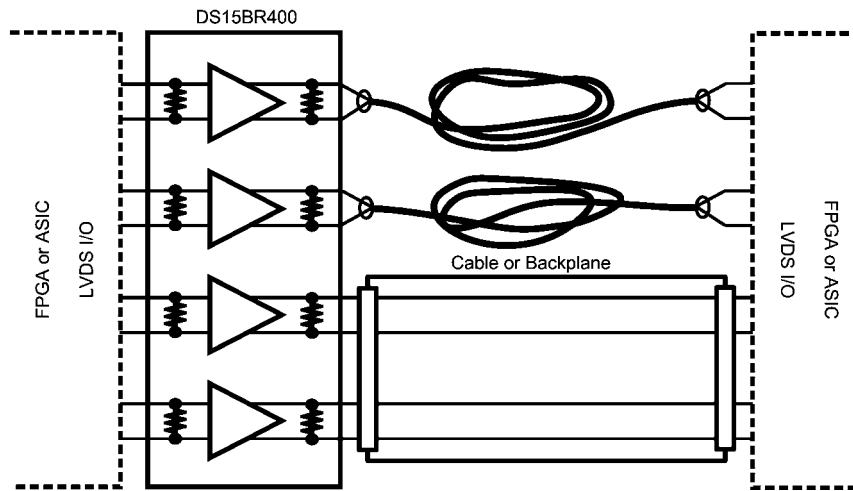
特長

- DC ~ 2Gbps まで、低ジッタ、高ノイズ耐性、低消費電力
- 信号損失が問題のバックプレーンやケーブルの駆動に適した 6dB のプリエンファシス
- LVDS/CML/LVPECL 互換入力、LVDS 出力
- オンチップの 100 Ω 出力終端、オプションの 100 Ω 入力終端
- LVDS 入力 / 出力ピンは 15kV ESD 保護
- 単一 3.3V 電源
- 産業用温度範囲 - 40 °C ~ + 85 °C
- 省スペースの LLP-32 パッケージと TQFP-48 パッケージ

アプリケーション

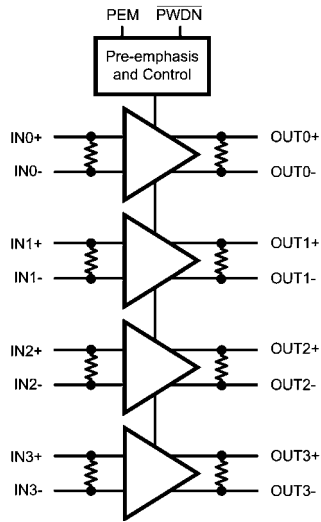
- ケーブル延長アプリケーション
- 信号のリピータとバッファリング
- デジタル・ルータ

代表的なアプリケーション

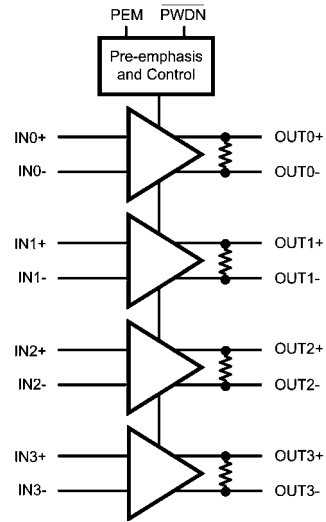


Note: DS15BR401 では入力終端抵抗は内蔵されていません。

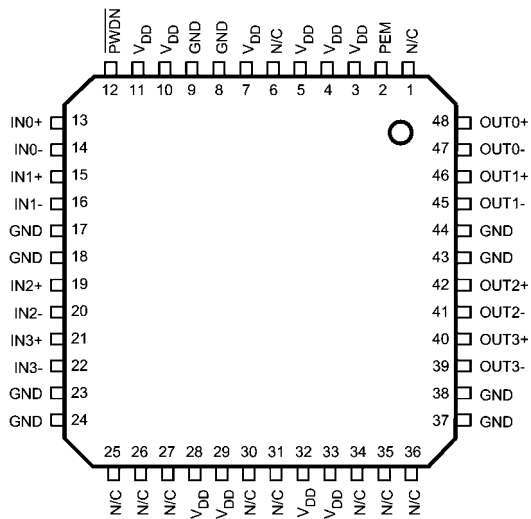
ブロック図とピン配置図



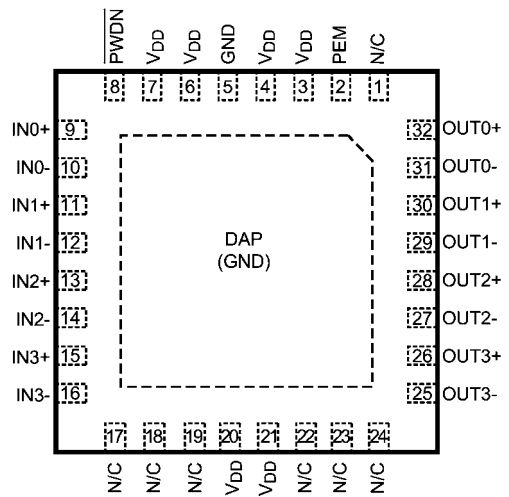
DS15BR400 Block Diagram



DS15BR401 Block Diagram



TQFP Pinout - Top View



LLP Pinout - Top View

ピン説明

ピン名	TQFP の ピン番号	LLP の ピン番号	I/O、タイプ	説明
差動入力				
IN0 + IN0 -	13 14	9 10	I、LVDS	チャンネル 0 の反転 / 非反転差動入力。
IN1 + IN1 -	15 16	11 12	I、LVDS	チャンネル 1 の反転 / 非反転差動入力。
IN2 + IN2 -	19 20	13 14	I、LVDS	チャンネル 2 の反転 / 非反転差動入力。
IN3 + IN3 -	21 22	15 16	I、LVDS	チャンネル 3 の反転 / 非反転差動入力。
差動出力				
OUT0 + OUT0 -	48 47	32 31	O、LVDS	チャンネル 0 の反転 / 非反転差動出力 (Note 2)。
OUT1 + OUT1 -	46 45	30 29	O、LVDS	チャンネル 1 の反転 / 非反転差動出力 (Note 2)。
OUT2 + OUT2 -	42 41	28 27	O、LVDS	チャンネル 2 の反転 / 非反転差動出力 (Note 2)。
OUT3 + OUT3 -	40 39	26 25	O、LVDS	チャンネル 3 の反転 / 非反転差動出力 (Note 2)。
デジタル制御インタフェース				
PWDN	12	8	I、LVTTTL	PWDN をロジック Low にすると、ハードウェア・パワーダウン・モードがアクティブになります (すべてのチャンネル)。
PEM	2	2	I、LVTTTL	プリアンフィシス制御入力 (すべてのチャンネルに影響)。
電源				
V _{DD}	3, 4, 5, 7, 10, 11, 28, 29, 32, 33	3, 4, 6, 7, 20, 21	I、電源	V _{DD} = 3.3V、± 10%。
GND	8, 9, 17, 18, 23, 24, 37, 38, 43, 44	5 (Note 1)	I、グラウンド	LVDS と CMOS 回路のグラウンド・リファレンスです。LLP パッケージの場合、記載されたピン番号に加えて DAP がデバイスへの主要な GND 接続として使用されます。DAP は、LLP-32 パッケージの底面にある、露出した金属の接触面です。最適な AC 特性と熱性能を得るため、4 個以上のビアでグラウンド層に接続してください。
N/C	1, 6, 25, 26, 27, 30, 31, 34, 35, 36	1, 17, 18, 19, 22, 23, 24		未接続

Note 1: LLP パッケージの場合、記載された実際のピン番号に加え、パッケージ底面にある DAP を介して、GND 接続が行われます。

Note 2: LVDS 出力はマルチドロップ (BLVDS) 環境をサポートしていません。DS15BR400 と DS15BR401 の LVDS 出力特性は、一対一のバックプレーン / ケーブル・アプリケーション向けに最適化されています。

絶対最大定格 (Note 3)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧 (V_{DD})	- 0.3V ~ + 4.0V
CMOS 入力電圧	- 0.3V ~ ($V_{DD} + 0.3V$)
LVDS レシーバ入力電圧	- 0.3V ~ ($V_{DD} + 0.3V$)
LVDS ドライバ出力電圧	- 0.3V ~ ($V_{DD} + 0.3V$)
LVDS 出力短絡電流	+ 40mA
接合部温度	+ 150 °C
保存温度範囲	- 65 °C ~ + 150 °C
リード温度 (ハンダ付け、4 秒)	260 °C
25 °Cでのパッケージ最大消費電力	
TQFP	1.64W
LLP	4.16W
熱抵抗 (θ_{JA})	
TQFP	76 °C / W
LLP	30 °C / W
+ 25 °Cを上回るときのパッケージ・ディレーティング	
TQFP	13.2mW/ °C
LLP	33.3mW/ °C

ESD 最終通過電圧	
HBM, 1.5k Ω , 100pF	8kV
LVDS ピン ~ GND のみ	15kV
EIAJ, 0 Ω , 200pF	250V
帯電デバイス・モデル	1,000V

推奨動作条件

電源電圧 (V_{DD})	3.0V ~ 3.6V
入力電圧 (V_I) (Note 4)	0V ~ V_{DD}
出力電圧 (V_O)	0V ~ V_{DD}
動作温度 (T_A)	
産業用	- 40 °C ~ + 85 °C

Note 3: 「絶対最大定格」とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。電源、温度、入出力負荷の変数の範囲においてシステム設計が信頼性を確保できるように、例外なくデータブックの仕様を満たす必要があります。ナショナル セミコンダクターでは、推奨動作条件以外で製品を動作させることは推奨しません。

Note 4: $V_{ID\ max} < 2.4V$ 。

電氣的特性

特記のない限り、推奨動作電源電圧と動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ (Note 5)	Max	Units
LVC MOS DC SPECIFICATIONS (P\overline{W}DN, P\overline{E}M)						
V_{IH}	High Level Input Voltage		2.0		V_{DD}	V
V_{IL}	Low Level Input Voltage		GND		0.8	V
I_{IH}	High Level Input Current	$V_{IN} = V_{DD} = 3.6V$ (P \overline{W} DN pin)	-10		+10	μA
I_{IHR}	High Level Input Current	$V_{IN} = V_{DD} = 3.6V$ (P \overline{E} M pin)	40		200	μA
I_{IL}	Low Level Input Current	$V_{IN} = V_{SS}, V_{DD} = 3.6V$	-10		+10	μA
C_{IN1}	LVC MOS Input Capacitance	Any Digital Input Pin to V_{SS}		5.5		pF
V_{CL}	Input Clamp Voltage	$I_{CL} = -18\ mA, V_{DD} = 0V$	-1.5	-0.8		V
LVDS INPUT DC SPECIFICATIONS (INn\pm)						
V_{TH}	Differential Input High Threshold (Note 6)	$V_{CM} = 0.8V$ to 3.55V, $V_{DD} = 3.6V$		0	100	mV
V_{TL}	Differential Input Low Threshold (Note 6)	$V_{CM} = 0.8V$ to 3.55V, $V_{DD} = 3.6V$	-100	0		mV
V_{ID}	Differential Input Voltage	$V_{CM} = 0.8V$ to 3.55V, $V_{DD} = 3.6V$	100		2400	mV
V_{CMR}	Common Mode Voltage Range	$V_{ID} = 150\ mV, V_{DD} = 3.6V$	0.05		3.55	V
C_{IN2}	LVDS Input Capacitance	IN+ or IN- to V_{SS}		3.0		pF
I_{IN}	Input Current	$V_{IN} = 3.6V, V_{DD} = 3.6V$	-10		+10	μA
		$V_{IN} = 0V, V_{DD} = 3.6V$	-10		+10	μA

電气的特性 (つづき)

特記のない限り、推奨動作電源電圧と動作温度範囲に対して適用。

Symbol	Parameter	Conditions	Min	Typ (Note 5)	Max	Units
LVDS OUTPUT DC SPECIFICATIONS (OUTn±)						
V _{OD}	Differential Output Voltage, 0% Pre-emphasis (Note 6)	R _L = 100Ω external resistor between OUT+ and OUT- Figure 1	250	360	500	mV
ΔV _{OD}	Change in V _{OD} between Complementary States		-35		35	mV
V _{OS}	Offset Voltage (Note 7)		1.05	1.18	1.475	V
ΔV _{OS}	Change in V _{OS} between Complementary States		-35		35	mV
C _{OUT}	LVDS Output Capacitance	OUT+ or OUT- to V _{SS}		2.5		pF
I _{OS}	Output Short Circuit Current	OUT+ or OUT- Short to GND		-21	-40	mA
		OUT+ or OUT- Short to VDD		6	40	mA
SUPPLY CURRENT (Static)						
I _{CC}	Supply Current	All inputs and outputs enabled and active, terminated with differential load of 100Ω between OUT+ and OUT-. PEM = L		175	215	mA
I _{CCZ}	Supply Current - Power Down Mode	PWDN = L, PEM = L		20	200	μA
SWITCHING CHARACTERISTICS—LVDS OUTPUTS						
t _{LHT}	Differential Low to High Transition Time (Note 12)	Use an alternating 1 and 0 pattern at 200 Mbps, measure between 20% and 80% of V _{OD} . Figures 2, 4		170	250	ps
t _{HLT}	Differential High to Low Transition Time (Note 12)			170	250	ps
t _{PLHD}	Differential Low to High Propagation Delay	Use an alternating 1 and 0 pattern at 200 Mbps, measure at 50% V _{OD} between input to output. Figures 2, 3		1.0	2.0	ns
t _{PHLD}	Differential High to Low Propagation Delay			1.0	2.0	ns
t _{SKD1}	Pulse Skew (Note 12)	t _{PLHD} - t _{PHLD}		10	60	ps
t _{SKCC}	Output Channel to Channel Skew (Note 12)	Difference in propagation delay (t _{PLHD} or t _{PHLD}) among all output channels.		25	75	ps
t _{SKP}	Part to Part Skew (Note 12)	Common edge, parts at same temp and V _{CC}			550	ps
t _{JIT}	Jitter (0% Pre-emphasis) (Note 8)	RJ - Alternating 1 and 0 at 750 MHz (Note 9)		0.5	1.5	ps
		DJ - K28.5 Pattern, 1.5 Gbps (Note 10)		14	30	ps
		TJ - PRBS 2 ²³ -1 Pattern, 1.5 Gbps (Note 11)		14	31	ps
t _{ON}	LVDS Output Enable Time	Time from PWDN to OUT± change from TRI-STATE to active. Figures 5, 6			20	μs
t _{OFF}	LVDS Output Disable Time	Time from PWDN to OUT± change from active to TRI-STATE. Figures 5, 6			12	ns

Note 5: 代表値は V_{DD} = 3.3V、T_A = 25 °C で測定されています。代表値は参照を目的としており、製造時検査は行っていません。

Note 6: 差動出力電圧 V_{OD} は ABS (OUT+ - OUT-) として定義されています。差動入力電圧 V_{ID} は ABS (IN+ - IN-) として定義されています。

Note 7: 出力オフセット電圧 V_{OS} は、LVDS シングル・エンド出力の論理 High 電圧と論理 Low 電圧の平均として定義されています。

Note 8: ジッタは、製造時に検査はなされませんが、サンプルにもとづく特性を通して保証されています。

Note 9: ランダム・ジッタ (RJ) は 1,500 回分のヒストグラムの RMS として測定されます。信号源、取付具に起因するジッタは含まれません。入力電圧 = V_{ID} = 500mV、入力コモンモード電圧 = V_{ICM} = 1.2V、750MHz で 50% のデューティ・サイクル、t_r = t_f = 50ps (20% ~ 80%)。

Note 10: 確定的ジッタ (DJ) はピーク・ツー・ピーク値です。信号源、取付具に起因するジッタは含まれません。入力電圧 = V_{ID} = 500mV、入力コモンモード電圧 = V_{ICM} = 1.2V、1.5Gbps で K28.5 パターン、t_r = t_f = 50ps (20% ~ 80%)。なお K28.5 パターンは、ビット・ストリーム 00111110101100000101 の繰り返しです。

Note 11: 総ジッタ (TJ) は 3,500 回分のヒストグラムで、ピーク・ツー・ピークとして測定されています。信号源、取付具に起因するジッタは含まれません。入力電圧 = V_{ID} = 500mV、入力コモンモード電圧 = V_{ICM} = 1.2V、1.5Gbps で 2²³ - 1 の PRBS パターン、t_r = t_f = 50ps (20% ~ 80%)。

Note 12: 製品の出荷試験はしていません。特性を決定する際にサンプルに対して行った統計的分析により保証する値です。

DC テスト回路

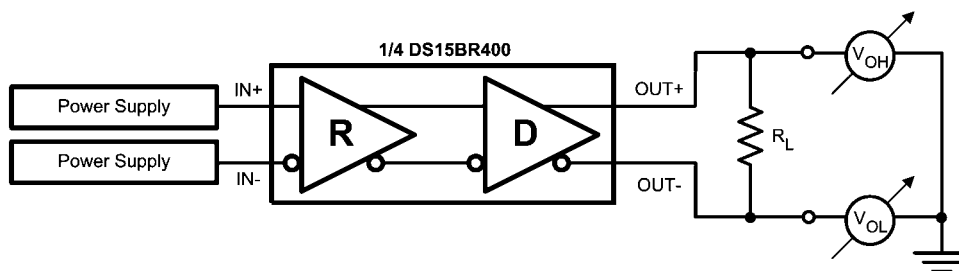


FIGURE 1. Differential Driver DC Test Circuit

AC テスト回路とタイミング図

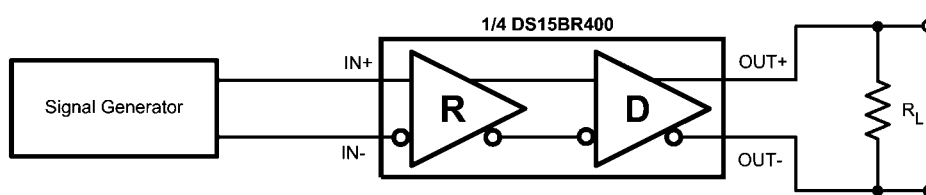


FIGURE 2. Differential Driver AC Test Circuit

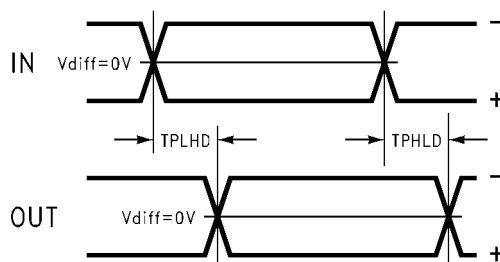


FIGURE 3. Propagation Delay Timing Diagram

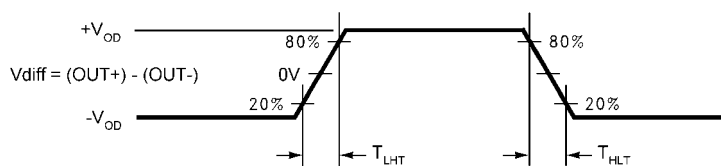


FIGURE 4. LVDS Output Transition Times

AC テスト回路とタイミング図 (つづき)

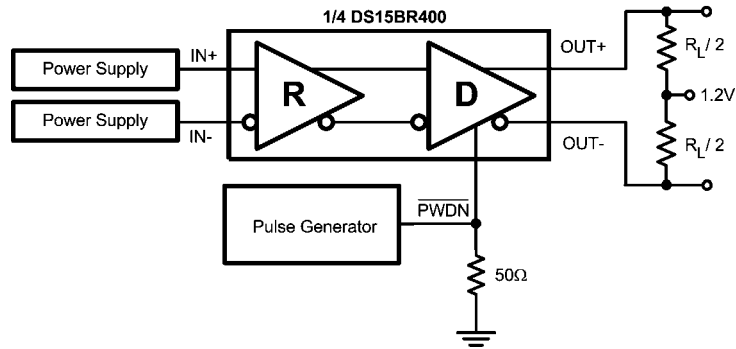


FIGURE 5. Enable/Disable Time Test Circuit

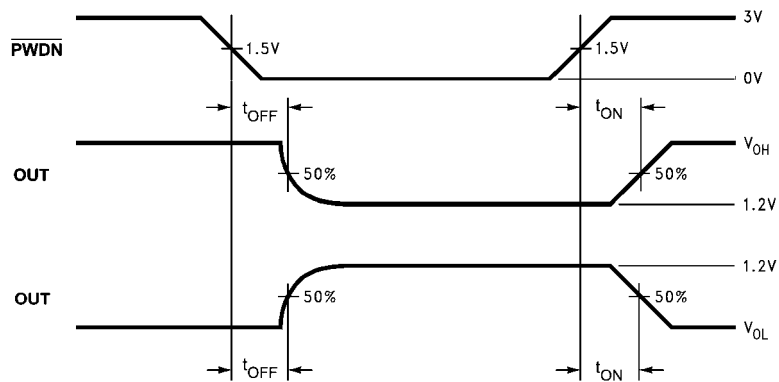


FIGURE 6. Enable/Disable Time Diagram

アプリケーション情報

内蔵終端

DS15BR400 は入力と出力に終端抵抗を内蔵しています。入力では、差動ペアに 100 Ω 抵抗を接続して、デバイスの入力段のできる限り近くにこのレシーバ終端を配置しています。LVDS 出力にも 100 Ω の終端抵抗が内蔵されています。この抵抗は出力リターン・ロスを最小限に抑えるためのものであり、受信側デバイスへの入力で 100 Ω 終端の代わりをするわけではありません。終端を内蔵することで、信号品質の向上と、外付け部品数の削減による省スペース化が実現しました。DS15BR401 には 100 Ω の出力終端のみ内蔵されています。

出力特性

DS15BR400/DS15BR401 の出力特性は、一対一のバックプレーン / ケーブル・アプリケーション向けに最適化されており、マルチポイントやマルチドロップのシグナリングには適していません。

パワーダウン・モード

PWDN 入力は、ハードウェア・パワーダウン・モードをアクティブにします。パワーダウン・モードがアクティブになると (PWDN = L)、すべての入出力バッファと内部バイアス回路の電源がオフになります。パワーダウン・モードを終了する際は、LVDS 出力のスイッチング特性に示されるように、バンドギャップ・リファレンスと入出力バッファ回路をオンにすることに伴う遅延が発生します。

プリエンファシス機能がイネーブルの場合にパワーダウン機能をアサートすると (PWDN = Low)、ドライバ出力が電流を短時間供給して、出力コモンモードが V_{DD} まで上昇します。これを防ぐには、負荷放電のためのプルダウン経路をいずれかの出力に使用します (グラウンドに対して 1k Ω を推奨)。または、一般的に導入されている外部フェイルセーフ・ネットワークでもこうした経路を提供しています (「入力フェイルセーフ・バイアス」を参照)。このような状況の発生はアプリケーションに依存しており、これが問題となるかどうかに影響を与えるパラメータとしては、AC 結合、パワーダウン機能の使用、放電経路の存在、フェイルセーフ・バイアスの存在、プリエンファシス機能の使用、ダウンストリーム LVDS レシーバの入力特性が挙げられます。

プリエンファシス

プリエンファシス機能を利用すると、長距離または高損失の伝送メディアから ISI ジッタを大幅に削減できます。1 つのピンを使って、すべての出力のプリエンファシス・レベルをオンかオフに選択します。プリエンファシスの昇圧は 750MHz でおよそ 6dB です。

プリエンファシス制御の選択表

PEM	Pre-Emphasis
0	Off
1	On

入力フェイルセーフ・バイアス

ソースが TRI-STATE の場合、電源オフの場合、または取り外されている場合にダウンストリーム・レシーバがオンかつイネーブルになれば、LVDS リンクのフェイルセーフ・バイアスについて検討する必要があります。フェイルセーフ・バイアスでは、アクティブなレシーバを既知の有効な入力状態に設定します。これは、「プラス」のライン上ではプルアップ抵抗を V_{DD} に接続し、「マイナス」のライン上ではプルダウン抵抗を GND に接続すると達成できます。抵抗値は 750 Ω ~ 数 k Ω の範囲にします。正確な値は、必要なコモンモード・バイアス・ポイント、終端抵抗、必要な入力差動電圧の設定に依存します。全般的な説明と詳細については、AN-1194「LVDS インタフェースのフェイルセーフ・バイアス」を参照してください。

デカップリング

DS15BR400 の電源リードやグラウンド・リードはそれぞれ、低インダクタンスの配線を介してプリント基板に接続する必要があります。最適な結果を得るには、1 個以上のビアを使用して電源ピンやグラウンド・ピンを近くの層に接続してください。理想的には、ビアをピンに直接隣接させて配置すれば、トレース・インダクタンスの増加を防止します。電源層が基板の上面に近いほど、実効ビア長と関連インダクタンスが減少します。

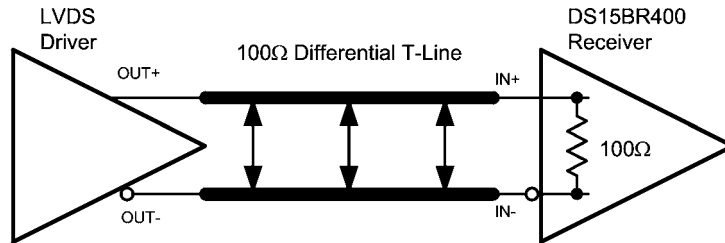
バイパス・コンデンサを VDD ピンの近くに配置する必要があります。サイズ 0402 の X7R 表面実装型コンデンサなど、外形寸法が小さいコンデンサを使用して、コンデンサのボディ・インダクタンスを最小限に抑えてください。各バイパス・コンデンサは、コンデンサのパッドに接したビアを介して電源層とグラウンド層に接続されます。サイズ 0402 の X7R 表面実装型コンデンサは、ボディ・インダクタンスが約 0.5nH です。周波数がおおよそ 30MHz を超えると、X7R コンデンサは低インピーダンスのインダクタとして動作します。動作周波数範囲を数百 MHz まで拡張するには通常、100pF、1nF、0.03 μF、0.1 μF など異なる容量のコンデンサを並列接続します。最も効果的なバイパス・コンデンサは、2 ~ 3mil の間隔で重ねられた電源層とグラウンド層を使って構成できます。2mil の FR4 誘電体の場合、プリント基板 1 平方インチ (約 6.45 平方センチ) あたり約 500pF です。

DS15BR400 が収められた LLP パッケージの中央にある DAP は、ビア配列を介してグラウンド層に接続する必要があります。ビア配列を利用すると、グラウンドに対する実効インダクタンスが減少し、LLP パッケージの熱特性が向上します。

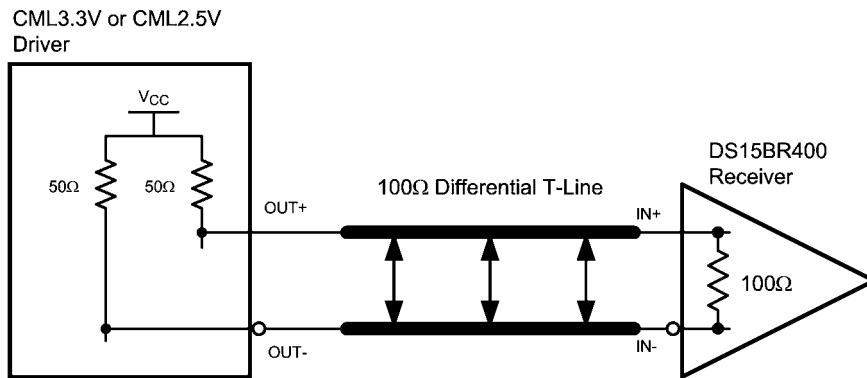
アプリケーション情報 (つづき)

入力インターフェース

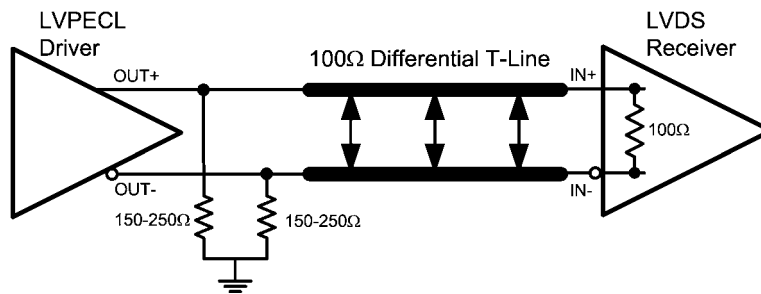
DS15BR400とDS15BR401は差動入力信号を使用でき、AC結合またはDC結合が簡単です。DS15BR400/DS15BR401は入力コモンモードが広範囲であり、あらゆる一般的な差動ドライバ(LVPECL、LVDS、CML)とDC結合できます。次の3つの図は一般的な差動ドライバとのDC結合の代表例を示しています。DS15BR400の入力は100Ωの抵抗により内部で終端されていますが、DS15BR401の入力は内部で終端されていません。そのため、DS15BR401には外付けの入力終端が必要です。



Typical LVDS Driver DC-Coupled Interface to DS15BR400 Input



Typical CML Driver DC-Coupled Interface to DS15BR400 Input

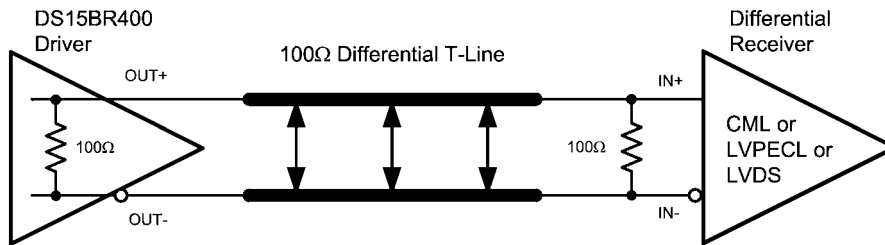


Typical LVPECL Driver DC-Coupled Interface to DS15BR400 Input

アプリケーション情報 (つづき)

出力インターフェース

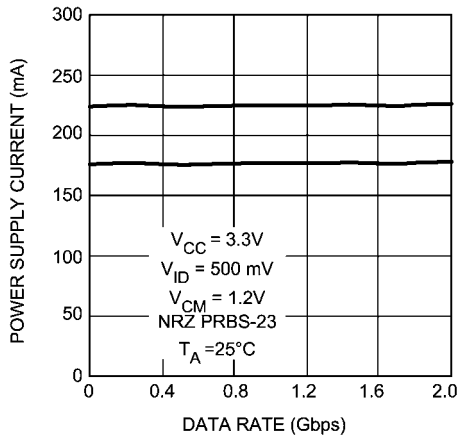
DS15BR400 と DS15BR401 は LVDS 規格に準拠した信号を出力します。この出力は一般的なほとんどの差動レシーバに DC 結合できます。次の図は、一般的な差動レシーバとの DC 結合の代表例を示しています。ここではレシーバの入力インピーダンスが大きいと想定しています。ほとんどの差動レシーバのコモンモード入力範囲は LVDS 規格に準拠した入力信号に対応できますが、推奨のインターフェースを導入する前に、個々のレシーバのデータシートをチェックするようにしてください。



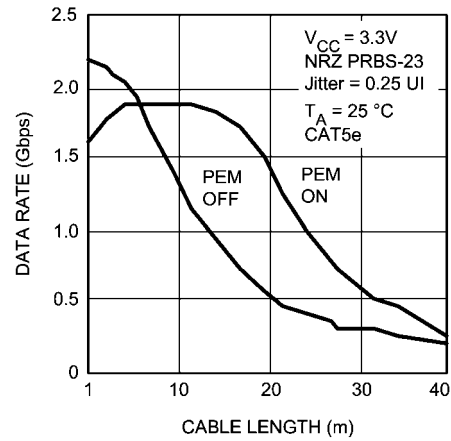
Typical DS15BR400 Output DC-Coupled Interface to an LVDS, CML or LVPECL Receiver

代表的な性能特性

Power Supply Current vs. Data Rate

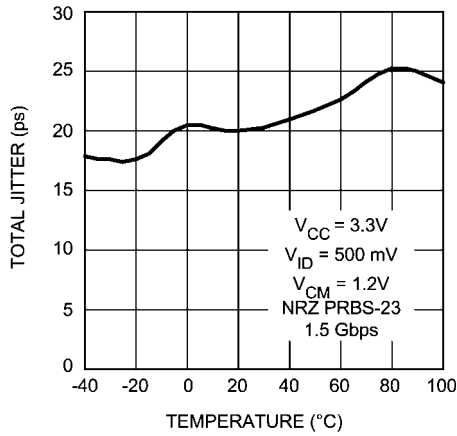


Data Rate vs. Cable Length (0.25 UI Criteria)

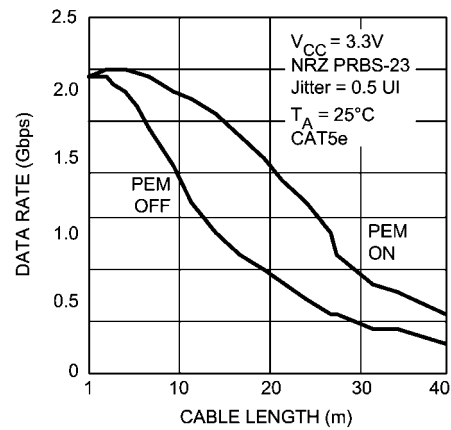


このグラフに示されているデータは、DS15BR400EVK、RJ-45 から SMA へのアダプタ・ボードのペア、各種長さの Belden 1700a ケーブルを使用して収集されたものです。最大データ・レートは、ケーブルを過ぎてから測定された総ジッタ (0.25UI が基準) に基づいて決定されています。総ジッタは、3,000 回分のヒストグラムで測定されたピーク・ツー・ピーク値です。

Total Jitter vs. Ambient Temperature

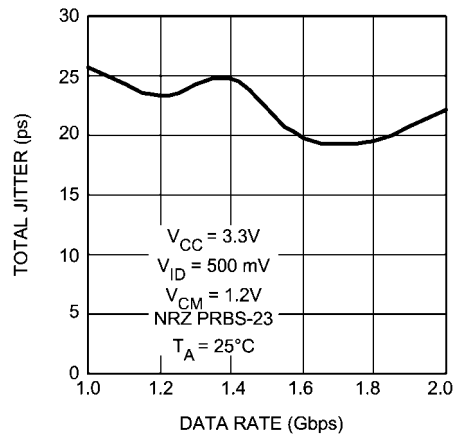


Data Rate vs. Cable Length (0.5 UI Criteria)

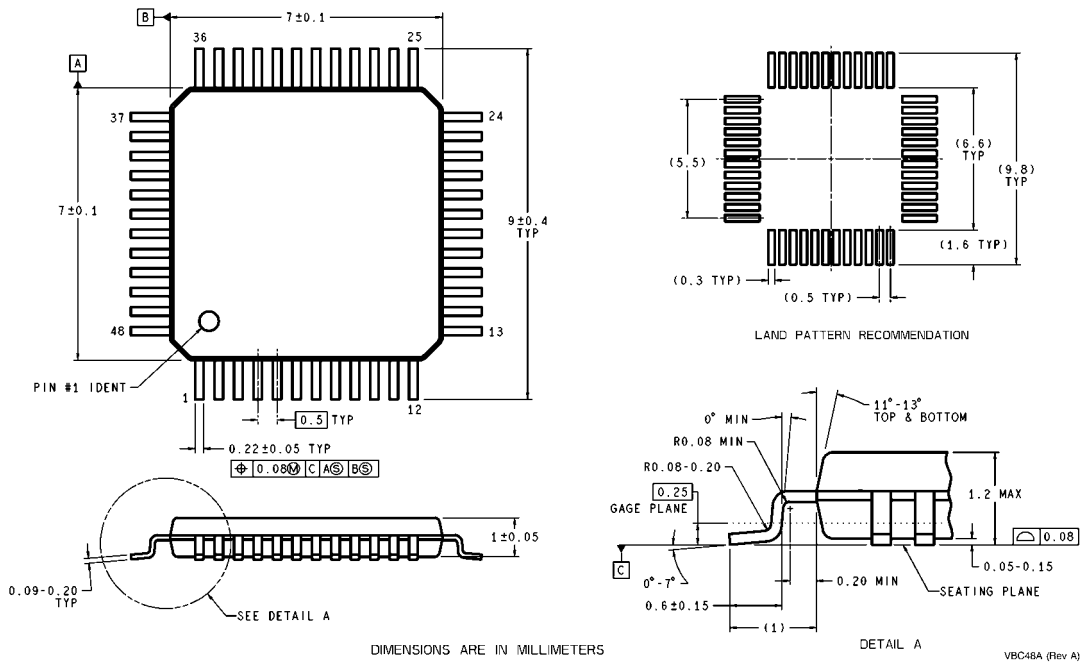


このグラフに示されているデータは、DS15BR400EVK、RJ-45 から SMA へのアダプタ・ボードのペア、各種長さの Belden 1700a ケーブルを使用して収集されたものです。最大データ・レートは、ケーブルを過ぎてから測定された総ジッタ (0.5UI が基準) に基づいて決定されています。総ジッタは、3,000 回分のヒストグラムで測定されたピーク・ツー・ピーク値です。

Total Jitter vs. Data Rate



外形寸法図 特記のない限り inches (millimeters)

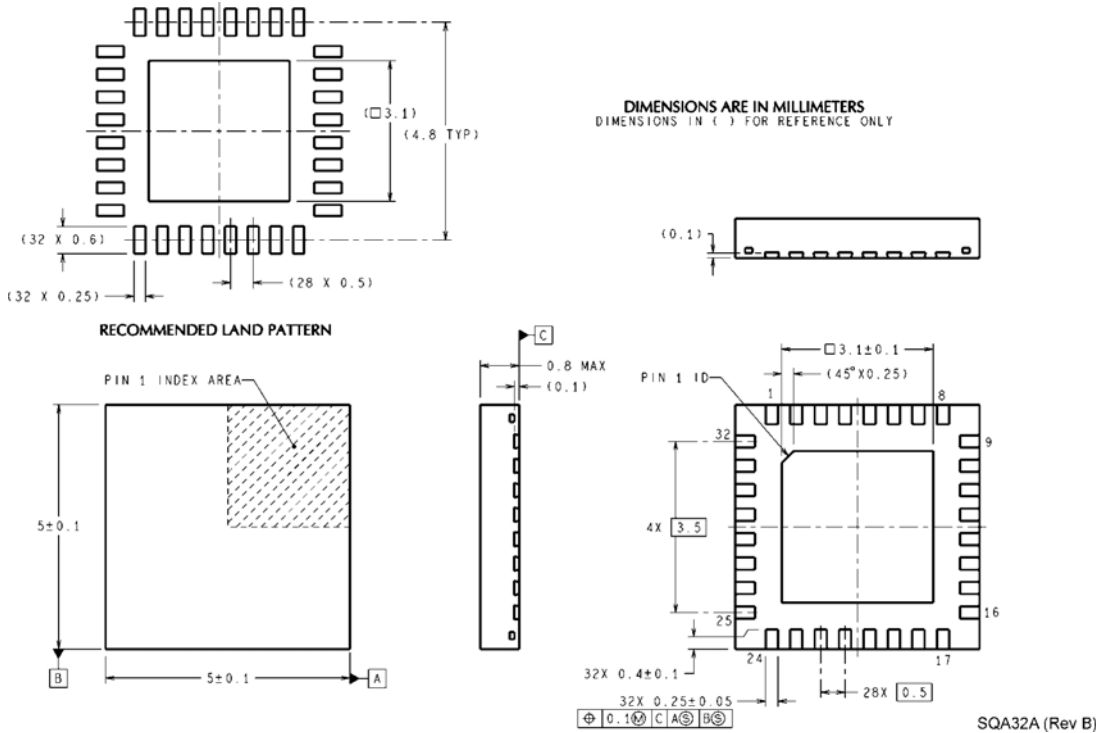


48-TQFP

NS Package Number VBC48a

Order Number DS15BR400TVS, DS15BR401TVS (250 piece Tray)

Order Number DS15BR400TVSX, DS15BR401TVSX (1000 piece Tape and Reel)



32-LLP

(See AN-1187 for PCB Design and Assembly Recommendations)

NS Package Number SQA32A

Order Number DS15BR400TSQ, DS15BR401TSQ (1000 piece Tape and Reel)

DS15BR400TSQX, DS15BR401TSQX (4500 piece Tape and Reel)

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2011 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上