参考資料

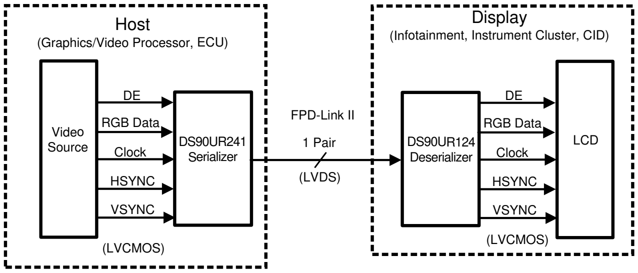
DS90URxxx-Q1 5MHz～43MHz、DC 平衡型、24 ビット、FPD-Link II シリアライザおよびデシリアライザ チップセット

1 特長

- 18 ビット色深度のディスプレイをサポート
- 5MHz～43MHz のピクセル クロック
- 車載グレード製品 (AEC-Q100 グレード 2) 認定済み
- 24:1 のインターフェイス圧縮
- DC バランシングと埋め込みクロックにより、AC 結合データ伝送をサポート
- 最大 10m のシールド ツイストペア ケーブルを駆動可能
- 基準クロック不要 (デシリアライザ)
- ISO 10605 ESD (8kV HBM を上回る ESD 構造) に適合
- ホット プラグに対応
- EMI 低減 – スペクトラム拡散入力に対応するシリアライザ。シリアル リンクでのデータのランダム化とシャッフル。調整可能な PTO (段階的ターンオン) LVCMOS 出力を備えたデシリアライザ
- @Speed BIST (内蔵セルフ テスト) により、LVDS 伝送経路を検証
- トランスミッタとレシーバの両方を個別にパワーダウン制御
- 電源電圧範囲:3.3V ±10%
- トランスミッタ用 48 ピン TQFP パッケージとレシーバ用 64 ピン TQFP パッケージ
- 温度範囲:-40℃～105℃
- DS90C241/DS90C124 との下位互換モード

2 アプリケーション

- 車載用集中情報ディスプレイ
- 車載用インストルメント クラスタ ディスプレイ
- 車載用ヘッドアップ ディスプレイ
- リモート カメラ ベースの運転支援システム



アプリケーション図

3 概要

DS90URxxx-Q1 チップセットは、24 ビットのパラレル バスを、クロック情報が埋め込まれた、完全に透過的なデータ / 制御 FPD-Link II LVDS シリアル ストリームに変換します。このチップセットは、18 ビット色深度(RGB666)、「HS、VS、DE」、3 つの追加汎用データ チャネルを必要とするディスプレイのグラフィカル データを駆動するために設計されています。この単一のシリアル ストリームにより、パラレル データとクロック パスの間でスキューの問題が排除されるため、PCB 上の配線およびケーブルで 24 ビットのデータ バスを簡単に転送できます。本デバイスを使うと、データ パスを狭くでき、PCB レイヤ、ケーブル幅、コネクタのサイズとピン数のすべてを削減できるため、システム コストを低減できます。

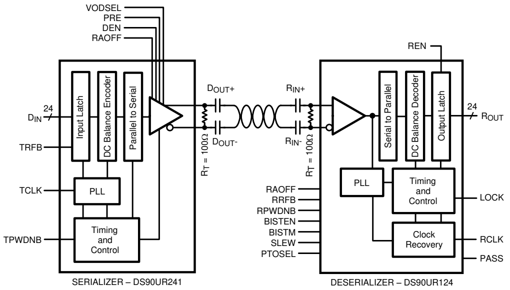
DS90URxxx-Q1 は、高速 I/O に FPD-Link II LVDS 方式を採用しています。FPD-Link II LVDS は、シリアル伝送パス上で確実にデータを転送するための低消費電力かつ低ノイズの環境を提供します。動作周波数範囲について、シリアライザの出力エッジ レートを最適化することにより、さらに EMI が低減されます。

さらに、このデバイスにはプリエンファシス機能があり、損失の多いケーブル上で長距離の伝送を行えるよう信号をブーストできます。内部の DC バランスされたエンコードおよびデコードを使用して、AC カップリング相互接続に対応できます。テキサス・インスツルメンツ独自のランダム ロックを使うと、シリアライザのパラレル データは、REFCLK を必要とせずに、デシリアライザに対してランダム化されます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)(2)
DS90UR124-Q1	TQFP (64)	10.00mm × 10.00mm
DS90UR241-Q1	TQFP (48)	7.00mm × 7.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長....1
2 アプリケーション....1
3 概要....1
4 ピン構成および機能....3
5 仕様....8
5.1 絶対最大定格....8
5.2 ESD 定格....8
5.3 推奨動作条件....9
5.4 熱に関する情報....9
5.5 電気的特性....9
5.6 シリアライザの TCLK の入力タイミング要件....11
5.7 シリアライザのスイッチング特性....11
5.8 デシリアライザのスイッチング特性....11
5.9 代表的特性....18
6 詳細説明....19
6.1 概要....19
6.2 機能ブロック図....19
6.3 機能説明....19
6.4 デバイスの機能モード....24
7 デバイスおよびドキュメントのサポート....34
7.1 デバイス サポート....34
7.2 ドキュメントのサポート....34
7.3 ドキュメントの更新通知を受け取る方法....34
7.4 サポート・リソース....34
7.5 商標....34
7.6 静電気放電に関する注意事項....34
7.7 用語集....34
8 改訂履歴....34

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

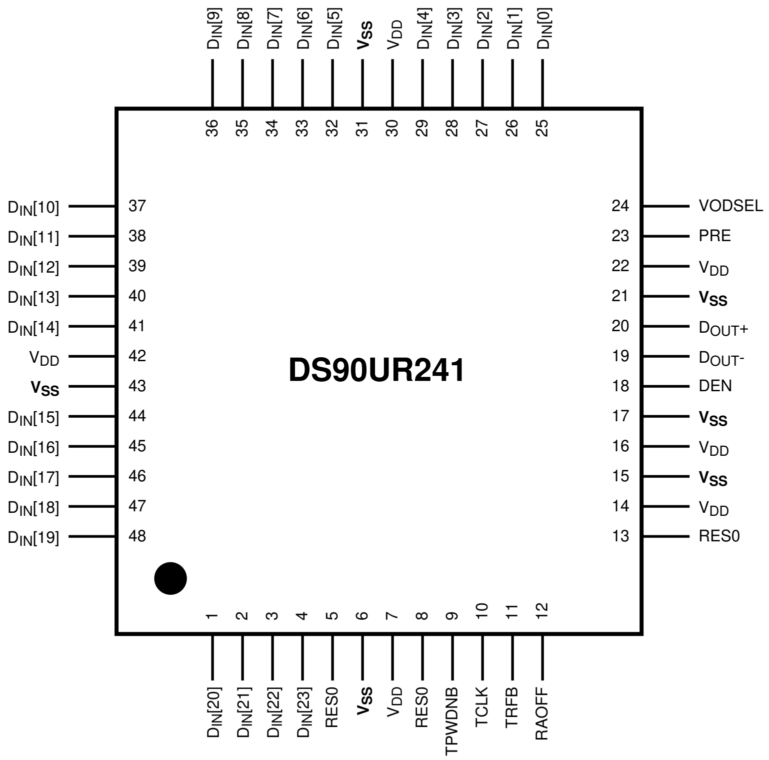


図 4-1. PFB パッケージ
48 ピン TQFP
上面図

表 4-1. ピンの機能：PFB パッケージ

ピン		I/O	説明
番号	名称		
LVCMOS パラレル インターフェイス ピン			
4～1、48～44、41～32、29～25	D_{IN}[23:0]	LVCMOS_I	トランスミッタのパラレル インターフェイスのデータ入力ピン。未使用の場合、Low に接続します。フローティングにしないでください。
10	TCLK	LVCMOS_I	トランスミッタのパラレル インターフェイスのクロック入力ピン。ストローブ エッジは TRFB 構成ピンによって設定されます。
制御および構成ピン			
18	DEN	LVCMOS_I	トランスミッタのデータ イネーブル DEN = H：LVDS ドライバ出力は有効 (オン) DEN = L：LVDS ドライバ出力は無効 (オフ)。トランスミッタの LVDS ドライバの D_{OUT} (+/-) 出力はトライステート。PLL は動作し続けており、TCLK にロック。
23	PRE	LVCMOS_I	プリエンファシス レベル選択 PRE = NC (未接続)：プリエンファシスは無効 (オフ)。 外部抵抗 R_{PRE} を介して入力を VSS に接続すると、プリエンファシスが作動します。抵抗値によって、プリエンファシス レベルが決まります。推奨値 $R_{PRE} \geqq 6k\Omega$、I_{max} = [48 / R_{PRE}]、$R_{PRE\ min}$ = 6kΩ

表 4-1. ピンの機能：PFB パッケージ (続き)

ピン		I/O	説明
番号	名称		
12	RAOFF	LVCMOS_I	ランダマイザ制御入力ピン RAOFF = H：DS90**C**124 デシリアライザと組み合わせて使用するための下位互換モード。 RAOFF = L：追加のランダム化をオン (デフォルト)。2E7 LSFR 設定を選択します。 詳細については、表 6-1 を参照してください。
5、8、13	RES0	LVCMOS_I	予約済み。このピンは、Low に接続する**必要があります**。
9	TPWDNB	LVCMOS_I	トランスミッタのパワー ダウン バー TPWDNB = H：トランスミッタは有効、 TPWDNB = L：トランスミッタはパワーダウン モード (スリープ)、LVDS ドライバの D_{OUT} (+/-) 出力はトライステート スタンバイ モードになり、PLL はシャットダウンして消費電力を最小化します。
11	TRFB	LVCMOS_I	トランスミッタのクロック エッジ選択ピン TRFB = H：パラレル インターフェイス データは立ち上がりクロック エッジでストローブされます。 TRFB = L：パラレル インターフェイス データは立ち下がりクロック エッジでストローブされます。
24	VODSEL	LVCMOS_I	VOD レベル選択 VODSEL = L：LVDS ドライバ出力は ±500mV (R_L = 100Ω) VODSEL = H：LVDS ドライバ出力は ±900mV (R_L = 100Ω) 通常のアプリケーションでは、このピンを Low に設定します。より大きい VOD が必要な長ケーブル アプリケーションでは、このピンを High に設定します。
LVDS シリアル インターフェイス ピン			
20	D_{OUT+}	LVDS_O	トランスミッタ LVDS 真 **(+)** 出力。 この出力は、D_{OUT+} ピンに対する 100Ω 負荷を接続するように設計されています。相互接続は、100nF のコンデンサを使用してこのピンと AC 結合させる必要があります。
19	D_{OUT-}	LVDS_O	トランスミッタ LVDS 反転 **(-)** 出力 この出力は、D_{OUT-} ピンに対する 100Ω 負荷を接続するように設計されています。相互接続は、100nF のコンデンサを使用してこのピンと AC 結合する必要があります。
電源 / グランド ピン			
22	VDD	VDD	アナログ電圧電源、LVDS 出力電源
16	VDD	VDD	アナログ電圧電源、VCO 電源
14	VDD	VDD	アナログ電圧電源、PLL 電源
30	VDD	VDD	デジタル電圧電源、シリアライザ電源
7	VDD	VDD	デジタル電圧電源、シリアライザ ロジック電源
42	VDD	VDD	デジタル電圧電源、シリアライザ入力電源
21	VSS	GND	アナログ グランド、LVDS 出力グランド
17	VSS	GND	アナログ グランド、VCO グランド
15	VSS	GND	アナログ グランド、PLL グランド
31	VSS	GND	デジタル グランド、シリアライザ グランド
6	VSS	GND	デジタル グランド、シリアライザ ロジック グランド
43	VSS	GND	デジタル グランド、シリアライザ入力グランド

Copyright © 2025 Texas Instruments Incorporated

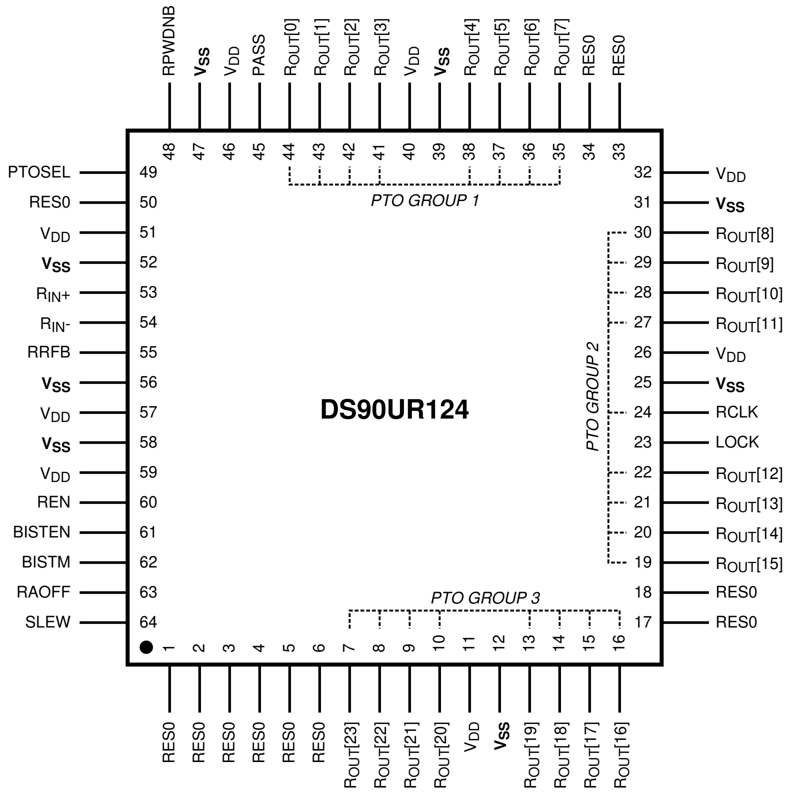


図 4-2. PAG パッケージ
64 ピン TQFP
上面図

表 4-2. ピンの機能：PAG パッケージ

ピン		I/O	説明
番号	名称		
LVCMOS パラレル インターフェイス ピン			
24	RCLK	LVCMOS_O	パラレル インターフェイス クロック出力ピン。ストローブ エッジは RRFB 構成ピンによって設定されます。
35-38、41-44	R_{OUT}[7:0]	LVCMOS_O	レシーバ パラレル インターフェイス データ出力 – グループ 1
19-22、27-30	R_{OUT}[15:8]	LVCMOS_O	レシーバ パラレル インターフェイス データ出力 – グループ 2
7-10、13-16	R_{OUT}[23:16]	LVCMOS_O	レシーバ パラレル インターフェイス データ出力 – グループ 3
制御および構成ピン			
23	LOCK	LVCMOS_O	LOCK はレシーバ PLL の状態を示します。 LOCK = H：レシーバ PLL はロックしている。 LOCK = L：レシーバ PLL ロックしていない。R_{OUT}[23-0] と RCLK はトライステート。
49	PTOSEL	LVCMOS_I	プログレッシブ ターンオン動作選択 PTO = H：R_{OUT}[23:0] は 8 つずつ 3 つのグループに分類されます。各グループは RCLK に対して約 ±1 UI～±2 UI 離れてスイッチングします。(図 5-15) PTO = L：PTO 拡散モード、R_{OUT}[23:0] 出力は ±1 UI～±2 UI 拡散し、RCLK は ±1 UI 拡散します。(図 5-16) 詳細については、「アプリケーション情報」セクションを参照してください。
63	RAOFF	LVCMOS_I	ランダマイザ制御入力ピン (詳細については、表 2 を参照) RAOFF = H：DS90C241 シリアライザと組み合わせて使用するための下位互換モード。 RAOFF = L：追加のランダム化をオン (デフォルト)。2E7 LSFR 設定を選択します。

Copyright © 2025 Texas Instruments Incorporated

表 4-2. ピンの機能：PAG パッケージ (続き)

ピン		I/O	説明
番号	名称		
60	REN	LVCMOS_I	レシーバ データ イネーブル REN = H：R_{OUT}[23-0] と RCLK は有効 (オン)。 REN = L：R_{OUT}[23-0] と RCLK は無効 (オフ)。レシーバ R_{OUT}[23-0] および RCLK 出力はトライステート。PLL は動作し続けており、TCLK にロック。
50	RES0	LVCMOS_I	予約済み。このピンは、Low に接続する必要があります。
1～6、17、18、33、34	RES0	NC	接続なし (オープン)。ピンは、物理的にはダイに接続されていません。ピンをオープンのままにするか、Low に接続することを推奨します。
48	RPWDNB	LVCMOS_I	レシーバ パワー ダウン バー RPWDNB = H：レシーバは有効かつオン RPWDNB = L：レシーバはパワー ダウン モード (スリープ)、R_{OUT}[23-0]、RCLK、LOCK はトライステート スタンバイ モードになり、PLL はシャットダウンして消費電力を最小化します。
55	RRFB	LVCMOS_I	レシーバ クロック エッジ選択ピン RRFB = H：R_{OUT} LVCMOS 出力は立ち上がりクロック エッジでストローブされます。 RRFB = L：R_{OUT} LVCMOS 出力は立ち下がりクロック エッジでストローブされます。
64	SLEW	LVCMOS_I	LVCMOS 出力スルーレート制御 SLEW = L：2mA の低駆動出力 (デフォルト) SLEW = H：4mA の高駆動出力
BIST モード ピン (詳細については、セクション アプリケーションと実装 を参照)			
61	BISTEN	LVCMOS_I	BIST モード イネーブル用制御ピン BISTEN = L：デフォルトは Low。通常モード。 BISTEN = H：BIST モードが作動。BISTEN = H かつ DS90UR241 DIN[23:0] = Low またはフローティングの場合、デバイスはそれに応じて BIST モードに移行します。PASS 出力ピンのテスト ステータスを確認します。
62	BISTM	LVCMOS_I	BIST モードの選択。デシリアライザを BIST 報告モードに設定する制御ピン。 BISTM = L：デフォルトは Low。サイクルごとのビット エラーに対応したすべての R_{OUT} のステータス BISTM = H：累積ビット エラー数を ROUT[7:0] (最大 255 のバイナリ カウンタ) に表示
45	合格	LVCMOS_O	@Speed BIST テスト動作のためのパス フラグ出力。 PASS = L：BIST 失敗 PASS = H：BIST を有効化する前に LOCK = H。その後リンク上で 1 x 10^{-9} のエラー レートを達成。
LVDS シリアル インターフェイス ピン			
53	R_{IN+}	LVDS_I	レシーバ LVDS 真 **(+)** 入力 — この入力は、R_{IN+} ピンに対する 100Ω 負荷を接続するように設計されています。相互接続は、100nF のコンデンサを使用してこのピンと AC 結合させる必要があります。
54	R_{IN-}	LVDS_I	レシーバ LVDS 反転 **(−)** 入力 — この入力は、R_{IN-} ピンに対する 100Ω 負荷を接続するように設計されています。相互接続は、100nF のコンデンサを使用してこのピンと AC 結合させる必要があります。
電源 / グランド ピン			
51	VDD	VDD	アナログ LVDS 電源、電源
59	VDD	VDD	アナログ電圧電源、PLL 電源
57	VDD	VDD	アナログ電圧電源、PLL VCO 電源
32	VDD	VDD	デジタル電圧電源、ロジック電源
46	VDD	VDD	デジタル電圧電源、ロジック電源
40	VDD	VDD	デジタル電圧電源、LVCMOS 出力電源
26	VDD	VDD	デジタル電圧電源、LVCMOS 出力電源
11	VDD	VDD	デジタル電圧電源、LVCMOS 出力電力
52	VSS	GND	アナログ LVDS グランド
58	VSS	GND	アナログ グランド、PLL グランド
56	VSS	GND	アナログ グランド、PLL VCO グランド

Copyright © 2025 Texas Instruments Incorporated

表 4-2. ピンの機能：PAG パッケージ (続き)

ピン		I/O	説明
番号	名称		
31	VSS	GND	デジタル グランド、ロジック グランド
47	VSS	GND	デジタル グランド、ロジック グランド
39	VSS	GND	デジタル グランド、LVCMOS 出力グランド
25	VSS	GND	デジタル グランド、LVCMOS 出力グランド
12	VSS	GND	デジタル グランド、LVCMOS 出力グランド

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

				最小値	最大値	単位
電源電圧 (V_{DD})				-0.3	4	V
LVCMOS 入力電圧				-0.3	V_{DD} + 0.3	V
LVCMOS の出力電圧				-0.3	V_{DD} + 0.3	V
LVDS レシーバ入力電圧				-0.3	+3.9	V
LVDS ドライバ出力電圧				-0.3	+3.9	V
LVDS 出力短絡時間					10	ms
接合部温度					150	℃
リード温度 (半田付け、4 秒)					260	℃
最大パッケージ電力放散能力 (2)	パッケージ ディレーティング:	DS90UR241 – 48L TQFP	$R_{\theta JA}$		45.8 (4L)、75.4 (2L)	℃/W
			$R_{\theta JC}$		21.0	
		DS90UR124 – 64L TQFP	$R_{\theta JA}$		42.8 (4L)、67.2 (2L)	
			$R_{\theta JC}$		14.6	
保管温度、T_{stg}				-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 1/$R_{\theta JA}$ ℃/W (+25℃以上)

5.2 ESD 定格

			値	単位
PFB パッケージの DS90UR241-Q1				
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	≧ ±8000	V
	荷電デバイス モデル (CDM)、AEC Q100-011 準拠	コーナー ピン (1、12、13、24、25、36、37、48)	±1000	
		その他のピン	±1000	
	(ISO10605)(2)	接触放電 (20、19)	±10000	
		気中放電 (20、19)	±30000	
PAG パッケージの DS90UR124-Q1				
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1)	すべてのピン	≧ ±8000	V
	荷電デバイス モデル (CDM)、AEC Q100-011 準拠	コーナー ピン (1、16、17、32、33、48、49、64)	±1000	
		その他のピン	±1000	
	(ISO10605)(2)	接触放電 (R_{IN+}、R_{IN-})	±10000	
		気中放電 (R_{IN+}、R_{IN-})	±30000	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。
(2) R_D = 2kΩ、C_S = 330pF

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
電源電圧 (V_{DD})	3.0	3.3	3.6	V
自由気流での動作温度 (T_A)	-40	25	105	℃
クロック レート	5		43	MHz
電源ノイズ			±100	mV_{P-P}

5.4 熱に関する情報

熱評価基準[(1)]		DS90UR124-Q1	DS90UR241-Q1	単位
		PAG [TQFP]	PFB [TQFP]	
		64 ピン	48 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	58.1	64.3	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	13.0	14.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	30.4	30.2	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	0.4	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	30.0	29.8	℃/W

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

5.5 電気的特性

推奨動作電源電圧および温度範囲内 (特に規定のない限り)

パラメータ		テスト条件	ピン / 周波数	最小値	標準値	最大値	単位
LVCMOS DC 仕様							
V_{IH}	High レベル入力電圧		**Tx**:D_{IN}[0:23]、TCLK、TPWDNB、DEN、TRFB、RAOFF、VODSEL、RES0。**Rx**:RPWDNB、RRFB、REN、PTOSEL、BISTEN、BISTM、SLEW、RES0。	2		V_{DD}	V
V_{IL}	Low レベル入力電圧			GND		0.8	V
V_{CL}	入力クランプ電圧	I_{CL} = -18mA			-0.8	-1.5	V
I_{IN}	入力電流	V_{IN} = 0V または 3.6V	**Tx**:D_{IN}[0:23]、TCLK、TPWDNB、DEN、TRFB、RAOFF、RES0。**Rx**:RRFB、REN、PTOSEL、BISTEN、BISTM、SLEW、RES0。	-10	±2	10	μA
			Rx: RPWDNB	-20	±5	20	μA
V_{OH}	High レベル出力電圧	I_{OH} = -2mA、SLEW = L I_{OH} = -4mA、SLEW = H	**Rx**:R_{OUT}[0:23]、RCLK、LOCK、PASS。	2.3	3	V_{DD}	V
V_{OL}	Low レベル出力電圧	I_{OL} = 2mA、SLEW = L I_{OL} = 4mA、SLEW = H		GND	0.33	0.5	V
I_{OS}	出力短絡電流	V_{OUT} = 0V		-40	-70	-110	mA
I_{OZ}	トライステート出力電流	RPWDNB、REN = 0V、 V_{OUT} = 0V または V_{DD}	**Rx**:R_{OUT}[0:23]、RCLK、LOCK、PASS。	-30	±0.4	30	μA
LVDS の DC 仕様							

5.5 電気的特性 (続き)

推奨動作作電源電圧および温度範囲内 (特に規定のない限り)

パラメータ		テスト条件		ピン / 周波数	最小値	標準値	最大値	単位
V_{TH}	差動スレッショルド High 電圧	V_{CM} = 1.8V		Rx：R_{IN+}、R_{IN-}			50	mV
V_{TL}	差動スレッショルド Low 電圧	V_{CM} = 1.8V		Rx：R_{IN+}、R_{IN-}	-50			mV
I_{IN}	入力電流	V_{IN} = 2.4V、V_{DD} = 3.6V		Rx：R_{IN+}、R_{IN-}		±100	±250	μA
		V_{IN} = 0V、V_{DD} = 3.6V				±100	±250	
V_{OD}	出力差動電圧 (D_{OUT+}) - (D_{OUT-})	R_L = 100Ω、プリエンファシスなし 図 5-10	VODSEL = L	Tx：D_{OUT+}、D_{OUT-}	380	500	630	mV
			VODSEL = H		500	900	1100	
ΔV_{OD}	出力差動電圧アンバランス	R_L = 100Ω、プリエンファシスなし	VODSEL = L	Tx：D_{OUT+}、D_{OUT-}		1	50	mV
			VODSEL = H					
V_{OS}	オフセット電圧	R_L = 100Ω、プリエンファシスなし	VODSEL = L	Tx：D_{OUT+}、D_{OUT-}	1	1.25	1.50	V
			VODSEL = H					
ΔV_{OS}	オフセット電圧アンバランス	R_L = 100Ω、プリエンファシスなし	VODSEL = L	Tx：D_{OUT+}、D_{OUT-}		3	50	mV
			VODSEL = H					
I_{OS}	出力短絡電流	D_{OUT} = 0V、D_{IN} = H、TPWDNB = 2.4V	VODSEL = L	Tx：D_{OUT+}、D_{OUT-}	-2	-5	-8	mA
			VODSEL = H		-4.5	-7.9	-14	
I_{OZ}	トライステート出力電流	TPWDNB = 0V、D_{OUT} = 0V または V_{DD}		Tx：D_{OUT+}、D_{OUT-}	-15	±1	15	μA
		TPWDNB = 2.4V、DEN = 0V D_{OUT} = 0V または V_{DD}			-15	±1	15	
		TPWDNB = 2.4V、DEN = 2.4V、D_{OUT} = 0V または V_{DD} ロックなし (TCLK なし)			-15	±1	15	
SER/DES 電源電流 (DVDD*、PVDD*、AVDD* ピン) * デジタル、PLL、アナログ VDD								
I_{DDT}	シリアライザ総消費電流 (負荷電流を含む)	R_L = 100Ω、PRE = オフ、RAOFF = H、VODSEL = L		f = 43MHz、チェッカーボード パターン 図 5-1		60	85	mA
		R_L = 100Ω、PRE = 12kΩ、RAOFF = H、VODSEL = L				65	90	
		R_L = 100Ω、PRE = オフ、RAOFF = H、VODSEL = H		f = 43MHz、ランダム パターン		66	90	
I_{DDTZ}	シリアライザ電源電流パワーダウン	TPWDNB = 0V (その他のすべての LVCMOS 入力 = 0V)					45	μA
I_{DDR}	デシリアライザ総電源電流 (負荷電流を含む)	C_L = 4pF、SLEW = H		f = 43MHz、チェッカーボード パターン LVCMOS 出力 図 5-2		85	105	mA
		C_L = 4pF、SLEW = H		f = 43MHz、ランダム パターン LVCMOS 出力		80	100	
I_{DDRZ}	デシリアライザ電源電流パワーダウン	RPWDNB = 0V (その他のすべての LVCMOS 入力 = 0V、R_{IN+}/R_{IN-} = 0V)					50	μA

Copyright © 2025 Texas Instruments Incorporated

5.6 シリアライザの TCLK の入力タイミング要件

推奨動作電源電圧および温度範囲内 (特に規定のない限り)

			最小値	公称値	最大値	単位
t_{TCP}	送信クロック周期	図 5-5	23.25	T	200	ns
t_{TCIH}	送信クロック High 時間		0.3T	0.5T	0.7T	ns
t_{TCIL}	送信クロック Low 時間		0.3T	0.5T	0.7T	ns
t_{CLKT}	TCLK 入力遷移時間	図 5-4		2.5		ns
t_{JIT}	TCLK 入力ジッタ	f = 43MHz			±100	ps
		f = 33MHz			±130	ps

5.7 シリアライザのスイッチング特性

推奨動作電源電圧および温度範囲内 (特に規定のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{LLHT}	LVDS の Low から High への遷移時間	R_L = 100Ω、VODSEL = L、GND との間に C_L = 10pF を接続、図 5-3		245	550	ps
t_{LHLT}	LVDS の High から Low への遷移時間			264	550	ps
t_{DIS}	TCLK に対する D_{IN} (0:23) のセットアップ	R_L = 100Ω、GND との間に C_L = 10pF を接続、図 5-5	4			ns
t_{DIH}	TCLK からの D_{IN} (0:23) のホールド		4			ns
t_{HZD}	D_{OUT}± の High からトライステートまでの遅延	R_L = 100Ω、GND との間に C_L = 10pF を接続、図 5-6		10	15	ns
t_{LZD}	D_{OUT}± の Low からトライステートまでの遅延			10	15	ns
t_{ZHD}	D_{OUT}± のトライステートから High までの遅延			75	150	ns
t_{ZLD}	D_{OUT}± のトライステートから Low までの遅延			75	150	ns
t_{PLD}	シリアライザの PLL ロック時間	R_L = 100Ω			10	ms
t_{SD}	シリアライザの遅延	R_L = 100Ω、PRE = オフ、RAOFF = L、TRFB = H、図 5-8	3.5T+2		3.5T+10	ns
		R_L = 100Ω、PRE = オフ、RAOFF = L、TRFB = L、図 5-8	3.5T+2		3.5T+10	ns
TxOUT_E_O	**T**x**OUT**_**E**ye_**O**pening。(tBIT/)2 を中心とする TxOUT_E_O	5MHz～43MHz、R_L = 100Ω、GND との間に C_L = 10pF を接続、ランダム パターン 図 5-9	0.76	0.84		UI

5.8 デシリアライザのスイッチング特性

推奨動作電源電圧および温度範囲内 (特に規定のない限り)

パラメータ		テスト条件	ピン / 周波数	最小値	標準値	最大値	単位
t_{RCP}	**R**eceiver out **C**lock **P**eriod	t_{RCP} = t_{TCP}、PTOSEL = H	RCLK 図 5-15	23.25	T	200	ns
t_{RDC}	**R**CLK **D**uty **C**ycle	PTOSEL = H、SLEW = L		45%	50%	55%	

Copyright © 2025 Texas Instruments Incorporated

5.8 デシリアライザのスイッチング特性 (続き)

推奨動作電源電圧および温度範囲内 (特に規定のない限り)

パラメータ		テスト条件	ピン / 周波数	最小値	標準値	最大値	単位
t_{CLH}	LVCMOS Low-to-High Transition Time	C_L = 4pF (集中負荷)、SLEW = H	R_{OUT} [0:23]、RCLK、LOCK		1.5	2.5	ns
t_{CHL}	LVCMOS High-to-Low Transition Time	C_L = 4pF (集中負荷)、SLEW = H	R_{OUT} [0:23]、RCLK、LOCK		1.5	2.5	ns
t_{CLH}	LVCMOS Low-to-High Transition Time	C_L = 4pF (集中負荷)、SLEW = L	R_{OUT} [0:23]、RCLK、LOCK		2.0	3.5	ns
t_{CHL}	LVCMOS High-to-Low Transition Time	C_L = 4pF (集中負荷)、SLEW = L	R_{OUT} [0:23]、RCLK、LOCK		2.0	3.5	ns
t_{ROS}	**R** OUT (0:7) **Setup** Data to RCLK (グループ 1)	PTOSEL = L、SLEW = H、図 5-16	R_{OUT}[0:7]	(0.35) × t_{RCP}	(0.5 × t_{RCP}) - 3 UI		ns
t_{ROH}	**R** OUT (0:7) **Hold** Data to RCLK (グループ 1)	PTOSEL = L、SLEW = H、図 5-16	R_{OUT}[0:7]	(0.35) × t_{RCP}	(0.5 × t_{RCP}) - 3 UI		ns
t_{ROS}	**R** OUT (8:15) **Setup** Data to RCLK (グループ 2)	PTOSEL = L、SLEW = H、図 5-16	R_{OUT} [8:15]、LOCK	(0.35) × t_{RCP}	(0.5 × t_{RCP}) - 3 UI		ns
t_{ROH}	**R** OUT (8:15) **Hold** Data to RCLK (グループ 2)	PTOSEL = L、SLEW = H、図 5-16	R_{OUT} [8:15]、LOCK	(0.35) × t_{RCP}	(0.5 × t_{RCP}) - 3 UI		ns
t_{ROS}	**R** OUT (16:23) **Setup** Data to RCLK (グループ 3)	PTOSEL = L、SLEW = H、図 5-16	R_{OUT} [16:23]	(0.35) × t_{RCP}	(0.5 × t_{RCP}) - 3 UI		ns
t_{ROH}	**R** OUT (16:23) **Setup** Data to RCLK (グループ 3)	PTOSEL = L、SLEW = H、図 5-16	R_{OUT} [16:23]	(0.35) × t_{RCP}	(0.5 × t_{RCP}) - 3 UI		ns
t_{ROS}	**R** OUT (0:7) **Setup** Data to RCLK (グループ 1)	PTOSEL = H、SLEW = H、図 5-15	R_{OUT}[0:7]	(0.35) × t_{RCP}	(0.5 × t_{RCP}) - 2 UI		ns
t_{ROH}	**R** OUT (0:7) **Hold** Data to RCLK (グループ 1)	PTOSEL = H、SLEW = H、図 5-15	R_{OUT}[0:7]	(0.35) × t_{RCP}	(0.5 × t_{RCP}) + 2 UI		ns
t_{ROS}	**R** OUT (8:15) **Setup** Data to RCLK (グループ 2)	PTOSEL = H、SLEW = H、図 5-15	R_{OUT} [8:15]、LOCK	(0.35) × t_{RCP}	(0.5 × t_{RCP}) + -1 UI		ns
t_{ROH}	**R** OUT (8:15) **Hold** Data to RCLK (グループ 2)	PTOSEL = H、SLEW = H、図 5-15	R_{OUT} [8:15]、LOCK	(0.35) × t_{RCP}	(0.5 × t_{RCP}) + +1 UI		ns
t_{ROS}	**R** OUT (16:23) **Setup** Data to RCLK (グループ 3)	PTOSEL = H、SLEW = H、図 5-15	R_{OUT} [16:23]	(0.35) × t_{RCP}	(0.5 × t_{RCP}) + +1 UI		ns
t_{ROH}	**R** OUT (16:23) **Setup** Data to RCLK (グループ 3)	PTOSEL = H、SLEW = H、図 5-15	R_{OUT} [16:23]	(0.35) × t_{RCP}	(0.5 × t_{RCP}) + -1 UI		ns
t_{HZR}	**H**IGH to Tri-state Delay	PTOSEL = H、図 5-14	R_{OUT} [0:23]、RCLK、LOCK		3	10	ns
t_{LZR}	**L**OW to Tri-state Delay	PTOSEL = H、図 5-14	R_{OUT} [0:23]、RCLK、LOCK		3	10	ns
t_{ZHR}	Tri-state to **H**IGH Delay	PTOSEL = H、図 5-14	R_{OUT} [0:23]、RCLK、LOCK		3	10	ns
t_{ZLR}	Tri-state to **L**OW Delay	PTOSEL = H、図 5-14	R_{OUT} [0:23]、RCLK、LOCK		3	10	ns
t_{DD}	**D**eserializer **D**elay	PTOSEL = H、図 5-12	RCLK		[5 + (5/56)] T + 3.7	[5 + (5/56)] T + 8	ns
t_{DSR}	Deserializer PLL Lock Time from Powerdown	図 5-14 を参照	5 MHz			128k*T	ms
			43 MHz			128k*T	
RxIN_TOL-L	**R**eceiver **IN**put **TOL**erance **L**eft	図 5-17 を参照	5MHz～43MHz			0.25	UI
RxIN_TOL-R	**R**eceiver **IN**put **TOL**erance **R**ight	図 5-17 を参照	5MHz～43MHz			0.25	UI

Copyright © 2025 Texas Instruments Incorporated

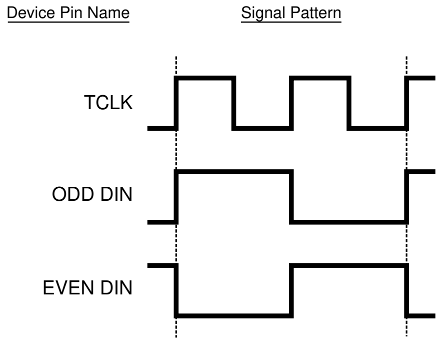


図 5-1. シリアライザ入力チェッカーボード パターン

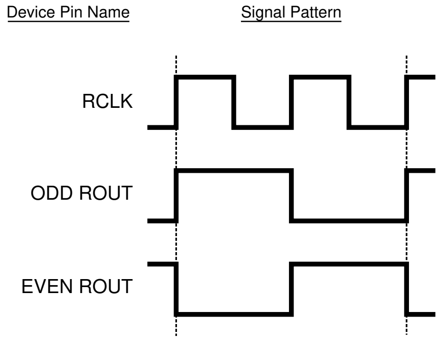


図 5-2. デシリアライザ出力チェッカーボード パターン

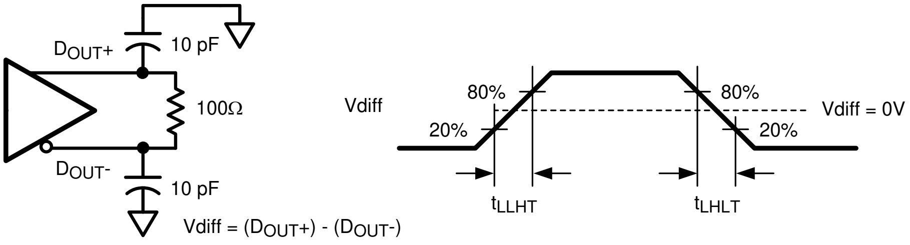


図 5-3. シリアライザの LVDS 出力負荷および遷移時間

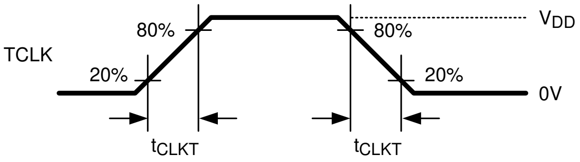


図 5-4. シリアライザの入力クロック遷移時間

Copyright © 2025 Texas Instruments Incorporated

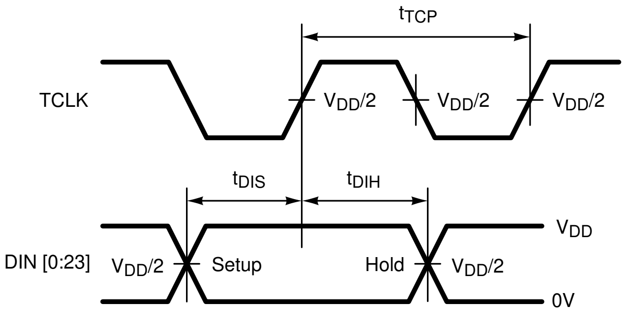


図 5-5. シリアライザのセットアップおよびホールド時間

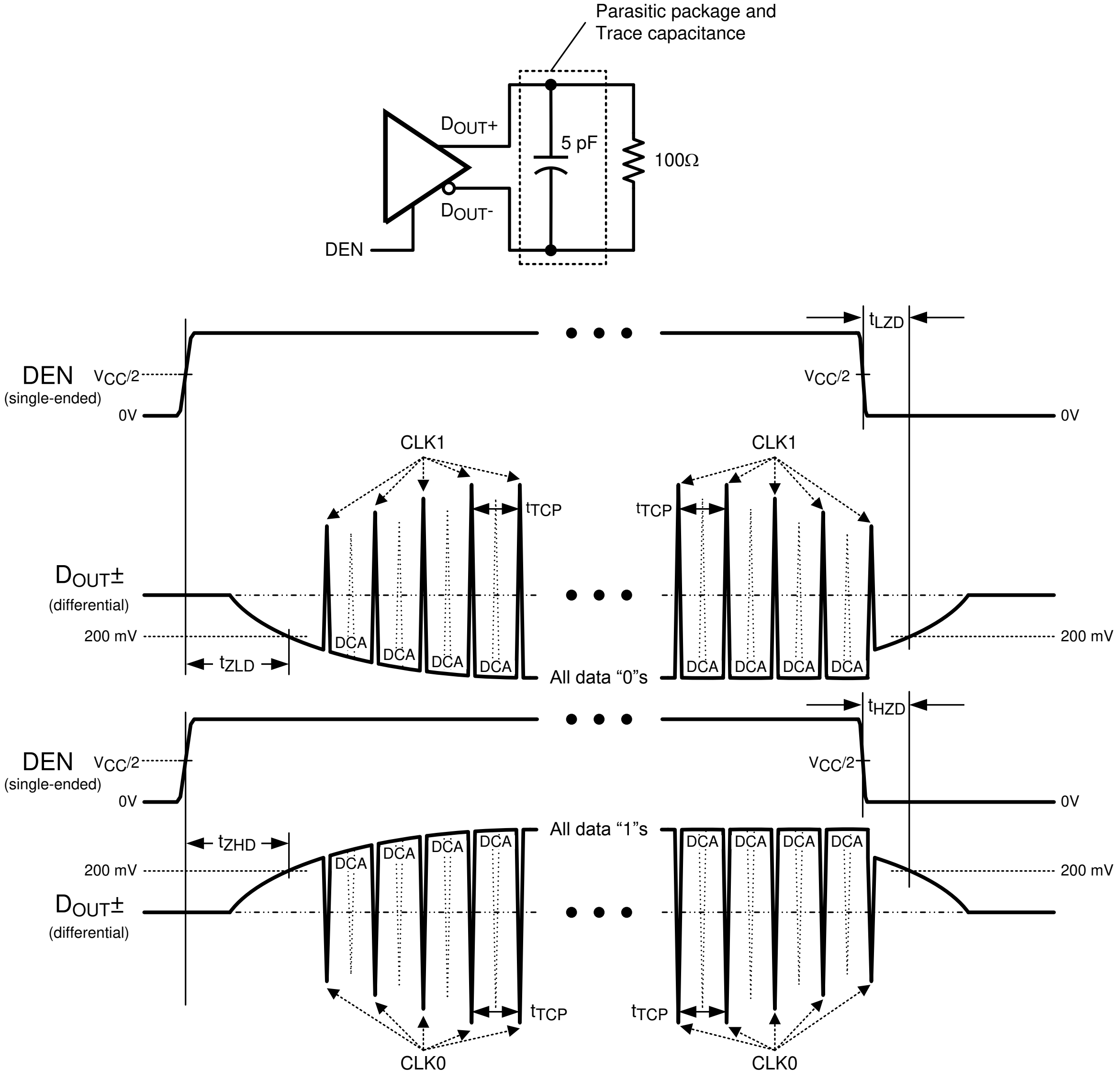


図 5-6. シリアライザのトライステート テスト回路および遅延

Copyright © 2025 Texas Instruments Incorporated

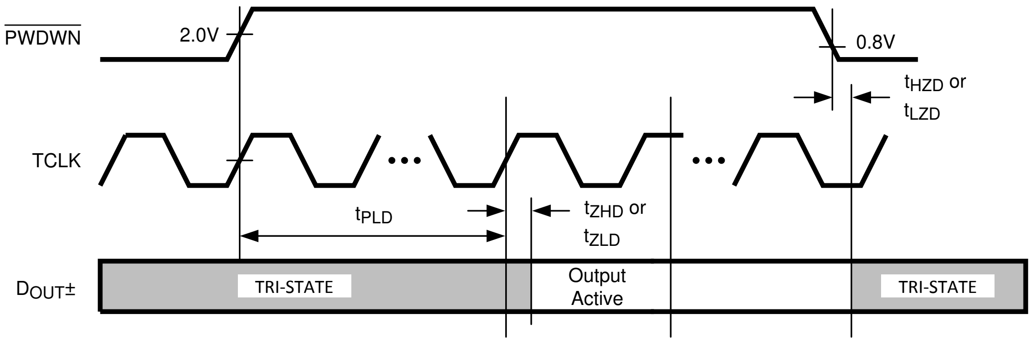


図 5-7. シリアライザの PLL ロック時間、TPWDNB トライステート遅延

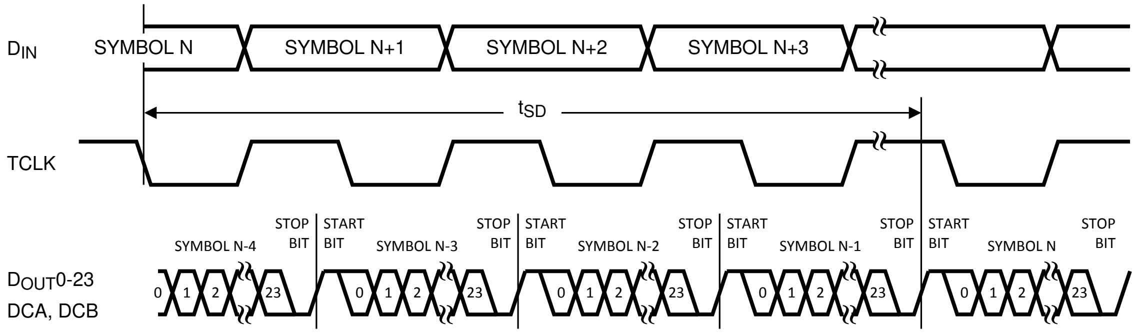


図 5-8. シリアライザの遅延

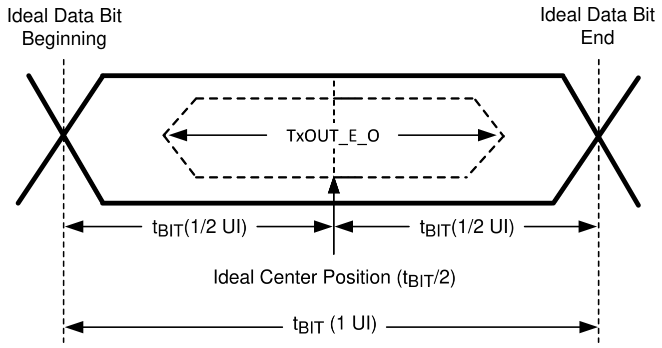
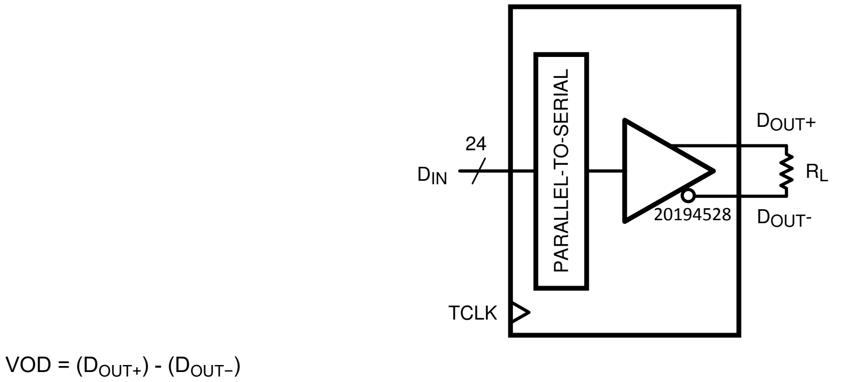


図 5-9. トランスミッタの出力アイ開口 (TxOUT_E_O)



差動出力信号は、データ転送モードのデバイスの (D_{OUT+}) - (D_{OUT-}) として示されます。

図 5-10. シリアライザの V_{OD} 図

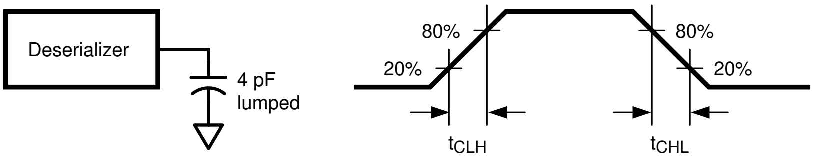


図 5-11. シリアライザの LVCMOS 出力負荷および遷移時間

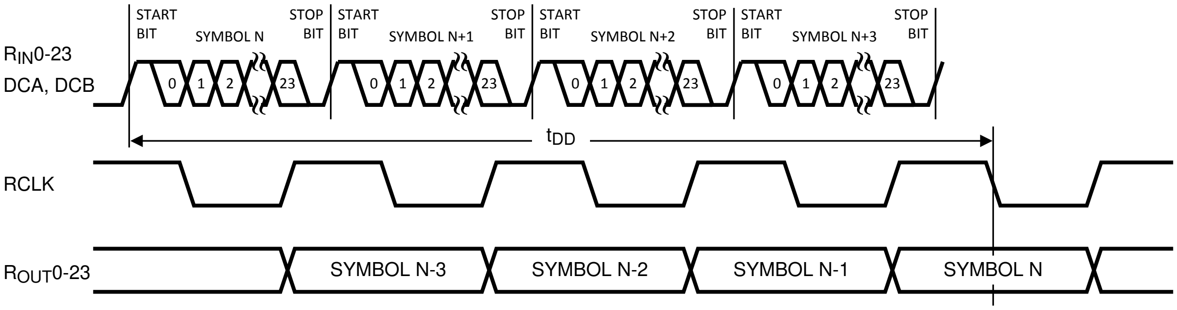


図 5-12. デシリアライザの遅延

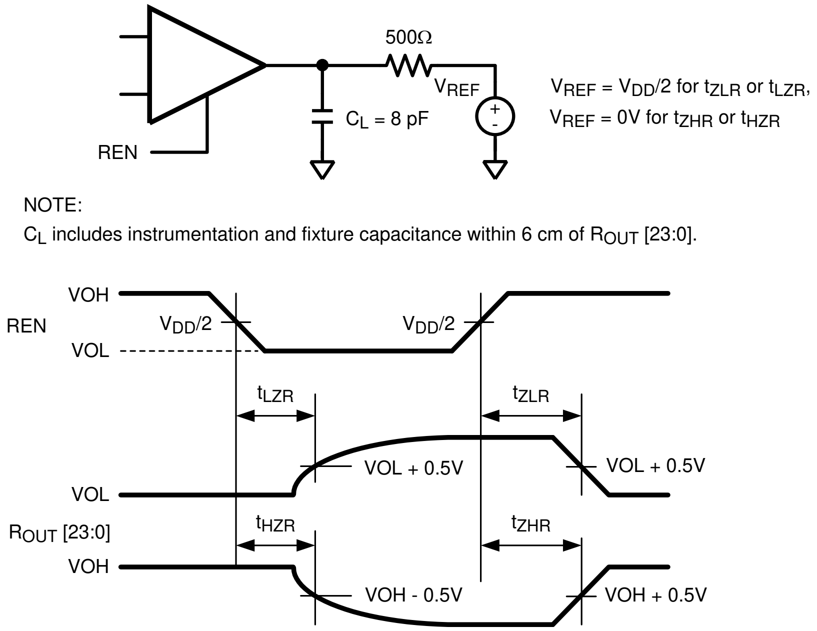


図 5-13. デシリアライザのトライステート テスト回路およびタイミング

Copyright © 2025 Texas Instruments Incorporated

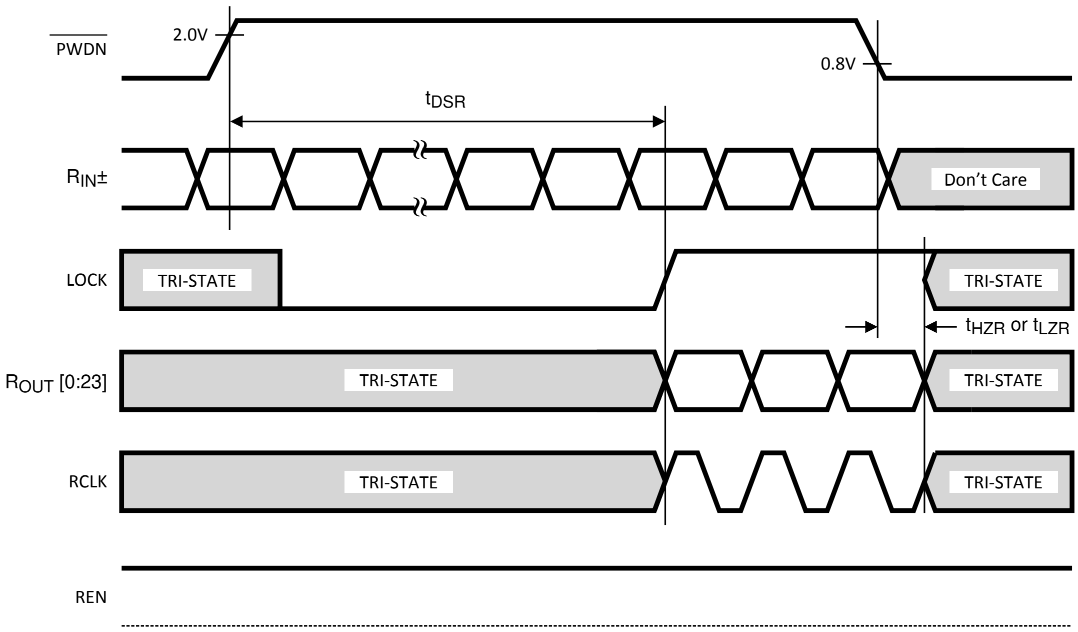


図 5-14. デシリアライザの PLL ロック時間と RPWDNB トライステート遅延

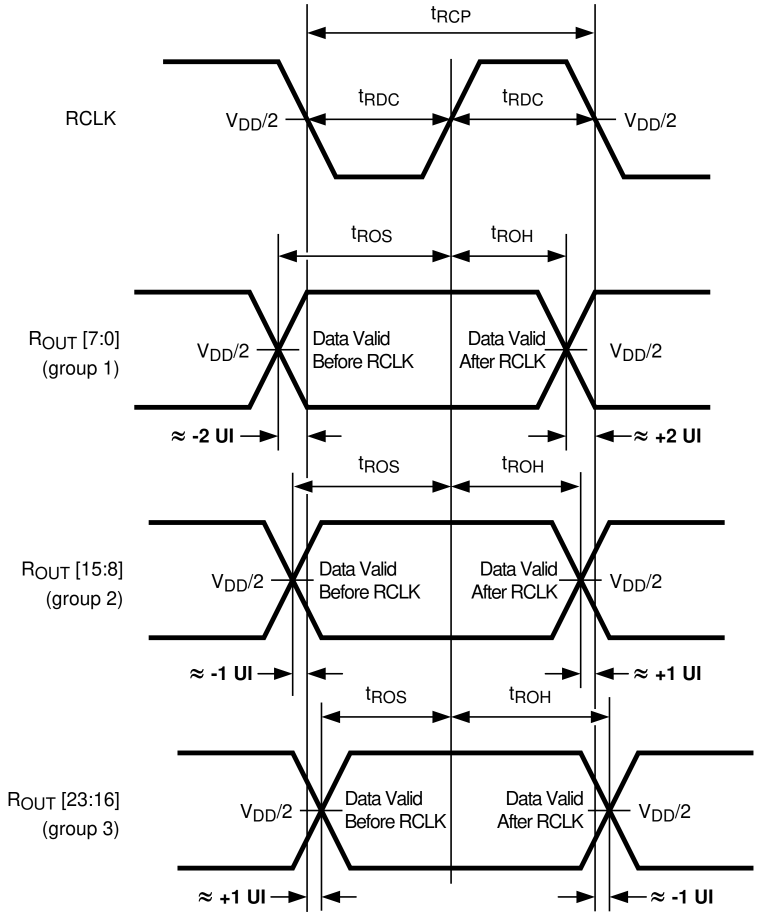
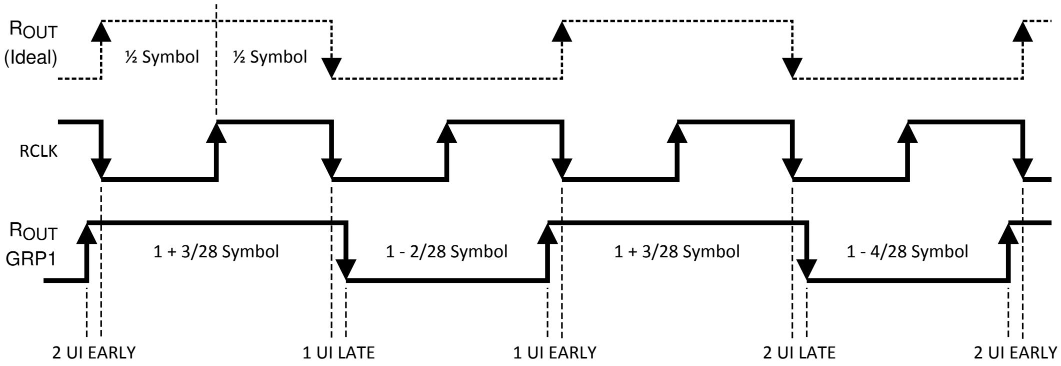
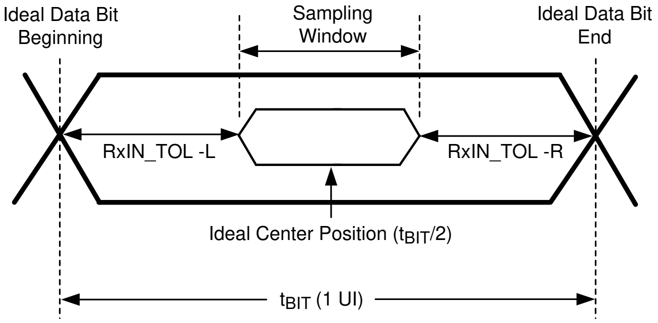


図 5-15. デシリアライザのセットアップおよびホールド時間と PTO (PTOSEL = H)



グループ 1 は、「2UI 前、1UI 後、1UI 前、2UI 後」のシーケンスによって内部的にラッチされます。
グループ 2 は、「1UI 後、1UI 前、2UI 後、2UI 前」のシーケンスによって内部的にラッチされます。
グループ 3 は、「1UI 前、2UI 後、2UI 前、1UI 後」のシーケンスによって内部的にラッチされます。

図 5-16. デシリアライザのセットアップおよびホールド時間と PTO 拡張 (PTOSEL = L)



RxIN_TOL_L は、図の左側の理想的な (理想値を基準とした) ノイズ マージンです。
RxIN_TOL_R は、図の右側の理想的な (理想値を基準とした) ノイズ マージンです。

図 5-17. レシーバ入力の許容誤差 (RxIN_TOL) とサンプリング ウィンドウ

5.9 代表的特性

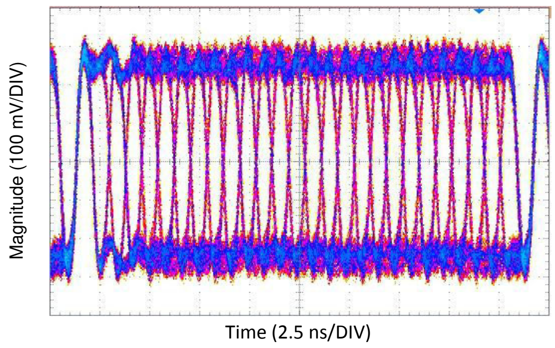


図 5-18. DS90UR241 の DOUT± (PCLK = 43MHz、RIN± 終端で測定)

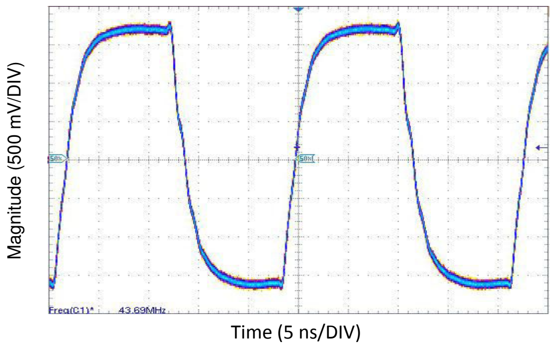


図 5-19. DS90UR124 の PCLK 出力 (43MHz)

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

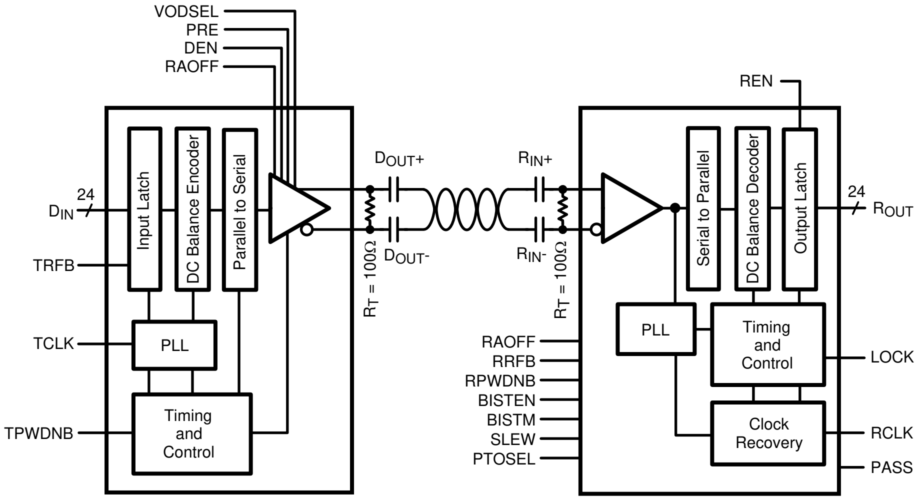
6.1 概要

DS90UR241 シリアライザおよび DS90UR124 デシリアライザ チップセットは、120Mbps～1.03Gbps のスループットの 1 つのシリアル LVDS リンク上で 24 ビット パラレル LVCMOS データを転送する、使いやすいトランスミッタ / レシーバ ペアです。DS90UR241 は、24 ビット幅のパラレル LVCMOS データを 1 つの埋め込みクロック方式高速 LVDS シリアル データ ストリームに変換し、AC 結合に対応するため、そのデータを暗号化 / DC 平衡化します。DS90UR124 は LVDS シリアル データ ストリームを受信し、元の 24 ビット幅パラレル データと復元クロックに変換します。この 24 ビット シリアライザ / デシリアライザ チップセットは、シールド付きツイストペア (STP) を使って、5MHz～43MHz のクロック速度でデータを最大 10m まで送信するように設計されています。

デシリアライザは、独立した基準クロック源を使わずにデータ ストリームにロックできるため、システムの複雑性と全体のコストを大幅に低減できます。デシリアライザは、データ パターンに関係なくシリアライザと同期し、真の自動「プラグ アンド ロック」性能を提供します。デシリアライザは、特別なトレーニング パターンも同期文字も使わずに、入力シリアル ストリームにロックします。デシリアライザは、入力データ ストリームから埋め込みクロック情報を抽出し、データの整合性を検証することで、クロックとデータを復元します。そして、データをデシリアライズします。デシリアライザは、クロック情報を監視し、ロック状態を判定し、ロックが発生すると LOCK 出力を High にアサートします。

また、デシリアライザはオプションの @SPEED BIST (組み込みセルフ テスト) モード、BIST エラー フラグ、LOCK 状態報告ピンもサポートしています。ビット幅が広いパラレル出力の信号品質は、ノイズとシステム EMI を低減するため、SLEW 制御とバンク スルー (PTOSEL) 入力によって制御されます。各種アプリケーションで高い効率で動作できるように、各デバイスはパワー ダウン制御機能を備えています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 初期化およびロック機能

DS90UR241 と DS90UR124 の初期化は、各デバイスがデータを送受信する前に確立している必要があります。初期化とは、シリアライザの PLL とデシリアライザの PLL を互いに同期させることを指します。シリアライザが入力クロック源にロックした後、第 2 の (最後の) 初期化ステップとしてデシリアライザはシリアライザに同期します。

ステップ 1:シリアライザとデシリアライザの両方に V_{DD} を印加すると、それぞれの出力はトライステートに保持され、オンチップのパワーオン回路によって内部回路は無効化されます。V_{DD} が V_{DD} OK (約 2.2V) に達すると、シリアライザの PLL はクロック入力に対するロック動作を開始します。シリアライザの場合、ローカル クロックは送信クロック (TCLK) です。PLL が TCLK にロックする間、シリアライザ出力はトライステートに保持されます。TCLK へのロックの後、シリアライザ ブロックはデータ パターンを送信することができます。シリアル データ ストリームの埋め込みクロック情報に PLL がロックする間、

デシリアライザ出力はトライステートに維持されます。また、RIN± ピンの入力データと同期パターンに PLL がロックするまで、デシリアライザの LOCK 出力は Low に維持されます。

ステップ 2:シリアライザが特別なパターンを送信しなくても、デシリアライザ PLL はデータ ストリームに対するロックを獲得します。デシリアライザへのストリームを生成するシリアライザは、このステップ (初期化状態) 中に、ランダム (非反復) データ パターンを自動的に送信します。デシリアライザは、規定された時間内に埋め込みクロックにロックします。埋め込みクロックおよびデータ リカバリ (CDR) 回路は、高速受信ビット クロックを回復し、入力データをリタイミングするため、入力ビットストリームにロックします。CDR 回路には、符号化された入力ビットストリームが入力されます。シリアライザからのランダムなデータ ストリームにロックするため、デシリアライザは、立ち上がりクロックのエッジを識別するための一連の動作を実行し、データの整合性を検証し、そのストリームにロックします。このロック手順はデータ パターンとは無関係であるため、総ランダム ロック時間は変動する可能性があります。デシリアライザの CDR が埋め込みクロックにロックした時点で、LOCK ピンが High になり、有効な RCLK / データが出力に現れます。LOCK 信号は、出力に現れる有効なデータと同期していることに注意します。デシリアライザの LOCK ピンは、レシーバ側でデータの整合性が確立したことを確認する便利な方法です。

6.3.2 データ転送

シリアライザのロックが確立された後、入力 DIN0～DIN23 を使ってシリアライザにデータが入力されます。データは、TCLK 入力にクロック同期してシリアライザに入力されます。データをストローブするために使われる TCLK のエッジは、TRFB ピンで選択できます。TRFB を High にすると、クロッキング データの立ち上がりエッジが選択され、Low にすると、立ち下がりエッジが選択されます。シリアライザ出力 (DOUT±) はポイント ツー ポイント接続の駆動を目的としています。

CLK1、CLK0、DCA、DCB は、1 つの LVDS シリアル データ ストリームと一緒に送信される 4 つのオーバーヘッド ビットです (図 7-9)。CLK1 ビットは常に High であり、CLK0 ビットは常に Low です。CLK1 および CLK0 ビットは、シリアル ストリームの埋め込みクロック ビットとして機能します。DCB は DC バランス制御ビットとして機能し、送信側でのデータの事前コーディングは不要です。この DC バランス ビットは、信号ラインの短期および長期 DC バイアスを最小化するために使用されます。このビットは、データを変更しないで、またはデータを反転して、選択的に送信することで機能します。DCA ビットは、埋め込みデータ ストリームのデータの整合性を検証するために使用されます。DCA と DCB の両方のコーディング方式は統合されており、シリアライザとデシリアライザの中で自動的に実行されます。

本チップセットは 5MHz ～ 43MHz のクロック周波数範囲をサポートしています。クロック サイクルごとに、24 のデータビットと 4 つの追加オーバーヘッド制御ビットが送信されます。そのため、ライン レートは最大 1.20Gbps (最小 140Mbps) に達します。リンクは 86% (24/28) と非常に高効率です。25 (24 データ + 1 クロック) の信号とそれに関連するグランド信号は、1 つの LVDS ペアのみにまとめられ、25 対 1 を上回る圧縮率が実現されます。

シリアル データ ストリーム内のデータ / 埋め込みクロックおよび制御ビット (24 + 4 ビット) は TCLK 周波数の 28 倍の周波数でシリアライザ データ出力 (DOUT±) から送信されます。たとえば、TCLK が 43MHz の場合、シリアル レートは 43 × 28 = 1.20 ギガビット/秒となります。入力データから供給されるのは 24 ビットのみであるため、シリアル「ペイロード」レートは TCLK 周波数の 24 倍です。たとえば、TCLK = 43MHz の場合、ペイロード データ レートは 43 × 24 = 1.03Gbps となります。TCLK はデータ源から供給され、5MHz～43MHz (公称値) の範囲内である必要があります。シリアライザ出力 (DOUT±) はポイント ツー ポイント接続を駆動できます (図 7-8 を参照)。イネーブル ピン (DEN) を High かつ TPWDNB を High にすると、出力はデータを送信します。DEN ピンを Low に駆動すると、出力がトライステート状態になります。

デシリアライザ チャネルがシリアライザからの入力にロックすると、デシリアライザは LOCK ピンを High に駆動し、有効なデータと復元クロックを同期的に出力に提供します。デシリアライザは埋め込みクロックにロックし、それを使用して複数の内部データストローブを生成した後、復元クロックで RCLK ピンを駆動します。復元クロック (RCLK 出力ピン) は ROUT[23:0] ピンのデータと同期しています。LOCK が High の間、ROUT[23:0] のデータは有効です。それ以外の場合、ROUT[23:0] は無効です。RCLK のエッジの極性は RRFB 入力によって制御されます。ROUT[23:0]、LOCK、RCLK 出力はそれぞれ 43MHz クロックで最大 4pF の負荷を駆動します。REN は、デシリアライザの ROUTn と RCLK ピンのトライステート状態を制御します。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 再同期

デシリアライザは、ロックを失うと、自動的にロックの再確立を試みます。たとえば、埋め込みクロック エッジが 1 度でも連続して検出されないと、PLL はロックを失い、LOCK ピンが Low に駆動されます。その後、デシリアライザは動作モードに移行します。動作モードでは、デシリアライザはランダムなデータ ストリームにロックしようと試みます。デシリアライザは埋め込みクロック エッジを探し、識別し、ロック プロセスを開始します。

LOCK 信号のロジック状態は、ROUT のデータが有効かどうかを示します (High の場合、データは有効です)。システムは LOCK ピンを監視することで、ROUT のデータが有効かどうかを判断できます。

6.3.4 パワーダウン

パワーダウン状態は、データが転送されていないときに、シリアライザとデシリアライザが電力を低減するために使用できる低消費電力のスリープ モードです。TPWDNB と RPWDNB は、消費電流を μA レンジに低減するパワーダウン モードに、各デバイスを設定するために使われます。TPWDNB ピンが Low に駆動されると、シリアライザはパワーダウンに入ります。パワーダウン中、PLL は停止し、出力はトライステート状態になるため、負荷電流は流れず、消費電流が減少します。パワーダウンを終了するには、TPWDNB が High に駆動される必要があります。シリアライザがパワーダウンを終了する際、シリアライザの PLL が初期化状態に入る前に、シリアライザの PLL は TCLK にロックする必要があります。次に、データ転送が始まる前に、システムは初期化のための時間を確保する必要があります。RPWDNB が Low に駆動されると、デシリアライザはパワーダウン モードに入ります。パワーダウン モード中、PLL は停止し、出力はトライステート状態になります。デシリアライザ ブロックをパワーダウン状態から復帰させるため、システムは RPWDNB を High に駆動します。

データを転送できるようになるには、シリアライザとデシリアライザの両方が再初期化および再ロックする必要があります。デシリアライザは埋め込みクロックにロックすると、初期化を実行し、LOCK High をアサートします。

6.3.5 トライステート

シリアライザの場合、DEN ピンまたは TPWDNB ピンを Low に駆動すると、トライステート状態に入ります。これにより、ドライバ出力ピン (DOUT+ および DOUT−) はどちらもトライステート状態になります。DEN を High に駆動すると、その他のすべての制御ピン (TPWDNB、TRFB) が静的に維持されている限り、シリアライザは前の状態に戻ります。

REN ピンまたは RPWDNB ピンを Low に駆動すると、デシリアライザはトライステート状態に入ります。その結果、レシーバ出力ピン (ROUT0～ROUT23) と RCLK はトライステート状態に入ります。LOCK 出力はアクティブのまま維持され、PLL の状態を反映します。レシーバ パワーダウン (RPWDNB Low) およびパワーオフ (V_{DD} = 0V) 中、デシリアライザの入力ピンはハイ インピーダンスです。

6.3.6 プリエンファシス

DS90UR241 は、長い (損失が大きい) 伝送媒体を補償するために使用されるプリエンファシス機能を備えています。遷移時に追加の出力電流を供給することでケーブル負荷効果を打ち消すユーザー選択可能なプリエンファシス機能によって、ケーブル駆動能力が改善されます。伝送距離は媒体の損失特性と品質によって制限されます。プリエンファシスは、LVDS ロジック遷移時に電流を増やすことで、ケーブル負荷効果を低減し、駆動距離を伸ばします。また、プリエンファシスは遷移の高速化、アイ開口の拡大、シグナル インテグリティの向上に役立ちます。DS90UR241 のプリエンファシス機能は、ほとんどの場合、伝送距離を最大 10m 伸ばします。

プリエンファシス機能を有効化するには、追加の電流レベルを設定するため、「PRE」ピンと Vss の間に 1 つの外付け抵抗 (Rpre) を接続する必要があります。Rpre の値は、6kΩ と 100MΩ の間の値である必要があります。6kΩ より小さい値は使用できません。「PRE」ピンの入力抵抗値を小さくすると、データ遷移中の動的電流が大きくなります。追加のソース電流は、次式で求められます。PRE = (R_{PRE} ≧ 6kΩ)、I_{MAX} = [48 / R_{PRE}]。たとえば、Rpre = 15kΩ の場合、プリエンファシス電流は 3.2mA 増加します。

特定の媒体に対するプリエンファシスの量は、アプリケーションの伝送距離に依存します。一般に、プリエンファシスが大きすぎると、レシーバの入力ピンにオーバーシュートまたはアンダーシュートが発生する可能性があります。これは、過剰なノイズ、クロストーク、消費電力の増加の原因となる可能性があります。ケーブル (距離) が短い場合、プリエンファシスが必要ない場合があります。各アプリケーションの適切なプリエンファシス値を決定するため、信号品質を測定することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

6.3.7 AC 結合および終端

DS90UR241 と DS90UR124 は、内部 DC 平衡化エンコード / デコード方式を使用した AC 結合相互接続をサポートしています。シリアライザ / デシリアライザを AC 結合アプリケーションで使用するには、外部 AC 結合コンデンサを LVDS 信号経路に直列に挿入します (図 7-8 を参照)。デシリアライザの入力段は、内部 V_{CM} を +1.8V に設定する AC バイアス回路を内蔵しており、AC 結合用に設計されています。AC 信号結合では、信号入力との AC 結合経路をコンデンサが担っています。

高速 LVDS 伝送の場合、できるだけ小さいパッケージの AC カップリング コンデンサを使用する必要があります。これにより、パッケージの寄生素子に起因する信号品質の劣化を最小限に抑えることができます。このインターフェイスで最も一般的に使用されるコンデンサの値は 100nF (0.1uF) です。NPO クラス 1 または X7R クラス 2 タイプのコンデンサを推奨します。最高のシステム レベル ESD 性能を得るには、50WVDC 以上のものを使う必要があります。

適切に動作させるには、DOUT± と RIN± の間の終端抵抗も必要です。終端抵抗は、駆動されるメディアの差動インピーダンスと等しく、かつ 90～132Ω の範囲である必要があります。100Ω は、標準的な 100Ω 伝送媒体で一般的に使用されている標準値です。この抵抗は反射を制御するのに必要とされ、同時に電流ループも完成させます。ピンからのスタブ長を最小化するため、シリアライザの DOUT± 出力とデシリアライザの RIN± 入力のできるだけ近くに抵抗を配置します。伝送ラインの差動インピーダンスと整合させるため、LVDS I/O はシリアライザの DOUT± 出力ピンとデシリアライザの RIN± 入力ピンで 100Ω の抵抗によって終端されます。

6.3.7.1 レシーバ終端オプション 1

RIN± ピンの間に 1 つの 100Ω 終端抵抗を配置します (図 7-8 を参照)。これにより、レシーバ入力での信号の終端が行われます。ノイズ耐性を向上させるため、その他の方法を使うこともできます。

6.3.7.2 レシーバ終端オプション 2

EMI 耐性を向上させるため、1 つの 100Ω 抵抗の代わりに 2 つの 50Ω 抵抗を使用できます。50Ω 抵抗の中点とグランドの間に小さなコンデンサを接続します (図 7-10 を参照)。これにより、ノイズ抑制のための、高い周波数でインピーダンスが低い経路を形成します。値はそれほど重要ではありません。一般的なアプリケーションでは 4.7nF が使えます。

6.3.7.3 レシーバ終端オプション 3

ノイズが多い環境の場合、追加の分圧器回路を中点に接続できます。これには、ノイズ抑制のための DC 低インピーダンス経路を提供するという利点があります。プルアップとプルダウンには、100Ω～2kΩ の範囲の抵抗値を使用します。中点を 1.8V にバイアスするため、抵抗値を調整します。以下に例を示します (図 7-11 を参照)。V_{DD} = 3.3V、Rpullup = 1KΩ、Rpulldown = 1.2KΩ、または Rpullup = 100Ω、Rpulldown = 120Ω (最強)。値が小さいほどより多くのバイアス電流が消費されますが、ノイズ抑制は強化されます。

6.3.8 信号品質向上機能

DS90UR124 デシリアライザは 2 つの信号品質向上機能を備えています。重負荷を駆動する際に、SLEW ピンを使って LVCMOS 出力の駆動強度を高めることができます。SLEW を使うと、出力駆動強度を高電流駆動または低電流駆動に設定できます。Low (デフォルト設定) にすると 2mA の低駆動、High にすると 4mA の高駆動に設定されます。

EMI (同時スイッチング ノイズとシステム グランド バウンス) を低減するのに役立つ 2 種類の段階的ターンオン モード (固定および PTO 周波数拡散) が備わっています。PTOSEL ピンは、同時にスイッチングする出力数を制限するため、データ / クロック出力にバンク スキューを導入します。固定 PTO モードの場合、デシリアライザの ROUT[23:0] 出力は 8 つずつ 3 つのグループに分類されます。各グループはそれぞれグループ 1、グループ 2、グループ 3 の RCLK から約 2 または 1 UI 位相を離してスイッチングします (図 5-15 を参照)。PTO 周波数拡散モードでも、ROUT[23:0] は 8 つずつ 3 つのグループに分類されます。各グループは、4 サイクルごとに、隣接するグループと位相によって分類されます (図 5-16 を参照)。PTO 周波数拡散動作モードでは、RCLK も拡散され、1 UI で分離されることに注意します。

6.3.9 @SPEED-BIST テスト機能

テスト検証によってベンダーを支援するため、DS90UR241 と DS90UR124 は、システム製造とフィールド診断の両方に対応する内蔵セルフテスト (BIST) 機能を備えています。BIST モードは、特殊かつ高価な試験装置を使用せずに、高速シリアル リンク全体を実リンク速度でチェックすることを目的としています。この機能により、システム ホストはシリアライザと

Copyright © 2025 Texas Instruments Incorporated

デシリアライザの両方の診断テストを簡単に実行できます。この BIST 機能は、DS90UR124 の 2 本の制御ピンを使って簡単に構成できます。BIST モードが作動すると、内部で生成された PRBS データ パターンをシリアライザが転送できるようになります。このパターンは、相互接続リンクを通してデシリアライザに到達します。DS90UR124 は、データ パターンにビット エラーがないかどうか確認する PRBS パターン検証回路を内蔵しており、デシリアライザのデータ出力ピンにエラーがあれば報告します。

@SPEED-BIST 機能は DS90UR124 デシリアライザの 2 本の信号ピン (BISTEN と BISTM) を使用します。BISTEN ピンと BISTM ピンの組み合わせによって、BIST モードの機能が決定されます。BISTEN 信号 (High) により、デシリアライザのテスト機能が有効化されます。BIST モードが有効化された後、デシリアライザがデータの受け入れを開始するには、DS90UR241 シリアライザのすべてのデータ入力チャネル DIN[23:0] をロジック Low またはフローティングに設定する必要があります。BIST 動作全体を通して、シリアライザの入力クロック信号 (TCLK) も供給する必要があります。BISTM ピンを使って、BIST 機能のエラー報告ステータス モードを選択します。BIST がエラー ステータス モード (BISTM = Low) に構成されている場合、各 ROUT[23:0] 出力はサイクルごとのビット エラーに対応します。ビットの不一致の結果は、ROUT[23:0] データ出力ピンの各パラレル入力に示されます。BIST エラー カウント アキュムレータ モード (BISTM = High) では、ROUT[7:0] の 8 ビット カウンタを使って、検出されたエラーの数 (0～255) が表示されます。BIST テストが成功したことは、デシリアライザの PASS ピンで報告されます。PASS ステータスが確実に有効であるためには、最初にデシリアライザの PLL がロックしている必要があります。PASS ステータスピンは Low に維持され、伝送リンクで 1×10^{-9} の BER が達成されると、High に遷移します。

6.3.10 DS90C241、DS90C124 との下位互換モード

RAOFF ピンを使うことで、DS90C241 および DS90C124 デバイスとの下位互換モードに対応できます。DS90C241 シリアライザと DS90C124 デシリアライザのどちらかと接続するには、追加の LSFR コーディングを無効化するため、DS90UR241 または DS90UR124 の RAOFF ピンを High に接続する必要があります。通常動作 (DS90UR241 と DS90UR124 を直接接続) の場合、RAOFF ピンを Low に設定します。詳細については、表 6-1 と 表 6-2 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

表 6-1. DS90UR241 シリアライザの真理値表

TPWDNB (ピン 9)	**DEN (ピン 18)**	**RAOFF (ピン 12)**	**Tx PLL ステータス (内部)**	**LVDS 出力 (ピン 19 および 20)**
L	X	X	X	ハイ インピーダンス
H	L	X	X	ハイ インピーダンス
H	H	X	未ロック	ハイ インピーダンス
H	H	L	ロック済み	埋め込みクロック方式シリアル データ (DS90**UR**124 互換)
H	H	H	ロック済み	埋め込みクロック方式シリアル データ (DS90**C**124 互換)

表 6-2. DS90UR124 デシリアライザの真理値表

RPWDNB (ピン 48)	**REN (ピン 60)**	**RAOFF (ピン 63)**	**Rx PLL ステータス (内部)**	**ROUTn と RCLK (ピン配置図を参照)**	**LOCK (ピン 23)**
L	X	X	X	ハイ インピーダンス	ハイ インピーダンス
H	L	X	X	ハイ インピーダンス	L = PLL は未ロック、 H = PLL はロック済み
H	H	X	未ロック	ハイ インピーダンス	L
H	H	L	ロック済み	データおよび RCLK アクティブ (DS90**UR**241 互換)	H
H	H	H	ロック済み	データおよび RCLK アクティブ (DS90**C**241 互換)	H

Copyright © 2025 Texas Instruments Incorporated

アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

1 アプリケーション情報

1.1 DS90UR241 と DS90UR124 の使い方

DS90UR241/DS90UR124 シリアライザ / デシリアライザ (SERDES) ペアは、最大 1.03Gbps のシリアル LVDS リンク使って、24 ビット パラレル LVCMOS データを転送します。入力データのシリアル化は、データにクロックを埋め込むシリアライザの内蔵 PLL を使って行われます。デシリアライザは入力データ ストリームからクロック / 制御情報を抽出し、データをデシリアライズします。デシリアライザは、ロック状態を判定するため、入力クロック情報を監視し、LOCK 出力を High にアサートすることでロックを示します。

1.2 ディスプレイ アプリケーション

DS90URxxx-Q1 チップセットは、ホスト (グラフィックス プロセッサ) とディスプレイとの間のインターフェイスを目的としており、18 ビット色深度 (RGB666) と最大 1280 × 480 のディスプレイ形式をサポートしています。RGB666 構成では、5～43MHz の PCLK レートのシリアル リンク上で、18 のカラー ビット (R[5:0]、G[5:0]、B[5:0])、ピクセル クロック (PCLK)、3 つの制御ビット (VS、HS、DE) とともに、3 つの予備ビットがサポートされています。

1.3 代表的なアプリケーションの接続

図 7-1 に、DS90UR241 シリアライザ (SER) の代表的なアプリケーションを示します。LVDS 出力では、100Ω の終端とラインに対する 100nF カップリング コンデンサが使われています。電源ピンの近くにバイパス コンデンサを配置します。ローカル バイパスとして、少なくとも 3 つの 0.1μF コンデンサを使用する必要があります。システム GPO (汎用出力) が TPWDNB ピンを制御します。このアプリケーションでは、TCLK の立ち上がりエッジでデータをラッチするため、TRFB ピンは High に接続されています。DEN 信号も使われておらず、High に接続されています。本アプリケーションはコンパニオン デシリアライザ (DS90UR124) と接続することを想定しており、データをスクランブル化し、リンク信号品質を向上させるため、RAOFF ピンは Low に接続されています。このアプリケーションでは、リンクは一般的なものであるため、標準 LVDS スイングに設定するために、VODSEL ピンが Low に接続されています。プリエンファシス入力は、グランドとの間に接続された抵抗を使って、アプリケーションが必要とするプリエンファシスの量を設定します。

図 7-5 に、DS90UR124 デシリアライザ (DES) の代表的なアプリケーションを示します。LVDS 入力では、100Ω の終端とラインに対する 100nF カップリング コンデンサが使われています。電源ピンの近くにバイパス コンデンサを配置します。ローカル バイパスとして、少なくとも 4 つの 0.1μF コンデンサを使用する必要があります。システム GPO (汎用出力) が RPWDNB ピンを制御します。このアプリケーションでは、RCLK の立ち上がりエッジでデータをストローブするため、RRFB ピンは High に接続されています。REN 信号も使われておらず、High に接続されています。本アプリケーションはコンパニオン シリアライザ (DS90UR241) と接続することを想定しており、データをデスクランブル化するため、RAOFF ピンは Low に接続されています。出力 (LVCMOS) の信号品質は SLEW ピンにより設定されます。そして、PTOSEL ピンを使って、出力バンク間にわずかな遅延を導入することで、同時出力スイッチングを低減できます。

Copyright © 2025 Texas Instruments Incorporated

2 代表的なアプリケーション

2.1 DS90UR241-Q1 の代表的なアプリケーションの接続

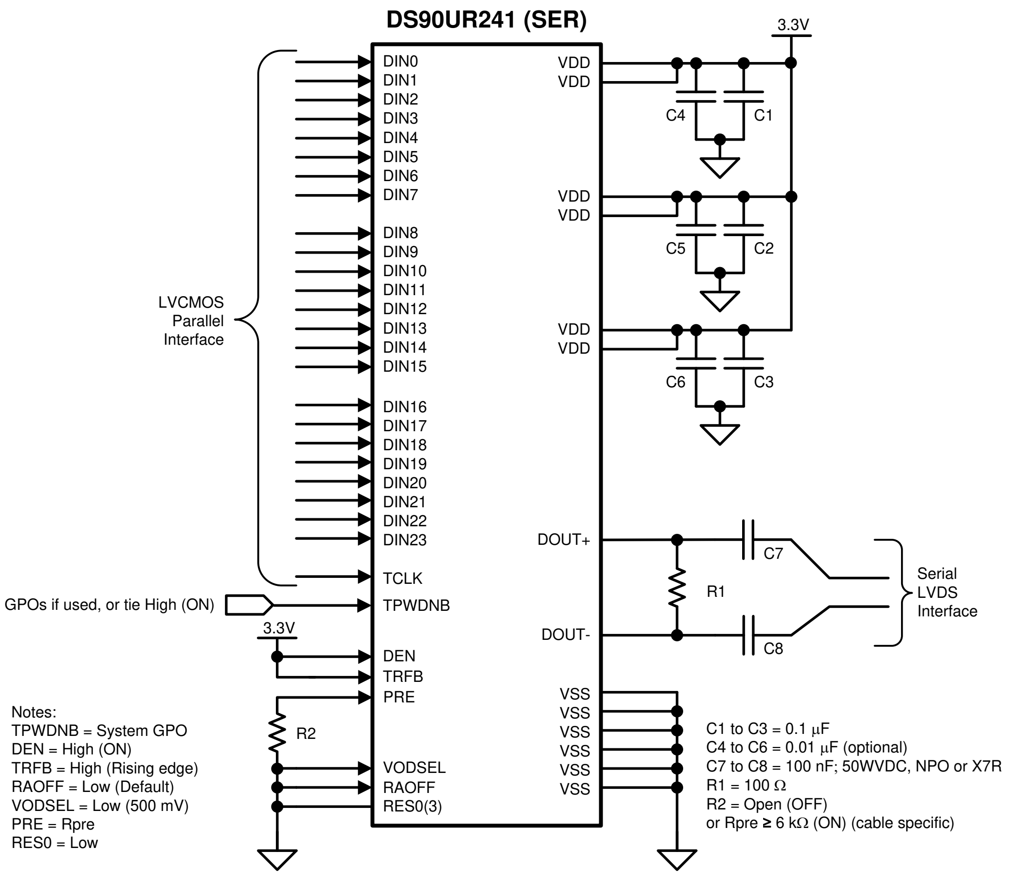


図 7-1. DS90UR241 の接続図

2.1.1 設計要件

表 7-1. DS90UR241 の設計パラメータ

設計パラメータ	数値の例
VDD	3.3 V
DOUT± 用 AC カップリング コンデンサ	100nF
DOUT± の外部終端	100 Ω
PCLK 周波数	33MHz

2.1.2 詳細な設計手順

図 7-1 に、DS90UR241 シリアライザの代表的なアプリケーションとして、33MHz、18 ビット カラー ディスプレイ アプリケーションを示します。DOUT± 出力には、外付けの直列 0.1μF AC カップリング コンデンサと高速シリアル ラインの 100Ω 並列終端を接続する必要があります。本シリアライザは終端を内蔵していません。電源ピンの近くにバイパス コンデンサを配置します。ローカル デバイス バイパスとして、少なくとも 3 つの 0.1μF コンデンサを使用する必要があります。コンデンサの数と値は本デバイスの電源ノイズ仕様が満たされるかどうかで決まるため、追加のコンデンサが必要な場合があります。ノイズを効果的に抑制するため、VDD にフェライト ビーズが必要な場合があります。グラフィック信号源とのインターフ

Copyright © 2025 Texas Instruments Incorporated

ェイスには 3.3V LVCMOS レベルが使われます。RC 遅延を PDB 信号に接続して、電源が安定するまでデバイスのイネーブルを遅延させます。

2.1.2.1 電源に関する考慮事項

シリアライザとデシリアライザは、すべて LVCMOS で設計されているため、本質的に低消費電力デバイスです。また、LVDS 出力の定電流源特性により、LVCMOS 設計の速度対 I_{DD} 曲線の勾配が最小化されます。

2.1.2.2 ノイズ マージン

デシリアライザのノイズ マージンとは、デシリアライザが許容でき、依然として確実にデータを回復できる入力ジッタ (位相ノイズ) の量です。各種環境およびシステム要因には以下が含まれます。

- シリアライザ：V_{DD} ノイズ、TCLK ジッタ (ノイズ帯域幅と帯域外ノイズ)
- 媒体：ISI、V_{CM} ノイズ
- デシリアライザ：V_{DD} ノイズ

ノイズ マージンの説明図については、図 5-17 を参照してください。

2.1.2.3 伝送媒体

シリアライザとデシリアライザは、PCB 配線またはツイスト ペア ケーブルを使ってポイント ツー ポイント構成で使用されます。ポイント ツー ポイント構成では、トランスミッタ / レシーバ ペアの両端で伝送媒体を終端する必要があります。LVDS 用相互接続は通常、100Ω の差動インピーダンスを持っています。インピーダンスの不連続性を最小化するため、整合された差動インピーダンスを持つケーブルとコネクタを使います。ケーブルを使うほとんどのアプリケーションでは、使用データ レート、許容ビット エラー レート、伝送媒体に基づいて伝送距離が決定されます。

伝送媒体の受信側で得られる信号の品質は、シリアル データ ストリームの差動アイ開口を監視することで評価できます。レシーバ入力許容誤差および差動スレッショルド電圧仕様では、許容されるデータ アイ開口を定義しています。DS90UR124 の入力の終端抵抗の両端の電圧を測定するには、差動プローブを使用する必要があります。図 7-2 に、アイ開口と、レシーバ入力許容誤差および差動スレッショルド電圧仕様との関係を示します。

2.1.2.4

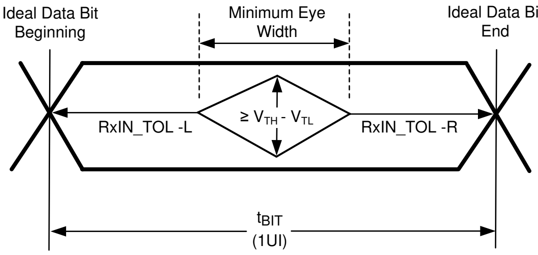


図 7-2. レシーバ入力のアイ開口

2.1.2.5 ライブ リンク挿入

本シリアライザ / デシリアライザ デバイスはライブ プラガブル (活線挿抜可能) アプリケーションをサポートしています。ランダム データに対して自動的にレシーバ をロックさせる「プラグ アンド ゴー」ホット挿入機能により、DS90UR124 は活線挿入イベント中にアクティブ データ ストリームにロックできます。

Copyright © 2025 Texas Instruments Incorporated

2.1.3 アプリケーション曲線

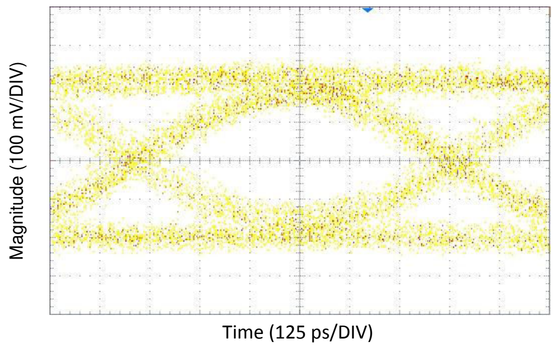


図 7-3. DS90UR241 の DOUT± (1.2Gbps、RIN± 終端で測定、VODSEL = Low)

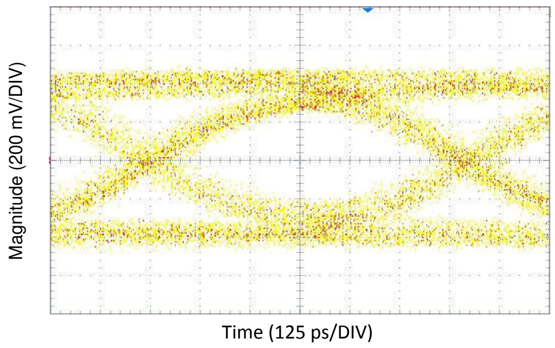


図 7-4. DS90UR241 の DOUT± (1.2Gbps、RIN± 終端で測定、VODSEL = High)

Copyright © 2025 Texas Instruments Incorporated

2.2 DS90UR124 の代表的なアプリケーションの接続

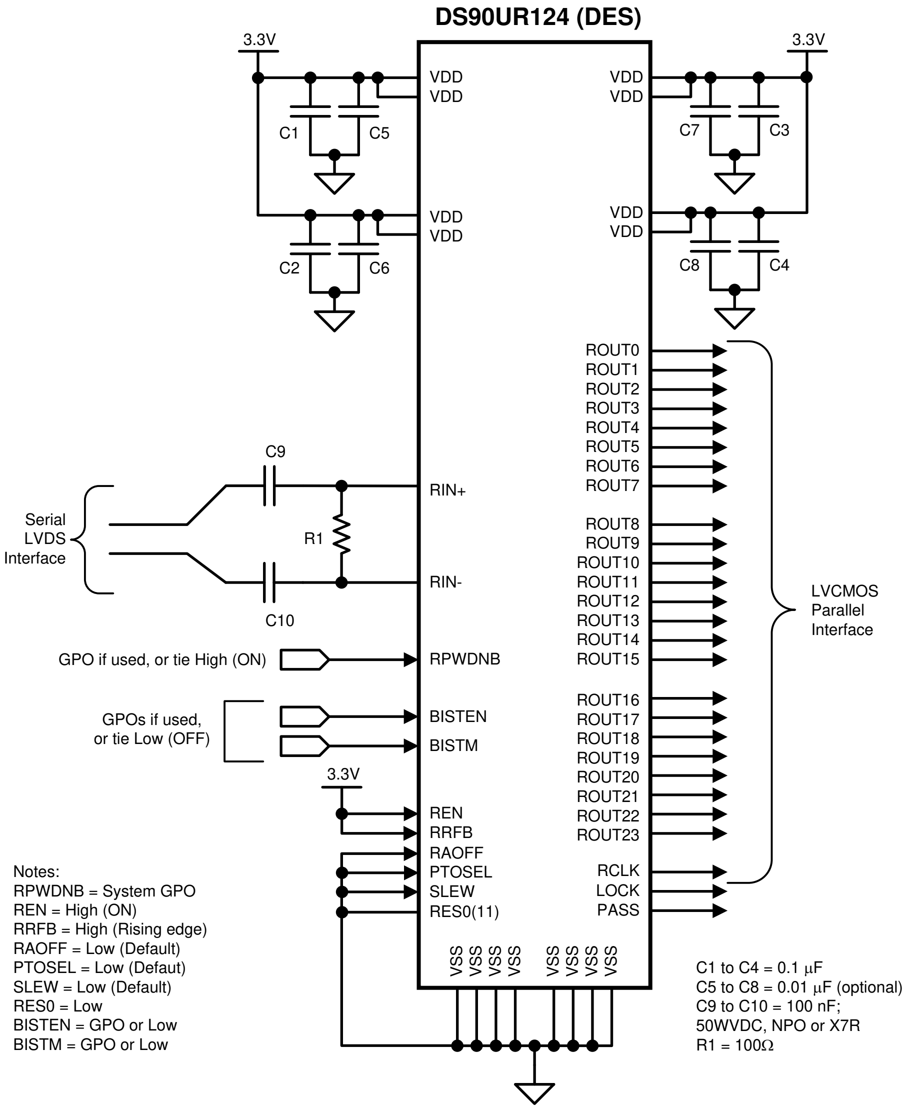


図 7-5. DS90UR124 の接続図

2.2.1 設計要件

表 7-2. DS90UR124 の設計パラメータ

設計パラメータ	数値の例
VDD	3.3 V
DS90UR124-Q1 の RIN± の AC カップリング コンデンサ	100nF
DS90UR124-Q1 の RIN± の終端	100 Ω

2.2.2 詳細な設計手順

図 7-5 に、DS90UR124 デシリアライザの代表的なアプリケーションとして 33MHz、18 ビット カラー ディスプレイ アプリケーションを示します。RIN± 入力には、外付けの直列 0.1µF AC カップリング コンデンサと高速シリアル ラインの 100Ω 並列終端を接続する必要があります。本デシリアライザは終端を内蔵していません。電源ピンの近くにバイパス コンデンサを配置します。ローカル デバイス バイパスとして、少なくとも 4 つの 0.1µF コンデンサを使用する必要があります。ノイ

ズを効果的に抑制するため、VDD にフェライト ビーズが必要です。コンデンサの数と値は本デバイスの電源ノイズ仕様が満たされるかどうかで決まるため、追加のコンデンサが必要な場合があります。ディスプレイとのインターフェイスには 3.3V LVCMOS レベルが使われます。RC 遅延を PDB 信号に接続して、電源が安定するまでデバイスのイネーブルを遅延させます。

2.2.3 アプリケーション曲線

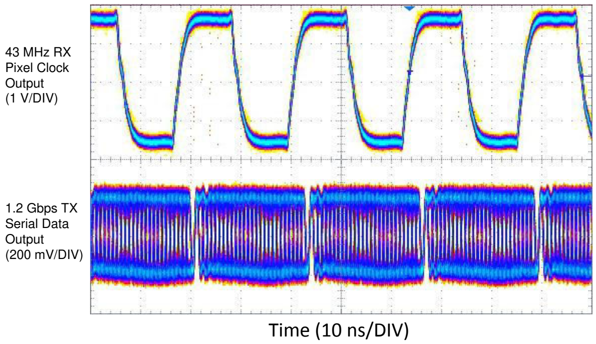


図 7-6. DS90UR241 のシリアル ストリームと DS90UR124 の 43MHz PCLK 出力

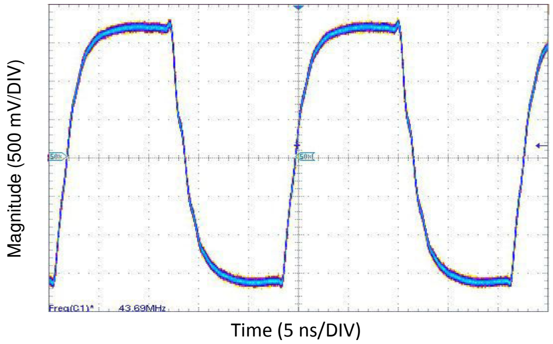


図 7-7. DS90UR124 の 43MHz PCLK 出力 (拡大図)

3 電源に関する推奨事項

このデバイスは、3.3V の入力コア電源で動作するように設計されています。デバイスによっては、内部の回路部分ごとに電源ピンとグランド ピンが分離されているものがあります。電源系を分離する目的は、スイッチング ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。通常、ピン説明表には、どの回路ブロックをどの電源ピン ペアに接続するかについての指針が記載されています。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用います。

4 レイアウト

4.1 レイアウトのガイドライン

4.1.1 プリント基板レイアウトと電源系の注意事項

LVDS SERDES デバイスのプリント基板レイアウトおよび層構成は、デバイスに低ノイズの電源を供給するように設計する必要があります。優れたレイアウト手法としては、不要な浮遊ノイズ、帰還、干渉を最小限に抑えるために、高い周波数または高レベルの入力と出力を分離するようにします。また、2～4mil (0.05～0.1mm) 程度の薄い誘電体材料を電源層とグランド層の間に使用すると、電源系の性能を大きく改善できる場合があります。つまり、この方式によりプリント基板の層間の容量をバイパス コンデンサとして利用できるので、特に高周波の電源ノイズに対するフィルタ特性を改善する効果があります。そのため、外付けバイパス コンデンサの容量や配置について少々妥協することも可能になります。外付けバイパス コンデンサには、RF セラミックとタンタル電解の両方のタイプを含める必要があります。RF コンデンサの値は、0.01μF～0.1μF の範囲を使用します。タンタル コンデンサは、2.2μF～10μF の範囲のものを使用します。タンタル コンデンサの電圧定格は、使用する電源電圧の 5 倍以上にします。

寄生成分が小さい表面実装コンデンサを推奨します。1 つの電源ピンに複数のコンデンサを配置する場合は、容量が小さいコンデンサをピンの近くに配置します。また大容量コンデンサを電源の入り口部分に配置してください。低周波スイッチング ノイズを平滑化する容量は 50μF～100μF の範囲が一般的です。電源ピンとグランド ピンは電源層およびグランド層に直接接続し、またバイパス コンデンサはコンデンサの両端に設けたビアを経由して電源層およびグランド層に接続することを推奨します。電源ピンまたはグランド ピンからプリント基板表面でバイパス コンデンサへ配線を行うと、寄生インダクタンスを増加させてしまいます。

Copyright © 2025 Texas Instruments Incorporated

外付けのバイパス コンデンサは、X7R 特性の小型チップ コンデンサ (0603 など) を推奨します。寸法が小さいため、コンデンサの寄生インダクタンス分も小さいという利点があります。なお設計の際には、通常 20MHz～30MHz の範囲にある外付けバイパス コンデンサの自己共振周波数に注意してください。また効果的なバイパスを行うために、複数のコンデンサを用いて、対象となる周波数に対する電源系のインピーダンスを下げる手法がしばしば使われます。高周波のインピーダンスを下げるため、電源ピンまたはグランド ピンから各層に対して 2 つのビアを設けます。

デバイスによっては、内部の回路部分ごとに電源ピンとグランド ピンが分離されているものがあります。電源系を分離する目的は、スイッチング ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。通常、ピン説明表には、どの回路ブロックをどの電源ピン ペアに接続するかについての指針が記載されています。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用います。

プリント基板は、電源層とグランド層を含む 4 層以上のものを採用してください。LVCMOS 信号系は、LVDS 信号に結合するのを防ぐため、LVDS 信号系から離して配置しなければなりません。LVDS 相互接続には通常、近接結合した 100Ω の差動ラインを推奨します。密結合のラインでは、カップリング ノイズはレシーバ端でコモン モードとして現れるため除去されます。また、放射ノイズが少ない利点も備えます。

LVDS 相互接続には終端が必要です。ポイント ツー ポイント アプリケーションの場合、終端はデバイスの両端に配置する必要があります。ラインの差動インピーダンスに整合させるため、100Ω (公称値) とします。終端抵抗とデバイスの間に生じるスタブを最小限に抑えるため、この抵抗はトランスミッタの DOUT± 出力とレシーバの RIN± 入力にできるだけ近付けて配置します。

4.1.2 LVDS 相互接続のガイドライン

詳細は、AN-1108 (SNLA008) と AN-905 (SNLA035) を参照してください。

- 100Ω 結合の差動ペアを使用します
- 間隔には S/2S/3S ルールを使います。
  - S = ペア内の配線間隔
  - 2S = ペア間の配線間隔
  - 3S = LVCMOS 信号との間隔
- ビアの数は可能な限り少なくします
- 500Mbps を上回るライン速度で動作させる場合、差動コネクタを使用します。
- 配線のバランスを維持してください。
- ペア内のスキューを可能な限り抑えてください。
- TX 出力と RX 入力にできる限り近い位置で終端します。

その他の一般的な設計ガイドラインとして『LVDS オーナーズ マニュアル』(SNLA187) を提供しています (テキサス・インスツルメンツのウェブサイト www.ti.com/lvds で PDF を提供しています)。

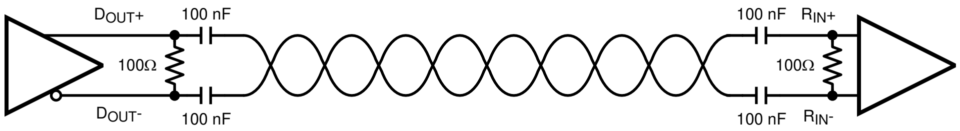
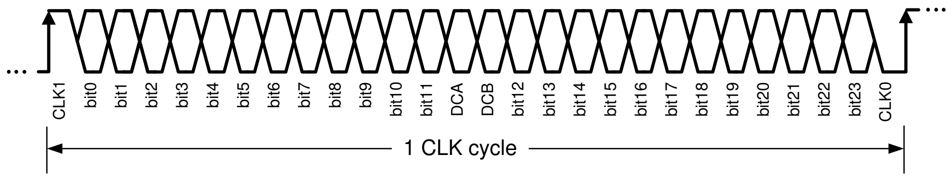


図 7-8. AC 結合アプリケーション



* 注：ビット [0～23] は暗号化および DC 平衡化されているため、物理的に上記の位置には配置されません。

図 7-9. シングル シリアル LVDS ビット ストリーム *

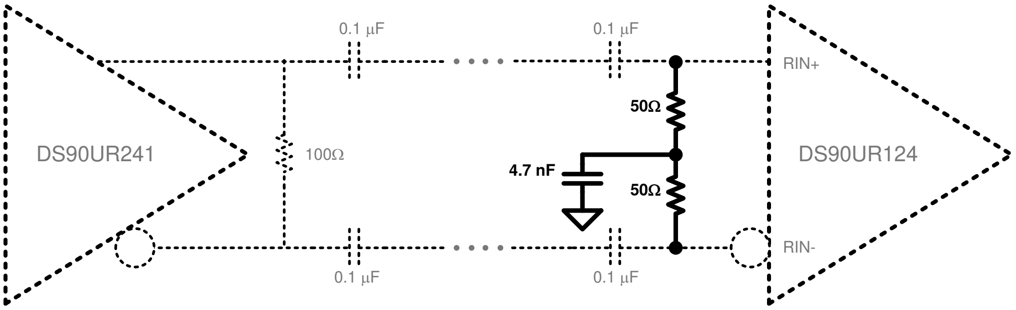


図 7-10. レシーバ終端オプション 2

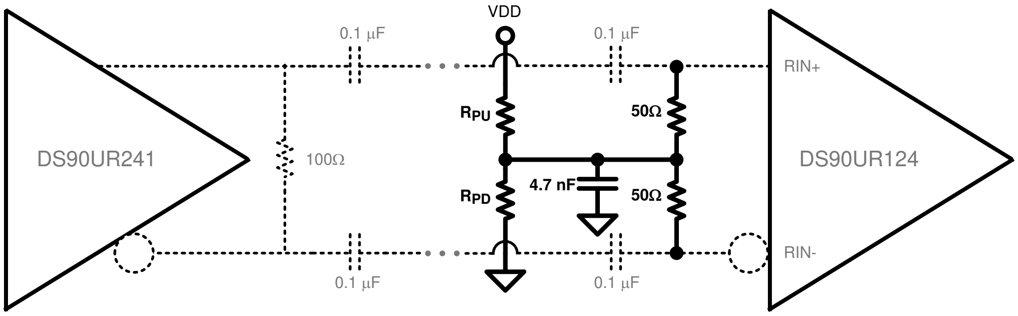


図 7-11. レシーバ終端オプション 3

4.2 レイアウト例

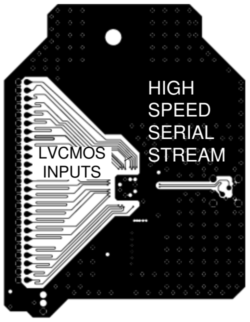


図 7-12. DS90UR241-Q1 の EMC レイアウトの例

Copyright © 2025 Texas Instruments Incorporated

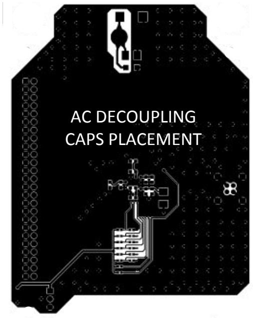


図 7-13. DS90UR241-Q1 EMC EVM レイヤ 4

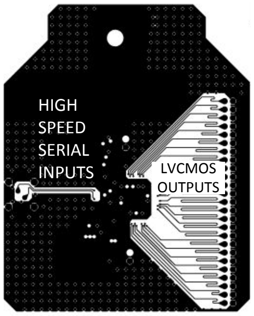


図 7-14. DS90UR124-Q1 の EMC レイアウトの例

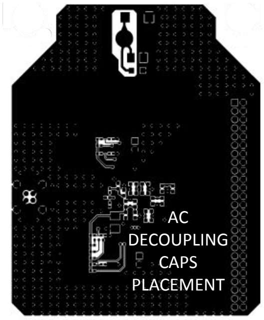


図 7-15. DS90UR124-Q1 EMC EVM レイヤ 4

Copyright © 2025 Texas Instruments Incorporated

7 デバイスおよびドキュメントのサポート

7.1 デバイス サポート

7.2 ドキュメントのサポート

7.2.1 関連資料

関連資料については、以下を参照してください。

- LVDS 相互接続のガイドライン AN-1108、SNLA008
- LVDS 相互接続のガイドライン AN-905、SNLA035

7.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

7.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.7 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision O (April 2015) to Revision P (August 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- すべてのピンの ESD CDM 定格を +/-12.5kV から +/-1kV に変更 8

Changes from Revision N (March 2013) to Revision O (April 2015) **Page**

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision M (March 2013) to Revision N (March 2013)	Page
• ナショナル セミコンダクターのデータシートのレイアウトをテキサス・インスツルメンツ形式に変更	24

メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DS90UR124IVS/NOPB	Active	Production	TQFP (PAG) | 64	160 | JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 IVS
DS90UR124IVS/NOPB.A	Active	Production	TQFP (PAG) | 64	160 | JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 IVS
DS90UR124IVSX/NOPB	Active	Production	TQFP (PAG) | 64	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 IVS
DS90UR124IVSX/NOPB.A	Active	Production	TQFP (PAG) | 64	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 IVS
DS90UR124QVS/NOPB	Active	Production	TQFP (PAG) | 64	160 | JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 QVS
DS90UR124QVS/NOPB.A	Active	Production	TQFP (PAG) | 64	160 | JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 QVS
DS90UR124QVS/NOPB.B	Active	Production	TQFP (PAG) | 64	160 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
DS90UR124QVSX/NOPB	Active	Production	TQFP (PAG) | 64	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 QVS
DS90UR124QVSX/NOPB.A	Active	Production	TQFP (PAG) | 64	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR124 QVS
DS90UR241IVS/NOPB	Active	Production	TQFP (PFB) | 48	250 | JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1IVS
DS90UR241IVS/NOPB.A	Active	Production	TQFP (PFB) | 48	250 | JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1IVS
DS90UR241IVSX/NOPB	Active	Production	TQFP (PFB) | 48	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1IVS
DS90UR241IVSX/NOPB.A	Active	Production	TQFP (PFB) | 48	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1IVS
DS90UR241IVSX/NOPB.B	Active	Production	TQFP (PFB) | 48	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 105	
DS90UR241QVS/NOPB	Active	Production	TQFP (PFB) | 48	250 | JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1QVS
DS90UR241QVS/NOPB.A	Active	Production	TQFP (PFB) | 48	250 | JEDEC TRAY (10+1)	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1QVS
DS90UR241QVSX/NOPB	Active	Production	TQFP (PFB) | 48	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1QVS

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DS90UR241QVSX/NOPB.A	Active	Production	TQFP (PFB) | 48	1000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 105	DS90UR24 1QVS
DS90UR241QVSX/NOPB.B	Active	Production	TQFP (PFB) | 48	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DS90UR124, DS90UR124-Q1, DS90UR241, DS90UR241-Q1 :

- Catalog : DS90UR124, DS90UR241

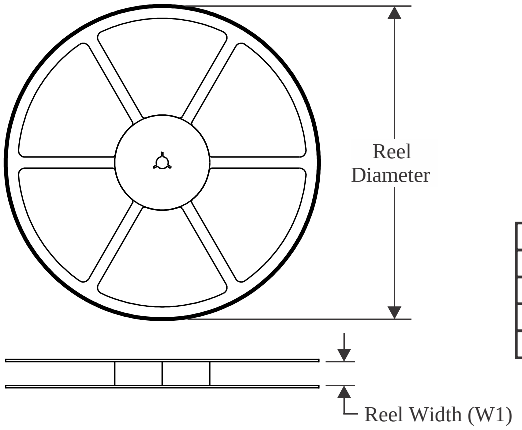
- Automotive : DS90UR124-Q1, DS90UR241-Q1

NOTE: Qualified Version Definitions:

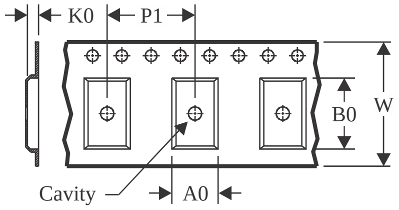
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

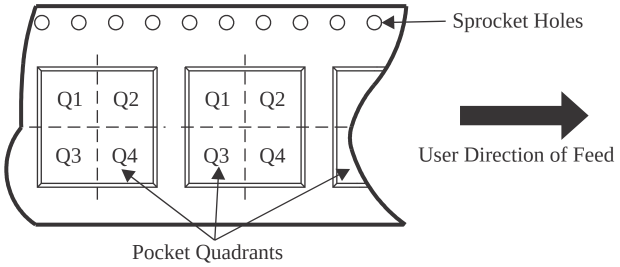


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

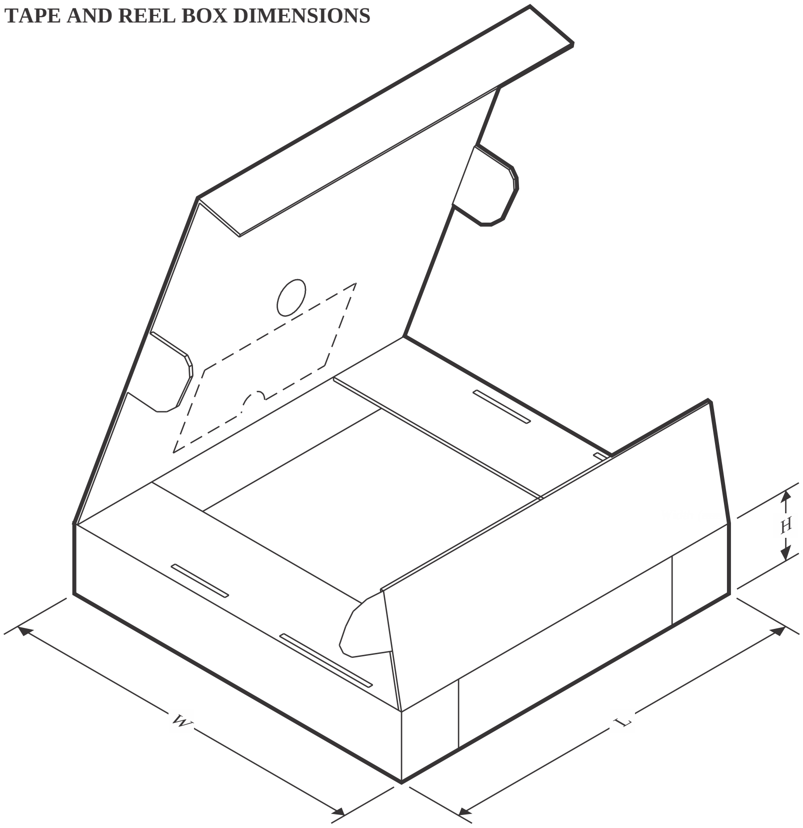
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DS90UR124IVSX/NOPB	TQFP	PAG	64	1000	330.0	24.4	13.0	13.0	1.45	16.0	24.0	Q2
DS90UR124QVSX/NOPB	TQFP	PAG	64	1000	330.0	24.4	13.0	13.0	1.45	16.0	24.0	Q2
DS90UR241IVSX/NOPB	TQFP	PFB	48	1000	330.0	16.4	9.8	9.8	2.0	12.0	16.0	Q2
DS90UR241QVSX/NOPB	TQFP	PFB	48	1000	330.0	16.4	9.8	9.8	2.0	12.0	16.0	Q2

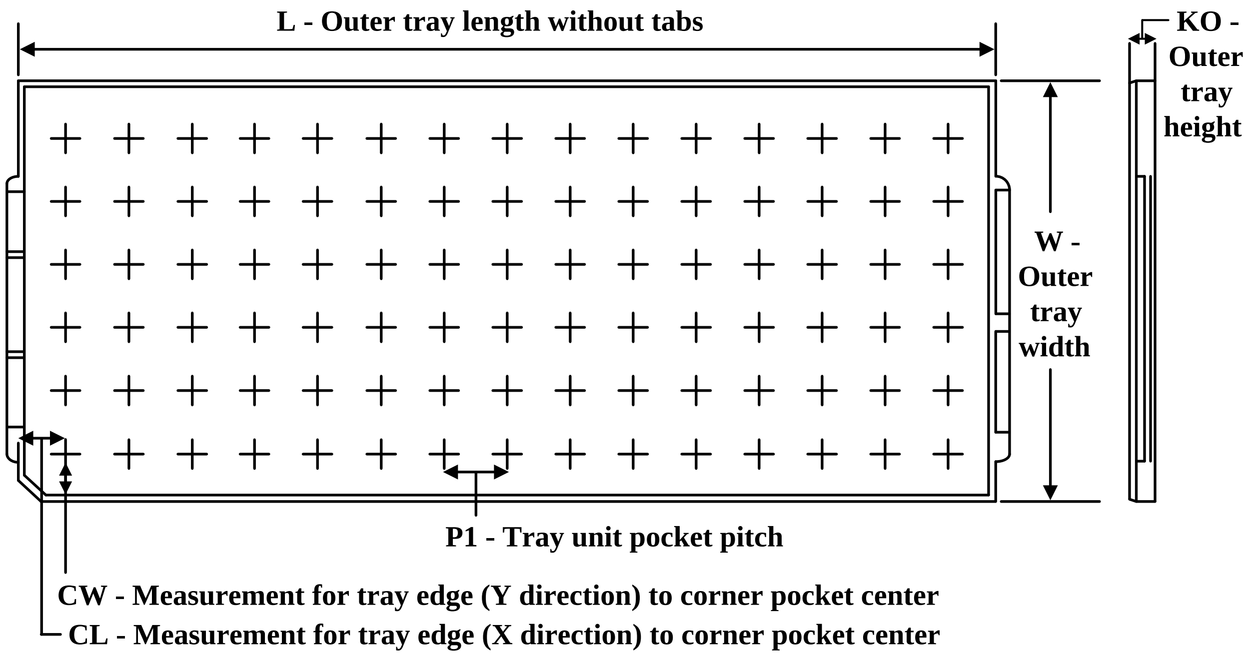
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DS90UR124IVSX/NOPB	TQFP	PAG	64	1000	356.0	356.0	45.0
DS90UR124QVSX/NOPB	TQFP	PAG	64	1000	356.0	356.0	45.0
DS90UR241IVSX/NOPB	TQFP	PFB	48	1000	356.0	356.0	36.0
DS90UR241QVSX/NOPB	TQFP	PFB	48	1000	356.0	356.0	36.0

TRAY

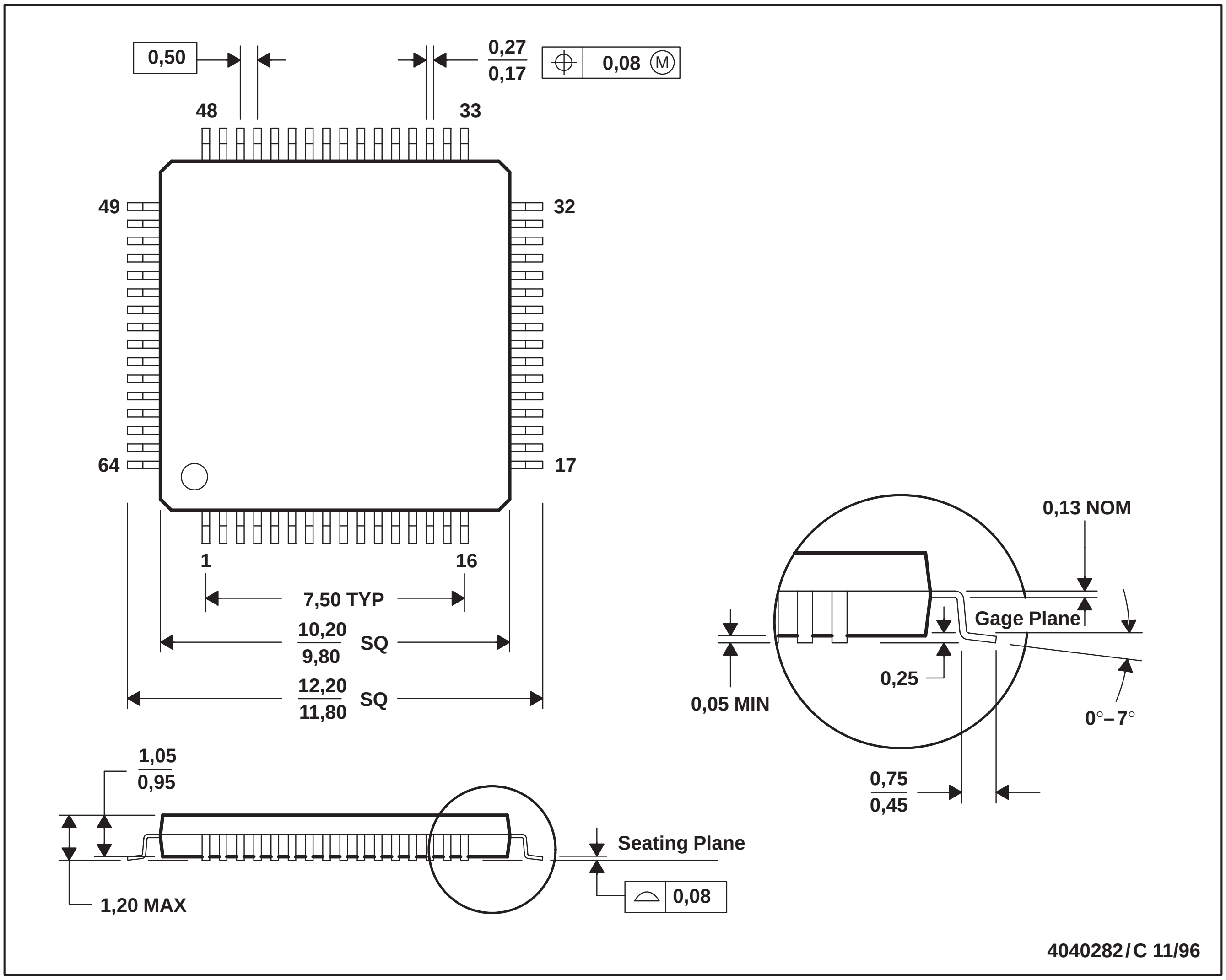


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

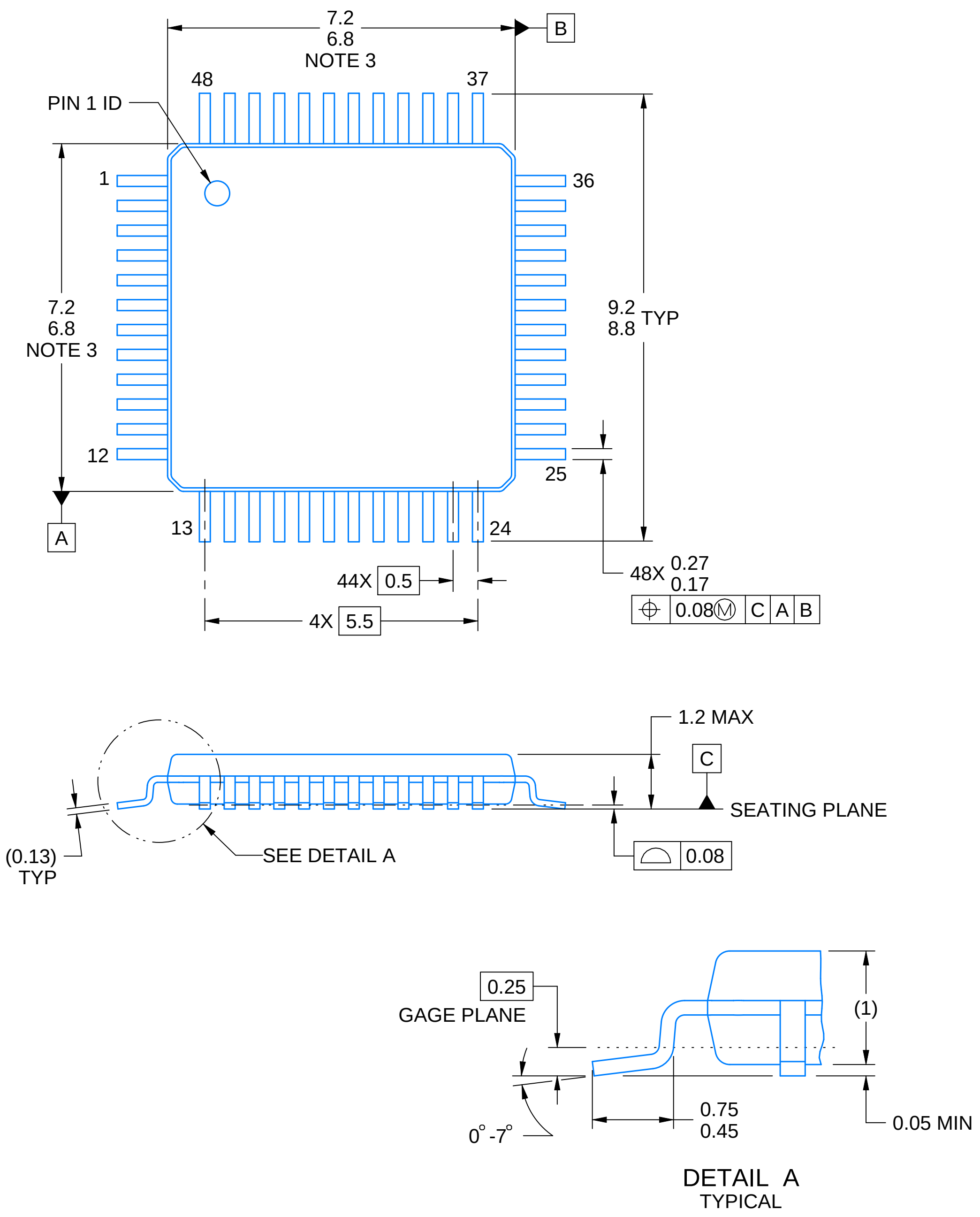
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
DS90UR124IVS/NOPB	PAG	TQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
DS90UR124IVS/ NOPB.A	PAG	TQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
DS90UR124QVS/NOPB	PAG	TQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
DS90UR124QVS/ NOPB.A	PAG	TQFP	64	160	8 X 20	150	322.6	135.9	7620	15.2	13.1	13
DS90UR241IVS/NOPB	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
DS90UR241IVS/ NOPB.A	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
DS90UR241QVS/NOPB	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
DS90UR241QVS/ NOPB.A	PFB	TQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25

PAG (S-PQFP-G64) **PLASTIC QUAD FLATPACK**



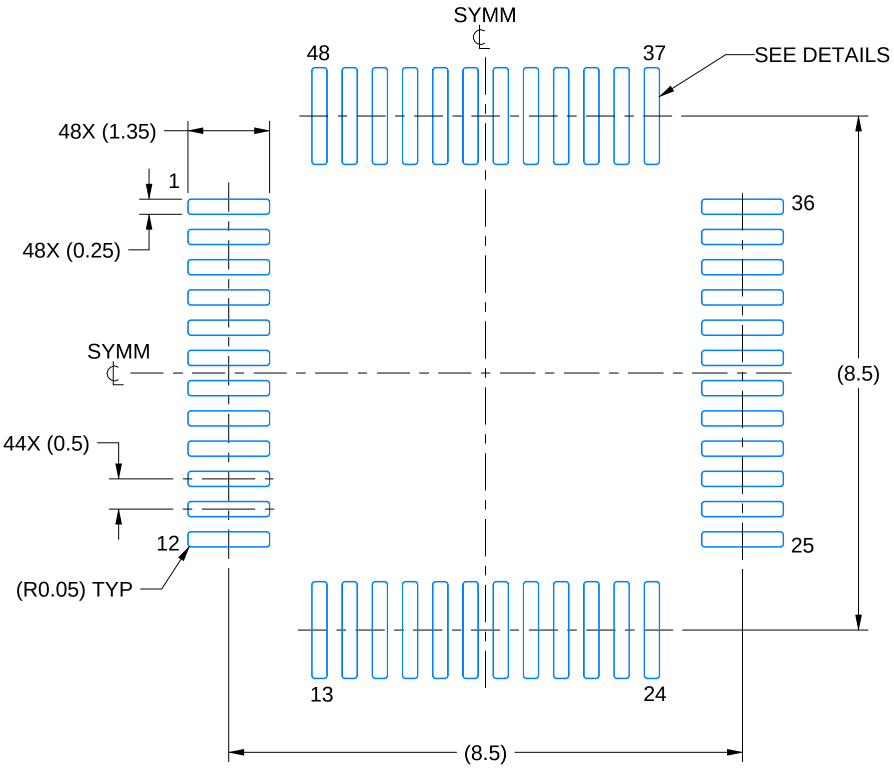
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS-026



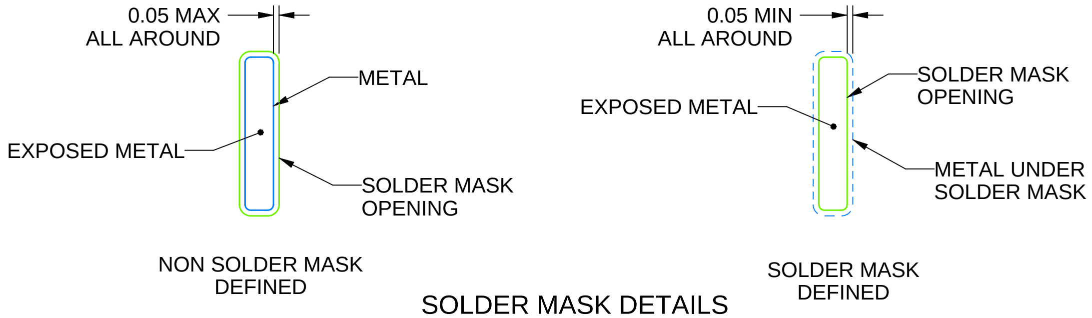
4215157/A 03/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

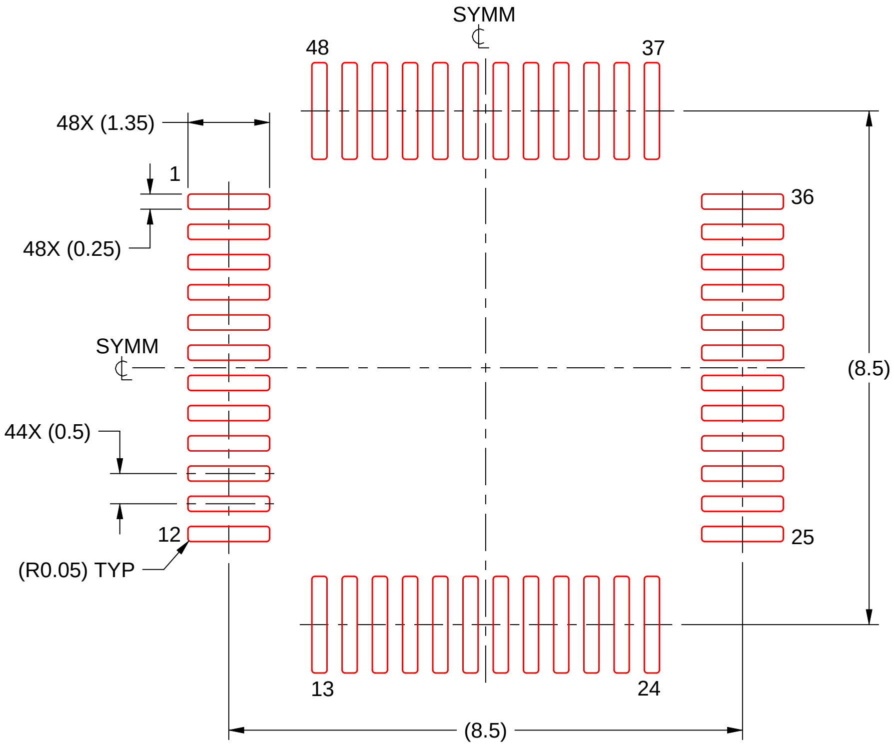


SOLDER MASK DETAILS

4215157/A 03/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
SCALE:8X

4215157/A 03/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月