

ISO6760L 6 チャネル強化デジタル・アイソレータ、インターロック内蔵、堅牢な EMC

1 特長

- ISO6760 にインターロック機能を内蔵
 - 隣接チャネルの逆極性をサポート
 - 3 組のインターロック・チャネル
- 堅牢な絶縁バリア:
 - 1500V_{RMS} の使用電圧での長い寿命
 - 最高 5000V_{RMS} の絶縁定格
 - 最高 10kV のサージ耐量
 - CMTI:±130kV/μs (標準値)
- 広い電源電圧範囲: 1.71V~1.89V, 2.25V~5.5V
- チャネル出力の非反転 (ISO6760L) と反転 (ISO6760LN) のオプション
- 50Mbps のデータ・レート
- 1.71V から 5.5V への電圧変換
- 広い温度範囲: -40°C~125°C
- チャネルごとに 1.4mA (標準値, 1Mbps の場合)
- 堅牢な電磁両立性 (EMC)
 - システム・レベルの ESD、EFT、サージ耐性
 - 低い放射
- ワイド SOIC (DW-16) パッケージ
- 安全関連の認証:**
 - DIN EN IEC 60747-17 (VDE 0884-17)
 - UL 1577 部品認定プログラム
 - IEC 62368-1, IEC 61010-1, IEC 60601-1, GB 4943.1 認証

2 アプリケーション

- モーター・ドライブ
- 家電製品
- グリッド
- ビル・オートメーション

3 説明

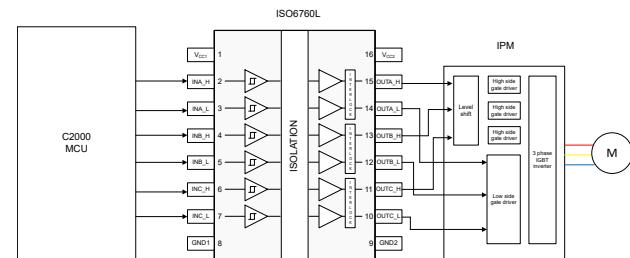
ISO6760L および ISO6760LN デバイスは、UL 1577 準拠の最大 5000V_{RMS} の絶縁定格を必要とするアプリケーション向けの、インターロック機能を内蔵した高性能 6 チャネル・デジタル・アイソレータです。これらのデバイスは VDE、TUV、CSA、CQC の認定も受けています。

ISO6760L ファミリのデバイスは一連のロジック・ゲートを内蔵しており、隣接チャネルにハードウェア・インターロック機能を提供します。インターロック機能により、チャネル・ペアの各チャネルが同時にイネーブルになることはありません。ペアの両方のチャネルが同じ入力ロジックを共有している場合、出力ロジックは常に Low になります。ISO6760L ファミリのデバイスは、6 つのチャネルすべてが同方向であり、CMOS または LVC MOS デジタル I/O を絶縁しながら、高い immunity と低い放射を低い消費電力で実現します。各絶縁チャネルは、テキサス・インスツルメンツの二重容量性二酸化ケイ素 (SiO₂) 絶縁バリアで分離されたロジック入力および出力バッファを備えています。

これらのデバイスのインターロック機能をインテリジェント・パワー・モジュール (IPM) と組み合わせて使用することで、オン / オフの切り替え時の High 側と Low 側のゲート・ドライバ間の貫通電流を防止できます。インターロック回路の 3 つのペアを含む 6 つのチャネルが 16 ピン SOIC ワイド・ボディ (DW) パッケージに統合されており、フォトカプラ・ソリューションと比較して 50% を超えるスペース節減を実現しています。革新的なチップ設計およびレイアウト技法により、ISO6760L は電磁両立性が大幅に強化されているため、システム・レベルの ESD、EFT、サージ、および放射の規格を容易に満たします。

製品概要

型番	パッケージ	本体サイズ
ISO6760L, ISO6760LN	SOIC (DW)	10.30mm × 7.50mm



簡略回路図



英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.20 スイッチング特性 - 1.8V 電源.....	17
2 アプリケーション	1	6.21 絶縁特性曲線.....	18
3 説明	1	6.22 代表的特性.....	19
4 改訂履歴	2	7 パラメータ測定情報	20
5 ピン構成および機能	3	8 詳細説明	21
6 仕様	4	8.1 概要.....	21
6.1 絶対最大定格.....	4	8.2 機能ブロック図.....	21
6.2 ESD 定格.....	4	8.3 機能説明.....	22
6.3 推奨動作条件.....	5	8.4 デバイスの機能モード.....	24
6.4 熱に関する情報.....	6	9 アプリケーションと実装	26
6.5 電力定格.....	6	9.1 アプリケーション情報.....	26
6.6 絶縁仕様.....	7	9.2 代表的なアプリケーション.....	27
6.7 安全関連認証.....	9	10 絶縁寿命	30
6.8 安全限界値.....	9	11 電源に関する推奨事項	31
6.9 電気的特性 - 5V 電源.....	10	12 レイアウト	32
6.10 電源電流特性 - 5V 電源.....	10	12.1 レイアウトのガイドライン.....	32
6.11 電気的特性 - 3.3V 電源.....	11	12.2 レイアウト例.....	33
6.12 電源電流特性 - 3.3V 電源.....	11	13 デバイスおよびドキュメントのサポート	34
6.13 電気的特性 - 2.5V 電源	12	13.1 ドキュメントのサポート.....	34
6.14 電源電流特性 - 2.5V 電源.....	12	13.2 ドキュメントの更新通知を受け取る方法.....	34
6.15 電気的特性 - 1.8V 電源.....	13	13.3 サポート・リソース.....	34
6.16 電源電流特性 - 1.8V 電源.....	13	13.4 商標.....	34
6.17 スイッチング特性 - 5V 電源.....	14	13.5 静電気放電に関する注意事項.....	34
6.18 スイッチング特性 - 3.3V 電源.....	15	13.6 用語集.....	34
6.19 スイッチング特性 - 2.5V 電源.....	16	14 メカニカル、パッケージ、および注文情報	34

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2021) to Revision A (February 2023)	Page
• 標準名を次のように変更:「DIN V VDE V 0884-11:2017-01」からドキュメント全体を通して「DIN EN IEC 60747-17 (VDE 0884-17)」に変更.....	1
• ドキュメント全体を通して、IEC / EN / CSA 60950-1 規格への参照を削除.....	1
• ドキュメント全体を通して、「予定」とマークされていた規格を更新して認証書番号を記載.....	1
• ドキュメント全体を通して、すべての標準名から改訂と年の記載を削除.....	1
• DIN EN IEC 60747-17 (VDE 0884-17) に準拠して最大インパルス電圧 (V_{IMP}) 仕様を追加.....	7
• DIN EN IEC 60747-17 (VDE 0884-17) に準拠して最大サージ絶縁電圧 (V_{IOSM}) 仕様のテスト条件と値を変更.....	7
• 見掛けの放電電荷 (q_{PD}) のメソッド b のテスト条件を明確化.....	7
• 最大サージ絶縁電圧 (V_{IOSM}) を $6250V_{PK}$ から $10000V_{PK}$ に変更.....	9
• DIN EN IEC 60747-17 (VDE 0884-17) に準拠して、動作電圧の寿命マージンを 87.5% から 50%、必要な最小絶縁寿命を 37.5 年から 30 年、TDDDBあたりの絶縁寿命を 220 年から 36 年に変更.....	30
• DIN EN IEC 60747-17 (VDE 0884-17) に準拠して 図 10-2 を変更.....	30
• DW0016B の機械図面を更新.....	34

5 ピン構成および機能

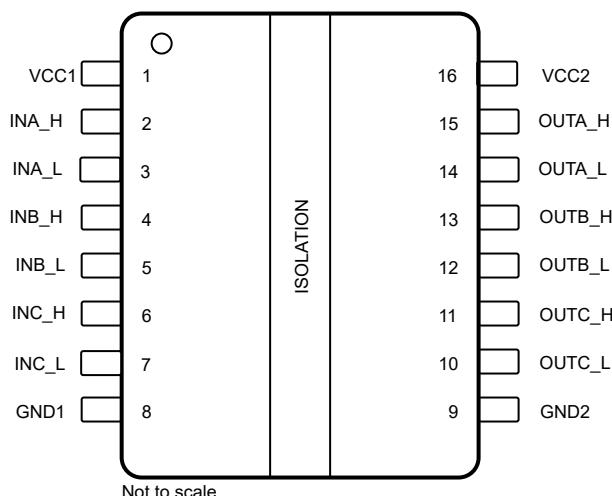


図 5-1. ISO6760L DW パッケージ 16 ピン SOIC-WB 上面図

表 5-1. ピン機能

ピン		I/O	概要
名称	ISO6760L		
GND1	8	—	V _{CC1} のグランド接続
GND2	9	—	V _{CC2} のグランド接続
INA_H	2	I	入力、チャネル A_H (チャネル A_L のインターロック・ペア)
INA_L	3	I	入力、チャネル A_L (チャネル A_H のインターロック・ペア)
INB_H	4	I	入力、チャネル B_H (チャネル B_L のインターロック・ペア)
INB_L	5	I	入力、チャネル B_L (チャネル B_H のインターロック・ペア)
INC_H	6	I	入力、チャネル C_H (チャネル C_L のインターロック・ペア)
INC_L	7	I	入力、チャネル C_L (チャネル C_H のインターロック・ペア)
OUT_H	15	O	出力、チャネル A_H (チャネル A_L のインターロック・ペア)
OUT_L	14	O	出力、チャネル A_L (チャネル A_H のインターロック・ペア)
OUT_H	13	O	出力、チャネル B_H (チャネル B_L のインターロック・ペア)
OUT_L	12	O	出力、チャネル B_L (チャネル B_H のインターロック・ペア)
OUT_H	11	O	出力、チャネル C_H (チャネル C_L のインターロック・ペア)
OUT_L	10	O	出力、チャネル C_L (チャネル C_H のインターロック・ペア)
V _{CC1}	1	—	電源、1 次側
V _{CC2}	16	—	電源、2 次側

6 仕様

6.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
電源電圧 (2)	V _{CC1} から GND1	-0.5	6	V
	V _{CC2} から GND2	-0.5	6	
入力 / 出力電圧	INx から GNDx	-0.5	V _{CCX} + 0.5 (3)	V
	OUTx から GNDx	-0.5	V _{CCX} + 0.5 (3)	
出力電流	I _O	-15	15	mA
温度	動作時の接合部温度、T _J		150	°C
	保存温度、T _{stg}	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル・グラウンド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。
- (3) 最大電圧は 6V 以下である必要があります。

6.2 ESD 定格

(1) (2)

			値	単位
V _(ESD)	静電気放電	人体モデル (HBM)、ANSI / ESDA / JEDEC JS-001 に準拠、すべてのピン(1)	±2000	V
	静電気放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン(2)	±1500	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

		最小値	公称値	最大値	単位
V_{CC1} ⁽¹⁾	1 次側電源電圧 ⁽⁽³⁾⁾	1.71	1.89	1.89	V
V_{CC1} ⁽¹⁾	1 次側電源電圧 ⁽⁽³⁾⁾	2.25	5.5	5.5	V
V_{CC2} ⁽¹⁾	2 次側電源電圧 ⁽⁽³⁾⁾	1.71	1.89	1.89	V
V_{CC2} ⁽¹⁾	2 次側電源電圧 ⁽⁽³⁾⁾	2.25	5.5	5.5	V
V_{CC} (UVLO+)	電源電圧が上昇しているときの UVLO スレッショルド		1.53	1.71	V
V_{CC} (UVLO-)	電源電圧が低下しているときの UVLO スレッショルド	1.1	1.41		V
V_{HYS} (UVLO)	電源電圧 UVLO ヒステリシス	0.08	0.13		V
V_{IH}	High レベル入力電圧	$0.7 \times V_{CC1}$ ⁽²⁾	V_{CC1}		V
V_{IL}	Low レベル入力電圧	0	$0.3 \times V_{CC1}$		V
I_{OH}	High レベル出力電流	V_{CCO} ⁽²⁾ = 5 V	-4		mA
		V_{CCO} = 3.3V	-2		mA
		V_{CCO} = 2.5V	-1		mA
		V_{CCO} = 1.8V	-1		mA
I_{OL}	Low レベル出力電流	V_{CCO} = 5V	4		mA
		V_{CCO} = 3.3V	2		mA
		V_{CCO} = 2.5V	1		mA
		V_{CCO} = 1.8V	1		mA
DR	データ・レート	$V_{CC} = 2.25V \sim 5.5V$	0	50	Mbps
		$V_{CC} = 1.71V \sim 1.89V$	0	25	Mbps
T_A	周囲温度	-40	25	125	°C

(1) V_{CC1} と V_{CC2} は、互いに独立して設定できます

(2) V_{CC1} = 入力側 V_{CC} 、 V_{CCO} = 出力側 V_{CC}

(3) $1.89V < V_{CC1}, V_{CC2} < 2.25V$ かつ $1.05V < V_{CC1}, V_{CC2} < 1.71V$ のとき、チャネル出力は不定状態です

6.4 热に関する情報

热評価基準 ⁽¹⁾		ISO6760L	単位
		DW (SOIC)	
		16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	68.8	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	31.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	32.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	13.5	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	32.1	°C/W
R _{θJC(bot)}	接合部からケース(底面)への熱抵抗	n/a	°C/W

6.5 電力定格

パラメータ	テスト条件	最小値	標準値	最大値	単位
ISO6760L					
P _D	最大消費電力(両側)			200	mW
P _{D1}	最大消費電力(1次側)	V _{CC1} = V _{CC2} = 5.5V, T _J = 150°C, C _L = 15pF, 25MHz 50% デューティ・サイクルの方形波を入力		45	mW
P _{D2}	最大消費電力(2次側)			155	mW

6.6 絶縁仕様

パラメータ		テスト条件	値	単位
			DW-16	
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	>8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	>8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	um
CTI	比較トラッキング指数	DIN EN 60112 (VDE 0303-11), IEC 60112	>600	V
	材料グループ	IEC 60664-1 による	I	
IEC 60664-1 に準拠した過電圧カテゴリ		定格商用電源 V_{RMS} が 600V 以下	I-IV	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽⁽²⁾⁾				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	2121	V_{PK}
V_{IOWM}	最大動作絶縁電圧	AC 電圧、経時絶縁破壊 (TDDDB) テスト、 絶縁寿命予測データ を参照	1500	V_{RMS}
		DC 電圧	2121	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$, $t = 60s$ (認定) $V_{TEST} = 1.2 \times V_{IOTM}$, $t = 1s$ (100% 出荷時)	7071	V_{PK}
V_{IMP}	最大インパルス電圧 ⁽⁽³⁾⁾	空気中でテスト、1.2/50 μ s 波形、IEC 62368-1 に準拠	7692	V_{PK}
V_{IOSM}	最大サーボ絶縁電圧 ⁽⁽⁴⁾⁾	$V_{IOSM} \geq 1.3 \times V_{IMP}$, 油中でテスト (認定テスト)、 1.2/50 μ s 波形、IEC 62368-1 に準拠	10000	V_{PK}
q_{pd}	見掛けの電荷 ⁽⁵⁾	メソッド a、入力 / 出力安全テスト・サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.2 \times V_{IORM}$, $t_m = 10s$	≤ 5	pC
		メソッド a、環境テスト・サブグループ 1 の後、 $V_{ini} = V_{IOTM}$, $t_{ini} = 60s$, $V_{pd(m)} = 1.6 \times V_{IORM}$, $t_m = 10s$	≤ 5	
		メソッド b: ルーチン・テスト (100% 出荷時) および事前条件設定 (タイプ・テスト) の場合、 $V_{ini} = 1.2 \times V_{IOTM}$, $t_{ini} = 1s$, $V_{pd(m)} = 1.875 \times V_{IORM}$, $t_m = 1s$ (メソッド b1) または $V_{pd(m)} = V_{ini}$, $t_m = t_{ini}$ (メソッド b2)	≤ 5	
C_{IO}	絶縁バリア容量、入力から出力へ ⁽⁶⁾	$V_{IO} = 0.4 \times \sin(2\pi ft)$, $f = 1MHz$	~ 1	pF
R_{IO}	絶縁抵抗 ⁽⁶⁾	$V_{IO} = 500V$ ($T_A = 25^\circ C$ 時)	$>10^{12}$	Ω
		$V_{IO} = 500V$ ($100^\circ C < T_A \leq 125^\circ C$ 時)	$>10^{11}$	
		$V_{IO} = 500V$ ($T_S = 150^\circ C$ 時)	$>10^9$	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	最大絶縁耐性電圧	$V_{TEST} = V_{ISO}$, $t = 60s$ (認定)、 $V_{TEST} = 1.2 \times V_{ISO}$, $t = 1s$ (100% 出荷時)	5000	V_{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、PCB 上の沿面距離と空間距離が等しくなります。プリント基板上にグループやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
- (2) この絶縁素子は、安全定格内の安全な電気的絶縁のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、パッケージのサーボ耐性を判定するため、空気中で実行されます。
- (4) テストは、絶縁バリアの固有サーボ耐性を判定するため、油中で実行されます。
- (5) 見掛けの放電電荷とは、部分放電 (pd) により発生する静電放電です。

- (6) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2端子のデバイスを構成します。

6.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) に従う認証	IEC 62368-1、IEC 61010-1、IEC 60601 に従う認証	UL 1577 部品認定プログラムに従う認証	GB 4943.1 に従う認証	EN 61010-1 および EN 62368-1 に従う認証
最大過渡絶縁電圧: 7071V _{PK} 、 最大反復ピーク絶縁電圧: 2121V _{PK} 、 最大サージ絶縁電圧: 10000V _{PK}	CSA 62368-1 および IEC 62368-1 に準拠した 600V _{RMS} 強化絶縁、CSA 61010-1 および IEC 61010-1 に準拠した 600V _{RMS} 強化絶縁 (汚染度 2、材料グループ I)、 CSA 60601-1 および IEC 60601-1 に準拠した 2 MOPP (患者保護手段)、最大動作電圧 250V _{RMS}	シングル保護、 5000V _{RMS}	強化絶縁、高度 \leq 5000m、 熱帶気候、 最大動作電圧 700V _{RMS}	EN 61010-1 および EN 62368-1 に準拠した 5000V _{RMS} 強化絶縁、最大動作電圧 600V _{RMS}
認証書番号:40040142	マスタ契約書番号:220991	ファイル番号:E181974	認証書番号: CQC21001304083	顧客 ID 番号:077311

6.8 安全限界値

安全限界値⁽¹⁾の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ	テスト条件	最小値	標準値	最大値	単位
DW-16 パッケージ					
I _S	安全入力、出力、または電源電流 ⁽¹⁾	R _{θJA} = 68.8°C/W、V _I = 5.5V、T _J = 150°C、 T _A = 25°C		330	mA
		R _{θJA} = 68.8°C/W、V _I = 3.6V、T _J = 150°C、 T _A = 25°C		504	mA
		R _{θJA} = 68.8°C/W、V _I = 2.75V、T _J = 150°C、T _A = 25°C		660	mA
		R _{θJA} = 68.8°C/W、V _I = 1.89V、T _J = 150°C、T _A = 25°C		956	mA
P _S	安全入力、出力、または合計電力 ⁽¹⁾	R _{θJA} = 68.8°C/W、T _J = 150°C、T _A = 25°C		1820	mW
T _S	最高安全温度 ⁽¹⁾			150	°C

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。

表にある接合部から空気への熱抵抗 R_{θJA} は、リードあり表面実装パッケージ用の高 K テスト基板に搭載されているデバイスのものです。これらの式を使って各パラメータの値を計算します。

T_J = T_A + R_{θJA} × P、ここで P は本デバイスで消費される電力です。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S、ここで T_{J(max)} は最大接合部温度です。

P_S = I_S × V_I、ここで V_I は最大入力電圧です。

6.9 電気的特性 - 5V 電源

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	$I_{OH} = -4\text{mA}$ 、 スイッチング特性試験回路と電圧波形 を参照	$V_{CCO} - 0.4$		V
V_{OL}	Low レベル出力電圧	$I_{OL} = 4\text{mA}$ 、 スイッチング特性試験回路と電圧波形 を参照		0.4	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング・スレッショルド			$0.7 \times V_{CCI}$ ⁽¹⁾	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング・スレッショルド		$0.3 \times V_{CCI}$		V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		$0.1 \times V_{CCI}$		V
I_{IH}	High レベル入力電流	I_{INx} で $V_{IH} = V_{CCI}$ ⁽¹⁾		10	μA
I_{IL}	Low レベル入力電流	I_{INx} で $V_{IL} = 0\text{V}$	-10		μA
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V 、 $V_{CM} = 1200\text{V}$ 、 同相過渡電圧耐性試験回路 を参照	50	130	kV/us
C_i	入力容量 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$, $f = 2\text{MHz}$, $V_{CC} = 5\text{V}$	2.8		pF

(1) $V_{CCI} =$ 入力側 V_{CC} 、 $V_{CCO} =$ 出力側 V_{CC}

(2) 入力ピンから同じ側のグランドまで測定。

6.10 電源電流特性 - 5V 電源

$V_{CC1} = V_{CC2} = 5\text{V} \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6760L						
電源電流 - DC 信号	出力 A:GND (ISO6760L)、Vcc (ISO6760LN) 出力 B:Vcc (ISO6760L)、GND (ISO6760LN)	I_{CC1}	5.11	6.97		mA
		I_{CC2}	3.3	5.38		
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $CL = 15\text{pF}$	I_{CC1} 1Mbps	5.13	6.99		
		I_{CC2}	3.7	5.83		
		I_{CC1} 10Mbps	5.29	7.19		
		I_{CC2}	7.27	9.9		
		I_{CC1} 50Mbps	6.12	8.16		
		I_{CC2}	23.62	27.74		

6.11 電気的特性 - 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧 $I_{OH} = -2mA$ 、 スイッチング特性試験回路と電圧波形 を参照	$V_{CCO} - 0.2$			V
V_{OL}	Low レベル出力電圧 $I_{OL} = 2mA$ 、 スイッチング特性試験回路と電圧波形 を参照			0.2	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング・スレッショルド			$0.7 \times V_{CCI}$ ⁽¹⁾	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング・スレッショルド		$0.3 \times V_{CCI}$		V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		$0.1 \times V_{CCI}$		V
I_{IH}	High レベル入力電流 I_{Nx} で $V_{IH} = V_{CCI}$ ⁽¹⁾			10	μA
I_{IL}	Low レベル入力電流 I_{Nx} で $V_{IL} = 0V$	-10			μA
CMTI	同相過渡耐性 $V_I = V_{CC}$ または $0V$ 、 $V_{CM} = 1200V$ 、 同相過渡電圧耐性試験回路 を参照	50	130		kV/us
C_i	入力容量 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$, $f = 2MHz$, $V_{CC} = 3.3V$	2.8		pF

(1) V_{CCI} = 入力側 V_{CC} 、 V_{CCO} = 出力側 V_{CC}

(2) 入力ピンから同じ側のグランドまで測定。

6.12 電源電流特性 - 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6760L						
電源電流 - DC 信号	出力 A: GND (ISO6760L)、 V_{CC} (ISO6760LN) 出力 B: V_{CC} (ISO6760L)、GND (ISO6760LN)	I_{CC1}	5.08	6.89		
		I_{CC2}	3.28	5.36		
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $CL = 15pF$	I_{CC1} I_{CC2}	5.1 3.57	6.9 5.68		mA
		I_{CC1} I_{CC2}	5.18 6.07	7.04 8.62		
		I_{CC1} I_{CC2}	5.74 17.54	7.68 21.5		

6.13 電気的特性 - 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧 $I_{OH} = -1mA$ 、 スイッチング特性試験回路と電圧波形 を参照	$V_{CC0} - 0.1$			V
V_{OL}	Low レベル出力電圧 $I_{OL} = 1mA$ 、 スイッチング特性試験回路と電圧波形 を参照			0.1	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング・スレッショルド			$0.7 \times V_{CCI}$ ⁽¹⁾	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング・スレッショルド		$0.3 \times V_{CCI}$		V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		$0.1 \times V_{CCI}$		V
I_{IH}	High レベル入力電流 I_{Nx} で $V_{IH} = V_{CCI}$ ⁽¹⁾			10	μA
I_{IL}	Low レベル入力電流 I_{Nx} で $V_{IL} = 0V$	-10			μA
CMTI	同相過渡耐性 $V_I = V_{CC}$ または $0V$ 、 $V_{CM} = 1200V$ 、 同相過渡電圧耐性試験回路 を参照	50	130		kV/us
C_i	入力容量 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$, $f = 2MHz$, $V_{CC} = 2.5V$	2.8		pF

(1) V_{CCI} = 入力側 V_{CC} 、 V_{CC0} = 出力側 V_{CC}

(2) 入力ピンから同じ側のグランドまで測定。

6.14 電源電流特性 - 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6760L						
電源電流 - DC 信号	出力 A: GND (ISO6760L)、 V_{CC} (ISO6760LN) 出力 B: V_{CC} (ISO6760L)、GND (ISO6760LN)	I_{CC1}	5.07	6.85		mA
		I_{CC2}	3.28	5.35		
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $CL = 15pF$	I_{CC1}	5.08	6.87		mA
		I_{CC2}	3.49	5.59		
		I_{CC1}	5.14	6.97		
		I_{CC2}	5.34	7.8		
		I_{CC1}	5.59	7.49		
		I_{CC2}	13.83	17.47		

6.15 電気的特性 - 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	$I_{OH} = -1mA$ 、 スイッチング特性試験回路と電圧波形 を参照	$V_{CCO} - 0.1$			V
V_{OL}	Low レベル出力電圧	$I_{OL} = 1mA$ 、 スイッチング特性試験回路と電圧波形 を参照		0.1		V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング・スレッショルド			0.7 $\times V_{CCI}$ ⁽¹⁾		V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング・スレッショルド		0.3 $\times V_{CCI}$			V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 $\times V_{CCI}$			V
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{CCI}$ ⁽¹⁾			10	μA
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0V$	-10			μA
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0V$ 、 $V_{CM} = 1200V$ 、 同相過渡電圧耐性試験回路 を参照	50	75		kV/us
C_i	入力容量 ⁽²⁾	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ 、 $f = 2MHz$ 、 $V_{CC} = 1.8V$	2.8			pF

(1) V_{CCI} = 入力側 V_{CC} 、 V_{CCO} = 出力側 V_{CC}

(2) 入力ピンから同じ側のグランドまで測定。

6.16 電源電流特性 - 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6760L						
電源電流 - DC 信号	出力 A: GND (ISO6760L)、 V_{CC} (ISO6760LN) 出力 B: V_{CC} (ISO6760L)、GND (ISO6760LN)	I_{CC1}	4.27	6.24		mA
		I_{CC2}	3.15	5.39		
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $CL = 15pF$	1Mbps	I_{CC1}	4.28	6.25	
			I_{CC2}	3.3	5.55	
		10Mbps	I_{CC1}	4.37	6.37	
			I_{CC2}	4.6	7.04	
		50Mbps (25Mbps)	I_{CC1}	4.5	6.5	
			I_{CC2}	6.84	9.47	

6.17 スイッチング特性 - 5V 電源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISO6760L						
t_{PLH}, t_{PHL}	伝搬遅延時間	一方の入力は静的な状態、もう一方の入力は 100kbps で切り替わる。 スイッチング特性試験回路と電圧波形 を参照	13	20.5	ns	
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $		1	7	ns	
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同方向チャネル		6	ns	
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾			6	ns	
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形 を参照	2.6	4.5	ns	
t_f	出力信号の立ち下がり時間		2.6	4.5	ns	
t_{PU}	UVLO から有効な出力データまでの時間	UVLO から有効な出力データまでの時間		300	μs	
t_{DO}	入力電力損失からのデフォルトの出力遅延時間	VCC が 1.2V を下回る時間から測定。 デフォルトの出力遅延時間テスト回路と電圧波形 を参照	0.1	0.3	μs	
t_{ie}	タイム・インターバル・エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns	

(1) 別名パルス・スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

6.18 スイッチング特性 - 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISO6760L						
t_{PLH}, t_{PHL}	伝搬遅延時間	一方の入力は静的な状態、もう一方の入力は 100kbps で切り替わる。 スイッチング特性試験回路と電圧波形 を参照	13	21	ns	
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $		1	7	ns	
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同方向チャネル		6	ns	
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾			7	ns	
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形 を参照	1.6	2.8	ns	
t_f	出力信号の立ち下がり時間		1.6	2.8	ns	
t_{PU}	UVLO から有効な出力データまでの時間	UVLO から有効な出力データまでの時間		300	μs	
t_{DO}	入力電力損失からのデフォルトの出力遅延時間	VCC が 1.2V を下回る時間から測定。 デフォルトの出力遅延時間テスト回路と電圧波形 を参照	0.1	0.3	μs	
t_{ie}	タイム・インターバル・エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns	

(1) 別名パルス・スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

6.19 スイッチング特性 - 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISO6760L						
t_{PLH}, t_{PHL}	伝搬遅延時間	一方の入力は静的な状態、もう一方の入力は 100kbps で切り替わる。 スイッチング特性試験回路と電圧波形 を参照	14.5	23.5	ns	
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $		1	7.1	ns	
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同方向チャネル		6	ns	
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾			7.9	ns	
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形 を参照	2	4	ns	
t_f	出力信号の立ち下がり時間		2	4	ns	
t_{PU}	UVLO から有効な出力データまでの時間	UVLO から有効な出力データまでの時間		300	μs	
t_{DO}	入力電力損失からのデフォルトの出力遅延時間	VCC が 1.2V を下回る時間から測定。 デフォルトの出力遅延時間テスト回路と電圧波形 を参照	0.1	0.3	μs	
t_{ie}	タイム・インターバル・エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns	

(1) 別名パルス・スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

6.20 スイッチング特性 - 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISO6760L						
t_{PLH}, t_{PHL}	伝搬遅延時間	一方の入力は静的な状態、もう一方の入力は 100kbps で切り替わる。 スイッチング特性試験回路と電圧波形 を参照	18	31	ns	
PWD	パルス幅歪み $ t_{PHL} - t_{PLH} $		1	8.2	ns	
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽¹⁾	同方向チャネル		6	ns	
$t_{sk(pp)}$	部品間のスキュー時間 ⁽²⁾			11.7	ns	
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形 を参照	2.7	5.3	ns	
t_f	出力信号の立ち下がり時間		2.7	5.3	ns	
t_{PU}	UVLO から有効な出力データまでの時間	UVLO から有効な出力データまでの時間		300	μs	
t_{DO}	入力電力損失からのデフォルトの出力遅延時間	VCC が 1.2V を下回る時間から測定。 デフォルトの出力遅延時間テスト回路と電圧波形 を参照	0.1	0.3	μs	
t_{ie}	タイム・インターバル・エラー	50Mbps で $2^{16} - 1$ PRBS データ	1		ns	

- (1) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
- (2) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

6.21 絶縁特性曲線

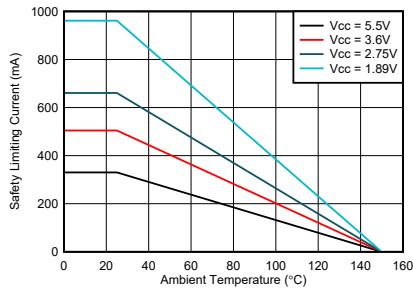


図 6-1. DW-16 パッケージでの安全限界電流の熱特性
低下曲線

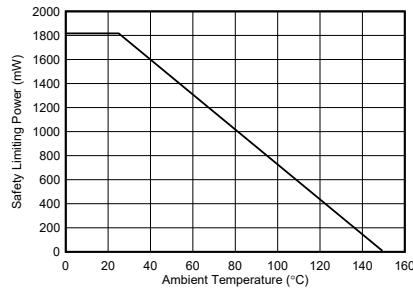


図 6-2. DW-16 パッケージでの安全限界電力の熱特性
低下曲線

6.22 代表的特性

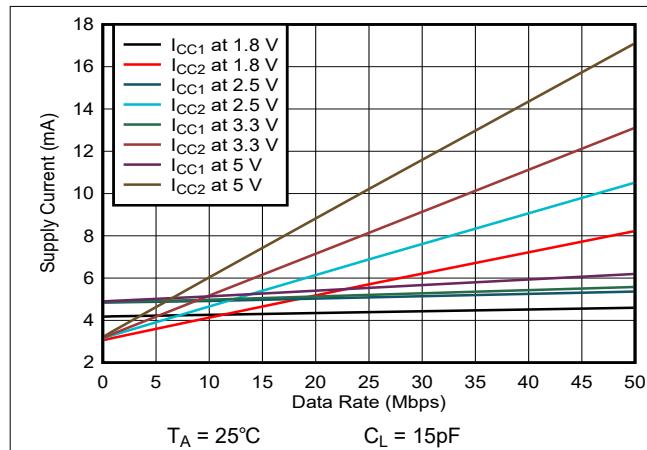


図 6-3. ISO6760L の消費電流とデータ・レートとの関係 (15pF 負荷時)

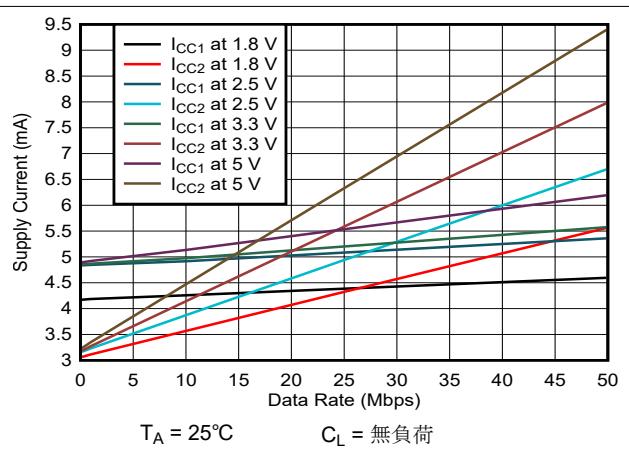


図 6-4. ISO6763 の消費電流とデータ・レートとの関係 (無負荷時)

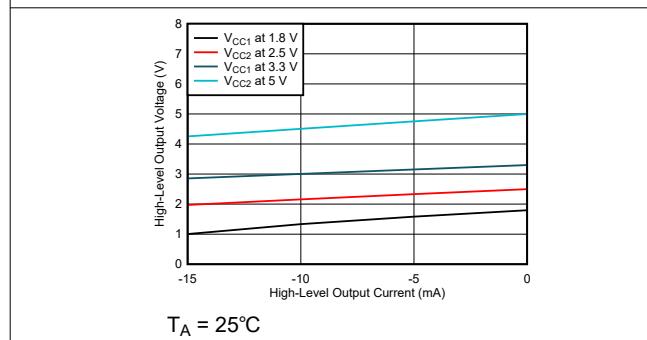


図 6-5. HIGH レベル出力電圧と HIGH レベル出力電流との関係

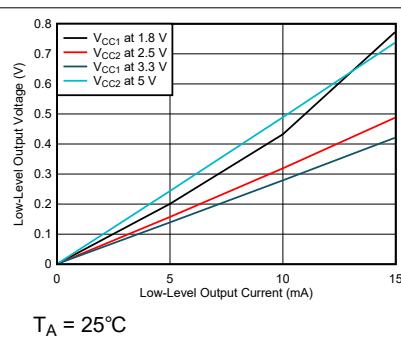


図 6-6. LOW レベル出力電圧と LOW レベル出力電流との関係

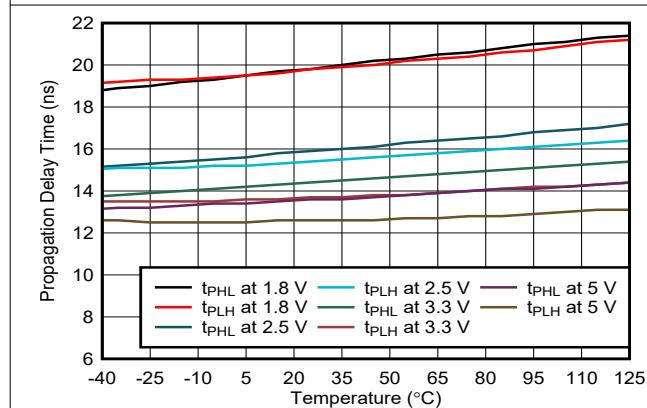


図 6-7. 伝搬遅延時間と周囲温度との関係

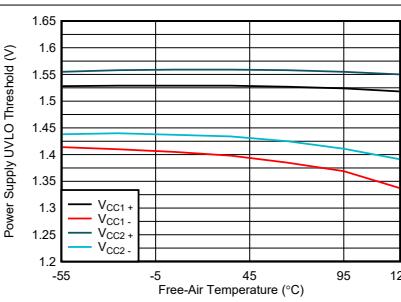
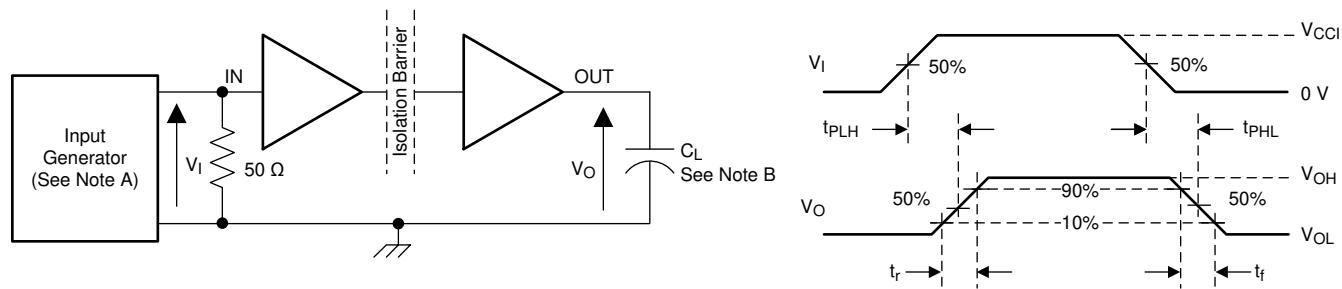


図 6-8. 電源低電圧スレッショルドと周囲温度との関係

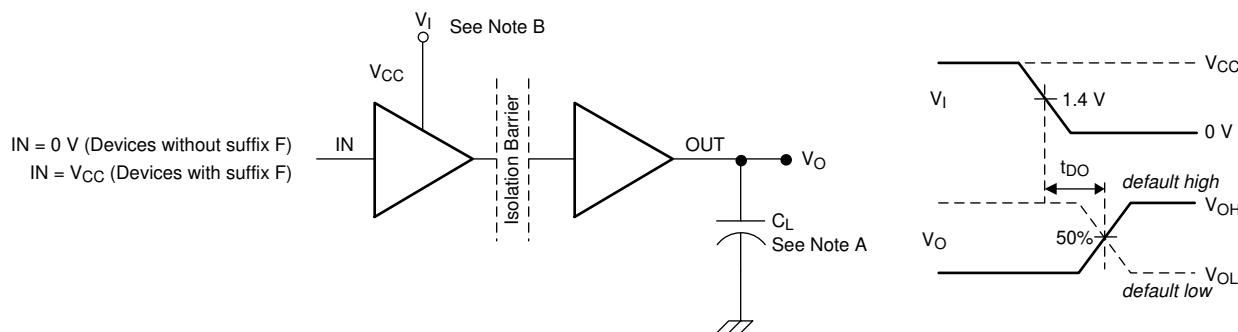
7 パラメータ測定情報



Copyright © 2016, Texas Instruments Incorporated

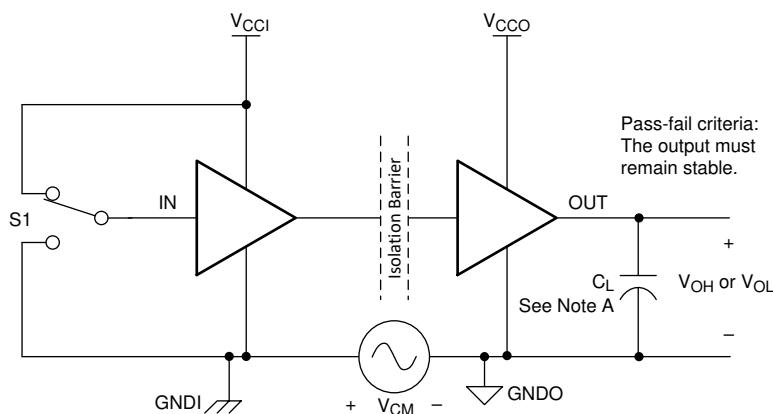
- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq 50\text{kHz}$ 、50% デューティ・サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは必要ありません。
- B. $C_L = 15\text{pF}$ で、 $\pm 20\%$ 以内の計測および治具の容量があります。

図 7-1. スイッチング特性試験回路と電圧波形



- A. $C_L = 15\text{pF}$ で、 $\pm 20\%$ 以内の計測および治具の容量があります。
- B. 電源ランプ・レート = 10mV/ns

図 7-2. デフォルトの出力遅延時間テスト回路と電圧波形



- A. $C_L = 15\text{pF}$ で、 $\pm 20\%$ 以内の計測および治具の容量があります。
- B. CMTI 性能を最適化するには、 $0.1\mu\text{F} + 1\mu\text{F}$ のデカップリング・コンデンサを V_{CC1} および V_{CC2} の近くに配置します。コンデンサの配置の詳細については、セクション 12.2 を参照してください。推奨の $0.1\mu\text{F}$ コンデンサは、LLL185R71A104MA11L (CAP CER 0.1UF 10V X7R 0306 - LW 反転低 ESL チップ・セラミック・コンデンサ) または同等のコンデンサです。

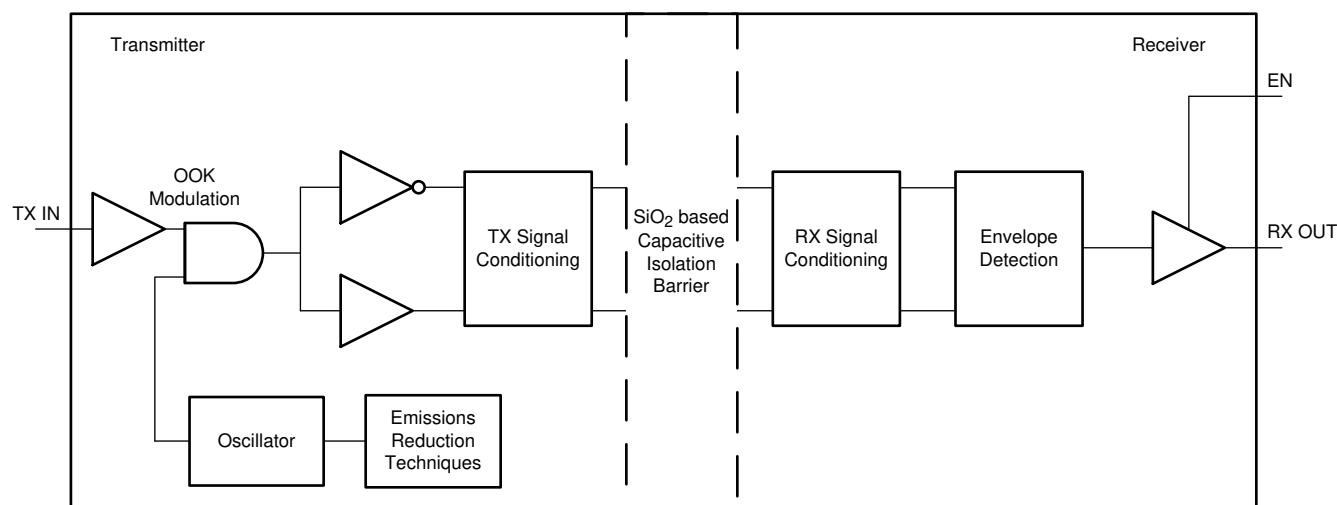
図 7-3. 同相過渡電圧耐性試験回路

8 詳細説明

8.1 概要

ISO6760L ファミリのデバイスは、オン・オフ・キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル・データを送信します。トランシミッタは、バリアを介して 1 つのデジタル状態を表す高周波キャリアを送信し、もう 1 つのデジタル状態については信号を送信しません。レシーバは、高度なシグナル・コンディショニングを行ってから信号を復調し、出力バッファの前にインターロック段経由で出力を生成します。ISO6760L ファミリには、標準の非反転チャネルの ISO6760L とチャネル反転の ISO6760LN という 2 つのオプションがあります。これらの 2 つのオプションにより、ISO6760L ファミリは従来のフォトカプラー・ベースのソリューションと互換性を持つことができます。ISO6760L デバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。デジタル容量性アイソレータの概念ブロック図である図 8-1 は、代表的なチャネルの機能ブロック図を示しています。

8.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

図 8-1. デジタル容量性アイソレータの概念ブロック図

オン・オフ・キーイング方式の動作の概念的な詳細を、図 8-2 に示します。

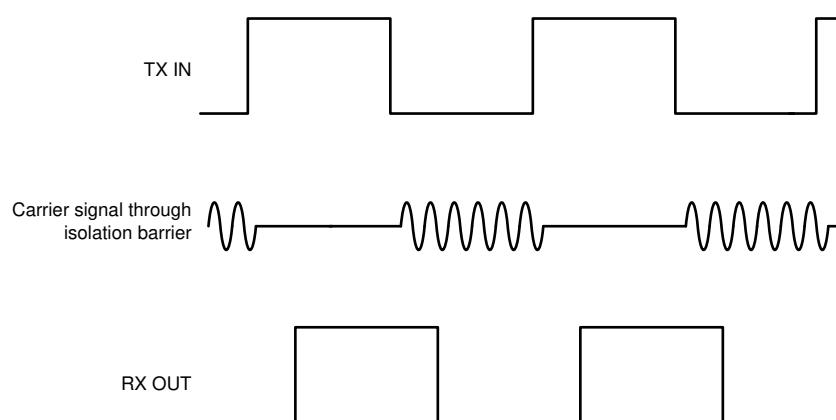


図 8-2. オン・オフ・キーイング (OOK) による変調方式

8.3 機能説明

表 8-1 に、デバイスの機能概要を示します。

表 8-1. デバイスの特長

部品番号	チャネル方向	最大データ・レート	出力	パッケージ	絶縁定格 ⁽¹⁾
ISO6760L	順方向 6、 インターロック・ペア 3	50Mbps	非反転	DW-16	5000V _{RMS} / 7000V _{PK}
ISO6760LN	順方向 6、 インターロック・ペア 3	50Mbps	反転	DW-16	5000V _{RMS} / 7000V _{PK}

(1) 絶縁定格の詳細については、を参照してください。

8.3.1 電磁両立性 (EMC) に関する検討事項

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x や CISPR 32 などの国際規格により規制されています。システム・レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、ISO676x ファミリのデバイスは、数多くのチップ・レベルの設計改善を取り入れて、システム全体の堅牢性を高めています。改善項目の一部を以下に示します。

- 入出力信号ピンおよびチップ間のボンド・パッドに、堅牢な ESD 保護セル。
- 電源ピンおよびグランド・ピンに、ESD セルの低抵抗接続。
- 高電圧絶縁コンデンサの性能を強化し、ESD、EFT、サージの各イベントに対する耐性を向上。
- 低インピーダンス・パスを経由して不要な高エネルギー信号をバイパスする、オンチップ・デカップリング・コンデンサの大容量化。
- ガード・リングによって PMOS デバイスと NMOS デバイスを相互に絶縁し、寄生 SCR がトリガされるのを防止。
- 完全差動内部動作を確保し、絶縁バリアをまたぐ同相電流を低減。

8.3.2 インターロック機能

ISO6760L ファミリには一連の論理ゲートが組み込まれており、隣接チャネルのペアが同時に HIGH になることが防止されます。このインターロック回路は、IPM と組み合わされた場合、モジュールのハイサイド・スイッチとローサイド・スイッチの両方へのシートスルー電流を防止する保護機能を提供します。**ISO6760L チャネル・ペアリングのインターロックのブロック図**に示すこの設計の使用により、チャネルのペアの片方がロジック HIGH のとき、もう一方のチャネルが確実にロジック LOW を出力することになります。**ISO6760L デバイスの真理値表**に ISO6760L の対応する入力状態へのロジック出力状態を、**ISO6760LN (反転型) デバイスの真理値表**に ISO6760LN (反転出力バージョン) の対応する入力状態へのロジック出力状態を示します。

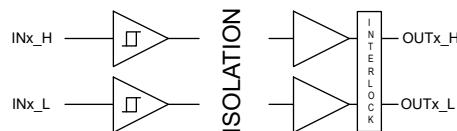


図 8-3. ISO6760L チャネル・ペアリングのインターロックのブロック図

ISO6760L デバイスの真理値表

INx_H	INx_L	OUTx_H	OUTx_L
HIGH	LOW	HIGH	LOW
LOW	HIGH	LOW	HIGH
HIGH	HIGH	LOW	LOW
LOW	LOW	LOW	LOW
フローティング	フローティング	LOW	LOW

表 8-2. ISO6760LN (反転型) デバイスの真理値表

INx_H	INx_L	OUTx_H	OUTx_L
HIGH	LOW	LOW	HIGH
LOW	HIGH	HIGH	LOW
HIGH	HIGH	LOW	LOW
LOW	LOW	LOW	LOW
フローティング	フローティング	LOW	LOW

8.4 デバイスの機能モード

機能表 に、ISO6760L デバイスの機能モードを示します。

機能表

V_{CCI} ⁽¹⁾	V_{CCO}	入力 (INx_H および INx_L) ⁽³⁾	出力 ($OUTx_H$ および $OUTx_L$)	備考
PU	PU	H	通常	通常動作: チャネル出力は ISO6760L デバイスの真理値表 および ISO6760LN (反転型) デバイスの真理値表 に示す入力のロジック状態と同じになります。
		L		
		開放		
PD	PU	X	Low	出力 Low: V_{CCI} の電源がオフで V_{CCO} の電源がオンのとき、出力インターロック回路によって出力のロジックが Low に設定されます。 V_{CCI} が電源オフから電源オンに遷移すると、チャネル出力は ISO6760L デバイスの真理値表 および ISO6760LN (反転型) デバイスの真理値表 に示すロジック状態と同じになります。 V_{CCI} が電源オンから電源オフに遷移すると、チャネル出力は出力 Low 状態になります。
X	PD	X	不定	V_{CCO} の電源がオフのとき、チャネルの出力は不定です ⁽²⁾ 。 V_{CCO} が電源オフから電源オンに遷移すると、チャネル出力は ISO6760L デバイスの真理値表 および ISO6760LN (反転型) デバイスの真理値表 に示す入力のロジック状態と同じになります。

(1) $V_{CCI} =$ 入力側 V_{CC} , $V_{CCO} =$ 出力側 V_{CC} , PU = 電源オン ($V_{CC} \geq 1.71V$), PD = 電源オフ ($V_{CC} \leq 1.05V$), X = 無関係, H = High レベル, L = Low レベル, Z = 高インピーダンス

(2) $1.7V < V_{CCI}, V_{CCO} < 2.25V$, $1.05V < V_{CCI}, V_{CCO} < 1.71V$ のとき、出力の状態は不定です。

(3) 強く駆動される入力信号は、内部保護ダイオードを経由してフローティング V_{CC} に弱い電力を供給し、出力が不定になる可能性があります。

8.4.1 デバイス I/O 回路図

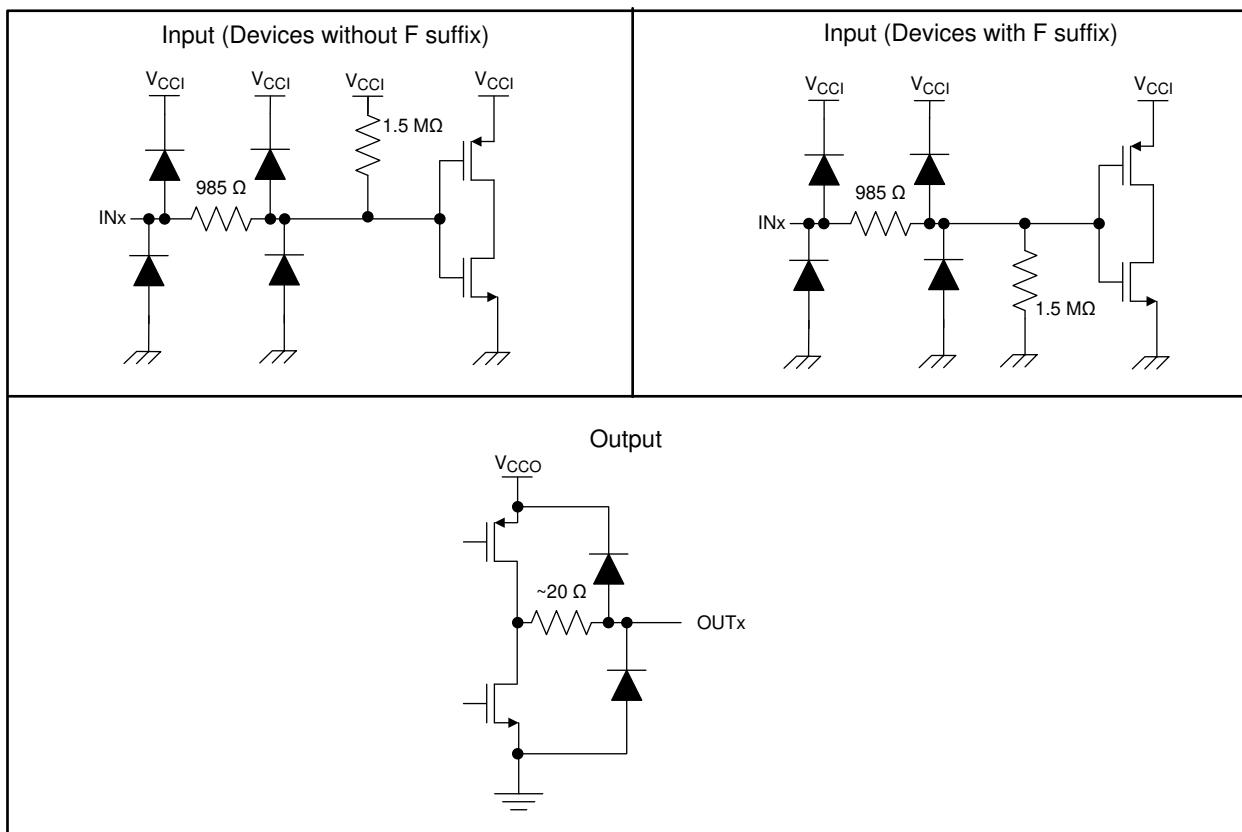


図 8-4. デバイス I/O 回路図

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

ISO6760L デバイスは、高性能の 6 チャネル・デジタル・アイソレータです。ISO6760L デバイスでは、ハードウェア・インターロック・ロジックを内蔵したシングルエンド CMOS ロジック・スイッチング・テクノロジーを使用しています。電源電圧の範囲は、 V_{CC1} と V_{CC2} の両方の電源で 1.71V～5.5V です。絶縁バリアは 2 つの側を分離するため、推奨動作条件内の任意の電圧を使用し、それぞれの側を独立してソースできます。たとえば、ISO6760L に 3.3V の V_{CC1} (1.71V～5.5V の範囲内) と 5V の V_{CC2} (これも 1.71V～5.5V の範囲内) を供給できます。デジタル・アイソレータは、絶縁に加えて、ロジック・レベル・トランスレータとしても使用できます。デジタル・アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル・アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データ・コントローラ (MCU または FPGA) と、データ・コンバータまたはライン・トランシーバとの間に配置されます。

9.2 代表的なアプリケーション

図 9-1 に、プロセッサとインテリジェント・パワー・モジュール (IPM) インターフェイスの実装との間の絶縁接続を示します。

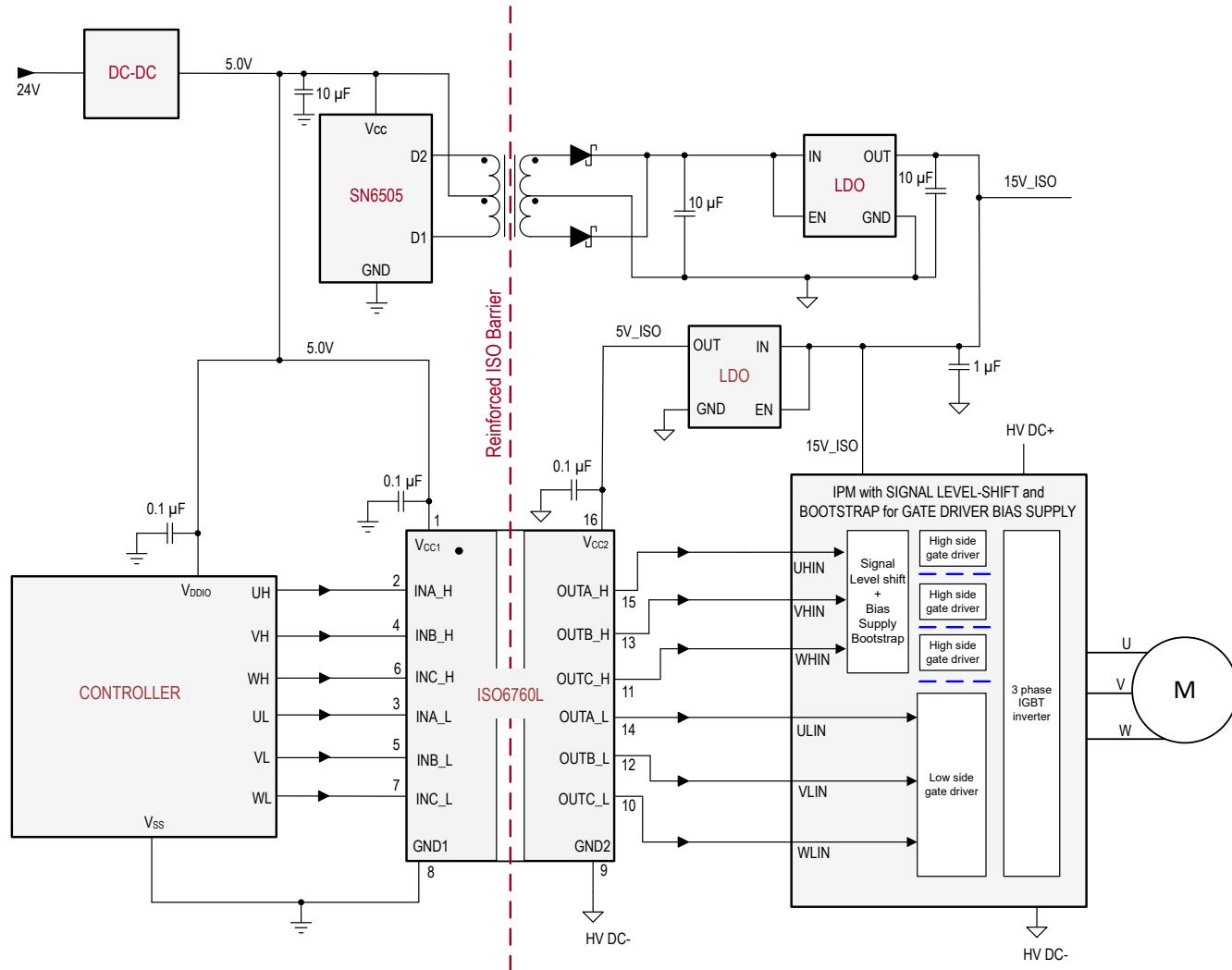


図 9-1. インテリジェント・パワー・モジュール (IPM) インターフェイスの絶縁

9.2.1 設計要件

このデバイスを使用する設計には、表 9-1 に記載されているパラメータを使用します。

表 9-1. 設計パラメータ

パラメータ	値
電源電圧、 V_{CC1} および V_{CC2}	1.71V~1.89V、2.25V~5.5V
V_{CC1} と GND1 との間のデカップリング・コンデンサ	0.1μF
V_{CC2} と GND2 との間のデカップリング・コンデンサ	0.1μF

9.2.2 詳細な設計手順

ISO6760L ファミリーのデバイスは、フォトカプラとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要とするのは、動作に必要な外付けバイパス・コンデンサは 2 個のみです。

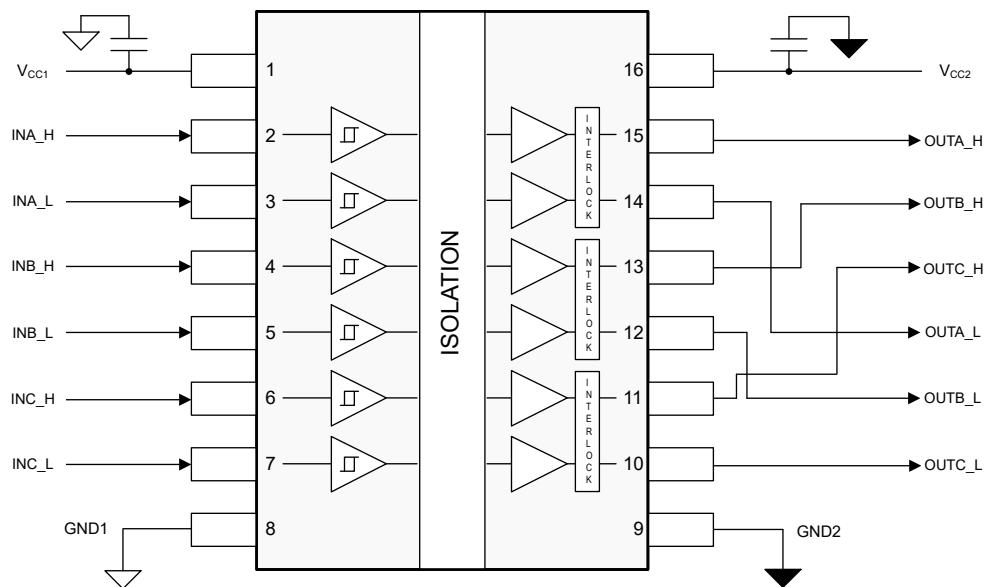


図 9-2. ISO6760L の標準の回路接続図

9.2.3 アプリケーション曲線

ISO6760L ファミリーのデバイスの以下の図は、ハードウェア・インターロック回路が貫通電流をどのように防ぐかを示しています。チャネル・ペアにおいて、両方の出力が同時に High になることありません。ISO6760L のインターロックの図 は、ハードウェア・インターロックを内蔵した ISO6760L での 2 つの隣接チャネル間における 200Hz 入力信号の位相差を示しています。ISO6760L のインターロックの図 は、比較のために、通常の ISO6760 (インターロック回路を内蔵していないデバイス) での 2 つの隣接チャネル間における 200Hz 入力信号の位相差を示しています。

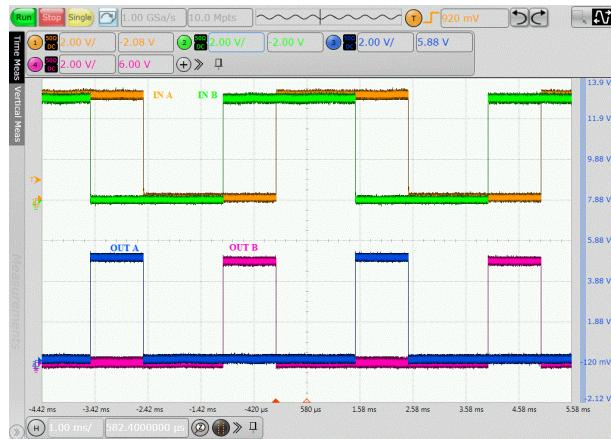


図 9-3. ISO6760L のインターロックの図

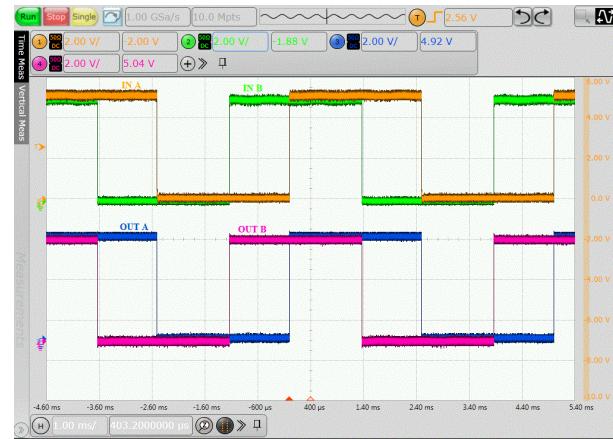


図 9-4. ISO6760 (インターロックなしのデバイス) の図

10 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テストの構成については、図 10-1 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 50% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、30 年の最小絶縁寿命が必要であることになります。

図 10-2 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有能力は $1500\text{V}_{\text{RMS}}$ 、寿命は 36 年です。パッケージ・サイズ、汚染度、材料グループなど他の要因により、部品の動作電圧がさらに制限される場合があります。DW-16 パッケージの動作電圧は最大 $1500\text{V}_{\text{RMS}}$ と規定されています。動作電圧が低い場合、対応する絶縁寿命は 36 年よりはるかに長くなります。

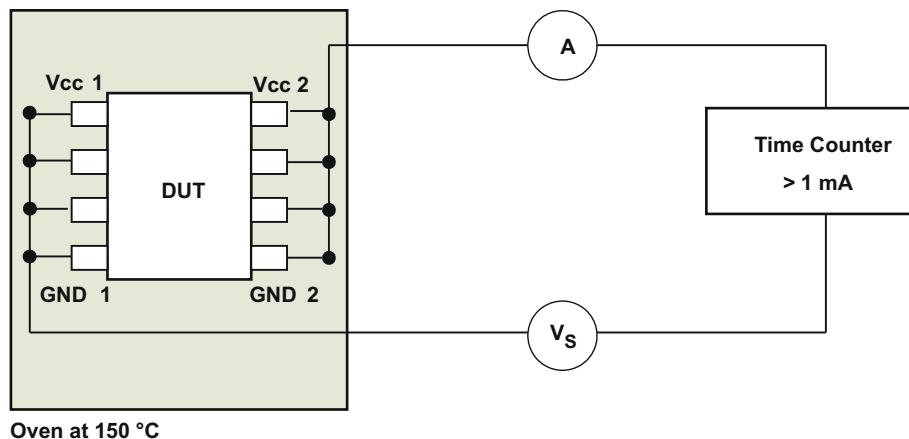


図 10-1. 絶縁寿命測定用のテスト構成

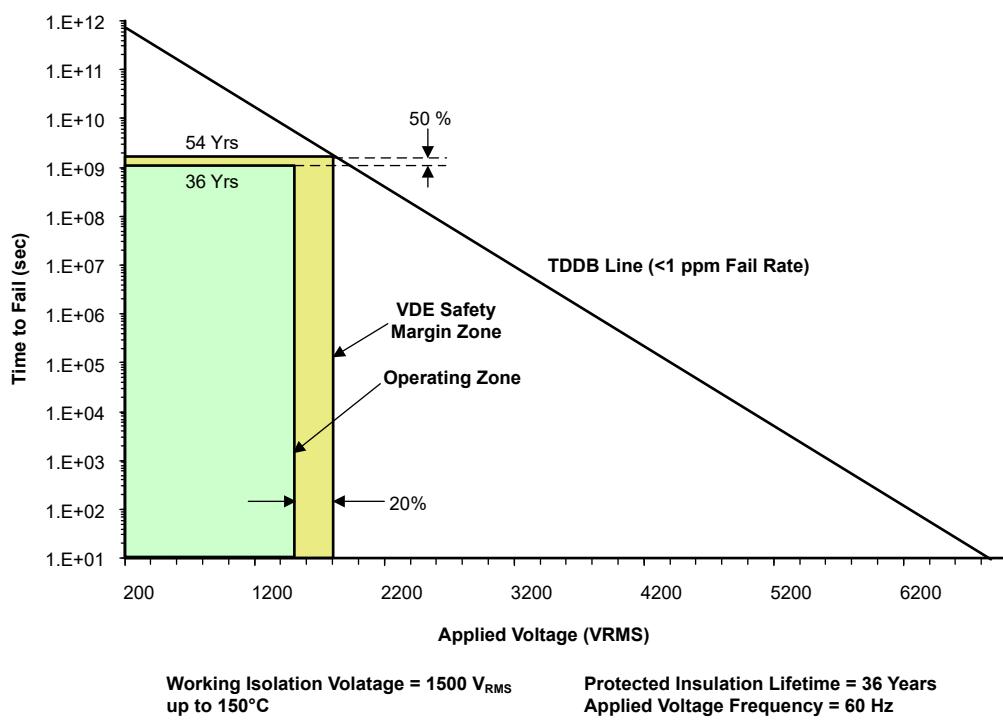


図 10-2. 絶縁寿命予測データ

11 電源に関する推奨事項

データ・レートおよび電源電圧での信頼性の高い動作を確保するため、入力および出力電源ピン (V_{CC1} および V_{CC2}) に $0.1\mu F$ のバイパス・コンデンサを推奨します。コンデンサは電源ピンにできるだけ近付けて配置してください。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、トランス・ドライバを使用して 2 次側用の絶縁型電源を生成できます。産業用アプリケーションでは、テキサス・インスツルメンツの [SN6501](#) または [SN6505B](#) を使用してください。このようなアプリケーションでは、『[SN6501 絶縁電源用の変圧器ドライバ](#)』または『[SN6505B-Q1 絶縁型電源用の低ノイズ、1A 変圧器ドライバ](#)』で、電源の詳細な設計とトランスの選択についての推奨事項を参照できます。

12 レイアウト

12.1 レイアウトのガイドライン

低 EMI PCB の設計を実現するには、最小 2 層が必要です。EMI をさらに改善するために、4 層基板を使用できます（図 12-2 を参照）。4 層基板の層は、上層から下層に向かって、高速信号層、グランド・プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用（およびそれに伴うインダクタンスの発生）を避けて、データ・リンクのトランスマッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド・プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス・パスを実現します。
- グランド・プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100 pF/インチ² 増加させることができます。
- 最下層に低速の制御信号を配線すれば、通常、これらの信号リンクには、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド・プレーン系統を層構成に追加します。これにより、基盤の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド・プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『デジタル・アイソレータ設計ガイド』を参照してください。

12.1.1 PCB 材料

150Mbps 未満で動作する場合（または、立ち上がりと立ち下がりの時間が 1ns を超える場合）、およびトレース長が 10 以下の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

12.2 レイアウト例

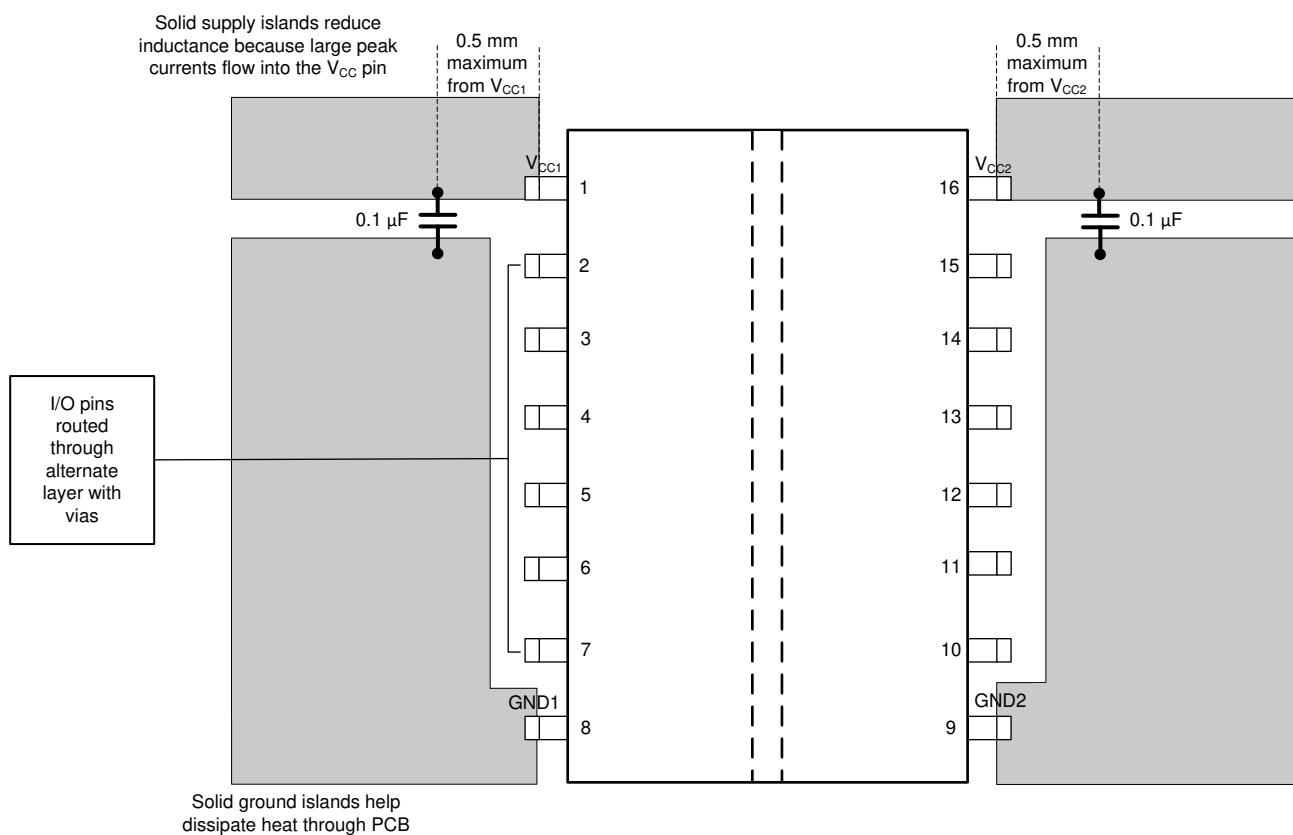


図 12-1. レイアウト例

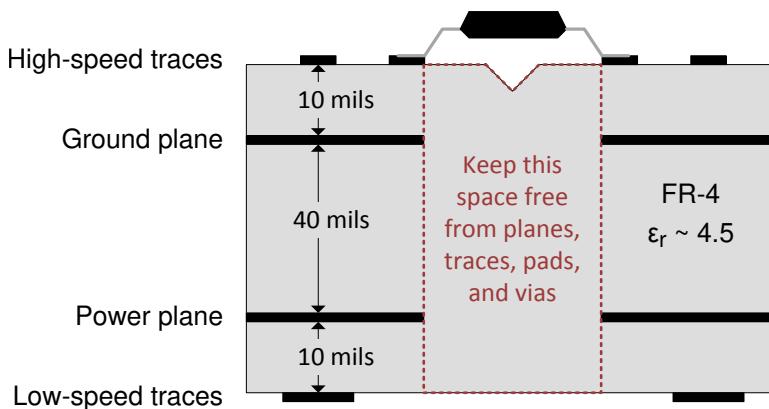


図 12-2. 4 層基板のレイアウト例

13 デバイスおよびドキュメントのサポート

13.1 ドキュメントのサポート

13.1.1 関連資料

関連資料については、以下を参照してください。

- [テキサス・インスツルメンツ、『デジタル・アイソレータ設計ガイド』](#)
- [テキサス・インスツルメンツ、『デジタル・アイソレータ設計ガイド』](#)
- [テキサス・インスツルメンツ、『絶縁の用語集』](#)
- [テキサス・インスツルメンツ、『産業用システムで ESD、EFT、サージの耐性を改善する目的で絶縁を使用する方法』アプリケーション・レポート](#)
- [テキサス・インスツルメンツ、『ADS79xx 12/10/8 ビット、1MSPS、16/12/8/4 チャネル、シングルエンド、MicroPower、シリアル・インターフェイス ADC』データシート](#)
- [テキサス・インスツルメンツ、『DAC161P997 シングル・ワイヤの 4~20mA ループ用 16 ビット DAC』データシート](#)
- [テキサス・インスツルメンツ、『MSP430G2132 ミックストラスチック・シグナル・マイクロコントローラ』データシート](#)
- [テキサス・インスツルメンツ、『SN6501 絶縁電源用の変圧器ドライバ』データシート](#)
- [テキサス・インスツルメンツ、『TPS76333 低消費電力、150mA、低ドロップアウトのリニア・レギュレータ』データシート](#)

13.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

13.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。[TI の使用条件](#)を参照してください。

13.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

13.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

 ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

13.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあります。ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

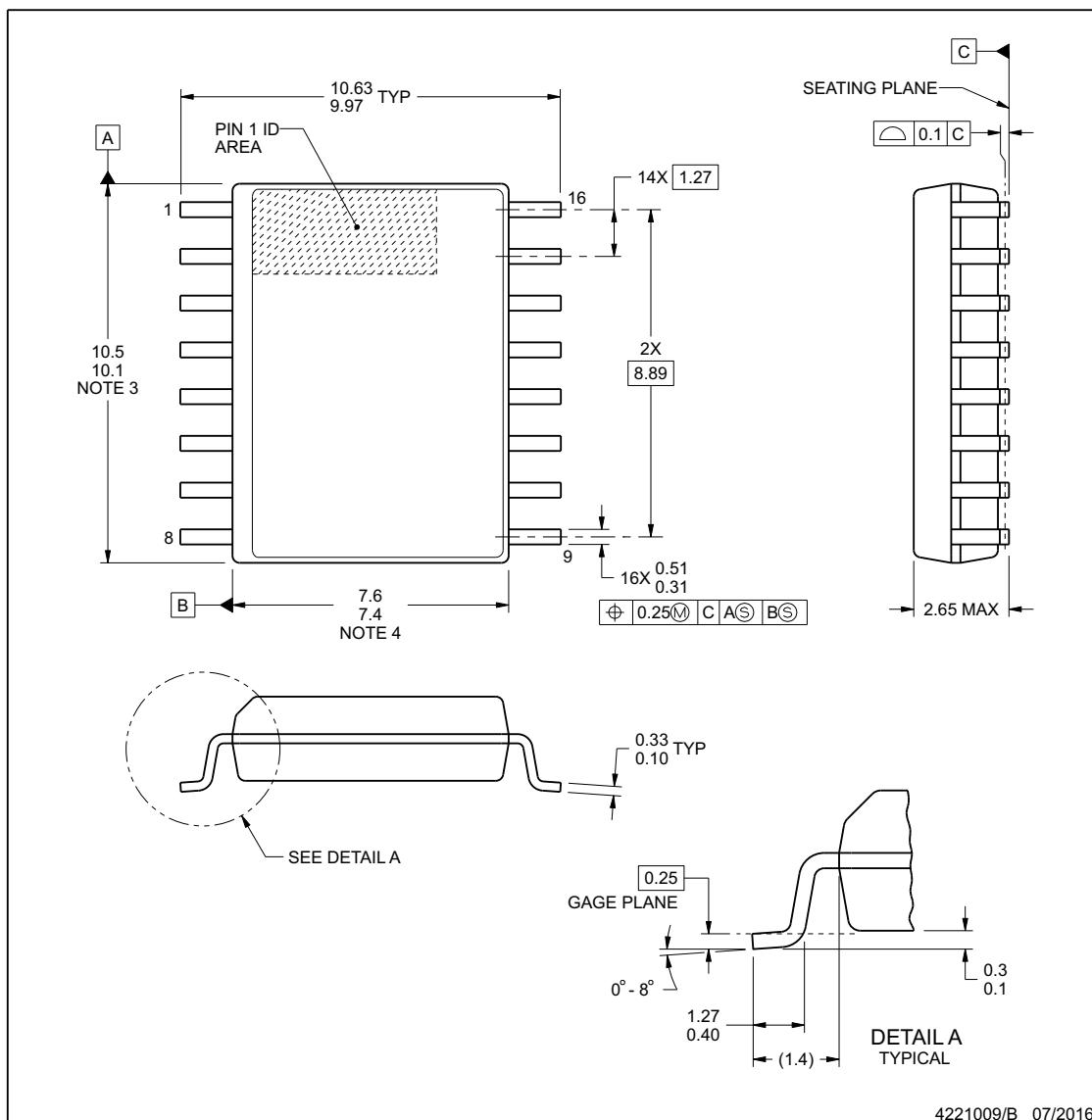
DW0016B



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

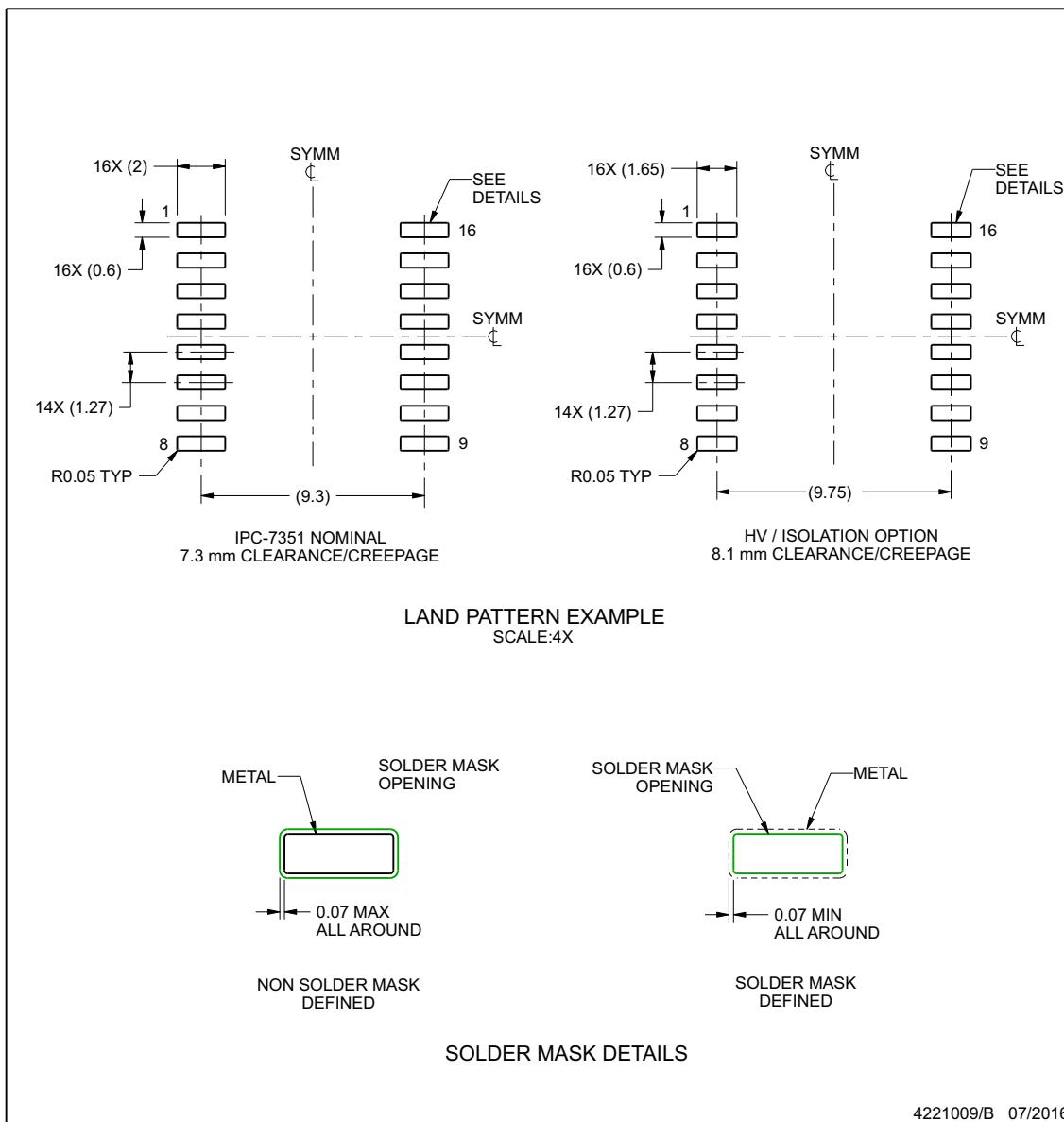
www.ti.com

EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

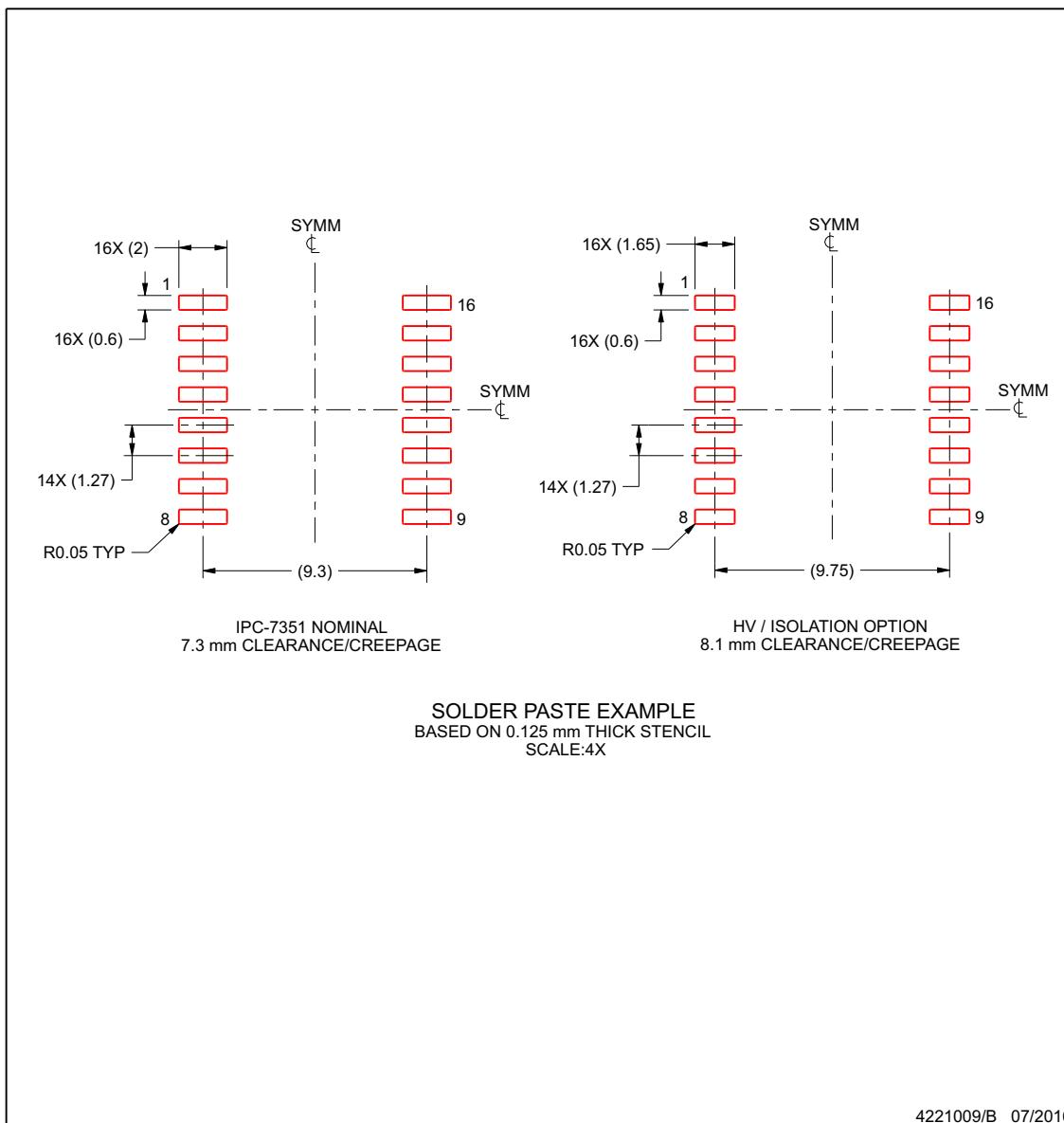
www.ti.com

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO6760LDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6760L
ISO6760LDWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6760L
ISO6760LDWR.B	Active	Production	SOIC (DW) 16	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
ISO6760LNDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6760LN
ISO6760LNDWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6760LN
ISO6760LNDWR.B	Active	Production	SOIC (DW) 16	2000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

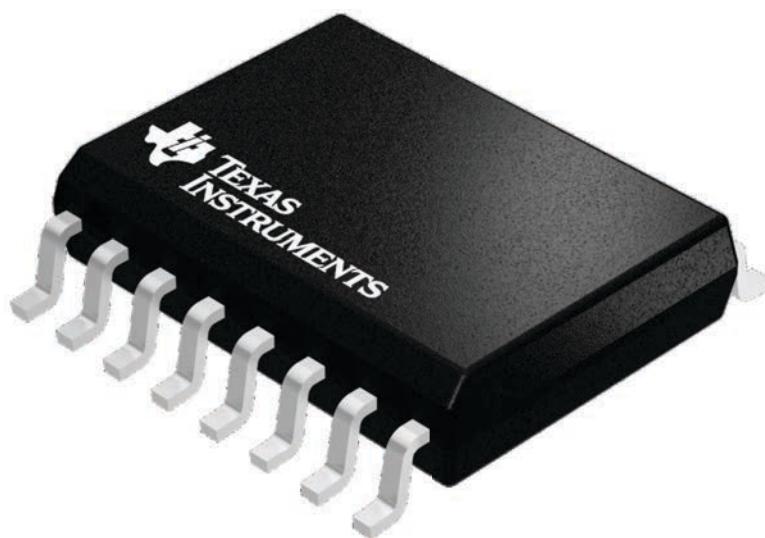
DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

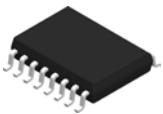
SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

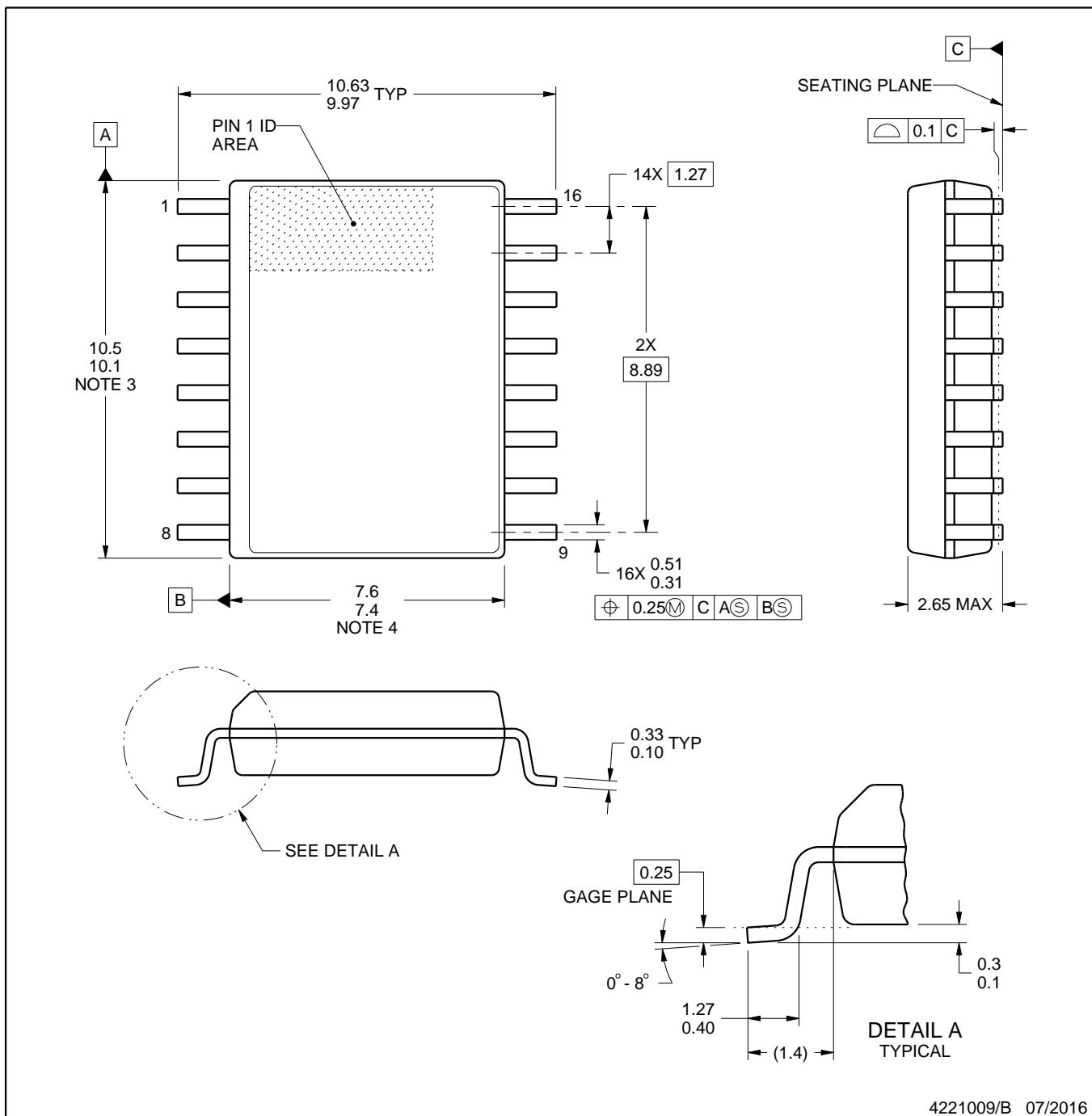
DW0016B



PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

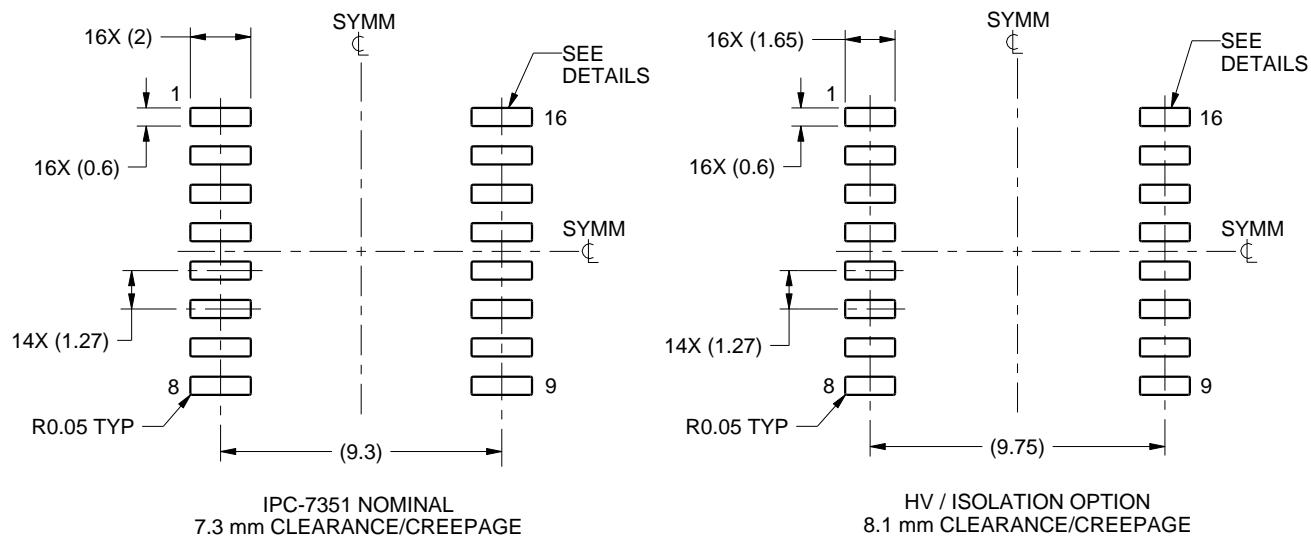
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

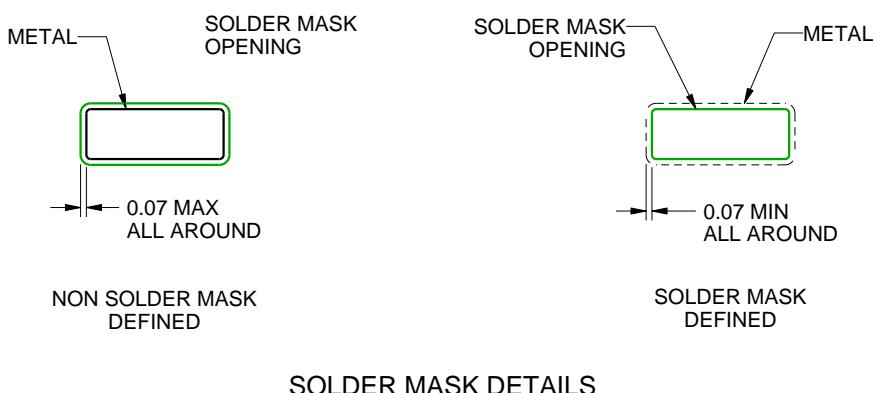
DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

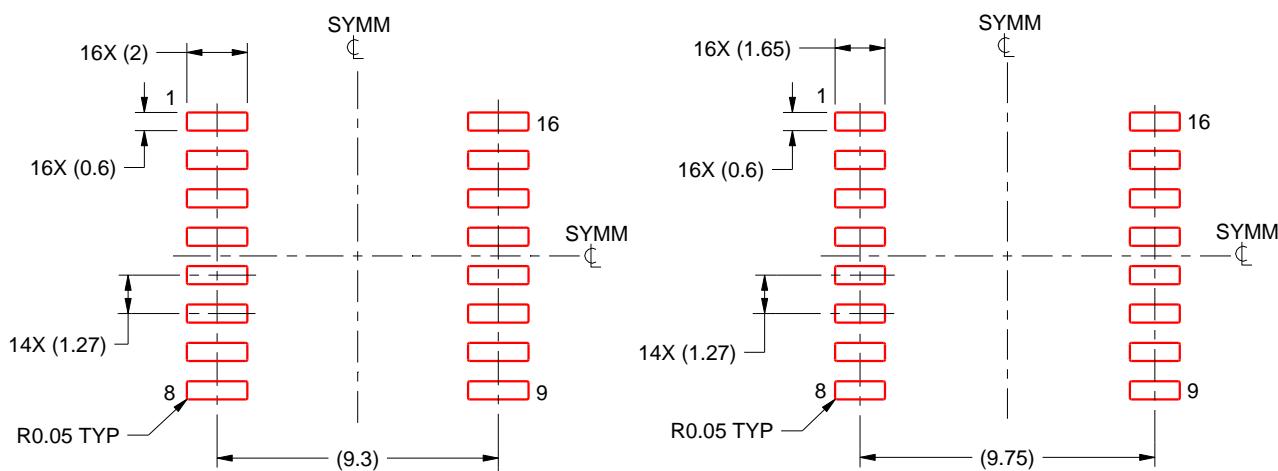
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月